



UNIVERSITÀ DEGLI STUDI DI PADOVA

CORSO DI LAUREA IN INGEGNERIA MECCATRONICA

Dipartimento di tecnica e gestione dei sistemi industriali

TESI DI LAUREA DI PRIMO LIVELLO

**CIRCUITI DI CONVERSIONE
ANALOGICO-DIGITALE**

Relatore: Prof. Buso Simone

Laureando: Motterle Francesco

Matricola: 614312

Anno accademico 2011-2012

INDICE:

- INTRODUZIONE:

GENERALITA' SULLA CONVERSIONE ANALOGICO-DIGITALE:

- 1) PREGI DEL SEGNALE DIGITALE*
- 2) OPERAZIONI DI CONVERSIONE ANALOGICO-DIGITALE:*

- CAPITOLO 1:

ADC:

- 1) NON IDEALITA'*
- 2) PARAMETRI*

- CAPITOLO 2:

- 1) SCHEMA GENERALE DEL DISPOSITIVO FISICO**
- 2) ARCHITETTURE DI CONVERSIONE ANALOGICO-DIGITALE:**
 - 1) CONVERTITORI A CONTATORE*
 - 2) ADC AD APPROSSIMAZIONI SUCCESSIVE (SAR)*
 - 3) ADC FLASH (CONVERTITORI IN PARALLELO)*
 - 4) ADC A RAMPA ANALOGICA (A CONVERSIONE TENSIONE-TEMPO)*
 - 5) ADC A DOPPIA RAMPA (A CONVERSIONE TENSIONE-TEMPO)*
 - 6) CONVERTITORI PIPELINE*
 - 7) MODULAZIONE SIGMA DELTA*

-CONCLUSIONI:

TABELLE DI CONFRONTO TRA DIVERSE ARCHITETTURE DI ADC

-BIBLIOGRAFIA E SITOGRAFIA

INTRODUZIONE

GENERALITA' SULLA CONVERSIONE ANALOGICO-DIGITALE

La **conversione analogico-digitale** è l'attività svolta da un ADC (Analog to Digital Converter) per convertire il segnale d'ingresso, analogico nel tempo e nelle ampiezze, in una sequenza temporale di suoi campioni, opportunamente discretizzati nelle ampiezze.

Il segnale ottenuto è chiamato segnale digitale.

1.1) PREGI DEL SEGNALE DIGITALE

I segnali digitali godono di alcuni importanti pregi nei confronti di quelli analogici:

- 1) Godono infatti di una maggiore reiezione ai disturbi;
- 2) possono essere elaborati più facilmente;
- 3) possono essere registrati in maniera più fedele e stabile.

1.1.1) REIEZIONE AI DISTURBI

I segnali analogici sono costituiti da funzioni continue pertanto possono assumere infiniti valori: il rumore che inevitabilmente si sovrappone al segnale ha pertanto la possibilità di determinare una variazione del valore del segnale composto (segnale utile + rumore) qualunque sia la ampiezza e la potenza del rumore. I segnali digitali, invece, presentano solamente un numero finito di valori separati da una fascia "proibita". Se il rumore non ha ampiezza (e potenza) tale da determinare un superamento della fascia proibita che separa due valori contigui non si riscontra alcuna alterazione del valore.

1.1.2) ELABORAZIONE

Per elaborare matematicamente i segnali analogici si deve ricorrere agli amplificatori operazionali mediante i quale è possibile realizzare semplici operazioni (ad esempio: somma, sottrazione, logaritmo, esponenziale, etc). La realizzazione di

funzioni più elaborate può invece richiedere una complessità circuitale eccessiva e tale da introdurre un'incertezza non accettabile per gli scopi prefissati.

I segnali numerici possono invece essere elaborati mediante microprocessori e microcalcolatori, i quali possono permettere l'esecuzione di operazioni ed elaborazioni senza richiedere appesantimenti dell'hardware circuitale. Anche in questo caso, però, le operazioni non sono esenti da incertezza: i troncamenti e le approssimazioni introdotte dalla codifica utilizzata dal microprocessore per il trattamento dei dati sono infatti fonte di errore.

Si può ricorrere tuttavia a codifiche tali da ridurre le incertezze introdotte in modo da renderle compatibili con gli scopi prefissati.

1.1.3) REGISTRAZIONE

Per registrare un segnale analogico si può fare uso di nastri magnetici entro cui il segnale viene registrato: le prestazioni delle tecniche di registrazione meno sofisticate vengono penalizzate dal fenomeno della smagnetizzazione del nastro registrato. Risultati migliori si possono ottenere mediante l'uso di tecniche di registrazione basate sulla modulazione di frequenza: la stabilità della velocità di riproduzione del nastro diviene però un vincolo stringente per garantire la fedeltà delle riproduzioni.

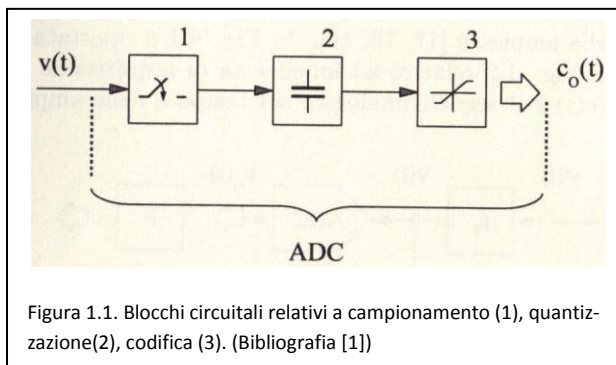
Ricorrendo all'uso di memorie RAM oppure di dispositivi di memoria di massa a supporto magnetico (hard e floppy-disk) è possibile invece registrare i segnali digitali con estrema facilità. In questo caso, poi, la codifica usata è quella binaria e la presenza di una ampia fascia di separazione fra il livello considerato 0 e quello considerato 1 permette di garantire la stabilità del dato nel tempo e la sua reiezione quasi totale ai disturbi.

1.2) LE OPERAZIONI DI CONVERSIONE ANALOGICO-DIGITALE

Per convertire il segnale analogico nel suo corrispettivo digitale l'ADC effettua le seguenti azioni:

- 1 **Campionamento (Sampling);**
- 2 **Tenuta (Hold);**
- 3 **Quantizzazione nel dominio delle ampiezze (Quantization);**
- 4 **Codifica.**

Ad ognuno di esse è associato un blocco circuitale specifico.



Il primo di questi è il circuito campionario, o sampler, che preleva dal segnale d'ingresso una sequenza di campioni distanti nel tempo di un valore T_s (periodo di campionamento).

Il secondo è il circuito di tenuta, o hold circuit, la cui funzione è di memorizzare temporaneamente il livello dei campioni in uscita dal sampler.

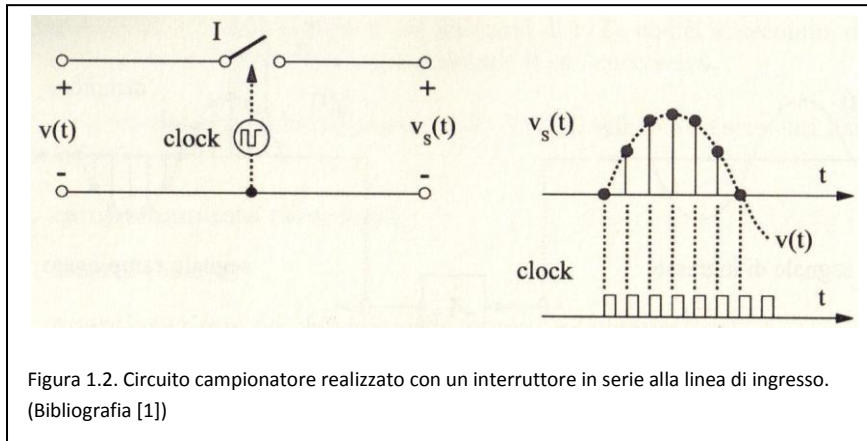
Il terzo invece è il circuito quantizzatore, il quale effettua la discretizzazione in ampiezza dei livelli di tensione dei campioni di ingresso. Solitamente non vi è un vero circuito di codifica. La codifica viene affidata quindi al circuito quantizzatore, che associa a ciascun campione discretizzato un opportuno codice di uscita, composto da numeri binari.

1.2.1) CAMPIONAMENTO

Il campionamento è l'operazione che consiste nell'acquisire dal segnale di ingresso una sequenza di campioni.

Il segnale campionato è una sequenza di impulsi di tensione distanziati nel tempo di un intervallo costante T_s , noto come periodo di campionamento. L'ampiezza dei campioni dipende dal segnale d'ingresso $v(t)$ secondo la relazione: $v_s(t_k) = v(t_k)$, dove t_k è il generico istante di campionamento. Il ritmo con cui i campioni sono riportati in uscita è detto velocità di campionamento o frequenza di campionamento, R_s . La velocità di campionamento è legata al tempo di campionamento dalla relazione: $R_s = 1/T_s$. Essa viene perciò misurata in *Sample/s* o in *Hertz*.

Il circuito di campionamento può essere pensato come un interruttore elettronico S in serie alla linea di ingresso, pilotato da un circuito oscillatore al quarzo. La chiusura di S avviene in corrispondenza del fronte di salita del segnale di clock. Del segnale di ingresso $v(t)$, solo la porzione corrispondente agli istanti di campiona-



mento passa per S e prosegue lungo la catena di acquisizione. Tutto il resto è bloccato dallo stesso interruttore.

Il parametro più importante in un processo di conversione A-D è la frequenza di campionamento.

Infatti da essa dipende la possibilità di poter ricostruire il segnale originale $v(t)$ a partire dai suoi campioni $v_s(t)$. In particolare ciò dipende dal legame tra R_s e la frequenza massima del segnale d'ingresso $v(t)$ secondo il *Teorema di Shannon*.

Teorema di Shannon:

La ricostruzione senza ambiguità del segnale originale $v(t)$ a partire da una sua versione campionata $v_s(t)$ è possibile se: $R_s > 2 * f_{max}$, dove f_{max} rappresenta la più alta frequenza del segnale d'interesse.

Nel caso di un campionamento che violi la condizione posta dal Teorema di Shannon ($R_s < 2 * f_{max}$) si nota che le ripetizioni periodiche di $V(f)$, trasformata di Fourier del segnale d'interesse, si sovrappongono l'un l'altra e lo spettro finale $V_s(f)$ appare in una forma confusa, dalla quale è impossibile risalire a $V(f)$ mediante filtraggio. In questo caso si parla di *Aliasing*.

Per evitare ciò è necessario che l'intero contenuto spettrale di $v(t)$ appartenga alla banda di frequenza $(0, R_s/2)$; altrimenti le componenti a frequenza superiore di $R_s/2$ risultano traslate all'interno della banda utile, provocando distorsione e precludendo la possibilità di ricostruire l'andamento originale di $v(t)$ nella banda $(0, R_s/2)$.

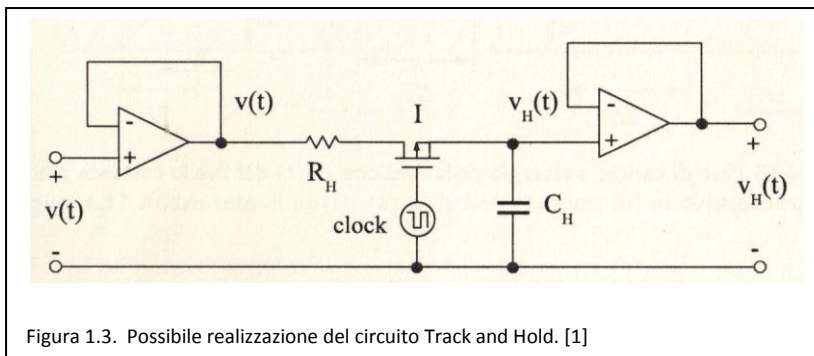
Si ricorre quindi ad un filtro passa-basso, detto *filtro anti-aliasing*, posto all'ingresso del blocco ADC, che è in grado di limitare il contenuto spettrale di $v(t)$ ad $R_s/2$.

1.2.2) TENUTA

La tenuta è l'operazione che consiste nel mantenere i livelli di tensione $v_s(t)$ dei campioni acquisiti durante il periodo di campionamento T_s , cioè fino all'arrivo del campione successivo.

Dal blocco di hold esce quindi un segnale costante a tratti $v_h(t)$.

Il circuito di tenuta è costituito da un resistore R_h in serie con la linea dell'ingresso, posto a monte dell'interruttore S , costituito solitamente da un MOSFET, che ha una



piccola resistenza di ingresso intrinseca R .

Esso governa la connessione del condensatore all'ingresso analogico.

Al source e drain del transistor sono collegati due buffer (operazionali in configurazione di *inseguitori di tensione*), che hanno impedenza di ingresso elevata, bassa impedenza d'uscita, e tensione d'uscita pari alla tensione d'ingresso.

Questo serve a mantenere l'impedenza d'ingresso totale elevata ed a fare in modo quindi che quasi la totalità della corrente all'uscita del selettore S venga assorbita dal condensatore C_h .

Tale circuito è detto *Track and Hold* (o *Sample and Hold*) e consente le funzioni di campionamento e tenuta.

Il funzionamento del circuito avviene in due fasi:

1. *fase di carica;*
2. *fase di hold.*

1.2.2.1) FASE DI CARICA

La fase di carica ha inizio con la chiusura dell'interruttore S in corrispondenza di un generico istante di campionamento t_k . In tale istante il circuito ha la tensione di ingresso $v(t_k)$ diversa da quella di uscita $v_H(t_k)$. Il circuito permane in questo stato fino all'apertura di S, all'istante t'_k dopo un intervallo di tempo ΔT_c . In questo intervallo di tempo si manifesta un transitorio di carica esponenziale del condensatore C_H fino a t'_k .

L'andamento della tensione $v_H(t)$ durante ΔT_c può essere approssimato così:

$$(1.1) \quad v_H(t) \cong v_H(t_k) + [v(t'_k) - v_H(t_k)] * (1 - e^{-(t-t_k)/\tau_c}),$$

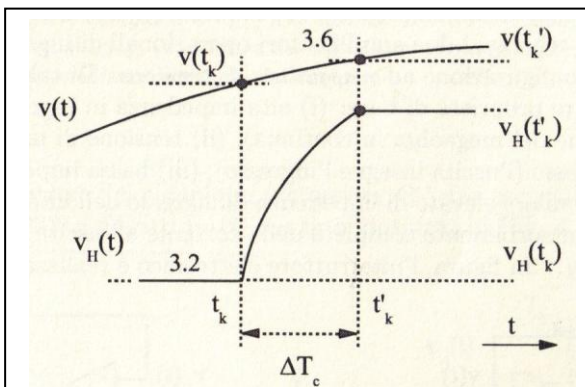


Figura 1.4. Evoluzione temporale della tensione nella fase di carica in un circuito T/H. (Bibliografia[1]).

dove $\tau_c = R_H * C_H$ è la costante di tempo del circuito.

La durata di ΔT_c è un parametro importante per gli ADC. Al crescere di ΔT_c diminuisce lo scostamento tra il livello $v_H(t'_k)$ raggiunto da $v_H(t)$ ed il livello del segnale di ingresso $v(t)$ all'istante di apertura t'_k . Migliora quindi la stima del campione del se-

gnale d'ingresso $v(t)$ in t'_k , a discapito del tempo di conversione di ogni campione, quindi di T_s .

Si osserva inoltre che la scelta di un valore di ΔT_c non sufficientemente grande da permettere a $v_H(t)$ di raggiungere $v(t'_k)$ comporta un errore di ampiezza $e = v(t'_k) - v_H(t'_k)$ che dipende da ΔT_c secondo la relazione: $\Delta T_c = -\tau_c * \ln(er)$ con $er = e/\Delta V$.

1.2.2.1) FASE DI HOLD

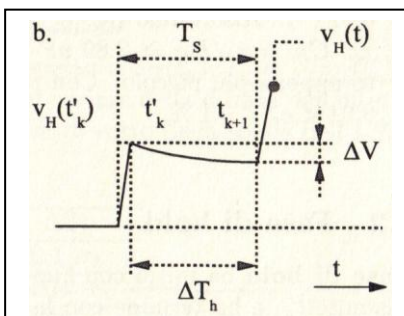


Figura 1.5. Evoluzione temporale della tensione nella fase di Hold. (Biblio[1])

La fase di hold inizia con l'apertura di S all'istante t'_k e perdura per un intervallo ΔT_H fino alla chiusura di S.

Quando S è aperto, il condensatore trattiene la carica elettrica accumulata durante la fase di carica e mantiene costante la tensione ai suoi capi $v_H(t'_k)$. In questo intervallo di tempo ha sede la conversione del livello del segnale in un valore numerico ad o-

pera del successivo blocco di conversione. Ciò avviene in un tempo $T_{ad} < \Delta T_H$, prima cioè che S si richiuda per l'acquisizione del campione successivo.

A causa della resistenza non infinita dell'interruttore si genera una corrente di scarica i_H che determina la scarica del condensatore C_H sulla resistenza. Così la tensione ai capi di C_H diminuisce nel tempo secondo un andamento esponenziale decrescente.

Dal diagramma temporale si ricava che:

$$(1.2) \quad \Delta V = v_H(t'_k) * (1 - e^{(-\Delta T_H / \tau_H)}), \text{ con } \tau_H = R_H * C_H, \text{ costante di tempo del circuito.}$$

La diminuzione di $v_H(t)$ causa un errore nell'acquisizione del livello dei campioni, il cui valore massimo possibile è: $e_{max} = \Delta V$. Esso dipende da τ_H e da ΔT_H secondo la relazione: $\Delta T_H = -\tau_H * \ln(1 - e_r)$, con $e_r = e_{max}/v_H(t'_k)$.

Il circuito di tenuta influisce sulla larghezza di banda dell'ADC, infatti esso, durante il prelievo dei campioni, si comporta come un filtro passa-basso in serie alla catena di misura. La sua funzione di trasferimento incide quindi sulla quella propria dell'ADC.

Nella scelta di C_H ed R_H è quindi importante tener conto delle specifiche dell'ADC in termini di larghezza di banda. In particolare nella scelta di C_H si opera un *trade-off*: un valore grande di C_H consentirebbe di limitare l'escursione ΔV nella fase di hold, mentre un suo valore piccolo consentirebbe di velocizzare la carica del condensatore ed aumentare la larghezza di banda dell'ADC.

1.2.3) QUANTIZZAZIONE

La quantizzazione nel dominio delle ampiezze è l'operazione attraverso cui il segnale campionato $v_H(t)$ presente all'uscita del circuito *track and hold* viene trasformato in una sequenza di livelli di tensione $v_O(t)$, uno per ogni campione.

In ogni intervallo di durata T_s , il dispositivo approssima il livello di tensione assunto da $v_H(t)$ al più vicino dei livelli di uscita v_O , ottenuti suddividendo il campo R di valori d'ingresso del dispositivo, in N intervalli di ampiezza: $Q = R/N = R/2^B$, dove Q è il passo di quantizzazione e B il numero di bit del dispositivo.

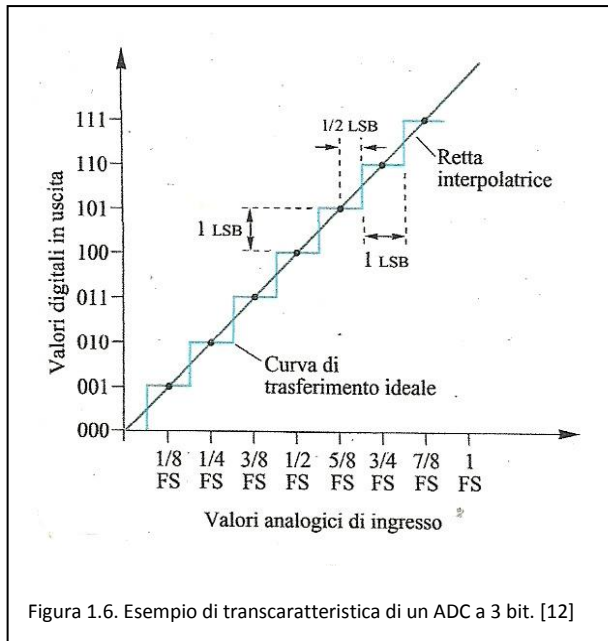


Figura 1.6. Esempio di transcaratteristica di un ADC a 3 bit. [12]

La caratteristica più importante di un circuito di quantizzazione è la sua **transcaratteristica**, che ne determina le prestazioni e le eventuali inefficienze. Essa è definita come quella funzione che associa ad ogni livello di tensione assunto dalla tensione analogica, in ingresso all'ADC, in un certo intervallo di tenuta ΔTh , un'opportuna tensione v_0 appartenente ad un insieme finito di valori.

La transcaratteristica di un quantizzatore si presenta come una curva costante a tratti, su un diagramma $v_0 - v$. In ascissa, la funzione è definita per ogni valore di R , che può essere unipolare $(0, R)$ o bipolare simmetrico $(-R/2, R/2)$.

Si definisce anche una **retta interpolatrice** della transcaratteristica ($v_0 = v$), definita come la curva passante per i punti medi dei tratti orizzontali della "gradinata". La curva interpolatrice di una transcaratteristica ideale è una retta con inclinazione di 45° , passante per l'origine (*best straight line*). Essa consente di proiettare sull'asse delle ordinate i valori d'ingresso e misurare i corrispondenti scostamenti tra v e v_0 . Si può notare come sull'asse orizzontale i valori della tensione analogica di ingresso siano espressi come frazioni della tensione di fondo-scala, detta "FS" (oppure "VFS").

1.2.4) CODIFICA BINARIA DI UNA TENSIONE QUANTIZZATA

La grandezza campionata e quantizzata è ancora una tensione. Per terminare il processo di conversione da analogico a digitale, tale tensione deve essere trasformata in un numero. Il passaggio da tensione a valore numerico viene detto **codifica**. Per ragioni pratiche, dovute all'uso di dispositivi elettronici e di calcolatori, la codifica numerica avviene sempre in **codice binario**, cioè usando le sole cifre 0 e 1 (*bit*). In pratica ad ogni intervallo di quantizzazione viene associata una combinazione di cifre binarie in base alla codifica utilizzata. Per conoscere il codice in uscita dal

convertitore è sufficiente conoscere in quale intervallo di quantizzazione cade la tensione da convertire V : $N \text{ intervallo} = \text{approssimazione di } (V/Q)$

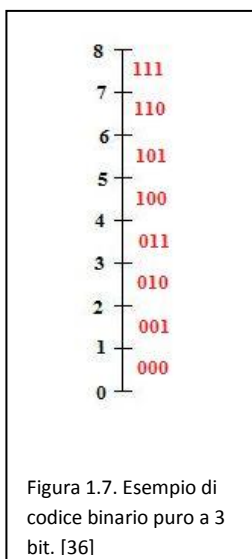
e quindi assegnare all'intervallo stesso il codice binario corrispondente. Dati n livelli di quantizzazione saranno quindi riportati in uscita n intervalli, numerati da 0 ad $n-1$ (per esempio, dati 16 livelli, avremo 16 intervalli numerati da 0 fino a 15).

Nella pratica vi sono diverse codifiche adottabili. Tra queste si ricordano le seguenti:

- 1) **Codice binario puro (per segnali unipolari);**
- 2) **Codifica con codice Gray;**
- 3) **BCD.**

1.2.4.1) CODICE BINARIO PURO PER SEGNALI UNIPOLARI

La codifica più semplice (comunemente usata per i segnali unipolari, cioè quelli sempre positivi), detta in *codice binario puro* o codice binario naturale (*straight binary*), consiste nel far corrispondere ad ogni intervallo di quantizzazione un numero binario progressivo, partendo da 0 (in corrispondenza del livello più basso)



fino a 2^{n-1} , dove n è il numero di bit usati.

Per esempio, supponendo di avere un convertitore con $n=3$ bit, i valori binari possibili andranno da 000 fino a 111. Considerando di nuovo l'esempio di una tensione compresa fra 0 e +8V e suddivisa in 8 intervalli il codice binario puro associa a ciascun intervallo un valore binario nel modo rappresentato in figura.

Ad esempio se la tensione è compresa fra 0V e 1V, essa viene codificata col valore binario 000; se è compresa fra 1V e 2V, viene codificata col valore 001 e così via fino al valore 111.

Infine si noti che per ricavare il codice binario corrispondente a una data tensione analogica V , è sufficiente determinare il numero dell'intervallo e quindi esprimerlo col numero binario corrispondente.

1.2.4.2) CODIFICA GRAY

Nel codice binario visto precedentemente, passando da una configurazione binaria a quella immediatamente successiva, in generale, si può verificare il cambiamento simultaneo di più bit. Per esempio passando dal numero 5 (101) al numero 6 (110) in binario puro, cambiano i valori del secondo e del terzo bit. A causa delle tolleranze e dei tempi di ritardo sempre presenti nei dispositivi reali, è improbabile però che due o più bit di un numero possano commutare esattamente nello stesso istante. Se tale commutazione simultanea non avviene, viene a crearsi una configurazione binaria intermedia in cui è codificato un valore indesiderato, che può generare errore nella successiva elaborazione. Per esempio, passando da 5 (101) a 6 (110) si potrebbe avere:

000 (0)	101 (5) → 111 (7) configurazione intermedia non desiderata →
001 (1)	110 (6)
010 (2)	
011 (3)	Oppure: 101 (5) → 100 (4) configurazione intermedia non desiderata → 110 (6)
100 (4)	
101 (5)	
110 (6)	
111 (7)	

Figura 1.8. Esempio di codice Gray a 3 bit.

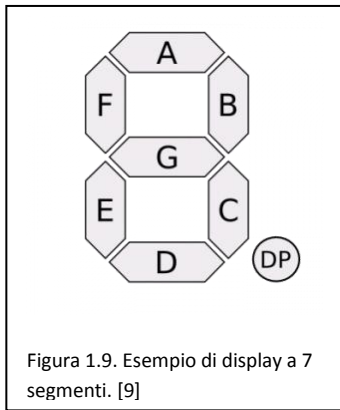
Poiché però le combinazioni del codice Gray non corrispondono a quelle della numerazione binaria, è necessario convertirle in binario, tramite convertitori hardware o per mezzo di programmi specifici.

1.2.4.3) BCD

Nella codifica *Binary-coded decimal* (BCD) ogni cifra di un numero decimale è rappresentata da un codice binario di quattro bit, il cui valore è compreso tra 0 (0000) e 9 (1001). Il codice necessita di un nibble (4 bit) ed è ridondante in quanto non utilizza tutte le 16 combinazioni che i 4 bit rendono disponibile. Per esempio il numero 127 è rappresentato in BCD come 0001-0010-0111.

Questa codifica è usata da alcuni convertitori ADC perché può essere direttamente visualizzata su un display a 7 segmenti.

I segmenti di un display vengono generalmente identificati con le lettere come da disegno.



Un motivo per cui si utilizza questa codifica è che ha una corrispondenza quasi diretta con la **codifica ASCII (American Standard Code for Information Interchange)**, una tipologia di codifica molto comune nei calcolatori, che consiste nell'associare una sequenza di bit a ciascun carattere dell'alfabeto.

CAPITOLO 1

ADC: ANALOG TO DIGITAL CONVERTER

Nei sistemi elettronici moderni, le attività di misurazione, calcolo e controllo avvengono nel dominio digitale, a partire da segnali analogici, convertiti in digitale mediante uno o più ADC.

Nella maggior parte dei casi le prestazioni del sistema d'acquisizione dipendono da quelle dell'ADC utilizzato, in particolare dai suoi parametri, ad esempio: velocità di campionamento, risoluzione, accuratezza di misura.

Idealmente, si vorrebbe disporre di ADC con velocità di campionamento, risoluzione e accuratezza infinite. Nella realtà invece le prestazioni degli ADC sono elevate per certi parametri e modeste per altri. Ciò è anche dovuto alla presenza di errori ed altre non idealità che rendono il funzionamento diverso da quello voluto.

A tale proposito vi è un documento di riferimento: lo *standard IEEE 1241-2000*, che definisce le principali non idealità ed i principali parametri di un ADC, e stabilisce i metodi per la loro misurazione. In alcune applicazioni le informazioni contenute in questo documento possono essere utilizzate per correggere gli stessi errori dell'ADC, ad esempio errori di offset e guadagno.

2.1) NON IDEALITÀ DI UN ADC

Le non idealità di un ADC sono difetti del dispositivo che rendono il suo funzionamento differente da quello ideale atteso. In particolare esse possono generare errori nella determinazione del livello di tensione d'uscita dello stesso ADC.

Al fine di rilevare e correggere tali errori è utile considerare la *caratterizzazione* di un ADC.

Essa consiste nella determinazione e descrizione del suo comportamento statico e dinamico.

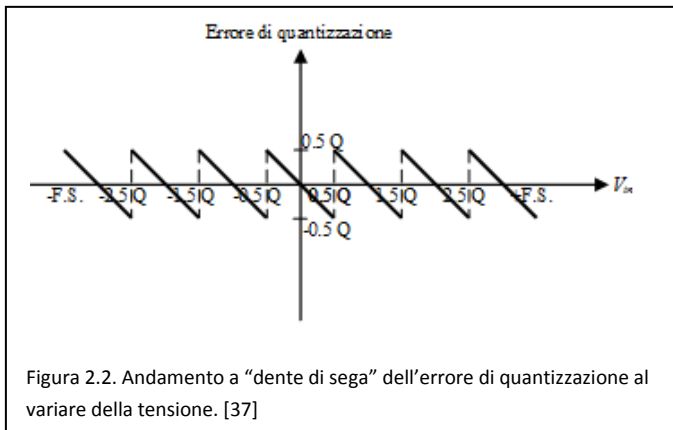
Il comportamento statico è il modo in cui si comporta il dispositivo in relazione a segnali d'ingresso costanti o variabili lentamente nel tempo.

La principale informazione che si vuole determinare a livello statico è la *transcaratteristica* dell'ADC. Ciò si ottiene attraverso la conoscenza dei *livelli di transizione*.

fra le grandezze v e v_o :

(2.1) $eq = v_o - v$, dove v_o è il livello di tensione uscente dall'ADC, associato a v .

In riferimento all'esempio di figura 2.1, si osserva che il modulo di eq corrisponde alla lunghezza del tratto AB, dove A è il punto di intersezione della retta verticale di ascissa v con la retta di equazione $v_o = v$, e B è il punto di intersezione della stessa retta verticale con la transcaratteristica stessa. Si vede così che l'andamento di eq al variare della tensione assume la forma detta a "Dente di sega" come rappresentato in figura 2.2.



La determinazione dell'errore di quantizzazione nel modo descritto in figura però è di difficile attuazione perché solitamente il valore della tensione di ingresso v è incognito, infatti in un ADC esso corrisponde al valore da stimare attraverso v_o .

Ed anche v_o , è affetto da un'incertezza su cui influisce il contributo dell'errore di quantizzazione stesso.

Per il calcolo di eq quindi ci si pone nella condizione di caso peggiore (*worst case*). Sapendo infatti che il suo valore varia nell'intervallo $[-Q/2, +Q/2]$, si può considerare il valore massimo assunto da eq , anziché il suo valore puntuale. Si può scrivere quindi: $eq_{max} = Q/2$, dove Q è il passo di quantizzazione dell'ADC.

Si può esprimere l'ampiezza di Q attraverso l'**LSB**, *Least Significant Bit* (bit meno significativo) ovvero la cifra binaria di peso inferiore. Nel contesto degli ADC questo termine viene utilizzato per riferirsi alla tensione corrispondente ad una variazione del bit meno significativo, altresì l'ampiezza di un gradino ideale, cioè $1 \text{ LSB} = Q$. eq_{max} quindi diventa: $eq_{max} = \pm 0.5 \text{ LSB}$.

eq inoltre può essere approssimato come una variabile aleatoria uniforme nell'intervallo $[-Q/2, +Q/2]$, di media nulla e varianza pari a $Q^2/12$. Da questo punto di vista si può considerare quindi l'ADC come fosse ideale, con un numero di bit infinito, al cui ingresso però sia presente un rumore, detto *rumore di quantizzazione*, prodotto dall'errore di quantizzazione stesso.

2.1.1.2) ERRORE DI OFFSET

L'errore di offset è dovuto allo spostamento dei livelli di transizione della transcaratteristica reale rispetto a quelli della transcaratteristica ideale. In particolare la forma e l'ampiezza dei livelli rimane la stessa, ma rispetto alla transcaratteristica ideale essa risulta traslata lungo l'asse v . La curva reale è soggetta cioè ad un offset costante.

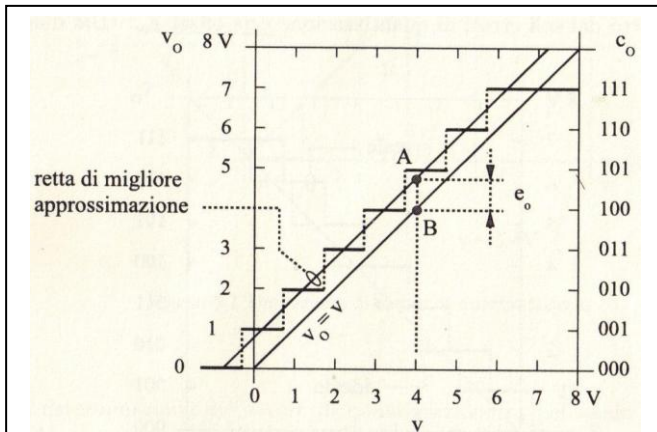


Figura 2.3. Rappresentazione grafica dell'errore di Offset. [1]

L'errore di offset e_o può essere idealmente determinato così:

(2.2) $e_o = v_o - v - e_q$. Ciò non è realmente attuabile perché comporta la conoscenza del segnale d'ingresso, incognito, e di v_o ed e_q , che dipendono dal segnale d'ingresso.

Perciò nella pratica si considera la *retta di migliore approssimazione* della transcaratteristica. Essa viene determinata solitamente attraverso due criteri: il *criterio degli estremi* ed il *criterio dei minimi quadrati*.

Perciò nella pratica si considera la *retta di migliore approssimazione* della transcaratteristica. Essa viene determinata solitamente attraverso due criteri: il *criterio degli estremi* ed il *criterio dei minimi quadrati*.

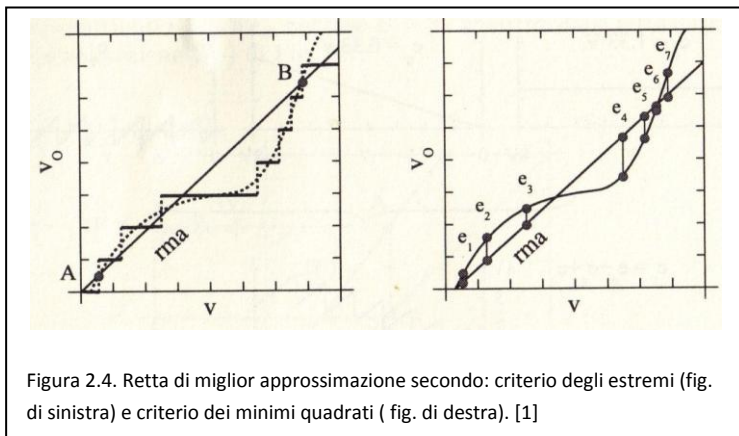


Figura 2.4. Retta di miglior approssimazione secondo: criterio degli estremi (fig. di sinistra) e criterio dei minimi quadrati (fig. di destra). [1]

Il criterio degli estremi definisce la retta di migliore approssimazione come quella retta passante per il primo e l'ultimo livello di transizione della transcaratteristica reale.

Il criterio dei minimi quadrati la definisce invece come quella retta che minimizza lo scarto quadratico medio tra la curva reale e la retta di migliore approssimazione stessa.

e_o è dunque determinabile come differenza tra il valore in ordinata del punto A, intersezione della retta di migliore approssimazione con una retta verticale di ascissa v generica, e il punto B, intersezione della stessa retta verticale con la retta:

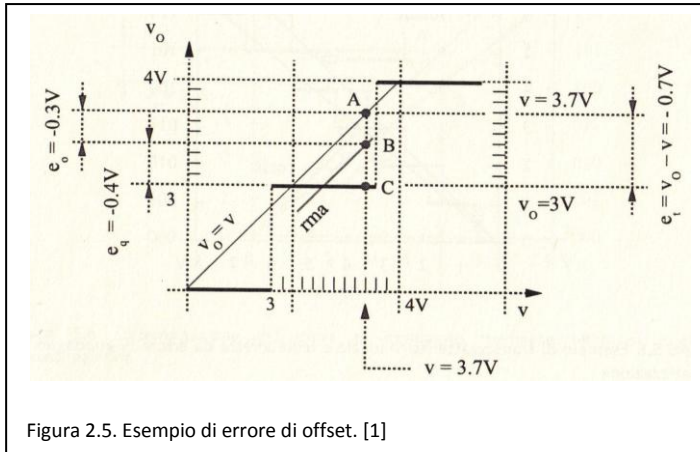


Figura 2.5. Esempio di errore di offset. [1]

$$v_o = v.$$

Esso può essere corretto facilmente sottraendo ad ogni valore v_o ottenuto, l'errore e_o . Ciò equivale ad una traslazione della transcaratteristica reale, in modo tale che si sovrapponga (e quindi coincida) con quella ideale. Solitamente ciò è attuato nel campo digitale, nella sezione di post-elaborazione dei campioni ottenuti.

2.1.1.3) ERRORE DI GAIN

L'errore di guadagno è un errore dovuto alla variazione della pendenza della retta di migliore approssimazione della transcaratteristica reale rispetto a quella ideale.

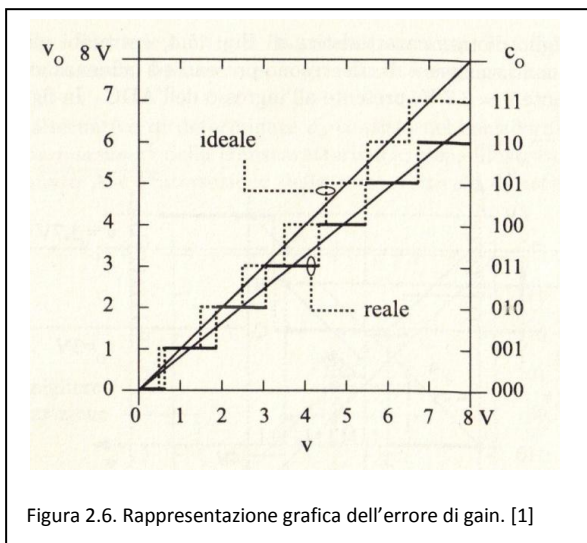


Figura 2.6. Rappresentazione grafica dell'errore di gain. [1]

Ciò comporta una differenza di ampiezza e posizione dei livelli di transizione della transcaratteristica reale rispetto a quella ideale, tanto maggiore quanto più è esteso l'input range dell'ADC (supposto unipolare) e quanto più è grande la tensione di ingresso.

Idealmente, esso può essere determinato: (2.3) $e_g = v_o - v - e_q$,

con le stesse problematiche delle definizioni fornite per gli errori precedenti.

Dal punto di vista pratico, si può considerare la variazione angolare della retta di migliore approssimazione della transcaratteristica reale rispetto a quella ideale. Infatti, la retta di miglior approssimazione della transcaratteristica ideale ha equazione: $v_o = v$, mentre quella relativa alla transcaratteristica reale ha equazione:

$$v_o = k_g * v, \text{ con coefficiente angolare } k_g \neq 1.$$

e_g può essere quindi determinato come differenza tra le ordinate dei punti A e B, intersezioni della retta verticale di ordinata v generica con le rette di miglior approssimazione ideale e reale. Si ha quindi: (2.4) $e_g = k_g * v - v = (k_g - 1) * v$.

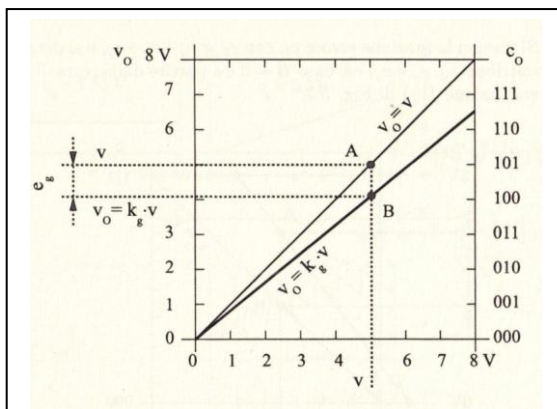


Figura 2.7. Rette di migliore approssimazione della transcaratteristica ideale e di quella avente un errore di gain. [1]

Poiché v_o è una stima di v si può ora sostituire nella formula tale valore, di modo che tutti i suoi termini siano noti. Si ha quindi: (2.5) $e_g \cong (k_g - 1) * v_o$.

Come si nota, per un ADC avente input range unipolare, l'errore è nullo per una tensione d'ingresso nulla, mentre è massimo per una tensione equivalente al valore massimo dell'input range dell'ADC (R).

Questo errore, come l'errore di offset, si compensa solitamente attraverso tecniche di post-elaborazione digitale del campione ottenuto. In particolare si attua una divisione per il coefficiente angolare della retta di miglior approssimazione della transcaratteristica reale k_g .

2.1.1.4) ERRORI DI NON LINEARITÀ

L'errore di non linearità di un ADC è un errore dovuto alla non linearità della sua transcaratteristica. È composto di due contributi:

- 1) *errore di non linearità differenziale (DNL);*
- 2) *errore di non linearità integrale (INL).*

Essi si ottengono a partire dalla transcaratteristica dell'ADC compensata dagli errori di offset e guadagno.

2.1.1.4.1) ERRORE DI NON LINEARITÀ DIFFERENZIALE

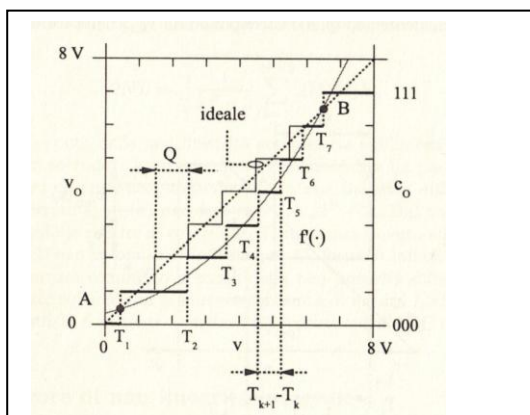
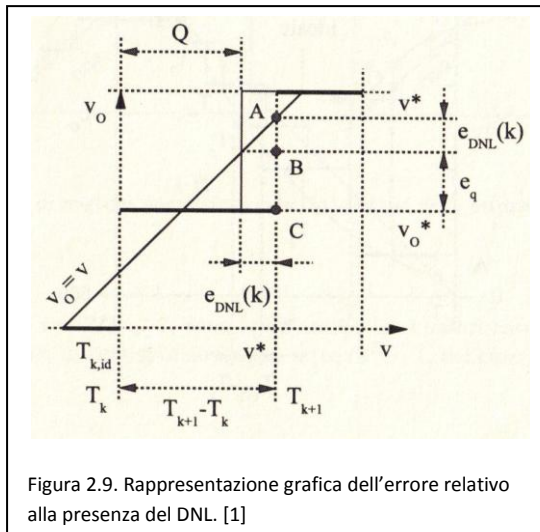


Figura 2.8. Transcaratteristica ideale affetta da DNL. [1]

L'errore di non linearità differenziale di un ADC è definito come la differenza tra l'ampiezza effettiva di un gradino della transcaratteristica compensata, e quella attesa ideale (Q). In particolare per il gradino k-esimo la non linearità differenziale ha espressione: (2.6) $DNL(k) = \frac{(T_{k+1} - T_k) - Q}{Q}$, dove T_k è il livello di tran-

sizione relativo al gradino k-esimo.

Dalla definizione si può notare che il DNL assume valore 0 in caso di un gradino ideale di ampiezza Q , assume valore -1 in caso di ampiezza nulla, 1 nel caso di ampiezza $2Q$. Nel caso risulti pari a -1 la transcaratteristica si presenta senza uno o più gradini, a cui corrisponde una mancanza di codici in uscita. Si parla in tal caso di *missing codes*.

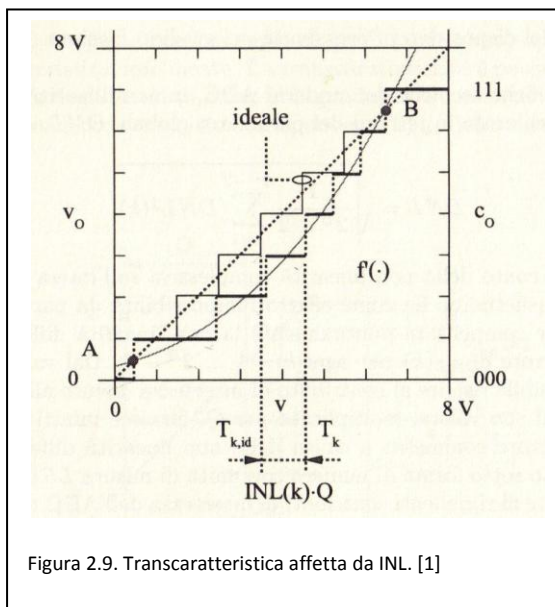


L'errore di non linearità differenziale $e_{DNL}(k)$ per il gradino k-esimo è definito come: (2.7) $e_{DNL}(k) = DNL(k) * Q$.

Dalla figura si nota inoltre che l'errore totale presente nella transcaratteristica è dato dal tratto AC, ovvero è costituito dalla somma dell'errore di non linearità con l'errore di quantizzazione, considerato usualmente pari a $Q/2$.

2.1.1.4.2) ERRORE DI NON LINEARITÀ INTEGRALE

L'errore di non linearità integrale di un ADC è definito come la differenza tra il li



vello di transizione effettivo della sua transcaratteristica e quello atteso idealmente. Per il livello di transizione k-esimo la non linearità integrale è definita come: (2.8) $INL(k) = \frac{T_k - T_{k,id}}{Q}$, con T_k livello di transizione della reale compensata e $T_{k,id}$ il suo corrispondente della transcaratteristica ideale.

L'errore di non linearità integrale è definito come: (2.9) $e_{INL}(k) = INL(k) * Q$.

Dalla figura 2.9 si nota inoltre che l'errore totale da cui è affetta la transcaratteristica è dato dal tratto CD, dove C è l'intersezione della retta verticale di ascissa v^* con la transcaratteristica reale e D è l'intersezione della stessa retta verticale con la retta $v_o = v$. Si vede che esso è for-

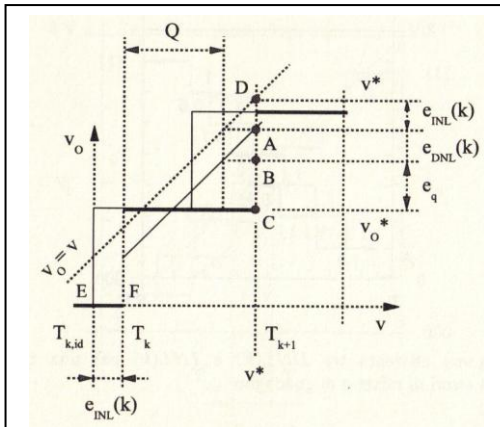


Figura 2.10. Rappresentazione grafica dell'errore relativo alla presenza di INL.. [1]

mato da tre diversi contributi. In particolare essi sono: l'errore di quantizzazione (sempre presente intrinsecamente), l'errore di DNL e l'errore di INL. A differenza di quanto accade per l'errore di quantizzazione e per quello DNL, l'errore di INL rimane costante al variare di v nell'intervallo (T_k, T_{k+1}) .

2.2) PARAMETRI DI UN ADC

È fondamentale conoscere i parametri di un ADC in quanto da essi dipendono le prestazioni del sistema. In particolare è utile una valutazione del contesto in cui deve operare il dispositivo, perché ciò determina la priorità con cui vengono scelti i parametri più di interesse per quella particolare situazione. Ad esempio si consideri un oscilloscopio digitale: l'ADC al suo interno dev'essere in grado di catturare e visualizzare segnali variabili velocemente nel tempo, quindi è necessaria un'elevata velocità di acquisizione. Mentre in un analizzatore di spettro digitale l'interesse principale è nell'accuratezza e risoluzione di misura.

In generale i parametri di maggiore interesse sono:

- 1) *Risoluzione;*
- 2) *Sensibilità;*
- 3) *Accuratezza e Precisione;*
- 4) *Velocità di campionamento;*
- 5) *Larghezza di banda;*
- 6) *Tempo di salita.*

2.2.1) RISOLUZIONE

In un ADC la risoluzione è definita come la più piccola variazione del segnale d'ingresso che il dispositivo è in grado di rilevare in modo affidabile. Essa dipende da tre fattori:

- a) Il n° di bit B a disposizione dell'ADC per la quantizzazione;
- b) Il n° di cifre decimali sul display a disposizione per la visualizzazione dei codici digitali in uscita;
- c) Il rumore generato internamente dall'ADC o dal sistema ospitante l'ADC.

La risoluzione può inoltre essere espressa tramite i seguenti parametri:

- 1) Risoluzione dimensionale Δ e numero di bit effettivi Be ;
- 2) Risoluzione adimensionale δ ;
- 3) Range dinamico DR .

2.2.1.1) RISOLUZIONE DIMENSIONALE E NUMERO DI BIT EFFETTIVI

La risoluzione dimensionale Δ rappresenta la minima variazione della grandezza di ingresso che il dispositivo è in grado di rilevare. Nel caso di un sistema digitale con ADC a N livelli di quantizzazione e ampiezza R (campo valori d'ingresso), Δ soddisfa la relazione: $\Delta \geq R/N = Q$, dove $N=2^B$ e B è il n° di bit dell'ADC.

Δ è maggiore di R/N di una quantità che dipende dal display utilizzato dal sistema per l'indicazione dei livelli di tensione dei campioni acquisiti, e dal rumore generato internamente all'ADC.

Si può intuitivamente constatare che, se la risoluzione del display è peggiore di quella dell'ADC, quest'ultima venga da essa peggiorata. Questo problema può essere superato utilizzando un display con risoluzione migliore di quella dell'ADC, cioè con più bit e quindi più livelli di quantizzazione. Per quanto concerne il problema del rumore ci si può ricondurre ad un parametro del sistema chiamato **Numero di bit effettivi Be**. Questo parametro tiene conto del numero reale di bit del sistema. E' definito come la differenza tra il numero ideale B di bit del sistema ed i Bl bit "sporcati" dal rumore: $Be = B - Bl$.

2.2.1.2) RISOLUZIONE ADIMENSIONALE

La risoluzione adimensionale δ è un parametro utilizzato per esprimere la risoluzione di un sistema digitale in modo più sintetico rispetto a Δ . In particolare per un sistema in grado di visualizzare in uscita su un display Nd combinazioni della tensione misurata, δ è definito come: $\delta = \log_a Nd$, dove a è la base numerica utilizzata. Dalla relazione si può vedere che δ è un numero intero solo nel caso in cui $Nd=a^{Md}$, dove Md è il numero di cifre del display in base a.

2.2.1.3) RANGE DINAMICO

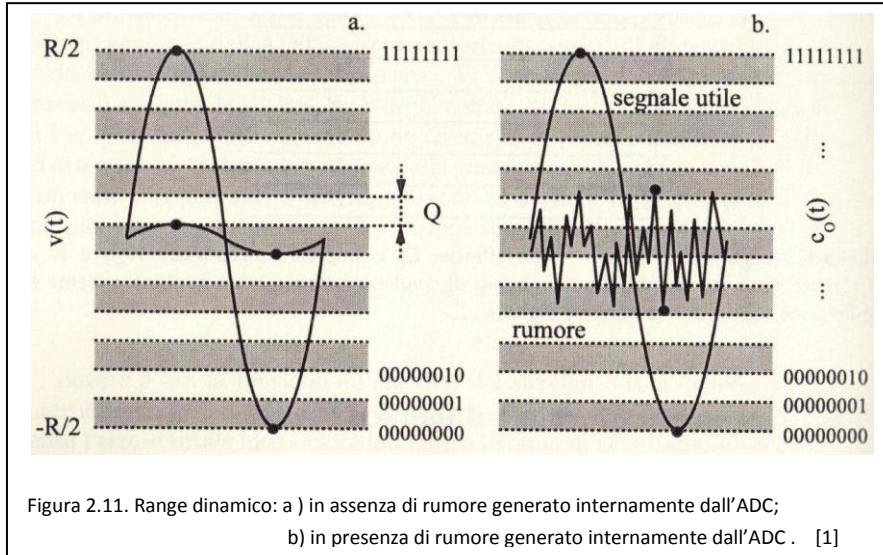
Il **Range Dinamico** (*Dinamyc Range*) è un parametro che indica la capacità di un ADC di misurare, nelle stesse condizioni di funzionamento, sia segnali di ampiezza elevata, sia segnali di ampiezza limitata.

Viene infatti definito come il rapporto tra l'ampiezza massima e minima di un segnale di ingresso che un ADC è in grado di misurare nelle medesime condizioni di setup.

Nel caso di due sinusoidi in ingresso aventi rispettivamente ampiezza massima (R)

e minima (Q) rilevabile dall'ADC, e in assenza di rumore generato internamente, il range dinamico del sistema risulta definito come:

$$DR = \frac{R}{(R/2^B)} = 2^B, \text{ con } R \text{ e } Q \text{ rispettivamente input range e passo di quantizzazione}$$



dell'ADC.

Invece nel caso in cui in ingresso vi sia un segnale sinusoidale di ampiezza V_{pp} , a cui si sovrappone il rumore generato internamente

di ampiezza $V_{r,pp}$, l'ampiezza picco-picco del segnale di ingresso più piccola misurabile $V_{pp,min}$ coincide con l'ampiezza picco-picco del rumore $V_{d,pp}$ (rumore interno + rumore di quantizzazione). Infatti ogni segnale avente ampiezza minore, risulta mascherato e non distinguibile dal rumore stesso.

L'ampiezza massima del sistema, come nel caso precedente è pari all'input range dell'ADC.

Perciò il range dinamico è definito come:

$$DR = \frac{V_{pp,max}}{V_{pp,min}} = \frac{R}{V_{d,pp}} = 2^{Be}, \text{ con } Be \text{ numero effettivo di bit del sistema.}$$

2.2.2) SENSIBILITA'

In generale la sensibilità di un dispositivo elettronico si può definire come il rapporto tra la variazione della grandezza d'uscita e la corrispondente variazione della grandezza d'ingresso.

Applicando questa definizione all'ADC si ottiene che la sua sensibilità è sempre pari ad 1.

Infatti l'uscita, essendo una stima dell'ingresso, assume il suo stesso valore ed in corrispondenza di una variazione dell'ingresso si ha la variazione dell'uscita della medesima quantità.

Per un'ADC quindi la sensibilità viene definita rispetto allo zero, ovvero come ampiezza minima del segnale di ingresso che il dispositivo è in grado di rilevare per una certa configurazione di setup.

Essa risulta perciò equivalente al passo di quantizzazione Q , in caso di rumore interno trascurabile, o all'ampiezza picco-picco del rumore interno, in caso di rumore interno non trascurabile.

2.2.3) VELOCITA' DI CAMPIONAMENTO

La velocità di campionamento (*sampling rate*) R_s è quel parametro che descrive la capacità di un ADC di acquisire velocemente i campioni del segnale di ingresso. In particolare è definita come il reciproco del tempo di campionamento T_s : $R_s = 1/T_s$, perciò è detta anche *frequenza di campionamento*.

Più in particolare R_s dipende dalla scelta di ΔT_h e ΔT_c , rispettivamente la durata dell'intervallo di hold e la durata dell'intervallo di carica del circuito track and hold. Si ricorda infatti che: $T_s = \Delta T_h + \Delta T_c$.

2.2.4) LARGHEZZA DI BANDA

La larghezza di banda di un ADC è il parametro che esprime l'ampiezza dell'intervallo di frequenze all'interno del quale il segnale di ingresso può essere acquisito senza distorsione in ampiezza e fase. Questa condizione di non distorsione si verifica quando, nel dominio della frequenza f , il modulo della funzione di trasferimento $|T(f)|$ è costante in frequenza e la sua fase $\angle T(f)$ è proporzionale ad f .

$T(f)$ è definita dal rapporto: $\frac{Vo(f)}{V(f)}$, dove $V(f)$ e $Vo(f)$ sono rispettivamente le trasformate di Fourier del segnale analogico d'ingresso e del segnale digitale in uscita. $T(f)$ è ottenuta dalla sollecitazione del sistema con una sinusoide di ampiezza nota. In uscita si hanno quindi dei campioni rappresentativi del segnale d'ingresso. Misurando l'ampiezza picco-picco del segnale d'uscita e facendo il rapporto con il valore picco-picco del segnale d'ingresso per diverse frequenze si ottiene l'andamento della funzione di trasferimento. Si vede così che la traccia ha guadagno unitario ed andamento di tipo passa-basso. Il guadagno unitario deriva dal fatto che la tensione dell'ADC è una stima del se-

gnale d'ingresso. Mentre il comportamento passa-basso è determinato dalla presenza nell'ADC del circuito Track and Hold, il quale fissa la larghezza di banda B_3 al

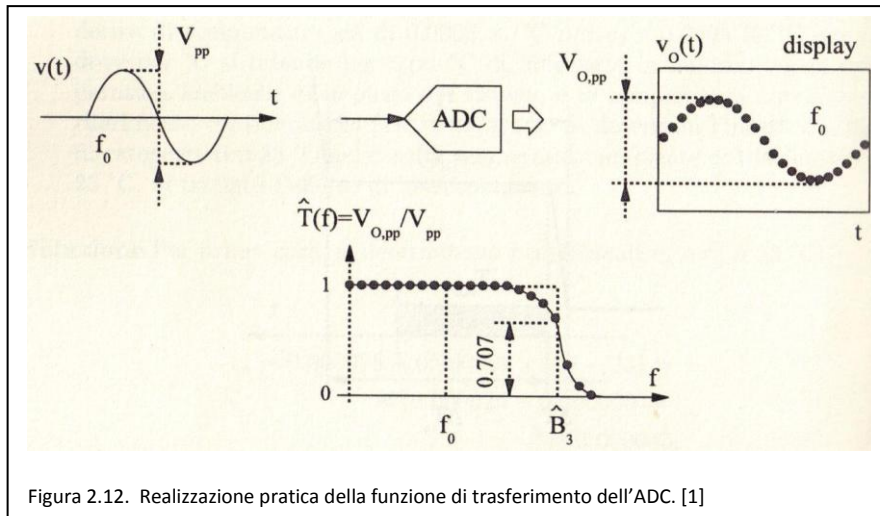


Figura 2.12. Realizzazione pratica della funzione di trasferimento dell'ADC. [1]

valore della sua frequenza di taglio:

$$B_3 = \frac{1}{2\pi C_H R_H}$$

Ciò mette in luce che per aumentare la larghezza di banda dell'ADC si può

ridurre la capacità del condensatore C_H . Questo implica una diminuzione più veloce del valore mantenuto in fase di hold, quindi una maggiore differenza tra il valore effettivo del campione e quello quantizzato. Per limitare questo inconveniente è possibile diminuire l'intervallo di hold Δt_h e quindi il tempo necessario per la conversione del livello del campione. A sua volta ciò implica una diminuzione del tempo T_s di campionamento e di conseguenza aumenta la velocità di campionamento R_s necessaria.

2.2.5) TEMPO DI SALITA

Il tempo di salita è il parametro che esprime la velocità di un ADC nella risposta alle sollecitazioni repentine del segnale d'ingresso.

Questo parametro è strettamente legato al funzionamento del circuito track and hold.

Si consideri una variazione a gradino (ideale) della tensione in ingresso. Alla chiusura del selettore S , la tensione ai capi del condensatore cresce con andamento esponenziale. Quando l'interruttore si apre, la carica del condensatore si interrompe ed il valore della tensione raggiunta viene mantenuto fino alla nuova chiusura dell'interruttore. Durante il periodo di tenuta si attua la conversione del livello di tensione in digitale e la sua visualizzazione in un diagramma tensione-tempo. Al termine del transitorio di carica l'immagine visualizzata sul diagramma assume la forma di un gradino reale di tensione da cui può essere calcolato facilmente il tempo di salita dell'ADC.

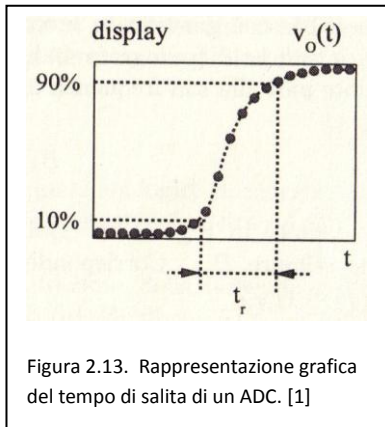


Figura 2.13. Rappresentazione grafica del tempo di salita di un ADC. [1]

Il tempo di salita viene quindi definito come il tempo che il segnale digitalizzato in uscita impiega per passare dal 10% al 90% dell'escursione massima, in relazione ad una sollecitazione a gradino ideale in ingresso.

Poiché il tempo di conversione dei campioni in digitale, ad opera del circuito quantizzatore, è confinato all'interno dell'intervallo temporale di tenuta, ciò

non influenza in alcun modo il tempo di salita del dispositivo. Quindi esso dipende soltanto dalla velocità di carica del condensatore, e di conseguenza alla fase di carica del circuito track and hold.

Perciò si può asserire che la relazione tra il tempo di salita e la larghezza di banda di un ADC sia la stessa relazione generica di un sistema lineare di tipo passa-basso:

$t_r = k_r \cdot \frac{1}{B_3}$, dove k_r è una costante di valore tipicamente compreso tra $0.35 \div 0.4$, mentre B_3 è la banda passante a 3db dell'ADC.

2.2.6) ACCURATEZZA e PRECISIONE

L'accuratezza fornisce la misura dello scarto tra il valore analogico acquisito in ingresso e il valore analogico corrispondente al codice digitale generato in uscita. In particolare, essa caratterizza la dispersione dei valori del misurando attorno ad un valore numerico centrale. Può essere denominata *incertezza di misura*.

Può essere misurata in Volt (% di V_{FS}) oppure in frazioni di LSB.

Essa tiene conto di tutti gli errori dell'ADC (errore di quantizzazione, offset, non linearità, ecc.) e non deve risultare $>(1/2)LSB$.

La precisione invece è l'insieme delle caratteristiche che garantiscono la ripetibilità

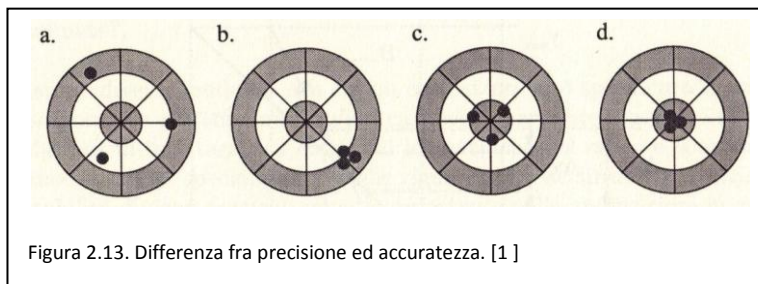


Figura 2.13. Differenza fra precisione ed accuratezza. [1]

del risultato della conversione. In particolare indica la capacità del dispositivo di fornire in uscita valori il più possibile vicini fra loro.

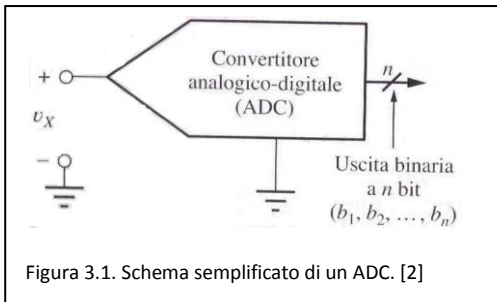
Come si può osservare in figura una buona precisione non implica in generale una buona accuratezza. Al contrario invece, una elevata accuratezza implica sempre una elevata precisione.

In particolare nel caso a di figura si ha bassa precisione e bassa accuratezza, nel caso b invece si ha un'elevata precisione ma una bassa accuratezza. Nel caso c buona accuratezza ma scarsa ripetibilità, infine nel caso d si ha elevata accuratezza ed elevata precisione.

CAPITOLO 2

ARCHITETTURE DI CONVERSIONE ANALOGICO-DIGITALE

Il convertitore analogico digitale ADC è un dispositivo utilizzato per trasformare



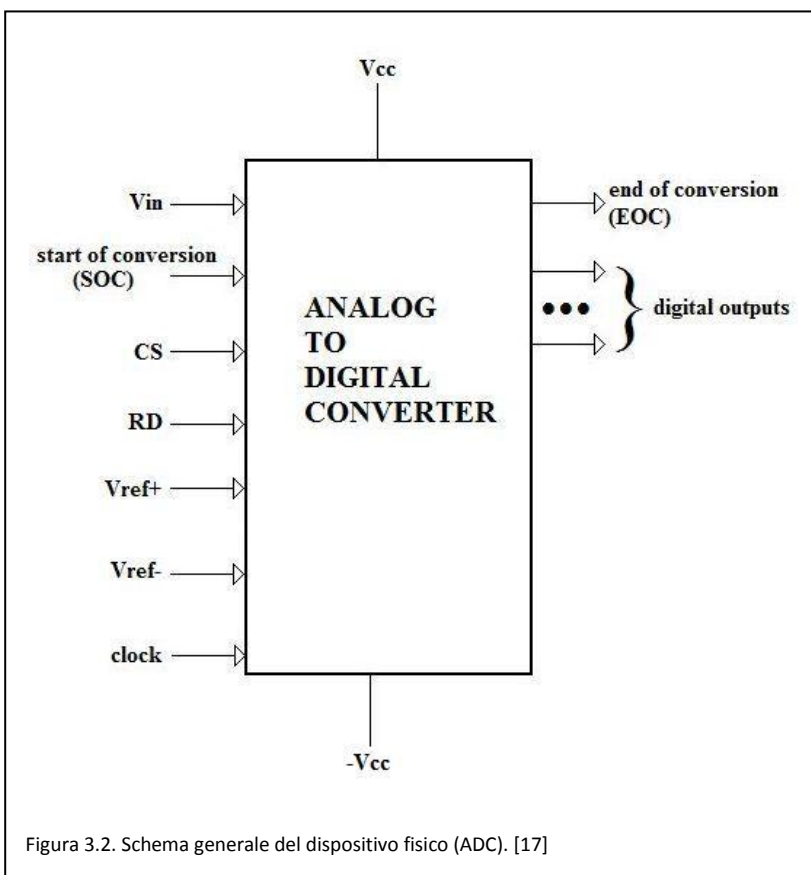
un'informazione analogica in un dato binario.

In particolare l'ADC preleva un segnale continuo incognito, specialmente una tensione V_x , e la converte in un numero binario ad n -bit che può essere facilmente trattato con un comune calcolatore. Il numero binario rap-

presenta il rapporto tra la tensione incognita d'ingresso e la tensione di fondo scala del convertitore $V_{FS} = K \cdot V_{REF}$.

3.1) SCHEMA GENERALE DEL DISPOSITIVO FISICO (ADC):

Vin: è il segnale analogico da convertire. In alcuni convertitori sono presenti due



piedini separati, V_{in+} e V_{in-} : in questo caso il segnale viene applicato in modo differenziale, cioè senza riferimento a massa.

Digital Outputs: sono le uscite digitali, in numero pari al numero di bit del convertitore; alcuni convertitori presentano un'uscita seriale e dunque hanno un solo piedino di uscita.

SOC: (*start of conversion*) è un segnale logico di ingresso mediante il quale è possibile avviare una conversione.

EOC: (*end of conversion*) è un segnale logico di uscita che segnala il termine di una conversione - in alcuni convertitori viene usato il nome INTR (interrupt), perché questo segnale viene usato per richiedere un interrupt al microprocessore alla fine di ogni conversione.

CS: (*chip select*) è un segnale logico che abilita il funzionamento dell'integrato.

RD: è un segnale logico che abilita le uscite digitali (*digital inputs*) - se disattivato, le uscite si portano in uno stato di alta impedenza; in alcuni convertitori viene chiamato Output Enable (OE).

Vref+ e **Vref-** servono per regolare la tensione superiore e la tensione inferiore di fondo scala.

Clock: è un segnale logico di clock che serve in alcuni convertitori per temporizzare le operazioni interne.

Vcc e **-Vcc:** sono rispettivamente la doppia alimentazione, positiva e negativa. In alcuni ADC è presente una singola alimentazione e un pin di massa (GROUND).

3.2) REALIZZAZIONI CIRCUITALI DELLE ARCHITETTURE

Vi sono varie tipologie di ADC:

- 1) *Convertitori a contatore,*
- 2) *ADC ad approssimazioni successive (SAR),*
- 3) *Convertitori in parallelo (ADC FLASH),*
- 4) *ADC a conversione tensione tempo (a rampa analogica),*
- 5) *ADC a conversione tensione frequenza (a doppia rampa),*
- 6) *Convertitori pipeline,*
- 7) *Convertitori Sigma-Delta.*

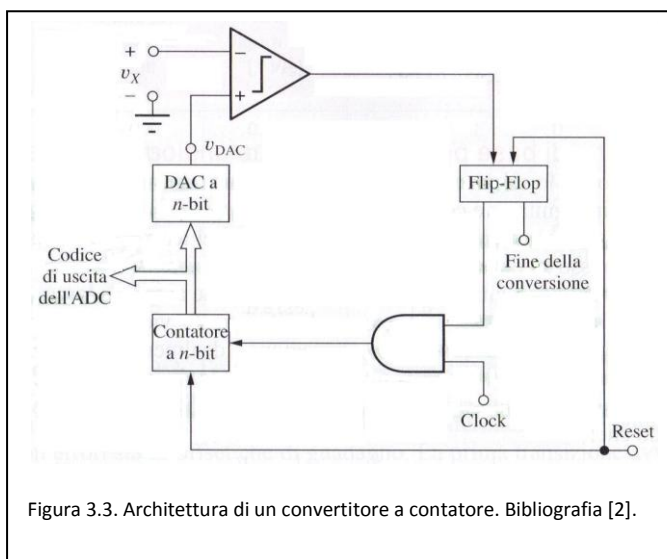
Queste categorie di ADC si possono ricondurre ad un'unica tipologia, quella differenziale.

In essa la conversione della tensione d'ingresso V_x viene effettuata tramite una serie di confronti tra V_x e la tensione di riferimento V_R variabile. In particolare V_R viene fatta variare fino al raggiungimento della condizione di equilibrio in corrispondenza della quale: $\Delta V = V_x - V_R$ il valore più prossimo a zero possibile, compatibilmente con la risoluzione del dispositivo.

La stima della tensione d'ingresso è quindi pari al valore finale assunto da V_R .

3.2.1) CONVERTITORI A CONTATORE

In questa architettura si utilizza un DAC ad n-bit per generare la tensione di riferimento, ovvero i 2^n valori discreti di uscita, applicandovi in



ingresso il codice adeguato.

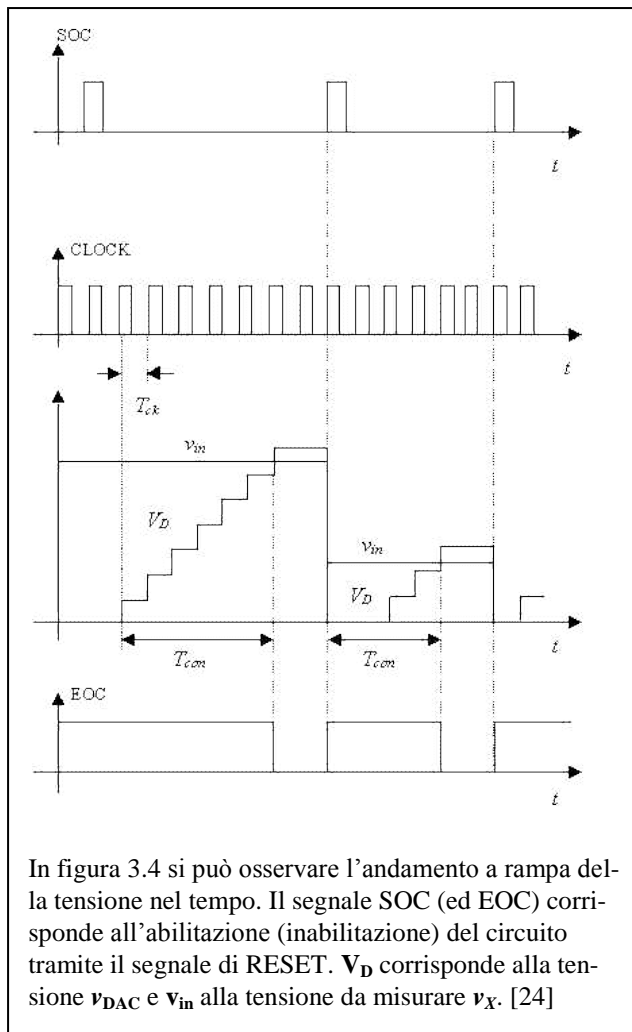
Si misura poi la tensione analogica d'ingresso tramite un confronto sequenziale con ciascuna delle possibili uscite del DAC stesso. Ciò è attuato attraverso lo schema circuitale di figura.

In particolare la misurazione della tensione d'ingresso inizia quando la logica di controllo (assente in figura) invia un impulso di reset. Esso infatti abilita il conteg-

gio tramite il flip-flop e contemporaneamente azzerava l'uscita del contatore. Il DAC prende in ingresso l'uscita binaria del contatore e la trasforma in una tensione analogica di riferimento, assume quindi inizialmente un'uscita v_{DAC} nulla.

L'uscita del DAC è a sua volta collegata all'ingresso non invertente di un comparatore. Esso confronta la tensione di riferimento v_{DAC} con quella analogica da misurare v_X .

Fintanto che $v_X > v_{DAC}$ esso genera un'uscita logica alta (H). L'uscita arriva al flip-flop, che memorizza il valore ricevuto e lo porta in ingresso ad una porta and. Essa



moltiplica il valore ricevuto in ingresso con il segnale di clock. Pertanto, se l'ingresso è alto, il segnale di clock passa attraverso la porta and e costituisce l'ingresso del contatore, che incrementa così il proprio conteggio. Ciò si ripete per ogni impulso di clock. Ne deriva che l'uscita v_{DAC} del DAC è una tensione crescente a gradini (rampa digitale). Questa tensione continua a salire nel modo indicato fino a quando si verifica la condizione $v_X < v_{DAC}$.

Nell'istante in cui $v_X < v_{DAC}$ l'uscita del comparatore commuta portandosi a livello basso (L). Con l'ingresso basso la porta and assume un'uscita bassa, bloccando il

segnale di clock e di conseguenza il conteggio del contatore. Il processo quindi si arresta e si ha la fine della conversione. Si ha così che l'uscita del contatore binario rappresenta il valore digitale della tensione incognita d'ingresso.

Indicando con T_{CK} il periodo del clock e con N l'equivalente decimale del conteggio raggiunto dal contatore in corrispondenza della tensione v_X ($N = 2^n$), si ricava che il tempo di conversione totale del sistema è: $T_{conv} = N T_{CK}$. Si nota che il tempo di

conversione non è costante ed in particolare esso dipende da T_{CK} , dal numero di bit del contatore, infine dall'ampiezza della tensione d'ingresso, ovvero dal conteggio N raggiunto. Ciò conferisce al sistema una relativa lentezza del processo di conversione, che nel caso peggiore ha bisogno di 2^n impulsi di clock. La massima frequenza del clock è limitata dal DAC, infatti più elevata è la frequenza, meno tempo ha a disposizione il DAC per assestare la sua uscita.

Inoltre si può notare che l'uscita del contatore rappresenta la più piccola uscita del DAC che è maggiore della tensione incognita. Questo valore non è necessariamente la tensione di uscita del DAC più vicina alla tensione incognita, come sarebbe auspicabile.

Per quanto concerne l'accuratezza di misura, essa è in genere bassa a causa dell'instabilità del riferimento di tensione interno del DAC, ma soprattutto del rumore generato internamente al comparatore. La sua presenza infatti modifica i livelli della tensione V_x , alterando spesso i confronti con la tensione di riferimento e generando quindi un probabile errore nella sequenza binaria in uscita. Per non ricadere in questa condizione l'offset di tensione del comparatore dev'essere in modulo $< \frac{1}{2}$ LSB.

L'unico vantaggio di questo convertitore è che richiede pochi componenti e di conseguenza è poco costoso.

Per tutti questi motivi gli ADC a gradinata si prestano in applicazioni in cui la frequenza di campionamento massima è dell'ordine dei kHz.

3.2.2) SAR

Gli ADC ad approssimazioni successive (SAR) sono dei convertitori in cui la tensione di riferimento V_R viene

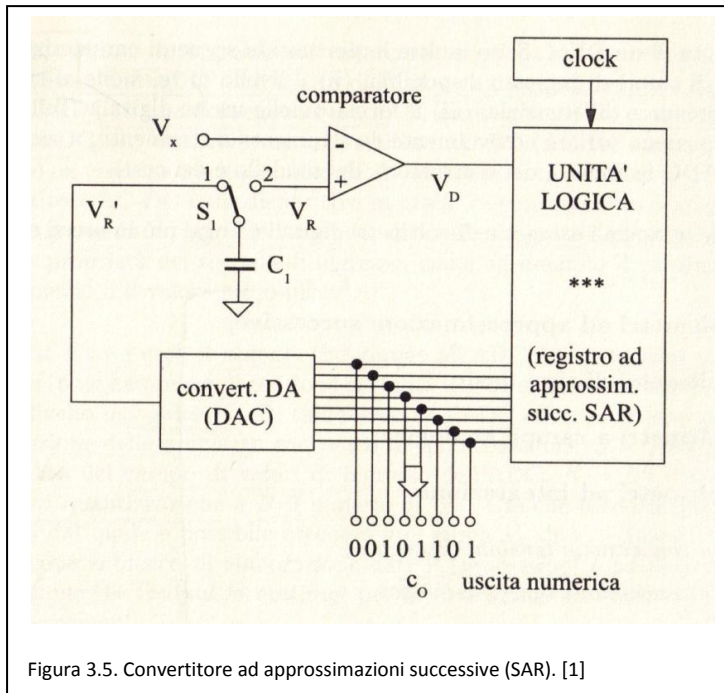


Figura 3.5. Convertitore ad approssimazioni successive (SAR). [1]

di riferimento V_R viene fatta variare per mezzo di un convertitore Digitale-Analogico (DAC).

Essi vengono realizzati con differenti tecnologie (ad esempio CMOS) garantendo prestazioni di buon livello sia per quanto concerne la dissipazione di potenza sia per la velocità di conversione, e costi relativamente contenuti.

In essi si utilizza una “ricerca binaria” per trovare la miglior approssimazione della tensione analogica d’ingresso V_x .

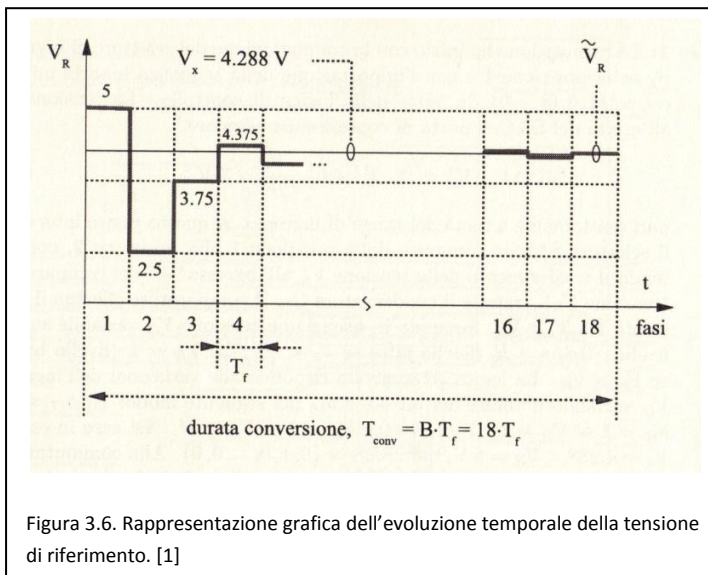


Figura 3.6. Rappresentazione grafica dell’evoluzione temporale della tensione di riferimento. [1]

La conversione in digitale invece avviene in un numero di fasi finito N , pari al numero di bit del dispositivo. In ognuna di queste fasi, l’unità logica di programmazione (registri ad approssimazioni successive) aggiorna un opportuno codice binario

$c_0 = \{b_{B-1}, b_{B-2}, \dots, b_1, b_0\}$ a B bit, che viene convertito

dal DAC in una tensione di riferimento secondo la relazione:

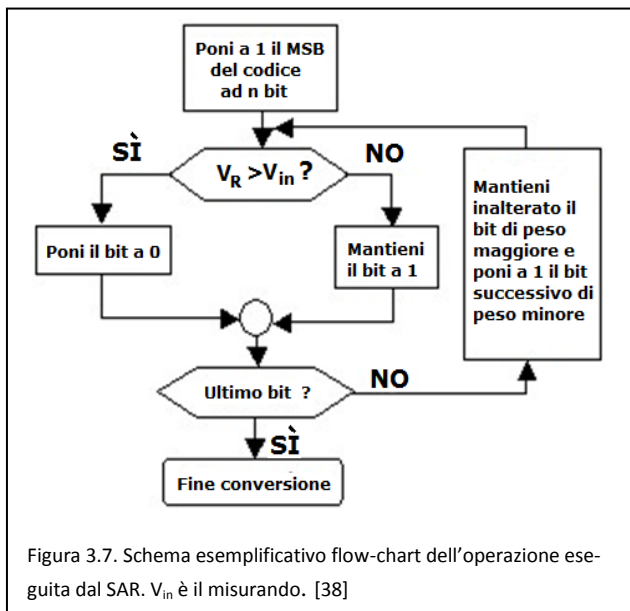
$$(3.1) \quad V'_R = [b_{B-1}2^{B-1} + b_{B-2}2^{B-2} + \dots + b_12^1 + b_0] \cdot \frac{R}{2^B},$$

dove R è l’input range dell’ADC (scelto unipolare per semplicità).

La misurazione ha inizio con la commutazione dell'interruttore S1 nella posizione 1 e con l'impostazione della sequenza binaria iniziale $c_0 = \{1,0,0, \dots, 0\}$ da parte della logica di controllo.

La tensione in uscita del DAC assume quindi il valore V'_R , dipendente dal numero di bit del dispositivo. Ora il selettore S1 commuta nella posizione 2, consentendo il trasferimento della tensione al morsetto positivo del comparatore, tramite la carica del condensatore C1 alla tensione V_R . Il comparatore effettua il confronto tra V_X e V_R , fornendo in uscita una tensione V_D che può assumere due diversi valori: $V_D = H$ (livello logico alto) se $V_X < V_R$; $V_D = L$ (livello logico basso) se $V_X > V_R$.

La logica di controllo risponde alla variazione dell'ingresso ponendo l'MSB (bit più



significativo) della sequenza c_0 ad 1 se $V_D = L$, mentre lo pone a 0 se $V_D = H$. Quel bit, una volta settato non viene più cambiato fino alla fine delle N fasi. Inoltre, indipendentemente dall'ingresso, essa setta il bit successivo ad 1.

Durante la commutazione della logica nella nuova configurazione digitale, il selettore S1 commuta nuovamente nella posizione 1,

consentendo una nuova carica del condensatore ed un nuovo ciclo del sistema.

Ripetendo il procedimento per i bit successivi si giunge alla determinazione dell'intera sequenza c_0 che rappresenta il valore in formato digitale della tensione analogica incognita. Da questa sequenza viene poi estratto il valore di stima di V_X secondo la relazione:

$$(3.2) \quad V_X \cong [b_{B-1}2^{B-1} + b_{B-2}2^{B-2} + \dots + b_12^1 + b_0] \cdot \frac{R}{2^B}$$

In questa architettura la transcaratteristica è facilmente determinabile a partire dai valori di V_R , che rappresentano i livelli di transizione del dispositivo in corrispondenza dei quali avviene la commutazione del codice d'uscita c_0 .

Il tempo di conversione è costante e non dipende dal valore assunto da V_X : $T_{conv} = B \cdot T_f$, dove T_f è la durata di ciascuna fase. La velocità di conversione $R_s = \frac{1}{T_{conv}}$,

risulta inversamente proporzionale a B e T_f , pertanto cresce al loro diminuire. T_f inoltre dipende dalla velocità con cui lavorano S_1 , il DAC ed il comparatore. Sono comuni frequenze di conversione dell'ordine di qualche MegaHertz.

La risoluzione è discreta ($\sim 8 \div 18$ bit). Essa dipende da R e da B secondo la nota relazione: $\Delta = \frac{R}{2^B}$. In ipotesi di rumore interno trascurabile essa può essere migliorata incrementando il numero di bit, e quindi di fasi del sistema. Ciò però induce un aumento del tempo totale di conversione, direttamente proporzionale a B .

Per quanto riguarda la precisione questa tipologia di ADC ha gli stessi inconvenienti dell'ADC a gradinata, in quanto utilizza un DAC in retroazione ed un comparatore analogico, peraltro presente nella maggior parte delle tipologie dei circuiti di conversione.

3.2.3) ADC FLASH

Gli ADC flash sono strumenti di conversione di tipo differenziale in grado di effettuare misurazioni di tensioni continue in tempi molto ridotti, intorno alle decine di nanosecondi, ovvero consentono di raggiungere frequenze di campionamento dell'ordine delle centinaia di megasample al secondo. Questi convertitori si rendono necessari quando i segnali d'ingresso hanno frequenza elevata, per il rispetto

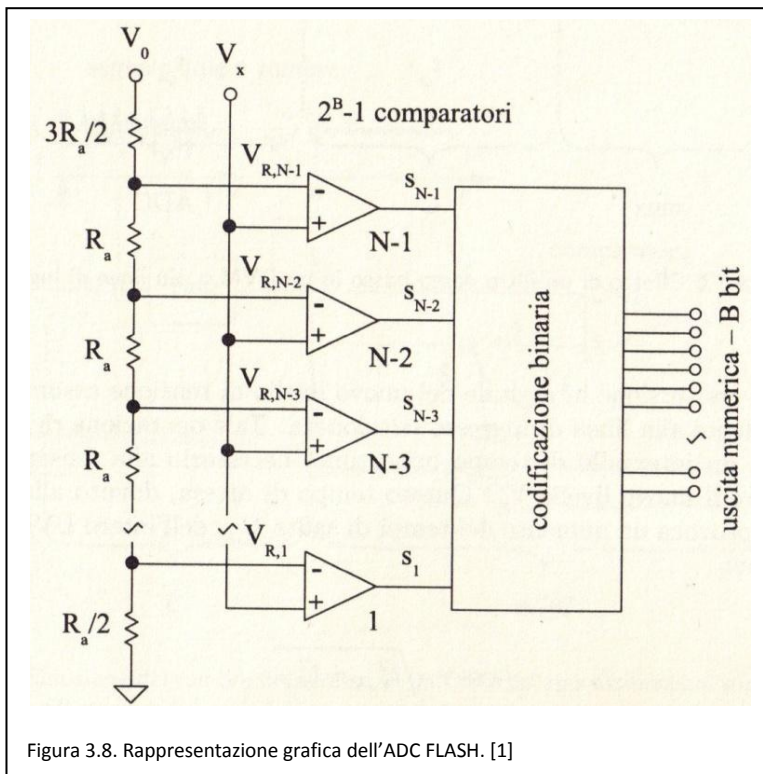


Figura 3.8. Rappresentazione grafica dell'ADC FLASH. [1]

della condizione posta dal teorema di Shannon.

Il dispositivo è costituito da una rete partitrice di tensione composta da $N=2^B$ resistori,

una serie di $2^B - 1$ comparatori di tensione ed un circuito di codifica, costituito da un multiplexer e da un registro.

La rete partitrice, alimentata da una tensione analogica continua, fornisce

$N - 1$ livelli di riferimento, in corrispondenza dei morsetti invertenti dei comparatori, di valore:

$$(3.3) \quad V_{R,i} = \frac{R_{D,i}}{R_a} \cdot Q, \quad \text{dove } R_a \text{ è la resistenza propria di ciascun resistore della rete,}$$

ad eccezione di quello a massa e di quello a V_0 , di valore rispettivamente $0.5R_a$ e $1.5R_a$.

$R_{D,i} = (i - 0.5)R_a$ è la somma delle resistenze comprese tra il morsetto invertente del comparatore i -esimo e la massa, mentre Q è il passo di quantizzazione del dispositivo.

I comparatori effettuano il confronto simultaneo di V_x con gli $N - 1$ riferimenti di tensione $V_{R,i}$. In uscita si ha quindi un livello alto (H) se $V_x \geq V_{R,i}$, mentre si ha un livello basso (L) se $V_x \leq V_{R,i}$. Al circuito di codifica giunge un segnale digitale $N - 1$ dimensionale in formato termometrico (nessun livello logico alto H può precedere

un livello logico basso L). L'encoder digitale (multiplexer) presente nel circuito stesso traduce la codifica termometrica nella sua equivalente rappresentazione bi-

$\{s_{N-1}, \dots, s_i, \dots, s_1\}$	c_o
LLLLLL	000
LLLLLH	001
LLLLHH	010
LLLHHH	011
LLHHHH	100
LLHHHH	101
LHHHHH	110
HHHHHH	111

Fig. 3.9. I valori di s_i rappresentano le uscite dei comparatori, mentre c_o sono i codici in uscita. [1]

naria. I valori così ottenuti vengono salvati in un registro e costituiscono la rappresentazione in formato digitale della tensione analogica d'ingresso.

In questa tipologia di ADC la transcaratteristica del sistema dipende strettamente dai livelli di riferimento $V_{R,i}$ della rete partitrice. Essi rappresentano infatti i livelli di transizione del dispositivo in corrispondenza dei quali si attua la commutazione del

codice c_o in uscita. Si nota che al superamento di $V_{R,i}$ da parte di V_x , il comparatore i -esimo commuta, provocando il cambio di stato della corrispondente uscita e quindi una variazione del codice binario in uscita.

Come sopra citato il grande vantaggio che conferisce questa architettura è l'alta velocità di conversione $\sim (250 \text{ Msps} \div 1 \text{ Gsps})$ e di conseguenza tempi di conversione molto brevi, inferiori a 10^2 ns .

Vi sono però diversi inconvenienti insiti nella realizzazione del dispositivo fisico. E' richiesto infatti un numero elevato di resistenze e comparatori (255 per soli 8 bit), che aumentano esponenzialmente all'aumentare del numero dei bit. Ciò accresce enormemente la complessità hardware del sistema, ed anche l'impiego di area di silicio.

Questo rende la soluzione molto costosa.

Inoltre l'aumento esponenziale di resistenze e comparatori all'aumentare dei bit implica una bassa risoluzione ed un relativo aumento di dissipazione di potenza sulla rete partitrice.

A ciò si aggiunge il fatto che a causa dei diversi tempi di trasmissione dei comparatori, le loro uscite possono non essere contemporaneamente presenti agli ingressi dell' encoder. Ciò può generare dei *glitch* (codici errati corrispondenti a valori di tensione errati) oppure dei *missing code* (codici mancanti), prima che le uscite dell' ADC assumano il loro stato definitivo.

Per evitare questo inconveniente tra i comparatori e l'encoder vengono spesso interposti dei *buffer-latches* che trattengono in memoria i dati fino alla loro completa ricezione, per presentarli poi contemporaneamente all'ingresso del codificatore.

Inoltre, gli ingressi del comparatore sono costituiti dalle basi di due transistor, che assorbono una corrente di polarizzazione non nulla. Queste correnti concorrono a formare le correnti di bias, che assieme alle correnti di offset perturbano il funzionamento del partitore d'ingresso, causando la presenza di non linearità.

L'ADC di tipo flash viene quindi utilizzato per conversioni con numero di bit relativamente basso (tipicamente 8), dove sia richiesta una velocità di conversione molto elevata ($f_c > 100$ MHz). Ad esempio è largamente utilizzato negli oscilloscopi digitali, dove si richiede di seguire un segnale velocemente variabile nel tempo ed è tollerata una bassa risoluzione.

3.2.4) ADC A RAMPA ANALOGICA

Ciò che contraddistingue questa tipologia di ADC è che la tensione di riferimento

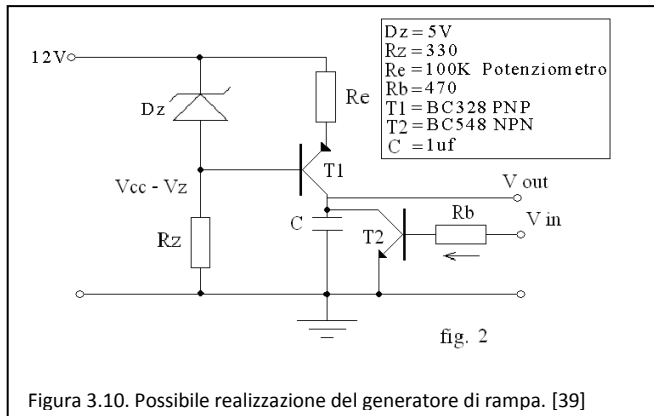


Figura 3.10. Possibile realizzazione del generatore di rampa. [39]

viene fatta variare linearmente secondo un andamento a rampa. Ciò è consentito dalla presenza del generatore di rampa analogica, costituito da un generatore ideale di corrente collegato ad un transistor ed un condensatore. Infatti, se il transistor è inter-

detto tutta la corrente finisce sulle armature del condensatore che si carica con un andamento lineare crescente. Mentre, quando il transistor è in saturazione, il condensatore si scarica creando una vera e propria rampa.

Sono possibili due modi lievemente differenti di realizzare il circuito, a seconda che la pendenza della rampa sia positiva o negativa.

Pendenza Negativa

Nel caso di pendenza negativa il generatore di rampa è collegato all'ingresso di due

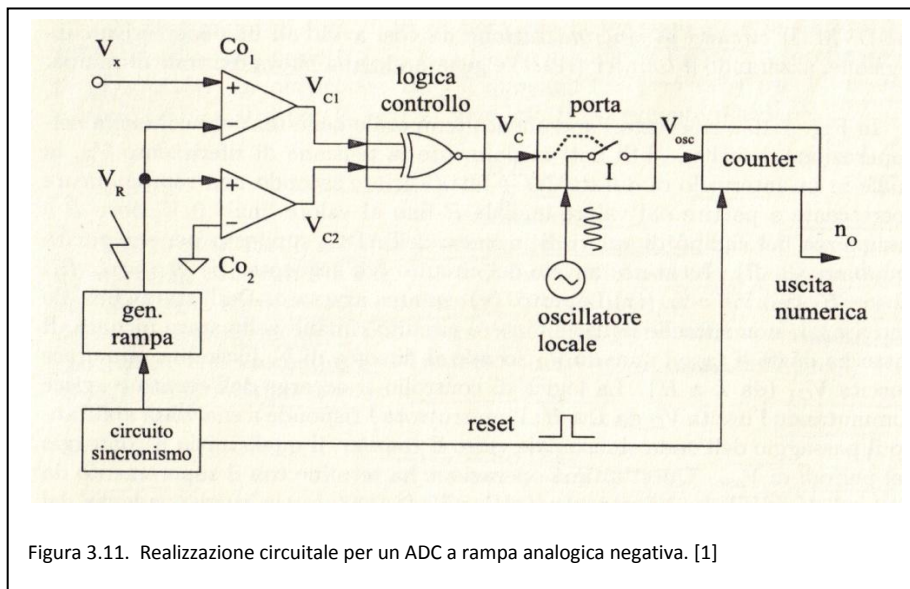


Figura 3.11. Realizzazione circuitale per un ADC a rampa analogica negativa. [1]

comparatori. In particolare è collegato all'ingresso invertente del comparatore Co_1 ed all'ingresso non invertente del comparatore Co_2 di

figura. Co_1 confronta il valore istantaneo della rampa di tensione V_R in uscita dal generatore con la tensione analogica incognita da convertire V_X , mentre Co_2 la confronta con il Gnd (0 Volt). Il risultato del confronto di Co_1 è quindi un livello logico alto (H) se $V_X \geq V_R$ o basso (L) se $V_X < V_R$.

Per quanto riguarda Co_2 , esso riporta in uscita un livello logico alto (H) se $V_R \geq 0$ V, o basso (L) se $V_R < 0$ V.

V_{C1}	V_{C2}	V_C
L	L	H
L	H	L
H	L	L
H	H	H

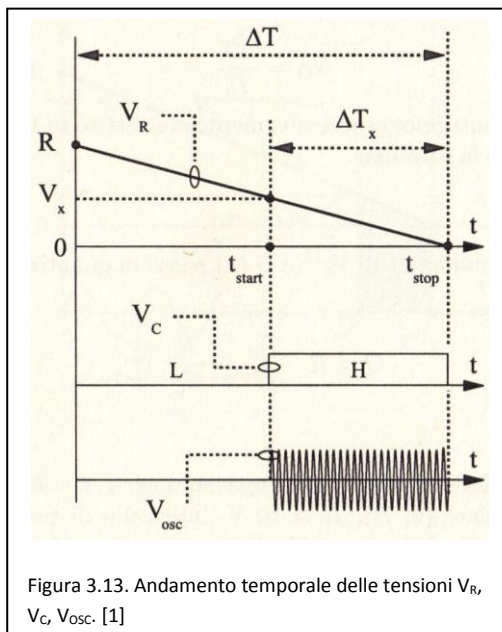
Figura 3.12. Tabella di verità della porta XNOR. [1]

Le uscite dei due comparatori confluiscono in ingresso in una porta XNOR che aggiorna la sua uscita secondo la tabella di verità riportata in figura 3.13.

Il valore logico ottenuto è posto in ingresso ad un blocco circuitale che comanda la commutazione di un interruttore ed è collegato a sua volta ad un oscillatore locale.

In particolare, a seconda che il valore logico sia alto (H) o basso (L) l'interruttore viene rispettivamente chiuso od aperto, consentendo o meno il passaggio in uscita dell'onda sinusoidale generata dall'oscillatore locale ad esso collegato.

In serie ad esso è posto un contatore, abilitato inizialmente assieme al generatore di rampa tramite un segnale di reset, inviato da un circuito di sincronismo. Il contatore effettua il conteggio dei periodi di tale segnale fino alla nuova apertura dell'interruttore.



Nella figura sottostante è riportato l'andamento temporale della tensione nel circuito.

Si può vedere che nello stato iniziale del circuito l'uscita di Co_1 è bassa (L), perché la rampa parte da un valore di $V_R > V_X$. L'uscita di Co_2 invece è alta perché $V_R > 0$ V. L'interruttore è quindi aperto ed il contatore azzerato tramite il circuito di sincronismo.

Dall'istante iniziale fino a t_{start} l'interruttore rimane aperto ed il circuito rimane quindi

“congelato” nello stato iniziale. Successivamente a t_{start} si verifica la condizione: $V_X \geq V_R$ e ciò fa commutare l'uscita di Co_1 (da L ad H). L'interruttore abilita quindi il passaggio del segnale prodotto dall'oscillatore verso il contatore, il quale inizia il conteggio dei periodi. Ciò persiste finché V_R rimane positivo, dopodiché l'uscita di

Co₂ diventa bassa ed inibisce attraverso la XNOR l'interruttore e quindi il contatore.

Esce così come risultato un codice n₀ (numero degli impulsi di clock contati), proporzionale alla tensione presente in ingresso. Ciò si può facilmente dedurre con una proporzione basata sull'andamento temporale della tensione; vale infatti che:

$V_X : R = \Delta T_X : \Delta T$, dove R è il massimo valore assunto dalla rampa (corrispondente all'input range dell'ADC), ΔT_X l'intervallo di tempo in cui: $0 < V_R < V_X$, e ΔT l'intervallo di tempo totale di conversione.

Da ciò si ricava che $V_X = \frac{R}{\Delta T} \cdot \Delta T_X$, dove $\frac{R}{\Delta T}$ è la pendenza della rampa.

Pendenza Positiva.

Nel caso di pendenza positiva l'uscita del generatore a rampa viene collegata ad entrambi i morsetti non invertenti dei comparatori,

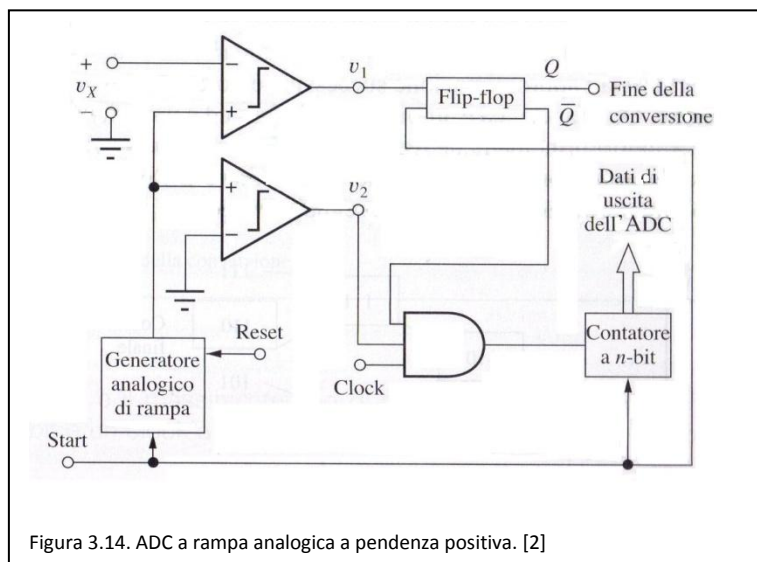


Figura 3.14. ADC a rampa analogica a pendenza positiva. [2]

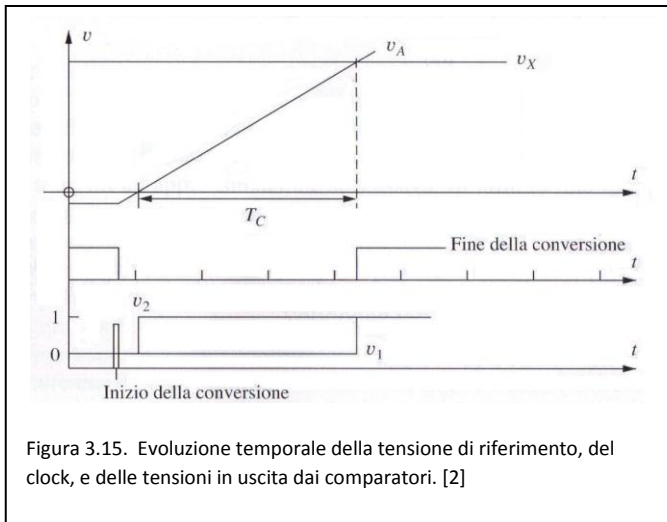
trambi i morsetti non invertenti dei comparatori, che la confrontano rispettivamente con la tensione incognita d'ingresso v_X e con Gnd (0 V). L'uscita del comparatore 1 è dunque alta se la tensione d'ingresso è minore della tensione di riferimento, mentre è

bassa nel caso complementare. L'uscita del comparatore 2 è invece alta se la tensione di riferimento è maggiore di zero, bassa nel caso complementare.

Il valore logico in uscita dal primo comparatore entra in un flip-flop, che salva il valore logico ricevuto e lo pone (negato) in ingresso di una porta AND, i cui altri ingressi sono rispettivamente un segnale di clock e l'uscita del secondo comparatore. La porta AND moltiplica i tre segnali d'ingresso lasciando o meno passare il segnale di clock dipendentemente dal valore logico degli altri due ingressi. Se il valore logico è adeguato, il segnale di clock può transitare fino ad un contatore ad n-bit che ne conta gli impulsi.

Nella figura è riportato l'andamento temporale della tensione nel circuito.

Entrambe le uscite dei comparatori sono inizialmente basse (L).



Il processo inizia con il segnale SOC (Start Of Conversion) che azzerava il contatore binario e fa partire il generatore di rampa da un livello di tensione leggermente negativo. Questo evita problemi legati agli offset dei comparatori.

Quando la rampa di tensione attraversa lo zero, l'uscita del

comparatore 2 commuta al livello alto consentendo al contatore di effettuare il conteggio degli impulsi di clock.

L'uscita del contatore si aggiorna finché la rampa non supera il livello di tensione incognito v_x . Infatti l'uscita del comparatore 1 commuta a sua volta, assumendo un valore logico alto, ed inibendo quindi, attraverso la porta AND il conteggio del contatore.

Si può dimostrare, allo stesso modo di quanto fatto per la pendenza negativa, che il numero N di impulsi di clock contati del contatore è direttamente proporzionale alla tensione d'ingresso: $v_x = K N T_C$, dove K è la pendenza della rampa in Volt/s.

Questo mette in evidenza che il circuito (sia per pendenza positiva, che negativa) è un convertitore tensione-tempo, cioè effettua una trasformazione lineare della tensione iniziale in un determinato intervallo di tempo.

Per tale proprietà del circuito si ha che il tempo di conversione, e di conseguenza la velocità di conversione, dipende dalla tensione di ingresso e dalla pendenza della rampa. Nel caso peggiore si ha che il tempo di conversione dipende al più da 2^n impulsi di clock.

La precisione (e di conseguenza anche l'accuratezza) del sistema dipende principalmente da tre fattori:

- (i) linearità della rampa (non idealità del generatore di rampa);
- (ii) stabilità dell'oscillatore (se presente);

(iii) comportamento dei comparatori (può modificare le soglie di scatto).

Questo circuito ha inoltre una bassa reiezione al rumore, rispetto ai normali ADC contenenti integratori, pertanto del rumore sovrapposto al segnale può provocare commutazioni spurie dei comparatori ed il risultato della misura può essere affetto da errore.

Un vantaggio invece del circuito è l'eliminazione del DAC in retroazione. Ciò riduce infatti la presenza di non linearità e di conseguenza la complessità del circuito.

Un parametro fondamentale di entrambe le realizzazioni circuitali è il numero massimo di conteggi effettuato dal contatore (rispettivamente N_0 ed N per pendenza negativa e positiva). Esso si ha quando si verifica che il circuito già nello stato iniziale si trova nella condizione: $V_X = V_R$, ed è importante perché è strettamente legato alla risoluzione del dispositivo. Corrisponde infatti al numero di livelli di quantizzazione previsto per l'input range dell'ADC, per semplicità supposto unipolare. In particolare per il circuito a pendenza negativa la risoluzione Δ risulta:

$\Delta = R/N_0$, dove $N_0 = \frac{\Delta T}{T_0}$ e T_0 è il periodo del segnale sinusoidale prodotto dall'oscillatore. Può essere quindi migliorata restringendo l'input range dell'ADC, aumentando la frequenza dell'oscillatore locale, oppure aumentando la durata dell'intervallo temporale. Quest'ultima scelta ha come conseguenza l'aumentare del tempo di conversione del dispositivo e quindi il diminuire della velocità di conversione dello stesso.

3.2.5) ADC A DOPPIA RAMPA

Gli ADC a doppia rampa sono una tipologia di architettura che utilizza un metodo

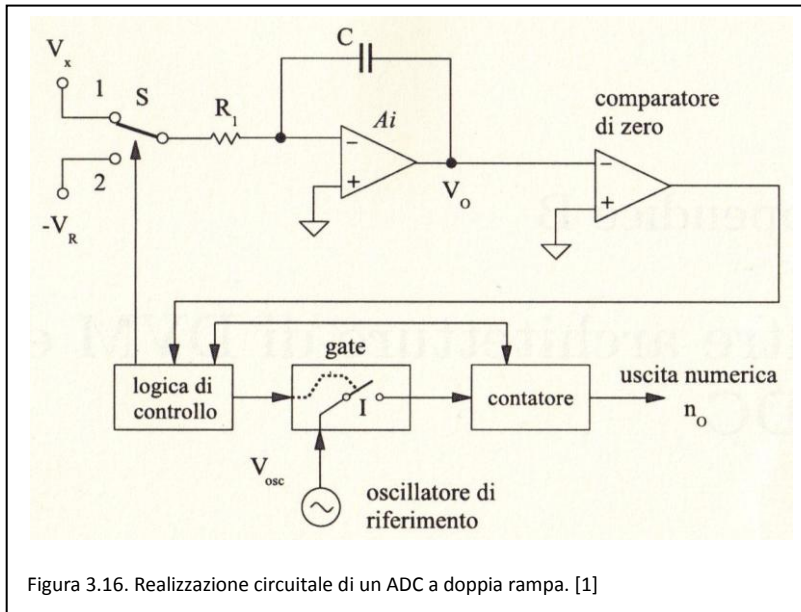


Figura 3.16. Realizzazione circuitale di un ADC a doppia rampa. [1]

di conversione indiretto, detto conversione tensione-tempo. Esso risolve i problemi del convertitore a singola rampa ed è usato nei sistemi di acquisizione dati ad alta precisione. In figura è riportato lo schema generale del dispositivo fisico.

Il ciclo di conversione è composto da due intervalli di integrazione distinti: *run-up* e *run-down*.

Nella fase di run-up, all'istante t_0 , la logica di controllo azzerava il contatore e al contempo fa commutare il selettore S in posizione 1, collegando V_x all'ingresso di un integratore (RC).

La tensione V_x viene quindi integrata per un intervallo di tempo finito, si ottiene quindi:

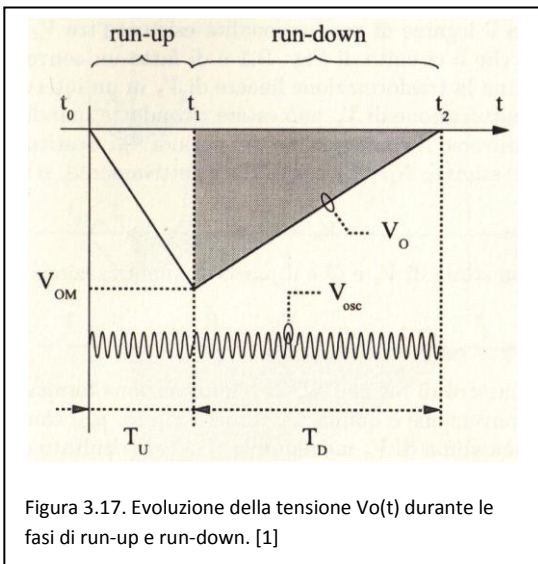
$$(3.4) \quad V_o(t) = -\frac{1}{R1 * C} * \int_{t_0}^t V_x * dt = -\frac{V_x}{R1 * C} * (t - t_0), \text{ dove } t_0 \text{ è l'istante iniziale}$$

della conversione. Come si nota in figura la tensione V_o varia nel tempo con un andamento lineare decrescente e proporzionale a V_x .

Nello stesso istante t_0 la logica di controllo comanda la chiusura del gate I, di modo che la sinusoide prodotta dall'oscillatore di riferimento transiti attraverso l'interruttore ed abiliti il conteggio del contatore. Questo dispositivo effettua il conteggio dei periodi T_0 della sinusoide fino ad un valore limite, fissato da progetto o in fase di setup, dopodiché indica overflow. Ciò è rilevato dalla logica di controllo che apre il gate I, bloccando il segnale sinusoidale e fa commutare il selettore S nella posizione 2. Ha così termine la fase di run-up dopo un tempo $T_U = N_U * T_0$, dove N_U è il numero di periodi rilevati dal contatore. (T_U ha valore tipico $\sim 100 \div 200$ ms)

Si ha ora la fase di run-down, dove l'operazione di integrazione è effettuata sulla tensione $-V_R$, costante e negativa ($V_R > 0$ V). Essendo V_R negativa, essa comporta una diminuzione della carica accumulata nel condensatore C, di conseguenza la tensione V_o assume un andamento temporale costante e linearmente crescente. Tale andamento si manifesta a partire dal valore V_{oM} precedentemente assunto dalla tensione V_o durante la fase di run-up.

Nel medesimo istante la logica di controllo chiude nuovamente il gate I abilitando un nuovo conteggio N_D dei periodi del segnale prodotto dall'oscillatore. Quando la tensione V_o supera lo 0 V, il comparatore di zero cambia stato. Ciò è rilevato dalla logica di controllo che apre il gate I, inibendo il contatore e trasferisce in uscita il



risultato del secondo conteggio. Finisce così anche la fase di run-down.

Per la seconda fase si ha che la tensione d'uscita dall'integratore è pari a:

$$(3.5) \quad V_o(t) = V_{oM} + \frac{V^*(t-t_1)}{R_1 * C} = -\frac{V_x * T_U}{R_1 * C} + \frac{V_R * (t-t_1)}{R_1 * C}, \text{ dove } t_1 \text{ è l'istante}$$

di passaggio tra la fase di run-up e run-down.

Denotando che durante la seconda fase

$$(3.6) \quad V_o(T_U + T_D) = 0,$$

da cui:

$$(3.7) \quad -\frac{V_x}{R_1 * C} * T_U = -\frac{V_R}{R_1 * C} * T_D.$$

Si ha allora che: $T_D = \frac{T_U}{V_R} * V_x$, dove T_D è l'intervallo di tempo della fase di run-down.

Viene in tal modo evidenziata la proporzionalità diretta tra V_x e T_D . Il circuito è quindi un convertitore tensione-tempo, ovvero realizza una trasformazione lineare della tensione d'ingresso in un intervallo di tempo. Inoltre poiché T_U e T_D sono noti, si può sostituire il loro valore nella formula e si ricava che :

$$(3.8) \quad V_x = \frac{N_D}{N_U} * V_R = K N_D, \text{ con } K = \frac{V_R}{N_U}, \text{ pendenza della rampa nella fase di run-up.}$$

In questa architettura la risoluzione è definita nel seguente modo: $\Delta = \frac{R}{2^B} = \frac{V_R}{N_U}$.

Può essere quindi migliorata diminuendo la tensione di riferimento V_R , ma soprattutto aumentando il numero di periodi della fase di run-up. Ciò si può ottenere aumentando la durata dell'intervallo di tempo di run-up T_U , e aumentando la frequenza di oscillazione del segnale sinusoidale prodotto dall'oscillatore di riferimento. Questo si può fare entro un certo limite, infatti aumentando troppo la frequenza di oscillazione si rischia di cadere in una situazione di instabilità dell'oscillatore. Serve inoltre un contatore adeguato, che riesca a seguire velocemente i periodi del segnale e con un determinato grado di accuratezza. Consente comunque un'elevata risoluzione, generalmente superiore a 18 bit.

Il tempo e la velocità di conversione dipendono invece dall'intervallo di tempo di run-up e run-down, dal tempo di attesa tra le due fasi, e dal tempo necessario per il ri-settaggio del circuito una volta concluso un ciclo. È quindi un dispositivo lento, ma molto accurato. Infatti V_X non dipende dai parametri circuitali, ma solo da V_R e dai conteggi del contatore.

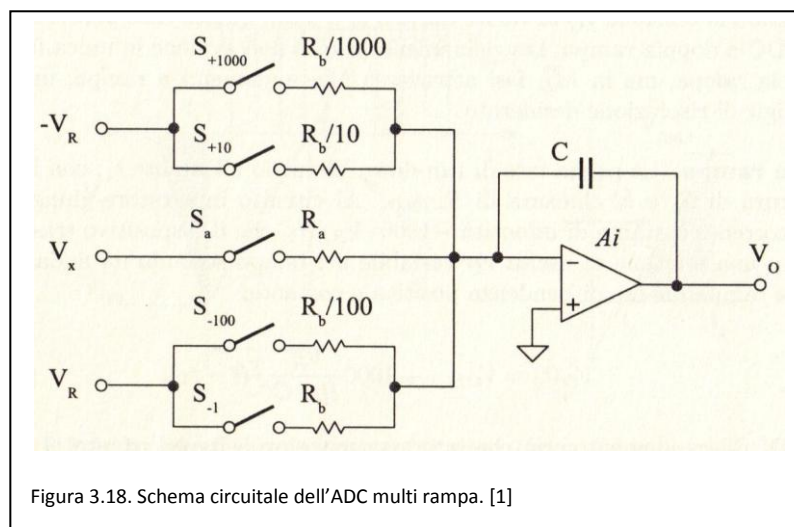
Inoltre, data la presenza dell'integratore, il circuito possiede una notevole reiezione al rumore generato dalla tensione di alimentazione.

Infine l'assenza del DAC conferisce al circuito una relativa semplicità circuitale.

Oltre agli ADC a doppia rampa esistono anche gli ADC Multirampa (multislope).

Essi si basano su un'architettura circuitale simile a quella di un ADC a doppia rampa, ad eccezione dello stadio d'ingresso integratore.

In figura è riportato uno schema del circuito, sotto l'ipotesi che il dispositivo di-



sponga di un input range unipolare (0,R). Lo stadio d'ingresso si presenta come un insieme di rami circuitali in parallelo, dei quali alcuni sono connessi al potenziale di riferimento $V_R > 0$ V, altri al potenziale $-V_R$. Un ul-

teriore ramo consente il collegamento dello strumento con l'ingresso a potenziale V_x incognito.

In ogni ramo vi sono un interruttore ed un resistore: l'interruttore ha la finalità di collegare il ramo all'ingresso dell'integratore, mentre il resistore serve a modulare l'intensità della corrente inviata all'integratore, a seconda della rampa di tensione desiderata. Come per gli ADC a doppia rampa la conversione avviene nelle due fasi di run-up e run-down.

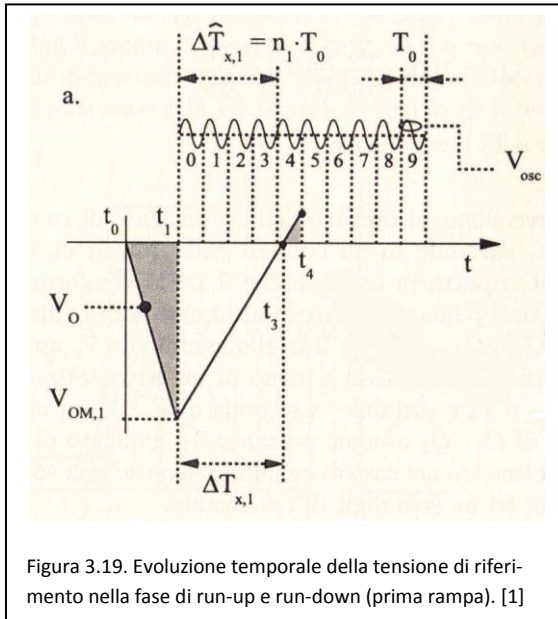


Figura 3.19. Evoluzione temporale della tensione di riferimento nella fase di run-up e run-down (prima rampa). [1]

La fase di run-up inizia con la chiusura del solo interruttore S_a e prosegue con l'integrazione di V_x e la conseguente variazione di $V_o(t)$, secondo un andamento a rampa di pendenza negativa proporzionale a V_x : **(3.9)** $V_o(t) = -\frac{V_x}{R_a * C} * (t - t_0)$, dove t_0 è l'istante di inizio della misurazione. Ciò si protrae fino all'istante t_1 , dopo un opportuno tempo di run-up T_U , prefissato in progettazione. In tale istante, l'interruttore S_a

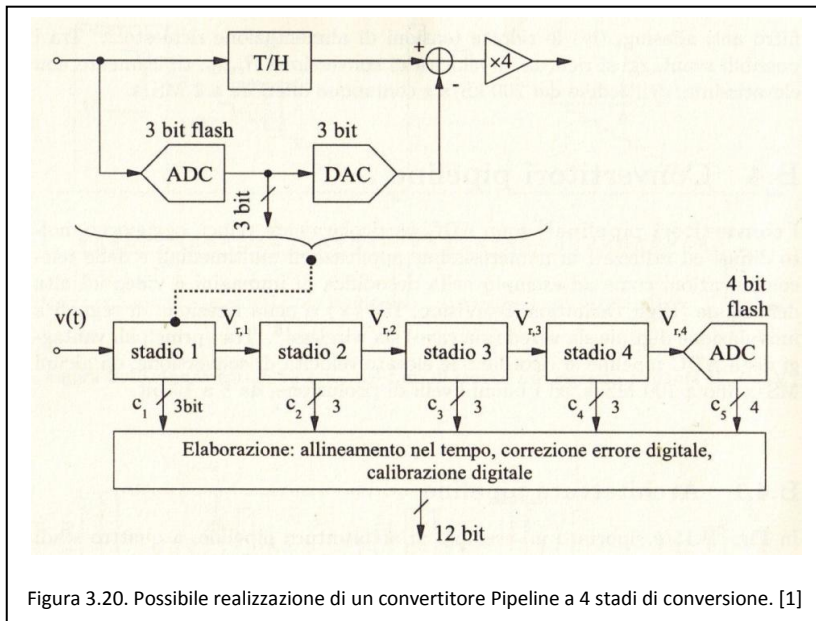
commuta nella posizione di aperto, lasciando la tensione V_o pari ad un valore

costante $V_{0M,1}$ pari a: **(3.10)** $V_{0M,1} = -\frac{V_x * T_U}{R_a * C}$. Nella fase di run-down il dispositivo completa la procedura di misurazione riportando la tensione V_o al valore iniziale di 0 V. Rispetto agli ADC a doppia rampa però, l'avvicinamento a zero non avviene in un'unica fase ad una sola rampa, ma in M fasi attraverso M andamenti a rampa, uno per ogni digit di risoluzione desiderato.

Un grande vantaggio di questo circuito rispetto all'ADC a doppia rampa consiste in una riduzione del tempo di conversione. Considerando infatti due ADC, uno multi-rampa ed uno a doppia rampa, caratterizzati dalla stessa risoluzione δ , e quindi da un numero massimo di conteggi N_0 pari a: $N_0 = 10^\delta$, per il doppia rampa e da un numero di rampe $M = \delta$ per il multi rampa, il rapporto dei rispettivi tempi di conversione è: $\frac{T_{conv,dual}}{T_{conv,mult}} = \frac{10^\delta * T_0}{10 * T_0 * \delta} = \frac{10^{\delta-1}}{\delta}$. Il tempo di conversione per un ADC doppia rampa è quindi molto maggiore di quello di un ADC multirampa.

3.2.6) CONVERTITORI PIPELINE

Recentemente, alle architetture di base si vanno affiancando architetture più complesse, di tipo multi-



stadio. Il convertitore viene cioè costruito collegando in serie o in parallelo strutture semplici, i.e. a pochi bit, realizzate prevalentemente secondo le architetture di tipo FLASH e SAR.

Nelle combinazioni

in serie vengono spesso usate pipeline, per abbreviare i tempi di conversione.

In figura è riportato un esempio di architettura pipeline, a quattro stadi intermedi e risoluzione complessiva di 12 bit. Ogni stadio intermedio include un circuito track and hold, un ADC flash a 3 bit, un DAC a 3 bit, un amplificatore di guadagno 4 collegato attraverso un nodo sommatore.

La conversione inizia nello stadio 1 con il campionamento del segnale ad opera del circuito track and hold, che dà in uscita campioni del segnale non quantizzati. Tali campioni sono inviati al nodo sommatore, il quale sottrae a ciascuno di essi il loro corrispondente quantizzato, ottenuto attraverso l'ADC ed il DAC.

Esce quindi un errore $e_1(k)$ che rappresenta l'errore di quantizzazione commesso dall'ADC durante la conversione del dato in digitale. Il successivo amplificatore moltiplica l'errore per il proprio guadagno. Dà così in uscita una tensione: **(3.11)** $V_{r,1}(k) = e_1(k) * 4$ detto *residuo* della prima conversione.

Lo stadio riporta inoltre in uscita la serie di codici a 3 bit derivanti dalla conversione in digitale ad opera dell'ADC. Essi rappresentano la parte di conversione della tensione d'ingresso relativa ai 3 bit più significativi (MSB) della conversione totale. Gli stadi successivi effettuano simultaneamente operazioni analoghe, dando in uscita codici a 3 bit, relativi ai bit intermedi o meno significativi (LSB) della conversione totale.

Infine vi è il blocco di elaborazione dati, il quale, unendo i codici a 3 bit, ottenuti per ogni campione, effettua su di essi un allineamento nel tempo. Esso è inoltre adibito alla correzione degli errori di quantizzazione e di conseguenza ad una calibrazione del dispositivo.

Una caratteristica fondamentale per la conversione dei dati è che essa avviene sequenzialmente (e non simultaneamente) secondo una procedura pipeline. Ovvero lo stadio i -esimo dopo aver prodotto il codice relativo al campione k -esimo ed il suo corrispondente residuo, non rimane inattivo fino a fine conversione del campione k , ma inizia la conversione del campione successivo. Da ciò deriva la possibilità di massimizzare la velocità di conversione e minimizzare quindi il tempo di conversione.

Infatti rispetto ad un ADC SAR a 12 bit, l'architettura pipeline ad N stadi, (trascurando i ritardi dei blocchi T/H) offre un tempo di conversione che è mediamente pari a $1/N$ della soluzione senza pipeline. Ciò implica che la frequenza di Nyquist aumenta di N volte rispetto alla soluzione SAR.

Esso però comporta un moderato incremento di complessità, e quindi di costo, per la logica di controllo. Soprattutto per quel che riguarda la capacità del blocco di elaborazione di ordinare i codici parziali ottenuti in tempi diversi dai singoli stadi di conversione.

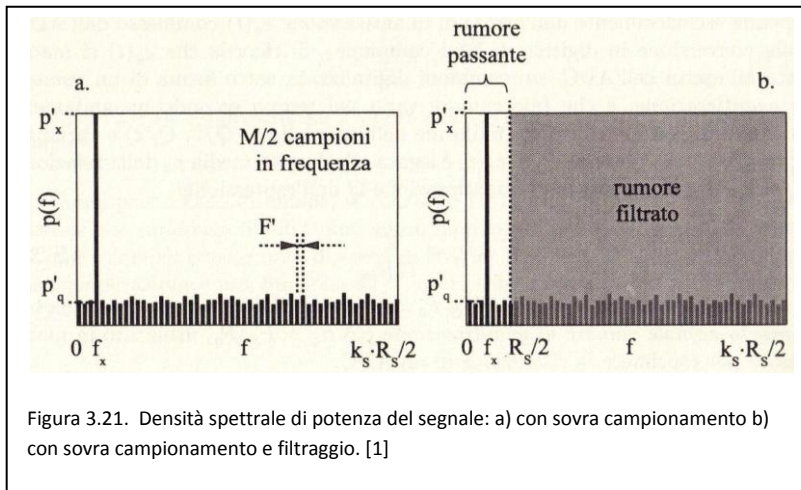
3.2.7) CONVERTITORI SIGMA-DELTA

La modulazione Sigma-Delta ($\Sigma\Delta$) è un metodo per tradurre segnali ad alta risoluzione in segnali a bassa risoluzione tramite l'uso della modulazione a densità di impulsi. Un circuito ADC che implementa questa tecnica può raggiungere facilmente una risoluzione molto elevata, utilizzando anche una tecnologia CMOS a basso costo, cioè la tecnologia utilizzata per produrre i circuiti integrati digitali.

Il loro principio di funzionamento è complesso e si avvale di diverse tecniche digitali, quali il sovracampionamento (*oversampling*), la decimazione, il filtraggio passa-basso, ed il *noise shaping*.

PRINCIPIO DI FUNZIONAMENTO

Si consideri una tensione d'ingresso sinusoidale $v(t)$ ad un ADC, tale che la sua e-



scursione si adatti all'input range dell'ADC stesso, supposto bipolare.

L'operazione di sovracampionamento consiste nell'acquisire il segnale d'ingresso con una frequenza di

acquisizione superiore alla minima richiesta dal teorema di Shannon.

In particolare dato un ADC con velocità di campionamento R_s , esso campiona il segnale con velocità $K_s \cdot R_s$, detto *fattore di sovracampionamento*.

Dopo aver sovracampionato questo segnale, si selezionano un numero M di campioni in uscita, e si effettua su di essi un'operazione di DFT. Idealmente in assenza dell'errore di quantizzazione, il valore atteso da questa operazione è una funzione $V(f)$, trasformata discreta di Fourier di $v(t)$, avente tutte le componenti frequenziali di valore nullo, tranne quella relativa alla frequenza f_x del segnale d'ingresso. L'errore di quantizzazione però, insito nel processo stesso di conversione, "sporca" le componenti frequenziali. La traccia spettrale risulta quindi diversa da quella attesa. Cioè il campione alla frequenza del segnale d'ingresso rimane di livello inva-

riato, ma la densità spettrale degli altri campioni è diversa da zero e assume un valore circa costante su tutto l'intervallo considerato $(0, K_s R_s/2)$ e di media P_q .

Successivamente al sovra campionamento segue un'operazione di filtraggio digitale a frequenza $R_s/2$ che consente di sopprimere il rumore di quantizzazione, ovvero il contributo aleatorio dato dall'errore di quantizzazione, presente nella banda $(R_s/2, K_s \cdot R_s/2)$. Ne consegue una potenza complessiva di rumore: $P'_q = P_q / K_s$, cioè K_s volte inferiore a quella P_q presente in assenza di sovracampionamento.

Quindi il rapporto segnale rumore SNR_q aumenta del fattore K_s : $SNR_q = \frac{P_x}{P'_q} = \frac{P_x}{P_q} \cdot K_s$,

dove P_x è la potenza associata al segnale d'ingresso.

Da ciò deriva che le prestazioni di un ADC a B bit possono essere raggiunte anche con un ADC ad 1 bit, scegliendo un fattore di sovracampionamento K_s adeguatamente elevato.

Agendo così però si ha un inconveniente: per raggiungere livelli di risoluzione anche discreti sono necessari fattori campionamento molto elevati. Si ricorre pertanto ad una tecnica di filtraggio del rumore di quantizzazione nota come *noise shaping*. Esso si basa sull'idea di filtrare in modo differente il segnale utile ed il rumore ad esso sovrapposto, in modo che mentre il segnale utile subisce un filtraggio passa-basso il rumore subisca un filtraggio passa-alto, che sposti la maggior parte del rumore di quantizzazione fuori banda del segnale. Ciò si può realizzare attraverso

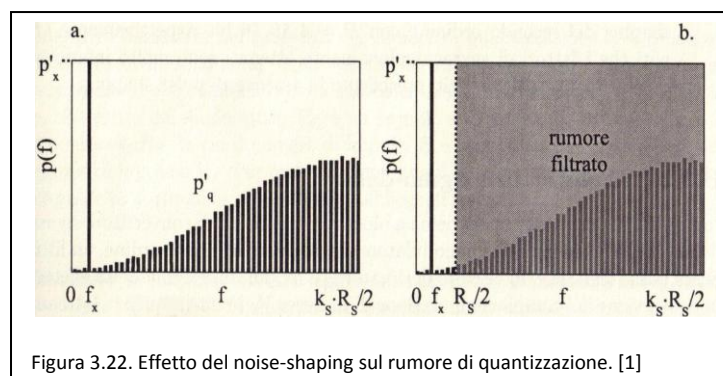


Figura 3.22. Effetto del noise-shaping sul rumore di quantizzazione. [1]

la progettazione del modulatore sigma-delta. Viene quindi fatto in modo che la funzione di trasferimento del rumore abbia gli zeri dove la funzione di trasferimento del segnale ha i poli

(va a zero quando l'altra tende ad infinito). Se allora la funzione di trasferimento del segnale utile è passa-basso, quella del rumore risulta passa-alto e viene così spostato il rumore all'esterno della banda del segnale. Per la realizzazione della funzione di trasferimento del segnale utile la scelta più semplice è un integratore.

Esso assume così valori molto prossimi allo zero internamente alla banda di interesse e valori elevati e disuniformi all'esterno della banda. Si può successivamente

operare un filtraggio attraverso un filtro passa-basso, che tagliando le frequenze superiori a $f_s/2$, consente una maggior riduzione del contenuto spettrale del rumore e di conseguenza un SNR con guadagno più elevato.

Infine c'è un circuito decimatore che seleziona una serie di campioni, tra quelli prodotti attraverso il sovra campionamento, da mandare in uscita secondo un rapporto 1:D. Ovvero ogni D campioni ne tiene 1 e scarta il resto.

ARCHITETTURA DEL DISPOSITIVO

La denominazione *Delta-Sigma* deriva dalla presenza di un nodo differenza (Δ) e di un circuito integratore (Σ) che, assieme ad un comparatore (\approx Adc a 1 bit, che opera come un “quantizzatore”) e un DAC (nella catena di ritorno) costituiscono il *Modulatore a integrazione*.

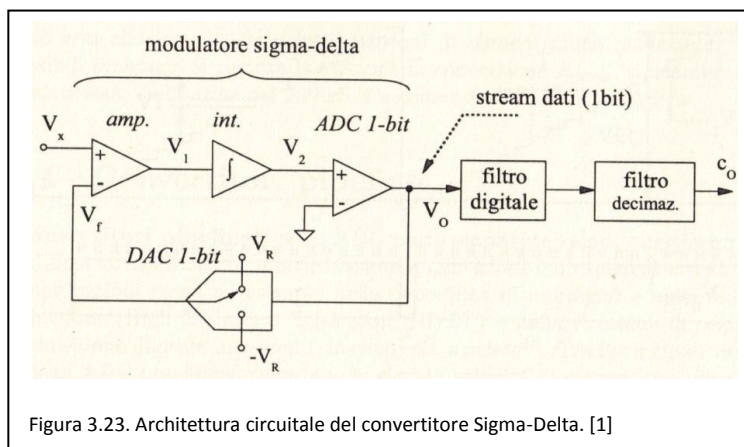


Figura 3.23. Architettura circuitale del convertitore Sigma-Delta. [1]

ra come un “quantizzatore”) e un DAC (nella catena di ritorno) costituiscono il *Modulatore a integrazione*.

In figura è riportato uno schema a blocchi del dispositivo. Il modulatore è

composto da un amplificatore differenziale, un circuito integratore, un comparatore di zero in catena diretta ed un DAC ad 1 bit in retroazione.

All'inizio di ogni ciclo il comparatore di zero, che assieme ad un flip-flop D (non rappresentato in figura per semplicità) funge da ADC ad 1 bit, verifica che l'uscita dell'integratore V_2 sia maggiore o minore di zero, e dà in uscita rispettivamente un valore logico alto (H) o basso (L). Il valore logico è preso in ingresso dal DAC, che risponde con una tensione in uscita tale da diminuire (e far tendere a zero) l'uscita V_1 dell'operazionale.

Il risultato della differenza viene sottoposto ad un'integrazione dal successivo circuito integratore. È possibile dimostrare che esso agisce da filtro passa-alto per il rumore di quantizzazione ad esso sovrapposto.

Ne consegue un effetto di noise-shaping dello spettro del rumore di quantizzazione, ed in particolare uno spostamento della sua densità spettrale a frequenze più elevate.

All'uscita del modulatore si ha un segnale ad impulsi di tensione H ed L a frequenza KsR_s , il cui numero di impulsi H è proporzionale all'ampiezza del segnale d'ingresso.

L'uscita del modulatore (un segnale a modulazione PDM) passa poi attraverso un filtro passa-basso digitale che opera come una sorta di contatore up-down (aumentando il numero di bit). Esso estrae infatti il valor medio della sequenza di bit prodotta dal comparatore e lo rende disponibile come parola di uscita a n bit. Ha inoltre la funzione di filtro passa-basso, ovvero elimina il rumore ad alta frequenza. Successivamente il segnale attraversa il circuito decimatore dove viene ridotta la frequenza di campionamento del sistema e vengono scelti i campioni più rappresentativi del segnale d'interesse.

I convertitori Sigma Delta offrono una risoluzione ed accuratezza molto elevate $\sim 24 \div 32 \text{ bit}$ a discapito però della velocità di conversione, tipicamente dell'ordine di 200 KS/s e comunque nettamente inferiore ad 1 MS/s . Inoltre le loro ridotte dimensioni consentono un basso costo e garantiscono una relativa semplicità di realizzazione. Infatti vi è la possibilità di integrarli in chip di dimensioni ridotte.

Infine l'alimentazione di questi circuiti tipicamente è singola e dell'ordine di 5V . Ciò rende questa architettura particolarmente idonea per applicazioni con alimentazioni a batteria.

Tuttavia il loro principio di funzionamento è complesso e per tale motivo ad essi vengono preferiti gli ADC SAR.

CONCLUSIONI

CONFRONTO TRA DIVERSE TIPOLOGIE DI ADC

A conta- tore	Flash	SAR	Rampa Analogica	Integrazione/ Doppia ram- pa	Pipeline	Sigma- Delta
<8 bit	8 bit	10-16 bit	10 bit	> 18 bit	8-16 bit	> 16 bit

Confronto fra le risoluzioni di diverse architetture ADC.

A conta- tore	Flash	SAR	Rampa Analogica	Integrazione/ Doppia ram- pa	Pipeline	Sigma/ Delta
~kS/s	150- 1000 MS/s	75-250 kS/s	~ 10 ² kS/s	< 50 kS/s	1-100 MS/s	< 1 MS/s

Confronto fra la velocità di conversione di diverse architetture ADC.

Nelle tabelle sovrastanti sono indicati i valori tipici della risoluzione e della velocità di conversione di diverse tipologie di ADC. In particolare la risoluzione è espressa in termini di numero di bit effettivi massimo raggiungibile B_e . Si nota quindi da un lato la bassa risoluzione degli ADC a contatore e flash (~8bit) e dall'altro l'elevata risoluzione tipica degli ADC a Doppia Rampa e Sigma-Delta.

Per ciò che riguarda invece la velocità di conversione notano gli scarsi valori tipici degli ADC ad integrazione e gli alti valori tipici delle architetture Pipeline e Flash.

Nella tabella sottostante sono inoltre riportati i principali vantaggi e svantaggi delle architetture analizzate precedentemente. Ciò è di aiuto se si deve operare una scelta di ADC su catalogo.

A Contatore	Flash	SAR	Rampa analogica	Integrazione/ Doppia rampa	Pipeline	Sigma-Delta
+ Pochi componenti quindi basso costo	+ Estremamente veloci + Larghezza di banda elevata	+ Risoluzione ed accuratezza elevate + Bassi consumi + Pochi componenti esterni	+ Può lavorare a frequenze di campionamento inferiori a 100KHz	+ Risoluzione elevata + Bassi consumi + Elevata reiezione al rumore	+ vel., di conversione elevata + bassi consumi + correzione errori digitale ed auto-calibrazione	+ risoluzione elevata + elevata linearità + larghezza di banda elevata + filtraggio digitale sul chip + Grande immunità al rumore
-bassa reiezione al rumore -frequenza di campionamento bassa (KHz) -	-bassa risoluzione -consumo elevato -dimensioni elevate -capacità d'ingresso elevata -costo elevato -possibilità di codici sbagliati	-larghezza di banda bassa -vel.di conversione limitata -Vx dev'essere costante lungo la conversione	- tempo di conversione dipende dall'ampiezza a del segnale da convertire -accuratezza modesta -bassa reiezione al rumore	-velocità di conversione bassa -tempo di conversione dipende dall'ampiezza del segnale da convertire	- richiede frequenza di clock minima	-track and hold esterno -vel. Di conversione bassa -tempo di assestamento lungo

Vantaggi (+) e svantaggi (-) di diverse architetture ADC.

BIBLIOGRAFIA:

- [1] Bertocco Matteo, Sona Alessandro, 2010, *Introduzione alle misure elettroniche*, Lulu press.Inc, 2nd ed.
- [2] Blalock N. Travis, Jaeger C. Richard, 2009, *Microelectronic Circuit Design*, McGraw-Hill, 3rd edition (ed. italiana).

SITOGRAFIA:

- [1] <http://www.mkxa.deit.univpm.it/metro/did/mgf/digitale.htm#biblio>
- [2] http://digilander.libero.it/desdeus/Trasmissione/Convertitori_ADC_Tipi.htm
- [3] http://digilander.libero.it/desdeus/Trasmissione/Convertitori_ADC_ApprossimazioniS.htm
- [4] http://digilander.libero.it/desdeus/Trasmissione/Convertitori_ADC_DoppiaR.htm
- [5] http://digilander.libero.it/desdeus/Trasmissione/Convertitori_ADC_FLASH.htm
- [6] <http://www.elemania.altervista.org/adda/campionamento/aliasing.html>
- [7] <http://www.elemania.altervista.org/adda/quant/quant1.html>
- [8] http://docenti.itissgv.net/piazzesip_d/4Ai/Operazioni%20BCD.pdf
- [9] <http://www.settorezero.com/wordpress/la-codifica-bcd-e-i-display-a-7-segmenti/>
- [10] <http://www.elemania.altervista.org/adda/parametri/param2.html>
- [11] <http://www.elemania.altervista.org/adda/architetture/arc6.html>
- [12] <http://www.ibneditore.it/LT%20def%20convertitori%20AD.pdf>
- [13] http://it.wikipedia.org/wiki/Sample_and_hold
- [14] http://digilander.libero.it/ingcasanof/quinta/sistemi_quinta/sample%20and%20hold/Image470.gif
- [15] http://www.dii.unina2.it/Utenti/clandi/SEM_06/Altro/Caratt_ADC.pdf
- [16] <http://it.wikipedia.org/wiki/ENOB>
- [17] <http://www.elemania.altervista.org/adda/parametri/param1.html>
- [18] <http://www.elemania.altervista.org/adda/parametri/param3.html>
- [19] http://digilander.libero.it/karmaproductions/unipa/elndigit_2/ErroriADC.pdf

- [20] <http://home.dei.polimi.it/guazzoni/fde/lezio.htm>
- [21] <http://labm.wikispaces.com/VIII-IX-X-XI>
- [22] <http://it.wikipedia.org/wiki/Latch>
- [23] http://digilander.libero.it/desdeus/Trasmissione/Convertitori_ADC_GRAD.htm
- [24] <http://www.elemania.altervista.org/adda/architetture/arc5.html>
- [25] http://www.antoniosantoro.com/add.htm#_Toc69292737
- [26] <http://trucheck.it/elettronica/6625-convertitore-dac-e-adc.html>
- [27] http://www.dei.unipd.it/~pel/MicroC_e_DSP/Materiale_da_scaricare/Lezioni/Settimana%205/Lezione_15_colori.pdf
- [28] http://www.microst.it/tutorial/sar_adc_3.htm
- [29] http://www.docente.unicas.it/useruploads/000427/files/14._convertitori_ad.pdf
- [30] <http://pc31.fauser.it/converad/converad.htm#flash>
- [31] <http://www.microst.it/tutorial.htm>
- [32] <http://www.sermis.polito.it/hlp/misinf-dip-adc.pdf>
- [33] http://it.wikipedia.org/wiki/ADC_a_pipeline
- [34] <http://ims.unipv.it/~franco/ConferenceProc/225.pdf>
- [35] http://westminsterresearch.wmin.ac.uk/4265/1/ZareHoseini%2C_Kale_%26_Shoaei_2005_final.pdf
- [36] <http://www.elemania.altervista.org/adda/codifica/codi1.html>
- [37] <http://semisure.wikispaces.com/Errori+di+un+convertitore+ADC>
- [38] http://www.google.it/url?sa=t&rct=j&q=&esrc=s&frm=1&source=web&cd=2&ved=0CCsQFjAB&url=http%3A%2F%2Flinkmarconi.altervista.org%2Felett_e%2FADC.ppt&ei=GSxGULrUH6Sn4gSTs4HYAw&usg=AFQjCNH9ge6y8zUJii97q32tnQqFkowSg
- [39] http://www.google.it/url?sa=t&rct=j&q=&esrc=s&frm=1&source=web&cd=1&ved=0CCUQFjAA&url=http%3A%2F%2Fwww.grix.it%2FUserFiles%2Fsignal_o%2FFile%2FGENERATORE%2520DI%2520RAMPA.doc&ei=oy1GUI3EC4_64QSd2YCwAg&usg=AFQjCNGNe0vvtwGkrSCCz0Po0pnY13Kkg
- [40] http://www.unifi.it/midra/upload/sub/09ue_intro_sigmaDelta.pdf