



## Rapporti Tecnici INAF INAF Technical Reports

<b>Number</b>	155
<b>Publication Year</b>	2022
<b>Acceptance in OA@INAF</b>	2022-06-07T15:01:39Z
<b>Title</b>	FRONT END ELECTRONICS PER ASIC RENA3
<b>Authors</b>	LO GERFO, FABIO PAOLO; SOTTILE, Giuseppe
<b>Affiliation of first author</b>	IASF Palermo
<b>Handle</b>	<a href="http://hdl.handle.net/20.500.12386/32227">http://hdl.handle.net/20.500.12386/32227</a> ; <a href="https://doi.org/10.20371/INAF/TechRep/155">https://doi.org/10.20371/INAF/TechRep/155</a>

---

# FRONT END ELECTRONICS PER ASIC RENA3

---

Progettazione FPGA board per interfacciamento con ASIC RENA3

**Fabio Paolo Lo Gerfo\* Giuseppe Sottile\***

\*INAF-IASF PALERMO

Via Ugo la Malfa, 153, 90146 Palermo PA

## Sommario

ABSTRACT .....	2
INTRODUZIONE.....	2
DESCRIZIONE DEL SISTEMA .....	3
TEST SISTEMA .....	6
RISULTATI TEST .....	10
CONCLUSIONI .....	17
BIBLIOGRAFIA .....	18

## ABSTRACT

Il RENA3 è un ASIC (Application Specific Integrated Circuit) che migliora le caratteristiche dei suoi precursori RENA2 e RENA.

Tale dispositivo è utilizzato come front-end elettronica nei sistemi che utilizzano fotorivelatori 3D come quello costituito da CdZnTe utilizzato nel progetto **3D CZT Polarimetry** a cui lo IASF di Palermo prende parte.

Le caratteristiche principali del RENA3 [1] sono: la possibilità di analizzare sia segnali positivi che negativi applicati ai suoi ingressi, di avere un basso rumore nella catena di elaborazione del segnale, capacità di innescare un trigger al superamento di una soglia programmabile, diverse modalità di lettura dei canali d'ingresso (sparse, neighbor e global) possibilità di selezionare per ciascun canale la polarità del segnale, il tempo al picco, il guadagno dello stadio preamplificatore di ingresso ed altre funzioni che permettono di elaborare lo stesso per una sua facile lettura.

## INTRODUZIONE

In questo documento verrà spiegato come si è proceduto a seguito dei risultati ottenuti ed illustrati nel documento precedente [2] riguardanti i test eseguiti sulla scheda elettronica contenente l'ASIC RENA3.

Ricordiamo che il set-up fin ora utilizzato è stato quello fornitaci dal INAF di Bologna, e quindi la board ospitante l'ASIC RENA3 era interfacciata al computer per mezzo di una scheda di sviluppo Development KIT C8051FX2-TB contenente un microcontrollore CIP-51 che faceva da driver per la configurazione del RENA3.

A questo sistema abbiamo associato una GUI, appositamente realizzata nel laboratorio IASF di Palermo, per inviare i comandi da PC attraverso la porta seriale RS232 presente sulla scheda di sviluppo Development KIT C8051FX2-TB, i quali una volta elaborati dal microcontrollore CIP-51 venivano inviati al RENA3 per mezzo di un protocollo di comunicazione simile ad un SPI. [3]

Alla luce dei risultati ottenuti in precedenza, che ricordiamo non mostravano alcun segnale di trigger sui Pin d'uscita del ASIC RENA3 nonostante la presenza di quest'ultimo nei circuiti interni del dispositivo, si è pensato che la causa di ciò poteva essere associata sia al malfunzionamento del ASIC, dato che la sua vita superava ormai i dieci anni, sia alla scorretta configurazione del RENA3.

Per quanto riguarda la prima opzione si è pensato di sostituire il dispositivo in nostro possesso con degli altri ASIC RENA3 conservati nei laboratori dell'INAF di Bologna ma anch'essi aventi più di dieci anni di vita.

Sostituendo il RENA3 in nostro possesso con i nuovi, lasciando invariata la struttura del sistema e il banco di misura, si è subito notato che il problema fino ad allora riscontrato permaneva e cioè: in modalità "Follower", il dispositivo continuava a funzionare correttamente mentre in modalità "Readout" qualcosa non funzionava come doveva, ed in particolare il segnale di Trigger ai PIN esterni TS+ e TS- (TF+ e TF-), che doveva commutare in presenza di un segnale d'ingresso superiore alla soglia programmata sul comparatore interno, continuava a rimanere costante nonostante internamente al dispositivo tale transizione era presente.

Dopo uno scambio di email con l'azienda costruttrice che ci consigliava di sostituire il RENA3 con uno dispositivo meno datato RENA 3A, si è convenuti che la causa del mal funzionamento non poteva essere imputabile al dispositivo stesso, in quanto l'errore era presente sempre nella stessa parte di circuito ed era improbabile che tre diversi dispositivi (numero di RENA 3 testati in laboratorio) potessero guastarsi tutti allo stesso modo a causa dell'invecchiamento.

Si è quindi provveduto a sostituire il modulo di interfacciamento tra PC ed ASIC, ed in particolare vista l'assenza del codice sorgente del CIP-51 e conseguentemente l'impossibilità di analizzare il firmware implementato su tale chip, si è deciso di sostituire la scheda di sviluppo Development KIT C8051FX2-TB, con un'altra scheda di sviluppo contenente un FPGA Cyclone V GX nel quale sono stati implementati degli IP core. In particolare, i moduli IP core implementati su FPGA sono: un microprocessore NIOS II con i relativi banchi di memoria, delle porte GPIO per il debug del firmware e per abilitare/disabilitare alcune linee del ASIC necessarie per il suo funzionamento, un'interfaccia RS232 per comunicare con il PC e una SPI per inviare le tabelle di configurazione al RENA3.

## **DESCRIZIONE DEL SISTEMA**

A questo punto, dopo aver deciso il sistema da utilizzare si è provveduto a scrivere il firmware da implementare su FPGA che permettesse la comunicazione con l'ASIC RENA3.

Il sistema era così composto:

- Da un lato il PC che per mezzo di una GUI permetteva all'utente di inviare i comandi all'FPGA;

- Al centro, la scheda di sviluppo contenente l'FPGA nel quale era implementato il Microprocessore NIOS II che aveva il compito di elaborare l'informazione proveniente dalla porta seriale di interfacciamento con il PC ed inviarla al RENA3;
- Dall'altro lato la scheda contenente l'ASIC RENA3 con i vari dispositivi necessari per il suo funzionamento e per il condizionamento dei segnali in ingresso ed in uscita da quest'ultimo (regolatori di tensione, convertitori DAC e ADC, comparatori ecc.).

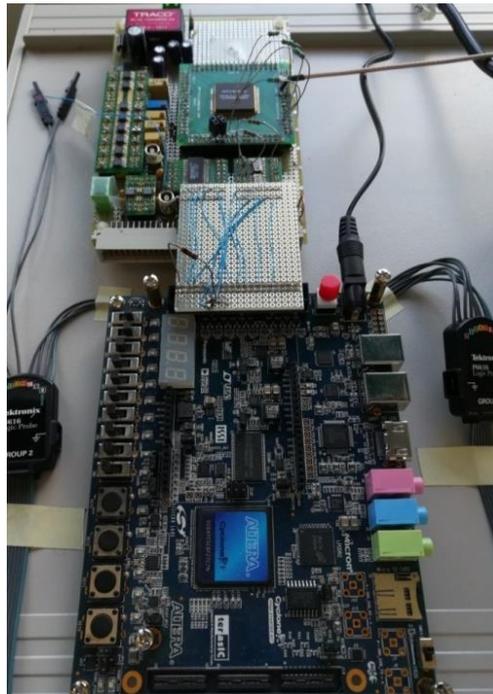


Figura 1. Scheda di sviluppo equipaggiata di FPGA Cyclone V GX interfacciata con la scheda contenente il RENA3

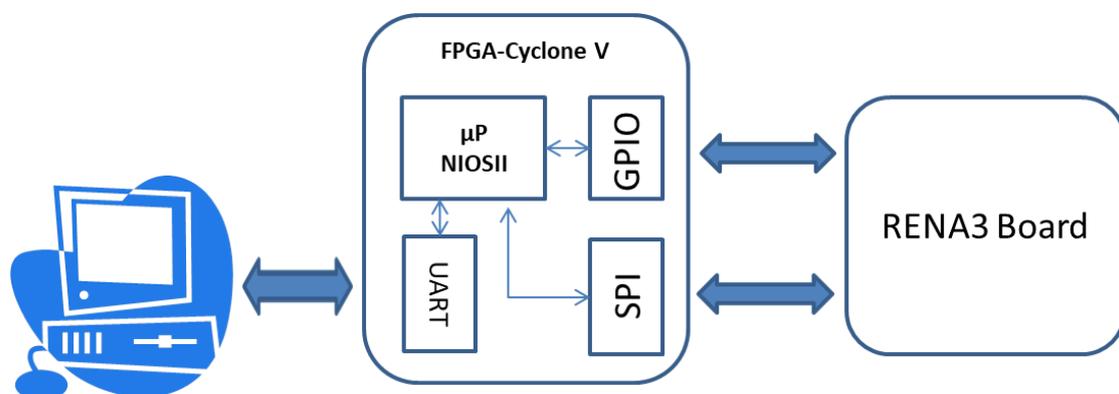


Figura 2. Schema a blocchi del sistema

Mentre il banco di misura utilizzato testare il sistema era costituito da:

- Un alimentatore [Agilent N6705B] che forniva la 12V alla scheda ASIC equipaggiata il RENA3;
- Un generatore di segnale [ArbStudio 1102] che permetteva di inviare degli impulsi ad ampiezza e frequenza variabili, all'ingresso di test del RENA3 o ad uno dei 36 canali di ingresso dello stesso utilizzando una capacità in serie per accoppiare il segnale in AC;
- Un oscilloscopio TECKTRONIX MSO 4034B per visualizzare i segnali delle linee di ingresso e uscita del RENA3, e che all'occorrenza veniva utilizzato anche come analizzatore di stati logici dato il gran numero di segnali da monitorare contemporaneamente.



Figura 3. Banco di misura utilizzato per i test.

## TEST SISTEMA

Una volta collegata la strumentazione da laboratorio al sistema realizzato, si è provveduto a testarlo.

Per prima cosa è stato inviato lo stream di comandi per la configurazione del RENA3 per far in modo che questo funzionasse in modalità READOUT. Per far questo abbiamo aperto la GUI “confRENA” selezionato i bit da settare per far funzionare il dispositivo in questa modalità, ed inviato lo stream di comandi attraverso porta seriale RS232 al NIOS II implementato all’interno del FPGA Cyclone V GX.

Ricordiamo che il RENA3 per il suo funzionamento necessita della configurazione di 41 bit per ciascun canale, tutti presenti e programmabili (da D0 a D40) dalla schermata della GUI, oltre la selezione di linee complementari che abilitano/disabilitano alcune sottoparti del ASIC.

The image shows a screenshot of the confRENA3 GUI configuration interface. It lists various control bits (D0 to D40) and their functions. The interface is organized into sections, each with a bolded label and a list of checkboxes and their descriptions.

<b>ADDRESS</b>	<input type="checkbox"/> D40 <input type="checkbox"/> D39 <input type="checkbox"/> D38 <input type="checkbox"/> D37 <input type="checkbox"/> D36 <input type="checkbox"/> D35 ("000000" = CH1; "100011" = CH35)
<b>FB_TC</b>	<input type="checkbox"/> D34 (Seleziona la resistenza di feedback: 0=200Mohm 1=1.2Gohm)
<b>ECAL</b>	<input type="checkbox"/> D33 (Abilita calibrazione: 0=disable 1=enable)
<b>FPDWN</b>	<input type="checkbox"/> D32 (Set to a 1 to power down fast path circuits)
<b>FETSEL</b>	<input type="checkbox"/> D31 (Set to a 1 to use the simple FET feedback)
<b>G_SEL</b>	<input type="checkbox"/> D30 <input type="checkbox"/> D29 Gain selection. [00] = 1.6, [01] = 1.8 [10] = 2.3 [11] = 5.0
<b>PDWN</b>	<input type="checkbox"/> D28 (Set to a 1 to power down most of the circuits)
<b>PZSEL</b>	<input type="checkbox"/> D27 (Pole Zero cancellation circuit selection: 1=EN)
<b>RANGE</b>	<input type="checkbox"/> D26 (Sets the feedback capacitor size: [1] = 60fF, [0] = 15fF)
<b>RSEL</b>	<input type="checkbox"/> D25 (Reference selection for the channel: 1=for negative signal)
<b>SEL</b>	<input type="checkbox"/> D24 <input type="checkbox"/> D23 <input type="checkbox"/> D22 <input type="checkbox"/> D21 Time constant selection. (us): 0.29, 0.31, 0.31, 0.32, 0.35, 0.37, 0.39, 0.40, 0.71, 0.81, 0.89, 1.1, 1.9, 2.8, 4.5, 38.
<b>SIZEA</b>	<input type="checkbox"/> D20 (Size of the input FET for noise optimization: 0=FET 450um 1=FET 1000um)
<b>DF</b>	<input type="checkbox"/> D19 <input type="checkbox"/> D18 <input type="checkbox"/> D17 <input type="checkbox"/> D16 <input type="checkbox"/> D15 <input type="checkbox"/> D14 <input type="checkbox"/> D13 <input type="checkbox"/> D12 Fast DAC value. ALL_0: (VREFLO- 3/16*1.5*DACREF); ALL_1: (VREFLO + 13/16*1.5*DACREF).
<b>POL</b>	<input type="checkbox"/> D11 (Polarity selection for comparators 1= positive, 0=negative))
<b>DS</b>	<input type="checkbox"/> D10 <input type="checkbox"/> D9 <input type="checkbox"/> D8 <input type="checkbox"/> D7 <input type="checkbox"/> D6 <input type="checkbox"/> D5 <input type="checkbox"/> D4 <input type="checkbox"/> D3 Slow DAC value. ALL_0: (VREFLO- 3/16*1.5*DACREF); ALL_1: (VREFLO + 13/16*1.5*DACREF).
<b>ENF</b>	<input type="checkbox"/> D2 (Enable FAST trigger)
<b>ENS</b>	<input type="checkbox"/> D1 (Enable SLOW trigger)
<b>FM</b>	<input type="checkbox"/> D0 (Follower Mode)

Figura 4. Interfaccia grafica GUI confRENA3.

Inviando i comandi alla porta seriale del FPGA, tramite GUI confRENA3, giungono al NIOSII 8 byte di cui uno di inizio trasmissione “#” ed uno di fine trasmissione “CR”, in mezzo ai quali arrivano 41 bit di configurazione del RENA3 più 7 bit del 2° byte (che uniti al bit D40 formano un byte) che indicano il comando che il NIOS II deve interpretare per generare l’informazione da inviare al RENA3.

Nel caso della configurazione del RENA3, tale comando è lo zero (2° byte = "0000000" + 'D40') ed è fisso nella GUI confRENA3.

Tale GUI infatti, realizzata appositamente per tale scopo, permette di modificare indipendentemente il singolo bit dello stream dati da inviare, in modo tale da rendere immediata e visivamente semplice la configurazione del ASIC

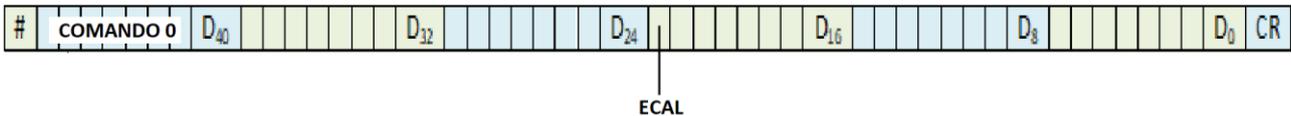


Figura 5. Stream dati di configurazione.

Utilizzando invece un'altra GUI "RENA3" sempre realizzata allo IASF di Palermo, è possibile inviare altri comandi che una volta giunti al NIOS II vengono decodificati, in base alla propria "code command table", per decidere quali informazioni inviare al RENA3. Tra questi comandi abbiamo quello per consentire/inibire il Follower Mode, per il reset del peak detector, per abilitare/disabilitare quest'ultimo, per inizializzare la procedura di acquisizione in modalità Readout ed altri ancora. L'invio di un singolo comando o la sequenza di alcuni di essi consente di inizializzare tali procedure.

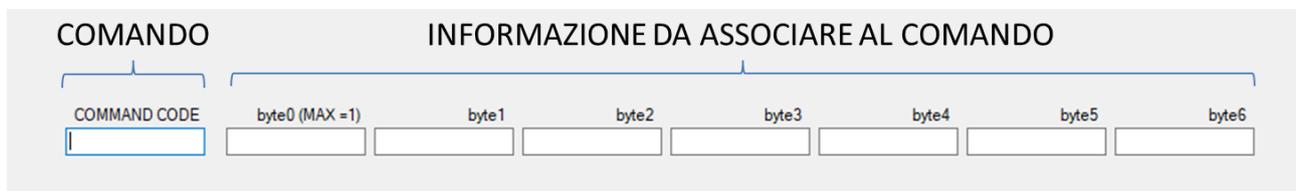


Figura 6. Interfaccia grafica GUI RENA3

La tabella dei comandi utilizzata è qui di seguito mostrata:

0	Configura ASIC
1	Abilita CLS e ACQ
2	Disabilita READ
3	Abilita READ
4	Reset di tutte le linee di GPIO
5	Disabilita ACQ
6	Abilita ACQ

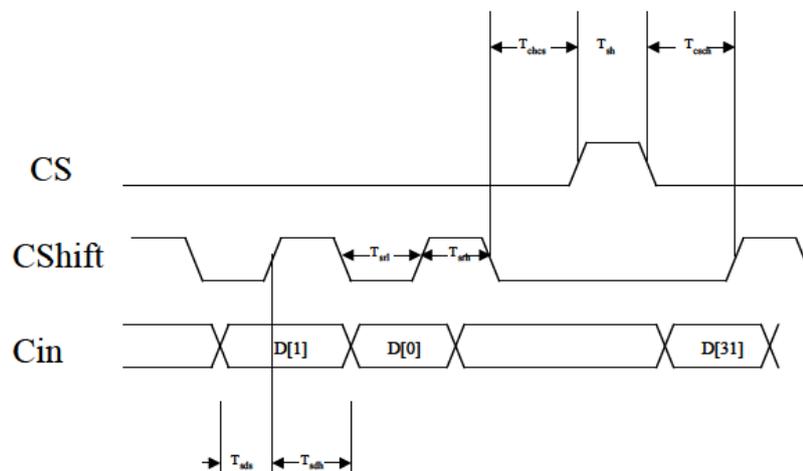
Tabella 1. Tabella comandi consentiti.

Per quanto riguarda la configurazione del RENA3 è necessario inviare 41 bit, ma dato che il numero massimo di bit che è possibile inviare in un'unica trasmissione utilizzando un IP core SPI su

FPGA Altera Cyclon V GX è 32bit, è necessario scomporre la trasmissione in più pacchetti. Dato che 41 è un numero primo, per poter inviare tali bit è necessario utilizzare un numero di pacchetti la cui somma in bit è maggiore a 41.

Per comodità si è scelto di inviare 6 pacchetti da 8 bit (48 bit totali trasmessi) dove l'informazione è contenuta solo nel bit meno significativo del 1° byte inviato (bit D40) e nei restanti 5 byte inviati di seguito contenenti i restanti 40 bit (da D39 a D0). Alla fine della trasmissione dei 6 pacchetti viene inviato un impulso CS (chip select) tramite porta di GPIO, di durata maggiore a 20ns, che ha la funzione di caricare i 41 bit nello shift register del RENA3 in accordo a quanto dichiarato dal datasheet del costruttore.

La linea di clock (CShift) che normalmente si trova nello stato logico alto, durante la trasmissione dei dati dal FPGA al ASIC, ha una frequenza di commutazione di 1 MHz e i dati (Cin) vengono acquisiti, da parte del ASIC, sul fronte di salita di quest'ultimo.



Configuration Signals and Timing

Configuration shift register timing (see Figure 20)  
(typical)

$T_{srh}$	CShift high	10	ns
$T_{srl}$	CShift low	10	ns
$T_{sds}$	CIN setup time	9	ns
$T_{sdh}$	CIN hold time	9	ns
$T_{chcs}$	CShift to CS delay	20	ns
$T_{sh}$	CS high	20	ns
$T_{csch}$	CS to Cshift	20	ns

Figura 7 Diagramma temporale configurazione ASIC

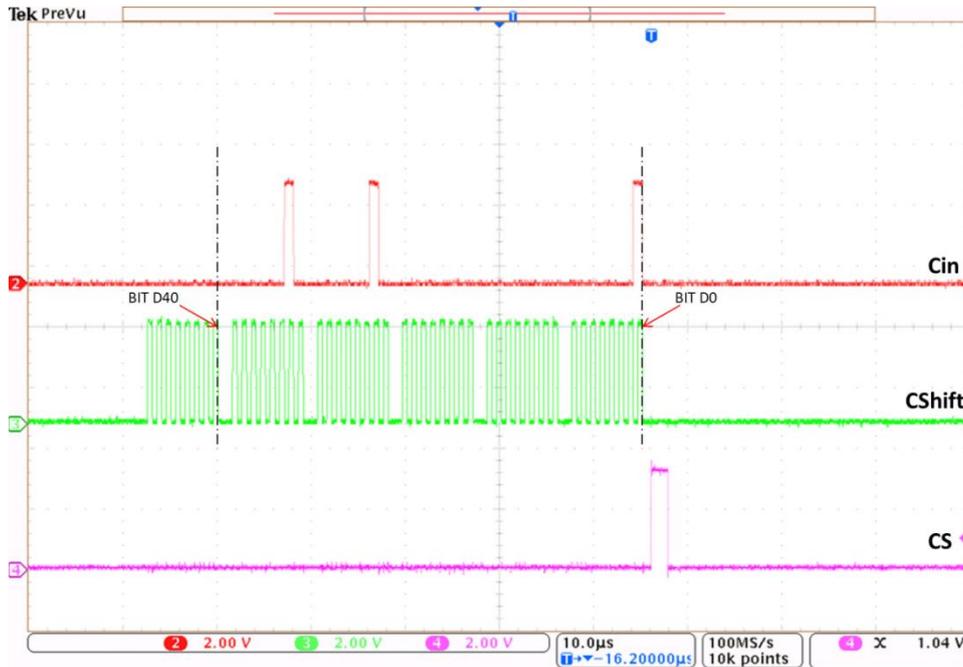


Figura 8. Sequenza trasmissione dati di configurazione ASIC

Per verificare che il sistema funzionasse nel modo corretto si sono effettuati dei test che mostravano come al variare dei bit di configurazione variasse sia il segnale interno al RENA3 (che riproduceva il segnale di ingresso dopo che questo era stato elaborato dai circuiti interni) sia la soglia per il trigger. Entrambi i segnali erano infatti accessibili attraverso dei pin "probe" esterni al RENA3.

Nelle figure seguenti viene mostrato lo schema a blocchi con i relativi pin accessibili per il debug e la tabella con la piedinatura del RENA3 corrispondente a questi.

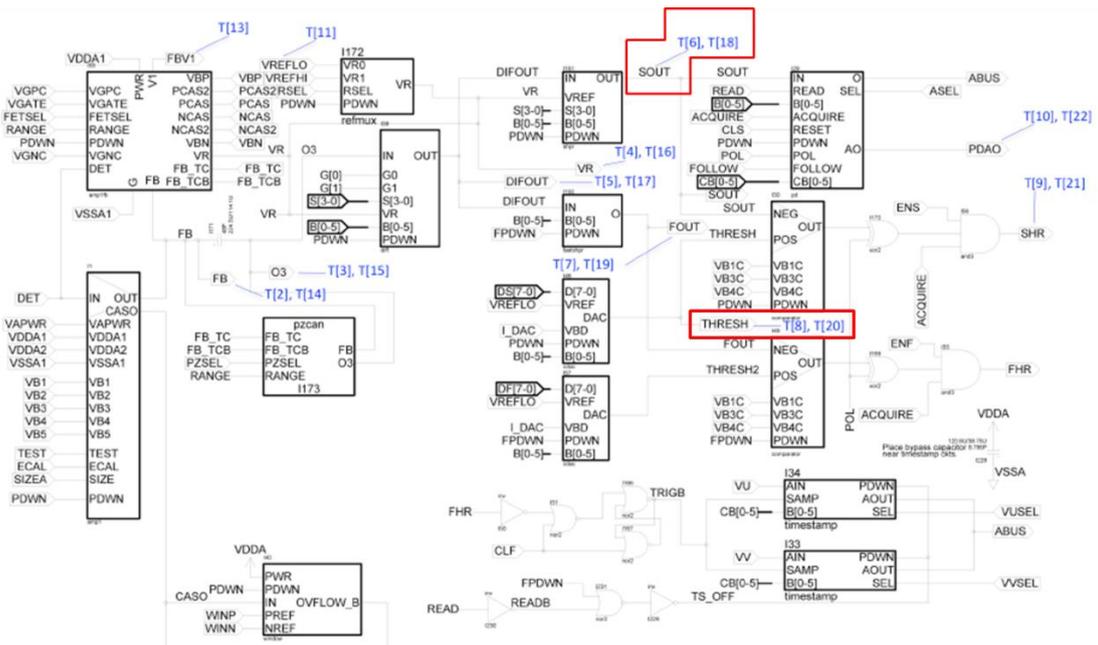


Figura 9. Schema a blocchi RENA3

Name	Description	Pin #	
		CQFP	BGA
EXTRA	Spare Pad	33, 35, 74	N/A
Substrate		15, 28, 81, 95	N/A
T[2]	Preamplifier output channel [35]	13	L6
T[3]	Differentiator input channel [35]	16	K5
T[4]	VREF channel [35]	18	K6
T[5]	Differentiator output channel [35]	20	L7
T[6]	Slow shaper output channel [35]	22	H7
T[7]	Fast shaper output channel [35]	24	J8
T[8]	Slow comparator threshold channel [35]	26	L8
T[9]	Slow comparator output channel [35]	29	K8
T[10]	Peak detector output channel [35]	31	L9
T[11]	VREFLO	100	D5
T[12]	Charge amplifier output channel [0]	98	B5
T[13]	Preamplifier feedback circuit buffer channel [0]	96	E5
T[14]	Preamplifier output channel [0]	93	D6
T[15]	Differentiator input channel [0]	91	B6
T[16]	VREF channel [0]	89	B7
T[17]	Differentiator output channel [0]	87	E7
T[18]	Slow shaper output channel [0]	85	D7
T[19]	Fast shaper output channel [0]	83	B8
T[20]	Slow comparator threshold channel [0]	80	C9
T[21]	Slow comparator output channel [0]	78	B9

Figura 10. In rosso Pin di test utilizzati afferenti all'esterno del package del ASIC RENA3

## RISULTATI TEST

A questo punto dopo aver verificato che il sistema funzionasse nel modo corretto si è eseguita la procedura per far commutare il segnale di trigger quando gli impulsi di ingresso superavano in ampiezza il valore di soglia impostata sul comparatore interno al RENA3, che è qui di seguito spiegata:

- Sono stati configurati tutti e 36 canali del RENA3 per funzionare in modalità READOUT.
- è stato abilitato l'ingresso di test tramite il bit ECAL (D23) e lo slow trigger tramite il bit ENS (D1) soltanto del canale che volevamo generasse un segnale di trigger.
- è stato impostato un valore di soglia a metà scala per lo slow trigger (DS) di questo canale, in modo tale che per piccoli segnali applicati all'ingresso di test non commutasse involontariamente, quindi per evitare che si verificasse un evento di trigger a causa del rumore.
- è stata impostata la polarità del segnale che volevamo mandare in ingresso (POL), la reference per quel canale (RSEL) e polarità del comparatore (POL).
- è stata portata bassa la linea READ e CLS.
- è stato inviato un impulso con ampiezza di 10 mV, con frequenza di 10 KHz, tempo di salita 10ns e tempo di discesa 70us, all'ingresso di test del ASIC;
- Tramite GUI Rena3 è stato inviato il comando relativo alla procedura di acquisizione che consiste nel:

- portare alta la linea CLS e bassa ACQUIRE;
- portare alta la linea ACQUIRE;
- attendere 1us e si riportare basso il valore della linea CLS;
- in questo modo il peak detector della linea slow viene “armato”, quindi aumentando gradualmente l’ampiezza dell’impulso di ingresso fino ad arrivare al valore di soglia impostato (DS) si è visto che raggiunto tale valore, il trigger (TS) commutava da basso ad alto;
- disabilitare l’acquisizione portando bassa la linea ACQUIRE.

NB. Stessa procedura può essere seguita per far commutare il fast trigger (TF).

Il segnale di trigger (sia slow che fast) in uscita dal RENA3 è differenziale, per cui per ottenere un segnale di trigger di tipo single ended è necessario utilizzare un circuito comparatore come quello di seguito mostrato in Figura11.

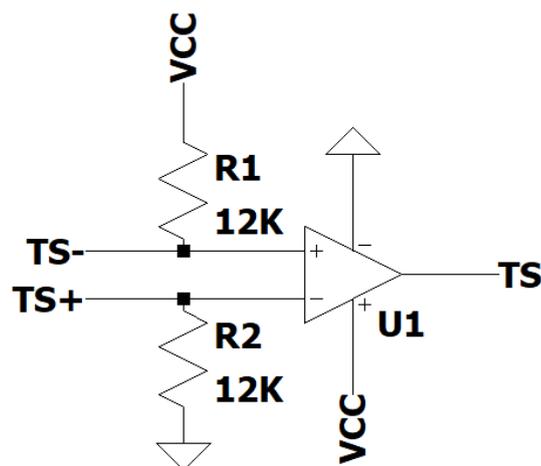


Figura 11. Circuito per convertire il segnale differenziale del trigger in single ended

In assenza di un evento di trigger, nel RENA3 scorre una corrente nominale di 450 uA che dal pin TS+ attraversa la resistenza R2 e si chiude verso massa, mentre TS- assorbe corrente trovandosi ad un potenziale minore rispetto a VCC. Per cui V- dell’operazionale trovandosi ad un potenziale maggiore rispetto a V+, farà in modo che l’uscita dell’operazionale TS si porterà un livello logico basso.

Quando invece è presente un evento di trigger, sul RENA3 non scorre nessuna corrente, per cui V+ si trova ad un potenziale pari a VCC mentre V- si trova connesso a massa, conseguentemente l’uscita dell’operazionale TS si porterà ad un livello logico alto.

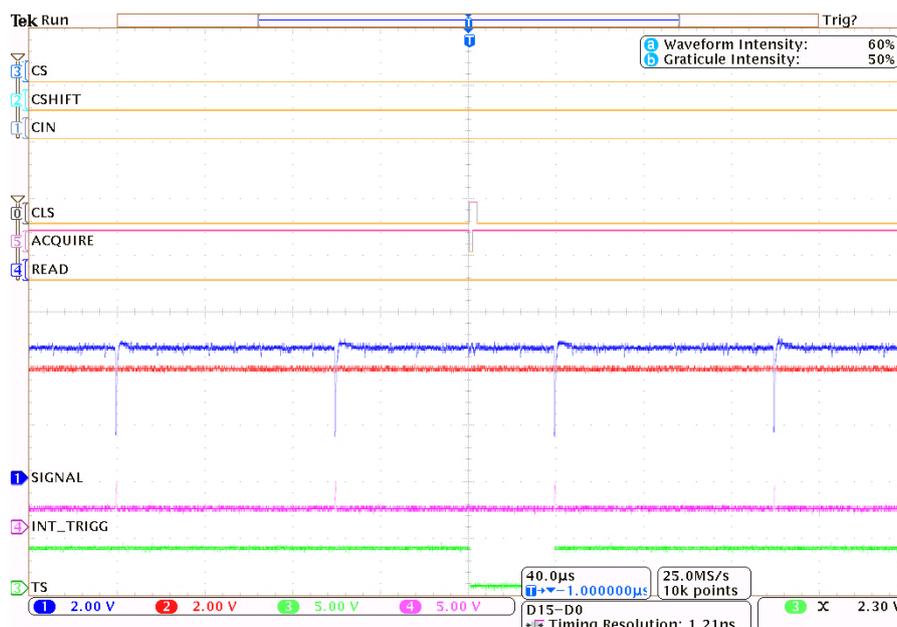


Figura 12

Com'è possibile vedere dalla figura sopra, seguendo la procedura prima spiegata, il segnale di trigger TS (linea VERDE) una volta resettato ed armato il peak detector, si porta basso e non appena giunge un impulso all'ingresso del pin di test superiore alla soglia impostata sul comparatore interno al RENA3, commuta e si porta al livello logico alto.

Nella figura sotto è mostrato l'istante in cui il segnale di trigger commuta. Com'è possibile vedere dalla stessa, non appena il segnale d'ingresso (linea BLU) supera la soglia del comparatore (linea ROSSA) commuta la linea di trigger (linea VERDE) e tale stato permane fin tanto che non viene resettato o letto il canale che ha prodotto tale evento.

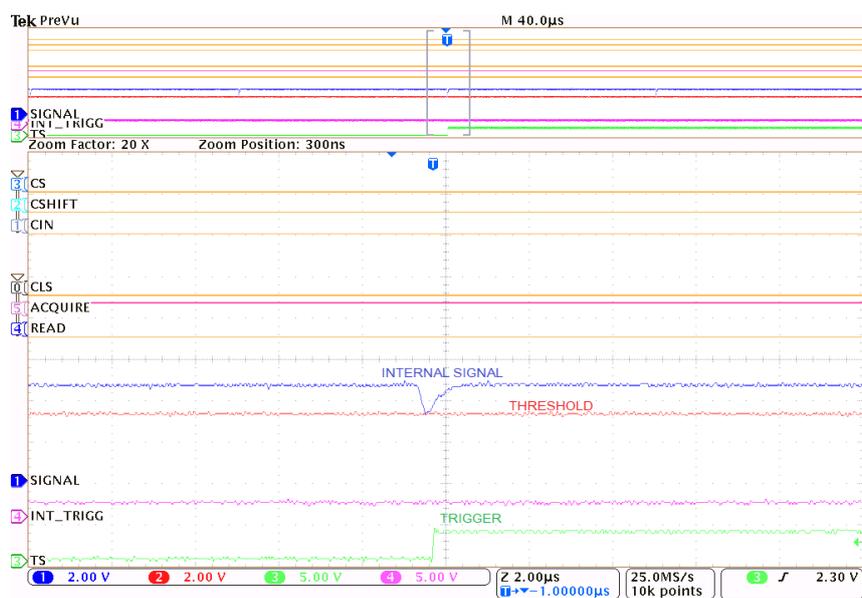


Figura 13

A questo punto è necessario capire in quale dei 36 canali si è verificato l'evento di trigger, questo perché tutte le uscite di trigger interne al RENA3 sono collegate in OR con il trigger esterno.

Per far questo è necessario seguire un'ulteriore procedura ed analizzare i segnali interni prodotti dal RENA3.

La procedura per determinare i/canali/e che hanno/ha generato il trigger è la seguente:

- L' FPGA ricevuto il trigger deve inviare al ASIC RENA3 36 impulsi di clock (SHRCLK) in modo tale da leggere il contenuto del Hit Register. Questo registro contiene infatti i token relativi ai canali che hanno generato un evento di trigger ed in corrispondenza di questi il RENA3 porta alta la linea SOUT.
- È possibile anche abilitare la lettura dei canali adiacenti a quelli che hanno generato il trigger, prima di fare una seconda scansione degli stessi (modalità neighbor). Per far questo è necessario portare alta la linea SIN del RENA3 in corrispondenza dei canali che vogliamo abilitare. Questa procedura ci permette non solo di leggere l'ampiezza dell'impulso del canale che ha generato il trigger, ma anche quella dei canali adiacenti e tale funzionamento potrebbe risultare utile nel caso illuminassimo il rivelatore collegato al RENA3 con una sorgente non puntiforme (non collimata).

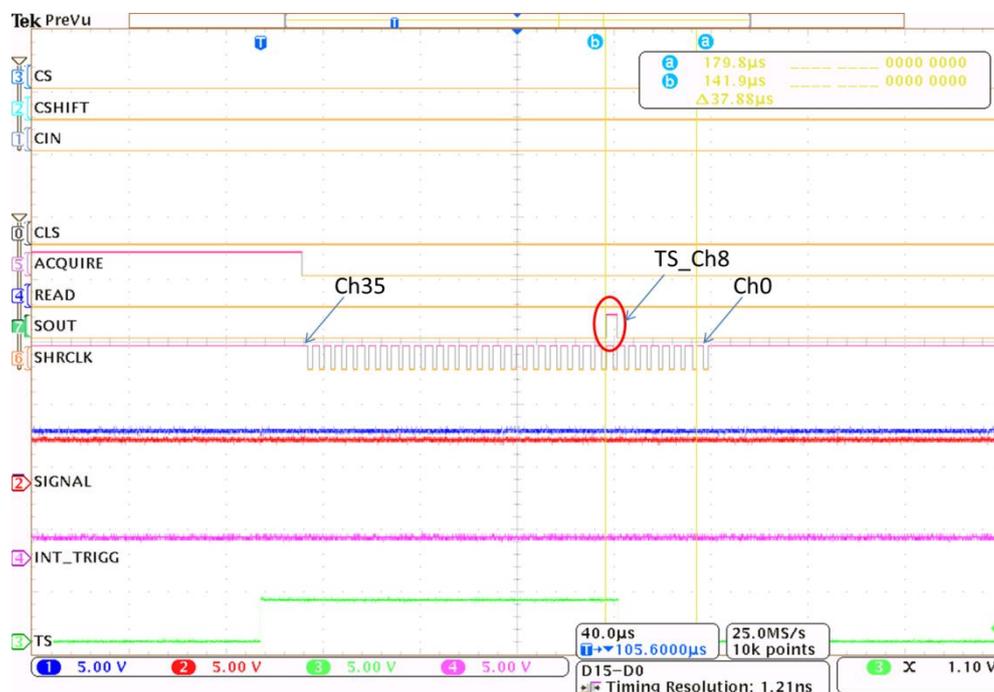


Figura 14

Dopo di ciò è necessario andare a leggere il valore dell'ampiezza dei canali che hanno generato il trigger o nel caso in cui avessimo abilitato i canali vicini, anche il valore di quest'ultimi. Ricordiamo

infatti, che il RENA3 può funzionare in tre modalità differenti (sparse, neighbor, e global) a seconda dei canali che vengono abilitati alla lettura.

Nel caso di funzionamento “sparse” vengono letti soltanto i canali che hanno generato il trigger, nel caso di funzionamento “neighbor” vengono letti anche i canali vicini a quelli che hanno generato il trigger ed infine nel caso di funzionamento “global” vengono letti tutti i canali indipendentemente dal fatto che hanno generato un evento di trigger o meno.

Per leggere i soli canali che hanno generato il trigger è necessario:

- Portare alta la linea TIN e READ.
- Controllare la linea TOUT. Attendere che tale linea vada alta o che si ripetano un numero di TCLK pari a  $S+2 \cdot F$  (dove S e F sono il numero di eventi di trigger rispettivamente nello slow e nel fast Hit Register).
- Acquisire in corrispondenza di ciascun TCLK il valore di ampiezza AOUT del canale corrispondente per poi passare a quello successivo.
- Riportare basse le linee READ e TIN.

Il diagramma temporale dell'intera acquisizione in modalità Readout è qui di seguito raffigurato.

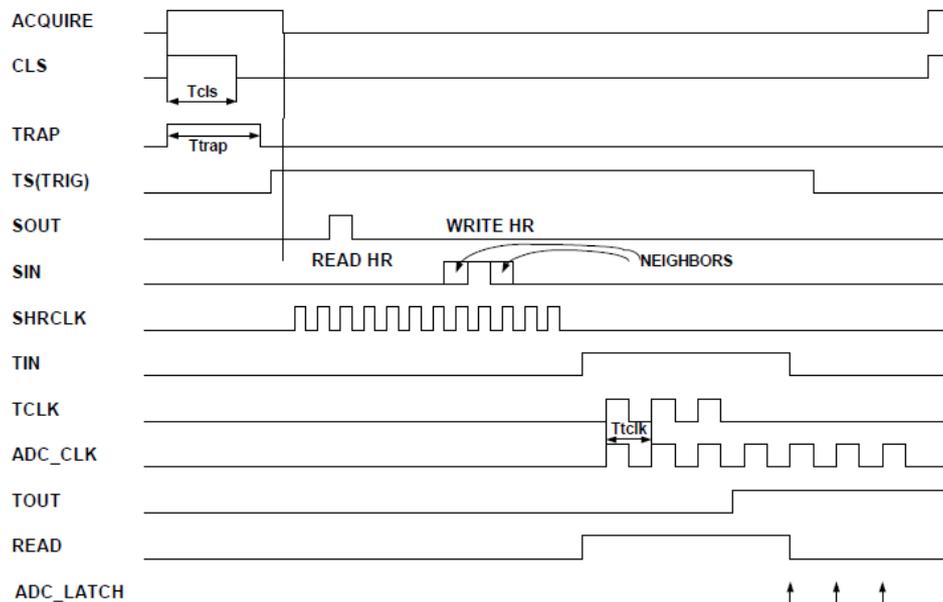


Figura 15. Diagramma temporale della procedura di acquisizione dati.

Per testare il funzionamento di tutti i canali del RENA3 si è deciso di operare in modalità global, quindi abilitando la lettura di tutti i canali una volta che uno o più di questi genera un trigger.

Per far questo, una volta configurati i canali è stato applicato un segnale impulsato con frequenza pari a 1kHz all'ingresso del pin di test del RENA3 e si atteso che uno di questi impulsi facesse scattare il trigger.

La soglia di ciascuno dei canali del ASIC è stata preventivamente settata in modo tale che, in alcuni di questi, il segnale applicato all'ingresso fosse superiore e quindi generasse il trigger. Così facendo, posto l'oscilloscopio in modalità single, sul trigger del segnale TS, è stato possibile osservare come una volta scattato quest'ultimo si attivasse la procedura di acquisizione e lettura dell'ampiezza del segnale d'ingresso, che come descritto in precedenza prevede la ricezione e l'invio di opportuni segnali sulle linee di uscita/ingresso del RENA3.

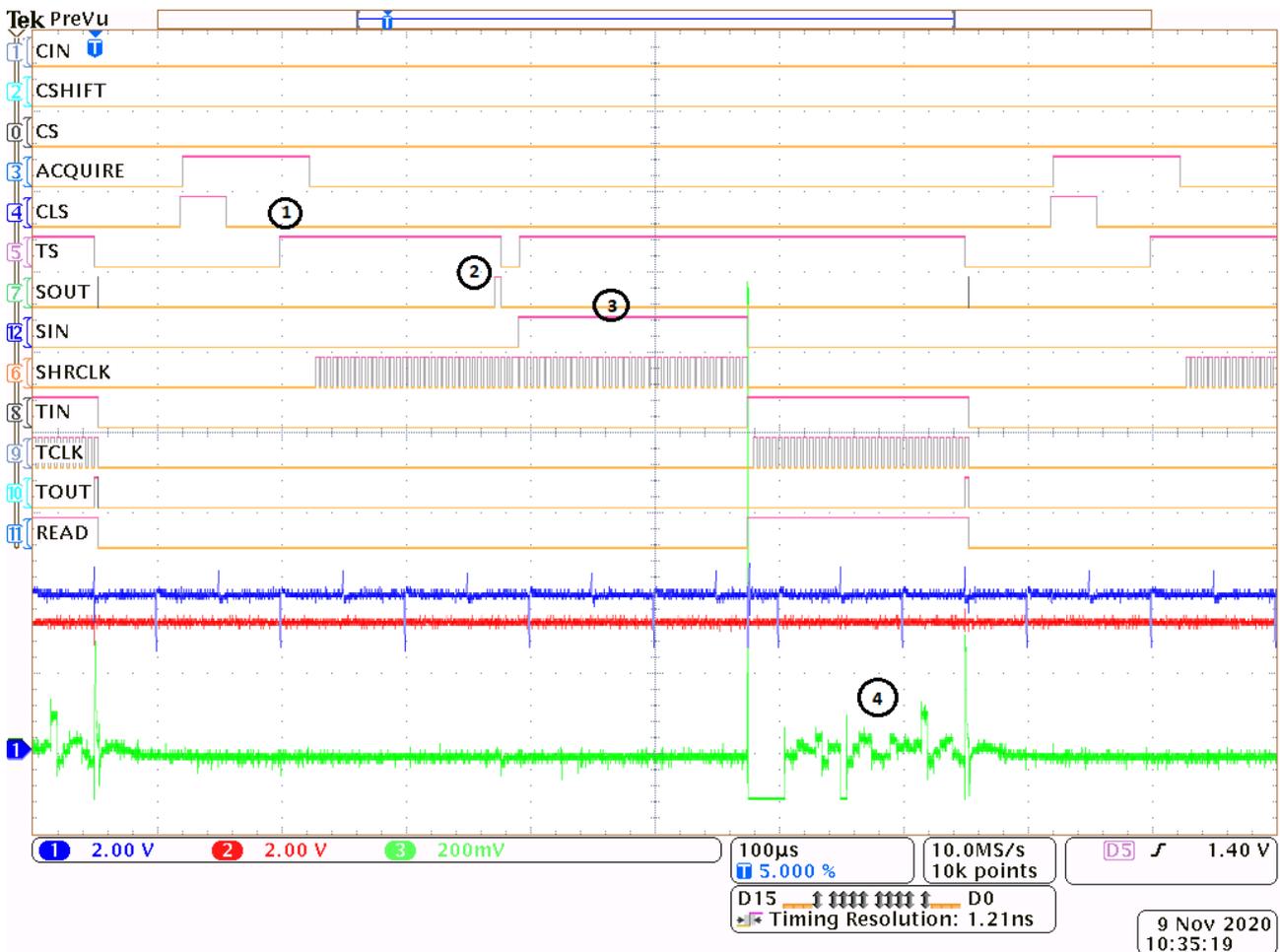


Figura 16

Com'è possibile vedere dalla figura sopra, in corrispondenza di un evento di trigger (1), viene abilitata la scansione dei canali per verificare quale di questi ha generato l'evento. Dato che il canale che ha generato il trigger è uno solo (vedi linea SOUT (2)) la lettura dell'uscita avverrebbe solo per quello.

Per evitare questo si porta alta la linea SIN (3) per tutti i canali (dato che vogliamo operare in modalità global) che come dicevamo prima permette di abilitare la lettura di alcuni o di tutti i canali a discapito della velocità di acquisizione dati, ed in questo modo una volta conclusa procedura di scansione è possibile procedere con l'acquisizione dei dati analogici (4) in uscita dalla linea AOUT (VERDE).

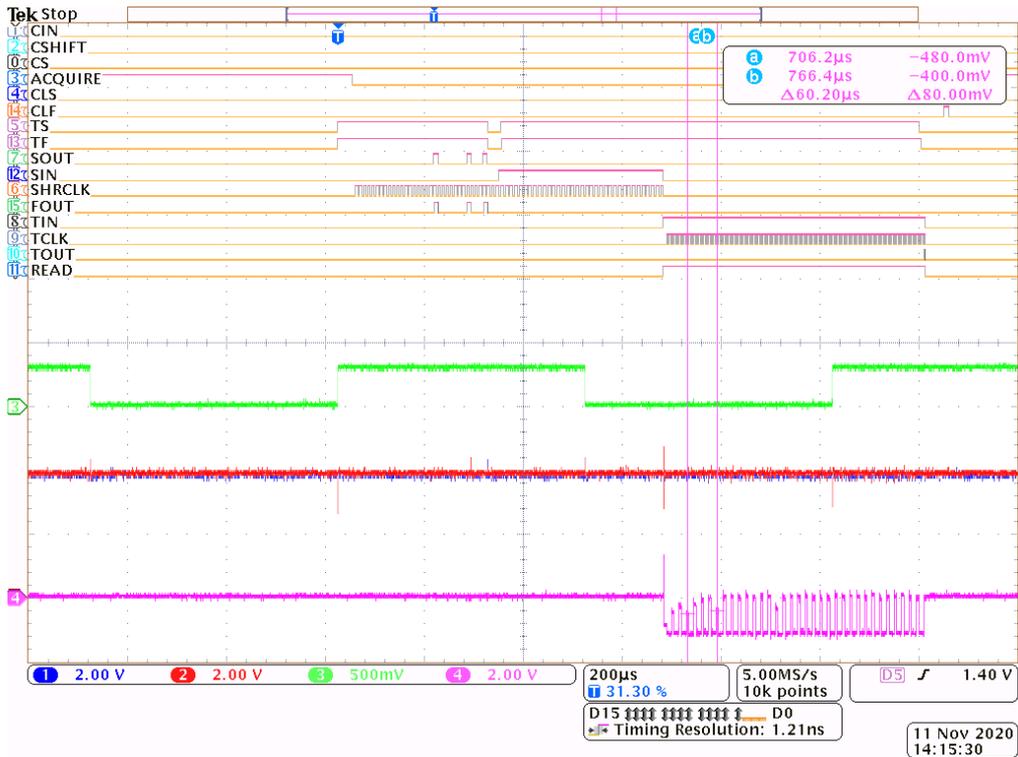


Figura 17

Stessa procedura è stata seguita abilitando anche il trigger fast (oltre quello slow) e settando una soglia più bassa del segnale d'ingresso a più canali contemporaneamente (fig.17).  
 O ancora, facendo in modo che il segnale in ingresso facesse commutare solo il trigger fast pur avendo abilitato entrambi (fast e slow). Fig.18-19

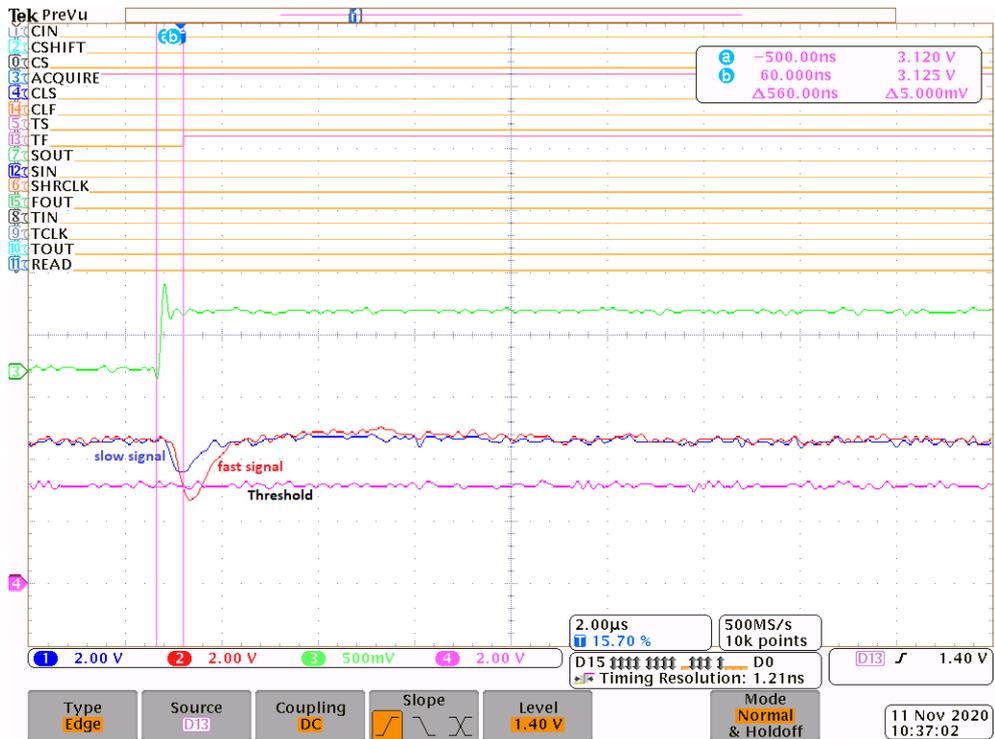


Figura 18

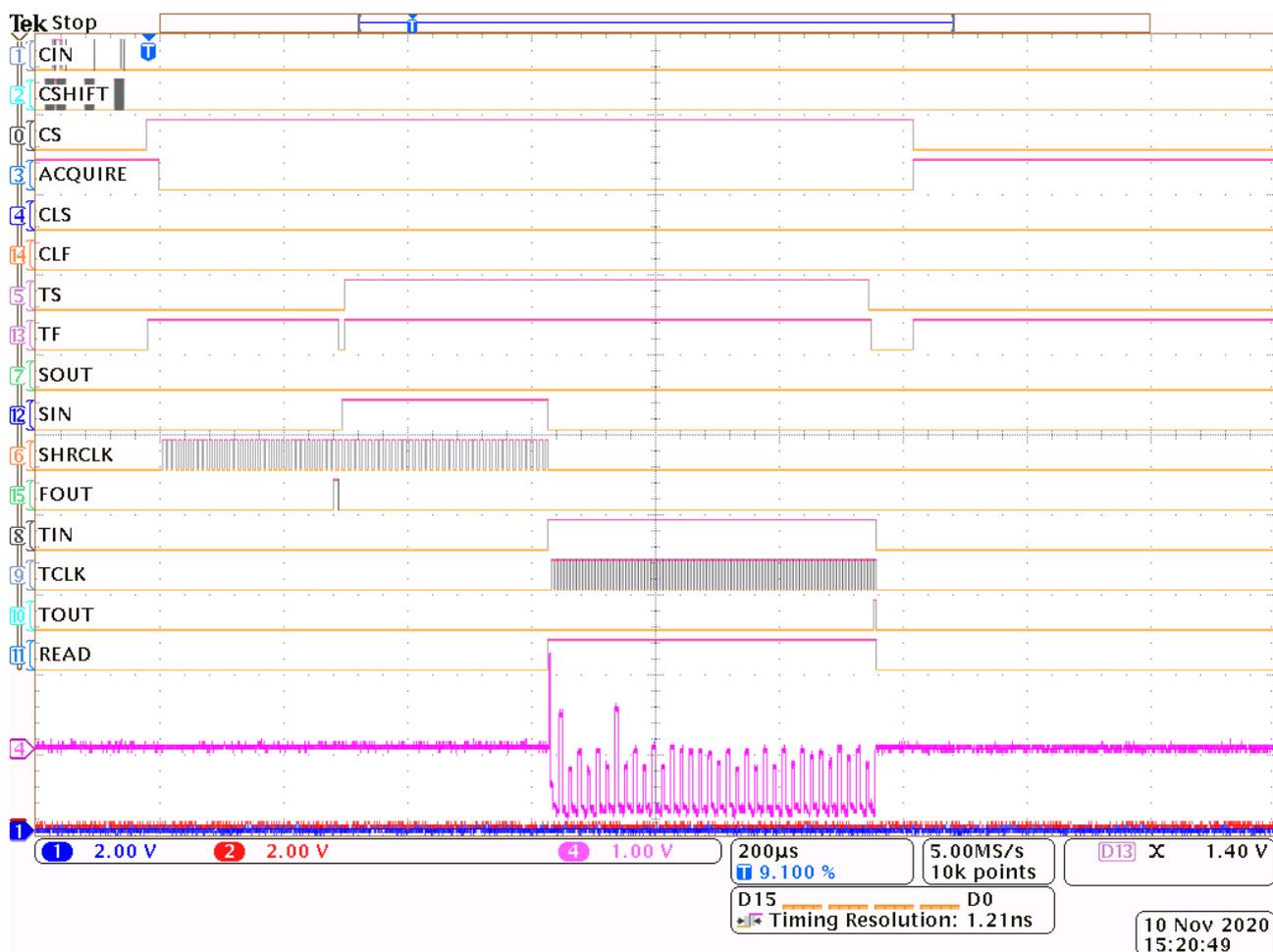


Figura 19

## CONCLUSIONI

In conclusione, possiamo affermare che il sistema testato funziona nel modo corretto, ed in particolare una volta generato il segnale di trigger viene fatta partire la procedura di acquisizione che permette di leggere il valore dei segnali applicati agli ingressi.

Il valore analogico in uscita dal Pin AOUT che rappresenta il valore al picco di ciascun canale letto, attualmente viene visualizzato all'oscilloscopio (linea viola fig.19) ma nulla vieta di poterlo acquisire campionandolo, convertendolo in un valore digitale ed immagazzinandolo in memoria.

A tale scopo, si sta sviluppando un sistema che prevede l'utilizzo di un convertitore ADC che per mezzo di una linea di comunicazione SPI permette di trasferire i dati acquisiti all' FPGA e da qui impacchettarli secondo un determinato protocollo ed inviarli al PC dove potranno essere immagazzinati e analizzati successivamente.

## **BIBLIOGRAFIA**

- [1] NOVA R&D, Inc, “RENA-3™ IC User Specifications” Rev 1.31, May 11, 2015.
- [2] F.P. Lo Gerfo, G.Sottile, “RELAZIONE TECNICA TEST MODALITÀ FOLLOWER ASIC RENA-3”
- [3] F.P. Lo Gerfo, G.Sottile, “RELAZIONE TECNICA TEST MODALITÀ READOUT ASIC RENA-3”
- [4] Agilent N6705B, [Online] <https://www.keysight.com/it/en/product/N6705B/dc-power-analyzer-modular-600-w-4-slots.html>.
- [5] ArbStudio 1102, [Online] <https://teledynelecroy.com/options/productdetails.aspx?categoryid=2&modelid=3975&groupid=165>.
- [6] TECKTRONIX MSO 4034B <https://www.tek.com/oscilloscope/mso4034b>