



## Rapporti Tecnici INAF INAF Technical Reports

<b>Number</b>	154
<b>Publication Year</b>	2022
<b>Acceptance in OA@INAF</b>	2022-06-07T14:59:17Z
<b>Title</b>	RELAZIONE TECNICA TEST MODALITÀ READOUT ASIC RENA-3
<b>Authors</b>	LO GERFO, FABIO PAOLO; SOTTILE, Giuseppe
<b>Affiliation of first author</b>	IASF Palermo
<b>Handle</b>	<a href="http://hdl.handle.net/20.500.12386/32226">http://hdl.handle.net/20.500.12386/32226</a> ; <a href="https://doi.org/10.20371/INAF/TechRep/154">https://doi.org/10.20371/INAF/TechRep/154</a>

---

# RELAZIONE TECNICA TEST MODALITÀ READOUT ASIC RENA-3

---

Verifica del funzionamento del trigger e del relativo sistema di acquisizione dati nel  
ASIC RENA-3

**Fabio Paolo Lo Gerfo\*, Giuseppe Sottile\***

\*INAF – IASF PALERMO

Via Ugo la Malfa, 153, 90146 Palermo PA

## Sommario

Abstract .....	2
La modalità READOUT .....	2
Acquisizione dati e test trigger .....	3
Debug problemi e risultati.....	5
Conclusioni .....	8
Riferimenti.....	9

## Abstract

In questo documento descriveremo i test effettuati sull'evaluation board contenente l'ASIC RENA-3 per verificare il corretto funzionamento della modalità Readout. In particolar modo una volta assegnata una soglia ad un DAC interno, si dovrà verificare che il segnale inviato ad uno degli N ingressi del RENA, superata quest'ultima generi un impulso di trigger e a partire da questo il sistema proceda con l'elaborazione del segnale d'ingresso stesso.

## La modalità READOUT

La modalità readout è la modalità principale di funzionamento del ASIC RENA-3, la quale consente di acquisire gli impulsi di carica generati da un fotorigelatore (ingresso DETECTOR, Fig.1) o da un generatore d'impulsi esterno (ingresso TEST Fig.1), processarli ed inviarli ad un apposito convertitore ADC.

Una volta convertiti, tali dati vengono elaborati da un'unità hardware esterna e in base ai risultati prodotti è possibile risalire all'energia dell'evento che ha generato il trigger e all'intervallo temporale in cui si è verificato l'evento [1].

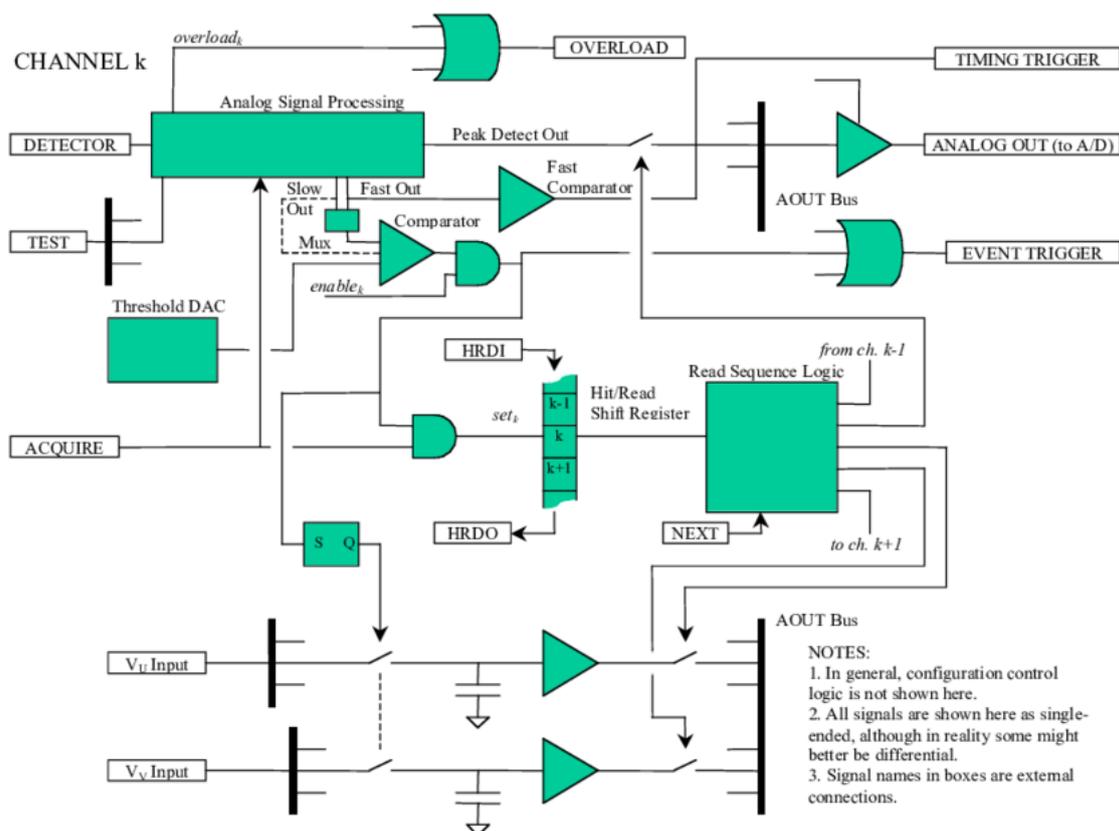


Figura 1. Schema a blocchi RENA3

Lo schema a blocchi di figura 1 mostra il funzionamento a grandi linee del ASIC RENA-3. In linea di principio il segnale proveniente dal fotorigelatore o dall'ingresso di test viene inizialmente preamplificato per facilitare l'elaborazione del segnale stesso, e poi processato da un'unità analogica.

Una volta ottenuto il segnale amplificato, filtrato e rallentato mediante gli opportuni circuiti di condizionamento, questo viene comparato con una soglia preimpostata in un apposito DAC e se il segnale d'ingresso ha superato quest'ultima scatta un trigger SLOW e FAST che genera rispettivamente l'acquisizione del segnale d'ingresso mediante un circuito di sample and hold, utile a prelevare il picco

d'energia del segnale d'ingresso, e l'abilitazione di un circuito di time-stamp, utile per la temporizzazione degli eventi nei diversi canali del RENA3.

Una volta acquisiti i segnali d'ingresso questi vengono convertiti mediante un convertitore ADC esterno ed elaborati da un calcolatore.

Per l'acquisizione automatica dei segnali da parte del RENA-3 è necessario utilizzare la seguente procedura di inizializzazione del sistema:

- 1 Abilitare ACQUIRE (Acquisizione), CLS (Clear Slow Path) e CLF (Clear Fast Path)
- 2 Disabilitare CLS e CLF dopo almeno 1us.
- 3 Aspettare che sia trascorso il trap-time. Se si verifica un evento di trigger durante tale intervallo di tempo questo deve essere considerato nullo.
- 4 Aspettare l'evento di trigger TS (trigger slow) o TF (trigger fast).
- 5 Disabilitare ACQUIRE.

La sequenza descritta permette di acquisire i segnali d'ingresso e controllare il verificarsi di un evento di Trigger, una volta configurato un apposito canale del ASIC.

## Acquisizione dati e test trigger

Per far questo abbiamo quindi configurato il canale 0 in modo tale da accogliere l'impulso di test iniettato da un apposito generatore esterno, configurato l'impulsore (numero e ampiezza degli impulsi), abilitato il fast e lo slow trigger, ed impostato una soglia per il comparatore tramite il DAC interno (FAST e SLOW) in modo tale che una volta superata quest'ultima si generi un trigger. [2]

Nella figura sottostante è possibile notare come nel nostro caso il segnale di ACQUIRE (viola, Fig.2) si mantenga sempre alto, mentre i segnali CLS (verde) e CLF (rosso) vadano alti per un periodo maggiore di 1us (come da specifica del data sheet RENA3), superati i quali è possibile accogliere gli eventi i trigger che si presentano rispettivamente alle porte di uscita TS e TF.

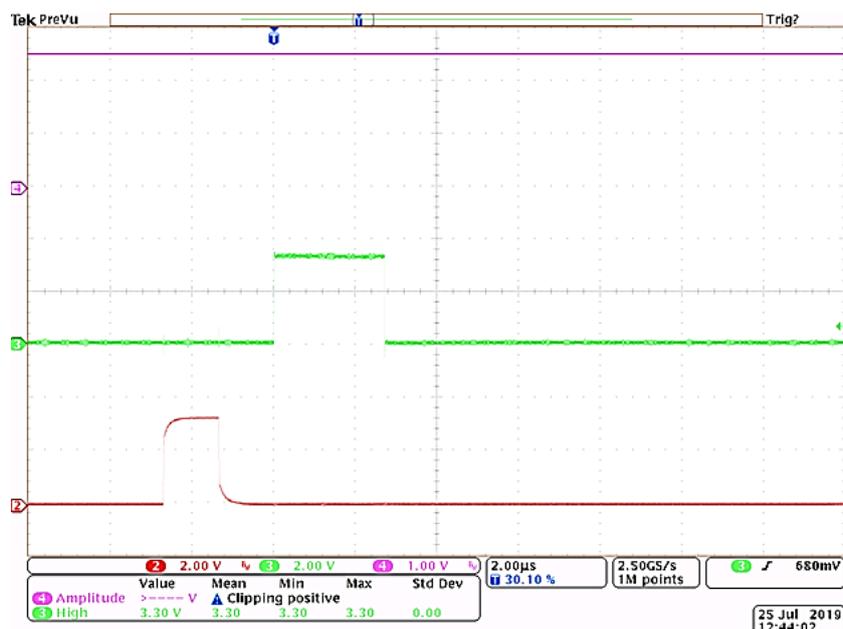


Figura 2. Segnali di ACQUIRE (viola), CLS (verde) e CLF (rosso)

Tali segnali a sua volta, dovrebbero abilitare la scrittura su un apposito registro, che memorizza il verificarsi dell'evento e a partire da questo procedere con l'acquisizione dei segnali d'ingresso.

Come è possibile vedere dallo schema a blocchi del singolo canale (figura 3), affinché si presenti una commutazione del segnale all'uscita del fast o dello slow trigger è necessario che si verifichino tre condizioni in contemporanea:

- Abilitazione trigger (slow o fast);
- Abilitazione ACQUIRE;
- Segnale d'ingresso superiore alla soglia impostata sul DAC (slow o fast).

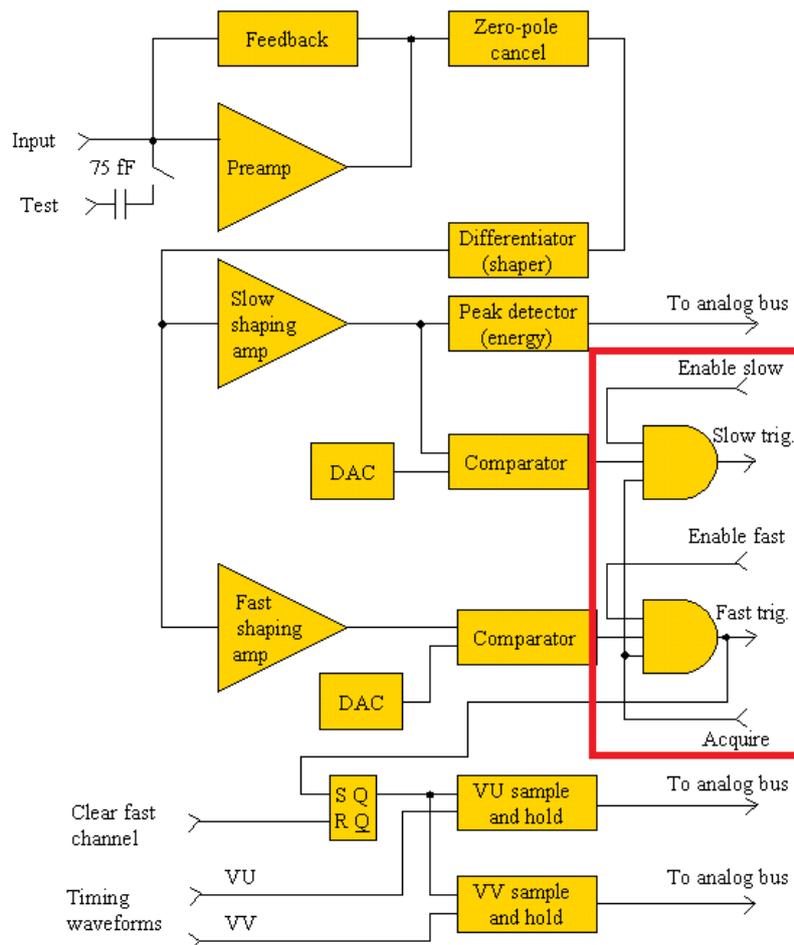


Figura 3. Schema a blocchi del singolo canale del RENA3.

Per verificare quindi che il segnale di trigger commuti in corrispondenza di un evento con energia superiore alla soglia, abbiamo seguito la procedura sopra descritta e monitorato l'uscita di trigger in corrispondenza del fronte di salita (discesa) dell'impulso d'ingresso.

Per far questo abbiamo dapprima messo il probe dell'oscilloscopio (Tecktronix MSO 4034B) direttamente sulle uscite TS- (TF-) e TS+ (TF+) e poi su una resistenza di pull-up da 2kohm che connetteva gli stessi a VCC

In tutti e due i casi appena descritti nessun trigger era presente alle relative porte d'uscita. A titolo d'esempio si riporta in figura 4 uno dei casi in esame ed in particolare quello relativo alla resistenza di pullup tra i pin di trigger e VCC.



Figura 4. Impulso di test e relativi trigger interni ed esterni.

Secondo quanto dichiarato dal costruttore del RENA3 l'uscita di trigger è in corrente e prevede l'erogazione di una corrente di 450uA da T+ a T- in corrispondenza di un evento di trigger e di 0A nel caso contrario. Questo spiegherebbe il perché non siamo in grado di vedere il trigger misurando i relativi pin direttamente con i probe dell'oscilloscopio, ma non spiega il perché non siamo in grado di vederli con le resistenze di pullup poste tra essi e l'alimentazione.

## Debug problemi e risultati

Per effettuare il debug di tali problemi abbiamo quindi proceduto con l'analizzare i segnali interni prodotti dal RENA3 i quali sono accessibili (solo in parte) e visualizzabili all'oscilloscopio usando una resistenza da 40Kohm connessa tra i relativi pin e l'alimentazione VCC (5V).

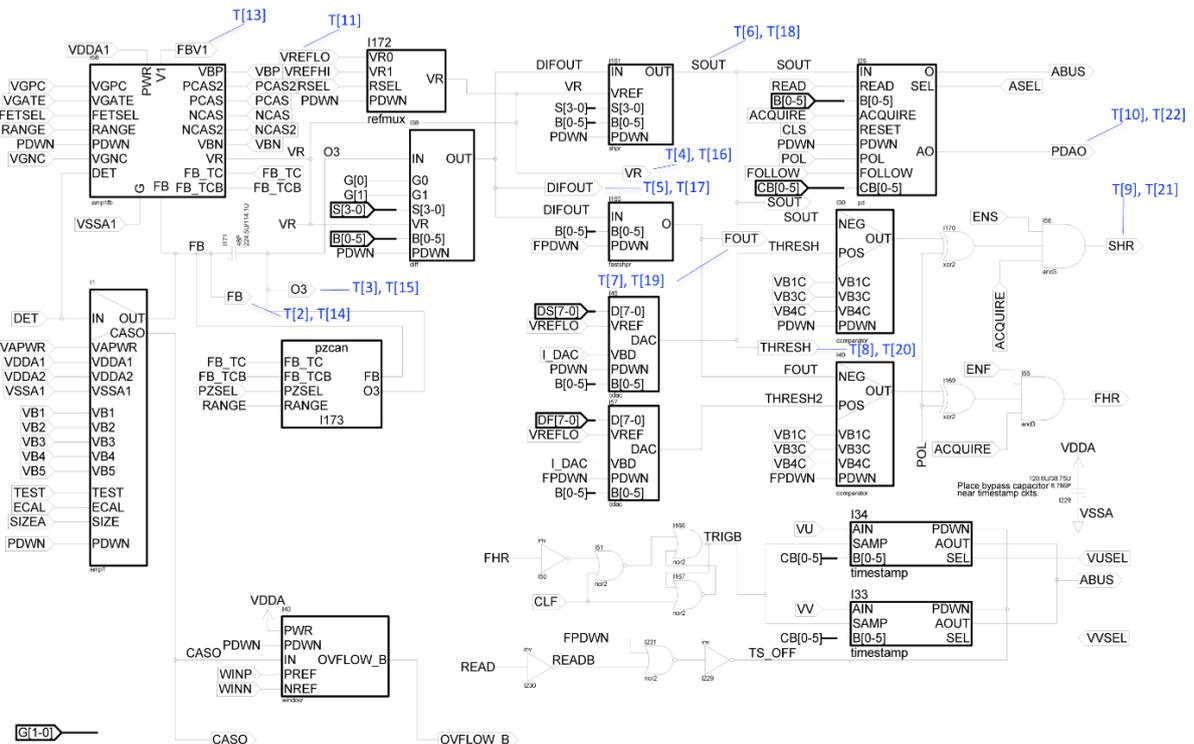


Figura 5. Schema a bocchi del singolo canale del RENA3 con relativi pin di TEST per il debug dei problemi.

Per evitare che l'impulso di test abbia due fronti di commutazione e quindi per far sì che in corrispondenza di questi non vengano generati due impulsi (uno positivo e uno negativo) data la presenza di uno stadio derivatore in ingresso al ASIC, abbiamo deciso di sostituire il generatore di impulsi integrato nella board con uno esterno Agilent Technologies 81160A [3] che permettesse di generare un impulso di test con forma triangolare e con fronte di salita molto più ripido di quello di quello di discesa.

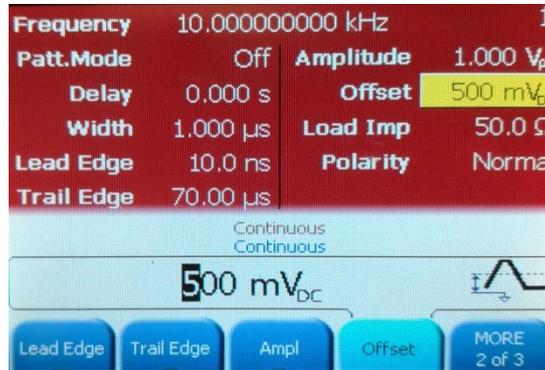


Figura 6. Impulso di test impostato sul generatore esterno

Monitorando SOUT (uscita dello slow shaper) ed THRESH (soglia impostata sul DAC) del canale 0 (T18 –T19 del RENA) è possibile notare che se il segnale interno generato (SOUT) supera la soglia imposta dal DAC (THRESH) il registro SHR (slow hit register) viene scritto in quanto un segnale di trigger viene generato (fig.8). Nel caso contrario nessun segnale di trigger commuta quindi nessun registro verrà scritto.

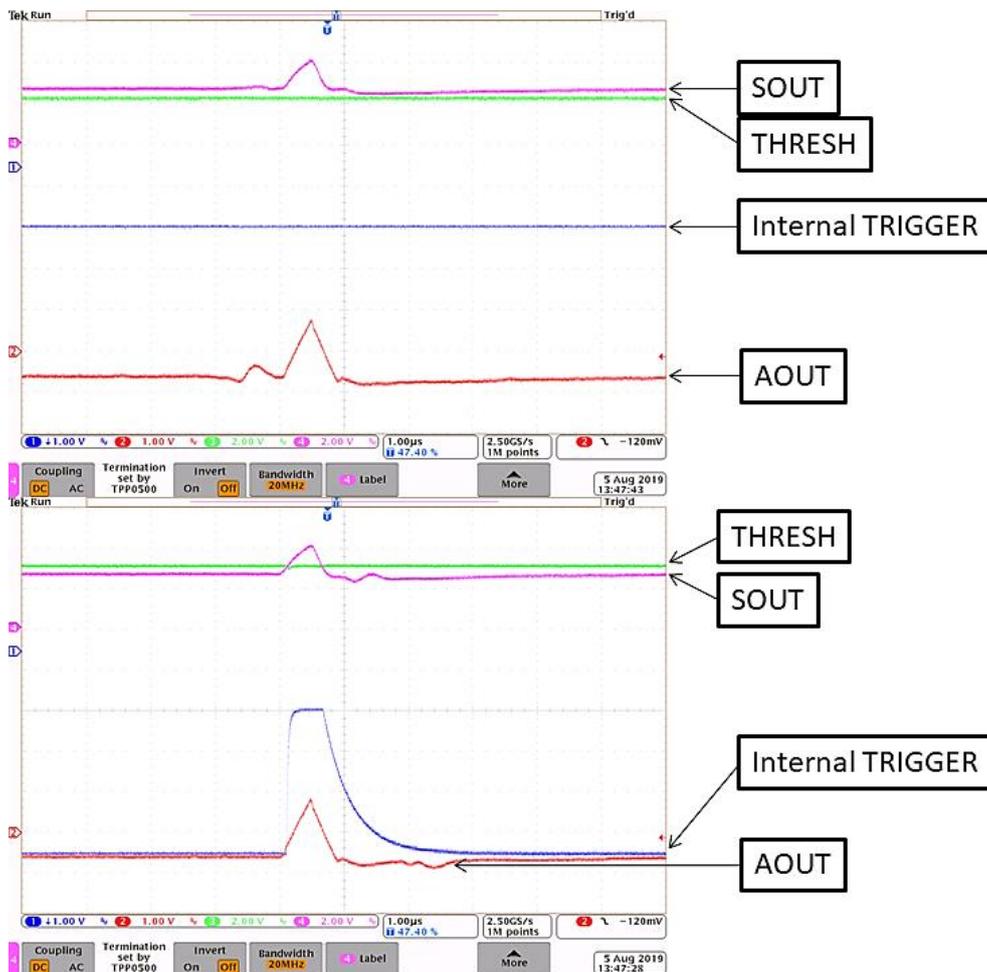


Figura 7. Segnali interni ed esterni nel caso di non trigger (fig. sopra) e trigger (fig. sotto).

A questo punto abbiamo realizzato la rete differenziale consigliata dal costruttore del RENA-3, utilizzando un AD8611 [4] per trasformare il segnale differenziale (TS-, TS+) in single ended (fig.8) e monitorato l'uscita di quest'ultimo (TS).

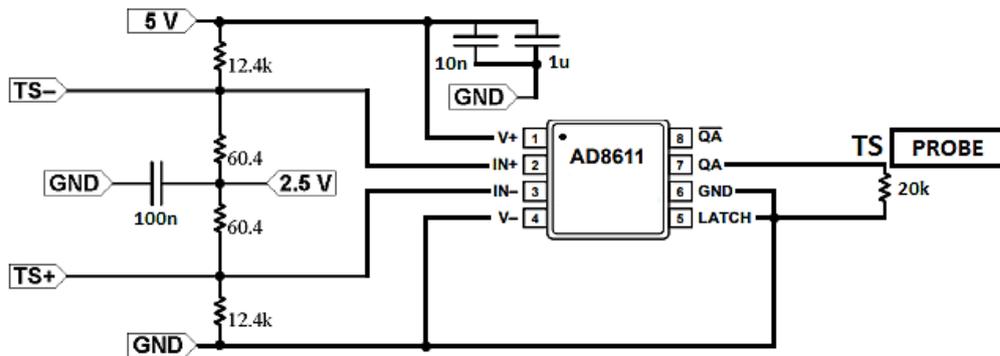


Figura 8. Circuito implementato per trasformare il segnale differenziale di trigger in single ended.

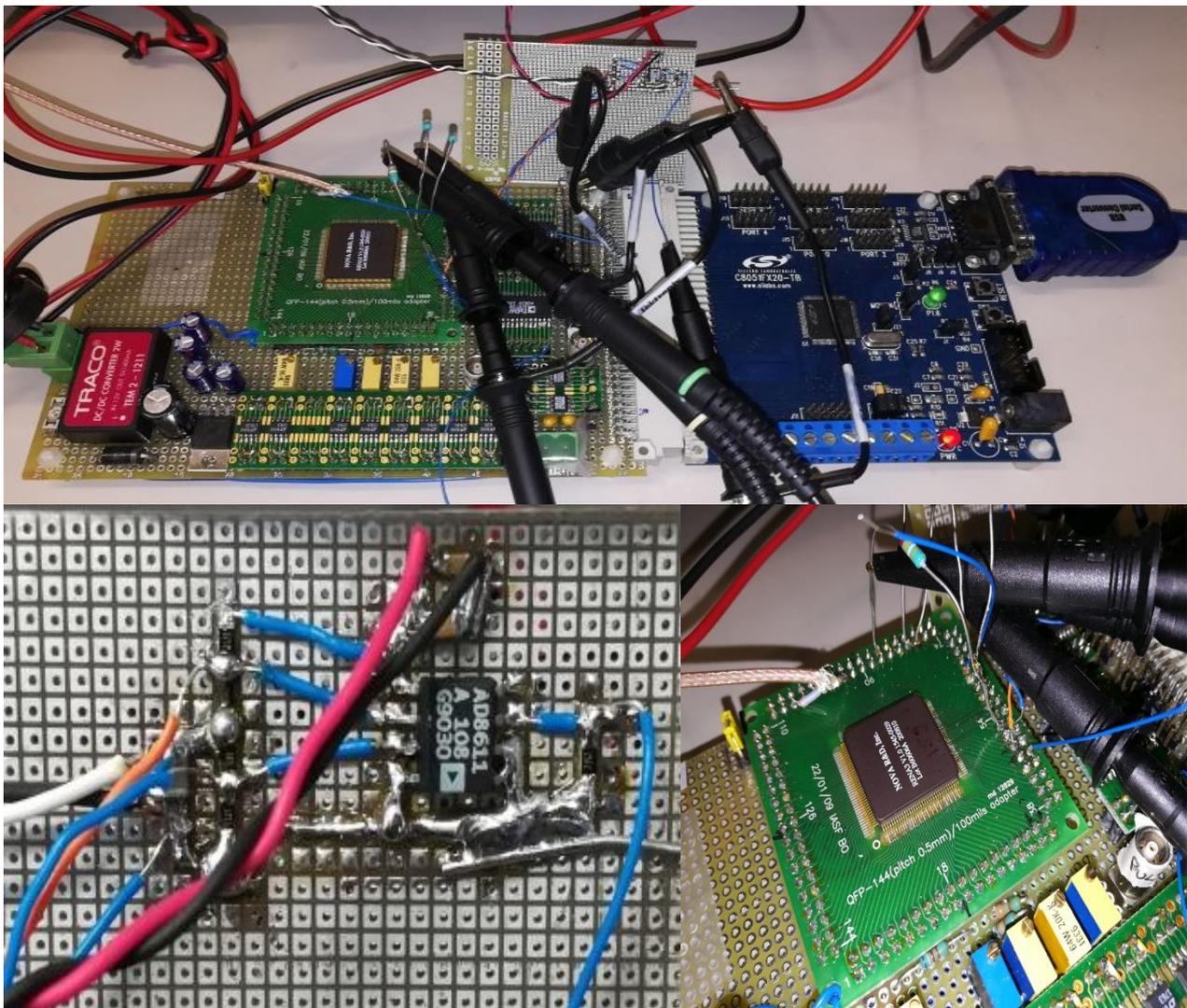


Figura 9. Foto dell'intero sistema (sopra) del comparatore (sotto a sinistra) e del RENA3 (sotto a destra).

Dai risultati visti in precedenza ci aspetteremmo un'uscita di trigger esterno (TS) che commuti in corrispondenza del passaggio del segnale interno (SOUT) per la soglia (THRESH).

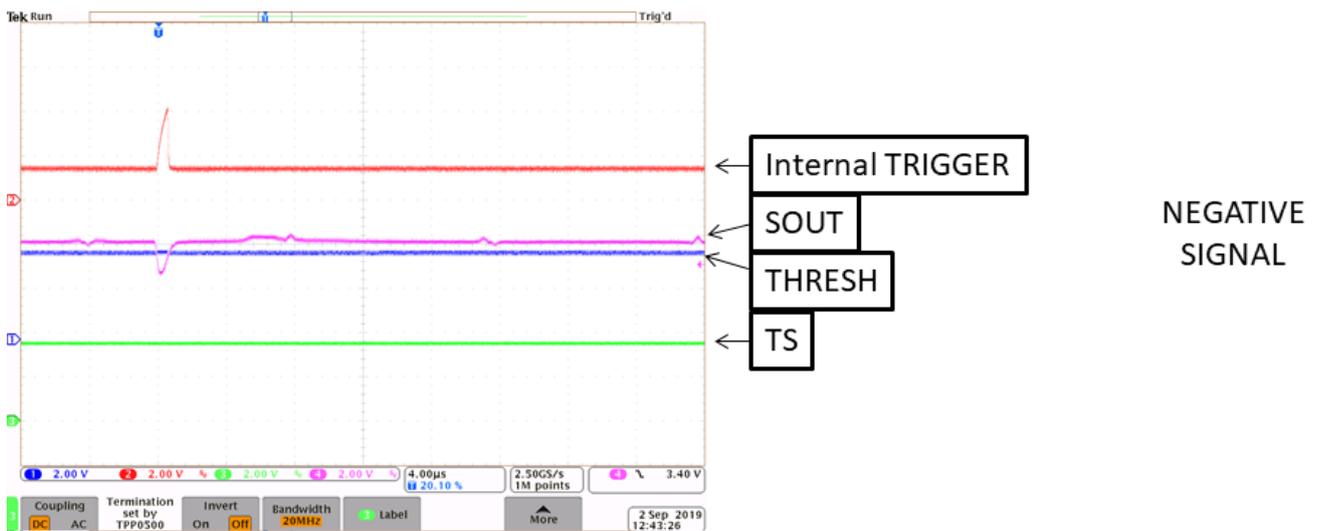


Figura 10

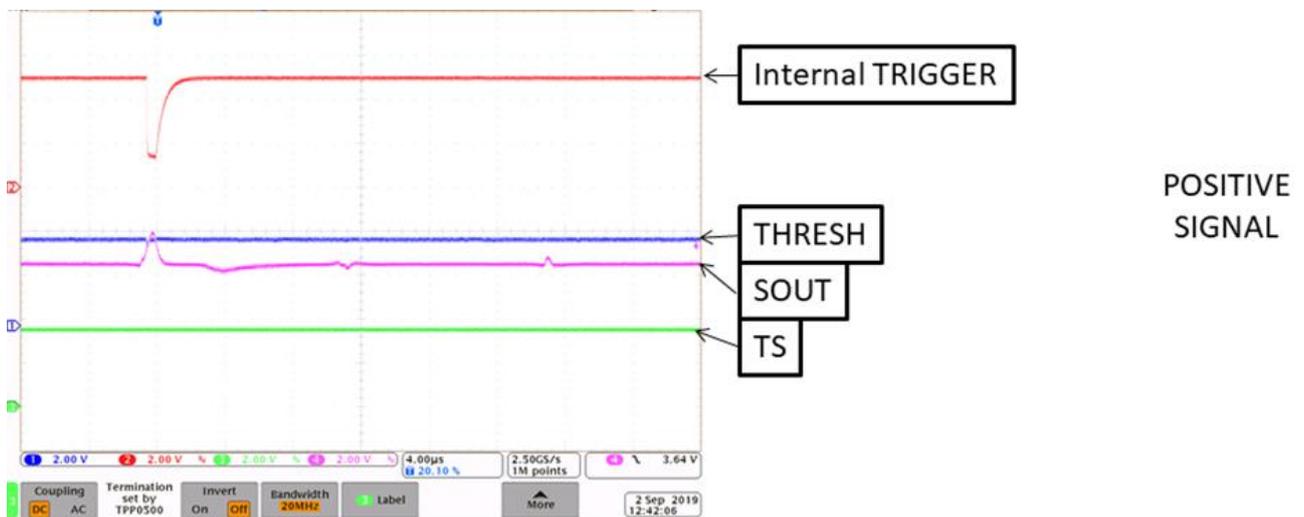


Figura 11. Segnali interni ed esterni utilizzando il generatore d'impulsi esterno e il comparatore per il trigger.

Ma anche in questo caso il segnale all'uscita del comparatore rimane inalterato.

## Conclusioni

Alla luce dei risultati ottenuti possiamo quindi pensare che l'ASIC RENA-3 presenta dei problemi allo stadio di uscita del circuito di trigger, motivo per cui i segnali interni vengono generati correttamente, ma non riusciamo ad ottenere lo stesso riscontro monitorando i corrispondenti segnali alle relative porte d'uscita dell'integrato.

Per tale motivo non è possibile procedere con la verifica della modalità READOUT in quanto non essendo possibile generare il trigger nessun segnale d'ingresso verrà acquisito.

## Riferimenti

- [1] NOVA R&D, Inc, “**RENA-3™ IC User Specifications**” Rev 1.31, May 11, 2015.
- [2] F.P. Lo Gerfo, G.Sottile, “**RELAZIONE TECNICA TEST MODALITÀ FOLLOWER ASIC RENA-3**”
- [3] **Agilent Technologies 81160A**, [Online] <http://literature.cdn.keysight.com/litweb/pdf/81160-91020.pdf>.
- [4] **Analog Devices AD8611**, [Online] [https://www.analog.com/media/en/technical-documentation/data-sheets/AD8611\\_8612.pdf](https://www.analog.com/media/en/technical-documentation/data-sheets/AD8611_8612.pdf).
- [5] **TECKTRONIX MSO 4034B** <https://www.tek.com/oscilloscope/mso4034b>