

自己組織型学習回路のパルス密度型デジタル回路による構成

著者	平井 有三
発行年	2000
URL	http://hdl.handle.net/2241/456

自己組織型学習回路の パルス密度型デジタル回路による構成

課題番号：10480065

平成10年度～平成11年度科学研究補助金
基盤研究 (B) (2) 研究成果報告書

平成12年3月

研究代表者 平 井 有 三
(筑波大学 電子・情報工学系)

はしがき

1980年代に始まったニューラルネットワークのリバイバル熱も1990年代半ばのバブルの終演とともに冷え込み、1970年代と同様に落ち着いた研究環境が戻ってきたようである。ただ、いくつかの点で大きな違いがある。その一つ目は、人の脳に関する研究の大切さが理解され、いくつかの大型プロジェクトが走り出していることである。もう一つの違いは、半導体技術である。この10年間の半導体技術の進歩は著しく、最近のパーソナルコンピュータはその速度、記憶容量、磁気ディスクの容量ともに1970年代のIBM370をはじめとする大型計算機をしのぎ、その価格は3桁低くなっている。また、最近の100万ゲート規模のFPGA(Field Programmable Gate Array)の開発は、自作の大規模なデジタル回路をクリーンルームなしに容易にVLSI化することを可能にした。

本研究は、このような半導体技術の発展を背景に、自己組織型学習回路をデジタル回路で構成し、FPGAに実装し、実時間で学習動作することを確認したものである。本研究の組織と研究経費は、以下の通りである。

研究組織

研究代表者：平井有三（筑波大学 電子・情報工学系）

研究経費

平成10年度	3,700 千円
平成11年度	1,300 千円
計	5,000 千円

本研究期間中に公表あるいは投稿された論文などは以下の通りである。

研究発表

- (1) K. Nishizawa and Y. Hirai: "Hardware implementation of PCA neural network." Proceedings of ICONIP'98, pp.85-88, 1998.
- (2) H. Toda and Y. Hirai: "Summation characteristics of PDM digital neural network system." Proceedings of ICONIP'98, pp.574-577, 1998.
- (3) 西澤邦宜、平井有三:「連続時間PCA学習則のハードウェア実装」電子情報通信学会技術研究報告、NC 98-55、pp.7-12, 1998.
- (4) 戸田英樹、平井有三:「インターネット版PDMデジタルニューラルネットワークシステムの構築」電子情報通信学会技術研究報告、NC 98-65、pp.13-18, 1998.
- (5) M. Kawamura, M. Okada and Y. Hirai: "Dynamics of selective recall in an associative memory model with one-to-many association." IEEE Transaction on Neural Networks, Vol.10, No.3, pp.704-713, 1999.
- (6) 西澤邦宜、平井有三:「連続時間PCA学習ハードウェアの実時間動作」日本神経回路学会第9回全国大会講演論文集、pp.14-15, 1999.
- (7) 勝本秀之、平井有三:「PDMデジタルニューラルネットワークシステムの並列鋳型照合課題による性能評価」日本神経回路学会第9回全国大会講演論文集、p.154, 1999.
- (8) 西澤邦宜、平井有三:「連続時間PCA学習ハードウェアの実時間動作」電子情報通信学会技術研究報告、NC 99-110、pp.133-139, 2000.
- (9) 西澤邦宜、平井有三:「連続時間PCA学習則のFPGAによる実装」電子情報通信学会総合大会講演論文集、情報システム1、p.21, 2000.
- (10) Y. Hirai and K. Nishizawa: "Hardware implementation of a PCA learning network by an asynchronous PDM digital circuit." submitted to IJCNN2000.
- (11) 平井有三:「ニューロチップ」脳科学大事典、III 脳のモデル、10. 1節、朝倉書店、2000.

研究発表の概要

(1)は本研究で開発した学習回路をハードウェアシミュレータで解析し、動作を検証したものである。

(2)は本研究で開発した学習回路で使用されている回路技術を用いた、1000個のニューロンが100万個の7ビットシナプスで完全結合されたPDMデジタルニューラルネットワークシステムの空間加算特性について検証したものである。

(3)は(1)と同じく本研究で開発した学習回路のハードウェアシミュレータによる動作の検証に関するもので、3次元正規分布のデータの3つの主成分ベクトルがハードウェアで学習できることが示されている。

(4)は(2)のシステムをインターネットを介して利用できるようにしたことの報告である。

(5)はハードウェア化に向けたニューラルネットワークの応用の一つである連想記憶モデルに関する論文である。一対多の連合関係を記憶できる回路の想起ダイナミクスを解析

している。

(6)の日本神経回路学会全国大会では、主成分分析学習回路を実際にFPGAに実装し、実時間で動作することを実証し、デモンストレーションを行った。

(7)は1000ニューロンシステムを用いて、手書き数字の並列的な鋳型照合実験を行った報告である。16x16画素の入力数字パターンと約750個の鋳型との間のパターン照合を並列的に実行でき、精度も浮動小数点演算を用いたワークステーションと遜色がないことを実証した。

(8)は(6)の詳細な報告であり、(9)は概要の報告である。(10)は本研究成果をまとめて国際会議に投稿したものである。

(11)は本研究成果とは直接関係はないが、2000年3月下旬に朝倉書店から刊行される「脳科学大事典」の「ニューロチップ」の項目へ掲載した解説である。本研究の背景を理解する上で有用と考え、本報告に含めた。ただし、原稿は初稿のものであり、実際に掲載されている解説はデータなどが更新されている。

以下の頁は著作権者の許諾を得ていない
ため、公表できません。

p. 4 ~ p.

p. ~ p.

p. ~ p.

p. ~ p.

p. ~ p.