



**Universidad**  
Zaragoza

# Trabajo Fin de Máster

Diseño de un ASIC para la caracterización estadística de transistores a temperatura criogénica

Autora

Carolina Pons Quílez

Directores

Carlos Sánchez Azqueta

Jorge Pérez Bailón

Facultad de Ciencias

Máster en Física y Tecnologías Físicas

Septiembre de 2022



## Índice de figuras

<b>Figura 1:</b> Esfera de Bloch donde se representan los dos estados principales para un qubit y sus proyecciones en el sistema cartesiano. Imagen tomada de [3].	1
<b>Figura 2:</b> Diagrama de bloques propuesto para el desarrollo de ordenadores cuánticos basados en tecnología cryo-CMOS para el controlador (en verde). Esquema tomado de [1].	2
<b>Figura 3:</b> Esquemático final donde se muestran únicamente dos filas de transistores NMOS (5 en cada una) con su conjunto de puertas de transmisión. En este caso, el transistor T1, correspondiente al estado $[E_4...E_0]=00001$ , estaría en conducción, el resto, en corte.	4
<b>Figura 4:</b> Vista en perspectiva típica de un transistor MOS de canal N, donde se aprecian sus terminales y potenciales aplicados sobre los mismos. Imagen tomada de [8].	6
<b>Figura 5:</b> Curva característica $I_{DS} - V_{DS}$ asociada a un transistor NMOS de enriquecimiento [9].	7
<b>Figura 6:</b> Curvas para distintas $V_{GS}$ teniendo en cuenta el efecto de modulación de canal [8].	9
<b>Figura 7:</b> Diagrama esquemático de un inversor CMOS.	10
<b>Figura 8:</b> Función de transferencia $V_{out} - V_{in}$ típica de un inversor CMOS. Tomada de [12].	11
<b>Figura 9:</b> Circuito de test utilizado para analizar el inversor.	12
<b>Figura 10:</b> Curva de transferencia para el inversor CMOS.	14
<b>Figura 11:</b> Circuito de test utilizado para analizar un inversor cuando presenta cinco cargas a su salida.	15
<b>Figura 12:</b> Evolución de señales de entrada (rojo) y salida (azul) para (a) 1 kHz, y (b) 100 MHz.	15
<b>Figura 13:</b> Esquemático básico de una puerta de transmisión (interruptor).	16
<b>Figura 14:</b> Circuito de test construido para analizar la puerta de transmisión.	17
<b>Figura 15:</b> Evolución de las señales de entrada y salida (roja superpuesta sobre azul, respectivamente) a la puerta de transmisión para frecuencias de (a) 500 kHz y (b) 1 MHz, con las anchuras de transistores ya corregidas.	17
<b>Figura 16:</b> Circuito de test construido con dos puertas de transmisión y un inversor CMOS.	18
<b>Figura 17:</b> Evolución temporal de la salida en función de la señal de control.	19
<b>Figura 18:</b> Esquemático completo para caracterizar un transistor, utilizando un NMOS como referencia.	20
<b>Figura 19:</b> Circuito de test utilizado para caracterizar un transistor, que, en este caso, es NMOS.	20
<b>Figura 20:</b> Curvas $I_{DS} - V_{DS}$ registradas para un transistor NMOS cuando (a) tiene puertas de transmisión y (b) no tiene puertas de transmisión.	21
<b>Figura 21:</b> Curvas $I_{DS} -  V_{DS} $ registradas para un transistor PMOS cuando (a) tiene puertas de transmisión y (b) no tiene puertas de transmisión.	21
<b>Figura 22:</b> Circuito de test empleado para caracterizar una matriz de cuatro transistores NMOS. En este caso, las señales de control para T0, T1 y T2 están a 0 V, mientras que la correspondiente a T3 es $V_{dd}$ , quedando este último activado.	23
<b>Figura 23:</b> Evolución de la característica $I_{DS} -  V_{DS} $ en función del transistor activado para matrices (a) NMOS y (b) PMOS.	24
<b>Figura 24:</b> Puerta AND implementada con puertas CMOS.	25
<b>Figura 25:</b> Conexiones internas en un decodificador de 2 bits de entrada.	26
<b>Figura 26:</b> Representación de la matriz 5x5, con su lógica combinatorial, obtenida como resultado final de este trabajo.	27

## Índice de tablas

Tabla 1: Valores para la movilidad de electrones y huecos, respectivamente, a $T=27^{\circ}$ C. ....	13
Tabla 2: Relaciones anchura/longitud elegidas en el diseño del inversor CMOS. ....	14
Tabla 3: Relaciones anchura/longitud seleccionadas para los nuevos transistores en una puerta de transmisión. .....	17
Tabla 4: Tabla de Verdad para un decodificador 2:4. ....	25
Tabla 5: Parámetros relevantes de la tecnología CMOS de 65 nm de TSMC. ....	I
Tabla 6: Key Core Devices parameters. ....	II
Tabla 7: Key Design Rules. ....	II

## Listado de abreviaturas y acrónimos

<b>Abreviatura / Acrónimo</b>	<b>Término en inglés</b>
ASIC	<i>Application-Specific Integrated Circuit</i>
IC	<i>Integrated Circuit</i>
TSMC	<i>Taiwan Semiconductor Manufacturing Company</i>
MOS /MOSFET	<i>Metal-Oxide Semiconductor Field Effect Transistor</i>
NMOS	<i>N-channel Metal-Oxide Semiconductor</i>
PMOS	<i>P-channel Metal-Oxide Semiconductor</i>
BJT	<i>Bipolar Junction Transistor</i>
MIM	<i>Metal-Insulator-Metal</i>
CMOS	<i>Complementary Metal-Oxide Semiconductor</i>
cryo-CMOS	<i>Cryogenic Complementary Metal-Oxide Semiconductor</i>
DC	<i>Direct Current</i>
GND	<i>Ground</i>

## Breve descripción de términos

- *Cadence*: Entorno de diseño de circuitos integrados analógicos, digitales, mixtos y de radiofrecuencias. Dispone de las herramientas necesarias para la implementación completa de circuitos, desde la creación y simulación de sus esquemáticos hasta su futura fabricación física.
- *Kit de diseño*: Conjunto de archivos ejecutado de manera simultánea a *Cadence*. Su función es configurar todo el proceso tecnológico que se va a llevar a cabo con el entorno, así como las características, parámetros y comportamiento de los dispositivos diseñados. Para este trabajo, el kit tecnológico seleccionado es el *TSMC 65 nm*.
- *Librería de diseño*: Directorio donde quedan almacenados los diseños creados, y que se asocia al kit tecnológico utilizado. Una librería de este tipo consta, a su vez, de celdas (*cells*), vistas (*views*), y de la combinación de ambas (*cellviews*). La celda recoge el objeto de diseño, mientras que la vista correspondiente indica cómo se ve ese objeto: en forma de esquemático, símbolo, etc.
- *Esquemático*: Diseño implementado como si se tratase de parte de un circuito. Incorpora pines para indicar sus terminales de entrada, salida, alimentación y toma de tierra. A medida que crece la complejidad de un diseño, es recomendable convertir los esquemáticos de nivel inferior en *símbolos*. De esa manera, se simplifican en gran medida las últimas etapas de diseño.
- *Circuito de test*: Circuito que incorpora los esquemáticos diseñados y cuya finalidad es verificar su correcto funcionamiento antes de elaborar las etapas posteriores.

## Listado de parámetros y notación

- $V_{dd}$  → Tensión de alimentación suministrada a un esquemático.
- $V_{OH}$  → Tensión en alto obtenida a la salida del inversor CMOS (en este caso 1, o  $V_{dd}$ ).
- $V_{OL}$  → Tensión en bajo obtenida a la salida del inversor CMOS (en este caso 0 V).
- $Cont_j / Control_j$  → Notación utilizada para el terminal de control de las puertas de transmisión del transistor j.
- $V_{Th,i}$  → Tensión umbral del transistor MOS tipo i.
- $V_{GS}$  → Tensión establecida entre terminales de puerta y fuente de un transistor.
- $V_{DS}$  → Tensión establecida entre terminales de drenador y fuente de un transistor.
- $V_{D,sat}$  → Tensión de drenador de saturación. Indica el límite entre las regiones óhmica y de saturación de un transistor MOS.
- $\mu_p$  → Movilidad de huecos, portadores mayoritarios en el canal P de un transistor tipo PMOS.
- $\mu_n$  → Movilidad de electrones, portadores mayoritarios en el canal N de un transistor tipo NMOS.
- $L_i$  → Longitud de canal de un transistor tipo i.
- $W_i$  → Anchura de canal de un transistor tipo i.
- $[E_4 \dots E_0]$  → Palabra de control del bloque de lógica combinacional.

# Contenido

1. Introducción .....	1
1.1. La computación cuántica: una revolución en las nuevas tecnologías.....	1
1.2. Objetivos.....	3
2. Marco teórico.....	5
2.1. Transistores MOSFET.....	5
2.2. Inversor CMOS.....	10
3. Simulaciones y resultados .....	12
3.1. Diseño y optimización de un inversor CMOS .....	12
3.2. Diseño y caracterización de una puerta de transmisión .....	16
3.3. Control de un único transistor.....	19
3.3.1. Matriz de cuatro transistores .....	22
3.4. Matriz de transistores controlada mediante lógica combinacional .....	24
4. Conclusiones .....	28
4.1. Líneas futuras .....	28
5. Referencias.....	29

# 1. Introducción

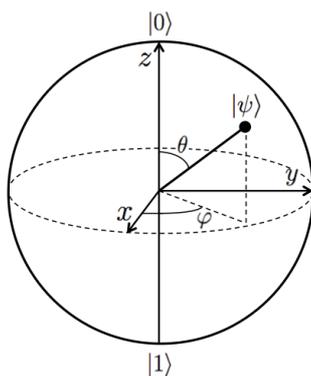
## 1.1. La computación cuántica: una revolución en las nuevas tecnologías

Indudablemente, a lo largo del siglo XXI se están experimentando avances tecnológicos con un impacto crucial en la sociedad: la aparición progresiva de nuevas redes sociales, el desarrollo de las criptomonedas o de la impresión en 3D, e importantes avances médicos dentro de los distintos ámbitos, son solo algunos de ellos. Concretamente, en el campo de las ciencias de la computación y la información, los distintos organismos de investigación, los estados y las grandes empresas impulsan el denominado *paradigma de la computación cuántica*.

La computación cuántica se basa en dos de los grandes principios de la mecánica cuántica, que son la superposición de estados y el entrelazamiento cuántico [1]. Así, el primer principio indica que un objeto cuántico puede estar simultáneamente en diferentes estados, mientras que el segundo, describe su correlación con otros objetos tras aplicar una perturbación. A raíz de ello, se está trabajando en el desarrollo de los ordenadores cuánticos.

La arquitectura de los incipientes ordenadores cuánticos actuales se compone, fundamentalmente, de dos bloques: un *procesador cuántico* y un *controlador electrónico clásico*. El procesador cuántico consta de unas pocas decenas de bits cuánticos, llamados *qubits*, que operan a temperaturas en el llamado rango criogénico profundo (por debajo de 1 K). Entre las construcciones de *qubits* más relevantes, se encuentran las nanopartículas semiconductoras, los circuitos superconductores y las impurezas presentes en un diamante, entre otras [1], [2].

En dos dimensiones, el estado  $|\Psi\rangle$  de un qubit se representa como superposición de los estados  $|0\rangle$  y  $|1\rangle$ , ortogonales entre sí. En lo que se conoce como esfera de Bloch (Figura 1):



$$|\Psi\rangle = \alpha_0|0\rangle + \alpha_1|1\rangle,$$

donde  $\alpha_{0,1} \in \mathbb{C}$ , y sus módulos cumplen:

$$|\alpha_0|^2 + |\alpha_1|^2 = 1,$$

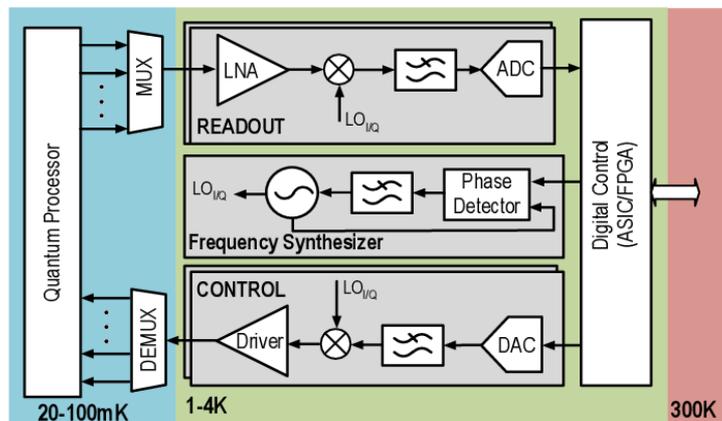
**Figura 1:** Esfera de Bloch donde se representan los dos estados principales para un *qubit* y sus proyecciones en el sistema cartesiano. Imagen tomada de [3].

donde los coeficientes  $\alpha_i$  permiten obtener la probabilidad de encontrar el *qubit* en el estado  $|i\rangle$ , tal que esta es igual a  $|\alpha_i|^2$  [2].

El controlador clásico, por su parte, lee y manipula el estado de los *qubits* contenidos en el procesador mediante señales eléctricas. Pese a que los controladores más recientes se implementan

utilizando electrónica digital operando a temperaturas criogénicas, se ha propuesto la posibilidad de su integración en tecnología digital CMOS en silicio. Esto se debe a que es muy complicado realizar las conexiones entre los *qubits* operando a temperatura criogénica y el exterior a temperatura ambiente, lo que hace que los procesadores cuánticos actuales queden limitados al orden de 100 *qubits*. Con esta propuesta, procesador y *qubits* operarían conjuntamente a temperaturas criogénicas con un buen rendimiento, o incluso logrando su integración monolítica en el caso de trabajar con *qubits* de silicio. Además, un incremento de la cantidad de *qubits* no estaría acompañado por un aumento en la complejidad del interconexión entre estos y la unidad de control que lo hiciese irrealizable. De esta manera, se alcanzarían ámbitos de millones de *qubits* en los procesadores, los necesarios para obtener ordenadores cuánticos funcionales [1].

El diagrama de bloques que se presenta para un controlador que está basado en la tecnología cryo-CMOS corresponde con el subsistema resaltado en verde de la Figura 2:



**Figura 2:** Diagrama de bloques propuesto para el desarrollo de ordenadores cuánticos basados en tecnología cryo-CMOS para el controlador (en verde). Esquema tomado de [1].

Se observa que la estructura de un controlador queda definida por tres bloques principales. El primero corresponde al *readout* y su función es leer el estado contenido en los *qubits* a partir de señales precisas y de ruido extremadamente bajo para no alterar su estado cuántico [1]. El segundo es el *control* y se asocia con la escritura de los estados cuánticos de esos *qubits*, y el tercero es un  *sintetizador de frecuencias*, que sirve de sincronismo entre los dos anteriores.

No obstante, a día de hoy, no existe ningún ordenador cuántico que siga la jerarquía presente en la Figura 2. El controlador opera a temperatura ambiente (en la región roja) porque genera más calor de lo que el refrigerador es capaz de disipar y eso le impide alcanzar temperaturas tan bajas. Por su parte, los *qubits*, a pesar de estar abordándose estudios de incremento de sus temperaturas hasta 4 K, siguen necesitando entornos inferiores a 100 mK (tal y como muestra la región azul).

En caso de lograrse conjuntamente una disminución significativa de temperaturas en el entorno del controlador, que permita alcanzar entre 1 y 4 K, y un aumento por parte del procesador cuántico, se dispondría de un sistema capaz de trabajar a la misma temperatura, situándose exclusivamente en la región de color verde [2].

## 1.2. Objetivos

Este trabajo se centra especialmente en la parte de control digital, basada en circuitos integrados de aplicación específica (ASICs). El objetivo es el diseño y evaluación de las características de un circuito integrado (IC) que permita realizar medidas estadísticas del comportamiento de un elevado número de transistores a temperatura criogénica.

Para ello se va a utilizar *Cadence*, una herramienta específica de diseño y simulación de ICs con la tecnología CMOS de 65 nm de *Taiwan Semiconductor Manufacturing Company* (TSMC). Sus características más importantes se recogen en [4] y destacan el uso de sustrato tipo P, 9 capas metálicas, condensadores de Metal-Aislante-Metal (MIM), y transistores NMOS y PMOS con tensiones nominales de 1.2 V.

La necesidad de diseñar un circuito de estas características es clara al tener en cuenta que cada transistor posee cuatro terminales - fuente (S), drenador (D), puerta (G), y cuerpo/sustrato (B) - que deben conectarse para llevar a cabo su caracterización. Por tanto, el número de entradas crece exponencialmente conforme aumenta el número de transistores en el sistema. Así, con 2 transistores se dispone de 8 terminales para controlar; con 4 transistores, este número crece a 16; con 100, hay un total de 400 terminales; y así sucesivamente.

Por tanto, testear individualmente cada uno de los  $N$  transistores de un circuito compuesto por decenas o centenares de estos, se convierte en un procedimiento muy poco práctico cuando no se dispone de un sistema capaz de simplificar las  $4N$  entradas con las que se trabaja [5]. Asimismo, la superficie física de fabricación del IC alcanza dimensiones tan grandes que, en casos extremos, resulta imposible costear. Un número de entradas más pequeño reduciría considerablemente el coste de fabricación. De ahí, la importancia de desarrollar este trabajo.

Se propone el desarrollo de un sistema basado en puertas de transmisión, de modo que se asigna un terminal de control único a cada transistor y se comparten los terminales de salida para todos los transistores, de manera que se reducen a 4 terminales (correspondiendo a fuente, drenador, puerta y cuerpo/sustrato). Mediante el terminal de control se desactivan todos los transistores excepto uno de ellos, que es el que se caracteriza. Modificando sucesivamente el transistor que está activo, se logra caracterizar todos los transistores.

Para optimizar aún más el número de terminales de control, se utiliza un módulo basado en lógica combinatorial. Para ello, en base al número de transistores, se diseña una etapa con  $N$ -bits a la entrada y  $2^N$  bits a la salida, que irán conectados a los diferentes terminales de control.

En este trabajo, se va a diseñar un sistema de control de hasta 25 transistores, cuyo estado (activado o desactivado) se regirá por medio de un sistema de control basado en dicha lógica combinatorial. De esta manera, dada una combinación de 5 bits de entrada compuesta por 0's y 1's, de las  $2^5$  salidas totales, las 25 primeras activarán las puertas de transmisión de los transistores (una combinación por transistor). Este procedimiento supondrá, por tanto, que solo un transistor se encuentre en estado de conducción, permaneciendo el resto en corte y desconectados del circuito de manera efectiva.

Al tratarse de un esquemático complejo, el procedimiento consistirá en la implementación de diferentes celdas, en orden creciente de jerarquía, que se irán incorporando en sus etapas consecutivas, con el fin de simplificar los esquemáticos y facilitar el proceso de diseño y simulación. En la Figura 3 se muestra, de un modo simplificado, el resultado final:



**Figura 3:** Esquemático final donde se muestran únicamente dos filas de transistores NMOS (5 en cada una) con su conjunto de puertas de transmisión. En este caso, el transistor  $T_1$ , correspondiente al estado  $[E_4...E_0]=00001$ , estaría en conducción, el resto, en corte.

Por lo tanto, este trabajo se divide en tres partes. En primer lugar, se presenta un marco teórico con el principio de funcionamiento de los transistores MOSFET y las celdas más básicas implementadas. En segundo lugar, se explica el diseño de las sucesivas celdas y se muestran los resultados extraídos de las simulaciones. Finalmente, se presentan las conclusiones y líneas futuras.

## 2. Marco teórico

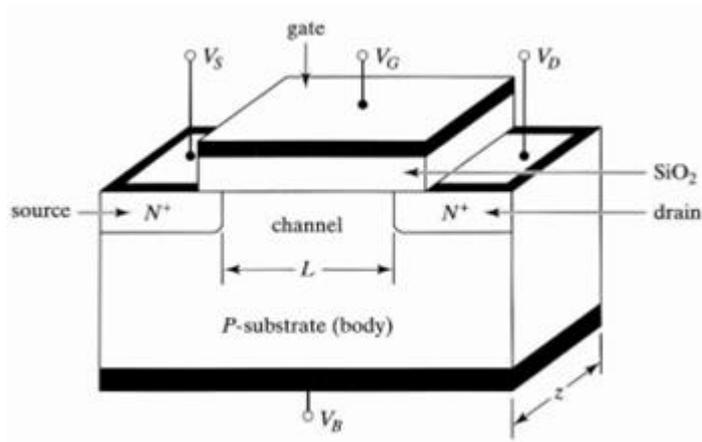
### 2.1. Transistores MOSFET

La unidad básica de todas las celdas que se van a implementar para este trabajo es el transistor de efecto de campo de metal-óxido-semiconductor, o MOSFET. Los transistores son elementos que, desde su aparición en 1947 a manos de los físicos W. Brattain, W. Shockley y J. Bardeen en los laboratorios Bell, han supuesto un importante avance en el diseño de circuitos eléctricos de tamaño reducido, tanto analógicos como digitales. Especialmente, sustituyen a las válvulas termoiónicas, las cuales obligaban a trabajar a muy altas tensiones y no permitían un funcionamiento instantáneo [6]. Hoy en día, se consideran principalmente dos grandes grupos de transistores: los bipolares, más conocidos como BJT, y los MOSFET.

Particularmente, los MOSFET pueden obtenerse, entre otros procesos, por medio de la tecnología CMOS, que es la más utilizada en diseño de circuitos integrados. Presentan ciertas ventajas frente a los BJT, en particular en lo referente a un menor consumo de potencia, menor ruido o una mayor estabilidad ante cambios de temperatura en el entorno [7].

La estructura básica de un MOSFET consta de cuatro terminales, denominados puerta (G), drenador (D), fuente (S) y sustrato/cuerpo (B). Este último está fabricado de un semiconductor, típicamente silicio, ligeramente dopado, bien tipo P o bien tipo N, mientras que S y D, se construyen dopando ese semiconductor fuertemente con una naturaleza opuesta a la de B. Finalmente, G, que se identifica con el terminal de conexión, está constituido por una capa de óxido aislante en contacto con una fina capa conductora, normalmente de polisilicio [8]. Este conjunto óxido-capa conductora, a su vez, tiene como misión polarizar el canal del transistor.

En función del tipo de semiconductor que conforma cada uno de estos terminales se distingue entre MOSFET de canal N (o NMOS) y MOSFET de canal P (o PMOS), siendo este canal la región formada bajo puerta (y entre terminales D y S) mediante un proceso de inversión fuerte [8]. La Figura 4 muestra la naturaleza de los semiconductores que conforman los terminales de un MOSFET de canal N. La correspondiente a un MOSFET de canal P sería análoga, pero con los dopados opuestos en los terminales y en un sustrato de tipo N.



**Figura 4:** Vista en perspectiva típica de un transistor MOS de canal N, donde se aprecian sus terminales y potenciales aplicados sobre los mismos. Imagen tomada de [8].

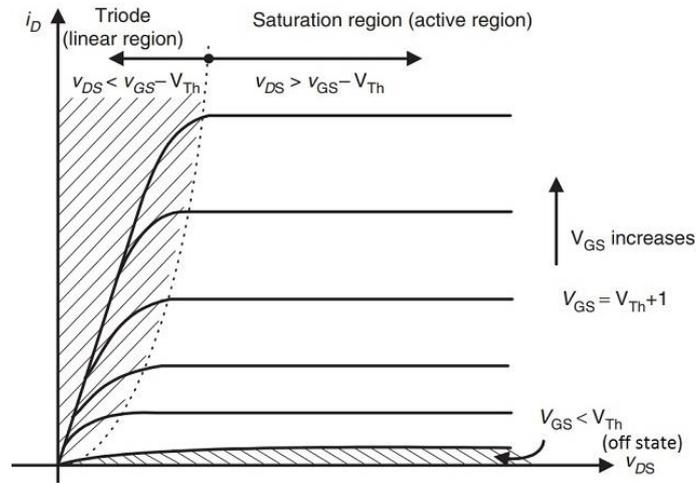
Un MOSFET de canal N se construye sobre un sustrato de semiconductor tipo P y, por consiguiente, una fuente y drenador dopados fuertemente N. Al establecer una tensión  $V_{GB} > 0$ , la capa de semiconductor próxima al óxido ( $\text{SiO}_2$ ) se vacía de huecos, que son los portadores mayoritarios en un semiconductor tipo P, y se crea una zona de carga espacial (región de vaciamiento). Si continúa el aumento de  $V_G$ , de manera que se cumple  $V_G \gg V_B$ , entonces la cantidad de impurezas que conforman la región de vaciamiento son incapaces de compensar la intensidad de campo eléctrico ocasionado por esa diferencia de potencial entre estos terminales, de manera que los electrones, que son los portadores minoritarios en un semiconductor P, son atraídos hacia la frontera óxido-semiconductor P. En estas condiciones, el transistor funciona por inversión y da lugar a la formación de canal tipo N [8]. En el caso de un MOSFET de canal P, la explicación anterior es compatible, pero intercambiando la naturaleza de los semiconductores que conforman los terminales y el signo de la tensión  $V_{GB}$ .

Estrictamente, un transistor MOSFET se mueve en tres regiones de operación, dependiendo de las caídas de tensión registradas entre sus terminales de puerta y fuente,  $|V_{GS}|$ , y entre drenador y fuente,  $|V_{DS}|$ . Estas zonas se denominan región de corte, región óhmica o de triodo, y región de saturación. Se dice que un MOSFET está en corte cuando la caída de tensión  $|V_{GS}|$  no supera en magnitud a una tensión umbral  $|V_{Th}|$  que determina el comienzo de la formación de canal, tipo N en caso de tratarse de un NMOS, tipo P cuando se habla en cambio de un PMOS [8]. En caso contrario, si existe canal en el transistor, de manera que, cuando  $|V_{DS}| \neq 0$ , se establece una corriente eléctrica entre terminales D y S.

Estas son las características propias de un transistor de efecto de campo de acumulación o enriquecimiento, que es el tipo utilizado exclusivamente para este trabajo. También existen los denominados MOSFET de deplexión o empobrecimiento, que no necesitan de una tensión umbral para establecer corriente entre fuente y drenador, ya que, cuando  $|V_{GS}| = 0$ , están provistos de canal.

Dentro del estado de conducción de un MOSFET de acumulación, es donde se distingue entre régimen de triodo y régimen de saturación, en función del valor que adopta  $|V_{DS}|$  [8]. Las

características de ambas regiones pueden deducirse en base a la curva  $|I_{DS}| - |V_{DS}|$  que se representa en la Figura 5.



**Figura 5:** Curva característica  $I_{DS} - V_{DS}$  asociada a un transistor NMOS de enriquecimiento [9].

Aunque esta figura es propia de un transistor NMOS de enriquecimiento, donde la corriente circula de D a S, es posible generalizarla para el PMOS, donde el paso de corriente entre terminales se produce en sentido contrario. De ahí, que se hable en todo momento de corrientes y tensiones en valor absoluto.

Si el transistor está polarizado en zona de triodo, la relación entre  $I_{DS}$  y  $V_{DS}$  se corresponde con una línea recta y, por tanto, esta puede interpretarse como una resistencia [8], de valor  $R_{DS(on)}$ , que cumple la expresión:

$$R_{DS(on)} = |V_{DS}|/|I_{DS}| \propto [\mu_i C_{ox} \frac{W_i}{L_i} (|V_{GS}| - |V_{Th,i}|)]^{-1} \quad (1)$$

donde  $i = N, P$ , en función de si se trata de un MOSFET de canal N, o uno de canal P. Aparte de la anchura de canal  $W_i$  y las tensiones  $|V_{GS}|$  y  $|V_{Th,i}|$ , ya comentadas, aparecen nuevos parámetros. El primero es la movilidad de portadores  $\mu_i$ , que depende tanto del tipo de portador como de la temperatura de operación: mayor para electrones (portadores propios de un MOSFET de canal N) y menor para huecos (portadores propios de un MOSFET de canal P). El segundo, es la capacidad de óxido por unidad de área,  $C_{ox}$ , que depende de la tecnología utilizada para la fabricación del MOSFET. Por último, se tiene la longitud de canal  $L_i$ , que, con el fin de minimizar efectos parásitos de segundo orden, quedará fija en el mínimo valor posible permitido por la tecnología usada en *Cadence*: un proceso CMOS de 65 nm de TSMC. Este valor mínimo es  $L = L_{min} = 60$  nm, independientemente del tipo de transistor MOS.

De esta forma, a medida que  $|V_{DS}|$  crece, también lo hace linealmente  $I_{DS}$ , lo que significa un crecimiento progresivo del canal y una mayor conducción. Como condición a la tensión  $|V_{DS}|$  en dicho régimen se impone:

$$|V_{DS}| < |V_{GS}| - |V_{Th}| \quad (2)$$

Esta tensión  $|V_{DS}|$  sigue creciendo hasta alcanzar un valor que determina el límite entre la región óhmica y de saturación, y que se denomina tensión de saturación [8],  $|V_{D,sat}|$ . Como para esta primera descripción del funcionamiento básico de un transistor MOS no se están teniendo en cuenta efectos de segundo orden, una vez alcanzada  $|V_{D,sat}|$ , la corriente  $|I_{DS}|$  quedaría estabilizada en un valor, independientemente del crecimiento que experimentara  $|V_{DS}|$ , y el canal comenzaría a estrangularse hasta desaparecer.

Dicho estrangulamiento es mayor cuanto más exceda  $|V_{DS}|$  de  $|V_{D,sat}|$ . En caso de que  $|V_{DS}|$  alcance exactamente  $|V_{D,sat}|$  se dice que el transistor ha alcanzado su punto de estrangulamiento y, aunque su canal no ha comenzado a estrangularse, sí ha sido interrumpido su crecimiento. En consecuencia, un transistor MOSFET se encuentra en régimen de saturación cuando la tensión  $|V_{DS}|$  cumple:

$$|V_{DS}| \geq |V_{GS}| - |V_{Th}| \quad (3)$$

y la ecuación característica que sigue idealmente es independiente de  $|V_{DS}|$  [8]:

$$I_{DS} = \frac{1}{2} \mu_i C_{ox} \frac{W_i}{L} (|V_{GS}| - |V_{Th,i}|)^2 \quad (4)$$

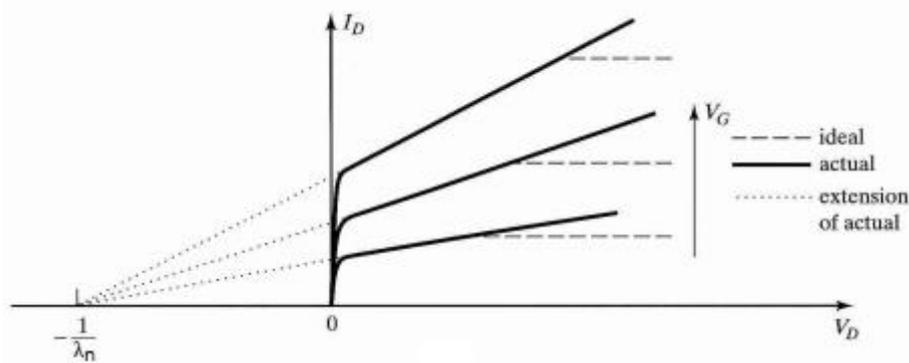
No obstante, en condiciones reales, la característica  $I_{DS} - V_{DS}$  en su tramo de saturación no es una recta con pendiente nula. Existen principalmente tres factores que alteran la idealidad mostrada en la descripción anterior, y que se identifican con los denominados efectos de segundo orden [8]. Estos son:

- La modulación de la longitud de canal: Cuando un transistor entra en régimen de saturación, su canal comienza a estrangularse por uno de los terminales (D en caso de transistores NMOS, S en caso de PMOS). Dicho punto de estrangulamiento retrocede a medida que  $|V_{DS}|$  se aleja de  $|V_{D,sat}|$ , por lo que la longitud real del canal ya no coincide con la distancia  $L$  entre terminales D y S, y se habla de una longitud efectiva  $L' < L$  [8]. Sea  $\Delta L$  la longitud del tramo

donde no hay canal, para un valor  $|V_{DS}| > |V_{D,sat}|$  concreto,  $L' = L - \Delta L$ , y la corriente entre drenador y fuente expresada en la Ecuación (4), ahora se convierte en:

$$I_{DS} = \frac{1}{2} \mu_i C_{ox} \frac{W_i}{L} (|V_{GS}| - |V_{Th,i}|)^2 \left(1 + \frac{\Delta L}{L}\right) = \frac{1}{2} \mu_i C_{ox} \frac{W_i}{L} (|V_{GS}| - |V_{Th,i}|)^2 (1 + \lambda_n |V_{DS}|) \quad (5)$$

donde  $\lambda_n \neq 0$  es el parámetro de modulación de canal e indica el valor de la pendiente de la curva característica  $|I_{DS}| - |V_{DS}|$  en región de saturación [8]. Su inversa corresponde, a su vez, con el valor de la denominada tensión de *Early*, que es el punto de corte de la función en región de saturación con el eje OX al extrapolarla. Esto se ve mejor con la Figura 6:



**Figura 6:** Curvas para distintas  $V_{GS}$  teniendo en cuenta el efecto de modulación de canal [8].

- La fuga subumbral de corriente: Se produce cuando  $|V_{GS}|$  es ligeramente inferior a la tensión umbral  $|V_{Th,i}|$  del transistor en cuestión [10]. En dicho entorno, existe una débil capa de inversión, que hace que al aplicar  $|V_{DS}| \neq 0$ , circule una pequeña corriente entre D y S, de acuerdo a una dependencia exponencial:

$$|I_{DS}| \propto e^{V_{GS}} \quad (6)$$

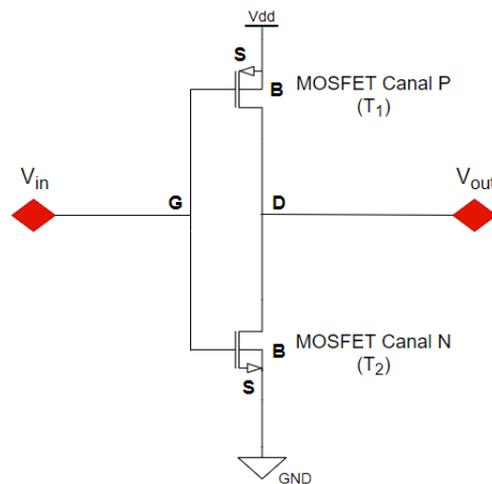
- La dependencia con la temperatura: Un efecto que influye en mayor medida sobre transistores BJT, pero que también provoca cambios sobre la curva característica de los MOS. En estos últimos, las variaciones de temperatura se manifiestan por medio de dos mecanismos diferentes, predominando uno u otro en función de los valores de corriente de drenador  $I_D$  con los que se trabaja [8]:

- Cuando los valores de  $I_D$  son pequeños, se ve afectado principalmente el valor del voltaje umbral  $V_{Th,i}$  del transistor tipo  $i$  en cuestión. Esto se debe a que dicho parámetro tiene relación directa con el potencial de Fermi,  $\Phi_F$ , que es el que depende proporcionalmente de la temperatura. En concreto, un incremento de temperatura provoca una disminución sobre el valor de la tensión umbral, a la vez que se produce un aumento en la intensidad de corriente del drenador, y al revés [8].

- Cuando los valores de  $I_D$  son elevados, las variaciones de temperatura ocasionan cambios especialmente sobre la movilidad de los portadores,  $\mu_N$  y  $\mu_P$ . En este caso, un aumento de temperatura supone un incremento en la dispersión de la red, lo que se traduce en un espaciado más irregular entre iones, que no permiten tan fácilmente el paso de portadores. Un aumento de temperatura supone ahora una disminución en las intensidades de corriente y, por consiguiente, una curva característica más baja [8].

## 2.2. Inversor CMOS

El inversor CMOS es una de las celdas constitutivas que se implementan a partir de transistores MOSFET y la más utilizada en la implementación de circuitos digitales. Su estructura consta de un transistor NMOS dispuesto en serie con un transistor PMOS, de manera que la tensión suministrada a la entrada, a través del terminal G, es común a ambos transistores [11]. La Figura 7 muestra cómo quedan todas las conexiones entre terminales.



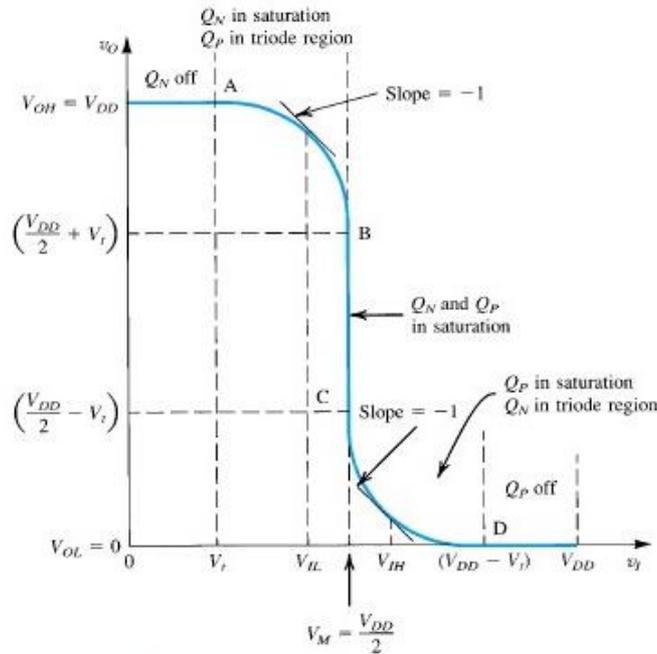
**Figura 7:** Diagrama esquemático de un inversor CMOS.

Se observa que ambos drenadores permanecen unidos al pin de salida de la estructura, por lo que se encuentran sometidos al mismo potencial. En cuanto a las fuentes (S), la correspondiente al NMOS permanece conectada a tierra, y la del transistor PMOS a la tensión de alimentación  $V_{dd}$ , el máximo valor posible. Para el análisis del circuito, hay que tener en cuenta que los valores de los terminales de entrada,  $V_{in}$ , y salida,  $V_{out}$ , se corresponden, respectivamente, con  $V_{GS}$  y  $V_{DS}$  en el transistor NMOS.

Otro aspecto importante a considerar es la forma en que se polarizan los sustratos, que como ya se mencionó previamente, coincide con la correspondiente a las fuentes. En el caso del NMOS, este se conecta a tierra, mientras que el del PMOS, va a  $V_{dd}$ .

Aparte de su actuación como conmutador, la principal ventaja que presenta un inversor CMOS es su consumo estático nulo cuando los dos transistores no conducen de manera simultánea [11]. Esto se debe a que, al permanecer en serie, en operación digital uno de los dos transistores permanece en

corte y no permite el paso de corriente que circula entre ambos. En función de la tensión de entrada al inversor  $V_{in}$ , se obtienen distintas tensiones de salida  $V_{out}$  que determinan la región de operación en la que se encuentra cada transistor. Se elabora así la función de transferencia  $V_{out} - V_{in}$  correspondiente a un inversor CMOS, mostrada en la Figura 8.



**Figura 8:** Función de transferencia  $V_{out} - V_{in}$  típica de un inversor CMOS. Tomada de [12].

Dado que se opera digitalmente, lo que se busca es que, independientemente de las fluctuaciones que experimente la señal  $V_{in}$  de entrada, únicamente se obtengan dos posibles valores de salida, correspondientes a los niveles de 0 V y 1.2 V ( $V_{dd}$ ). Idealmente, cuando un inversor CMOS recibe un valor  $V_{in}$  comprendido entre 0 y  $V_M = V_{dd}/2$  se espera 1 a su salida ( $V_{dd}$ ), mientras que al recibir valores  $V_{in}$  entre  $V_M = V_{dd}/2$  y  $V_{dd}$ , este los convierte en 0 (0 V). Es decir, la función de la Figura 8 correspondería con un escalón perfecto entre  $V_{OH} = V_{dd}$  y  $V_{OL} = 0$  V.

Sin embargo, en un caso real, no es posible esta transición tan drástica, y para optimizar este comportamiento, se intenta que el punto C de la Figura 8 sea lo más simétrico posible, aproximándose al entorno ( $V_{in} = V_{dd}/2$ ,  $V_{out} = V_{dd}/2$ ).

### 3. Simulaciones y resultados

En este capítulo se describe el diseño y simulación de cada uno de los bloques que conforma el sistema final presentado en este trabajo.

El primer paso es diseñar y caracterizar una celda inversora, que se incorporará posteriormente a una puerta de transmisión.

Una vez se ha comprobado el correcto funcionamiento de las puertas de transmisión aisladas mediante diferentes circuitos de *test*, el segundo paso es caracterizar un transistor NMOS y un PMOS, controlando el paso de señal a sus terminales mediante las puertas de transmisión que conectan con ellos. Este procedimiento se extiende posteriormente a un sistema de 4 transistores NMOS y a otro de 4 transistores PMOS, de manera que sea posible caracterizar individualmente cada transistor.

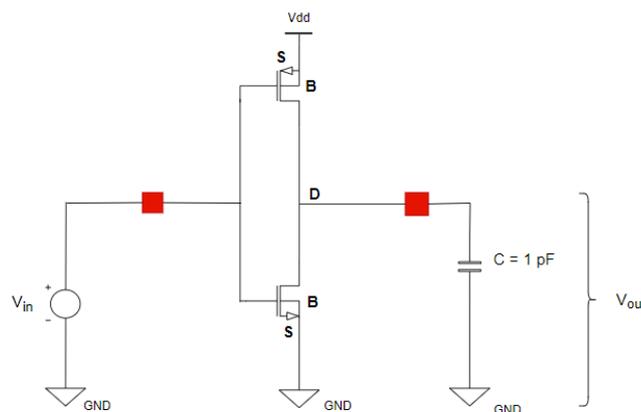
Finalmente, se implementa un sistema de control con 5 bits de entrada, que activará un transistor concreto, dentro de una matriz 5x5, en función de la combinación seleccionada.

Para ello, se utiliza *Cadence*, una herramienta de diseño y simulación que se basará en la tecnología CMOS TSMC 65nm ya detallada en la Introducción.

#### 3.1. Diseño y optimización de un inversor CMOS

El primer esquemático que se implementa es el correspondiente al inversor CMOS, el cual se presentó en la Figura 7.

Lo que se pretende es reproducir la curva de transferencia en voltaje propia de un inversor CMOS, mostrada en la Figura 8, y así, encontrar un dimensionado adecuado para conseguir el punto óptimo de operación. Para ello, se construye un esquemático idéntico al de la Figura 7, y se incluye dentro del circuito de *test* que se muestra en la Figura 9.



**Figura 9:** Circuito *de test* utilizado para analizar el inversor.

Se hace un barrido del voltaje de entrada suministrado por la fuente  $V_{in}$ , de manera que este tome valores entre 0 y 1.2 V ( $V_{dd}$ ), mientras se registra el voltaje  $V_{out}$  en la rama que une el terminal de salida con un condensador de carga de 1 pF. Se escoge este valor para la capacidad del condensador porque es lo suficientemente grande como para garantizar que está teniendo en cuenta el efecto de carga de las etapas posteriores.

Asimismo, tal y como ya se ha explicado, para que el inversor opere correctamente, la curva típica de transferencia ha de pasar por el punto ( $V_{in} = V_{dd}/2, V_{out} = V_{dd}/2$ ). Este ajuste se consigue por medio de una correcta relación entre anchuras  $w$  de los canales de los transistores NMOS ( $W_N$ ) y PMOS ( $W_P$ ). La condición que ha de cumplirse es que la caída de tensión sobre los terminales D y S de los transistores NMOS y PMOS sea equivalente. Dado que ambos transistores están en serie, y la expresión (simplificada) para la corriente que circula entre drenador y fuente es

$$I_{DS} = \frac{1}{2} \mu_i C_{ox} \frac{W_i}{L} (|V_{GS}| - |V_{Th,i}|)^2 \quad (7)$$

se cumple

$$I_{D,P} = I_{D,N}$$

$$\frac{1}{2} \mu_P C_{ox} \left(\frac{W}{L}\right)_P (|V_{GS,P}| - |V_{Th,P}|)^2 = \frac{1}{2} \mu_N C_{ox} \left(\frac{W}{L}\right)_N (|V_{GS,N}| - |V_{Th,N}|)^2$$

Por lo tanto, teniendo en cuenta que  $L_P$  y  $L_N$  tienen el mismo valor, la relación de anchuras puede despejarse de la siguiente ecuación:

$$\mu_P W_P (|V_{GS,P}| - |V_{Th,P}|)^2 = \mu_N W_N (|V_{GS,N}| - |V_{Th,N}|)^2 \quad (8)$$

Una expresión que todavía puede simplificarse más si se tiene en cuenta que el cociente entre términos cuadráticos es aproximadamente la unidad, y, por tanto:

$$\frac{W_P}{W_N} = \frac{\mu_N}{\mu_P} \cdot \frac{(|V_{GS,N}| - |V_{Th,N}|)^2}{(|V_{GS,P}| - |V_{Th,P}|)^2} \rightarrow \frac{W_P}{W_N} \approx \frac{\mu_N}{\mu_P}$$

Si se toman los valores correspondientes a la tecnología del silicio [8] a una temperatura de operación  $T = 27^\circ\text{C}$ , que se recogen en la Tabla 1, y se sustituye en la Ecuación (8) simplificada, se deduce esa relación de anchuras.

**Tabla 1:** Valores para la movilidad de electrones y huecos, respectivamente, a  $T=27^\circ\text{C}$ .

$\mu_N$ [ $\text{cm}^2/\text{V} \cdot \text{s}$ ]	1300
$\mu_P$ [ $\text{cm}^2/\text{V} \cdot \text{s}$ ]	500

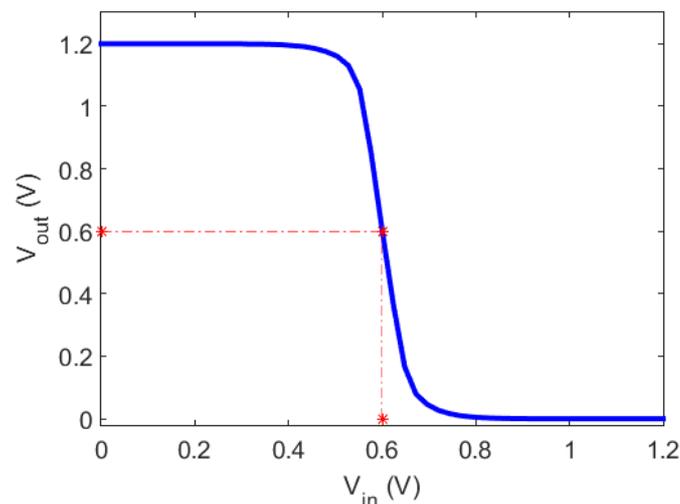
$$\frac{W_P}{W_N} \approx \frac{\mu_N}{\mu_P} \approx \frac{1300}{500} \rightarrow \frac{W_P}{W_N} \approx 2.6$$

Por lo tanto, sabiendo que el transistor de canal P ha de ser unas 2.6 veces más ancho que el de canal N, las anchuras seleccionadas finalmente para este esquemático son:

**Tabla 2:** Relaciones anchura/longitud elegidas en el diseño del inversor CMOS.

$W_N/L$	150 nm/60 nm
$W_P/L$	390 nm/60 nm

Esto hace que la curva de transferencia obtenida finalmente mediante análisis en DC sea la mostrada en la Figura 10:



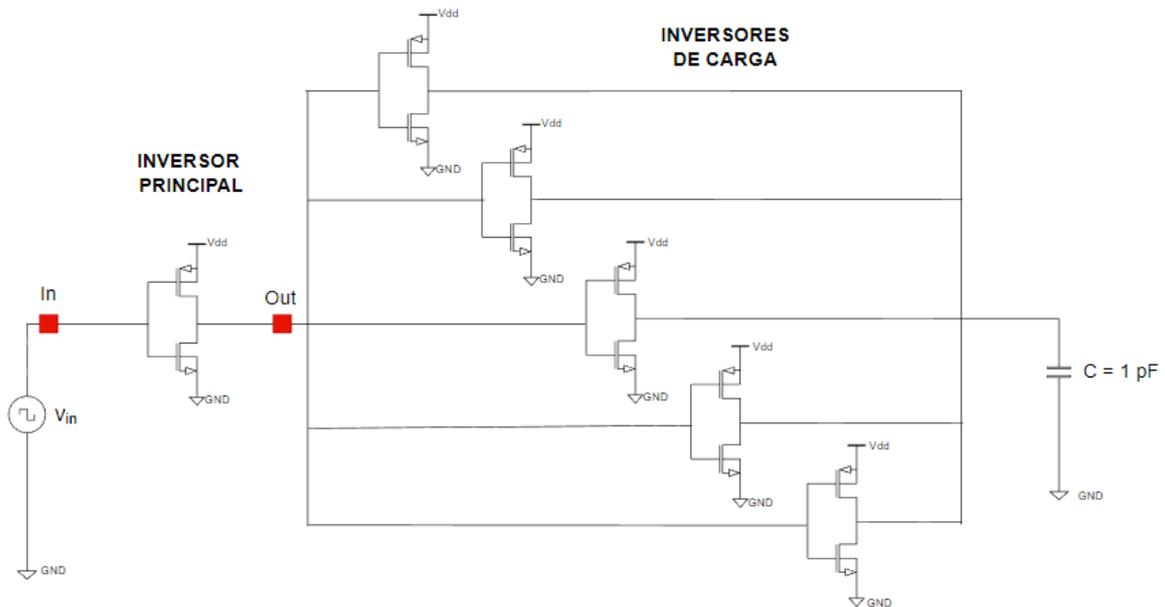
**Figura 10:** Curva de transferencia para el inversor CMOS.

### Uso de uno o más inversores CMOS como elementos de carga

Hasta ahora, únicamente se ha llevado a cabo una simulación en DC sobre un esquemático que incorpora un inversor CMOS con un condensador de 1 pF como elemento de carga a la salida. Para verificar completamente su funcionamiento, se procede a sustituir ese condensador por un número determinado de inversores CMOS, y se lleva a cabo una serie de análisis en transitorio para ver la evolución temporal de una señal cuadrada de frecuencia  $f$ .

En primer lugar, se ha estudiado el caso más simple posible, este es, un único inversor como elemento de carga. Sin embargo, como ya se había verificado el correcto funcionamiento del sistema en caso de presentar a su salida un condensador de capacidad suficientemente grande, el análisis permite extenderse a 3, e incluso, 5 inversores de carga sin que se perciba deterioro sobre la señal de salida, lo que supone trabajar hasta con 10 transistores MOS.

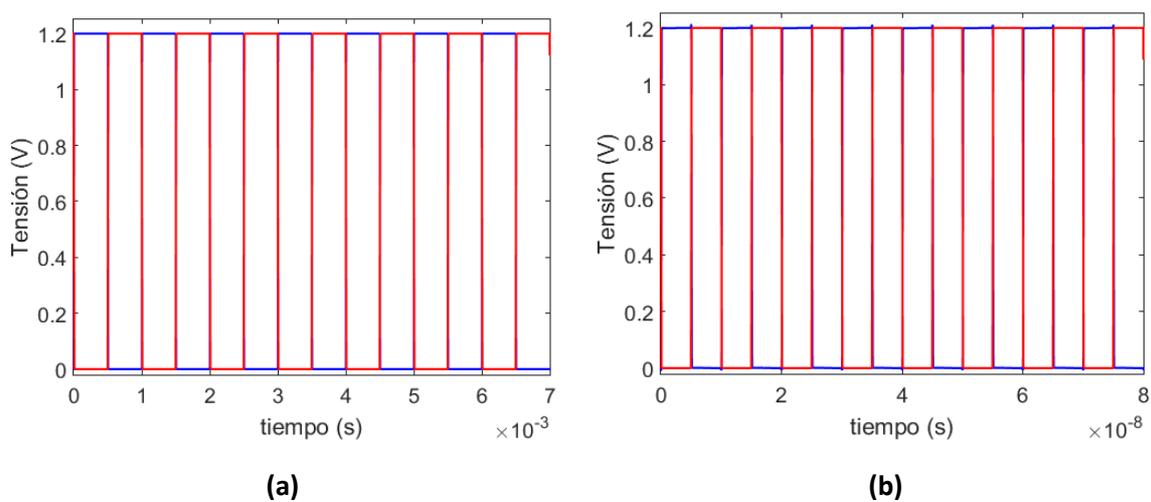
En la Figura 11 se aprecia el caso analizado de 5 inversores en paralelo conectados a su salida a un condensador común de 1 pF. Pues, si se garantiza el correcto funcionamiento de todo este conjunto, también se garantiza para etapas posteriores.



**Figura 11:** Circuito de *test* utilizado para analizar un inversor cuando presenta cinco cargas a su salida.

Como señal de entrada se utiliza una señal cuadrada de modo que se observa a la salida de la etapa inversora esa misma señal cuadrada pero invertida. De esta manera, se pretende corroborar el correcto funcionamiento del sistema como etapa inversora para frecuencias de hasta 1 MHz. Para ello, se observa que la señal de salida no ha sido distorsionada respecto de la señal de entrada.

El estudio se realiza para cuatro frecuencias comprendidas entre 1 kHz y 100 MHz, que incluyen las frecuencias esperadas de operación de este circuito en la caracterización de los transistores. A simple vista, el resultado asociado a la inversión parece perfectamente coincidente en los tramos de subida y bajada, tal y como se aprecia en la Figura 12.

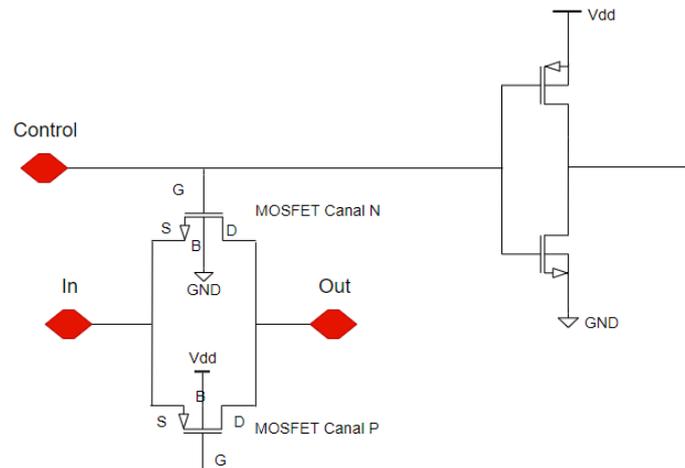


**Figura 12:** Evolución de señales de entrada (rojo) y salida (azul) para (a) 1 kHz, y (b) 100 MHz.

### 3.2. Diseño y caracterización de una puerta de transmisión

La siguiente etapa que se va a diseñar es la puerta de transmisión, un elemento que desempeña la función de interruptor. Está compuesta por dos transistores, uno de ellos NMOS y el otro, PMOS. Aunque generalmente las puertas de transmisión se consideran elementos bidireccionales, en este diseño las fuentes de los transistores, que permanecen unidas entre sí, conectan con el terminal de entrada de la puerta. Los drenadores, por su parte, también están unidos entre ellos, pero conectan con la salida.

El principio de funcionamiento de una puerta de transmisión (bloque izquierdo de la Figura 13 omitiendo al inversor) es el siguiente: A través del terminal *In* se introduce una señal, que llegará al terminal *Out* solo si la puerta de transmisión está cerrada. Para conseguir esto, la tensión de control que llega al terminal G del transistor NMOS ha de ser 1 (Control =  $V_{dd}$ ), mientras que la recibida por el PMOS en G equivale a 0 (Control = 0 V). En caso contrario, la puerta de transmisión está abierta y la señal no es transmitida.

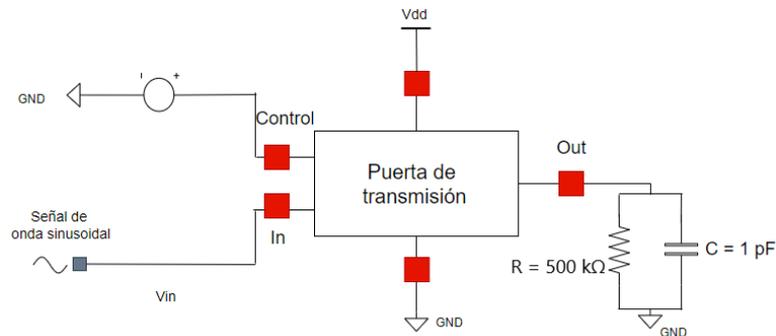


**Figura 13:** Esquemático básico de una puerta de transmisión (interruptor).

Aunque una puerta de transmisión es capaz de funcionar sin una etapa inversora, ya que las tensiones de puerta están negadas al ser un transistor P y otro N, utilizar una etapa inversora permite utilizar únicamente una tensión de control para activar o desactivar la puerta. Al usar la etapa inversora, como la puerta del PMOS está sometido al efecto de negación de este inversor (pues se conecta a la salida del mismo), esto permitirá que ante una señal de control  $V_{control} = V_{dd}$ , ambos transistores permitan el paso de corriente y el conjunto actúe como un interruptor cerrado, y en el caso de que  $V_{control} = 0$  V actuará como un interruptor abierto. Eso es lo que se muestra en la Figura 13.

El correcto funcionamiento de una puerta de transmisión se garantiza llevando a cabo un análisis en transitorio. La finalidad de este análisis es estimar la relación de anchuras relativa a los dos nuevos transistores, que permitirá que, dada una señal a la entrada, se muestre a su salida coincidente y a lo largo del tiempo.

Para ello se crea un nuevo circuito de *test* (Figura 14), donde se introduce, a través del terminal de control, un valor de tensión que valdrá 0 V o  $V_{dd}$  (0 y 1 lógicos, respectivamente) y una señal sinusoidal de amplitud 0.6 V, centrada en  $V_M = V_{dd}/2 = 0.6$  V y con frecuencia  $f$  comprendida entre 1 Hz y 1 MHz, a través del puerto de entrada.



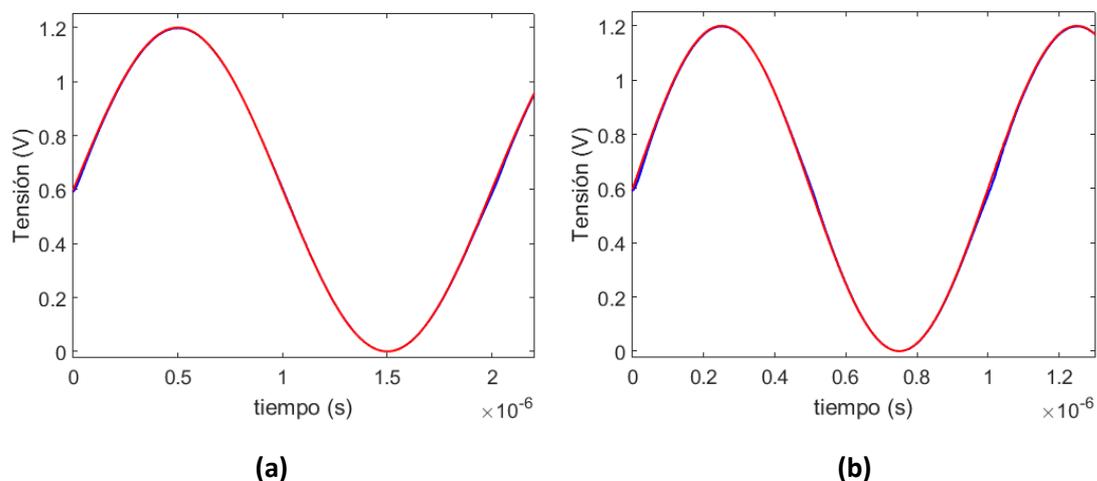
**Figura 14:** Circuito de *test* construido para analizar la puerta de transmisión.

Se buscan las anchuras para el nuevo par de transistores que mantengan coincidentes las señales de entrada y salida a lo largo del tiempo, y dentro del rango de frecuencias fijado previamente con el inversor CMOS (entre 1Hz y 1MHz). Los valores finalmente establecidos son:

**Tabla 3:** Relaciones anchura/longitud seleccionadas para los nuevos transistores en una puerta de transmisión.

$W_N/L$	825 nm/60 nm
$W_P/L$	1900 nm/60 nm

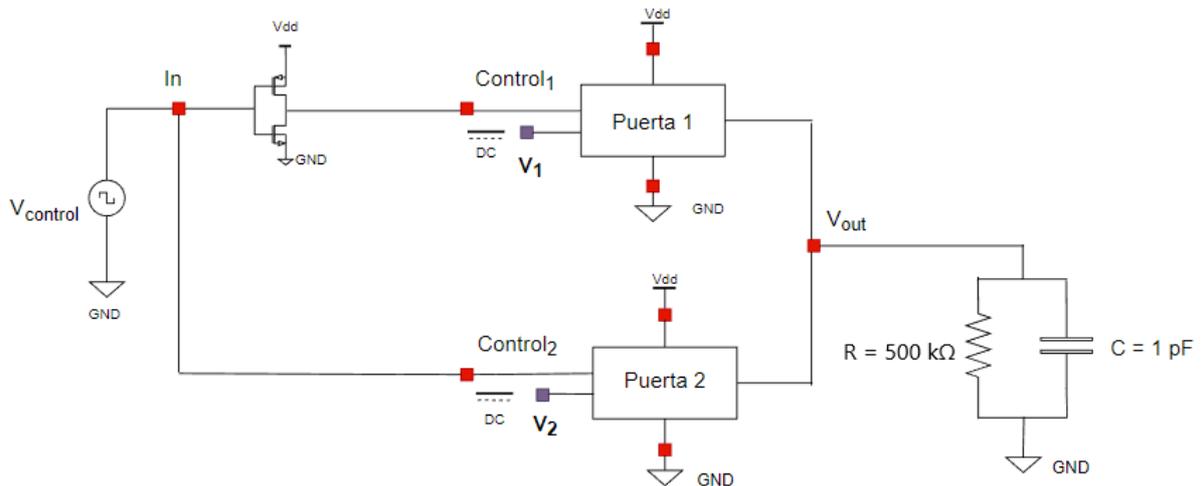
Esto supone que el PMOS vuelva a ser más ancho que el NMOS, esta vez en un factor 2.3 (frente a 2.6 de los transistores de la Tabla 2). Con la Figura 15 se observan superposiciones prácticamente perfectas de la señal de salida sobre la de entrada para dos frecuencias diferentes.



**Figura 15:** Evolución de las señales de entrada y salida (roja superpuesta sobre azul, respectivamente) a la puerta de transmisión para frecuencias de (a) 500 kHz y (b) 1 MHz, con las anchuras de transistores ya corregidas.

## Dos puertas de transmisión dispuestas en paralelo

Para comprobar el correcto funcionamiento de la puerta de transmisión, que la señal de salida coincide con la de entrada cuando la puerta está activa, se utiliza el esquema de la Figura 16, formado por dos puertas de transmisión en paralelo, donde las salidas de ambas quedan conectadas entre sí.



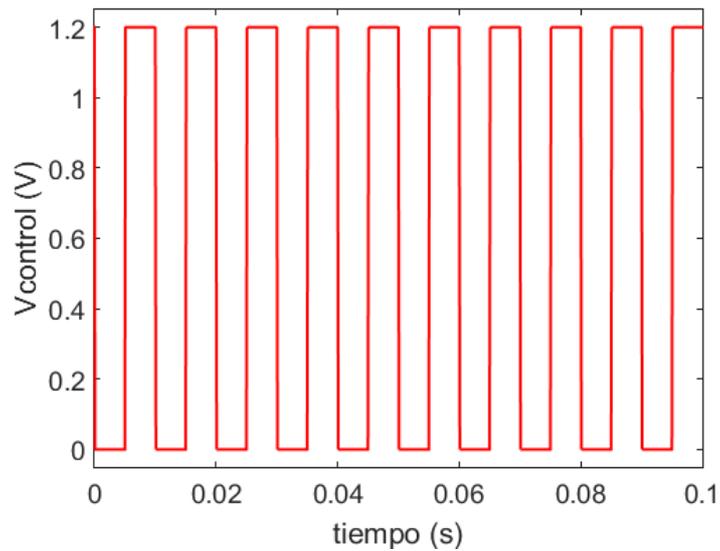
**Figura 16:** Circuito de test construido con dos puertas de transmisión y un inversor CMOS.

En este caso, se considera como señal de control una onda cuadrada que oscila entre 0 V y 1.2 V, y cuya frecuencia es  $f = 100$  Hz. Esta señal cuadrada se conecta directamente a una de las puertas de transmisión y a través de un inversor CMOS a la otra, de este modo, las señales en las puertas de transmisión siempre estarán invertidas.

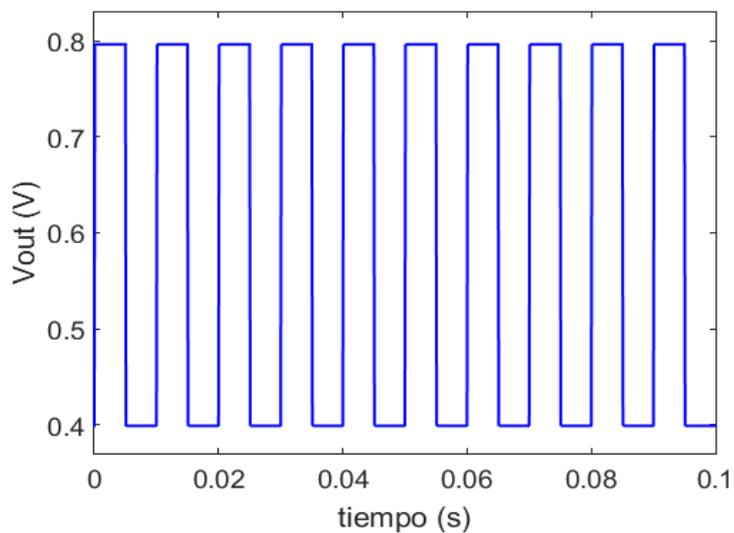
Esto significa que ambas puertas funcionarán de manera intermitente, y nunca simultáneamente, pues cuando a una de ellas llegue una señal de control de 1.2 V reproducirá a su salida la señal introducida por su correspondiente terminal de entrada, mientras que la otra recibirá como control 0 y bloqueará el paso de su señal. Desempeñarán, por tanto, las funciones de interruptor, estando cerrado en el primer caso y abierto en el segundo.

Para corroborar este funcionamiento, se seleccionan como entradas a las puertas de transmisión niveles de continua diferentes,  $V_1 = 0.8$  V y  $V_2 = 0.4$  V. De esta manera, resultará más sencillo deducir qué puerta está activada en cada momento.

Entonces, considerando la evolución temporal de la señal cuadrada de control introducida a ambas puertas de transmisión se pueden representar los continuos cambios de nivel que se experimentan a su salida común. Este es el resultado:



(a)



(b)

**Figura 17:** Evolución temporal de la salida en función de la señal de control.

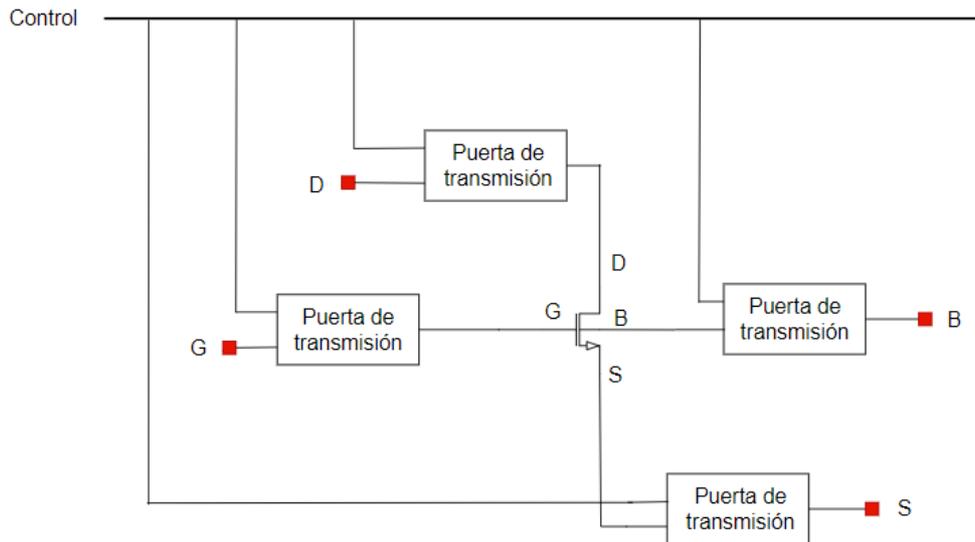
La Figura 17 muestra justo lo esperado: cuando el control equivale a 1.2 V permanece activa la puerta de transmisión que no se ve alterada por el efecto del inversor (de acuerdo a la Figura 16, la puerta 2), mientras que cuando el control es 0 V, la que permanece activa es la conectada tras dicho inversor (la puerta 1). El salto de niveles en la señal de salida (azul) representa realmente el cambio entre activar una puerta u otra.

### 3.3. Control de un único transistor

Una vez garantizado el correcto funcionamiento de la puerta de transmisión, se procede a su incorporación en un esquema de único transistor. Como cada uno de los cuatro terminales que

posee un transistor MOS permanece conectado a una puerta de transmisión, teniendo todas ellas un control común dentro del mismo transistor, todas las puertas de un mismo dispositivo actúan simultáneamente, bien como interruptor cerrado permitiendo el paso de corriente, bien como interruptor abierto bloqueando este.

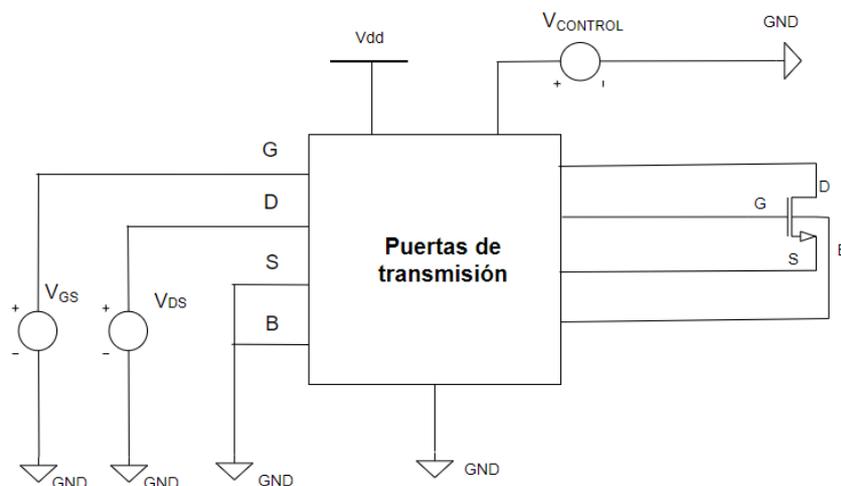
El esquemático completo para caracterizar un transistor puede verse en la Figura 18.



**Figura 18:** Esquemático completo para caracterizar un transistor, utilizando un NMOS como referencia.

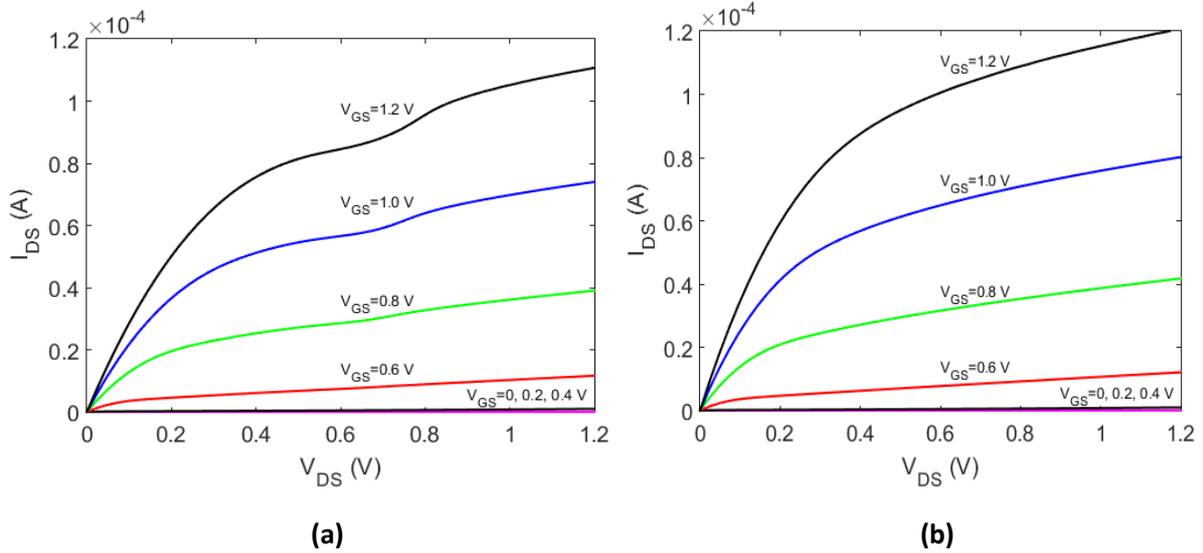
### Característica $I_{DS} - V_{DS}$ en función de $V_{GS}$

Para implementar un único transistor con puertas de transmisión se crea con *Cadence* un símbolo que englobe al conjunto de las cuatro puertas de transmisión que se aprecian en la Figura 18, y se unen los terminales libres a las tensiones correspondientes. En la Figura 19 se observan cómo quedan estas conexiones para un transistor NMOS.

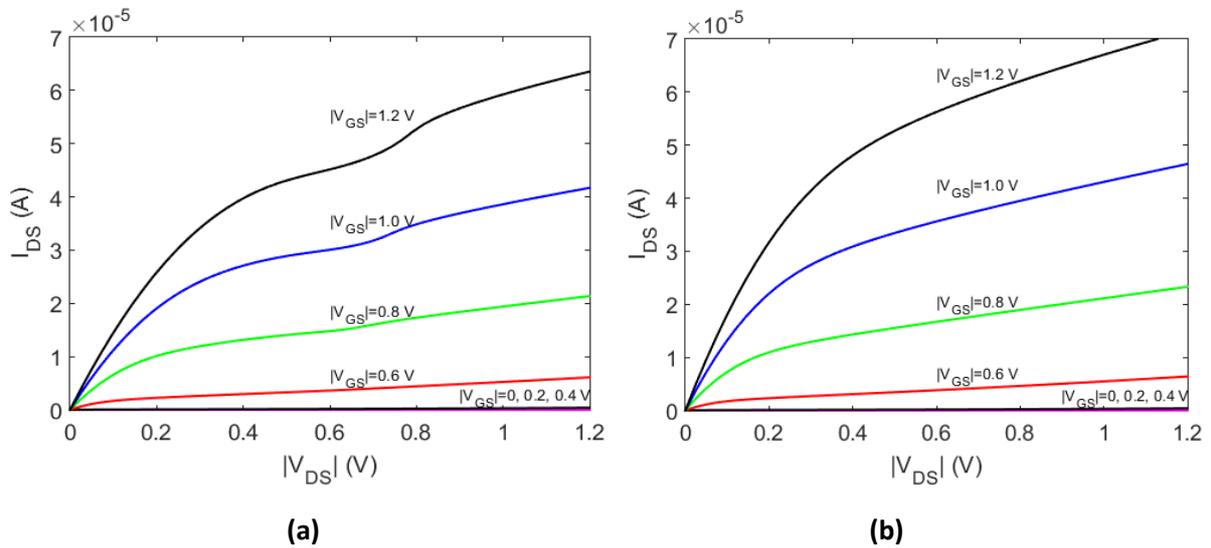


**Figura 19:** Circuito de *test* utilizado para caracterizar un transistor, que, en este caso, es NMOS.

La señal introducida a través del terminal de Control es una señal digital capaz de tomar valor 0 o  $V_{dd}$ . Teniendo en cuenta que el transistor utilizado tiene una anchura  $W = 200$  nm. Lo primero que se observa para ambos tipos es la evolución de la curva característica para distintos valores de continua  $V_G$  comprendidos entre 0 y  $V_{dd}$ .



**Figura 20:** Curvas  $I_{DS} - V_{DS}$  registradas para un transistor NMOS cuando (a) tiene puertas de transmisión y (b) no tiene puertas de transmisión.



**Figura 21:** Curvas  $I_{DS} - |V_{DS}|$  registradas para un transistor PMOS cuando (a) tiene puertas de transmisión y (b) no tiene puertas de transmisión.

De la Figura 20 y la Figura 21 pueden comentarse varios aspectos. En primer lugar, se observa la diferencia entre trabajar o no con puertas de transmisión (Figura 20.a y Figura 21.a, frente a Figura 20.b y Figura 21.b). Lo ideal sería obtener curvas características idénticas entre ambos casos, porque

eso significaría que los datos tomados pertenecen exclusivamente al transistor sobre el que se está midiendo. Sin embargo, se aprecia una contribución por parte del conjunto de puertas de transmisión, que se manifiesta principalmente en el tramo de la región de saturación, que no es completamente recto. Además, este fenómeno es más pronunciado cuanto mayor es  $V_{GS}$ . Esto hará necesario introducir técnicas de *de-embedding* en la etapa de análisis de los resultados que se obtengan tras la caracterización experimental de los chips.

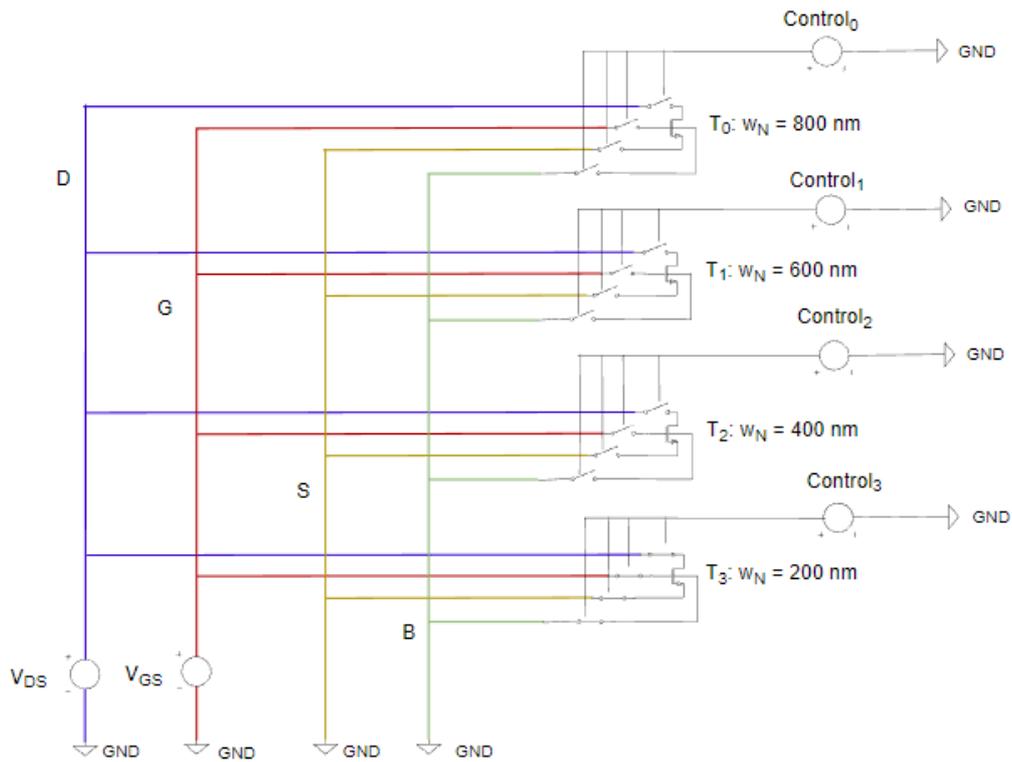
En cuanto a los valores de intensidad de corriente, la presencia de puertas de transmisión no supone un cambio muy drástico sobre ellos: se observa una muy ligera disminución de los mismos, pero manteniendo el mismo orden de magnitud.

En segundo lugar, se derivan las similitudes entre operar con un transistor NMOS y un PMOS, independientemente de la presencia o no de puertas de transmisión. Se observa que, para valores  $|V_{GS}| \geq 0.6 \text{ V}$ , todo transistor se encuentra en estado de conducción, mientras que, en caso contrario, permanece en corte, bloqueando el paso de la corriente. Asimismo, la forma de las curvas es equivalente para un mismo valor de  $|V_{GS}|$ , así como la tendencia de las mismas a medida que el valor de este parámetro aumenta.

### 3.3.1. Matriz de cuatro transistores

#### **Activación de un transistor en función de la combinación de señales de control**

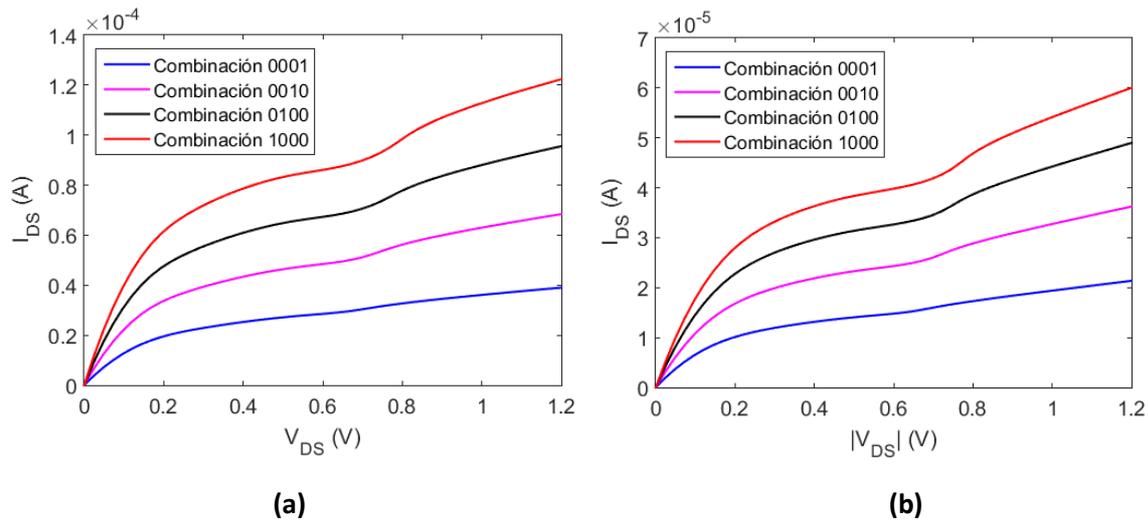
Una vez analizados los resultados de un sistema con un único transistor, se extiende el estudio a matrices de varios transistores. En el caso de una matriz 4x1 de transistores, lo que se construye es un esquema similar al mostrado en la Figura 22.



**Figura 22:** Circuito *de test* empleado para caracterizar una matriz de cuatro transistores NMOS. En este caso, las señales de control para  $T_0$ ,  $T_1$  y  $T_2$  están a 0 V, mientras que la correspondiente a  $T_3$  es  $V_{dd}$ , quedando este último activado.

El procedimiento de construcción es el siguiente: el bloque mostrado en la Figura 19 se duplica tantas veces como transistores conforman esa matriz. Los únicos parámetros que cambian entre bloques son la anchura  $W$  del transistor y el valor de la señal de control (bien 0 V, bien  $V_{dd}$ ). El más estrecho adopta una anchura  $W_3 = 200 \text{ nm}$  y recibe una señal de control denominada  $\text{Control}_3$ , mientras que el más ancho presenta  $W_0 = 800 \text{ nm}$  y su funcionamiento viene condicionada por la señal  $\text{Control}_0$ . Las anchuras de los dos transistores intermedios son  $W_1 = 600 \text{ nm}$  y  $W_2 = 400 \text{ nm}$ , con señales  $\text{Control}_1$  y  $\text{Control}_2$ , respectivamente. Las fuentes de continua  $V_{GS}$  y  $V_{DS}$ , por su parte, sí son comunes a todos los bloques.

Se observan los resultados obtenidos en las curvas  $I_{DS} - V_{DS}$  para combinaciones de valores en la secuencia [ $\text{Control}_0 \text{Control}_1 \text{Control}_2 \text{Control}_3$ ], donde únicamente uno de los transistores conduce y el resto permanece en corte. Es decir, combinaciones con un único 1 (control  $V_{dd}$ ) y tres 0's (control 0 V). Los resultados aparecen en la Figura 23.



**Figura 23:** Evolución de la característica  $I_{DS} - |V_{DS}|$  en función del transistor activado para matrices (a) NMOS y (b) PMOS.

Se confirma así la adecuada implementación del sistema para el control simultáneo de varios transistores. Sin embargo, tal y como ya se ha explicado, se trata de un método poco eficiente cuando la cantidad de transistores a controlar no es relativamente pequeña, dado que el número de entradas crece de manera desmesurada. De ahí, que sea necesario implementar una lógica combinatorial que facilite el control para matrices de cualquier tamaño.

### 3.4. Matriz de transistores controlada mediante lógica combinatorial

Una vez analizado el comportamiento de una matriz con un número pequeño de transistores y comprobado su funcionamiento, el último paso es diseñar un sistema combinatorial que permita controlar una matriz formada por un número arbitrario de transistores.

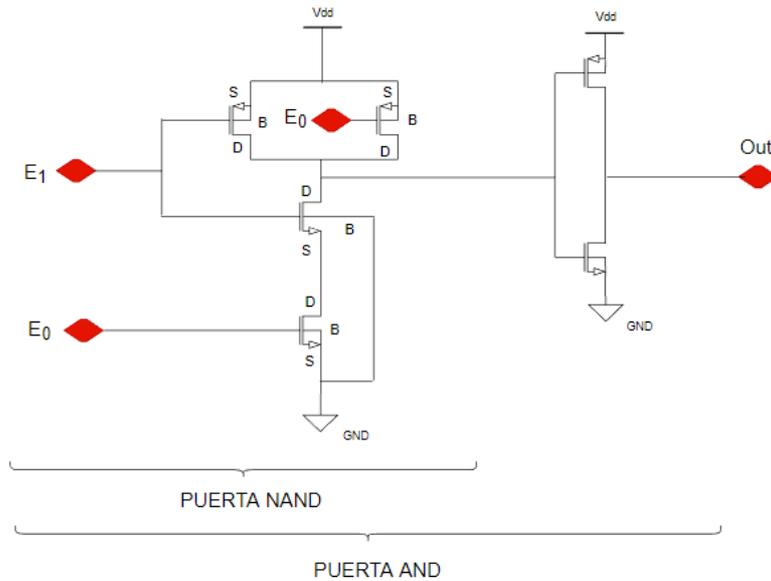
En concreto, el circuito combinatorial que se diseña es un decodificador con un número entero  $N$  de entradas y  $M = 2^N$  salidas. Su principio de funcionamiento es el siguiente: dada una combinación cualquiera de 0's y 1's a la entrada, se activa una única línea de salida que responde a esa combinación, las demás permanecen desactivadas.

Para este trabajo, la dimensión máxima alcanzada para las matrices siguiendo esta metodología es de 25 transistores, pero esta misma implementación es fácilmente extrapolable a redes mucho mayores, del orden de miles de transistores, incrementando únicamente el número de bits necesarios a la entrada del decodificador.

La lógica combinatorial del decodificador se basa exclusivamente en dos tipos de puertas: AND y NOT. Sus tablas de verdad pueden verse en [13]. Para implementarlas, se aprovechan las propiedades de la tecnología CMOS hasta entonces utilizada, que resulta muy eficiente en la implementación de funciones lógicas. Sin embargo, el inconveniente de esta tecnología es que la salida

directa que proporciona está invertida. Por lo tanto, en caso de desear una función no inversora, debe disponerse en serie a la salida de la estructura un inversor CMOS [14].

Esto es lo que sucede al implementar la puerta AND, que no puede conseguirse sin construir previamente su contraria, la puerta NAND. Como se aprecia en [14], una puerta NAND con tecnología CMOS consta de un bloque de 2 transistores NMOS dispuestos en serie, y otro bloque de 2 transistores PMOS en paralelo. Para obtener la puerta AND, se añade a la salida un inversor CMOS (ver Figura 24). En cambio, la función de puerta NOT es desempeñada por el propio inversor CMOS.



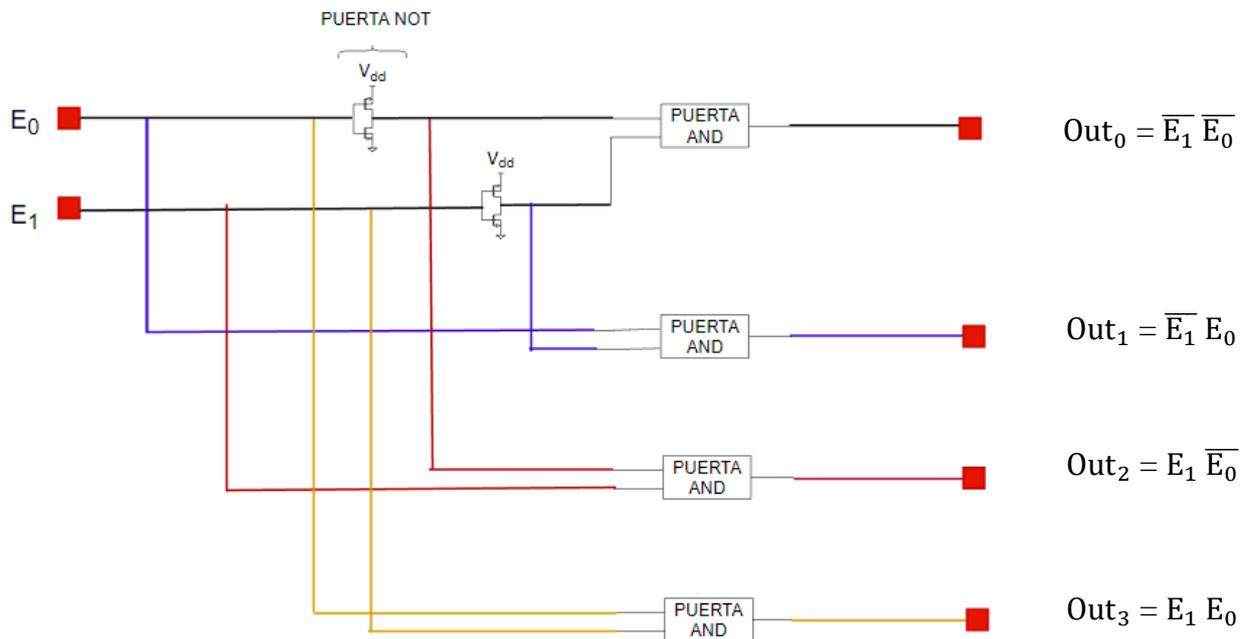
**Figura 24:** Puerta AND implementada con puertas CMOS.

La construcción de decodificadores, independientemente del tamaño que posea, parte de construir la correspondiente Tabla de Verdad, en la cual se indica qué combinación de entrada activa cada línea de salida. Pese a que el decodificador que se necesita para la matriz final de 25 transistores utiliza 5 bits de entrada, como ejemplo de Tabla de Verdad se muestra el correspondiente a únicamente 2 bits de entrada (que implica  $2^2 = 4$  salidas), que es más sencillo. Este último caso se plantea como continuación de la matriz de 4 transistores explicada en la sección anterior, y así verificar que la incorporación de la lógica combinatorial no altera su funcionamiento.

**Tabla 4:** Tabla de Verdad para un decodificador 2:4.

ENTRADAS		SALIDAS			
$E_1$	$E_0$	$Out_3$	$Out_2$	$Out_1$	$Out_0$
0	0	0	0	0	1
0	1	0	0	1	0
1	0	0	1	0	0
1	1	1	0	0	0

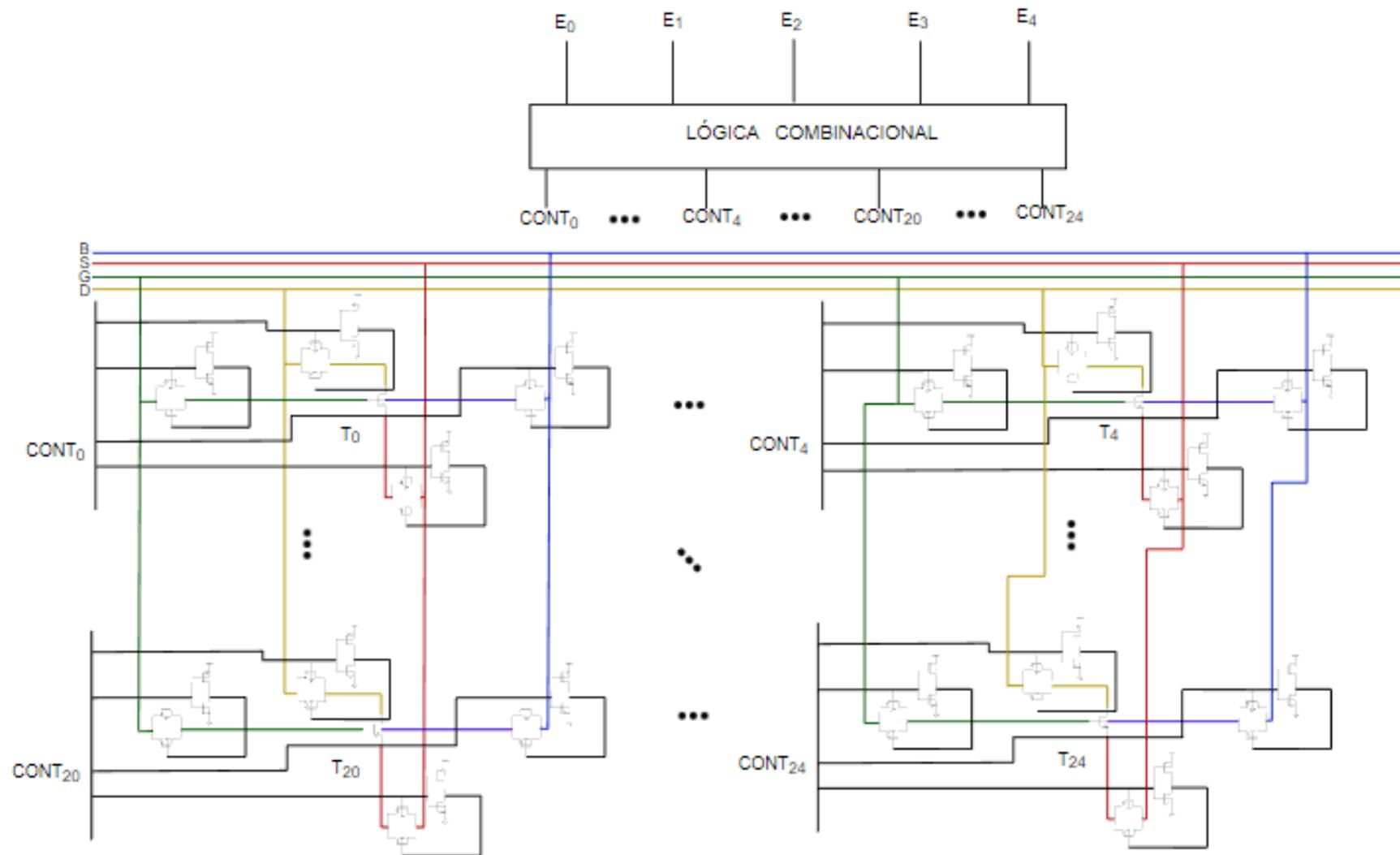
Por lo que el bloque de lógica combinacional que constituye este decodificador queda de la siguiente manera:



**Figura 25:** Conexiones internas en un decodificador de 2 bits de entrada.

Donde cada una de las salidas en Figura 25 conecta con el terminal de control del conjunto de puertas de transmisión asociadas a un determinado transistor.

Este procedimiento se repite, pues, para el decodificador de 5 bits, aunque de manera más exhaustiva. No obstante, hay que tener en cuenta que de las  $2^5 = 32$  combinaciones de 0's y 1's posibles, solo las 25 primeras permiten controlar el estado de los 25 transistores (una por cada salida). El resultado final, tanto para el caso NMOS como para el PMOS se corresponde con el comentado en la Introducción, que es el esperado:



**Figura 26:** Representación de la matriz 5x5, con su lógica combinacional, obtenida como resultado final de este trabajo

## 4. Conclusiones

Tras un análisis de los resultados obtenidos en la última etapa de diseño y simulación, se confirma que es posible la implementación de una lógica combinacional para el control de ASICs basados en matrices de transistores MOS, utilizando un número de bits de entrada muy inferior a la cantidad de transistores con los que se trabaja. Por lo tanto, se satisfacen los objetivos establecidos por el trabajo.

Asimismo, al tratarse de un procedimiento sistemático, se hace aplicable tanto a circuitos de pequeña como de gran escala, independientemente de la cantidad de transistores que haya a la salida del bloque combinacional. Esto se debe a la relación no-biunívoca existente entre líneas de entrada y salida que posee un decodificador, cuyo principio de funcionamiento ha sido detallado en el apartado 3.4. Pues dado un número  $M$  de salidas (transistores de la matriz), el número de bits de entrada  $N$  correspondiente se determina por medio de la operación:

$$N = \log_2 M$$

Como el resultado del logaritmo, generalmente, no es un número entero, la solución consiste en aproximar el decimal al entero más alto próximo a él, asociando el nuevo valor a  $N$ . De esta manera, al trabajar con matrices formadas entre 5 (que equivale a  $2^2 + 1$ ) y 8 transistores (que en términos de potencias binarias corresponde con  $2^3$ ), la lógica combinacional estará constituida por 3 bits de entrada; cuando estas crezcan a tamaños entre 9 y 16 (que son  $2^3 + 1$  y  $2^4$ , respectivamente) entonces se pasa a 4 bits de entrada, y así sucesivamente.

En definitiva, y como regla general, todo IC, cuyo número de transistores está comprendido entre  $2^{N-1} + 1$  y  $2^N$ , está controlado por un decodificador con  $N$  líneas de entrada, siendo la cantidad de salidas habilitadas tras este bloque de lógica combinacional el único parámetro cambiante, que depende exclusivamente del número de matrices a controlar. Por consiguiente, no siempre las  $2^N$  combinaciones de 0's y 1's asociadas a  $N$  bits consiguen establecer conexión con puertas de transmisión, quedando sin emparejar preferentemente las líneas de salida correspondientes a las combinaciones más altas.

### 4.1. Líneas futuras

El tamaño máximo alcanzado con este trabajo para redes de matrices, tanto NMOS como PMOS, ha sido de 5x5, suponiendo un total de 25 transistores. Asimismo, todas las simulaciones se han llevado a cabo bajo condiciones de temperatura ambiente,  $T = 27^\circ \text{C}$ .

No obstante, no se pretende estancar el estudio en este punto, pues de cara al futuro ya se ha pensado en alternativas de las cuales sería posible extraer resultados interesantes.

La primera idea consistiría en incrementar todavía más el tamaño de las matrices, llegando a disponer del orden de 100 transistores en el sistema, cada uno con sus dimensiones propias de anchura y longitud. A partir de ahí, no solo se obtendría un abanico más amplio de resultados, sino que también se ordenaría su fabricación física. Para ello, se crearía el correspondiente *layout*, un conjunto de máscaras que definiría con todo detalle las capas y geometría del diseño. Un proceso complejo y que no se ha tratado en este trabajo.

Como segunda idea, se plantea implementar circuitos integrados del orden de miles de transistores MOS, siguiendo la línea del chip ENDURANCE [5], formado por más de 3000, mitad de ellos NMOS y la otra mitad, PMOS. El objetivo de las medidas derivadas de su caracterización experimental sería obtener suficiente estadística como para elaborar un modelo válido en el rango de temperaturas criogénicas (por debajo de 1 K). Pues, al tratarse de valores tan difícilmente alcanzables, solo se garantizan resultados fiables con ICs de gran escala.

## 5. Referencias

- [1] B. Patra *et al.*, "Cryo-CMOS Circuits and Systems for Quantum Computing Applications", *IEEE Journal of Solid-State Circuits*, vol. 53, no. 1, pp. 309-321, 2018.
- [2] E. Charbon, "The Role of Cryo-CMOS in Quantum Computers", de *2019 IEEE 8th International Workshop on Advances in Sensors and Interfaces (IWASI)*, Otranto, 2019, pp. 1-1.
- [3] D. A. Quiñones Valles, *Síntesis de Circuitos Cuánticos*, M. thesis, Physics, University of Bath, Bath, 2019.
- [4] EURO PRACTICE IC SERVICE, "TSMC:Technologies". [Online]. Available: <https://europractice-ic.com/technologies/asics/tsmc/>. Acceso. agosto 2022.
- [5] J. Díaz Fortuny *et al.*, "A Versatile CMOS Transistor Array IC for the Statistical Characterization of Time-Zero Variability, RTN, BTI, and HCI", *IEEE Journal of Solid-State Circuits*, vol. 54, no. 2, pp. 476-488, 2019.
- [6] R. L. Havill and A. K. Walton, "Field-effect Transistors and Thermionic Valves", de *Elements of Electronics: for Physical Scientists*, Sheffield: Macmillan Education UK, 1985, pp. 243-268.
- [7] A. S. Sedra, K. C. Smith, T. C. Carusone and V. Gaudet, *Microelectronic circuits*, vol. 8, New York: Oxford University Press, 2020.
- [8] K. Kano, "Metal-Oxide-Semiconductor Field-Effect Transistor", de *Semiconductor Devices*, Nueva Jersey: Prentice Hall, 1998, pp. 385-424.
- [9] R. Teja. (2021, April 15) "MOSFET as a Switch", Electronics Hub. [Online]. Available: <https://www.electronicshub.org/mosfet-as-a-switch/>. Acceso: septiembre 2022.

- [10] Y. Tsvividis and C. McAndrew, *Operation and Modeling of the MOS transistor*, Nueva York: McGraw-Hill, 1999.
- [11] T. Pollán Santamaría, "Estudio en detalle del inversor CMOS", de *Electrónica digital. Un libro para su estudio*, Zaragoza, 1970, pp. 190-210.
- [12] Electrónica. [Online]. Available: <https://electronica.guru/questions/29070/inversor-cmos-con-realimentacion>. Acceso: julio 2022.
- [13] R. L. Havill and A. K. Walton, "Digital Logic", de *Elements of Electronics for Physical Scientists*, Sheffield: Macmillan Education UK, 1985, pp. 216-240.
- [14] G. Goyal, A. Mahajan and S. Taneja, "Design & Reuse". [Online]. Available: <https://www.design-reuse.com/articles/38749/efficient-logic-optimization-utilizing-complementary-behavior-of-cmos-gates.html>. Acceso: julio 2022.

## Anexo I: Características de la tecnología CMOS 65 nm de TSMC

En este anexo aparecen los parámetros más relevantes del kit tecnológico de diseño utilizado con *Cadence*, este es, el CMOS 65 nm de *Taiwan Semiconductor Manufacturing Company* (TSMC) [4].

**Tabla 5:** Parámetros relevantes de la tecnología CMOS de 65 nm de TSMC.

Parameter		65nm TSMC	
<b>Process Name</b>		L65 LP MS/RF	
<b>Substrate type</b>		P-Substrate	
<b>Number of Poly/Metal Layers</b>		1P9M	
<b>Core Devices</b>	Operating Voltage	1.2 V	
	Min Gate Length	60 nm	
	V <sub>Th</sub> N/P	0.4 V/ -0.48 V	
	Operating Voltage	2.5 V	
<b>Available Devices</b>	I/O	Min Gate Length	280 nm
		V <sub>TN</sub> N/P	0.6 V/ -0.65 V
<b>V<sub>TN</sub> Options</b>		LVT	
<b>High Ohmic Resistor (HR)</b>		704 Ω/sq	
<b>Metal Metal Cap (MiM cap)</b>		2 fF/μm <sup>2</sup>	

### Process Characteristics:

- P-Sub CMOS process with optional Deep N-well.
- Dual gate oxide thickness (1.2V/2.5V).
- Mixed optional device application available.
- Three M6 aluminium thickness types depend on customer's design application.
- FSG low-k dielectrics.

**Tabla 6:** Key Core Devices parameters.

Device Type Parameter	Core		I/O	
	RVT	LVT	RVT	LVT
V <sub>CC</sub> (V)	1.2		3.3	
T <sub>OX</sub> (A)	33		65	
I <sub>min_draw</sub> (μm)	0.18		0.34	
V <sub>TH</sub> N/P (V)	0.4/ -0.48	0.22/ -0.22	0.6/ -0.65	0.31/ -0.42
I <sub>DS</sub> N/P (μA/μm)	625/ -244.2	720/ -270	590/ -260	640/ -250
I <sub>OFF</sub> N/P (A/μm)	7.6p/ -8.1p	29.4n/ 12.4n	1p/ -0.5p	0.92n/ -2p
Gate delay (ps/stage)	28.5		55	

**Tabla 7:** Key Design Rules.

Layers	Min. Width (μm)	Min. Spacing (μm)	Pitch (μm)
Diffusion	0.24	0.28	0.52
Inter-Well	0.9	0.9	1.8
Drawn Poly	0.18	0.28	0.46
Contact	0.24	0.26	0.5
Metal 1	0.24	0.24	0.48
MVia1-MVia5	0.28	0.28	0.56
Inter Metal	0.28	0.28	0.56
Metal_Cap	0.6	0.55	1.15
Metal 6 8K	0.44	0.44	0.88
Metal 6 12K	0.8	0.8	1.6
Metal 6 20K	1.2	1.0	2.2