

次世代スイッチング電源の設計方法としての Virtual Prototypingの提案とこれを用いたスイッ チング電源の小型化の検討

著者	古江 文乃, 宮坂 晋永, 大串 悠介, 山西 理樹, 松本 聡, 長谷川 雅考
雑誌名	電子情報通信学会技術研究報告. EE, 電子通信エネルギー技術
巻	122
号	343
ページ	83-88
発行年	2023-01-12
その他のタイトル	A Virtual Prototyping Technique as a Design Method of Next Generation Power Supply and Design Consideration of the Switching Power Supply for Miniaturization using the Proposed Technique
URL	http://hdl.handle.net/10228/00009146

次世代スイッチング電源の設計方法としての Virtual Prototyping の提案 とこれを用いたスイッチング電源の小型化の検討

古江 文乃[†] 宮坂 晋永[†] 大串 悠介[†]

山西 理樹[†] 松本 聡[†] 長谷川 雅考[‡]

[†]九州工業大学 〒804-8550 福岡県北九州市戸畑区仙水町1番1号

[‡]産業技術総合研究所 〒305-8565 茨城県つくば市東1-1-1

E-mail: [†] furue.ayano907@mail.kyutech.jp

あらまし 電源の小型化と高効率化を可能にするために、Si based IC と GaN パワーデバイスを3次元に積層した3次元パワーICが注目を集めている。3次元構造にすることで寄生インピーダンスが低減し、ヘテロジニアス構造により GaN を使用できるため、高周波で高効率動作が可能になる。一方で、電源内部で発生する熱は性能に悪影響を与え、小型化することで電磁界や熱などの物理現象との相互作用がさらに大きくなる。本研究では、3次元パワーICの設計手法として、デバイスシミュレーション、回路シミュレーション、電磁界シミュレーション、熱流体シミュレーションを組み合わせた Virtual Prototyping 方法を提案する。またこれを用いた電源の小型化に向けた設計例を紹介する。

キーワード 3次元パワーIC, バーチャルプロトタイピング, 多層グラフェン

A Virtual Prototyping Technique as a Design Method of Next Generation Power Supply and Design Consideration of the Switching Power Supply for Miniaturization using the Proposed Technique

Ayano FURUE[†] Shinei MIYASAKA[†] Yusuke OGUSHI[†]

Riki YAMANISHI[†] Satoshi MATSUMOTO[†] and Masataka HASEGAWA[‡]

[†] Kyushu Institute of Technology 1-1 Sensui-cho, Tobata-ku, Kitakyushu, Fukuoka 804-8550, Japan

[‡] National Institute of Advanced Industrial Science and Technology 1-1-1 Higashi, Tsukuba-shi, Ibaraki, 305-8565, Japan

E-mail: [†] furue.ayano907@mail.kyutech.jp

Abstract 3D power IC, which integrates Si based IC and Gallium Nitride (GaN) power devices realizes high efficiency at high frequency switching and high-power density. However, miniaturization makes 3D power IC high temperature, and the interaction of electromagnetic field and heat are increased. In this paper, we propose a virtual prototyping technique, which is coupling of thermal-device, heat conduction, thermal-electromagnetic, and thermal-circuit simulation to design the 3D power IC. In addition, we introduce an example of design for miniaturization of power supply using virtual prototyping.

Keywords 3D power IC, Virtual Prototyping, multilayer graphene

1. 研究背景

Gallium Nitride(GaN)は高速スイッチング・高耐圧・高周波帯での応用を可能にする次世代スイッチングデバイスとして注目されている[1]。一方で、従来のPCB基板への実装技術を用いて GaN を使用した電源では、寄生インピーダンスの影響により高周波化に限界がある[2]。この課題に対して、Si技術によるLSI(IC)とGaNパワーデバイスを3次元に積層した3次元パワーICが

提案されている[3]。3次元構造にすることにより、配線の長さが基板の厚さ分のみになり寄生インダクタンスを大きく低減でき、異種デバイスが接合可能になることから GaN パワーデバイスを積層して高周波においても高効率を実現できる[2,3]。

一方で、3次元パワーICはパワーデバイスやICを高密度に積層するため、熱や電磁界の物理現象による相互作用が増加する。3次元パワーICを実現するため

には、熱や電磁界が回路やデバイス動作に及ぼす影響を設計の段階で明らかにし、それらを加味した構造を提案する必要がある。Virtual Prototyping はコンピュータ上で仮想プロトタイプを作製し、検証作業を効率よく行うための設計手法である。本研究では、3次元パワーICを含めた電源内の、熱や電磁界の影響を複数のシミュレーションソフトを用いて明らかにする Virtual Prototyping 手法を提案する。

電源は小型化が進むほど発熱密度が増加する。電源内部の温度が上昇すると素子の劣化や破壊につながり、素子特性が悪くなることで効率の低下や短寿命化の恐れが高まる。多層グラフェンは非常に高い熱伝導率を持つ材料として注目を集め、排熱材やノイズ遮蔽材として既に商品化されている[4]。100 nm - 3 μm の薄膜も開発されており[5]、我々は、多層グラフェンを半導体チップに直接組み込むことを目的として、図 1.1 に示す多層グラフェンと Si 基板との直接接合技術を開発し[6]、多層グラフェンを使用した3次元パワーICの排熱構造を、シミュレーションにより検討した[7]。

本研究では、GaN パワーデバイスを搭載した電源における Virtual Prototyping 手法を提案するとともに、これを用いた新材料（多層グラフェン）の導入効果を検討した結果についても報告する。

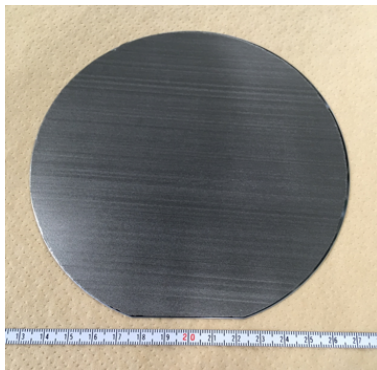


図 1.1 Direct bonding of multilayer graphene on Si substrate (6 inch).

2. Virtual Prototyping の設計手法

本研究では電磁界&熱、回路、デバイス&熱、熱、そして熱&回路シミュレーションを組み合わせた、図 2.1 に示すフローを提案する。回路&熱シミュレーションツールとして LTspice[8]および Virtuoso[9]、熱及び電磁界&熱シミュレーションには femtet[10]、デバイス&熱シミュレーションには Sentaurus[11]を使用した。

はじめに、電磁界&熱シミュレーションにて電源におけるインダクタのインダクタンス値と抵抗値を調べた。使用したインダクタの構造を図 2.2 に示す。ター

ン数が 6、チップサイズは 2 mm のスパイラルインダクタとした。

次に、回路シミュレーションにて、出力抵抗を変化させた際の GaN パワーデバイスのドレイン電流 I_d を得た。ここで使用したバックコンバータの回路図を図 2.3 に示す。低電圧用電源を想定して、入力電圧を 5V、デューティー比を 0.5 とし、スイッチング素子は GaN の EPC8004[12]を使用した。また高周波での使用を想定し、スイッチング周波数は 30MHz とした。デバイス&熱シミュレーションでは、GaN パワーデバイスにおけるホットスポットの温度を取得した。ゲート電圧を 0-5V 与え、回路シミュレーションで得た I_d に達した点の温度を取得した。

熱シミュレーションでは、3DIC の 3次元構造において、GaN のホットスポットと Si based IC の熱の相互作用を考慮した温度を取得した。GaN にはデバイス&熱シミュレーションで得た温度になるような熱量を与えた。Si based IC は CPU やゲートドライバーを含めたメインの発熱源になることを想定し、Si based IC 全体が平均 80°C になるような熱量を与えた。ここで使用した材料定数を表 2.1 に示す。境界条件は、底面を室温 30°C とし、それ以外の面を断熱とした。

続いて、電磁界&熱シミュレーションを再び行い、インダクタの温度と配線による寄生インダクタンスを調査した。電磁界&熱シミュレーションで得たインダクタの温度からインダクタの抵抗値 R_T を次式により求めた。ただし、インダクタの温度を T [°C]、 t [°C] を室温、室温における銅の抵抗値を R_t 、抵抗温度係数を α_t とし、 t は 27 を用いた。

$$R_T = R_t(1 + \alpha_T(T - t))$$

回路&熱シミュレーションでは、Si based IC の平均温度を設定した際のゲートドライバー波形を取得した。この際に使用した回路図を図 2.5 に示す。取得したパラメータは、ハイサイドとローサイドの立ち上がり時間、立ち下がり時間、ゲート電圧である。次に、GaN の温度、ゲート電圧、インダクタの抵抗、配線の寄生インダクタンスを用いて、バックコンバータの効率を求めた。

上記フローが一通り終了した後、GaN の温度上昇による損失を算出し、GaN の熱量に加えて熱シミュレーションを再度行なった。その後は1周目と同様にドライバー波形と GaN の温度等を取得して、効率を求め、これを収束するまで繰り返した。

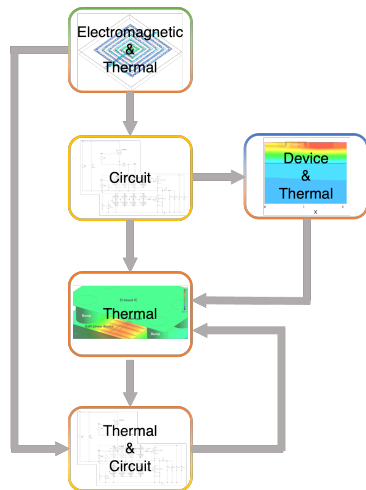


図 2.1 Virtual Prototyping flow for 3D power IC.

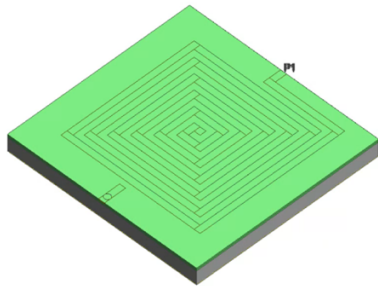


図 2.2 Spiral inductor at Electromagnetic & Thermal simulation.

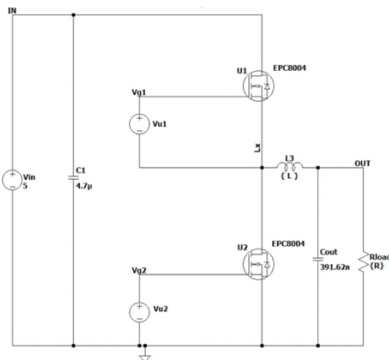


図 2.3 Buck converter using at Circuit and Thermal & Circuit simulation.

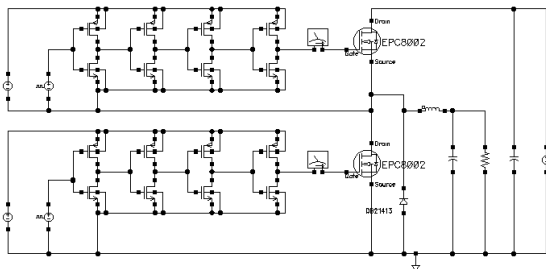


図 2.5 Driver circuit at Thermal & Circuit simulation.

表 2.1 Thermal conductivity

Material	Thermal conductivity [W/(m·K)]	
Si	145	
GaN	130	
SiO ₂	1.38	
Cu	389	
SiN	30	
Al	237	
Multilayer graphene	Vertical	15
	Horizontal	1500

3. 電源の小型化に向けた設計例

3.1. 直接接合技術を使用した構造

GaN パワーデバイスと Si based IC の接合技術として、直接接合がある。先行研究では、Si 基板と GaN の直接接合が報告されている[13]。本節では直接接合を用いた図 3.1 に示す構造での設計例を示す。

図 2.2 の構造において、30 MHz でのインダクタのインダクタンス値は 28.9 nH, 抵抗値は 544 mΩ と電磁界 & 熱シミュレーションにて求めた。

デバイス & 熱シミュレーションにより得られた GaN の温度分布と、GaN パワーデバイスにおけるホットスポットの温度を図 3.2(a), (b) にそれぞれ示す。図 3.2(a) よりドレインとソースの間がホットスポットとなる。

熱シミュレーションは、図 3.1 の構造を断面とした構造で行なった。GaN の構造および Through Silicon Via (TSV) の配線を図 3.3 に示す。TSV は直接接合の配線の役割のほかに、熱を z 方向へ逃がす役割を持つ。ここで得られた温度分布と GaN と Si based IC の平均温度を図 3.4 に示す。どの I_d でも、単体で熱量を与えた場合に比べて温度が上昇した。これは、熱の相互作用によるものであり、直接接合では各熱源がより近くに積層されるため相互作用が大きくなると考えられる。

電磁界 & 熱シミュレーションでは、インダクタの温度は 77°C, 寄生インピーダンスは 2.5 pΩ と求められ、インダクタの内部抵抗を求めると、648 mΩ となった。また回路シミュレーションにて取得したドライバー出力波形のパラメータを表 3.1 に示す。温度上昇に伴い立ち上がり時間が増加した。

以上の結果を入力した 30 MHz におけるバックコンバータの効率を図 3.5 に示す。出力電流が 0.3A のときに効率が 82% から 78% まで低下した。最後に、GaN の損失を加えた熱量を図 3.6 に示す。損失が僅かであり初期の熱量と差が見られなかったため、今回の構造と条件では 1 回目で収束していると考えられる。

一方で、図 3.4(b)より、1A 以上では Si based IC の温度が、一般的な Si デバイスの動作可能温度である 125°C を上回っている。従って、この構造は 1A 以上では使用できないことが明らかになった。

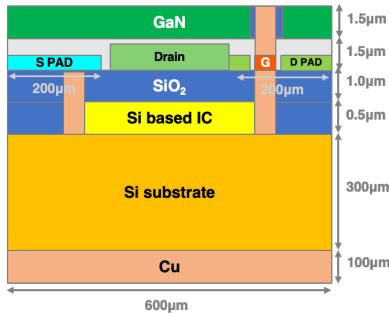
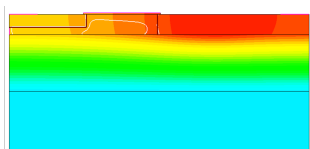
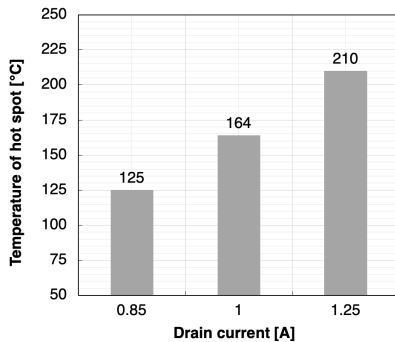


図 3.1 Cross section of the structure using wafer direct bonding technology at thermal simulation.

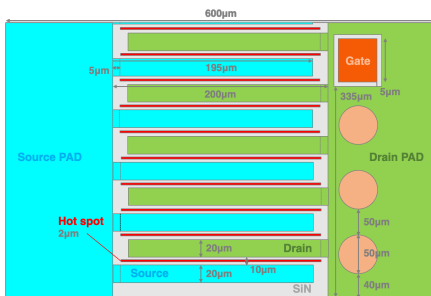


(a) Temperature distribution of GaN power device.

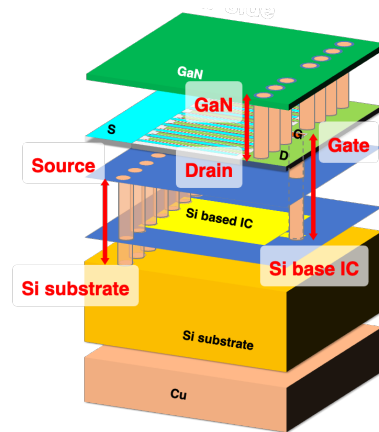


(b) Temperature of hot spot vs. Drain current at GaN power device.

図 3.2 Temperature distribution and temperature at hot spot of GaN power device obtained at Device & Thermal simulation.

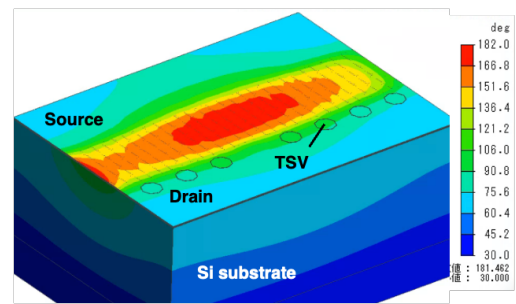


(a) Layout of GaN power device.

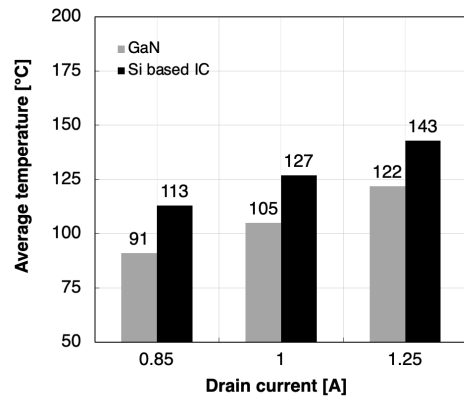


(b) Structure of TSV.

図 3.3 Layout of GaN power device and TSV in the 3DIC.



(a) Temperature distribution of the structure which stacked GaN power device on Si based IC.



(b) Average temperature of GaN and Si based IC vs. Drain current of GaN power device.

図 3.4 Temperature distribution and temperature of GaN and Si based IC at the model of wafer direct bonding technology.

表 3.1 Gate voltage parameter at high side and low side in each temperature.

Driver [°C]	Low side			High side			V _{Lx} [V]
	T _{rise} [ns]	T _{fall} [ns]	V _g [V]	T _{rise} [ns]	T _{fall} [ns]	V _g [V]	
91	0.85	0.71	5.01	0.61	0.74	4.89	10.14
105	0.87	0.73	5.01	0.61	0.72	4.88	10.15
122	0.88	0.75	5.01	0.63	0.72	4.87	10.15

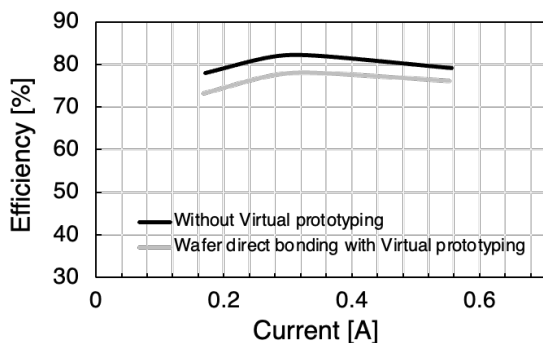


図 3.5 Comparison of Efficiency vs. Output current in buck converter with and without Virtual prototyping using wafer direct bonding technology.

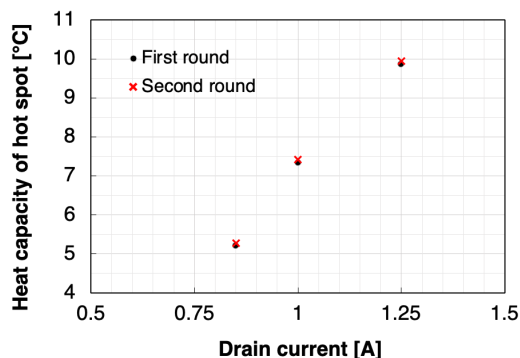


図 3.6 Comparison of heat capacity Before added the loss of GaN power device and After that.

3.2. バンプ接合技術を使用した構造

接合技術は直接接合の他に、バンプ接合がある。Si の制御回路と GaN パワートランジスタのバンプによる接合技術が先行研究で報告されている[14]。バンプ接合を用いた構造を図 3.7 に示す。GaN パワーデバイスと Si based IC の間はバンプで接続される。バンプは図 3.3 と同じ配置とした。

熱シミュレーションによる温度分布と各部温度を図 3.8(a), (b)にそれぞれ示す。ただし、熱量は図 3.1 で与えた熱量と同じ熱量とした。Si based IC の平均温度はバンプ接合にすることで動作可能範囲になった。一方で GaN の平均温度は 240~400°C となった。Si based

IC の温度が直接接合に比べて低くなったのは、GaN の熱の影響が減ったためであり、GaN の温度が上がったのは GaN の熱が下に伝わりにくくなったためだと考えられる。以上より、バンプ接合では、GaN の温度が動作可能な温度を大幅に超えているため実装が困難であると考えられる。

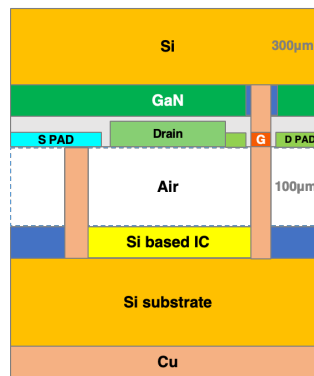
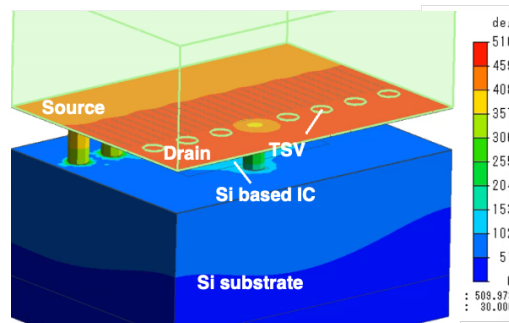
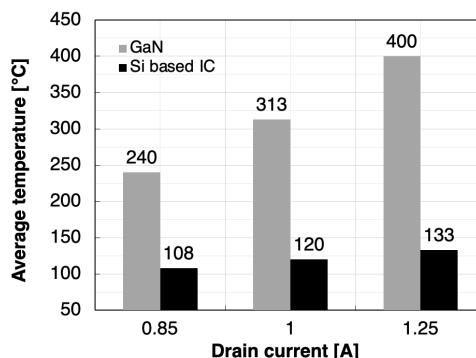


図 3.7 Cross section of the structure using bump to chip bonding technology at thermal simulation.



(a) Temperature distribution of the structure which stacked GaN power device on Si based IC.



(b) Average temperature of GaN and Si based IC vs. Drain current of GaN power device.

図 3.8 Temperature distribution of 3DIC and temperature of GaN and Si based IC at the structure of bump to chip bonding technology at thermal simulation.

3.3. 新材料の導入効果の検討例と設計例

多層グラフェンは、非常に高い熱伝導率を有することから、発熱部の温度を下げる事が明らかになっている[4]. Silicon on Insulator (SOI)構造は Si 基板と活性 Si 層の間に絶縁膜を埋め込んだ構造で、Si のデバイスが 200°C で動作することが確認されている[15].

GaN パワーデバイスに新規材料である多層グラフェンを接着した SOI 構造を図 3.9 に示す. この構造における温度を図 3.10 に示す. Si based IC も GaN も温度が 200°C を超えておらずこの構造は有効だと考えられる. 負荷電流と効率の関係(図 3.11)からも、効率には影響が見られず、適した構造だと言える.

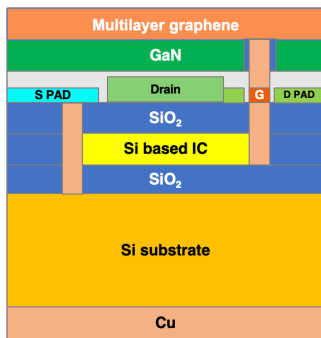


図 3.9 Cross section of the SOI structure using multilayer graphene at thermal simulation.

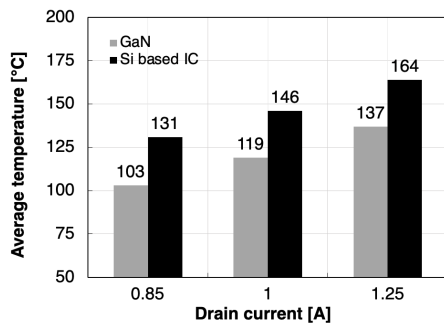


図 3.10 Average temperature vs. Drain current of GaN power device and Si based IC.

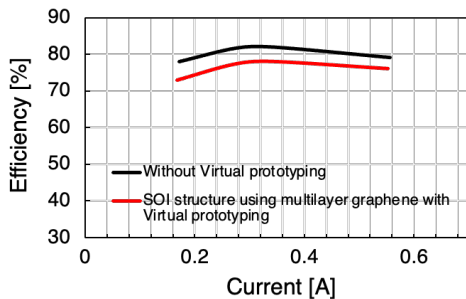


図 3.11 Comparison of Efficiency vs. Output current in buck converter with and without Virtual prototyping at SOI structure using multilayer graphene.

4. 結論

3次元パワーICの設計に向けた Virtual prototyping 手法を提案した. 直接接合では Si based IC の温度が、バンプ接合では GaN の温度が上限温度を上回った. 提案した Virtual prototyping 方法を用いて、新材料として多層グラフェンの導入効果を明らかにするとともに、多層グラフェンを用いた 3DIC の最適構造を明らかにした.

文 献

- [1] D. Kinzer, "GaNFast PwrSoCs", Power SoC 2018, session 5.1, 2018.
- [2] K. Hiura, Y. Ikeda, Y. Hino, and S. Matsumoto, "Impact of the 3D Stacking Power Supply on Chip for High Frequency DC-DC Converter", Japanese Journal of Applied Physics, vol.56. No. 404CR13, 2017.
- [3] K. Ono, K. Hiura, and S. Matsumoto, "Design consideration of a 3D stacked power supply on chip", 2018 Electronic Components and Technology Conference, Session 27.7, 2018.
- [4] <http://www.elecdiv.kaneka.co.jp/graphite/index.html>
- [5] A. Tatami, M. Tachibana, T. Yagi, and M. Murakami, 28th Word Conf. of the Inter. Nuclear Target Develop. Soc.(INTD2016), 2016.
- [6] M. Hasegawa, patent application number, 2018-246592, 2018.
- [7] 古江文乃, 松本聡, 長谷川雅考, 第 32 回マイクロエレクトロニクスシンポジウム, 7A3, 2022.
- [8] <https://www.analog.com/jp/design-center/design-tools-and-calculators/ltspice-simulator.html>
- [9] https://www.cadence.com/content/dam/cadence-www/global/ja_JP/documents/tools/custom-ic-analog-rf-design/virtuoso-mmsim_ds_jp.pdf
- [10] <https://www.synopsys.com/ja-jp/silicon/tcad/device-simulation/sentaurus-device.html>
- [11] <https://www.muratasoftware.com/en/>
- [12] http://epc-co.com/epc/Portals/0/epc/documents/datasheets/epc8004_datasheet.pdf
- [13] R. Ishito, K. Ono, and S. Matsumoto, "Si (100)-GaN/Si (111) low temperature wafer bonding process for 3D power supply on chip", IEEE CPMT Symposium Japan 2019(ICSJ2019) ECR Session12, 2019.
- [14] E. Aklimi, D. Piedra, K. Tien, T. Palacios, and K. Shepard, "Hybrid CMOS/GaN 40-MHz maximum 20-V input DC-DC multiphase buck converter", IEEE J. Solid State Circuits, vol.52.,pp.1618-1627, 2017.
- [15] R. Yamanishi and S. Matsumoto, "Comparison of the instability in device characteristics for thin-film SOI power n- and p- MOSFETs at high temperature under AC stress", Microelectronics reliability, vol.126, 114301, <https://doi.org/10.1016/i.microrel.2021.114301>, 2021.