



TITLE:

Design and Verification of Single-Flux-Quantum Digital Circuits Using Clocked and Clockless Gates(Abstract_要旨)

AUTHOR(S):

Kawaguchi, Takahiro

CITATION:

Kawaguchi, Takahiro. Design and Verification of Single-Flux-Quantum Digital Circuits Using Clocked and Clockless Gates. 京都大学, 2023, 博士(情報学)

ISSUE DATE:

2023-01-23

URL:

<https://doi.org/10.14989/doctor.r13531>

RIGHT:

京都大学	博士 (情報学)	氏名	川口 隆広
論文題目	Design and Verification of Single-Flux-Quantum Digital Circuits Using Clocked and Clockless Gates (クロックトゲートとクロックレスゲートを用いた単一磁束量子回路の設計と検証)		
(論文内容の要旨)			
<p>本論文は、半導体回路では実現困難な高速かつ高エネルギー効率の計算システムを実現可能とするものとして期待されている超伝導単一磁束量子 (Single-Flux-Quantum: SFQ) 回路について、クロックトゲートとクロックレスゲートを用いた回路の設計および設計検証手法の研究結果をまとめたものである。全7章で構成されている。</p> <p>第1章は序論であり、本論文の目的を記し内容を概観している。SFQ回路は微小な電圧パルスを論理値の伝達媒体とするため、従来の論理ゲートはクロック入力を持ち、ラッチ機能を有している。クロック入力付き論理ゲート (クロックトゲート) で構成される従来のSFQ回路は、論理ゲート一段が1パイプラインステージを構成するゲートレベルパイプライン構成が一般的である。ゲートレベルパイプライン回路は高い動作周波数を実現できる反面、回路入力から各論理ゲートまでのすべてのパス上のゲート数を等しくするパスバランシングのために多量のクロック付きバッファ、すなわち、Dフリップフロップ (DFF) の挿入が必要となる。また、挿入したDFFを含むすべてのクロックトゲートにクロックパルスを供給するために巨大なクロック木が必要となる。このため回路の機能に釣り合わない大きな面積が必要となる。本論文は、クロック入力のない論理ゲート (クロックレスゲート) を導入し、クロックトゲートとクロックレスゲートを用いた、より小面積な回路の設計手法の確立を目的としている。</p> <p>第2章では、SFQ回路設計における技術背景として、SFQ回路における論理値の表現方法やSFQ回路で用いられているクロッキング方式について述べている。</p> <p>第3章では、既存のNDRO (非破壊読み出しFF) を用いたクロックレスANDゲートとクロックレスNIMPLY ($x \wedge \neg y$) ゲートを提案している。さらに、既存の合流素子 (CB) をクロックレスORゲートとして使い、クロックトゲートとクロックレスAND、NIMPLY、ORゲートを用いたSFQ回路のアーキテクチャおよびその設計手法を提案している。提案アーキテクチャはパイプライン構成であり、1ステージはクロックトゲート一段とクロックレスゲート数段で構成される。パイプラインレジスタの機能をクロックトゲートのラッチ機能で実現し、組合せ論理をクロックトゲートとクロックレスゲートで実現している。</p> <p>第4章では、クロックトゲートとクロックレスゲートを用いた4ビットおよび8ビット加算器の設計および動作実証、32ビット算術論理演算器 (ALU) の設計を行っている。4ビット加算器は2段パイプライン構成で、AIST ADP2プロセスで試作を行い、最大21.4GHzでの動作を実証している。クロックトゲートのみを用いた6段パイプライン構成のものと比較して、クロックトゲート数が64%、面積が43%削減されている。8ビット加算器は3段パイプライン構成で、試作を行い、12.87GHzでの動作を実証している。32ビットALUは6段パイプライン構成で、レイアウト設計を行い、見積り最大動作周波数は10.8GHzである。クロックトゲートのみを用いた10段パイプライン構成のものと比較して、クロックトゲート数が約40%削減されている。</p> <p>第5章では、クロックトゲートとクロックレスゲートを用いたSFQ回路の静的タイミング解析手法を提案している。静的タイミング解析はタイミング設計を評価する重要な工程である。クロックトゲートのみを用いたSFQ回路の静的タイミング解析は存在するが、それらはクロックレスゲート等を扱えない。また、同時クロッキングとコンカレントフロークロッキングと呼ばれるクロッキング方式の回路にしか適用できない。提案する静的タイミング解析手法では、クロックレスゲート等の種々のゲートを</p>			

扱え、様々なクロッキング方式の回路に適用できる。ゲート入力のタイミング要求をゲート入力の順序付きペアの最小・最大許容入力インターバルという形式で定義し、これらとゲートの入力へのパルス到着順の設計意図を用いて、ゲートのタイミング制約を表現している。これにより、クロックトゲートやクロックレスゲートを含む種々のゲートのタイミング制約を表現できる。さらに、クロックレスゲート等、様々なゲートを含むSFQ回路に適用できる共通パス悲観性除去(CPPR)手法も提案している。CPPRは、タイミングばらつきを考慮した静的タイミング解析においてタイミングの正確な評価のために重要である。提案した手法に基づく静的タイミング解析ツールを実装し、実験により実用できることを示している。

第6章では、遅延ベースタイムフレームモデルを用いたSFQ回路の形式的検証手法を提案している。SFQ回路のゲートの動作はパルスの到着と生成を入出力とした有限状態機械(PTFSM)で表現される。単純には、SFQ回路の動作はPTFSMの組み合わせに対応している。このような動作は一般的な順序回路の動作と異なるため、CMOS回路設計で広く用いられる従来の形式的検証手法が適用できない。本論文では、遅延ベースタイムフレームモデルを提案し、クロックトゲートやクロックレスゲート等、すべてのゲートについてタイムフレームを定義する。タイムフレーム内でのゲート入力でのパルス到着順を計算し、それに基づき、ゲート動作をPTFSMから、ビットベクトルを入出力とする有限状態機械へ抽象化する。抽象化された有限状態機械は順序回路の動作と同等であり、既存の形式的検証手法が適用可能となる。提案手法に基づく形式的検証ツールを実装し、実験により実用できることを示している。

第7章は結論であり、本論文で得られた成果を要約している。本論文では、SFQ回路の小面積化を目指して、クロックレスゲートを開発し、それらを用いた回路アーキテクチャ、論理設計手法を提案した。また、このアーキテクチャによる回路の設計、試作を行った。特に、クロックレスゲートを用いた加算器の動作実証は世界初であり、IEEE International Roadmap for Devices and Systems - Cryogenic Electronics and Quantum Information Processing 2021にも紹介されている。提案アーキテクチャおよび設計手法は、クロックレスゲートを用いたSFQ回路の設計ガイドラインになり得る手法である。また、デジタル回路設計において、回路検証も重要な設計工程であるが、クロックトゲートとクロックレスゲートを用いたSFQ回路を扱える静的タイミング解析手法および形式的検証手法を提案し、ツールとして実装した。最後に、本論文で得られた知見は今後の大規模SFQ回路の実用化に大きく寄与するものであるとして、論文を結んでいる。

(続紙 2)

(論文審査の結果の要旨)

本論文は、半導体回路では実現困難な高速かつ高エネルギー効率の計算システムを実現可能とするものとして期待されている超伝導単一磁束量子 (Single-Flux-Quantum: SFQ) 回路の設計および設計検証手法の研究結果をまとめたものである。SFQ回路は微小な電圧パルス論理値の伝達媒体とするため、従来の論理ゲートはクロック入力を持ち、ラッチ機能を有している。クロックゲートで構成される従来のSFQ回路は、論理ゲート一段を1パイプラインステージとする構成が一般的であり、高い動作周波数を実現できる反面、ゲート段数調整のための多量のDフリップフロップ (DFF) の挿入と巨大なクロック木のため、回路の機能に釣り合わない大きな面積が必要となる。本論文では、クロック入力のない論理ゲート (クロックレスゲート) を導入し、クロックゲートとクロックレスゲートを用いたより小面積なSFQ回路の設計手法の確立を目的として研究に取り組み、主に以下の成果を得ている。

1. 既存のNDRO (非破壊読出しFF) を用いたクロックレスANDゲートとクロックレスNIMPLY ($x \wedge \neg y$) ゲートを提案している。さらに、既存の合流素子 (CB) をクロックレスORゲートとして使い、クロックゲートとクロックレスAND、NIMPLY、ORゲートを用いたSFQ回路のアーキテクチャおよびその設計手法を提案している。
2. クロックゲートとクロックレスゲートを用いた4ビットおよび8ビット加算器の設計および動作実証、32ビット算術論理演算器 (ALU) の設計を行い、クロックゲートのみで実現する場合に比べ、小面積の回路を実現できることを実証している。
3. クロックゲートとクロックレスゲートを用いたSFQ回路の静的タイミング解析手法を提案している。この中で、ゲート入力のタイミング要求の汎用的な表現法および種々のゲートやクロッキング方式に適用できる共通パス悲観性除去手法を提案している。さらに、提案法に基づく静的タイミング解析ツールを実装し、実用できることを示している。
4. SFQ回路の形式的検証のために、新たに遅延ベースタイムフレームモデルを提案し、これに基づく形式的検証手法を提案している。さらに、提案手法に基づく形式的検証ツールを実装し、実用できることを示している。

NDROを用いたクロックレスゲートは注目を集めており、動作実証に成功した加算器とともに、IEEE International Roadmap for Devices and Systems - Cryogenic Electronics and Quantum Information Processing 2021および2022に紹介されている。クロックレスゲートを用いることにより、回路がより小面積になるだけでなく、パイプラインステージ数がゲート段数と等しくなるという制約がなくなる。本論文の成果は、今後の大規模SFQ回路の実用化に大きく寄与するものと期待できる。

以上、本論文は、クロックゲートとクロックレスゲートを用いたSFQ回路の設計および設計検証手法を提案したものであり、学術上、実応用上寄与するところが少なくない。よって、本論文は博士 (情報学) の学位論文として価値あるものと認める。また、令和4年12月20日に論文内容とそれに関連した事項について試問を行った結果、合格と認めた。また、本論文のインターネットでの全文公表についても支障がないことを確認した。