

カスケード・マルチレベル変換器のコンデンサ電圧セル間バランス制御に関する考察

著者	平瀬 祐子
著者別名	Yuko HIRASE
雑誌名	工業技術
巻	45
ページ	79-83
発行年	2023-02
URL	http://doi.org/10.34428/00013940



カスケード・マルチレベル変換器のコンデンサ電圧セル間バランス制御に関する考察

平瀬 祐子^{1*}

A Study on Capacitor Voltage Balancing Control of Cascaded Multilevel Converters

Yuko HIRASE^{1*}

Abstract: Modern power systems are becoming increasingly high-voltage, and power converters capable of operating at those voltage levels are required. In high-voltage cascaded multilevel converters, it has been difficult to achieve both one-pulse control for reducing switching losses and capacitor voltage balancing control at the DC side. In this paper, the characteristics of two types of capacitor voltage balancing controls are compared and evaluated by applying one-pulse or pulse width modulation (PWM) controls to each cell, and the guidelines for setting program parameters are obtained.

1. はじめに

現代の電力系統の中でエネルギー変換の中心的な役割を果たすものが変圧器である。最近では、電力変換器（インバータ・コンバータ）を用いたソリッドステート変圧器（solid state transformer : SST）等が、民生用・産業用を問わず幅広く電力向け用途に用いられており、電圧変換だけではなく、従来のトランスでは実現できない交直変換、電力補償などの機能も併せ持つ。SSTの特筆すべき傾向は、高電圧化する電力変換器においても従来の半導体素子を使用して高耐圧を得ることが可能になる点であり、その一つの方式が、複数の単位変換器（セル）を直列接続する、カスケード・マルチレベル方式である¹⁾。素子自体を直列接続するのではなく、独立したDC電圧源を持つフルブリッジ構成のセル（単位変換器）を直列接続することが特徴である。電力変換器の課題の1つに損失低減の問題があり、本方式の場合は、負荷電流の経路に多数の素子が存在するため導通損失が比較的大きく、高調波を小さくできるためフィルタ損失は比較的小さい。また、カスケード数の増加で高調波に対応すれば、各セルの周波数を低く設定し、スイッチング損失を低減可能である。各セルの周波数は、最も低い場合で1パルス制御（半周期に1度だけパルス出力を行う）まで減少可能である。一方で、カスケード・マルチレベル方式では、各セルのDC電圧源であるコンデンサ電圧が不平衡の場合に出力となるAC電流が歪む恐れがあ

るため、コンデンサ電圧バランス制御が必須であるものの、各セルに上述の1パルス制御を適用した場合には、パルス幅変調（pulse width modulation : PWM）方式を適用した場合のような一般的なバランス制御手法²⁾を適用できない。

そこで、カスケード・マルチレベル方式のSSTを視野に入れ、1パルス制御を行うセル、PWM制御を行うセル、および動作しないセルを組み合わせ使用するハイブリッド変調を使用した場合と、全セルにPWM制御を使用した場合において、その入力部分のコンデンサ電圧バランス制御の特性を比較検討する。詳細な損失解析は次期課題とし、本論文では、実コントローラに搭載する制御プログラムの作成と、プログラムパラメータの設定指針を得ることを目標とする。

2. 対象システム

2.1 ソリッドステート変圧器（SST）の回路構成

一般的なSSTの回路構成例を図1に示す³⁾。文献(3)では図1の構成のSSTを、低周波から中周波の鉄道用トラクショントランスの代用として応用することを想定している。H-ブリッジ回路のフルブリッジセル（HBC）を単位構成とし、各コンバータのAC側を直列に接続している。各コンバータのDC側にはコンデンサが接続され、その電圧を $v_{dc,k}$ (V) としている。

¹ 東洋大学 理工学部 電気電子情報工学科
Department of Electrical, Electronic, and Communications
Engineering, Faculty of Science and Engineering, Toyo
University

*Corresponding Author : hirase028@toyo.jp

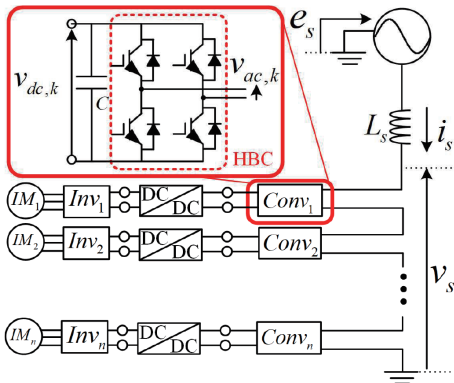


図 1. SST 回路構成例.

例えば k ($1 \leq k \leq n$) 段目のコンバータ ($Conv_k$) の DC 側では、三相誘導モータ (IM_k) がインバータ (Inv_k) で駆動されるとし、 $Conv_k$ と Inv_k が DC/DC 変圧器を介して接続されている。ここで、 e_s (V) はコンバータ入力 (電源) の瞬時電圧で位相や振幅は変化しないと仮定し、 v_s (V) はセルコンバータアーム電圧 $v_{ac,k}$ (V) の n 段の合計である。 L_s (H) は入力 (フィルタ) リアクトルで線路抵抗は無視し、 i_s (A) はリアクトルに流れる瞬時電流でコンバータに流れ込む向きを正と仮定している。ここで、負荷駆動の部分は議論の対象範囲外とし、本論文の目的は、各段のコンデンサ電圧 $v_{dc,k}$ (V) を全て等しくかつ一定に維持するための制御手法の検討とする。

2.2 入力コンバータ制御理論

カスケード・マルチレベル方式の場合、各段の負荷電力の過渡的な変動や、機器や部品の特性個体差などにより、コンバータ各段のコンデンサ電圧 $v_{dc,k}$ ($1 \leq k \leq n$) は、各コンバータを個別に制御するだけでは同一の値にならない。さらに、入力電圧が三相 AC 電圧で不平衡成分を僅かに含む場合などには、相間におけるコンデンサ電圧は不平衡となる。本論文では議論を簡単化するため、入力電圧 e_s は単相 AC 電圧と仮定して相間バランス制御については議論せず、コンバータ各段のコンデンサ電圧 $v_{dc,k}$ ($1 \leq k \leq 3$) を同一に維持するためのセル間バランス制御について検討する。

図 2 と図 3 にそれぞれ、各段に共通のコンデンサ電圧一定制御および電流制御のブロック図を示す。ここで、変数に上付きの*は、該当変数の目標値を示し、 v_{dc}^* は 1 セルにおけるコンデンサ電圧目標値、 I_s^* はリアクトル電流振幅目標値、 v_s^* はセルコンバータアーム

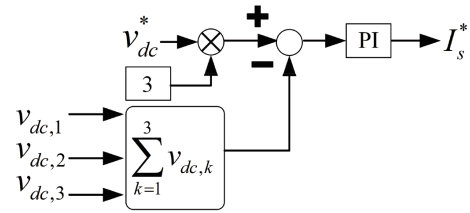


図 2. DC 電圧一定制御ブロック図.

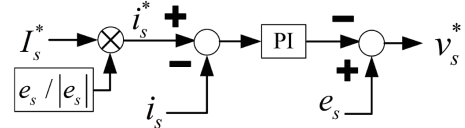


図 3. マイナー電流制御ブロック図.

ム電圧 3 段の合計の目標値を示す。図 3 から出力される v_s^* に従って各段のコンバータゲート信号が決定される。図 2、図 3 中の記号 PI は、比例積分補償器 (proportional-integral compensator) であり、図 2 の PI の比例定数と積分時間を K_{pv} と T_{iv} 、図 3 の PI の比例定数と積分時間を K_{pi} と T_{ii} とすれば、図 2 と図 3 はそれぞれ数式 (1)、(2) で表される。ここでは議論を簡単化するため、回路の線路抵抗を無視することで、電流 i_s が力率 1 であると仮定している。

$$\begin{cases} I_s^* = K_{pv} \left(e_v + \frac{1}{T_{iv}} \int e_v dt \right) \\ e_v = 3v_{dc}^* - \sum_{k=1}^3 v_{dc,k} \end{cases}, \dots \dots \dots (1)$$

$$\begin{cases} v_s^* = e_s - K_{pi} \left(e_i + \frac{1}{T_{ii}} \int e_i dt \right) \\ e_i = I_s^* (e_s / |e_s|) - i_s \end{cases} \dots \dots \dots (2)$$

2.3 セル間バランス制御理論

各セルコンバータを PWM 制御する場合には、各セルコンバータのアーム電圧目標値は、セルコンバータのアーム電圧 3 段の合計の目標値である v_s^* を段数 3 で除した値 $v_s^*/3$ となる。バイポーラ変調では、この目標値を搬送波 (三角波) と比較し、得られた信号およびその反転信号を上下ゲート信号とするが、各セルコンバータの搬送波の位相を、 $2\pi/3$ (rad) ずつずらすことで、搬送波周波数を 3 倍に上げて高調波を低減することが可能である。この場合のセル間バランス制御では、各段のセルに正の有効電力が流入するように、アーム電流の極性に依じてその極性を変更した

補正量 ($\hat{v}_{s,k}^*$) を算出し、アーム電圧目標値の平均値 ($v_s^*/3$) に加算する²⁾。バランス制御補正を含むアーム電圧目標値 ($\hat{v}_{s,k}^*$) 生成のブロック図を図4に、数式を(3)に示す。ここで、 K_{pb} は本セル間バランス制御で使用する比例定数である。

$$\hat{v}_{s,k}^* = v_s^*/3 + K_{pb} (v_{dc}^*/3 - v_{dc,k}) i_s \dots \dots \dots (3)$$

次に、PWM制御と比較検討する1パルス制御はいくつか手法が提案されている¹⁾が、本論文では、文献(4)に述べられている手法を採用する。図5は入力電圧をカスケード数 n の電圧領域に分割するイメージ図である。入力電圧が最大振幅のときにカスケード数 n 個のセルコンバータを1パルス制御するとすると、図5における領域 k ($1 \leq k \leq n$) の $((k-1)v_{dc}^* \leq v_s \leq kv_{dc}^*)$ のアーム電圧合計 (v_s) のときには、 k 個のセルコンバータのみをスイッチング(充放電)してコンデンサ電圧を制御すれば良い。しかし、1パルス制御によりスイッチング損失低減の利点を得られるものの、高調波歪みが大きくなるという欠点が生じるため、本論文では、スイッチング(充放電)を行う k 個のセルコンデンサの中で、コンデンサ電圧の絶対値が最大のセルコンバータのみPWM制御を行い、それ以外のセルコンバータは1パルス制御を行うハイブリッド変調³⁾を採用する。これにより効率的に、スイッチング損失と高調波の両方を低減させることが期待できる。

ハイブリッド変調においても、コンデンサ電圧の低いセルコンバータに正の有効電力が充電されるように、

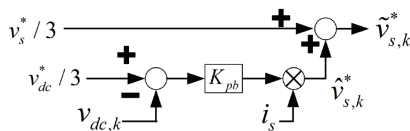


図4. 全段PWM制御に適用するセル間バランス制御補正を含む各段アーム電圧目標値生成のブロック図.

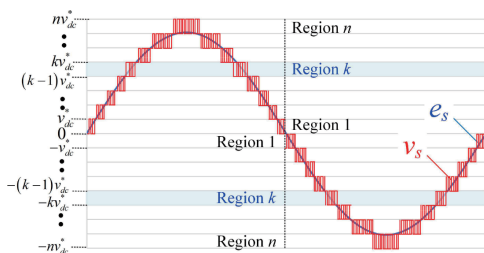


図5. 1パルス制御の入力電圧領域区分イメージ図.

または、コンデンサ電圧の高いセルコンバータから正の有効電力が放電されるように、スイッチング(充放電)を行う k 個のセルコンデンサを選択動作させる。力率1の仮定の下ではコンデンサ電圧の低いセルコンバータに正の有効電力が充電されるアルゴリズムだけで十分であるため、コンデンサ電圧の低い順番に正の有効電力が充電されてセル間電圧がバランスするように、バランス制御にコンデンサ電圧のソートアルゴリズムを組み合わせ使用。表1に、1パルス制御を行うセルコンバータのゲート信号を示す。ここで、 su , sl はそれぞれ正の電圧を出力するレグの上アームと下アームのゲート信号を表し、ゲート信号1でスイッチオン(High Enable)とする。

表1 1パルス制御を行うセルコンバータのゲート信号

	$v_s \geq 0$	$v_s < 0$
$i_s \geq 0$	充電 $su=1, sl=0$	放電(力率1で未使用) $su=0, sl=1$
$i_s < 0$	放電(力率1で未使用) $su=0, sl=1$	充電 $su=1, sl=0$

3. セル間バランス制御の特性評価

3.1 シミュレーション試験環境

MATLAB Simulink R2022aを用いてシミュレーション回路を作成し、数値シミュレーションを行った。ここで、ハイブリッド変調に用いるソート・バランス制御(表1)など、ブロック図の構築が難しいシーケンス処理部分は、実コントローラにそのまま転用できるようにC言語でソースコードを作成し、コンパイルした実行プログラムブロックをSimulink回路中に配置した。シミュレーション時間刻みは1μsで固定とし、制御周期に合わせ、計測データのサンプル・ホールドやC言語ブロックの実行タスクを考慮した。

試験対象回路は図1でセル段数 $n = 3$ とし、バランス制御の効果を確認する目的で、上段、中段、下段のコンデンサ電圧初期値をそれぞれ、定格電圧(150V)、定格電圧+20(V)(170V)、定格電圧-20(V)(130V)に設定してシミュレーションを開始した。全段PWM制御を用いて図2、図3のDC電圧一定制御を1s間実行し、セル間のコンデンサ電圧が不平衡で整定した後に、PWM制御+図4のセル間バランス制御、または、ハイブリッド制御(PWM制御+1パルス制御)+ソート・バランス制御を開始した。

表 2 にシミュレーション回路に用いる回路定数を、表 3 に制御変数を示す。但し、表 2 と表 3 に記載の値は基準設定値であり、次節の試験では、これらの中の一部のパラメータ値を変更して比較を行った。

表 2 回路定数

定数名	意味	値
row	カスケード段数	3 (-)
v_{dc_n}	目標セル DC 電圧	150 (V)
C_{dc}	セルコンデンサ容量	480×10^{-6} (F)
f_r_n	定格系統周波数	60 (Hz)
v_{ac_n}	定格系統電圧	60 (V)
L_flt	入リアクトル	20×10^{-3} (H)

表 3 制御変数

変数名	意味	値
f_r_pwm	PWM 周波数	10×10^3 (Hz)
dt	制御周期	100×10^{-6} (s)
dc_flt	DC 電圧計測フィルタ時定数	25×10^{-3} (s)
K_{pv}	電圧 PI 比例定数(図 2)	0.1061 (-)
T_{iv}	電圧 PI 積分時間(図 2)	0.2 (s)
K_{pi}	電流 PI 比例定数(図 3)	392.7 (-)
T_{ii}	電流 PI 積分時間(図 3)	0.2 (s)
K_{pb}	セル間バランス制御比例定数(図 4)	0.1 (-)

3.2 シミュレーション試験結果と考察

3.2.1 セル間バランス制御比例定数の影響

まず表 3 における K_{pb} の指標を得るため、この値を変化させて PWM 制御 + セル間バランス制御の試験を行った。この結果を図 6 に示す。その他のパラメータの値は、図 2 と図 3 のとおりとする。

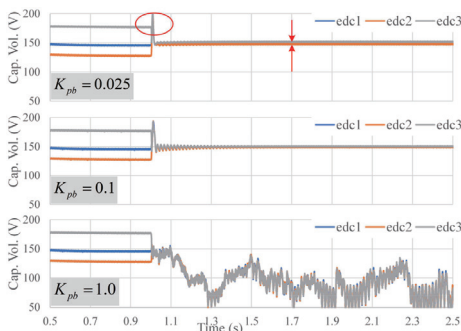


図 6. セル間バランス制御比例定数の影響の結果。

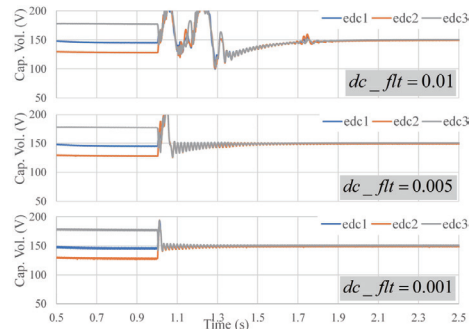
図 6 を見ると、 $K_{pb} = 0.025$ の場合はオーバーシュートが大きくかつ整定時に不平衡量が僅かに残り、一方で、 $K_{pb} = 1.0$ の場合は制御が崩壊する。この結果より、以降のセル間コンデンサ電圧バランス制御比較では、PWM

制御を用いた場合の比例定数を $K_{pb} = 0.1$ に設定する。

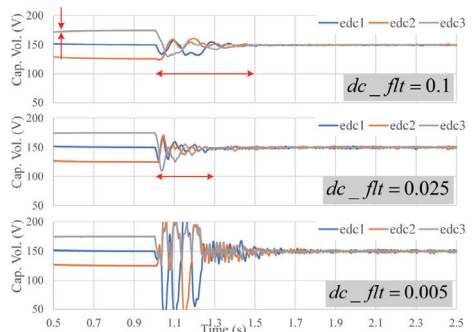
3.2.2 DC コンデンサ電圧計測フィルタ時定数の影響

セルコンデンサ電圧に表れる定格周波数の 2 倍の単相脈動成分を除去する目的でフィルタを使用するが、フィルタの遅れ時間が制御特性へ及ぼす影響を確認しておく必要がある。そこで、表 3 における dc_flt を変更してシミュレーションを行った結果を図 7 に示す。その他のパラメータの値は、図 2 と図 3 のとおりで、図 7 (a) は PWM 制御 + セル間バランス制御の結果を、図 7 (b) はハイブリッド制御 + ソート・バランス制御の結果を示している。図 7 (a) と図 7 (b) を比較すると、図 7 (a) の PWM 制御 + セル間バランス制御の方が図 7 (b) のハイブリッド制御 + ソート・バランス制御に比較して、フィルタ時定数を凡そ 1/5 から 1/10 に小さく設定できることが判る。但し、いずれの手法の方が良いかについては、PWM 制御の方がスイッチング損失が大きくなることや、 $n = 3$ のような低いカスケード段数ではハイブリッド制御の方が高調波が大きくなることも含めて総合的に判断し、今後の研究において明らかにする必要がある。

図 7 (a) を見ると、フィルタ時定数が大きすぎる



(a) PWM 制御 + セル間バランス制御の結果



(b) ハイブリッド制御 + ソート・バランス制御の結果

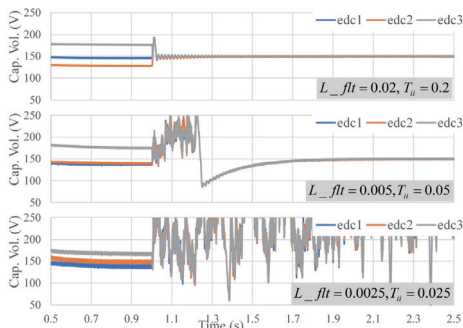
図 7. DC 電圧計測フィルタ時定数の影響の結果。

と制御が追従できずオーバーシュートすると共に、整定までに時間を要する。一方で、図7(b)を見ると、フィルタ時定数が小さすぎるが制御特性が悪くなる。これは、図7(b)下段のフィルタのカットオフ周波数が31.8 Hzであり、120 Hzの残留単相脈動成分が、ソートや1パルス制御(表1)のアリゴリズムに影響したと考察する。

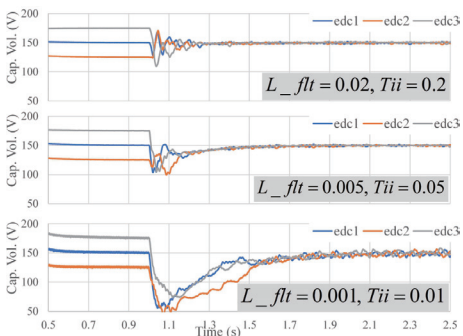
3.2.3 入力リアクトルのリアクタンスの影響

表2における L_{flt} と、これに応じて決定する表3の T_{ii} を変更してシミュレーションを行った結果を図8に示す。その他のパラメータの値は、図2と図3のとおりで、図8(a)と図8(b)は前節と同様とする。

セル間バランス制御では、数式(3)に示すように各段のセルに正の有効電力が流入するような制御を行うため、図8(a)と図8(b)共に、リアクタンスが小さすぎると制御が難しくなる。一方で、リアクタンスが大きすぎると装置全体に対する体積比や重量比が大きくなるため、今後の実験では、20 mH程度の大きさのリアクトルを使用することとした。



(a) PWM制御+セル間バランス制御の結果



(b) ハイブリッド制御+ソート・バランス制御の結果
図8. 入力リアクトルのリアクタンスの影響の結果.

4. まとめ

本研究においてカスケード・マルチレベル変換器のコンデンサ電圧セル間バランス制御の制御プログラムを作成し、複数手法を比較検討することで、パラメータ設定の指針を得ることができた。今後は、フィルタと移動平均との性能の比較、損失や高調波含有量の評価も含め、総合的な設計手法の調査を継続する。

謝辞

本研究は、2022年度岩谷科学技術研究の助成を受けた結果得られたものである。

参考文献

- 1) 児山裕史:「単位電力変換器を多直列接続したカスケード・マルチレベル変換器の性能向上に関する研究」, 博士学位論文, 筑波大学大学院 数理物質科学研究科 (2019)
- 2) M. Hagiwara and H. Akagi: "PWM control and experiment of modular multilevel converters", in *Proc. 2008 IEEE Power Electronics Specialists Conference*, Rhodes, pp. 154-161 (2008)
- 3) Y. Abe, H. Kobayashi and K. Kondo: "Implementation and Analysis of DC-link voltage Balancing Control on PET Railway Vehicle Traction System", in *Proc. 2021 IEEE 12th Energy Conversion Congress & Exposition-Asia (ECCE-Asia) 2021*, Singapore, pp. 2235-2241 (2021)
- 4) H. Iman-Eini, S. Farhangi, J.-L. Schanen and J. Aime: "Design of power electronic transformer based on cascaded H-bridge multilevel converter", in *Proc. 2007 IEEE International Symposium on Industrial Electronics*, Vigo, pp. 877-882 (2007)