



**ΕΘΝΙΚΟ ΚΑΙ ΚΑΠΟΔΙΣΤΡΙΑΚΟ ΠΑΝΕΠΙΣΤΗΜΙΟ ΑΘΗΝΩΝ**

**ΣΧΟΛΗ ΘΕΤΙΚΩΝ ΕΠΙΣΤΗΜΩΝ  
ΤΜΗΜΑ ΠΛΗΡΟΦΟΡΙΚΗΣ ΚΑΙ ΤΗΛΕΠΙΚΟΙΝΩΝΙΩΝ**

**ΠΡΟΓΡΑΜΜΑ ΜΕΤΑΠΤΥΧΙΑΚΩΝ ΣΠΟΥΔΩΝ**

**ΔΙΔΑΚΤΟΡΙΚΗ ΔΙΑΤΡΙΒΗ**

**Τεχνικές Ανίχνευσης και Διόρθωσης Λαθών Χρονισμού για  
Αυξημένη Αξιοπιστία Ολοκληρωμένων Κυκλωμάτων σε  
Νανομετρικές Τεχνολογίες**

**Στέφανος Π. Βαλαδήμας**

**ΑΘΗΝΑ**

**ΙΟΥΝΙΟΣ 2016**





**NATIONAL AND KAPODISTRIAN UNIVERSITY OF ATHENS**

**SCHOOL OF SCIENCES  
DEPARTMENT OF INFORMATICS AND TELECOMMUNICATIONS**

**PROGRAM OF POSTGRADUATE STUDIES**

**PhD THESIS**

**Timing Error Detection and Correction for Reliable Integrated  
Circuits in Nanometer Technologies**

**Stefanos P. Valadimas**

**ATHENS**

**JUNE 2016**



## **ΔΙΔΑΚΤΟΡΙΚΗ ΔΙΑΤΡΙΒΗ**

Τεχνικές Ανίχνευσης και Διόρθωσης Λαθών Χρονισμού για Αυξημένη Αξιοπιστία  
Ολοκληρωμένων Κυκλωμάτων σε Νανομετρικές Τεχνολογίες

**Στέφανος Π. Βαλαδήμας**

**ΕΠΙΒΛΕΠΟΥΣΑ ΚΑΘΗΓΗΤΡΙΑ: Αγγελική Αραπογιάννη, Καθηγήτρια ΕΚΠΑ**

### **ΤΡΙΜΕΛΗΣ ΕΠΙΤΡΟΠΗ ΠΑΡΑΚΟΛΟΥΘΗΣΗΣ:**

**Αγγελική Αραπογιάννη, Καθηγήτρια ΕΚΠΑ**

**Γεώργιος Τσιατούχας, Αν. Καθηγητής Πανεπιστημίου Ιωαννίνων**

**Θεμιστοκλής Χανιωτάκης, Αν. Καθηγητής Πανεπιστημίου Southern Illinois**

### **ΕΠΤΑΜΕΛΗΣ ΕΞΕΤΑΣΤΙΚΗ ΕΠΙΤΡΟΠΗ**

**Αγγελική Αραπογιάννη,  
Καθηγήτρια ΕΚΠΑ**

**Γεώργιος Τσιατούχας,  
Αναπληρωτής Καθηγητής  
Πανεπιστημίου Ιωαννίνων**

**Θεμιστοκλής Χανιωτάκης,  
Αναπληρωτής Καθηγητής  
Πανεπιστημίου Southern Illinois**

**Αντώνιος Πασχάλης,  
Καθηγητής ΕΚΠΑ**

**Δημήτριος Γκιζόπουλος,  
Καθηγητής ΕΚΠΑ**

**Δημήτριος Νικολός,  
Καθηγητής Πανεπιστημίου Πατρών**

**Κιαμάλ Πεκμεστζή,  
Καθηγητής ΕΜΠ**

**Ημερομηνία εξέτασης 27/06/2016**



**PhD THESIS**

Timing Error Detection and Correction for Reliable Integrated Circuits in Nanometer Technologies

**Stefanos P. Valadimas**

**SUPERVISOR: Angela Arapoyanni, Professor UoA**

**THREE-MEMBER ADVISORY COMMITTEE:**

**Angela Arapoyanni, Professor UoA**

**Yiorgos Tsiatouhas, Associate professor Uol**

**Themistoklis Haniotakis, Associate professor SIU**

**SEVEN-MEMBER EXAMINATION COMMITTEE**

**Angela Arapoyanni,  
Professor UoA**

**Yiorgos Tsiatouhas,  
Associate Professor Uol**

**Themistoklis Haniotakis,  
Associate Professor SIU**

**Antonis Paschalis,  
Professor UoA**

**Dimitris Gizopoulos,  
Professor UoA**

**Dimitris Nikolos,  
Professor University of Patras**

**Kiamal Pekmestzi,  
Professor NTUA**

**Examination Date 27/06/2016**





## ΠΕΡΙΛΗΨΗ

Η κλιμάκωση της τεχνολογίας καθιστά ιδιαίτερα σημαντική την επίδραση των λαθών χρονισμού στα ολοκληρωμένα κυκλώματα μεγάλης πολυπλοκότητας και υψηλής συχνότητας. Οι διακυμάνσεις της κατασκευαστικής διαδικασίας, της τάσης και της θερμοκρασίας οδηγούν σε μεγάλες αποκλίσεις στις καθυστερήσεις, σε επίπεδο συστήματος, οι οποίες υπονομεύουν την αξιοπιστία των κυκλωμάτων. Επίσης, η αλληλεπίδραση μεταξύ των σημάτων, οι διαταραχές στην τροφοδοσία ισχύος και η αντιστατική/επαγωγική πτώση της τάσης στην τροφοδοσία, επηρεάζουν την απόδοση των συστημάτων, αυξάνοντας την συνολική επίπτωση των λαθών χρονισμού. Επιπρόσθετα, μηχανισμοί γήρανσης προκαλούν σταδιακή μείωση της ταχύτητας των κυκλωμάτων κατά τη διάρκεια της λειτουργίας τους.

Οι αυξημένες αποκλίσεις στις καθυστερήσεις των μονοπατιών λόγω των παραπάνω παραγόντων, οδηγούν σε λάθη χρονισμού τα οποία δεν είναι εύκολα ανιχνεύσιμα από την πλευρά του κόστους της διαδικασίας ελέγχου. Για τη μείωση των επιπτώσεων της ναομετρικής κλιμάκωσης χρησιμοποιούνται πιο συντηρητικές προσεγγίσεις με ευρύτερα περιθώρια θορύβου, ώστε να είναι εγγυημένη η αξιοπιστία των συστημάτων κατά τη διάρκεια της ζωής τους. Υπό αυτές τις συνθήκες, είναι προφανές ότι οι τεχνικές που παρέχουν ανεκτικότητα σε λάθη χρονισμού καθίστανται αναγκαίες καθώς προσφέρουν ανθεκτικότητα έναντι των σφαλμάτων χρονισμού και ικανοποιούν τις προδιαγραφές αξιοπιστίας των συστημάτων.

Στο πλαίσιο της διατριβής παρουσιάζονται τρεις τεχνικές ταυτόχρονης εν λειτουργία ανίχνευσης και διόρθωσης λαθών χρονισμού οι οποίες συμβάλλουν στην αξιοπιστία των κυκλωμάτων. Η πρώτη τεχνική εφαρμόζεται σε δομές διοχέτευσης που υποστηρίζουν έλεγχο εκτός λειτουργίας με αλυσίδες σάρωσης. Παρέχει ανεκτικότητα σε λάθη χρονισμού με την αξιοποίηση του ήδη υπάρχοντος πολυπλέκτη στα flip-flop σάρωσης. Η δεύτερη τεχνική χρησιμοποιεί ένα συγκριτή για την ανίχνευση των λαθών χρονισμού και ένα επιπλέον στοιχείο μνήμης για την αποθήκευση της ένδειξης λάθους. Η διόρθωση επιτυγχάνεται με αναστροφή της αποθηκευμένης τιμής των προστατευμένων flip-flop. Η προτεινόμενη τεχνική παρέχει προστασία από λάθη χρονισμού με μικρή επιβάρυνση στην κατανάλωση ισχύος και στην επιφάνεια πυριτίου, αντικαθιστώντας μόνο τα flip-flop που βρίσκονται στο τέλος των κρίσιμων μονοπατιών. Η τελευταία και πιο εξελιγμένη τεχνική βασίζεται σε έναν ανιχνευτή μετάβασης για την ανίχνευση των καθυστερημένων αποκρίσεων και σε μία λογική τοπικής ασύγχρονης διόρθωσης των λαθών χρονισμού χωρίς να απαιτούνται επιπρόσθετα στοιχεία μνήμης ή ανιχνευτές μεταευστάθειας, όπως στις προηγούμενες δύο προτεινόμενες λύσεις.

Με σκοπό την αξιολόγησή τους, οι τρεις τεχνικές εφαρμόστηκαν σε έναν μικροεπεξεργαστή MIPS R2000 32 bit με αρχιτεκτονική δομής διοχέτευσης. Επίσης, ο προστατευμένος μικροεπεξεργαστής με την τρίτη τεχνική υλοποιήθηκε σε τεχνολογία CMOS 65nm, μέσω των υπηρεσιών που προσφέρει στα Πανεπιστήμια ο οργανισμός EUROPRACTICE. Οι προσομοιώσεις στο φυσικό σχεδιασμό του μικροεπεξεργαστή, οι εξομοιώσεις σε αναπτυσσόμενη πλατφόρμα FPGA καθώς και τα πειραματικά αποτελέσματα στο ολοκληρωμένο κύκλωμα που κατασκευάστηκε, δείχνουν ότι οι προτεινόμενες τεχνικές ανιχνεύουν και διορθώνουν τα επαγόμενα λάθη χρονισμού με χαμηλό κόστος στην κατανάλωση ισχύος και την επιφάνεια πυριτίου.

**ΘΕΜΑΤΙΚΗ ΠΕΡΙΟΧΗ:** Ταυτόχρονος Εν Λειτουργία Έλεγχος Ορθής Λειτουργίας.

**ΛΕΞΕΙΣ ΚΛΕΙΔΙΑ:** αστοχίες χρονισμού, λάθη χρονισμού, ανίχνευση και διόρθωση λαθών, ανθεκτικότητα σε λάθη χρονισμού, αξιοπιστία συστημάτων.



## ABSTRACT

As technology scales down, timing errors are a real concern in high complexity and high frequency integrated circuits. Process, Voltage and Temperature variations lead to large spreads in delay, at the system level, which undermine circuit's reliability. Moreover, crosstalk, power supply disturbances and resistive IR-drop or inductance IL-drop affect circuit performance increasing the overall impact of timing errors. In addition, aging mechanisms cause gradual speed degradation of the designs over their service life.

The increased path delay deviations, due to the above factors, result in timing errors that are not easily detectable in terms of test cost. To mitigate the impact of nanometer scaling, conservative approaches with wider safety margins are adopted to guarantee the reliability during system lifetime. In this context, it is evident that timing error tolerance techniques are becoming necessary to provide robustness against timing violations and meet system reliability requirements.

This thesis presents three concurrent on-line timing error tolerance techniques which enhance circuit's reliability. The first technique is applied on pipelines which support off-line scan testing. It provides timing error tolerance by exploiting the existing multiplexer in the scan flip-flops. The second technique utilizes a comparator for timing error detection and an additional memory element for storing the error indication. The correction is succeeded by bit-flipping the data stored in the protected flip-flop. The proposed technique provides timing error tolerance with low cost in power consumption and silicon area, replacing only the flip-flops at the end of time critical paths. The last enhanced technique is based on a transition detector for detecting the delayed responses and an asynchronous local error correction scheme which has no need of additional memory elements or metastability detectors, as in the earlier proposed solutions.

To validate the three techniques, they have been applied in the design of a 32-bit MIPS R2000 pipeline microprocessor. The protected microprocessor with the enhanced technique was fabricated in the 65nm Low Leakage technology of UMC, through the ASIC prototyping program offered by the EURO PRACTICE IC Service. Post-layout simulations of the microprocessor design, FPGA-based emulations and experimental results on the fabricated chip, show that the proposed techniques detect and correct the generated timing errors efficiently with low power consumption and low silicon area overhead.

**SUBJECT AREA:** Concurrent On-Line Testing.

**KEYWORDS:** timing failures, timing errors, error detection and correction, timing error tolerance, reliability-aware design.



*Στην οικογένειά μου*



## ΕΥΧΑΡΙΣΤΙΕΣ

Θα ήθελα να εκφράσω την βαθύτατη ευγνωμοσύνη στην Επιβλέπουσα Καθηγήτριά μου Αγγελική Αραπογιάννη για την αμέριστη υποστήριξη, τις πολύτιμες συμβουλές και τη συνεχή ενθάρρυνση, καθώς επίσης και για την εμπιστοσύνη που έδειξε καθ' όλη τη διάρκεια εκπόνησης της παρούσας διδακτορικής διατριβής.

Θα ήθελα να ευχαριστήσω τον Αναπληρωτή Καθηγητή Γεώργιο Τσιατούχα για την εποικοδομητική και πολύχρονη συνεργασία. Είμαι υπόχρεος για την ανεκτίμητη βοήθεια που μου προσέφερε, καθώς η συμβολή του σε όλα τα στάδια της διδακτορικής έρευνας υπήρξε καθοριστική.

Επίσης, θα ήθελα να ευχαριστήσω τον Αναπληρωτή Καθηγητή Θεμιστοκλή Χανιωτάκη του Πανεπιστημίου Southern Illinois, μέλος της τριμελούς Επιτροπής, για τις συμβουλές και την ενθάρρυνσή του.

Ιδιαίτερα θα ήθελα να ευχαριστήσω τους Καθηγητές Α. Πασχαλή και Δ. Γκιζόπουλο του τμήματος Πληροφορικής και Τηλεπικοινωνιών του Εθνικού και Καποδιστριακού Πανεπιστημίου Αθηνών, τον Καθηγητή Δ. Νικολό του τμήματος Μηχανικών Η/Υ και Πληροφορικής του Πανεπιστημίου Πατρών και τον Καθηγητή Κ. Πεκμεστζή της σχολής Ηλεκτρολόγων Μηχανικών και Μηχανικών Υπολογιστών του Εθνικού Μετσόβιου Πολυτεχνείου για τον πολύτιμο χρόνο που αφιέρωσαν ως εξεταστική επιτροπή της διδακτορικής διατριβής.

Τέλος, θα ήθελα να ευχαριστήσω τους φίλους, διδάκτορες και υποψήφιους διδάκτορες του εργαστηρίου VLSI οι οποίοι με την εμπειρία και τις γνώσεις τους βοήθησαν, κατά τη διάρκεια της έρευνας.





# ΠΕΡΙΕΧΟΜΕΝΑ

<b>1. ΕΙΣΑΓΩΓΗ.....</b>	<b>31</b>
1.1 Αξιοπιστία και έλεγχος ορθής λειτουργίας .....	31
1.2 Ο έλεγχος ορθής λειτουργίας .....	32
1.3 Κατασκευαστικά ελαττώματα, σφάλματα και λάθη.....	32
1.4 Κατηγορίες σφαλμάτων .....	33
1.5 Κατασκευαστική απόδοση και κάλυψη σφαλμάτων .....	36
1.6 Μοντέλα μόνιμων σφαλμάτων .....	37
1.6.1 Σφάλματα μόνιμης τιμής.....	38
1.6.2 Σφάλμα μόνιμα μη αγώγιμου τρανζίστορ.....	39
1.6.3 Σφάλμα μόνιμα αγώγιμου τρανζίστορ.....	40
1.6.4 Σφάλματα βραχυκύκλωσης.....	41
1.6.5 Σφάλματα καθυστέρησης.....	42
1.7 Διαλείποντα σφάλματα - Ακεραιότητα Σήματος.....	44
1.7.1 Ακεραιότητα σήματος στις διασυνδέσεις.....	45
1.7.2 Θόρυβος στην τροφοδοσία .....	46
1.7.3 Διακυμάνσεις της κατασκευαστικής διαδικασίας.....	46
1.7.4 Αντιμετώπιση της απώλειας στην ακεραιότητα σήματος.....	47
1.8 Διαλείποντα σφάλματα - Γήρανση των Ολοκληρωμένων Κυκλωμάτων .....	49
1.8.1 Αστάθεια πόλωσης-θερμοκρασίας.....	49
1.8.2 Η έγχυση θερμών φορέων .....	52
1.8.3 Αντιμετώπιση της γήρανσης των ολοκληρωμένων κυκλωμάτων .....	54
1.9 Διαλείποντα σφάλματα - Ηλεκτρομετανάστευση.....	56
1.10 Αναγκαιότητα ανίχνευσης λαθών χρονισμού .....	56
1.11 Κατηγοριοποίηση των τεχνικών ανίχνευσης λαθών χρονισμού.....	57
1.11.1 Τεχνικές ανίχνευσης λαθών .....	57
1.11.2 Τεχνικές πρόβλεψης λαθών.....	58
1.11.3 Τεχνικές απόκρυψης λαθών .....	58
1.12 Συνεισφορά και δομή της διατριβής.....	59

<b>2. ΟΙ ΚΥΡΙΟΤΕΡΕΣ ΤΕΧΝΙΚΕΣ ΑΝΙΧΝΕΥΣΗΣ ΚΑΙ ΔΙΟΡΘΩΣΗΣ ΛΑΘΩΝ ΧΡΟΝΙΣΜΟΥ .....</b>	<b>61</b>
2.1 Εισαγωγή.....	61
2.2 Η τεχνική ανίχνευσης και διόρθωσης λαθών χρονισμού Razor.....	62
2.2.1 Περιγραφή της τεχνικής Razor .....	62
2.2.2 Ανίχνευση και διόρθωση λαθών με την τεχνική Razor.....	63
2.2.3 Ανάκαμψη με αδρανοποίηση του ρολογιού .....	65
2.2.4 Ανάκαμψη με τη χρήση διοχέτευσης αναστροφής ροής .....	66
2.2.5 Έλεγχος της τάσης τροφοδοσίας .....	68
2.2.6 Αντιμετώπιση της μεταευστάθειας.....	69
2.3 Παραλλαγές της τεχνικής Razor.....	69
2.3.1 Η τεχνική RazorII .....	70
2.3.2 Razor με ανιχνευτή μετάβασης και δανεισμό χρόνου .....	71
2.3.3 Η τεχνική Bubble Razor.....	72
2.4 Η τεχνική ελαστικού χρονισμού.....	73
2.4.1 Λειτουργία της τεχνικής .....	74
2.4.2 Δυναμική ενίσχυση της ταχύτητας του κυκλώματος.....	75
2.5 Η τεχνική GRAAL .....	76
2.5.1 Περιγραφή της τεχνικής.....	77
2.6 Η τεχνική TIMBER .....	79
2.6.1 Το TIMBER flip-flop.....	79
2.6.2 Μανδαλωτής TIMBER .....	81
<b>3. Η ΤΕΧΝΙΚΗ ΔΙΑΣΤΟΛΗΣ ΧΡΟΝΟΥ.....</b>	<b>83</b>
3.1 Εισαγωγή.....	83
3.2 Ανοχή σε λάθη χρονισμού με την τεχνική Διαστολής Χρόνου .....	83
3.2.1 Περιγραφή της τεχνικής.....	83
3.2.2 Το Time Dilation flip-flop σάρωσης .....	84
3.2.3 Ανίχνευση και διόρθωση λαθών χρονισμού με τη χρήση της τεχνικής Time Dilation.....	86
3.2.4 Αντιμετώπιση της Μεταευστάθειας.....	88
3.2.5 Ανάκαμψη της δομής διοχέτευσης .....	89
3.2.6 Το σήμα του ρολογιού και τα γρήγορα μονοπάτια .....	91
3.3 Πειραματικά Αποτελέσματα.....	94

3.4	Πλεονεκτήματα της τεχνικής Time Dilation.....	97
<b>4.</b>	<b>Η ΤΕΧΝΙΚΗ ΔΙΑΣΤΟΛΗΣ ΧΡΟΝΟΥ ΜΕ ΣΥΓΚΡΙΤΗ ΚΑΙ ΑΝΑΣΤΡΟΦΗ ΤΙΜΗΣ ...</b>	<b>99</b>
4.1	Εισαγωγή.....	99
4.2	Περιγραφή της τεχνικής Error Detection and Correction.....	99
4.2.1	Το flip-flop ανίχνευσης και διόρθωσης .....	99
4.2.2	Περιγραφή της λειτουργίας του κυκλώματος.....	102
4.2.3	Αντιμετώπιση της μεταευστάθειας .....	103
4.2.4	Ανάκαμψη του κυκλώματος .....	105
4.2.5	Σύγκριση τεχνικών .....	106
4.3	Πειραματικά αποτελέσματα .....	108
4.3.1	Προσομοιώσεις υλοποίησης του EDC flip-flop με τρανζίστορ .....	108
4.3.2	Αξιολόγηση και συγκρίσεις σε έναν μικροεπεξεργαστή MIPS .....	109
4.3.3	Εξομοίωση του μικροεπεξεργαστή.....	113
<b>5.</b>	<b>Η ΤΕΧΝΙΚΗ ΔΙΑΣΤΟΛΗΣ ΧΡΟΝΟΥ ΜΕ ΑΝΙΧΝΕΥΤΗ ΜΕΤΑΒΑΣΗΣ ΚΑΙ ΑΝΑΣΤΡΟΦΗ ΤΙΜΗΣ.....</b>	<b>115</b>
5.1	Εισαγωγή.....	115
5.2	Ανοχή σε λάθη χρονισμού με την τεχνική Timing Error Tolerance .....	115
5.2.1	Περιγραφή της τεχνικής.....	115
5.2.2	Σχεδίαση με πύλες κατάλληλη για σύνθεση.....	117
5.2.3	Σχεδίαση του AEC flip-flop σε επίπεδο τρανζίστορ .....	118
5.2.4	Ανιχνευτής μετάβασης .....	119
5.2.5	Ανάκαμψη της δομής διοχέτευσης.....	121
5.3	Σύγκριση τεχνικών .....	123
5.4	Πειραματικά αποτελέσματα .....	125
5.4.1	Εφαρμογή της τεχνικής TET στον μικροεπεξεργαστή MIPS.....	125
5.4.2	Το κύκλωμα μετρήσεων και δοκιμής pci_bridge32 .....	129
5.4.3	Εξομοίωση της τεχνικής TET με τη χρήση αναπτυξιακής πλατφόρμας FPGA.....	130
5.4.4	Εφαρμογή της τεχνικής στο ολοκληρωμένο κύκλωμα του μικροεπεξεργαστή .....	131
<b>6.</b>	<b>ΣΥΜΠΕΡΑΣΜΑΤΑ .....</b>	<b>137</b>
6.1	Τεχνική Διαστολής Χρόνου – Time Dilation.....	138
6.2	Τεχνική Διαστολής Χρόνου με Συγκριτή και Αναστροφή Τιμής.....	138

<b>6.3</b>	<b>Τεχνική Διαστολής Χρόνου με Ανιχνευτή Μετάβασης και Αναστροφή Τιμής.....</b>	<b>139</b>
<b>6.4</b>	<b>Μελλοντικές κατευθύνσεις της έρευνας.....</b>	<b>140</b>
6.4.1	Σχεδίαση σε επίπεδο τρανζίστορ .....	140
6.4.2	Έρευνα στο επίπεδο μικροαρχιτεκτονικής .....	140
	<b>ΠΙΝΑΚΑΣ ΟΡΟΛΟΓΙΑΣ.....</b>	<b>141</b>
	<b>ΣΥΝΤΜΗΣΕΙΣ – ΑΡΚΤΙΚΟΛΕΞΑ – ΑΚΡΩΝΥΜΙΑ.....</b>	<b>143</b>
	<b>ΑΝΑΦΟΡΕΣ .....</b>	<b>145</b>

## ΚΑΤΑΛΟΓΟΣ ΣΧΗΜΑΤΩΝ

Σχήμα 1.1: Μικροφωτογραφίες κατασκευαστικών ελαττωμάτων .....	33
Σχήμα 1.2: Κατηγορίες σφαλμάτων με βάση την αιτία, τη φύση, τη διάρκεια, το εύρος και την τιμή.....	34
Σχήμα 1.3: Καμπύλη του ρυθμού αστοχιών ενός ολοκληρωμένου κυκλώματος σε σχέση με το χρόνο.....	36
Σχήμα 1.4: CMOS πύλη NAND δύο εισόδων .....	38
Σχήμα 1.5: CMOS πύλη NOR δύο εισόδων .....	40
Σχήμα 1.6: Κύκλωμα CMOS με σφάλμα βραχυκύκλωσης.....	41
Σχήμα 1.7: Απώλεια ακεραιότητα σήματος [5].....	45
Σχήμα 1.8: Μοντέλο γραμμών θύτη/θύματος [5].....	46
Σχήμα 1.9: Αισθητήρας ρεύματος [57] .....	47
Σχήμα 1.10: Κύκλωμα παρατήρησης της τροφοδοσίας ισχύος [58] .....	47
Σχήμα 1.11: Αισθητήρας διακύμανσης της κατασκευαστικής διαδικασίας [60] .....	48
Σχήμα 1.12: α) Φαινόμενο NBTI σε pMOS τρανζίστορ, β) NBTI επίδραση υπό AC στρες για διαφορετικές πιθανότητες $S_p$ [62].....	49
Σχήμα 1.13: Μοντέλο προσομοίωσης NBTI φαινομένου [62] .....	50
Σχήμα 1.14: Επίδραση της θερμοκρασίας στη συχνότητα λειτουργίας μέσω του μηχανισμού NBTI [62].....	51
Σχήμα 1.15: Διακύμανση καθυστέρησης αναστροφέα υπό την παρουσία στατικού/δυναμικού NBTI [62] .....	52
Σχήμα 1.16: Ο μηχανισμός HCI.....	53
Σχήμα 1.17: Σχεδιασμός χείριστου σεναρίου για την επίτευξη του επιθυμητού χρόνου ζωής .....	54
Σχήμα 1.18: Αρχή λειτουργίας αισθητήρων γήρανσης με χρονικό διάστημα ασφαλείας (guardband interval) .....	55
Σχήμα 2.1: Καταχωρητής μίας δομής διοχέτευσης με τη χρήση του Razor flip-flop.....	63
Σχήμα 2.2: Κυματομορφές της λειτουργίας του Razor flip-flop .....	64

Σχήμα 2.3: Ανάκαμψη με αδρανοποίηση του ρολογιού: α) οργάνωση της δομής διοχέτευσης και β) ροή λειτουργίας με αστοχία στο στάδιο της εκτέλεσης (EX) και ανάκαμψη (οι αστερίσκοι υποδεικνύουν στάδια με λανθασμένες τιμές στις εξόδους)... 66	66
Σχήμα 2.4: Ανάκαμψη διοχέτευσης ανάστροφης ροής (counterflow pipelining), α) οργάνωση της δομής διοχέτευσης και β) ροή λειτουργίας με αστοχία στο στάδιο της εκτέλεσης (EX) και ανάκαμψη (οι αστερίσκοι υποδεικνύουν στάδια με λανθασμένες τιμές στις εξόδους)..... 67	67
Σχήμα 2.5: Το σύστημα ελέγχου της τάσης τροφοδοσίας..... 68	68
Σχήμα 2.6: Δομή του μανδαλωτή RazorII ..... 70	70
Σχήμα 2.7: Δομή του μανδαλωτή με ανιχνευτή μετάβασης και δανεισμό χρόνου (transition-detector with time-borrowing – TDTB) ..... 71	71
Σχήμα 2.8: Δομή του ακολουθιακού κυκλώματος διπλής δειγματοληψίας με δανεισμό χρόνου (double sampling with time borrowing - DSTB). ..... 71	71
Σχήμα 2.9: Η διάταξη του Bubble Razor και τα διαγράμματα χρονισμού της λειτουργίας της..... 72	72
Σχήμα 2.10: α)Razor flip-flop β) τροποποιημένο Razor flip-flop για την τεχνική ελαστικού χρονισμού..... 74	74
Σχήμα 2.11: Επιλογές ενίσχυσης της ταχύτητας: α) Dynamic Dual-VDD β) Dynamic Fast Lane..... 75	75
Σχήμα 2.12: Συγχρονισμός των τεσσάρων ρολογιών εισόδου..... 77	77
Σχήμα 2.13: Δομή διοχέτευσης με τέσσερα ρολόγια..... 77	77
Σχήμα 2.14: Μηχανισμός ανίχνευσης λαθών χρονισμού ..... 78	78
Σχήμα 2.15: α) Υλοποίηση του TIMBER flip-flop και β) η μονάδα ελέγχου του σήματος του ρολογιού ..... 80	80
Σχήμα 2.16: Η λογική της διόρθωσης λαθών στο TIMBER flip-flop ..... 81	81
Σχήμα 2.17: α) Υλοποίηση του μανδαλωτή TIMBER και β) η μονάδα ελέγχου του σήματος του ρολογιού..... 82	82
Σχήμα 3.1: Το προτεινόμενο Time Dilation flip-flop..... 83	83
Σχήμα 3.2: Το τυπικό flip-flop σάρωσης ..... 85	85

Σχήμα 3.3: α) Το TDS flip-flop με τα κυκλώματα που το υποστηρίζουν β) το κύκλωμα αποθήκευσης ένδειξης λάθους .....	85
Σχήμα 3.4: Η λειτουργία του TDS flip-flop με ένα λάθος χρονισμού στον κύκλο $i+2$ και την ανάκαμψη στον κύκλο $i+3$ .....	87
Σχήμα 3.5: α) Το TDS flip-flop με ανιχνευτή μεταευστάθειας β) η διάταξη του ανιχνευτή μεταευστάθειας .....	89
Σχήμα 3.6: Οργάνωση της δομής διοχέτευσης για την διαδικασία της ανάκαμψης λάθους .....	90
Σχήμα 3.7: Λειτουργία της δομής διοχέτευσης κατά την διαδικασία της ανάκαμψης λάθους .....	90
Σχήμα 3.8: Διαγράμματα χρονισμού του TDS flip-flop .....	91
Σχήμα 3.9: TDS flip-flop Καθήλωσης (Freezing TDS flip-flop) .....	93
Σχήμα 3.10: Διάγραμμα της διάταξης του RISC μικροεπεξεργαστή .....	94
Σχήμα 3.11: Η κάτοψη του μικροεπεξεργαστή .....	94
Σχήμα 3.12: Κυματομορφές προσομοίωσης της τεχνικής Time Dilation στον μικροεπεξεργαστή MIPS .....	95
Σχήμα 4.1: α) Το προτεινόμενο EDC flip-flop και β) ο γεννήτορας παλμών .....	100
Σχήμα 4.2: Αδρανοποίηση του ρολογιού σε επίπεδο πυρήνα .....	102
Σχήμα 4.3: Διαγράμματα χρονισμού για τη λειτουργία του EDC flip-flop .....	103
Σχήμα 4.4: α) Το EDC flip-flop με τον ανιχνευτή μεταευστάθειας και β) το σχηματικό του ανιχνευτή μεταευστάθειας .....	104
Σχήμα 4.5: Η ανάκαμψη της δομής διοχέτευσης: α) η αρχιτεκτονική και β) η λειτουργία της .....	105
Σχήμα 4.6: Χρονικοί περιορισμοί .....	107
Σχήμα 4.7: Προσομοιώσεις Monte-Carlo στον ανιχνευτή μεταευστάθειας υπό τις διακυμάνσεις της κατασκευαστικής διαδικασίας, τάσης και θερμοκρασίας (PVT variations) και μη ταίριασμα των τρανζίστορ (device mismatches) (επάνω η βέλτιστη περίπτωση και κάτω η χειρότερη περίπτωση) .....	109
Σχήμα 4.8: Ο πυρήνας MIPS: α) διάγραμμα δομής διοχέτευσης και β) κάτοψη .....	110

Σχήμα 4.9: Κυματομορφές προσομοίωσης της τεχνικής Error Detection/Correction στον μικροεπεξεργαστή MIPS .....	111
Σχήμα 4.10: Γραφήματα σύγκρισης των τριών τεχνικών .....	112
Σχήμα 4.11: Πειραματική διάταξη. ....	113
Σχήμα 4.12: α) κυματομορφές του κυκλώματος στην ονομαστική συχνότητα λειτουργίας (44 MHz), β) κυματομορφές του απροστάτευτου κυκλώματος στη συχνότητα των 46 MHz, γ) κυματομορφές του προστατευμένου κυκλώματος στη συχνότητα των 46 MHz .....	114
Σχήμα 5.1: Το TET flip-flop .....	116
Σχήμα 5.2: Διαγράμματα χρονισμού του TET flip-flop.....	117
Σχήμα 5.3: α) Σχεδίαση του AEC flip-flop με τυπικές πύλες και β) η αρχή λειτουργίας	118
Σχήμα 5.4: α) Σχεδίαση του AEC flip-flop σε επίπεδο τρανζίστορ και β) η αρχή λειτουργίας.....	119
Σχήμα 5.5: Σχεδίαση της μονάδας του ανιχνευτή μετάβασης με πύλες .....	119
Σχήμα 5.6: Υλοποίηση της μονάδας ανιχνευτή μεταευστάθειας με τρανζίστορ .....	120
Σχήμα 5.7: Η δομή διοχέτευσης ενός μικροεπεξεργαστή.....	121
Σχήμα 5.8: Η μονάδα ελέγχου η οποία διαχειρίζεται το σήμα του ρολογιού σε επίπεδο πυρήνα .....	122
Σχήμα 5.9: Ανάκαμψη της δομής διοχέτευσης.....	122
Σχήμα 5.10: Απαιτήσεις για την προστασία και τον περιορισμό ελάχιστου χρόνου στα flip-flop α) στις τεχνικές Razor ή Time Delation και β) στις τεχνικές EDC και TET .....	124
Σχήμα 5.11: Διάγραμμα διάταξης μικροεπεξεργαστή.....	126
Σχήμα 5.12: Κυματομορφές προσομοίωσης του μικροεπεξεργαστή MIPS.....	127
Σχήμα 5.13: Γραφήματα σύγκρισης των τεσσάρων τεχνικών .....	128
Σχήμα 5.14: Κυματομορφές της τεχνικής TET στο λογικό αναλυτή TLA5202B της Tektronix.....	130
Σχήμα 5.15: α) Η φωτογραφία του ολοκληρωμένου κυκλώματος και β) ο φυσικός σχεδιασμός του μικροεπεξεργαστή και η διασύνδεσή του με τους ακροδέκτες του ολοκληρωμένου κυκλώματος.....	131



Σχήμα 5.16: Πλακέτα διασύνδεσης του ολοκληρωμένου κυκλώματος με τον εργαστηριακό εξοπλισμό .....	132
Σχήμα 5.17: Εργαστηριακός εξοπλισμός με τον παλμογράφο Infiniium DSO81204B της Agilent και την γεννήτρια συχνοτήτων Anritsu ME522A TRANSMITTER .....	133
Σχήμα 5.18: Το ολοκληρωμένο κύκλωμα με αριθμημένους τους ακροδέκτες του .....	134
Σχήμα 5.19: Κυματομορφές των σημάτων του ρολογιού, της υπογραφής και της ένδειξης λάθους στα 200 MHz με τάση τροφοδοσίας 1.2V .....	134
Σχήμα 5.20: Κυματομορφές των σημάτων του ρολογιού, της υπογραφής και της ένδειξης λάθους στα 200MHz με τάση τροφοδοσίας 0.987V .....	135



## ΚΑΤΑΛΟΓΟΣ ΠΙΝΑΚΩΝ

Πίνακας 1.1: Πίνακας αληθείας για την πύλη NAND.....	39
Πίνακας 3.1: Χαρακτηριστικά μικροεπεξεργαστή.....	95
Πίνακας 3.2: Συγκριτικά αποτελέσματα .....	96
Πίνακας 4.1: Χαρακτηριστικά του μικροεπεξεργαστή MIPS.....	111
Πίνακας 4.2: Συγκριτικά αποτελέσματα στον μικροεπεξεργαστή MIPS .....	112
Πίνακας 5.1: Χαρακτηριστικά του μικροεπεξεργαστή.....	126
Πίνακας 5.2: Συγκριτικά αποτελέσματα στον MIPS μικροεπεξεργαστή .....	129
Πίνακας 5.3: Συγκριτικά αποτελέσματα στο κύκλωμα μετρήσεων και δοκιμής pci_bridge32.....	129



## ΠΡΟΛΟΓΟΣ

Η παρούσα διδακτορική διατριβή εκπονήθηκε στο πλαίσιο του μεταπτυχιακού προγράμματος σπουδών του τμήματος Πληροφορικής και Τηλεπικοινωνιών του Εθνικού και Καποδιστριακού Πανεπιστημίου Αθηνών. Το αντικείμενο μελέτης της είναι ο σχεδιασμός και η ανάπτυξη τεχνικών ανίχνευσης και διόρθωσης λαθών χρονισμού σε ολοκληρωμένα κυκλώματα νανομετρικών τεχνολογιών.

Καθώς το ενδιαφέρον για τις τεχνικές αξιοπιστίας και έλεγχου ορθής λειτουργίας αυξάνεται συνεχώς, η επιλογή της ανάπτυξης τεχνικών ελέγχου είναι αναπόσπαστο στοιχείο της διαδικασίας σχεδίασης ολοκληρωμένων κυκλωμάτων. Στο πλαίσιο της διατριβής προτάθηκαν τρεις τεχνικές που συμβάλλουν στην αξιοπιστία των κυκλωμάτων.

Για την επαλήθευση των προτεινόμενων τεχνικών διενεργήθηκαν πειράματα αξιοποιώντας τον εξοπλισμό του εργαστηρίου αρχιτεκτονικής υπολογιστών του τμήματος Μηχανικών Η/Υ και Πληροφορικής του Πανεπιστημίου Ιωαννίνων. Σε αυτό το σημείο θα ήθελα να ευχαριστήσω τον Αναπληρωτή Καθηγητή Γεώργιο Τσιατούχα για την ανεκτίμητη βοήθεια και για τον πολύτιμο χρόνο που διέθεσε για την ολοκλήρωση των πειραμάτων.

Κατά τη διάρκεια της εκπόνησης του διδακτορικού αποκτήθηκε σημαντική εμπειρία στη σχεδίαση κυκλωμάτων με τη χρήση των εργαλείων σχεδίασης της Cadence Design Systems, καθώς επίσης και στη διαδικασία υλοποίησης ASIC κυκλωμάτων, καθώς σχετικό κύκλωμα κατασκευάστηκε μέσω της υπηρεσίας EUROPRACTICE IC που προσφέρουν στα πανεπιστήμια τα ερευνητικά ινστιτούτα IMEC του Βελγίου και Fraunhofer της Γερμανίας. Είμαι ευγνώμων προς όλους τους φίλους και συνεργάτες που κατέστησαν εφικτή την εκτέλεση των πειραμάτων στο κατασκευασμένο ολοκληρωμένο κύκλωμα. Ο Erwin Deumens και η Christianne Van Cutsem του ινστιτούτου IMEC, πρόσφεραν σημαντικές πληροφορίες και βοήθεια για την αποστολή του φυσικού σχεδιασμού του ολοκληρωμένου κυκλώματος στο εργοστάσιο κατασκευής. Επίσης, θα ήθελα να ευχαριστήσω τον διδάκτορα του τμήματος Πληροφορικής και Τηλεπικοινωνιών Σωτήριο Ματακιά για τη σχεδίαση και κατασκευή της πλακέτας (PCB) που χρησιμοποιήθηκε στα πειράματα και τους διδάκτορες του εργαστηρίου οπτικοηλεκτρονικής, του ίδιου τμήματος, που παρείχαν τον απαραίτητο εργαστηριακό εξοπλισμό.

Τέλος, πρέπει να σημειωθεί ότι η ερευνητική εργασία υποστηρίχθηκε από την Ευρωπαϊκή Ένωση - Ευρωπαϊκό Κοινωνικό Ταμείο (ΕΚΤ) και από Εθνικούς Πόρους, στο πλαίσιο του ερευνητικού προγράμματος "Θαλής", μέσω του Επιχειρησιακού Προγράμματος "Εκπαίδευση και Δια Βίου Μάθηση" (ΕΠΕΔΒΜ).



## 1. ΕΙΣΑΓΩΓΗ

### 1.1 Αξιοπιστία και έλεγχος ορθής λειτουργίας

Η συνεχής κλιμάκωση του μεγέθους των τρανζίστορ και η μείωση της τάσης τροφοδοσίας επηρεάζουν τα περιθώρια θορύβου των κυκλωμάτων, αυξάνουν τις διακυμάνσεις της κατασκευαστικής διαδικασίας και επιταχύνουν τους μηχανισμούς γήρανσης, οι οποίοι απειλούν την αξιόπιστη λειτουργία των συστημάτων VLSI στις νανομετρικές τεχνολογίες. Σε αυτό το πλαίσιο, ο ρυθμός εμφάνισης λαθών χρονισμού αυξάνει πάνω από τα επιτρεπτά όρια που ορίζουν οι προδιαγραφές, καθώς διευρύνονται οι αποκλίσεις των καθυστερήσεων στα συνδυαστικά μονοπάτια των κυκλωμάτων. Αν και εφαρμόζονται εξελιγμένες διαδικασίες ελέγχου, αυτές δεν είναι επαρκείς ώστε να εξετάσουν το μεγάλο αριθμό των μονοπατιών σε ψηφιακά κυκλώματα υψηλής πολυπλοκότητας και συνεπώς δεν είναι εφικτός ο εντοπισμός όλων των ολοκληρωμένων κυκλωμάτων που παρουσιάζουν σφάλματα χρονισμού. Ως εκ τούτου, ένας σημαντικός αριθμός από εσφαλμένα ολοκληρωμένα κυκλώματα μπορεί να διαφύγει από τον έλεγχο στο εργοστάσιο κατασκευής. Η κατάσταση επιδεινώνεται καθώς οι δυσκολίες στην επαλήθευση του χρονισμού κατά τη διαδικασία της σχεδίασης αυξάνουν περαιτέρω την πιθανότητα παρουσίας σφαλμάτων χρονισμού.

Απαραίτητη πιστοποίηση για τα ηλεκτρονικά συστήματα είναι η επιβεβαίωση της αξιόπιστης λειτουργίας τους σύμφωνα με τις προδιαγραφές. Συνεπώς, κάθε κύκλωμα μετά την κατασκευή του θα πρέπει να ελεγχθεί ως προς την ορθή του λειτουργία (manufacturing off-line testing). Ο έλεγχος αυτός στοχεύει στην ανίχνευση αστοχιών (failures) οι οποίες οφείλονται σε κατασκευαστικά ελαττώματα και βλάβες (defects) ή σε ακραίες διακυμάνσεις των κυκλωματικών παραμέτρων. Σήμερα, σε πληθώρα περιπτώσεων, ο έλεγχος της ορθής λειτουργίας απαιτείται να επιτελείται κατά τη λειτουργία ενός κυκλώματος καθ' όλο το χρόνο ζωής του (on-line testing), με σκοπό την ανίχνευση διαφόρων αστοχιών οι οποίες οφείλονται στη γήρανση, σε περιβαλλοντικές αλλαγές, σε διακυμάνσεις της τάσης τροφοδοσίας κ.ά. Ο εν λειτουργία έλεγχος της ορθής λειτουργίας διακρίνεται σε περιοδικό (periodic testing) και ταυτόχρονο (concurrent). Ο περιοδικός έλεγχος της ορθής λειτουργίας εκτελείται όσο το σύστημα βρίσκεται σε κατάσταση αναμονής (idle) ενώ ο ταυτόχρονος έλεγχος της ορθής λειτουργίας πραγματοποιείται κατά την κανονική λειτουργία του συστήματος (normal mode).

Ο έλεγχος της ορθής λειτουργίας επιτυγχάνεται με τη χρήση κατάλληλων διανυσμάτων έλεγχου (test vectors ή patterns), δηλαδή κατάλληλων τιμών στις εισόδους, οι οποίες εφαρμόζονται στο κύκλωμα ώστε να επαληθεύσουμε ότι αποκρίνεται σωστά. Η εύρεση των απαραίτητων διανυσμάτων έλεγχου είναι ένα εξαιρετικά σύνθετο πρόβλημα στα σύγχρονα νανομετρικά ολοκληρωμένα κυκλώματα. Αυτόματες γεννήτριες διανυσμάτων έλεγχου (Automatic Test Pattern Generations - ATPG) έχουν αναπτυχθεί ώστε να απλουστευθεί η όλη διεργασία. Επίσης, γίνεται χρήση αυτόματου εξοπλισμού έλεγχου ορθής λειτουργίας (Automatic Test Equipment - ATE) για την εφαρμογή των διανυσμάτων στα κυκλώματα και την παρακολούθηση των αποκρίσεών τους ώστε να επιταχυνθεί η διαδικασία.

Γενικά, ο έλεγχος ορθής λειτουργίας είναι μια περίπλοκη διεργασία, και σήμερα απαιτείται η εφαρμογή σχεδιαστικών προσεγγίσεων που στοχεύουν στη διευκόλυνσή της. Αυτές οι προσεγγίσεις είναι γνωστές κάτω από τον τίτλο σχεδίαση για τον έλεγχο ορθής λειτουργίας (design for testability - DFT) και επιτυγχάνονται με την ενσωμάτωση στο σχεδιαζόμενο κύκλωμα κατάλληλων

δομών έλεγχου. Η παρούσα διατριβή επικεντρώνεται στον ταυτόχρονο εν λειτουργία έλεγχο ορθής λειτουργίας (concurrent on-line testing) ψηφιακών κυκλωμάτων.

## 1.2 Ο έλεγχος ορθής λειτουργίας

Μόλις ένα ολοκληρωμένο κύκλωμα κατασκευαστεί πρέπει να επαληθευτεί εφαρμόζοντας σε αυτό κατάλληλες τιμές και ελέγχοντας τις αποκρίσεις του. Ωστόσο, ο έλεγχος ορθής λειτουργίας δεν είναι η επαλήθευση της σχεδίασης, αλλά οι ενέργειες που πραγματοποιούνται στο ολοκληρωμένο κύκλωμα για την ανίχνευση πιθανών κατασκευαστικών ελαττωμάτων, βλαβών ή ατελειών. Εξετάζεται δηλαδή η κατασκευαστική ορθότητα, αν υπάρχουν ατέλειες στο δισκίο (wafer) κατά την διαδικασία της κατασκευής του ολοκληρωμένου κυκλώματος στο εργοστάσιο. Υπάρχουν δυο κύριες κατηγορίες ελέγχου ορθής λειτουργίας, ο παραμετρικός και ο λειτουργικός. Η πρώτη κατηγορία αφορά τις παραμέτρους του κυκλώματος, όπως η συχνότητα ή το ρεύμα τροφοδοσίας. Σε αυτή την περίπτωση το κύκλωμα πρέπει να λειτουργεί χωρίς προβλήματα στις τιμές που ορίζουν οι προδιαγραφές. Η δεύτερη κατηγορία αφορά τον έλεγχο της λογικής λειτουργίας ενός κυκλώματος.

Ένα βασικό στοιχείο για την επίτευξη του ελέγχου ορθής λειτουργίας είναι η σχεδίαση για τον έλεγχο ορθής λειτουργίας (design for testability – DFT). Για την πιο εύκολη και αποτελεσματική εφαρμογή του ελέγχου ορθής λειτουργίας είναι σημαντικό να ενσωματώσουμε δομές ελέγχου μέσα στο κύκλωμα. Η ευκολία και η αποτελεσματικότητα αναφέρονται στη δημιουργία των κατάλληλων διανυσμάτων ελέγχου και στην αποδοτική διαδικασία της εφαρμογής τους.

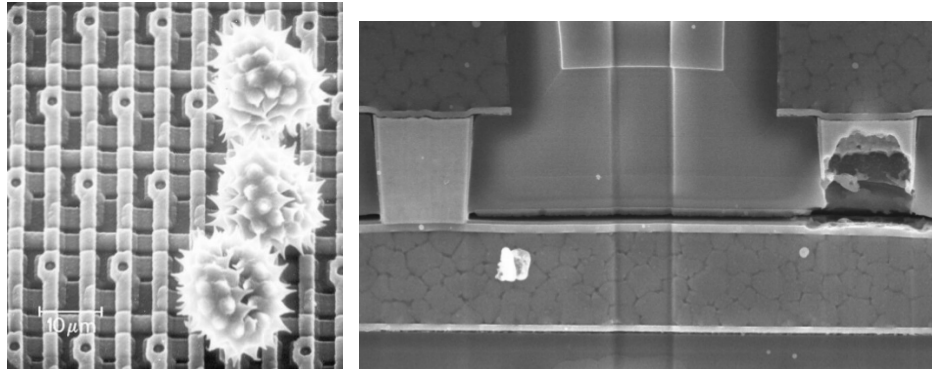
Είναι δεδομένο σήμερα, ότι βασικός στόχος των σχεδιαστών, εκτός από την ανάπτυξη ολοκληρωμένων κυκλωμάτων με υψηλή ταχύτητα λειτουργίας, χαμηλή κατανάλωση ισχύος και ελάχιστη επιφάνεια πυριτίου, είναι η υψηλή δυνατότητα επίτευξης του ελέγχου της ορθής λειτουργίας.

## 1.3 Κατασκευαστικά ελαττώματα, σφάλματα και λάθη

Ως κατασκευαστικό ελάττωμα (defect) ορίζουμε την ανεπιθύμητη διαφορά μεταξύ του κυκλώματος που υλοποιήθηκε και του κυκλώματος του αρχικού σχεδιασμού. Τα κατασκευαστικά ελαττώματα εκδηλώνονται στο ηλεκτρικό επίπεδο ως αστοχίες (failures). Για παράδειγμα, η επικάλυψη ενός σωματιδίου μεταξύ δύο μετάλλων μπορεί να εκδηλωθεί ως βραχυκύκλωμα. Η μεταφορά από το φυσικό επίπεδο στο ηλεκτρικό επίπεδο διευκολύνει την διαδικασία ανίχνευσης των κατασκευαστικών ελαττωμάτων. Ενδεικτικά, μερικοί από τους πιο σημαντικούς μηχανισμούς δημιουργίας αστοχιών είναι οι ακόλουθοι:

- Διάτρηση οξειδίου (υψηλά ηλεκτρικά πεδία, περιοχές λεπτού οξειδίου)
- Οπές στο υλικό μόνωσης
- Κομμένα μέταλλα
- Ηλεκτρομετανάστευση ατόμων μετάλλου
- Επικάλυψη εξωγενών σωματιδίων





Σχήμα 1.1: Μικροφωτογραφίες κατασκευαστικών ελαττωμάτων

Στο Σχήμα 1.1 παρουσιάζονται δύο φωτογραφίες από ηλεκτρονικό μικροσκόπιο όπου η πρώτη δείχνει την επικάλυψη τριών σωματιδίων με αποτέλεσμα τη βραχυκύκλωση πολλαπλών γραμμών ενώ η δεύτερη παρουσιάζει μία κομμένη γραμμή. Οι μηχανισμοί που αναφέρθηκαν αφορούν τα διάφορα στάδια κατασκευής του ολοκληρωμένου κυκλώματος, τα οποία είναι επαναλήψεις διαδικασιών εναπόθεσης αγώγιμων ή μονωτικών υλικών, οξειδώσεων, φωτολιθογραφίας και εγχάραξης. Άλλες αιτίες για τις φυσικές ατέλειες είναι οι διακυμάνσεις στην κατασκευαστική διαδικασία ενώ συχνά τα ελαττώματα οφείλονται και σε ανθρώπινα λάθη από κακομεταχείριση των δισκίων ή των εξαρτημάτων επεξεργασίας.

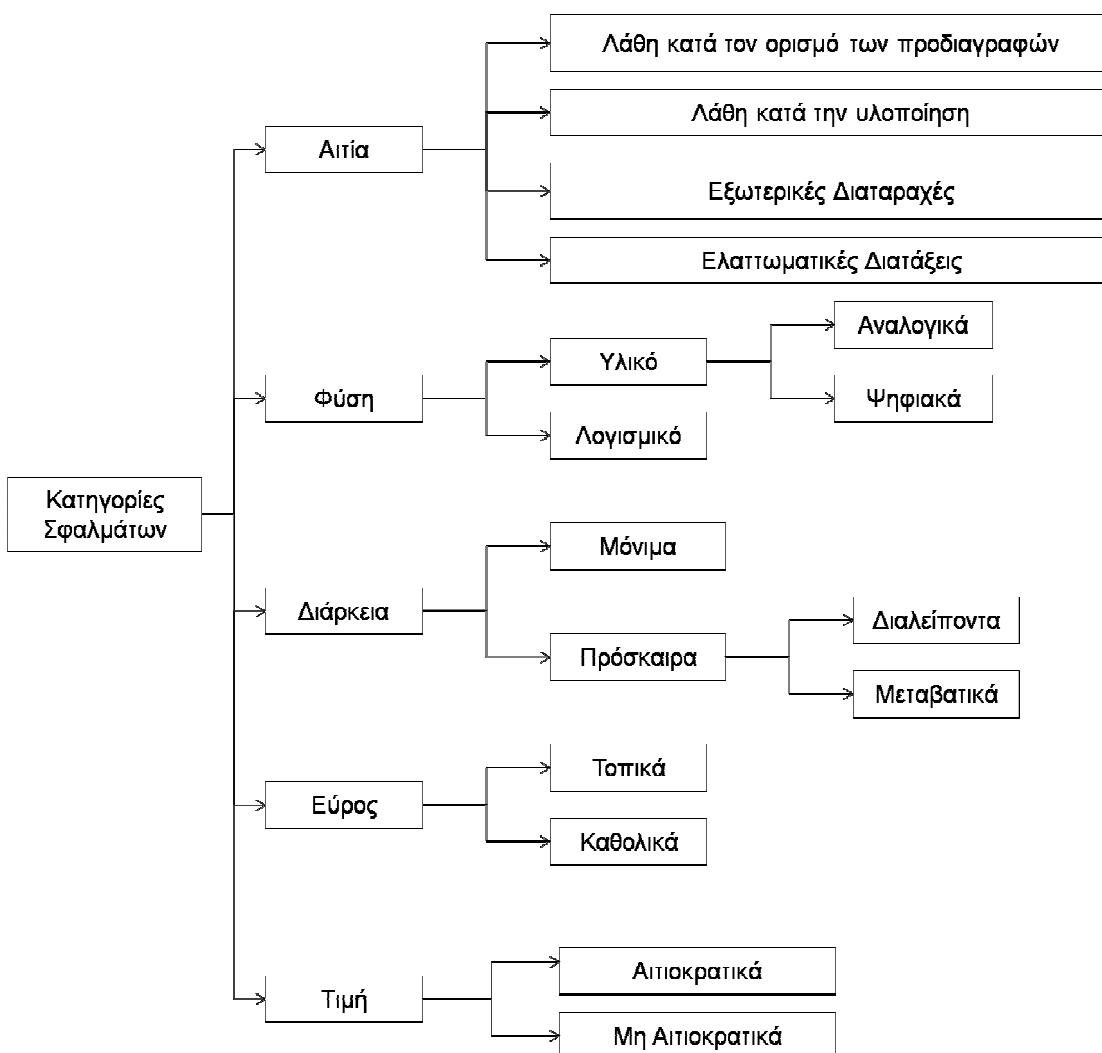
Ως σφάλμα ορίζεται η αναπαράσταση (συνήθως σε λογικό επίπεδο) ενός κατασκευαστικού ελαττώματος. Χρησιμοποιείται για την περιγραφή της αλλαγής στη λογική λειτουργία ενός κυκλώματος, η οποία οφείλεται σε ένα κατασκευαστικό ελάττωμα. Με αυτό τον τρόπο μειώνονται οι συνθήκες που πρέπει να ληφθούν υπόψη για τη δημιουργία των ελέγχων που θα υποβληθεί το υλοποιημένο κύκλωμα. Μοντέλο σφαλμάτων είναι μία συλλογή σφαλμάτων, τα οποία βασίζονται στο ίδιο σύνολο υποθέσεων σχετικά με τη φύση των κατασκευαστικών ελαττωμάτων.

Τέλος, ως λάθος ορίζουμε την εσφαλμένη απόκριση ενός ελαττωματικού συστήματος. Για παράδειγμα, η τιμή μίας γραμμής μπορεί να είναι μόνιμα στο λογικό 1 εξ αιτίας ενός βραχυκυκλώματος. Αν λόγω των δεδομένων της εισόδου του κυκλώματος απαιτείται η μετάβαση της γραμμής στο λογικό 0, τότε η τιμή της θα είναι λανθασμένη.

#### 1.4 Κατηγορίες σφαλμάτων

Σε αυτή την ενότητα παρουσιάζεται η κατηγοριοποίηση των σφαλμάτων [1], [2]. Το Σχήμα 1.2 παρουσιάζει διάγραμμα με τις κατηγορίες των σφαλμάτων. Με βάση την αιτία τα σφάλματα διαχωρίζονται σε λάθη κατά τον ορισμό των προδιαγραφών, σε λάθη κατά την υλοποίηση, σε εξωτερικές διαταραχές και σε ελαττωματικές διατάξεις.

Τα σφάλματα κατά τον ορισμό των προδιαγραφών περιλαμβάνουν λανθασμένους αλγόριθμους, αρχιτεκτονικές ή σχεδιαστικές προδιαγραφές τόσο σε υλικό όσο και σε λογισμικό. Για παράδειγμα αν δεν οριστούν σωστά οι χρονικοί περιορισμοί όλων των επιμέρους κυκλωμάτων σε ένα σχεδιασμό, δεν εξασφαλίζεται η ορθή λειτουργία του τελικού κυκλώματος.



**Σχήμα 1.2: Κατηγορίες σφαλμάτων με βάση την αιτία, τη φύση, τη διάρκεια, το εύρος και την τιμή.**

Τα λάθη κατά την υλοποίηση των κυκλωμάτων είναι επίσης συνηθισμένη αιτία δημιουργίας σφαλμάτων. Για παράδειγμα, αν δεν ικανοποιούνται οι κανόνες σχεδίασης της τεχνολογίας όπως η ελάχιστη απόσταση των μετάλλων είναι πιθανή δημιουργία βραχυκυκλωμάτων. Επίσης, αυτή η κατηγορία περιλαμβάνει τα σχεδιαστικά λάθη τα οποία δεν αναδεικνύονται κατά τη διαδικασία της επαλήθευσης.

Τα σφάλματα λόγω εξωτερικών διαταραχών οφείλονται στη λειτουργία των συστημάτων σε ακραίες συνθήκες. Για παράδειγμα, αν ένα κύκλωμα υποβληθεί σε ακραίες διακυμάνσεις θερμοκρασίας οι αποκρίσεις του μπορεί να είναι λανθασμένες. Επίσης, λάθη μπορεί να προκληθούν από την επίδραση ακτινοβολίας ή ηλεκτρομαγνητικών παρεμβολών (electromagnetic interference – EMI). Επιπλέον, τα ηλεκτρονικά συστήματα είναι συνήθως ευαίσθητα σε ηλεκτροστατικές πηγές όπως κεραυνούς ή άλλες αιτίες που σχετίζονται με καιρικά φαινόμενα. Τέλος, σε αυτή την κατηγορία ανήκει η λανθασμένη διαχείριση των συστημάτων από τους χρήστες.

Η πιο συνηθισμένη αιτία σφαλμάτων είναι η ύπαρξη ελαττωματικών διατάξεων, από τις οποίες αποτελείται ένα σύστημα. Όπως προαναφέρθηκε, στις κυριότερες

αιτίες των ελαττωμάτων ανήκουν οι ατέλειες στη διαδικασία της κατασκευής ολοκληρωμένων κυκλωμάτων και τα τυχαία κατασκευαστικά ελαττώματα όπως η επικάλυψη εξωγενών σωματιδίων, η διάτρηση του μονωτικού υλικού και τα κομμένα ή βραχυκυκλωμένα μέταλλα. Η φθορά των επιμέρους διατάξεων ενός συστήματος λόγω της γήρανσης είναι επίσης σημαντικός παράγοντας δημιουργίας ελαττωμάτων. Τα κατασκευαστικά ελαττώματα δεν περιορίζονται μόνο στην ψηφίδα (die) αλλά περιλαμβάνουν ελαττώματα στο επίπεδο της συσκευασίας (package) των ολοκληρωμένων κυκλωμάτων όπως η αποσύνδεση των ακροδεκτών ή η διάβρωση των μετάλλων.

Επίσης, τα σφάλματα διαχωρίζονται με βάση τη διάρκεια σε μόνιμα (permanent) και πρόσκαιρα (temporary). Τα μεταβατικά (transient) και διαλείποντα (intermittent) σφάλματα είναι οι δύο υποκατηγορίες των πρόσκαιρων σφαλμάτων.

Τα μεταβατικά σφάλματα είναι μη επαναλαμβανόμενα και οφείλονται είτε σε εξωγενείς παράγοντες όπως ακτινοβολίες, θόρυβος και διαταραχές στις τάσεις τροφοδοσίας [3], [4]. Τα διαλείποντα σφάλματα εμφανίζονται επαναληπτικά στο χρόνο και μπορεί να οφείλονται: α) σε οριακές σχεδιαστικές παραμέτρους (π.χ. προβλήματα χρονισμού εξ αιτίας συνθηκών ανταγωνισμού (races), στιγμιαίων μεταβάσεων (hazards), αποκλίσεις στα σήματα ρολογιού (skews) ή ακεραιότητας των σημάτων (signal integrity) με παράδειγμα την αλληλεπίδραση μεταξύ σημάτων (crosstalk), β) σε μηχανισμούς γήρανσης/φθοράς (aging/wear-out) των ολοκληρωμένων (π.χ. υποβάθμιση των παραμέτρων των κυκλωματικών στοιχείων), γ) σε φαινόμενα ηλεκτρομετανάστευσης (electro-migration) και δ) σε συνδυασμό των ανωτέρω περιπτώσεων με εξωγενείς παράγοντες (π.χ. θερμοκρασία, διαταραχές της τροφοδοσίας κ.ά.) [5].

Τα μόνιμα σφάλματα δεν αναιρούνται με την πάροδο του χρόνου. Οφείλονται σε αστοχίες των διατάξεων των κυκλωμάτων, σε κατασκευαστικές ατέλειες ή σχεδιαστικά λάθη. Τα μεταβατικά και τα διαλείποντα σφάλματα είναι πιο δύσκολο να ανιχνευτούν καθώς υπάρχει η πιθανότητα να μην εμφανιστούν ξανά κατά τη ζωή του κυκλώματος.

Η φύση ενός σφάλματος σε ένα σύστημα σχετίζεται με τον εντοπισμό του στο υλικό ή στο λογισμικό. Τα σφάλματα στο υλικό διαχωρίζονται είτε σε αναλογικά (π.χ. σφάλμα στη τροφοδοσία) είτε σε ψηφιακά (π.χ. βραχυκύκλωμα). Ένα παράδειγμα σφάλματος λογισμικού είναι όταν μία διεργασία βρεθεί σε μία κατάσταση όπου αποτρέπεται η συνέχιση της εκτέλεσής της.

Το εύρος του σφάλματος καθορίζεται από την περιοχή η οποία επηρεάζεται. Θεωρούμε τοπικά σφάλματα αυτά που επηρεάζουν μία μόνο διάταξη και καθολικά σφάλματα αυτά που επηρεάζουν πολλαπλές διατάξεις. Για λόγους κόστους, οι περισσότεροι έλεγχοι που εφαρμόζονται στοχεύουν στην ανίχνευση ενός μόνο σφάλματος. Τα πολλαπλά σφάλματα απαιτούν πιο εκτενή μοντέλα σφαλμάτων. Ωστόσο, τα πολλαπλά σφάλματα είναι πιο συνηθισμένα στα VLSI κυκλώματα. Επιπρόσθετα, οι εξωτερικές διαταραχές έχουν καθολική επίδραση, ειδικά σε κυκλώματα που υπόκεινται σε ηλεκτρομαγνητικές παρεμβολές και ακτινοβολία ιονισμένων σωματιδίων.

Τα σφάλματα διαχωρίζονται με βάση την τιμή ως αιτιοκρατικά και μη αιτιοκρατικά. Για παράδειγμα, η βραχυκύκλωση μίας γραμμής με τη γείωση είναι ένα αιτιοκρατικό σφάλμα το οποίο έχει αποτέλεσμα μία γραμμή με μόνιμη λογική τιμή 0. Υπό την παρουσία ενός μη αιτιοκρατικού σφάλματος δεν μπορεί να προβλεφτεί η λογική τιμή του κυκλώματος. Για παράδειγμα, η συμπεριφορά μίας πύλης της οποίας η είσοδος κυμαίνεται μεταξύ της λογικής τιμής 1 και 0 δεν μπορεί να

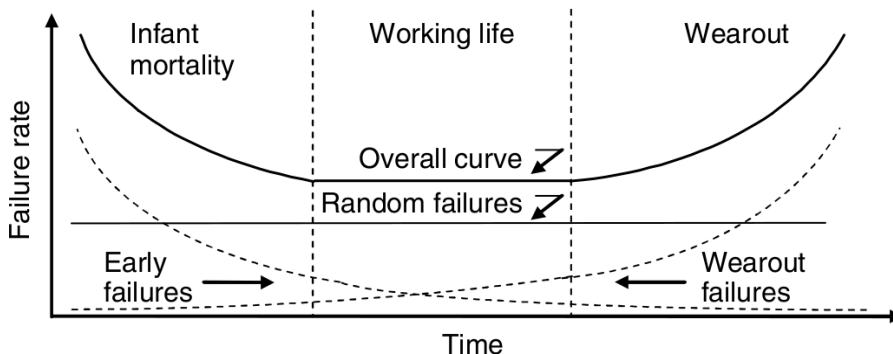
αναπαρασταθεί με μία απλή λογική τιμή. Χαρακτηριστικό των μη αιτιοκρατικών σφαλμάτων είναι ότι επηρεάζουν τους χρόνους διάδοσης αλλά και τις ηλεκτρικές παραμέτρους, καθιστώντας τα δύσκολα να μοντελοποιηθούν.

### 1.5 Κατασκευαστική απόδοση και κάλυψη σφαλμάτων

Ένα ποσοστό των κατασκευασμένων ολοκληρωμένων κυκλωμάτων αναμένεται να είναι ελαττωματικό λόγω των κατασκευαστικών ατελειών. Η απόδοση (yield) της κατασκευαστικής διαδικασίας ορίζεται ως ο λόγος του αριθμού των αποδεκτών ολοκληρωμένων κυκλωμάτων στο δισκίο (wafer) προς τον συνολικό αριθμό των ολοκληρωμένων κυκλωμάτων στο δισκίο.

Υπάρχουν δύο είδη απώλειας απόδοσης (yield loss): η καταστροφική και η παραμετρική. Η καταστροφική απώλεια απόδοσης οφείλεται σε τυχαίες κατασκευαστικές ατέλειες, και η παραμετρική απώλεια απόδοσης οφείλεται σε διακυμάνσεις της διαδικασίας κατασκευής (process variations). Η αυτοματοποίηση και οι βελτιώσεις στη διαδικασία κατασκευής των ολοκληρωμένων κυκλωμάτων μειώνει δραστικά την πυκνότητα των σωματιδίων που δημιουργούν τυχαίες κατασκευαστικές ατέλειες. Κατά συνέπεια οι παραμετρικές μεταβολές που προκύπτουν από τις διακυμάνσεις της διαδικασίας κατασκευής γίνονται η κυρίαρχη αιτία για την απώλεια απόδοσης.

Οι μέθοδοι που χρησιμοποιούνται για τον περιορισμό των διακυμάνσεων κατά τη διαδικασία της κατασκευής αναφέρονται γενικά ως σχεδίαση για την απόδοση (design for yield – DFY). Οι μέθοδοι υλοποίησης κυκλωμάτων για την αποφυγή των τυχαίων κατασκευαστικών ατελειών αναφέρονται ως σχεδίαση για τη δυνατότητα κατασκευής (design for manufacturability – DFM). Γενικά κάθε μέθοδος DFM βοηθάει στην αύξηση της κατασκευαστικής απόδοσης και επομένως μπορεί να θεωρηθεί ως μέθοδος DFY. Η κατασκευαστική απόδοση σχετίζεται με το ρυθμό των αστοχιών. Το Σχήμα 1.3 παρουσιάζει το διάγραμμα αστοχιών ενός τυπικού συστήματος υποδεικνύοντας τον τρόπο με τον οποίο οι τυχαίες αστοχίες και οι αστοχίες κατά το αρχικό και το τελικό στάδιο της ζωής του κυκλώματος συμβάλλουν στο συνολικό ρυθμό αστοχιών του συστήματος.



Σχήμα 1.3: Καμπύλη του ρυθμού αστοχιών ενός ολοκληρωμένου κυκλώματος σε σχέση με το χρόνο

Στο αρχικό στάδιο κατασκευής των ολοκληρωμένων κυκλωμάτων παρουσιάζεται υψηλός ρυθμός αστοχιών (περίοδος παιδικής θνησιμότητας - infant mortality). Αυτές οι αστοχίες οφείλονται κυρίως στην κακή σχεδίαση του κυκλώματος ή στην διαδικασία κατασκευής που οδηγεί σε κακή ποιότητα των προϊόντων. Κατά την

περίοδο της λειτουργίας των κυκλωμάτων από το χρήστη (working life), ο ρυθμός αστοχίας είναι σταθερός και οφείλεται σε τυχαία εμφανιζόμενες αστοχίες. Η περίοδος φθοράς (wearout) υποδεικνύει το τελικό στάδιο της ζωής του προϊόντος, όπου ο ρυθμός των αστοχιών αυξάνεται. Οι αστοχίες σε αυτή την περίοδο οφείλονται στη γήρανση των κυκλωμάτων. Κάποια εμπορικά ηλεκτρονικά προϊόντα συνήθως δεν εισέρχονται σε αυτή την περίοδο καθώς αντικαθίστανται από τις νεότερες εκδόσεις τους εξ αιτίας της τεχνολογικής εξέλιξης. Εκ των πραγμάτων όμως στα συστήματα όπου η αξιοπιστία είναι σημαντική προδιαγραφή της σχεδίασής, θα πρέπει να υπάρχουν μηχανισμοί αντιμετώπισης του αυξημένου ρυθμού αστοχιών.

Κατά τον έλεγχο των ολοκληρωμένων κυκλωμάτων μπορεί να προκύψουν οι δύο ακόλουθες ανεπιθύμητες καταστάσεις: πρώτον ένα ελαττωματικό ολοκληρωμένο κύκλωμα εμφανίζεται να είναι αποδεκτό περνώντας τον έλεγχο και δεύτερον ένα μη ελαττωματικό ολοκληρωμένο κύκλωμα αποτυγχάνει στον έλεγχο και εμφανίζεται ως ελαττωματικό. Αυτά τα δύο ενδεχόμενα οφείλονται συχνά σε κακώς σχεδιασμένη διαδικασία έλεγχου ορθής λειτουργίας (test) ή στην έλλειψη σχεδίασης για τον έλεγχο ορθής λειτουργίας (design for testability – DFT). Με βάση την πρώτη παρατήρηση, και με δεδομένο ότι όλα τα προϊόντα θα υποβληθούν σε έλεγχο, κάποια ελαττωματικά κυκλώματα θα περάσουν με επιτυχία αυτόν τον έλεγχο και θα χρησιμοποιηθούν στο τελικό κατασκευασμένο ηλεκτρονικό σύστημα. Όταν αυτά τα ελαττωματικά κυκλώματα επιστραφούν στον κατασκευαστή υποβάλλονται στη διαδικασία ανάλυσης της αστοχίας (failure mode analysis – FMA) για την πιθανή βελτίωση των διαδικασιών της σχεδίασης και της κατασκευής των ολοκληρωμένων κυκλωμάτων [6].

Ο λόγος του αριθμού των απορριφθέντων ολοκληρωμένων κυκλωμάτων προς το συνολικό αριθμό των ολοκληρωμένων κυκλωμάτων που υποβάλλονται σε έλεγχο ορίζεται ως ρυθμός απόρριψης (reject rate). Επίσης, αναφέρεται ως επίπεδο κατασκευαστικών ατελειών (defect level). Για ένα δεδομένο ολοκληρωμένο κύκλωμα, οι συγγραφείς στην εργασία [7] έδειξαν ότι το επίπεδο κατασκευαστικών ατελειών DL είναι συνάρτηση της απόδοσης  $Y$  και της κάλυψης σφαλμάτων FC (δηλαδή το ποσοστό ενός τύπου σφαλμάτων που μπορεί να ανιχνευτεί κατά τον έλεγχο ενός κυκλώματος):  $DL = 1 - Y^{(1-FC)}$ . Το επίπεδο κατασκευαστικών ατελειών παρέχει μία ένδειξη της συνολικής ποιότητας της διαδικασίας ελέγχου [8] [9] [10].

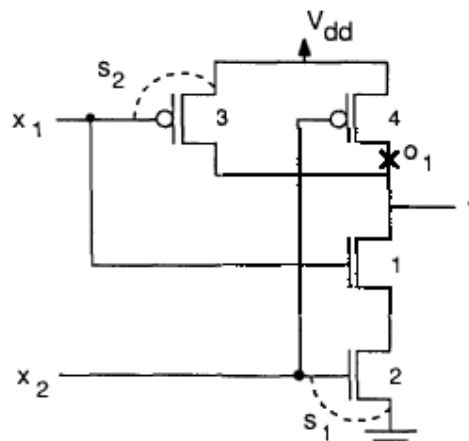
Σε γενικές γραμμές, το επίπεδο κατασκευαστικών ατελειών θεωρείται αποδεκτό αν στο σύνολο ενός εκατομμυρίου κυκλωμάτων απορριφθούν 500 κυκλώματα. Στην περίπτωση που απορριφθούν 100 ή λιγότερα τότε αναφερόμαστε σε υψηλή ποιότητα κατασκευής.

## 1.6 Μοντέλα μόνιμων σφαλμάτων

Αν προσπαθούσαμε να εξάγουμε διανύσματα ελέγχου για κάθε πιθανή αστοχία σε ένα ολοκληρωμένο κύκλωμα, το πρόβλημα θα γινόταν σύντομα μη διαχειρίσιμο. Για την επιτυχή αντιμετώπιση του προβλήματος, αναπαριστούμε τις αστοχίες των ολοκληρωμένων κυκλωμάτων σε ένα υψηλότερο επίπεδο με τη βοήθεια ενός μοντέλου σφαλμάτων [11] [12] [13] [14] [15] [16]. Κάθε σφάλμα από τα μοντέλα σφαλμάτων μπορεί να αναπαραστήσει πολλές αστοχίες. Επομένως η χρήση των μοντέλων σφαλμάτων επιταχύνει τη διαδικασία δημιουργίας διανυσμάτων ελέγχου. Τυπικά μοντέλα σφαλμάτων που συνήθως χρησιμοποιούνται στα κυκλώματα CMOS είναι τα:

- Σφάλμα Μόνιμης Τιμής (Stuck-At Fault): ένας κόμβος του κυκλώματος εμφανίζει μόνιμα την ίδια λογική τιμή.
- Σφάλμα Μόνιμα μη Αγώγιμου Τρανζίστορ (Transistor Stuck-Open): ένα τρανζίστορ είναι μόνιμα σε μη αγώγιμη κατάσταση.
- Σφάλμα Μόνιμα Αγώγιμου Τρανζίστορ (Transistor Stuck-On): ένα τρανζίστορ είναι μόνιμα σε αγώγιμη κατάσταση.
- Σφάλμα Βραχυκύκλωσης (Bridging Fault): βραχυκύκλωμα μεταξύ δύο κόμβων.
- Σφάλμα Καθυστερήσης Διάδοσης Σήματος (Delay Fault): καθυστέρηση σήματος σε ένα ή περισσότερα μονοπάτια του κυκλώματος.

Τα μοντέλα σφαλμάτων έχουν το πλεονέκτημα ότι είναι μια περισσότερο βολική αναπαράσταση των φυσικών αστοχιών. Ένα μοντέλο σφαλμάτων δεν χρειάζεται να είναι ακριβής αναπαράσταση των ελαττωμάτων, αλλά αντιθέτως πρέπει να είναι χρήσιμο στην ανίχνευσή τους. Για παράδειγμα, το πιο συνηθισμένο μοντέλο είναι το απλό σφάλμα μόνιμης τιμής (single stuck-at - SSA) έστω και αν είναι ξεκάθαρο ότι το μοντέλο αυτό δεν αναπαριστά επακριβώς όλα τα πραγματικά ελαττώματα. Η συνέχιση της χρήσης αυτού του μοντέλου οφείλεται στην επιτυχημένη δυνατότητα ανίχνευσης ελαττωμάτων. Επίσης, τα διανύσματα έλεγχου που παράγονται για αυτό τον τύπο σφαλμάτων είναι αποτελεσματικά και στην ανίχνευση άλλων τύπων σφαλμάτων. Ωστόσο, ένα μοντέλο σφαλμάτων δεν μπορεί να αναπαραστήσει όλες τις αστοχίες έτσι και το μοντέλο σφαλμάτων μόνιμης τιμής δεν είναι πλέον επαρκές στα σημερινά κυκλώματα και τεχνολογίες. Ακολουθεί η ανάλυση των κυριότερων μοντέλων σφαλμάτων που έχουν προταθεί για την τεχνολογία CMOS με σκοπό την ακριβή αναπαράσταση των αστοχιών.



Σχήμα 1.4: CMOS πύλη NAND δύο εισόδων

### 1.6.1 Σφάλματα μόνιμης τιμής

Το πιο διαδεδομένο μοντέλο σφαλμάτων που χρησιμοποιείται στη βιομηχανία είναι το μοντέλο σφάλματος μόνιμης τιμής. Σε αυτό το μοντέλο θεωρούμε ότι μία γραμμή στο κύκλωμα συμπεριφέρεται σαν να είναι μόνιμως στο λογικό 0 ή στο λογικό 1. Αν η γραμμή είναι μόνιμως στο λογικό 0, το σφάλμα ονομάζεται μόνιμης τιμής 0 (stuck-at 0, s-a-0), αν η γραμμή είναι μόνιμως στο λογικό 1 το σφάλμα ονομάζεται μόνιμης τιμής 1 (stuck-at 1, s-a-1).

Το Σχήμα 1.4 παρουσιάζει μία CMOS πύλη NAND με δύο σφάλματα μόνιμης τιμής. Το πρώτο βραχυκύκλωμα  $s_1$  αναγκάζει τη γραμμή εισόδου  $x_2$  σε μόνιμη τιμή 0. Παρομοίως, το βραχυκύκλωμα  $s_2$  αναγκάζει τη γραμμή εισόδου  $x_1$  σε μόνιμη τιμή 1. Στον Πίνακα 1.1 η έξοδος χωρίς σφάλματα (fault-free) δηλώνεται ως  $f$  ενώ οι έξοδοι υπό την παρουσία των βραχυκυκλωμάτων  $s_1$  και  $s_2$  δηλώνονται ως  $f_1$  και  $f_2$  αντίστοιχα. Από τον πίνακα αυτό φαίνεται ότι το διάνυσμα  $(x_1, x_2)=11$  ανιχνεύει το βραχυκύκλωμα  $s_1$  και το διάνυσμα  $(x_1, x_2)=01$  ανιχνεύει το βραχυκύκλωμα  $s_2$ .

Πίνακας 1.1: Πίνακας αληθείας για την πύλη NAND

$x_1$	$x_2$	$f$	$f_1$	$f_2$
0	0	1	1	1
0	1	1	1	0
1	0	1	1	0
1	1	0	1	0

### 1.6.2 Σφάλμα μόνιμα μη αγωγίμου τρανζίστορ

Όταν ένα τρανζίστορ καθίσταται μη αγωγίμο εξ αιτίας ενός ελαττώματος, τότε λέγεται ότι είναι μόνιμα μη αγωγίμο (stuck-open). Το μοντέλο σφάλματος μόνιμα μη αγωγίμου τρανζίστορ αναπτύχθηκε πρώτα από τον Wadsack [17]. Στο Σχήμα 1.4 το ανοιχτοκύκλωμα  $o_1$  καθιστά το τρανζίστορ 4 μη αγωγίμο και επομένως το οδηγεί σε σφάλμα μόνιμα μη αγωγίμου τρανζίστορ. Αν εφαρμόσουμε τα διανύσματα του Πίνακα 1.1, ακόμα και με την παρουσία του  $o_1$ , το αποτέλεσμα της εξόδου θα είναι το ίδιο με την έξοδο χωρίς σφάλματα  $f$ . Αυτό μπορεί να επαληθευτεί με τον ακόλουθο τρόπο. Όταν εφαρμοστούν οι τιμές 00 και 01, το τρανζίστορ 3 άγει, και η έξοδος έχει λογική τιμή  $f=1$ . Όταν εφαρμόζεται η τιμή 10 ούτε το pMOS δικτύωμα ούτε το nMOS δικτύωμα μπορεί να άγει. Επομένως η προηγούμενη λογική τιμή διατηρείται στον κόμβο της εξόδου. Τέλος, όταν εφαρμοστεί η τιμή 11 το nMOS δικτύωμα άγει και η έξοδος έχει λογική τιμή  $f=0$ .

Ένα σφάλμα μόνιμα μη αγωγίμου τρανζίστορ αναγκάζει ακόμα και ένα συνδυαστικό κύκλωμα να συμπεριφέρεται ως ακολουθιακό. Επομένως, για να ανιχνευτεί ένα σφάλμα μόνιμα μη αγωγίμου τρανζίστορ, απαιτείται μία ακολουθία διανυσμάτων. Ο λόγος που δεν ανιχνεύθηκε το σφάλμα στο τρανζίστορ 4 είναι ότι το κύκλωμα δεν τροφοδοτήθηκε με την κατάλληλη ακολουθία διανυσμάτων.

Συνήθως απαιτείται μία ακολουθία δύο διανυσμάτων για την ανίχνευση ενός σφάλματος μόνιμα μη αγωγίμου τρανζίστορ. Το πρώτο είναι το διάνυσμα αρχικοποίησης και το δεύτερο το διάνυσμα ελέγχου. Η ακολουθία αυτών των δύο διανυσμάτων αναφέρεται ως έλεγχος ζεύγους διανυσμάτων (two-pattern test). Ο έλεγχος ζεύγους διανυσμάτων για ένα σφάλμα μόνιμα μη αγωγίμου τρανζίστορ στο τρανζίστορ 4 είναι η ακολουθία  $\langle 11, 10 \rangle$ . Το διάνυσμα 11 αρχικοποιεί τον κόμβο της εξόδου στο λογικό 0. Το σφάλμα ανιχνεύεται όταν με την εφαρμογή του διανύσματος 10, ο κόμβος της εξόδου παραμένει στο λογικό 0.

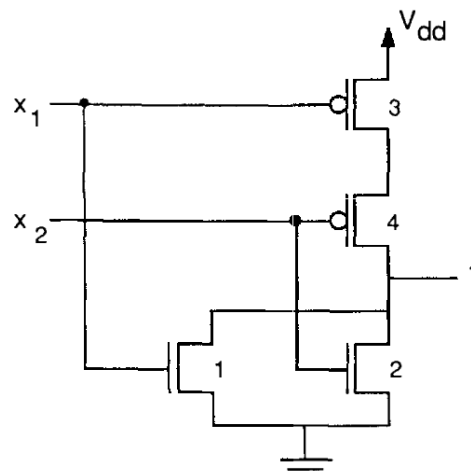
Πρέπει να αναφερθεί ότι η εφαρμογή ζεύγους διανυσμάτων ελέγχου οφείλει να έχει γρηγορότερο ρυθμό από τις σταθερές χρόνου του ρεύματος διαρροής

(leakage current) [17]. Διαφορετικά, μπορεί να παρατηρηθεί μία σωστή μετάβαση στην έξοδο, ακόμα και υπό την παρουσία του σφάλματος [18].

### 1.6.3 Σφάλμα μόνιμα αγωγίμου τρανζίστορ

Αν ένα ελάττωμα προκαλέσει ένα τρανζίστορ να άγει συνεχώς, τότε το τρανζίστορ θεωρείται μόνιμα αγωγίμο (stuck-on) [17]. Το Σχήμα 1.5 παρουσιάζει μία CMOS πύλη NOR δύο εισόδων. Αν υποθέσουμε ότι το τρανζίστορ 2 άγει μόνιμως, θα μπορούσαμε να ανιχνεύσουμε αυτό το σφάλμα τροφοδοτώντας το κύκλωμα με το διάνυσμα  $(x_1, x_2)=00$ . Σε αυτή την περίπτωση τα τρανζίστορ 2, 3 και 4 άγουν υπό την παρουσία του σφάλματος. Η αντίσταση που έχουν τα pMOS και nMOS τρανζίστορ όταν άγουν (on-resistance) είναι  $R_p$  και  $R_n$  αντίστοιχα. Τότε για την τάση  $V_f$  στον κόμβο  $f$  ισχύει:

$$V_f = \frac{R_n}{R_n + 2R_p} \times V_{dd}$$



Σχήμα 1.5: CMOS πύλη NOR δύο εισόδων

Καθώς η αντίσταση του τρανζίστορ 1 όταν δεν άγει (off-resistance) θα ήταν πολύ μεγαλύτερη από την αντίσταση που έχει το τρανζίστορ 2 όταν άγει, δεν έχουμε λάβει υπόψιν την επίδραση του τρανζίστορ 1. Η  $V_f$  μπορεί να πάρει τιμές μεταξύ 0 και  $V_{dd}$  Volts ανάλογα με τις τιμές των  $R_p$  και  $R_n$ . Επομένως, δεν είναι εγγυημένο ότι το σφάλμα θα ανιχνευτεί εάν παρατηρούμε μόνο τη λογική τιμή στον κόμβο  $f$ . Επίσης, το μόνο διάνυσμα που θα μπορούσε να ανιχνεύσει το σφάλμα είναι το 00 και ως εκ τούτου η αλλαγή του διανύσματος δεν θα βοηθούσε.

Ας υποθέσουμε ότι η  $V_f$  έχει τέτοια τιμή η οποία μπορεί να ερμηνευτεί ως λογικό 0. Τότε το σφάλμα θα ανιχνευτεί. Στην περίπτωση όμως που μόνο το τρανζίστορ 4 έχει σφάλμα τότε μόνο το διάνυσμα 01 θα μπορούσε να το ανιχνεύσει. Με την εφαρμογή του διανύσματος 01 τα τρανζίστορ 2, 3 και 4 άγουν υπό την παρουσία του σφάλματος. Επομένως, η τάση στον κόμβο  $f$  θα είναι η ίδια με τη  $V_f$  που προέκυψε προηγουμένως. Ωστόσο, για να ανιχνευτεί αυτό το σφάλμα στο τρανζίστορ 4, η τάση  $V_f$  πρέπει να ερμηνευτεί ως λογικό 1. Αυτό σημαίνει ότι οι απαιτήσεις για την ανίχνευση των σφαλμάτων στα τρανζίστορ 2 και 4 έρχονται σε αντίθεση μεταξύ τους.



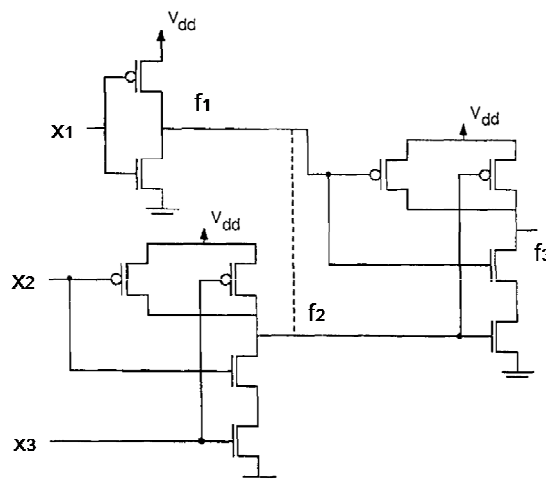
Για να αντιμετωπίσουμε το παραπάνω πρόβλημα μπορούμε να παρατηρούμε το ρεύμα τροφοδοσίας του κυκλώματος αντί της λογικής τιμής στον κόμβο  $f$  [19] [20] [21] [22] [23]. Το ρεύμα που παρατηρούμε υπό την παρουσία σφαλμάτων είναι γενικά μερικές τάξεις μεγέθους μεγαλύτερο από το ρεύμα διαρροής [20]. Αυτό οφείλεται στη μικρή αντίσταση του μονοπατιού μεταξύ της τροφοδοσίας και της γείωσης. Η τεχνική παρατήρησης του ρεύματος είναι αρκετά αποτελεσματική για την ανίχνευση σφαλμάτων μόνιμα αγωγίμου τρανζίστορ, όμως είναι πιο αργή σε σχέση με την τεχνική παρατήρησης της λογικής τιμής του κόμβου της εξόδου του κυκλώματος. Ωστόσο, όπως προαναφέρθηκε, η παρατήρηση της λογικής τιμής είναι τελείως αναποτελεσματική αν θέλουμε να ανιχνεύσουμε όλα τα σφάλματα μόνιμα αγωγίμου τρανζίστορ στο κύκλωμα.

Μία άλλη προσέγγιση [24], βασίζεται στο γεγονός ότι τα σφάλματα μόνιμα αγωγίμου τρανζίστορ προσθέτουν επιπλέον καθυστέρηση στη διάδοση των σημάτων από τις κύριες εισόδους προς τις εξόδους του κυκλώματος. Επομένως, τα σφάλματα μπορούν να ανιχνευτούν με τη δειγματοληψία των εξόδων την κατάλληλη χρονική στιγμή. Ωστόσο, αυτή η προσέγγιση θα έχει αποτέλεσμα μόνο όταν κατά τη στιγμή της δειγματοληψίας και υπό την παρουσία σφάλματος, η λογική τιμή της εξόδου μίας πύλης διαφέρει από την αναμενόμενη σωστή τιμή της.

#### 1.6.4 Σφάλματα βραχυκύκλωσης

Τα σφάλματα βραχυκύκλωσης ορίζονται ως βραχυκυκλώματα μεταξύ δύο ή περισσότερων γραμμών του κυκλώματος. Στην εργασία [25] περιγράφονται οι πιθανές αιτίες των βραχυκυκλωμάτων στα ολοκληρωμένα κυκλώματα όπως οι ατέλειες στη διαδικασία της εγχάραξης ή στην κατασκευή των μασκών. Τα σφάλματα βραχυκύκλωσης μπορούν γενικά να κατηγοριοποιηθούν είτε ως σφάλματα βραχυκύκλωσης με ανατροφοδότηση, όπου δημιουργείται ένας ή περισσότεροι βρόχοι ανατροφοδότησης, ή σφάλματα βραχυκύκλωσης χωρίς ανατροφοδότηση [26].

Πολλοί ερευνητές έχουν εξετάσει το πρόβλημα της ανίχνευσης των σφαλμάτων βραχυκύκλωσης [27], [25], [28], [29], [30], [26], [31], [32]. Πιο συγκεκριμένα στην τεχνολογία CMOS υπάρχει η θεώρηση ότι ένα σφάλμα βραχυκύκλωσης μεταξύ δύο γραμμών αντιστοιχεί σε μία σύνδεση καλωδιωμένης AND (wired AND connection) ή καλωδιωμένης OR (wired OR connection) [29].



Σχήμα 1.6: Κύκλωμα CMOS με σφάλμα βραχυκύκλωσης

Στο Σχήμα 1.6 παρουσιάζεται ένα κύκλωμα CMOS στο οποίο υπάρχει ένα σφάλμα βραχυκύκλωσης μεταξύ των γραμμών  $f_1$  και  $f_2$  όπως φαίνεται από τη διακεκομμένη γραμμή. Όταν στο κύκλωμα εφαρμοστεί το διάνυσμα  $(x_1, x_2, x_3)=011$ , στην περίπτωση μη ύπαρξης λάθους έχουμε  $f_1=1$  και  $f_2=0$ . Ωστόσο, υπό την παρουσία ενός σφάλματος βραχυκύκλωσης υπάρχει ένα μονοπάτι χαμηλής αντίστασης από την τάση τροφοδοσίας προς τη γη μέσω του δικτυώματος pMOS της πύλης με έξοδο τη γραμμή  $f_1$  και του δικτυώματος nMOS της πύλης με έξοδο τη γραμμή  $f_2$  [21]. Επομένως, η τάση στις γραμμές  $f_1$  και  $f_2$  θα έχει μία ενδιάμεση τιμή μεταξύ Vdd και 0 Volts. Αυτή η κατάσταση είναι παρόμοια με την περίπτωση των σφαλμάτων μόνιμα αγώγιμου τρανζίστορ με τη διαφορά ότι τα δικτυώματα pMOS και nMOS ανήκουν σε διαφορετικές πύλες. Η τιμή της τάσης στις γραμμές  $f_1$  και  $f_2$ , μπορεί να ερμηνευτεί ως λογικό 0 ή 1 από την πύλη NAND που ακολουθεί. Υπάρχει μία ακόμα πιθανότητα. Αν η γραμμή  $f_1$  οδηγεί μία άλλη πύλη CMOS με έξοδο την  $f_4$  τότε είναι πιθανό για την ενδιάμεση τιμή της τάσης στην  $f_1$  να ερμηνευτεί ως λογικό 0 από την πύλη με έξοδο την  $f_3$  και ως λογικό 1 από την πύλη με έξοδο την  $f_4$ , ή το αντίστροφο.

Μία πιο πολύπλοκη κατάσταση μπορεί επίσης να προκύψει. Για παράδειγμα αν εφαρμοστεί το διάνυσμα 001 στο κύκλωμα του Σχήματος 1.6, η τάση στις  $f_1$  και  $f_2$  ερμηνεύεται ως λογικό 1 από την πύλη NAND με έξοδο την  $f_3$ . Αν εφαρμοστεί στο ίδιο κύκλωμα το διάνυσμα 101, η τάση στις  $f_1$  και  $f_2$  ερμηνεύεται ως λογικό 0 από την πύλη NAND που ακολουθεί. Αυτό συμβαίνει διότι ενεργοποιείται το μονοπάτι από την τάση τροφοδοσίας προς τη γη μέσω του δικτυώματος pMOS της πύλης με έξοδο τη γραμμή  $f_2$  και του δικτυώματος nMOS της πύλης με έξοδο τη γραμμή  $f_1$ . Επομένως, το ίδιο σφάλμα βραχυκύκλωσης μπορεί να προκαλέσει διαφορετική λογική συμπεριφορά για διαφορετικά διανύσματα εισόδου.

Από τα παραπάνω προκύπτει ότι δεν είναι εύκολο να προβλέψουμε πώς θα επηρεάσει ένα σφάλμα βραχυκύκλωσης τις λογικές τιμές ενός κυκλώματος CMOS. Ωστόσο, με την παρατήρηση του ρεύματος μπορεί να ανιχνευτούν τα σφάλματα βραχυκύκλωσης [19], [20], [21], [33] καθώς υπάρχει ένα μονοπάτι χαμηλής αντίστασης από την τάση τροφοδοσίας προς τη γη όταν εφαρμοστεί στο κύκλωμα ένα κατάλληλο διάνυσμα.

### 1.6.5 Σφάλματα καθυστέρησης

Σύμφωνα με τα σφάλματα καθυστέρησης η καθυστέρηση τμήματος της συνδυαστικής λογικής του κυκλώματος υπερβαίνει την περίοδο του ρολογιού. Πέντε είναι οι τύποι των μοντέλων σφαλμάτων καθυστέρησης που χρησιμοποιούνται: το μοντέλο σφαλμάτων μετάβασης, πύλης, μονοπατιού, τμήματος και γραμμής. Τα μοντέλα σφαλμάτων μετάβασης, πύλης και γραμμής χρησιμοποιούνται για την αναπαράσταση των σφαλμάτων καθυστέρησης σε πύλες ενώ τα μοντέλα σφαλμάτων μονοπατιού και τμήματος αναφέρονται σε σφάλματα που κατανέμονται σε πολλές πύλες. Στη συνέχεια ακολουθούν τα πλεονεκτήματα και τα μειονεκτήματα κάθε μοντέλου.

Το μοντέλο σφαλμάτων μετάβασης [34], [35], [36], [37] [38] ανιχνεύει κατασκευαστικά ελαττώματα συγκρίνοντας την καθυστέρηση μίας πύλης με την τυπική καθυστέρηση που παρουσιάζει στην περίπτωση μη ύπαρξης λάθους. Αυτή η καθυστέρηση θεωρείται αρκετά μεγάλη ώστε να αποτρέπει τη διάδοση μίας μετάβασης να φτάσει την έξοδο του υπό έλεγχου κυκλώματος, μέσα στο χρόνο μίας περιόδου του ρολογιού. Σύμφωνα με αυτό το μοντέλο, το σφάλμα θα παρατηρηθεί στην έξοδο ενός κυκλώματος ανεξάρτητα από το αν η μετάβαση διαδίδεται μέσω ενός αργού ή γρήγορου μονοπατιού. Οι πιθανοί τύποι

σφαλμάτων μετάβασης είναι δύο: η αργή ανοδική μετάβαση (slow-to-rise) και η αργή καθοδική μετάβαση (slow-to-fall). Συνεπώς, ο συνολικός αριθμός των σφαλμάτων μετάβασης είναι διπλάσιος του αριθμού των πυλών. Επιπρόσθετα, το μοντέλο σφαλμάτων μετάβασης, εκτός από τη χρήση του ως μοντέλο σφαλμάτων καθυστέρησης, μπορεί επίσης να χρησιμοποιηθεί σε CMOS κυκλώματα για την περιγραφή σφαλμάτων μόνιμα μη αγώγιμου τρανζίστορ [38].

Για την ανίχνευση των σφαλμάτων μετάβασης σε ένα συνδυαστικό κύκλωμα χρειάζονται δύο διανύσματα εισόδου. Το πρώτο αρχικοποιεί το κύκλωμα ενώ το δεύτερο ενεργοποιεί το σφάλμα και το διαδίδει στην έξοδο. Ένα σφάλμα μετάβασης θεωρείται ότι έχει ανιχνευτεί αν η μετάβαση συμβεί στην ελαττωματική πύλη και στη συνέχεια η σχετική λανθασμένη τιμή διαδοθεί μέχρι την έξοδο του κυκλώματος.

Το κύριο πλεονέκτημα του μοντέλου σφαλμάτων μετάβασης είναι ότι ο αριθμός των σφαλμάτων σε ένα κύκλωμα είναι γραμμικός σε σχέση με τον αριθμό των πυλών. Επίσης, τα εργαλεία προσομοιώσεων σφαλμάτων, που χρησιμοποιούνται για την ανίχνευση σφαλμάτων μόνιμα αγώγιμου ή μη αγώγιμου τρανζίστορ, μπορούν εύκολα να τροποποιηθούν ώστε να διαχειρίζονται σφάλματα μετάβασης. Από την άλλη πλευρά, δεν είναι ρεαλιστικές οι υποθέσεις ότι α) τα σφάλματα αναδεικνύονται ακόμα και όταν οι μεταβάσεις διαδίδονται μέσω γρήγορων μονοπατιών και β) τα σφάλματα επηρεάζουν μόνο μία πύλη στο κύκλωμα.

Τα σφάλματα καθυστέρησης πύλης [39], [40], [41], [42], [43], [44] αυξάνουν την καθυστέρηση απόκρισης μίας πύλης ενώ όλες οι άλλες πύλες του κυκλώματος διατηρούν την καθυστέρησή τους. Το μοντέλο σφαλμάτων πύλης παρουσιάζει τα ακόλουθα χαρακτηριστικά [42]: 1) Η καθυστέρηση μίας πύλης εξαρτάται από τη λογική τιμή η οποία εφαρμόζεται στην πύλη, 2) Πολλαπλά αντίγραφα μίας πύλης έχουν διαφορετικές καθυστερήσεις λόγω των διακυμάνσεων της κατασκευαστικής διαδικασίας, 3) Μεταβάσεις μικρής διάρκειας στην είσοδο μίας πύλης δε διαδίδονται στην έξοδό της.

Με βάση το μοντέλο σφαλμάτων μονοπατιού [45] ένα συνδυαστικό κύκλωμα θεωρείται εσφαλμένο αν η καθυστέρηση διάδοσης ενός εκ των μονοπατιών του υπερβαίνει μία καθορισμένη χρονική διάρκεια. Το συνδυαστικό αυτό μονοπάτι ξεκινάει από μία κύρια είσοδο ή από ένα flip-flop, περιλαμβάνει μία αλληλουχία λογικών πυλών και τερματίζει σε μία κύρια έξοδο ή ένα flip-flop. Η καθορισμένη χρονική διάρκεια ταυτίζεται από τη διάρκεια της περιόδου του ρολογιού και η καθυστέρηση διάδοσης ορίζεται για τη διάδοση μίας μετάβασης σήματος μέσω του εσφαλμένου μονοπατιού. Συνεπώς, για κάθε συνδυαστικό μονοπάτι υπάρχουν δύο σφάλματα καθυστέρησης μονοπατιού, τα οποία αντιστοιχούν στην ανοδική και καθοδική μετάβαση. Τα πλεονεκτήματα του μοντέλου σφαλμάτων καθυστέρησης μονοπατιού έχουν ως ακολούθως: 1) είναι αποτελεσματικό για σφάλματα καθυστέρησης οποιουδήποτε μεγέθους, έτσι αντιπροσωπεύει κάθε πραγματική κατάσταση και 2) η ανίχνευση των σφαλμάτων είναι εγγυημένη χωρίς υποθέσεις για τις καθυστερήσεις του κυκλώματος. Το μειονέκτημα αυτού του μοντέλου είναι ότι ο αριθμός των μονοπατιών αυξάνει εκθετικά με τον αριθμό των πυλών. Για αυτό το λόγο, είναι αδύνατος ο έλεγχος όλων των σφαλμάτων μονοπατιού σε ένα κύκλωμα.

Ένα τμήμα του κυκλώματος μήκους  $L$  είναι μία αλυσίδα  $L$  συνδυαστικών πυλών. Ένα τέτοιο τμήμα μπορεί να περιλαμβάνεται σε περισσότερα από ένα μονοπάτια από την είσοδο μέχρι την έξοδο ενός κυκλώματος. Ένα σφάλμα καθυστέρησης τμήματος [46] [47] αυξάνει την καθυστέρηση ενός τμήματος έτσι ώστε όλα τα

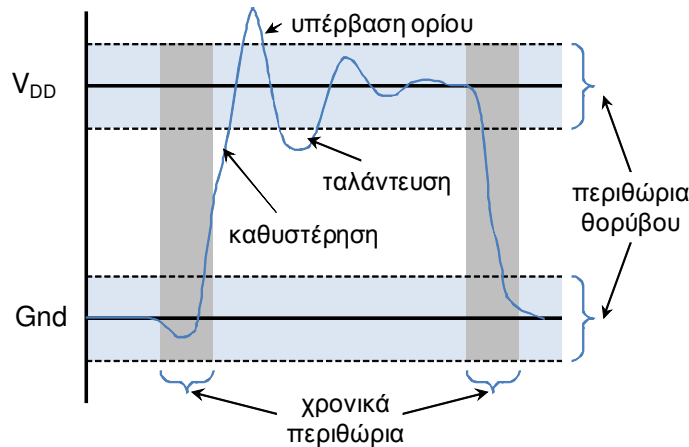
μονοπάτια που περιέχουν αυτό το τμήμα να έχουν ένα σφάλμα καθυστέρησης μονοπατιού. Αν το μήκος  $L$  ορίζεται ως το μέγιστο συνδυαστικό βάθος ενός κυκλώματος, τότε τα σφάλματα καθυστέρησης τμήματος είναι ίδια με τα σφάλματα καθυστέρησης μονοπατιού. Για  $L=1$ , τα σφάλματα καθυστέρησης τμήματος ταυτίζονται με τα σφάλματα καθυστέρησης μετάβασης. Δύο σφάλματα, που αντιστοιχούν στους δύο τύπους μεταβάσεων (ανοδική και καθοδική) μοντελοποιούνται για κάθε τμήμα. Το μοντέλο σφαλμάτων καθυστέρησης τμήματος συνδυάζει τα πλεονεκτήματα των μοντέλων μετάβασης και μονοπατιού ενώ παράλληλα αποφεύγουμε τα μειονεκτήματά τους. Καθώς ο αριθμός των σφαλμάτων καθυστέρησης τμήματος για ένα δεδομένο μήκος  $L$  μπορεί να είναι μικρότερος από τον αριθμό όλων των μονοπατιών σε ένα κύκλωμα, αποτρέπεται ο υπερβολικά μεγάλος αριθμός πιθανών σφαλμάτων προς έλεγχο.

Το μοντέλο σφαλμάτων γραμμής [48] [49] μοντελοποιεί την καθυστέρηση ανόδου και καθόδου μίας δεδομένης γραμμής σήματος. Σε αντίθεση με το μοντέλο μετάβασης όπου η μετάβαση μπορεί να διαδοθεί μέσω οποιουδήποτε μονοπατιού, ένας έλεγχος για ένα σφάλμα καθυστέρησης γραμμής πρέπει να διαδώσει το σφάλμα μέσω του μεγαλύτερου μονοπατιού, το οποίο μπορεί να ενεργοποιηθεί. Γενικά, ένας έλεγχος καλύπτει πολλά σφάλματα γραμμών. Συνεπώς, αυτό το μοντέλο σφαλμάτων μπορεί επίσης να ανιχνεύσει κατασκευαστικές ατέλειες κατανεμημένες σε διάφορα μονοπάτια διάδοσης.

### 1.7 Διαλείποντα σφάλματα - Ακεραιότητα Σήματος

Τα διαλείποντα σφάλματα αποτελούν μια σημαντική αιτία δυσλειτουργίας στο πεδίο της εφαρμογής. Οι μηχανισμοί δημιουργίας αυτών των σφαλμάτων συχνά δεν είναι απόλυτα κατανοητοί και συνεπώς η παρατήρηση και η διαχείρισή τους δεν είναι πάντοτε εφικτή. Αρχικά, τα σφάλματα αυτά μοντελοποιήθηκαν με βάση την υπόθεση ότι είναι ανεξάρτητα των σημάτων που εφαρμόζονται και διαδίδονται στο κύκλωμα [50] [51] αλλά σύντομα τα πειραματικά αποτελέσματα έδειξαν ότι αυτή η προσέγγιση δεν είναι απόλυτα σωστή και ότι τα διαλείποντα σφάλματα μπορεί να έχουν εξάρτηση από το διάνυσμα που εφαρμόζεται σε ένα κύκλωμα [52]. Ο κύριος τρόπος με τον οποίο εκδηλώνονται τα διαλείποντα σφάλματα είναι με τη μορφή λαθών χρονισμού (timing errors) κατά τη λειτουργία ενός κυκλώματος. Στη συνέχεια θα μελετηθούν οι μηχανισμοί γέννησης διαλειπόντων σφαλμάτων και η επίδρασή τους στη λειτουργία ενός ολοκληρωμένου κυκλώματος.

Ως ακεραιότητα ενός σήματος δηλώνεται η ικανότητα ενός σήματος να δημιουργήσει σωστές αποκρίσεις σε ένα κύκλωμα [5]. Ουσιαστικά με την ακεραιότητα ενός σήματος περιγράφουμε πόσο καθαρό ή παραμορφωμένο είναι αυτό το σήμα. Ένα σήμα με υψηλή ακεραιότητα παραμένει εντός ασφαλών (αποδεκτών) περιθωρίων τόσο ως προς το πλάτος του όσο και ως προς τους χρόνους μετάβασής του. Έτσι, ένα σήμα υψηλής ακεραιότητας στην είσοδο ενός flip-flop φτάνει στην ώρα του ώστε να ικανοποιηθούν απαιτήσεις που σχετίζονται με τους χρόνους ενεργοποίησης και κατακράτησης (set-up and hold times) ενώ ταυτόχρονα δεν εμφανίζει έντονες υπερβάσεις (overshoots/undershoots) στα όρια των τάσεων που είναι αποδεκτές για την ορθή λειτουργία (βλ. Σχήμα 1.7). Οι υπερβάσεις στις αποδεκτές τάσεις ενός σήματος μπορούν να οδηγήσουν στη δημιουργία λαθών ή να επηρεάσουν το χρόνο ζωής των τρανζίστορ.

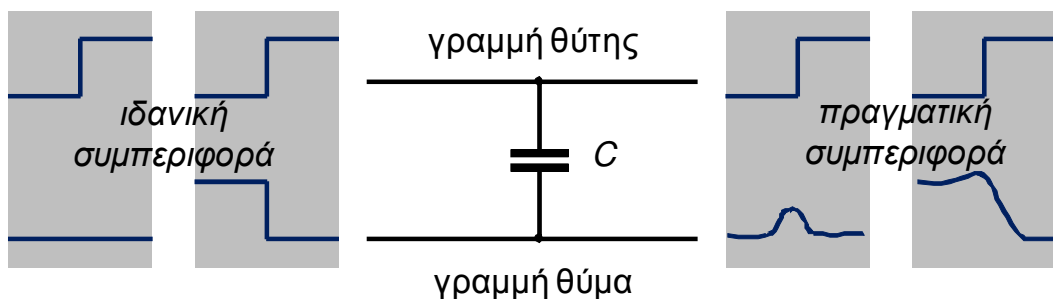


Σχήμα 1.7: Απώλεια ακεραιότητα σήματος [5]

Η ακεραιότητα ενός σήματος εξαρτάται από διάφορους παράγοντες, εσωτερικούς στο ολοκληρωμένο όπως οι διασυνδέσεις, τα δεδομένα, ο θόρυβος στην τροφοδοσία, οι διακυμάνσεις της κατασκευαστικής διαδικασίας (process variations) και εξωτερικούς όπως ο θόρυβος από το περιβάλλον και η αλληλεπίδραση με άλλα συστήματα. Για να εξασφαλιστεί η ακεραιότητα σήματος απαιτείται η επιλογή αυστηρών προδιαγραφών και ο προσεκτικός σχεδιασμός του κυκλώματος. Όμως ακόμη και σε αυτή την περίπτωση, είναι αδύνατον να εγγυηθούμε καθ' ολοκληρία ότι θα αποφύγουμε σε όλα τα κατασκευασμένα κυκλώματα τη μείωση στην ακεραιότητα του σήματος. Απαιτείται συνεπώς, μετά την κατασκευή, η εφαρμογή μίας σωστά σχεδιασμένης στρατηγικής ελέγχου της ορθής λειτουργίας (testing) για τον εντοπισμό των σχετικών προβλημάτων. Και πάλι όμως ο έλεγχος δεν μπορεί να εγγυηθεί ότι κάποια από τα ολοκληρωμένα που θα διατεθούν στον τελικό χρήστη δεν θα εμφανίζουν μειωμένη ακεραιότητα στα σήματά τους. Το γεγονός αυτό οφείλεται στο ότι τα σχετικά προβλήματα ενεργοποιούνται κάτω από πολύ συγκεκριμένες, ειδικές και συνήθως σπάνιες συνθήκες (π.χ. συνδυασμός επιπέδων θορύβου και δεδομένων) που είναι δύσκολο έως αδύνατο να επιτευχθούν κατά τον έλεγχο. Έτσι, στο πεδίο της εφαρμογής σε αυτά τα ελαττωματικά κυκλώματα αναμένεται η εμφάνιση διαλειπόντων σφαλμάτων στις ειδικές εκείνες περιπτώσεις όπου όλες οι απαραίτητες συνθήκες θα είναι ευνοϊκές για την εκδήλωσή τους. Η κύρια εκδήλωση των διαλειπόντων σφαλμάτων είναι με τη μορφή λαθών χρονισμού, δηλαδή καθυστερήσεων στην απόκριση του κυκλώματος που οδηγούν στη δημιουργία λαθών.

### 1.7.1 Ακεραιότητα σήματος στις διασυνδέσεις

Οι διασυνδέσεις για τη διάδοση των σημάτων σε ένα ολοκληρωμένο κύκλωμα συμβάλουν στην απώλεια ακεραιότητας μέσω διαταραχών μεταξύ των σημάτων εξ αιτίας χωρητικών συζεύξεων (crosstalk) και ηλεκτρομαγνητικών παρεμβολών (electromagnetic interference). Αυτές οι διαταραχές περιγράφονται συχνά με το μοντέλο των γραμμών θύτη/θύματος (aggressor/victim lines) όπως φαίνεται στο Σχήμα 1.8 [5], [53]. Σύμφωνα με το μοντέλο αυτό, μεταβάσεις του σήματος πάνω στη γραμμή θύτη επιφέρουν διαταραχές, με τη μορφή στιγμιαίων παλμών ή καθυστερήσεων, στο σήμα της γραμμής θύμα. Η επίδραση είναι εντονότερη όταν υπάρχουν περισσότερες από μία γραμμή θύτη. Επίσης το μοντέλο μπορεί να επεκταθεί ώστε να συμπεριλάβει περιπτώσεις με πολλαπλές μεταβάσεις σήματος στις γραμμές με ρόλο θύτη καθώς και στη γραμμή θύμα [54].



Σχήμα 1.8: Μοντέλο γραμμών θύτη/θύματος [5]

### 1.7.2 Θόρυβος στην τροφοδοσία

Η τροφοδοσία σε ένα ολοκληρωμένο κύκλωμα διανέμεται μέσω καλωδίων τα οποία ενσωματώνουν παρασιτικά R/L/C/ στοιχεία. Συνεπώς τα ρεύματα που εμφανίζονται στην τροφοδοσία κατά τη λειτουργία των κυκλωμάτων επιφέρουν τη διακύμανση της τάσης. Πιο συγκεκριμένα, τα μεγάλα στιγμιαία ρεύματα προκαλούν τόσο επαγωγική πτώση της τάσης (inductive drop –  $di/dt$ ) όσο και αντιστατική πτώση της τάσης (resistive drop –  $IR$ ) στην τροφοδοσία. Ιδιαίτερα στα υψηλής συχνότητας κυκλώματα όπου οι μεταβάσεις σήματος είναι απότομες καθώς και στα κυκλώματα πολύ υψηλής κλίμακας ολοκλήρωσης όπου ο αριθμός των ταυτόχρονων μεταβάσεων είναι πολύ μεγάλος, το πρόβλημα της πτώσης τάσης είναι εξαιρετικά σημαντικό. Αθροιστικά ο θόρυβος στην τροφοδοσία ισχύος (power supply noise – PSN) σε ένα ολοκληρωμένο δίδεται από τη σχέση:

$$PSN = L \cdot \frac{di(t)}{dt} + R \cdot i(t)$$

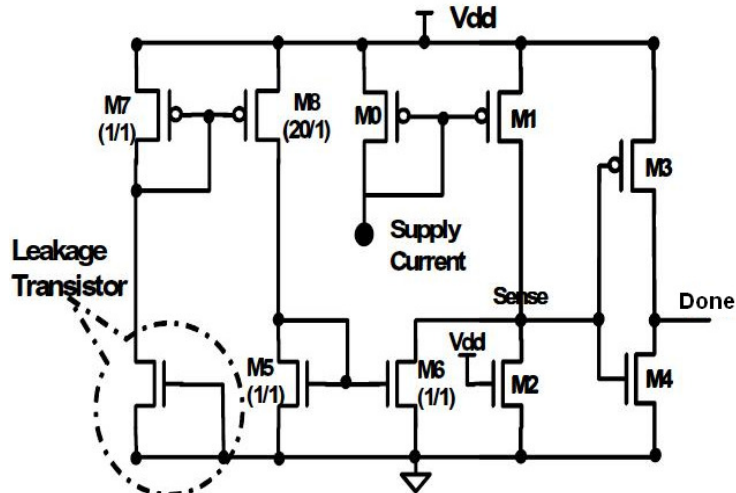
Η διακύμανση στην τάση τροφοδοσίας έχει ως αποτέλεσμα την αύξηση της καθυστέρησης στη διάδοση των σημάτων μέσα στα ολοκληρωμένα κυκλώματα και συνεπώς την εμφάνιση λαθών χρονισμού.

### 1.7.3 Διακυμάνσεις της κατασκευαστικής διαδικασίας

Με τον όρο διακυμάνσεις της κατασκευαστικής διαδικασίας, αναφερόμαστε στην ασάφεια στις τιμές των παραμέτρων των κατασκευασμένων κυκλωματικών στοιχείων (π.χ. στην τάση κατωφλίου των τρανζίστορ), με την έννοια της μειωμένης δυνατότητας επακριβούς καθορισμού τους, εξ αιτίας περιορισμών που εισάγουν οι φυσικοί νόμοι, οι ανακρίβειες των μέσων κατασκευής και οι ιδιότητες των χρησιμοποιούμενων υλικών. Οι διακυμάνσεις της κατασκευαστικής διαδικασίας επηρεάζουν δραστικά διάφορα μεγέθη, όπως τα γεωμετρικά χαρακτηριστικά των τρανζίστορ, την τάση κατωφλίου και το πάχος του μονωτή της πύλης, σε τέτοιο βαθμό που μπορεί να θέσουν τη λειτουργία των κυκλωμάτων έξω από τις προδιαγραφές. Η παρουσία αυτών των διακυμάνσεων εκδηλώνεται με την εμφάνιση πρόσθετων καθυστερήσεων στη διάδοση των σημάτων [55]. Όμως, περιπτώσεις οριακών διακυμάνσεων της κατασκευαστικής διαδικασίας θα επιτρέψουν στα αντίστοιχα ολοκληρωμένα κυκλώματα να περάσουν επιτυχώς τον κατασκευαστικό έλεγχο της ορθής λειτουργίας. Σε αυτή την περίπτωση, η επίδραση άλλων ενδογενών παραγόντων στο πεδίο της εφαρμογής, όπως ο θόρυβος στην τροφοδοσία και η αλληλεπίδραση σημάτων [56] ή η επίδραση περιβαλλοντικών παραγόντων όπως η θερμοκρασία, μπορούν να οδηγήσουν και πάλι στη δημιουργία λαθών χρονισμού.

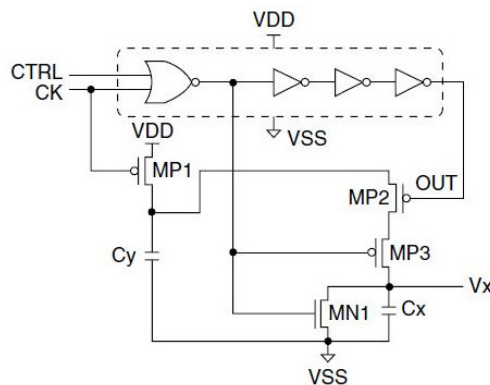
### 1.7.4 Αντιμετώπιση της απώλειας στην ακεραιότητα σήματος

Για την ανίχνευση αστοχιών που οφείλονται στην απώλεια ακεραιότητας σήματος κατάλληλοι ενσωματωμένοι αισθητήρες και κυκλώματα παρακολούθησης έχουν προταθεί στη βιβλιογραφία, τόσο για τον εργοστασιακό έλεγχο όσο και για τον έλεγχο στο πεδίο της εφαρμογής. Εστιάζοντας σε θέματα που αφορούν τα διαλείποντα σφάλματα, θα επικεντρωθούμε στις τεχνικές για την εν λειτουργία αντιμετώπιση των προβλημάτων που σχετίζονται με την απώλεια ακεραιότητας σήματος στο πεδίο της εφαρμογής.



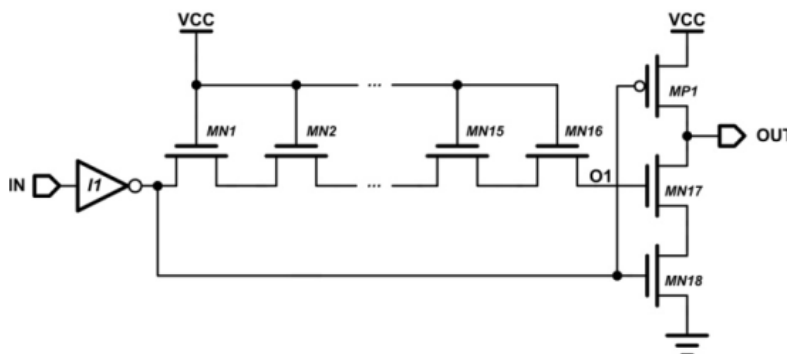
Σχήμα 1.9: Αισθητήρας ρεύματος [57]

A) Αισθητήρες ρεύματος: Μια κύρια κατηγορία αισθητήρων σε αυτή την περιοχή είναι οι αισθητήρες ρεύματος (βλ. Σχήμα 1.9 [57]). Η λειτουργία τους βασίζεται στην παρατήρηση του ρεύματος κατά τη λειτουργία ενός κυκλώματος. Όσο το ρεύμα έχει μεγάλες τιμές το κύκλωμα εκτελεί υπολογισμούς και το σήμα ένδειξης κατάστασης λειτουργίας είναι  $Done = 0$ . Όταν ολοκληρωθεί ο υπολογισμός το σήμα  $Done$  γίνεται λογικό "1". Με τον τρόπο αυτό είναι δυνατή είτε η ασύγχρονη λειτουργία ώστε να επιτευχθεί ανοχή στα λάθη χρονισμού είτε η ανίχνευση της παραβίασης των χρονικών περιθωρίων ώστε να γίνουν οι κατάλληλες ενέργειες για την αντιμετώπιση του προβλήματος. Κύριο πρόβλημα στη αξιόπιστη λειτουργία αυτών των αισθητήρων είναι οι διακυμάνσεις της κατασκευαστικής διαδικασίας και τα μεγάλα ρεύματα διαρροής των ολοκληρωμένων κυκλωμάτων στις σύγχρονες νανομετρικές τεχνολογίες.



Σχήμα 1.10: Κύκλωμα παρατήρησης της τροφοδοσίας ισχύος [58]

**Β) Παρατήρηση της τροφοδοσίας:** Μια δεύτερη κατηγορία κυκλωμάτων ανίχνευσης της παραβίασης των χρονικών περιθωρίων εξ αιτίας της απώλειας ακεραιότητας σήματος είναι τα κυκλώματα παρατήρησης της τροφοδοσίας ισχύος. Η συνήθης αρχή λειτουργίας τους βασίζεται στην παρατήρηση της επίδρασης των διακυμάνσεων της τάσης τροφοδοσίας επάνω σε μία γραμμή καθυστέρησης σήματος [58]. Στο Σχήμα 1.10 δίδεται ένα σχετικό κύκλωμα, όπου αυξημένοι χρόνοι απόκρισης στη γραμμή καθυστέρησης, ως αποτέλεσμα της πτώσης τάσης στην τροφοδοσία, οδηγούν σε αύξηση της τάσης  $V_x$  η οποία παρέχει την ένδειξη για την παρουσία προβλήματος στην ακεραιότητα σήματος στην υπολοίπη λογική.



**Σχήμα 1.11: Αισθητήρας διακύμανσης της κατασκευαστικής διαδικασίας [60]**

**Γ) Αισθητήρες διακύμανσης της κατασκευαστικής διαδικασίας:** Αισθητήρες της διακύμανσης της κατασκευαστικής διαδικασίας έχουν επίσης προταθεί για την αντιμετώπιση της απώλειας ακεραιότητας σήματος. Οι αισθητήρες αυτοί διασπείρονται μέσα στο ολοκληρωμένο κύκλωμα με στόχο την καλύτερη δυνατή κάλυψη όλων των τμημάτων του. Η δομή τους βασίζεται κυρίως σε κυκλικούς ταλαντωτές [59] και γραμμές καθυστέρησης [60]. Παρόλο που οι αισθητήρες αυτού του τύπου χρησιμοποιούνται κυρίως στον κατασκευαστικό έλεγχο, η παρουσία τους στο ολοκληρωμένο κύκλωμα επιτρέπει την επαναχρησιμοποίησή τους και στο πεδίο της εφαρμογής, καθώς ο βαθμός επίδρασης των διακυμάνσεων της κατασκευαστικής διαδικασίας εξαρτάται από παράγοντες όπως η τάση τροφοδοσίας, η θερμοκρασία κ.ά. Στο Σχήμα 1.11 δίδεται η τοπολογία ενός σχετικού αισθητήρα, ο οποίος χρησιμοποιεί μία γραμμή καθυστέρησης, αποτελούμενη από τρανζίστορ, για να ανιχνεύσει τοπικές διακυμάνσεις στις παραμέτρους τους [60]. Πολλαπλοί αισθητήρες ενσωματώνονται στο ολοκληρωμένο κύκλωμα και οι ενδείξεις τους καθοδηγούν κατάλληλη μονάδα στη ρύθμιση του κυκλώματος (π.χ. αλλαγή της συχνότητας λειτουργίας).

**Δ) Ανίχνευση και διόρθωση λαθών χρονισμού:** Σημαντική ερευνητική δραστηριότητα έχει αναπτυχθεί τα τελευταία χρόνια στο πεδίο των κυκλωμάτων ανίχνευσης και διόρθωσης λαθών χρονισμού, στην δημιουργία των οποίων συμβάλλει η απώλεια της ακεραιότητας σήματος. Αστοχίες χρονισμού στο συνδυαστικό τμήμα ενός ακολουθιακού κυκλώματος έχουν σαν αποτέλεσμα την καθυστερημένη απόκριση της αντίστοιχης λογικής. Η καθυστερημένη απόκριση της λογικής, μετά το κλείδωμα των δεδομένων από τα στοιχεία μνήμης που ακολουθούν (flip-flop ή μανδαλωτές), θα οδηγήσει με τη σειρά της στη γέννηση ενός λάθους χρονισμού σε αυτά (δηλ. τα δεδομένα στις εξόδους των στοιχείων μνήμης θα είναι λανθασμένα). Στο κεφάλαιο 2 αναλύονται οι κυριότερες τεχνικές ανίχνευσης λαθών στην βιβλιογραφία, οι οποίες είναι σε θέση να ανιχνεύσουν την



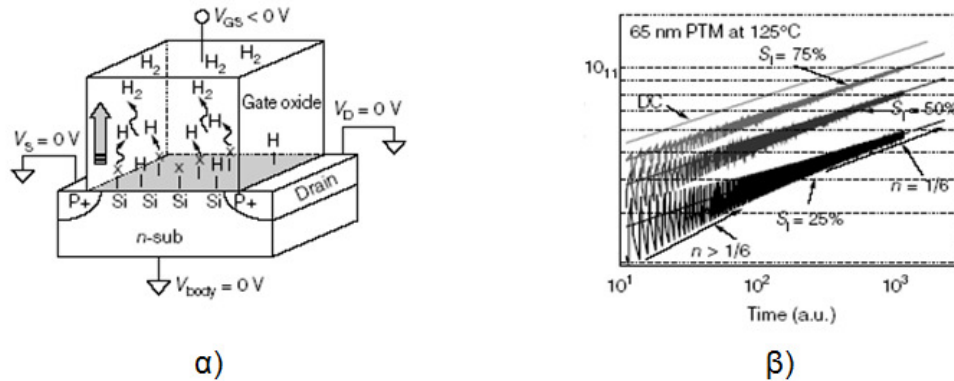
καθυστερημένη απόκριση του κυκλώματος και να παρέχουν ανοχή σε λάθη χρησιμοποιώντας χρονικό πλεονασμό.

## 1.8 Διαλείποντα σφάλματα - Γήρανση των Ολοκληρωμένων Κυκλωμάτων

Καθώς συνεχίζεται η κλιμάκωση της τεχνολογίας πολύ κάτω από τα 100nm, οι μηχανισμοί γήρανσης των ολοκληρωμένων κυκλωμάτων διαδραματίζουν ένα σημαντικό αυξανόμενο ρόλο στη σταδιακή υποβάθμιση της αξιοπιστίας των κυκλωμάτων, συνεχώς νωρίτερα μέσα στον ωφέλιμο χρόνο της ζωής τους. Δύο από τους καθοριστικούς παράγοντες γήρανσης είναι η αστάθεια εξ αιτίας του συνδυασμού πόλωσης-θερμοκρασίας (bias-temperature instability – BTI) και η έγχυση θερμών φορέων (hot-carrier injection – HCI). Ρόλο στη γήρανση μπορεί επίσης να παίξει το φαινόμενο καναλισμού φορέων μέσα από το μονωτή της πύλης, γνωστό ως Fowler-Nordheim (FN).

### 1.8.1 Αστάθεια πόλωσης-θερμοκρασίας

Ο μηχανισμός αστάθειας πόλωσης-θερμοκρασίας επηρεάζει τόσο τα pMOS όσο και τα nMOS τρανζίστορ. Στην πρώτη περίπτωση, επειδή η πόλωση πύλης-πηγής των pMOS τρανζίστορ είναι αρνητική αναφερόμαστε σε αστάθεια αρνητικής πόλωσης-θερμοκρασίας (negative bias-temperature instability – NBTI) ενώ στη δεύτερη περίπτωση των nMOS τρανζίστορ που η πόλωση είναι θετική αναφερόμαστε σε αστάθεια θετικής πόλωσης-θερμοκρασίας (positive bias-temperature instability – PBTI). Στις σημερινές τεχνολογίες η επίδραση του φαινομένου NBTI είναι εξαιρετικά πιο σημαντική σε σχέση με το PBTI με αποτέλεσμα ο κύριος όγκος μελέτης στην βιβλιογραφία να εστιάζεται σε αυτό.

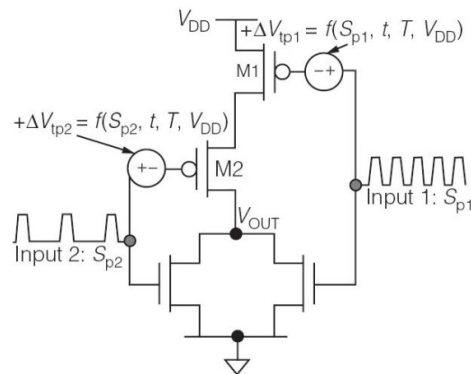


Σχήμα 1.12: α) Φαινόμενο NBTI σε pMOS τρανζίστορ, β) NBTI επίδραση υπό AC στρες για διαφορετικές πιθανότητες  $S_p$  [62]

A) *NBTI στα pMOS τρανζίστορ*: Ο NBTI μηχανισμός γήρανσης στο pMOS τρανζίστορ, κατά τη διάρκεια του χρόνου λειτουργίας του, αυξάνει την τάση κατωφλίου  $V_{th}$  και μειώνει την κινητικότητα των φορέων  $\mu$  ως συνάρτηση του στρες πόλωσης-θερμοκρασίας που εφαρμόζεται σε αυτό [61], [62]. Το φαινόμενο NBTI προκύπτει από τη συνεχή δημιουργία παγίδων των φορέων κίνησης στη διεπαφή του πυριτίου με το μονωτή της πύλης. Αυτές οι παγίδες οφείλονται στο σπάσιμο των δεσμών πυριτίου-υδρογόνου Si-H στην περιοχή της διεπαφής. Οι δεσμοί Si-H δημιουργούνται κατά τη φάση επικάλυψης του ημιαγωγού με υδρογόνο για την εξάλειψη αδέσμευτων ατόμων πυριτίου στη διεπαφή. Παρατεταμένες συνθήκες λειτουργίας υπό στρες (αρνητική τάση πύλης-πηγής και υψηλή θερμοκρασία) μπορούν να οδηγήσουν στο σπάσιμο των σχετικών δεσμών

και στη δημιουργία θετικών παγίδων φορτίου στην περιοχή της διεπαφής οι οποίες αυξάνουν την τάση κατωφλίου του τρανζίστορ. Αν οι συνθήκες στρες εκλείψουν οι δεσμοί δύνανται να επαναδημιουργηθούν αναιρώντας το φαινόμενο NBTI. Σε κάποιες περιπτώσεις όμως τα άτομα του υδρογόνου ενώνονται σε μόρια και καθώς το υδρογόνο είναι εξαιρετικά πτητικό στοιχείο μπορεί σχετικά εύκολα να απομακρυνθεί από την περιοχή της διεπαφής αφήνοντας πίσω του μόνιμες παγίδες. Καθώς το πάχος του μονωτή της πύλης κυμαίνεται κάτω από το 1nm στις σύγχρονες νανοτεχνολογίες (με πτωτικές τάσεις), το κατακόρυφο ηλεκτρικό πεδίο στο μονωτή, που ανέρχεται έως και μερικά MV/cm<sup>2</sup>, επιτείνει τη δημιουργία του φαινομένου NBTI. Εμπειρικά μοντέλα δείχνουν ότι η αύξηση της τάσης κατωφλίου εξ αιτίας του NBTI κάτω από σταθερό μόνιμο DC στρες, ακολουθεί το νόμο [61], [62]:  $V_{th} \approx t^n$  όπου η σταθερά με τιμές μεταξύ 1/6 και 1/4.

Η ραγδαία κλιμάκωση των διαστάσεων των τρανζίστορ μπορεί επίσης να οδηγήσει στη στατιστική διακύμανση της υποβάθμισης των επιδόσεων του τρανζίστορ εξ αιτίας του NBTI φαινομένου [62]. Όπως και στην περίπτωση της τυχαίας διακύμανσης των προσμίξεων στο κανάλι των τρανζίστορ, τα τρανζίστορ πολύ-μικρού μήκους καναλιού έχουν σχετικά λίγους δεσμούς Si-H, που κυμαίνονται από δεκάδες έως εκατοντάδες ζεύγη, ανάλογα με την τεχνολογία. Λόγω του πεπερασμένου αριθμού των δεσμών Si-H, το σπάσιμο και η επανασύνδεσή τους εμφανίζει μια σημαντική στατιστική διακύμανση κατά τη διάρκεια της όλης διαδικασίας υποβάθμισης [63]. Αυτή η στατιστική διακύμανση του μηχανισμού NBTI (δυναμικό NBTI φαινόμενο) οδηγεί σε πρόσθετη τυχαία διακύμανση της τάσης κατωφλίου, επί της αναμενόμενης υποβάθμισής της εξ αιτίας του μόνιμου μηχανισμού NBTI (στατικό NBTI φαινόμενο).



Σχήμα 1.13: Μοντέλο προσομοίωσης NBTI φαινομένου [62]

Συνήθως, το στρες πάνω σε ένα τρανζίστορ δεν είναι μόνιμο, τουλάχιστον σε ότι αφορά την αρνητική πόλωση, αλλά αυξάνει και μηδενίζεται διαδοχικά στο χρόνο (AC στρες). Κατά τη διάρκεια που εφαρμόζεται αρνητική πόλωση στο τρανζίστορ οι επιδόσεις του υποβαθμίζονται (αύξηση της  $V_{th}$ ), ενώ όταν το στρες μηδενίζεται η επανασύνδεση των ατόμων του πυριτίου με το υδρογόνο αναιρεί (σε μεγάλο βαθμό) το φαινόμενο NBTI και η τάση κατωφλίου επανέρχεται σχεδόν στην αρχική της τιμή. Επειδή δεν επαναδημιουργούνται όλοι οι δεσμοί Si-H υπάρχει και πάλι σταδιακή υποβάθμιση των επιδόσεων του τρανζίστορ αλλά με μικρότερους ρυθμούς.

Μια γενική σχέση που δείχνει την μεταβολή της τάσης κατωφλίου είναι η ακόλουθη [62], [64], [65]:

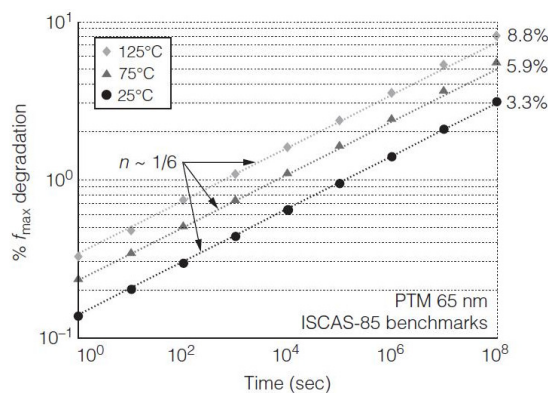
$$\Delta V_{th} \cong \frac{q N_{it}(E)}{c_{ox}} \cong f_{AC}(S_p) \cdot K_{DC} \cdot t^n \quad (1)$$

όπου,  $N_{IT}$  η πυκνότητα των παγίδων στην διεπαφή,  $C_{ox}$  η χωρητικότητα του οξειδίου,  $q$  το φορτίο του ηλεκτρονίου,  $K_{DC}$  σταθερά που εξαρτάται από την τεχνολογία, τη θερμοκρασία, την τάση τροφοδοσίας  $V_{DD}$  και τη γεωμετρία του τρανζίστορ, ενώ η συνάρτηση  $f_{AC}$  αντιπροσωπεύει το AC στρες στο τρανζίστορ και η μεταβλητή  $S_p$  εκφράζει το ποσοστό του χρόνου που το τρανζίστορ είναι υπό στρες, τέλος  $n \approx 1/6$ . Ένα απλό μοντέλο για την προσομοίωση του NBTI φαινομένου φαίνεται σε εφαρμογή σε μια πύλη NOR στο Σχήμα 1.13 [62], όπου μια πρόσθετη πηγή τάσης χρησιμοποιείται στην πύλη των pMOS τρανζίστορ, η τιμή της οποίας προσδιορίζεται με βάση την εξίσωση (1).

**B) Στατιστική διακύμανση στο NBTI φαινόμενο:** Αναφέρθηκε νωρίτερα ότι το σπάσιμο και η επανασύνδεση των δεσμών Si-H εμφανίζει στατιστική διακύμανση μέσα στο χρόνο [38]. Έτσι η στατιστική διακύμανση του μηχανισμού NBTI οδηγεί σε πρόσθετη τυχαία διακύμανση της τάσης κατωφλίου, πέρα από την διακύμανση η οποία οφείλεται στην τυχαία συγκέντρωση των προσμίξεων στο κανάλι (random dopant fluctuation – RDF). Λαμβάνοντας υπόψιν και τα δύο φαινόμενα η διακύμανση ( $\sigma$ ) στην τάση κατωφλίου μπορεί να εκφραστεί ως ακολούθως [62]:

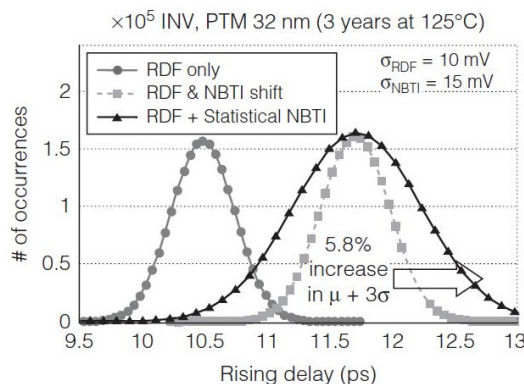
$$\sigma_{V_{th}}(\xi) = \sqrt{\sigma_{RDF}^2 + \sigma_{NBTI}^2(\xi)} \quad (2)$$

**Γ) Επίδραση του NBTI στην λειτουργία των λογικών κυκλωμάτων:** Εξ αιτίας της μεταβολής της τάσης κατωφλίου καθώς και της στατιστικής της διακύμανσης, υπό την επίδραση του μηχανισμού NBTI, επηρεάζεται η καθυστέρηση διάδοσης σήματος μέσα στα ολοκληρωμένα κυκλώματα. Η επίδραση είναι τόσο μεγαλύτερη όσο μεγαλύτερο είναι το θερμοκρασιακό στρες στο οποίο υποβάλλεται το κύκλωμα. Στο Σχήμα 1.14 που ακολουθεί παρουσιάζεται η μέγιστη ποσοστιαία μεταβολή στη μέση συχνότητα λειτουργίας ( $f_{max}$ ) των κυκλωμάτων αναφοράς ISCAS-85 για διαφορετικές θερμοκρασίες περιβάλλοντος [62]. Τα κυκλώματα αυτά έχουν σχεδιαστεί σε μία πρότυπη τεχνολογία των 65nm. Σύμφωνα με τα πειραματικά αποτελέσματα, η παράμετρος θερμοκρασία παίζει καθοριστικό ρόλο στην επίδραση του φαινομένου πάνω στην ταχύτητα λειτουργίας ενός ολοκληρωμένου κυκλώματος.



**Σχήμα 1.14: Επίδραση της θερμοκρασίας στη συχνότητα λειτουργίας μέσω του μηχανισμού NBTI [62]**

Μελετώντας στο Σχήμα 1.14, παρατηρούμε ότι η επίδραση του NBTI μηχανισμού στην ταχύτητα λειτουργίας δεν είναι εξαιρετικά εκτεταμένη καθώς α) το φαινόμενο επηρεάζει μόνο τις ανοδικές μεταβάσεις των σημάτων, β) οι λογικές πύλες δεν έχουν την ίδια ευαισθησία σε αυτό και γ) η πιθανότητα μεταβάσεων στους εσωτερικούς κόμβους του κυκλώματος παρουσιάζει μεγάλη διακύμανση.



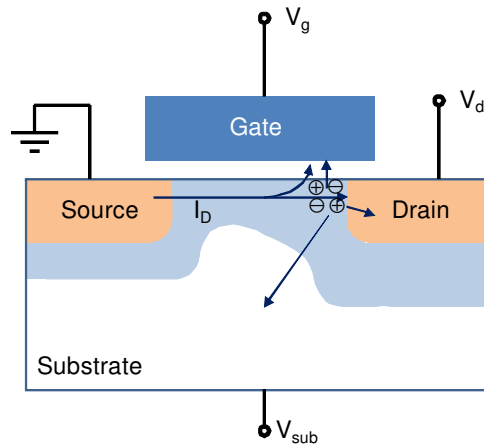
**Σχήμα 1.15: Διακύμανση καθυστέρησης αναστροφέα υπό την παρουσία στατικού/δυναμικού NBTI [62]**

Στο Σχήμα 1.15 δίδεται το ιστόγραμμα της καθυστέρησης ενός αναστροφέα, σχεδιασμένου σε μια πρότυπη τεχνολογία των 32nm, ύστερα από SPICE Monte-Carlo προσομοιώσεις. Εμφανίζονται τρεις περιπτώσεις, α) χωρίς την παρουσία NBTI (μόνο RDF διακύμανση στην τάση κατωφλίου), β) υπό την παρουσία στατικού NBTI (στρες τριών χρόνων) και RDF διακύμανσης και γ) υπό την παρουσία στατικού και δυναμικού NBTI και RDF διακύμανσης. Η έρευνα έχει δείξει ότι κλιμακώνοντας την τεχνολογία η επίδραση του NBTI μηχανισμού γίνεται περισσότερο ισχυρή.

Σύμφωνα με την προηγούμενη ανάλυση, ο NBTI μηχανισμός αυξάνει τόσο την καθυστέρηση διάδοσης σήματος όσο και την διακύμανσή της στις διαδρομές ενός ολοκληρωμένου κυκλώματος. Σε συνδυασμό και με άλλους παράγοντες η επιρροή αυτή μπορεί να είναι εξαιρετικά σημαντική και καθίσταται ιδιαίτερα καθοριστική στις χρονικά κρίσιμες διαδρομές σήματος. Στα πρώτα στάδια της εξέλιξης του NBTI φαινομένου και ειδικά εξ αιτίας της αύξησης της στατιστικής διακύμανσης της τάσης κατωφλίου, η επίδρασή του θα εκδηλώνεται με την μορφή διαλειπόντων σφαλμάτων και πιο συγκεκριμένα με τη μορφή σφαλμάτων χρονισμού. Συνεπώς, γίνεται φανερό ότι απαιτούνται τεχνικές που θα κάνουν τα κυκλώματα ανθεκτικά στην παρουσία του NBTI φαινομένου, με την έννοια της υψηλής ανοχής στα προκαλούμενα λάθη χρονισμού. Φυσικά, με την πάροδο του χρόνου τα σφάλματα αυτά θα καταλήξουν να είναι μόνιμα στο ολοκληρωμένο κύκλωμα και τεχνικές περιοδικού ελέγχου της ορθής λειτουργίας μπορούν να συμβάλλουν στην ανίχνευσή τους ώστε να αντιμετωπιστούν.

### 1.8.2 Η έγχυση θερμών φορέων

Όπως στην περίπτωση του NBTI φαινομένου έτσι και στην περίπτωση της έγχυσης θερμών φορέων (hot carrier injection - HCI) το αποτέλεσμα στην λειτουργία των ψηφιακών κυκλωμάτων είναι η σταδιακή μείωση των επιδόσεων (ταχύτητα λειτουργίας) εξ αιτίας της αύξησης, κατά απόλυτη τιμή, της τάσης κατωφλίου  $V_{th}$  των τρανζίστορ αλλά και της μείωσης της κινητικότητας  $\mu$  των φορέων κίνησης [66]. Το φαινόμενο έχει σημαντική επίδραση στις σημερινές τεχνολογίες εξ αιτίας των αυξανόμενων ηλεκτρικών πεδίων ανά μονάδα επιφανείας στα χρησιμοποιούμενα τρανζίστορ.



Σχήμα 1.16: Ο μηχανισμός HCl

Υπό συνθήκες υψηλής τάσης στην πύλη και την υποδοχή του τρανζίστορ (HCl στρες), οι φορείς κίνησης στο κανάλι αποκτούν ικανή ενέργεια ώστε να διεισδύσουν στο μονωτή της πύλης και να εγκλωβιστούν σε αυτόν. Επίσης, αυτοί οι φορείς προσκρούοντας στα άτομα Si του καναλιού, κοντά στην περιοχή της υποδοχής, μπορούν να δημιουργήσουν ζεύγη οπών-ηλεκτρονίων τα οποία είναι ικανά και πάλι να διεισδύσουν στο μονωτή της πύλης. Το αποτέλεσμα αυτής της παγίδευσης είναι η μετατόπιση της τάσης κατωφλίου του τρανζίστορ [67]. Καθώς τα ηλεκτρόνια είναι πιο θερμά από τις οπές, έχει διαπιστωθεί ότι η επίδραση του HCl φαινομένου είναι περισσότερο σημαντική στα nMOS τρανζίστορ από ότι στα pMOS τρανζίστορ. Η κατάργηση του HCl στρες μειώνει μερικώς την ένταση του φαινομένου, χωρίς όμως η ανάκαμψη να είναι τόσο σημαντική όσο στον NBTI μηχανισμό.

Όπως και στην μετατόπιση της τάσης κατωφλίου στο NBTI φαινόμενο, έτσι και στο HCl φαινόμενο η αντίστοιχη μετατόπιση είναι ανάλογη κάποιας δύναμης του χρόνου που το τρανζίστορ είναι υπό στρες. Επιπλέον, η μετατόπιση της τάσης κατωφλίου έχει εκθετική εξάρτηση από το κατακόρυφο ηλεκτρικό πεδίο στο οξείδιο της πύλης  $E_{ox}$  και το πλευρικό ηλεκτρικό πεδίο  $E_m$ , ενώ έχει διαπιστωθεί εξάρτηση από τη θερμοκρασία και τα γεωμετρικά χαρακτηριστικά του τρανζίστορ [67]. Πρόσφατα, προτάθηκε το μοντέλο που ακολουθεί στη σχέση (3) για την υποβάθμιση της τάσης κατωφλίου εξ αιτίας του HCl φαινομένου [66]:

$$\Delta V_{th}(t) = \sqrt{Q_i} \cdot e^{E_{ox}/E_o} \cdot e^{-\phi_{it}/q\lambda E_m} \cdot t^n \quad (3)$$

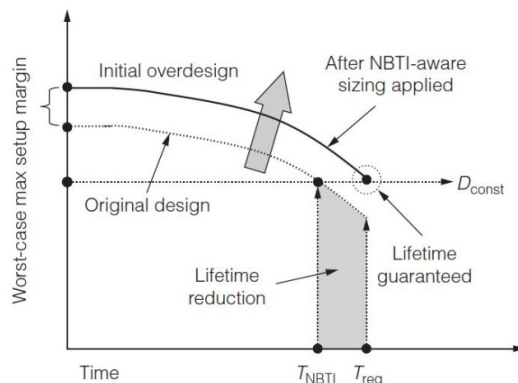
όπου  $Q_i$  είναι φορτίο αναστροφής,  $\phi_{it}$  η ενέργεια παγίδευσης και  $\lambda$  η μέση ελεύθερη διαδρομή των θερμών φορέων, ενώ  $E_o$  είναι παράγοντας που εξαρτάται από την κατασκευαστική διαδικασία. Με βάση τα μοντέλα της HCl υποβάθμισης, έχουν αναπτυχθεί εργαλεία προσομοίωσης της γήρανσης των ολοκληρωμένων κυκλωμάτων [68]. Να επισημανθεί ότι έχει παρατηρηθεί η ταυτόχρονη επίδραση των μηχανισμών NBTI και HCl στην υποβάθμιση της τάσης κατωφλίου των pMOS τρανζίστορ [69].

Η σταδιακή υποβάθμιση της τάσης κατωφλίου υπό την παρουσία του HCl μηχανισμού οδηγεί αρχικά στην εμφάνιση διαλειπόντων σφαλμάτων με τη μορφή σφαλμάτων χρονισμού τα οποία δημιουργούν λάθη χρονισμού. Η μακροχρόνια έκθεση στο φαινόμενο HCl θα μετεξελιχθεί τα διαλείποντα σφάλματα σε μόνιμα σφάλματα.

### 1.8.3 Αντιμετώπιση της γήρανσης των ολοκληρωμένων κυκλωμάτων

Η γήρανση των ολοκληρωμένων κυκλωμάτων αποτελεί ένα πολύ σημαντικό και διαρκώς επιδεινούμενο πρόβλημα στις σύγχρονες νανοτεχνολογίες. Το γεγονός αυτό οδήγησε στην ανάπτυξη τεχνικών αντιμετώπισής της, είτε με την επίτευξη ανοχής στα λάθη χρονισμού είτε με την ανίχνευση και διόρθωσή τους.

A) Σχεδίαση για αξιόπιστη λειτουργία υπό την παρουσία μηχανισμών γήρανσης: Σε αυτόν τον τομέα διακρίνονται δύο βασικές προσεγγίσεις. Αρχικά αναφέρουμε την κλασσική σχεδιαστική αρχή της χρήσης περιθωρίων ασφαλείας στο σχεδιασμό ώστε τα φαινόμενα γήρανσης να μην μπορούν να επηρεάσουν την ορθή λειτουργία των κυκλωμάτων κατά τον ωφέλιμο χρόνο της ζωής τους.



Σχήμα 1.17: Σχεδιασμός χειρίστου σεναρίου για την επίτευξη του επιθυμητού χρόνου ζωής

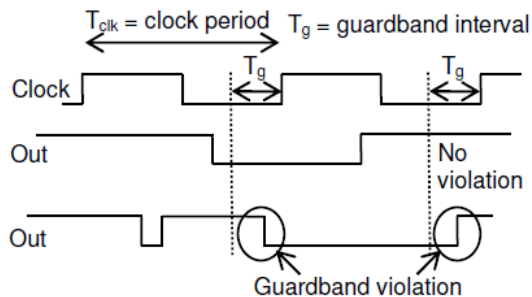
Η δεύτερη εναλλακτική τεχνική υλοποιείται με την κατάλληλη επιλογή των μεγεθών των τρανζίστορ των πυλών, ώστε η γήρανση να μη μειώσει τα ρεύματα λειτουργίας κάτω από τα επιθυμητά επίπεδα για την επίτευξη της προσδοκώμενης ταχύτητας λειτουργίας [70]. Μια αρχική προσέγγιση είναι ο καθορισμός των μεγεθών των τρανζίστορ με βάση το χειρίστο αναμενόμενο σενάριο υποβάθμισης της τάσης κατωφλίου. Στο Σχήμα 1.17 δίδεται παραστατικά η τεχνική της επέκτασης των περιθωρίων ασφαλείας, με κατάλληλη επιλογή των μεγεθών των τρανζίστορ, ώστε ο πραγματικός ωφέλιμος χρόνος ζωής του κυκλώματος να ταυτιστεί με τον χρόνο που απαιτείται στις προδιαγραφές ( $T_{req}$ ). Προφανώς αυτή η λύση αυξάνει σημαντικά το κόστος σε επιφάνεια πυριτίου καθώς και την κατανάλωση ενέργειας.

Μια βελτιωμένη προσέγγιση, που μειώνει τα προβλήματα κόστους και κατανάλωσης, είναι η επιλογή των κατάλληλων μεγεθών των τρανζίστορ με κριτήριο την αναμενόμενη έκθεσή τους σε συνθήκες στρες (ποσοστό χρόνου σε συνθήκες στρες – παράμετρος  $S_p$ ) αλλά και το κατά πόσο συμμετέχουν σε χρονικά κρίσιμες διαδρομές σήματος μέσα στο κύκλωμα. Μη κρίσιμες διαδρομές σήματος, ακόμη και υπό το χειρίστο σενάριο στρες, δεν θα επηρεάσουν ποτέ, μέσα στον ωφέλιμο χρόνο ζωής του κυκλώματος, τις επιδόσεις του. Εναλλακτικά στην προηγούμενη τεχνική, μπορεί ο σχεδιαστής να παρέμβει στη διαδικασία της σύνθεσης ενός κυκλώματος επιλέγοντας, όπου απαιτείται, για την υλοποίηση πύλες οι οποίες έχουν χαρακτηριστεί λιγότερο ευπαθείς στους μηχανισμούς γήρανσης (π.χ. η πύλη NAND είναι λιγότερο ευπαθής στον NBTI μηχανισμό σε σχέση με τη NOR πύλη) [70].

B) Ανίχνευση και διόρθωση λαθών χρονισμού: Όπως αναφέρθηκε νωρίτερα, η επίδραση των μηχανισμών γήρανσης στην λειτουργία των ολοκληρωμένων κυκλωμάτων εκδηλώνεται κατά κύριο λόγο με τη μορφή σφαλμάτων χρονισμού

και κατ' επέκταση με την εμφάνιση λαθών χρονισμού. Οι τεχνικές για την ανίχνευση και διόρθωση λαθών χρονισμού, που μπορούν να χρησιμοποιηθούν και στην περίπτωση των φαινομένων γήρανσης, αναλύονται στο κεφάλαιο 2.

*Γ) Πρόβλεψη και προσαρμογή:* Ως εναλλακτική τεχνική αντιμετώπισης των φαινομένων γήρανσης σε ένα ολοκληρωμένο κύκλωμα έχει προταθεί η έγκαιρη πρόβλεψή τους και η εν συνεχεία προσαρμογή του κυκλώματος ώστε να εξακολουθεί να λειτουργεί υπό τις νέες συνθήκες. Η πρόβλεψη των φαινομένων γήρανσης επιτυγχάνεται με τη χρήση αισθητήρων γήρανσης στα στοιχεία μνήμης (flip-flop, μανδαλωτές) οι οποίοι παρακολουθούν ταυτόχρονα με τη λειτουργία τη συμπεριφορά του κυκλώματος. Στόχος είναι ο εντοπισμός μεταβολών στους χρόνους απόκρισης της συνδυαστικής λογικής πριν εκδηλωθούν λάθη χρονισμού. Οι σχετικές τεχνικές απαιτούν την προσθήκη ενός χρονικού διαστήματος ασφαλείας (guardband interval or margin) στην περίοδο του χρησιμοποιούμενου σήματος ρολογιού, όπως φαίνεται στο Σχήμα 1.18. Συνεπώς, εκ σχεδιασμού το κύκλωμα λειτουργεί σε μικρότερη συχνότητα από εκείνη που θα μπορούσε να λειτουργήσει στην χειρότερη των περιπτώσεων, γεγονός που αποτελεί το κύριο μειονέκτημα αυτών των τεχνικών. Στην περίπτωση που ο αισθητήρας ανιχνεύσει αποκρίσεις της συνδυαστικής λογικής μέσα στο χρονικό διάστημα ασφαλείας (δηλ. εκτός των επιτρεπτών ορίων αλλά χωρίς παραβίαση του χρόνου αρχικοποίησης (set-up) των στοιχείων μνήμης) τότε έχει εντοπιστεί επίδραση στην ταχύτητα λειτουργίας εξ αιτίας των φαινομένων γήρανσης. Κανένα όμως λάθος δεν έχει προκληθεί στις αποκρίσεις του κυκλώματος. Η ανωτέρω ανίχνευση επιφέρει την προσαρμογή (μείωση) της συχνότητας λειτουργίας ώστε οι αποκρίσεις του κυκλώματος να μην ενεργοποιούν τον αισθητήρα γήρανσης. Αν στη συνέχεια τα φαινόμενα γήρανσης επιδράσουν και πάλι στην ταχύτητα απόκρισης του κυκλώματος, ακολουθεί ένας νέος κύκλος ανίχνευσης – προσαρμογής και ούτω καθ' εξής, με αποτέλεσμα το κύκλωμα να λειτουργεί απρόσκοπτα καθ' όλη τη διάρκεια της «ζωής» του.



**Σχήμα 1.18: Αρχή λειτουργίας αισθητήρων γήρανσης με χρονικό διάστημα ασφαλείας (guardband interval)**

Πρέπει να αναφερθεί ότι η παρουσία των αισθητήρων γήρανσης δεν είναι υποχρεωτική σε κάθε στοιχείο μνήμης του κυκλώματος. Μόνο τα στοιχεία μνήμης στην έξοδο διαδρομών σήματος της συνδυαστικής λογικής οι οποίες είναι επιρρεπείς σε λάθη χρονισμού εξ αιτίας φαινομένων γήρανσης απαιτούν προστασία. Καθώς όμως οι διαδρομές σήματος που θα επηρεαστούν από φαινόμενα γήρανσης εξαρτώνται από τη χρήση του κυκλώματος (εφαρμογές, δεδομένα) και περιβαλλοντικούς παράγοντες, ο προσδιορισμός τους δεν είναι μία απλή διαδικασία.

## 1.9 Διαλείποντα σφάλματα - Ηλεκτρομετανάστευση

Το φαινόμενο της ηλεκτρομετανάστευσης δεν αφορά τα τρανζίστορ ενός ολοκληρωμένου κυκλώματος αλλά τις γραμμές διασύνδεσης μέσα σε αυτό. Μπορεί να περιγραφεί ως μια φυσική μετατόπιση των ιόντων του μετάλλου στις γραμμές διασύνδεσης. Η μετατόπιση αυτή οφείλεται στη σημαντική ροή ηλεκτρονίων (σε περιπτώσεις υψηλής πυκνότητας ρεύματος) τα οποία αλληλεπιδρούν με τα ιόντα του μετάλλου [71], [72]. Αυτή η διεργασία οδηγεί στη δημιουργία εσοχών ή εξογκώσεων στο μέταλλο που με τη σειρά τους μπορούν σταδιακά να προκαλέσουν αντιστατικά ανοικτοκυκλώματα ή βραχυκυκλώματα αντίστοιχα, τα οποία εξελίσσονται με το χρόνο. Καθώς το φαινόμενο της ηλεκτρομετανάστευσης ενισχύεται στην περίπτωση ακανόνιστης επιφάνειας, οι κατακόρυφες διασυνδέσεις μετάλλου (contacts και vias) στα ολοκληρωμένα κυκλώματα καθίστανται περισσότερο επιρρεπείς [71]. Η σχέση που αποδίδει την ηλεκτρομετανάστευση με όρους μέσου χρόνου αστοχίας (mean time to failure - MTTF) παρουσιάζεται ακολούθως [71], [67]:

$$MTTF \sim A \cdot J^{-2} \cdot e^{-E_a/kT} \quad (4)$$

όπου  $J$  η πυκνότητα ρεύματος στο καλώδιο,  $A$  η επιφάνεια της διατομής του καλωδίου και  $E_a$  η ενέργεια ενεργοποίησης του μηχανισμού ηλεκτρομετανάστευσης η οποία εξαρτάται από το υλικό του μετάλλου. Συνεπώς, μία μεγάλη επιφάνεια διατομής ή μία μικρότερη πυκνότητα ρεύματος συμβάλλει στην αύξηση του μέσου χρόνου αστοχίας.

Η επίδραση της ηλεκτρομετανάστευσης μπορεί να αντιμετωπιστεί αποτελεσματικά στο επίπεδο του φυσικού σχεδιασμού (custom/layout design) με την αύξηση της διατομής των μετάλλων, όπου απαιτείται, και τον κατάλληλο προσανατολισμό των κατακόρυφων διασυνδέσεων μετάλλου [72]. Επίσης, καθώς η ηλεκτρομετανάστευση εμφανίζεται κατά τη λειτουργία του κυκλώματος στο πεδίο της εφαρμογής και έχει ως τελικό αποτέλεσμα κυρίως την αύξηση της καθυστέρησης διάδοσης των σημάτων στο κύκλωμα, σε πρώιμα στάδια μπορεί να αντιμετωπιστεί με τις τεχνικές που αναφέρθηκαν νωρίτερα για τα λάθη χρονισμού.

## 1.10 Αναγκαιότητα ανίχνευσης λαθών χρονισμού

Οι διακυμάνσεις της κατασκευαστικής διαδικασίας, της τάσης και της θερμοκρασίας (Process Voltage Temperature variations – PVT) [73] καθώς και το φαινόμενο της γήρανσης υποβαθμίζουν την αξιοπιστία των κυκλωμάτων, όπως την ικανότητά τους να αποκρίνονται σωστά μέσα σε ένα συγκεκριμένο χρονικό διάστημα. Επιπλέον, η αξιοπιστία των κυκλωμάτων [74], [75] αναμένεται να μειωθεί καθώς κλιμακώνεται η τεχνολογία. Υπό αυτές τις συνθήκες απαιτούνται πιο συντηρητικές προσεγγίσεις σχεδίασης, με διευρυμένα περιθώρια τάσης και θορύβου, ώστε να εξασφαλιστεί η σωστή λειτουργία των ολοκληρωμένων κυκλωμάτων.

Οι μηχανισμοί γήρανσης επηρεάζουν την ταχύτητα των νανομετρικών κυκλωμάτων συνεχώς νωρίτερα στη διάρκεια της ζωής τους [76] [77] [78]. Όπως έχει ήδη αναφερθεί, παράγοντες όπως η αστάθεια αρνητικής πόλωσης-θερμοκρασίας (Negative Bias Temperature Instability – NBTI) [79] [80] και η έγχυση θερμών φορέων (Hot Carrier Injection – HCI) [81] συμβάλλουν στη γήρανση των pMOS και nMOS τρανζίστορ αντίστοιχα. Και στις δύο περιπτώσεις με την πάροδο του χρόνου υποβαθμίζεται η τάση κατωφλίου των τρανζίστορ. Η



γήρανση του ημιαγωγού επηρεάζει μακροπρόθεσμα [82] την απόδοση των κυκλωμάτων και μπορεί να ενεργοποιήσει λανθάνουσες κατά τη διαδικασία κατασκευής φυσικές ατέλειες. Για παράδειγμα, μπορεί να προκληθούν διακυμάνσεις στη τάση κατωφλίου εξ αιτίας των παγιδευμένων οπών στο λεπτό οξειδίο της πύλης (gate oxide), ή εξ αιτίας των αλλαγών στη διαχωριστική επιφάνεια μεταξύ πυριτίου και οξειδίου πύλης. Στην πρώτη περίπτωση αυξάνεται η τάση κατωφλίου των pMOS τρανζίστορ ενώ στη δεύτερη αυξάνεται η τάση κατωφλίου των nMOS τρανζίστορ. Έτσι, με την υποβάθμιση της τάσης κατωφλίου των τρανζίστορ αυξάνεται η καθυστέρηση διάδοσης των σημάτων και συνεπώς ο ρυθμός εμφάνισης λαθών χρονισμού.

Ανακεφαλαιώνοντας, τα λάθη χρονισμού οφείλονται επίσης στις διακυμάνσεις της κατασκευαστικής διαδικασίας (π.χ. στο πάχος του οξειδίου πύλης [83]), στο φαινόμενο crosstalk [84], στην αντιστατική πτώση της τάσης στην τροφοδοσία (resistive IR-drop) [85] και στις διαταραχές της τάσης τροφοδοσίας [86]. Επιπλέον, στα συστήματα χαμηλής κατανάλωσης ισχύος που λειτουργούν σε πολλαπλές συχνότητες και τάσεις τροφοδοσίας [87], μπορεί να παρατηρηθεί αύξηση στο ποσοστό των λαθών χρονισμού εξ αιτίας των διακυμάνσεων στις συνθήκες του περιβάλλοντος, στη διαδικασία κατασκευής και στα δεδομένα εισόδου που επηρεάζουν την απόδοση του κυκλώματος.

Είναι προφανές ότι η ανεκτικότητα σε λάθη χρονισμού είναι ουσιαστικό προαπαιτούμενο στους σύγχρονους σχεδιασμούς των ολοκληρωμένων κυκλωμάτων στις νανομετρικές τεχνολογίες, ώστε να επιτύχουμε έναν αποδεκτό ρυθμό εμφάνισης λαθών ενώ παράλληλα να πληρούνται τα πρότυπα της αξιοπιστίας.

Στη διεθνή βιβλιογραφία έχουν παρουσιαστεί διάφορες τεχνικές αντιμετώπισης των λαθών χρονισμού κατά τη λειτουργία των κυκλωμάτων στο πεδίο της εφαρμογής. Εντούτοις, μόνιμο ζητούμενο για την επιστημονική κοινότητα και τη βιομηχανία ημιαγωγών παραμένει η ανάπτυξη χαμηλού κόστους, σε επιφάνεια πυριτίου και κατανάλωση ενέργειας, τεχνικών ταυτόχρονης εν λειτουργία αντιμετώπισης των λαθών χρονισμού, οι οποίες θα προσφέρουν υψηλή αξιοπιστία με μικρή επίδραση στις επιδόσεις των κυκλωμάτων και οι οποίες θα επαναχρησιμοποιούν υπάρχοντες μηχανισμούς κάλυψης σφαλμάτων που ενσωματώνονται στο ολοκληρωμένο κύκλωμα.

### **1.11 Κατηγοριοποίηση των τεχνικών ανίχνευσης λαθών χρονισμού**

Όπως έχει ήδη αναφερθεί, στην ανοικτή βιβλιογραφία έχουν προταθεί διάφορες τεχνικές για την εν λειτουργία ανεκτικότητα (resilience) των κυκλωμάτων σε λάθη χρονισμού. Γενικά, αυτές οι τεχνικές μπορούν να καταταχθούν σε τρεις κατηγορίες με βάση την ανίχνευση, την πρόβλεψη και την απόκρυψη λαθών.

#### **1.11.1 Τεχνικές ανίχνευσης λαθών**

Οι τεχνικές ανίχνευσης λαθών (error detection) βασίζονται στην παρατήρηση (monitoring) των σημάτων της διαδρομής δεδομένων (datapath) για τον εντοπισμό μεταβάσεων οι οποίες φτάνουν μετά την ακμή πυροδότησης του ρολογιού. Στην εργασία [88], περιγράφεται ένα από τα πρώτα κυκλώματα για την εν λειτουργία ανίχνευση λαθών χρονισμού με τη χρήση ενός ελεγκτή ευστάθειας (stability checker) ο οποίος παρατηρεί τις καθυστερημένες αφίξεις των μεταβάσεων εντός ενός χρονικού διαστήματος μετά την ακμή του ρολογιού. Στις δημοσιεύσεις [89] και [90], παρουσιάζονται δύο κυκλώματα ανίχνευσης

σφαλμάτων καθυστέρησης (delay faults) για αυτοελεγχόμενες (self-checking) εφαρμογές. Μία ακόμα τεχνική [91] προτείνει την ανίχνευση λαθών η οποία βασίζεται στην επαναδειγματοληψία (resampling) των σημάτων της διαδρομής δεδομένων μετά από μία καθυστέρηση, και τη σύγκριση των νέων τιμών με τις τιμές οι οποίες είναι ήδη αποθηκευμένες στα flip-flop των καταχωρητών. Η τεχνική Razor [92] προτείνει την εν λειτουργία ανίχνευση λαθών χρονισμού για τη μείωση της κατανάλωσης ισχύος ή την αύξηση της απόδοσης με τη χρήση της δυναμικής ρύθμισης της τάσης τροφοδοσίας. Μία παραλλαγή αυτής της τεχνικής παρουσιάζεται στη δημοσίευση [93] σύμφωνα με την οποία τα flip-flop της διαδρομής δεδομένων αντικαθίστανται από μανδαλωτές (latch) για την αντιμετώπιση των ζητημάτων της μεταευστάθειας (metastability). Ωστόσο, ο κύκλος εργασίας του ρολογιού πρέπει να προσαρμοστεί ώστε να αποφευχθούν οι αυστηροί περιορισμοί για τον χρόνο συγκράτησης (hold time), οι οποίοι εισάγονται από τους μανδαλωτές. Στη δημοσίευση [94] περιγράφεται ένας ενισχυτής (sense amplifier) ο οποίος μπορεί να ανιχνεύει λάθη χρονισμού και διαταραχές απλού συμβάντος (single-event upsets - SEUs - soft errors). Επίσης έχουν προταθεί τεχνικές (όπως στην εργασία [95]) για τον ταυτόχρονο έλεγχο ορθής λειτουργίας οι οποίες βασίζονται σε διπλασιασμό (duplication) του κυκλώματος.

### 1.11.2 Τεχνικές πρόβλεψης λαθών

Οι τεχνικές πρόβλεψης λαθών (error prediction) βασίζονται στην παρατήρηση των σημάτων της διαδρομής δεδομένων για ένα συγκεκριμένο χρονικό διάστημα πριν την ακμή του ρολογιού. Στην εργασία [96], περιγράφεται ένας ελεγκτής ευστάθειας ο οποίος προβλέπει λάθη χρονισμού που δημιουργούνται από τη σταδιακή αύξηση της καθυστέρησης των σημάτων εξ αιτίας της επίδρασης της γήρανσης (aging effects). Μία ακόμα τεχνική πρόβλεψης λαθών παρουσιάζεται στην [97] κατά την οποία, αφού προστεθεί καθυστέρηση στα σήματα της διαδρομής δεδομένων, γίνεται δειγματοληψία αυτών των σημάτων σε ένα δεύτερο flip-flop το οποίο ονομάζεται canary flip-flop. Ένα λάθος χρονισμού προβλέπεται όταν η τιμή στο flip-flop της διαδρομής δεδομένων διαφέρει από τη τιμή στο canary flip-flop. Η τεχνική στη δημοσίευση [98] προτείνει για κάθε κρίσιμο μονοπάτι να δημιουργηθεί ένα πανομοιότυπο. Η πρόβλεψη των λαθών βασίζεται στο διπλασιασμό των κρίσιμων μονοπατιών. Έτσι με την ανίχνευση των λαθών χρονισμού στα πανομοιότυπα μονοπάτια προβλέπονται τα λάθη χρονισμού πριν συμβούν στα αρχικά κρίσιμα μονοπάτια. Η αποτελεσματικότητα αυτής της προσέγγισης είναι περιορισμένη καθώς τα δύο μονοπάτια μπορεί να διαφέρουν λόγω κατασκευαστικών διακυμάνσεων και επίσης τα κρίσιμα μονοπάτια μπορεί να αλλάξουν με την πάροδο του χρόνου [99].

### 1.11.3 Τεχνικές απόκρυψης λαθών

Οι τεχνικές απόκρυψης λαθών (error masking) που προτείνονται στη βιβλιογραφία μπορούν να χωριστούν σε δύο κατηγορίες: τις λογικές (logical) και τις προσωρινές (temporal). Οι λογικές τεχνικές απόκρυψης λαθών (π.χ. [100]) χρησιμοποιούν πλεονάζουσα λογική για τον υπολογισμό της σωστής τιμής της εξόδου των κρίσιμων μονοπατιών. Οι προσωρινές τεχνικές απόκρυψης λαθών αποκρύπτουν τα λάθη με δανεισμό χρόνου (time-borrowing), για παράδειγμα καθυστερώντας τον χρόνο άφιξης των σωστών δεδομένων στο επόμενο στάδιο της δομής διοχέτευσης (pipeline). Στην εργασία [101] οι συγγραφείς προτείνουν μία προσωρινή τεχνική απόκρυψης λαθών η οποία βασίζεται στην αδρανοποίηση του σήματος του ρολογιού (stalling) για έναν κύκλο μετά την ανίχνευση ενός

λάθους χρονισμού, ώστε να διορθωθεί η κατάσταση του συστήματος. Αυτή η τεχνική υποθέτει ότι για την δημιουργία της συνολικής ένδειξης λάθους, δεν απαιτείται περισσότερος χρόνος από έναν κύκλο του ρολογιού. Στη δημοσίευση [102] προτείνεται ένας ανιχνευτής ακμής (edge detector) για την ανίχνευση παραβιάσεων του χρονισμού του κυκλώματος κοντά την θετική ακμή του ρολογιού. Στην περίπτωση αυτή χρησιμοποιείται ένα καθυστερημένο σήμα του ρολογιού για τη επαναδειγματοληψία και την διόρθωση της τιμής των δεδομένων με δανεισμό χρόνου από το επόμενο στάδιο της δομής διοχέτευσης. Αυτή η τεχνική υποθέτει ότι ο χρόνος αυτός απορροφάται από ένα μη κρίσιμο μονοπάτι του επόμενου σταδίου. Η υπόθεση αυτή μπορεί να μην είναι έγκυρη και μπορεί να οδηγήσει σε λάθη χρονισμού, ειδικά σε υλοποιήσεις υψηλής απόδοσης. Επιπρόσθετα, το κύκλωμα του ανιχνευτή ακμής βασίζεται σε ακριβείς τιμές καθυστέρησης και ίσως να χρειαστεί να αυξηθεί η περίοδος του ρολογιού λόγω των διακυμάνσεων της διαδικασίας κατασκευής. Τέλος στην εργασία [103] περιγράφεται μία τεχνική η οποία προσφέρει στα κρίσιμα στάδια μίας δομής διοχέτευσης περισσότερο χρόνο να υπολογίσουν την τιμή τους, επιτρέποντας το δανεισμό χρόνου με τη χρήση ενός flip-flop το οποίο τροποποιεί δυναμικά τον κύκλο εργασίας του (duty cycle).

### 1.12 Συνεισφορά και δομή της διατριβής

Στο πλαίσιο του διδακτορικού υλοποιήθηκαν τρεις τεχνικές ανίχνευσης και διόρθωσης λαθών χρονισμού με στόχο τη χαμηλή κατανάλωση ισχύος και επιφάνεια πυριτίου. Ονομάζονται τεχνικές διαστολής χρόνου διότι μετά την ανίχνευση λάθους απαιτείται ένας επιπλέον κύκλος ρολογιού του συστήματος για την διαδικασία της διόρθωσης. Με σκοπό την αξιολόγησή τους, οι τρεις τεχνικές εφαρμόστηκαν σε έναν μικροεπεξεργαστή MIPS R2000 32bit με αρχιτεκτονική δομής διοχέτευσης.

Η διάρθρωση των κεφαλαίων της διατριβής έχει ως ακολούθως. Στο κεφάλαιο 2 εξετάζονται οι κυριότερες τεχνικές ανίχνευσης και διόρθωσης λαθών χρονισμού στην ανοικτή βιβλιογραφία, οι οποίες εφαρμόζονται σε σχεδιασμούς που βασίζονται είτε σε flip-flop είτε σε μανδαλωτές. Το κεφάλαιο 3 παρουσιάζει την τεχνική Διαστολής Χρόνου η οποία εφαρμόζεται σε δομές διοχέτευσης που υποστηρίζουν έλεγχο εκτός λειτουργίας με αλυσίδες σάρωσης. Επίσης, προτείνεται μία κατάλληλη αρχιτεκτονική ανάκαμψης της δομής διοχέτευσης και παρουσιάζονται τα πειραματικά αποτελέσματα του φυσικού σχεδιασμού του προαναφερθέντος μικροεπεξεργαστή στην τεχνολογία 90nm της UMC. Στο κεφάλαιο 4 προτείνεται η δεύτερη τεχνική η οποία παρέχει προστασία σε σφάλματα χρονισμού αντικαθιστώντας μόνο τα flip-flop που βρίσκονται στο τέλος των δυνάμει κρίσιμων μονοπατιών. Αρχικά περιγράφεται η δομή του flip-flop ανίχνευσης και διόρθωσης, το οποίο χρησιμοποιεί ένα επιπλέον στοιχείο μνήμης για την αποθήκευση των καθυστερημένων δεδομένων και δύο πύλες XOR, η πρώτη ανιχνεύει το λάθος και η δεύτερη το διορθώνει ασύγχρονα με την αντιστροφή της λογικής τιμής της εξόδου του flip-flop. Επίσης, δίνονται τα αποτελέσματα των προσομοιώσεων του φυσικού σχεδιασμού του RISC μικροεπεξεργαστή και εξομοιώσεις του ίδιου κυκλώματος σε αναπτυξιακή πλατφόρμα FPGA. Στο κεφάλαιο 5 παρουσιάζεται η τρίτη τεχνική ανίχνευσης και διόρθωσης λαθών χρονισμού. Χαρακτηριστικό της λειτουργίας της είναι ότι η ανίχνευση λαμβάνει χώρα στην είσοδο των flip-flop με τη χρήση ενός ανιχνευτή μετάβασης και όχι με τη σύγκριση των τιμών μεταξύ της εισόδου και της εξόδου των flip-flop. Επιπλέον, δεν χρησιμοποιεί πρόσθετο στοιχείο μνήμης αλλά η διόρθωση επιτυγχάνεται ασύγχρονα με την αξιοποίηση των δυνατοτήτων

ασύγχρονης αρχικοποίησης στο 1 (preset) και ασύγχρονης αρχικοποίησης στο 0 (clear) του προτεινόμενου flip-flop. Η συγκεκριμένη τεχνική υλοποιήθηκε στην τεχνολογία Low Leakage 65nm της UMC, μέσω των υπηρεσιών που προσφέρει στα πανεπιστήμια ο οργανισμός EUROPRACTICE. Πειράματα επαλήθευσης της ορθής λειτουργίας της τεχνικής πραγματοποιήθηκαν στο ολοκληρωμένο κύκλωμα που κατασκευάστηκε. Επίσης, η τεχνική υλοποιήθηκε σε αναπτυξιακή πλατφόρμα FPGA και παρουσιάζονται τα σχετικά πειραματικά αποτελέσματα. Τέλος, το κεφάλαιο 6 συνοψίζει την εργασία με την παρουσίαση των συγκριτικών αποτελεσμάτων μεταξύ των τριών προτεινόμενων τεχνικών αλλά και σε σχέση με την τεχνική Razor (που αποτελεί σημείο αναφοράς στη βιβλιογραφία).

## 2. ΟΙ ΚΥΡΙΟΤΕΡΕΣ ΤΕΧΝΙΚΕΣ ΑΝΙΧΝΕΥΣΗΣ ΚΑΙ ΔΙΟΡΘΩΣΗΣ ΛΑΘΩΝ ΧΡΟΝΙΣΜΟΥ

### 2.1 Εισαγωγή

Τα σφάλματα χρονισμού στη συνδυαστική λογική ενός κυκλώματος οδηγούν σε καθυστερημένες αποκρίσεις. Οι καθυστερημένες αποκρίσεις ενδέχεται να δημιουργήσουν ένα ή περισσότερα λάθη χρονισμού στην έξοδο των καταχωρητών που ακολουθούν ή να θέσουν αυτούς τους καταχωρητές σε κατάσταση μεταευστάθειας. Πρόσφατα, έχουν προταθεί τεχνικές πρόβλεψης αστοχιών [78] καθώς και αισθητήρες γήρανσης [104] [105] ώστε να προβλέπονται οι αστοχίες χρονισμού και να λαμβάνονται οι σωστές ενέργειες πριν αυτές συμβούν. Επιπλέον, έχουν προταθεί διάφορες τεχνικές στην ανοικτή βιβλιογραφία [106], [107], [108], [109], [110], [111] οι οποίες ανιχνεύουν τις καθυστερημένες αποκρίσεις υπό την παρουσία σφαλμάτων χρονισμού και επιτυγχάνουν την ανεκτικότητα σε λάθη μέσω της επανεκτέλεσης εντολών.

Στη εργασία [112] προτείνονται τεχνικές ανίχνευσης και διόρθωσης λαθών κατάλληλες για σχεδιασμούς μικροεπεξεργαστών όπου κάθε flip-flop του συστήματος αποτελείται από το κυρίως flip-flop και ένα flip-flop σάρωσης. Αυτές οι τεχνικές μπορούν επίσης να αξιοποιηθούν για τη κάλυψη λαθών. Το flip-flop σάρωσης τροποποιείται ώστε να λειτουργεί ως σκιώδες flip-flop του κυρίως flip-flop, αποθηκεύοντας τα ίδια δεδομένα με κατάλληλη καθυστέρηση. Μία πύλη XOR χρησιμοποιείται για τη σύγκριση των εξόδων των δύο flip-flop και την ανίχνευση λαθών στο flip-flop του συστήματος. Τρεις επιπλέον λογικές πύλες χρησιμοποιούνται ώστε να αποθηκεύεται η ένδειξη λάθους στην έξοδο της XOR στο αντίστοιχο flip-flop σάρωσης. Αυτή η ένδειξη λάθους ολισθαίνει προς την έξοδο με τη χρήση της υπάρχουσας αλυσίδας σάρωσης ώστε να ενεργοποιήσει την ανάκαμψη του συστήματος μέσω της επανεκτέλεσης εντολών. Το κύριο μειονέκτημα αυτής της τεχνικής είναι ότι: α) το υψηλό κόστος της επιφάνειας πυριτίου εξ αιτίας του διπλασιασμού του flip-flop και την πρόσθεση των επιπλέον λογικών πυλών, β) η μείωση της απόδοσης του κυκλώματος εξ αιτίας της πολυπλοκότητας του κυρίως flip-flop, γ) ο μεγάλος αριθμός σημάτων ελέγχου και δ) η μεγάλη καθυστέρηση στην ανίχνευση λαθών παρά τη μειωμένη ανάγκη για δρομολόγηση των σημάτων ένδειξης λάθους λόγω της επαναχρησιμοποίησης της υπάρχουσας αλυσίδας σάρωσης.

Μία ακόμα αποτελεσματική μέθοδος ανίχνευσης βασίζεται σε μία πύλη XOR συγκριτή [109]. Το κυρίως flip-flop ενσωματώνει ένα επιπλέον στοιχείο μνήμης (flip-flop ή μανδαλωτή) συν μία πύλη XOR. Μία καθυστερημένη έκδοση του ρολογιού του συστήματος χρησιμοποιείται για το δεύτερο στοιχείο μνήμης. Αυτή η καθυστέρηση είναι ίση με τη μέγιστη καθυστέρηση του σήματος η οποία ανιχνεύεται συν τον χρόνο αρχικοποίησης (setup) του στοιχείου μνήμης το οποίο χρησιμοποιείται. Έτσι, το δεύτερο στοιχείο μνήμης λαμβάνει με καθυστέρηση τα δεδομένα που είναι αποθηκευμένα στο κυρίως flip-flop. Σε περίπτωση ύπαρξης λάθους τα αποθηκευμένα δεδομένα στα δύο στοιχεία μνήμης διαφέρουν, ενώ το δεύτερο στοιχείο μνήμης κρατάει τη σωστή απόκριση της συνδυαστικής λογικής. Η πύλη XOR συγκρίνει τα περιεχόμενα των δύο στοιχείων μνήμης και σε περίπτωση διαφοράς αποκρίνεται με λογικό 1 υποδεικνύοντας την ανίχνευση λάθους. Οι τοπικές ενδείξεις λάθους συλλέγονται για να παραχθεί το καθολικό σήμα ένδειξης λάθους. Αυτό το σήμα χρησιμοποιείται για τη διαδικασία της διόρθωσης, η οποία συνήθως περιλαμβάνει την επανεκτέλεση εντολών μετά την ανίχνευση του λάθους. Κατά τη διάρκεια της επανάληψης η συχνότητα του

ρολογιού πρέπει να μειωθεί ώστε να είναι εγγυημένος ο σωστός υπολογισμός των δεδομένων της συνδυαστικής λογικής.

Στη συνέχεια περιγράφονται οι κυριότερες τεχνικές ανίχνευσης και διόρθωσης λαθών χρονισμού. Αυτές οι τεχνικές μπορούν να χωριστούν γενικά σε δύο κατηγορίες, αυτές που εφαρμόζονται σε σχεδιασμούς που βασίζονται σε flip-flop και σε αυτές που εφαρμόζονται σε σχεδιασμούς που βασίζονται σε μανδαλωτές. Στην πρώτη κατηγορία ανήκουν οι τεχνικές Razor και ελαστικού χρόνου. Η τεχνική Razor διορθώνει τα λάθη στους καταχωρητές ανατροφοδοτώντας τα flip-flop με τα καθυστερημένα δεδομένα που αποθηκεύονται σε ένα επιπλέον στοιχείο μνήμης ανά flip-flop. Αντιθέτως, η τεχνική ελαστικού χρόνου, διορθώνει τα λάθη χρονισμού στην έξοδο των flip-flop. Στην δεύτερη κατηγορία ανήκουν οι παραλλαγές της τεχνικής Razor, η τεχνική GRAAL που χρησιμοποιεί μη επικαλυπτόμενα ρολόγια και η τεχνική TIMBER η οποία αποκρύπτει τα λάθη με δανεισμό χρόνου.

## 2.2 Η τεχνική ανίχνευσης και διόρθωσης λαθών χρονισμού Razor

### 2.2.1 Περιγραφή της τεχνικής Razor

Μεγάλος αριθμός μοντέρνων συστημάτων λειτουργούν σε πολλαπλές συχνότητες και τάσεις. Για τη σχεδιάσή τους απαιτείται ο χαρακτηρισμός (characterization) τους ώστε να επιβεβαιωθεί ότι η λειτουργία τους παραμένει ορθή σε κάθε απαιτούμενο σημείο λειτουργίας.

Η ελάχιστη δυνατή τάση τροφοδοσίας στην οποία το κύκλωμα λειτουργεί χωρίς σφάλματα αναφέρεται ως κρίσιμη τροφοδοσία (critical supply voltage). Η ελάχιστη τιμή της τροφοδοσίας πρέπει να εγγυάται ότι η απόδοση του κυκλώματος δεν επηρεάζεται από τις διακυμάνσεις της κατασκευαστικής διαδικασίας ή στο περιβάλλον (process and environmental related variabilities). Για αυτό το λόγο επιλέγεται συνήθως μία συντηρητική τιμή για τη τάση τροφοδοσίας κατά τη σχεδίαση του κυκλώματος χρησιμοποιώντας corner ανάλυση. Επομένως, για την αντιμετώπιση του χειρότερου συνδυασμού των διακυμάνσεων, προστίθενται περιθώρια (margins) στην ελάχιστη τιμή της τροφοδοσίας. Ωστόσο, αυτός ο συνδυασμός είναι πολύ σπάνιος και έτσι καθιστά αρκετά συντηρητική την προσέγγιση αυτή. Επίσης, με την κλιμάκωση της τεχνολογίας, οι διακυμάνσεις της κατασκευαστικής διαδικασίας επηρεάζουν όλο και περισσότερο την ελάχιστη τροφοδοσία και συνεπώς απαιτούνται ακόμα πιο αυστηρά περιθώρια τάσης.

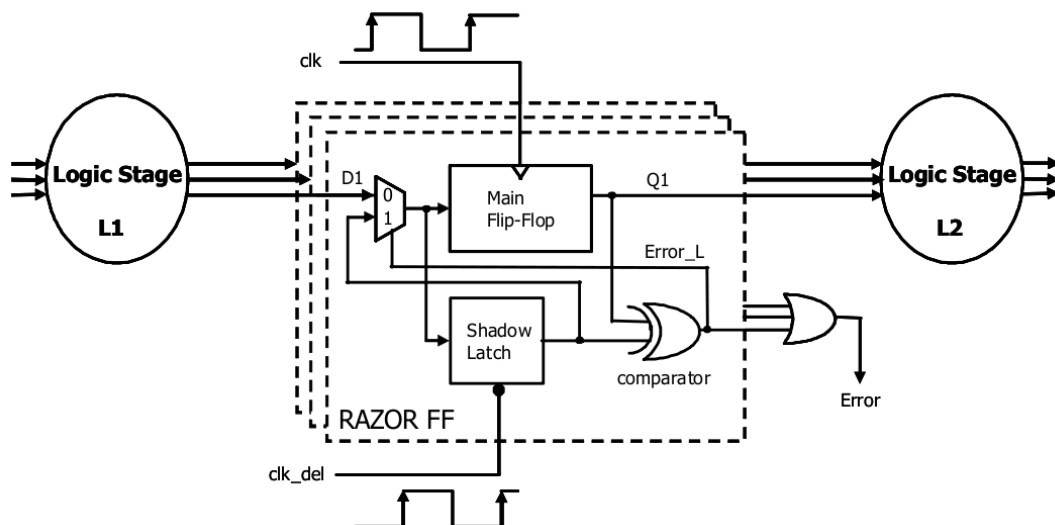
Η τεχνική Razor [92], [113] προσεγγίζει τη δυναμική κλιμάκωση της τάσης τροφοδοσίας (dynamic voltage scaling – DVS [114]) ανιχνεύοντας και διορθώνοντας δυναμικά αστοχίες σε γρήγορα μονοπάτια οι οποίες οφείλονται στην κλιμάκωση της τάσης. Η τεχνική ρυθμίζει την τάση τροφοδοσίας παρακολουθώντας τον ρυθμό εμφάνισης λαθών χρονισμού κατά τη λειτουργία του κυκλώματος. Από τη στιγμή που ο μηχανισμός ανίχνευσης λαθών προσφέρει συνεχή παρακολούθηση της καθυστέρησης του κυκλώματος, αντιμετωπίζει τόσο τις τοπικές όσο και τις καθολικές διακυμάνσεις της κατασκευαστικής διαδικασίας και δεν επηρεάζεται από ανακολουθίες στην κλιμάκωση της τάσης. Συνεπώς μπορούν να ελαχιστοποιηθούν τα περιθώρια τάσης, τα οποία είναι απαραίτητα για τη συνεχή σωστή λειτουργία των κυκλωμάτων. Επιπρόσθετα, η λειτουργία του κυκλώματος σε τάση τροφοδοσίας κάτω από την κρίσιμη τάση (critical voltage), δεν προκαλεί καταστροφική αστοχία του κυκλώματος αλλά αντίθετα οδηγεί στην ανάγκη εξισορρόπησης μεταξύ της πρόσθετης κατανάλωσης ισχύος λόγω της

παρουσίας του μηχανισμού διόρθωσης των λαθών και της εξοικονόμησης ισχύος λόγω της λειτουργίας του κυκλώματος σε χαμηλότερη τάση.

Έχει παρατηρηθεί ότι η καθυστέρηση του κυκλώματος εξαρτάται ισχυρά από τα δεδομένα εισόδου (data dependent delay) και ότι η χειρότερη καθυστέρηση (worst-case delay) εκδηλώνεται μόνο για πολύ συγκεκριμένες εντολές και ακολουθίες δεδομένων [115]. Επομένως, όταν το κύκλωμα λειτουργεί κοντά στην ελάχιστη τιμή της τροφοδοσίας θα αποτύχουν μόνο λίγες κρίσιμες εντολές, ενώ η πλειοψηφία των εντολών θα συνεχίσει να εκτελείται σωστά. Η υπόθεση αυτή επιβεβαιώνεται από προσομοιώσεις οι οποίες δείχνουν ότι η ταχύτητα των κυκλωμάτων υποβαθμίζεται ομαλά όταν λειτουργούν με μειωμένη τάση, επιδεικνύοντας μία σταδιακή αύξηση στο ρυθμό εμφάνισης των λαθών. Η τεχνική Razor εκμεταλλεύεται την εξάρτηση της καθυστέρησης του κυκλώματος από τα δεδομένα, ρυθμίζοντας κατάλληλα την τροφοδοσία ώστε να προκύψει ένας μικρός αν και όχι μηδενικός ρυθμός εμφάνισης λαθών. Αν κρατηθεί ο ρυθμός εμφάνισης λαθών σε χαμηλά επίπεδα, η επιβάρυνση σε κατανάλωση ισχύος, εξ αιτίας της διόρθωσης των λαθών, είναι ελάχιστη ενώ σημαντική είναι η εξοικονόμηση ισχύος, η οποία οφείλεται στη λειτουργία του κυκλώματος σε χαμηλότερη τάση τροφοδοσίας. Επίσης, καθώς ο επεξεργαστής εκτελεί διαφορετικά σύνολα εντολών, η τάση τροφοδοσίας προσαρμόζεται αυτόματα. Ανάλογα με τα χαρακτηριστικά της καθυστέρησης των εντολών οι οποίες εκτελούνται, η τάση τροφοδοσίας χαμηλώνει στις μη κρίσιμες εντολές, και αυξάνει στις κρίσιμες αργές εντολές.

### 2.2.2 Ανίχνευση και διόρθωση λαθών με την τεχνική Razor

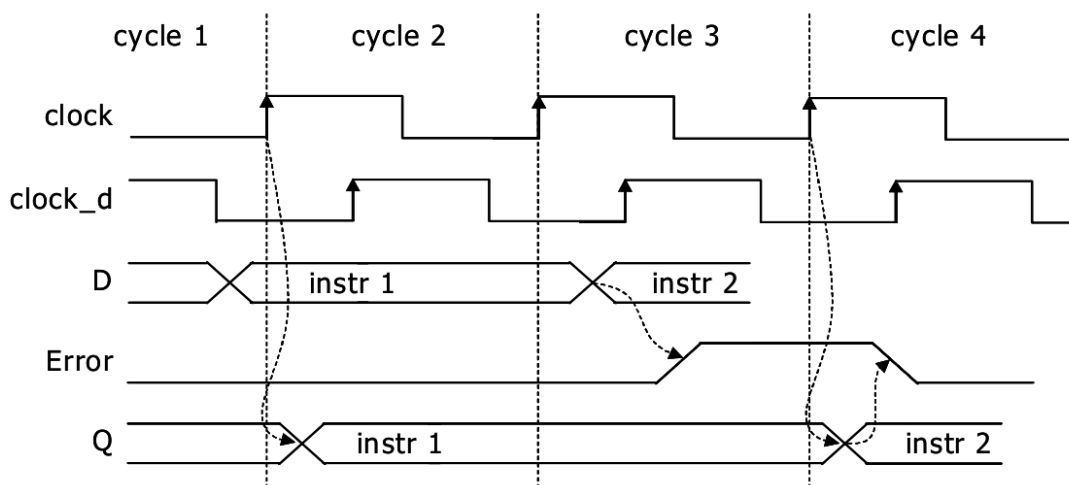
Η τεχνική Razor βασίζεται σε ένα συνδυασμό τεχνικών σε επίπεδο αρχιτεκτονικής και κυκλώματος για την αποτελεσματική ανίχνευση και διόρθωση σφαλμάτων καθυστέρησης.



Σχήμα 2.1: Καταχωρητής μίας δομής διοχέτευσης με τη χρήση του Razor flip-flop

Η βασική ιδέα της τεχνικής Razor παρουσιάζεται στο Σχήμα 2.1, σε έναν καταχωρητή μίας δομής διοχέτευσης. Σε κάθε flip-flop των καταχωρητών του

κυκλώματος, προστίθεται ένας μανδαλωτής («σκιώδης» μανδαλωτής – shadow latch), ένας πολυπλέκτης και μία πύλη XOR. Ο σκιώδης μανδαλωτής, ο οποίος ελέγχεται από ένα καθυστερημένο σήμα ρολογιού, χρησιμοποιείται για την αποθήκευση των σωστών καθυστερημένων αποκρίσεων της συνδυαστικής λογικής η οποία προηγείται. Η πύλη XOR συγκρίνει τις εξόδους των δύο στοιχείων μνήμης και αν υπάρχει διαφορά τότε ανιχνεύεται ένα λάθος χρονισμού. Αφού ανιχνευτεί το λάθος, ενεργοποιείται ο μηχανισμός της διόρθωσης, ο οποίος τροφοδοτεί το κυρίως flip-flop με τα σωστά δεδομένα που είναι αποθηκευμένα στο μανδαλωτή, μέσω της δεύτερης διαδρομής του πολυπλέκτη. Στον επόμενο κύκλο του ρολογιού το κυρίως flip-flop οδηγεί με τα έγκυρα δεδομένα τη συνδυαστική λογική που ακολουθεί. Έτσι, το στάδιο το οποίο είχε λάβει λανθασμένα δεδομένα υπολογίζει ξανά την απόκρισή του με τα σωστά δεδομένα.



Σχήμα 2.2: Κυματομορφές της λειτουργίας του Razor flip-flop

Στο Σχήμα 2.2 παρουσιάζονται οι κυματομορφές λειτουργίας του Razor flip-flop. Αρχικά, στον πρώτο κύκλο, είναι περίπτωση της μη ύπαρξης λάθους ενώ στη συνέχεια παρουσιάζεται η λειτουργία υπό την παρουσία λαθών. Στον κύκλο 1, η συνδυαστική λογική L1 αποκρίνεται πριν το χρόνο αρχικοποίησης (setup) από τη θετική ακμή του ρολογιού και συνεπώς το κυρίως flip-flop (main flip-flop) και ο σκιώδης μανδαλωτής αποθηκεύουν τα σωστά δεδομένα. Σε αυτή την περίπτωση το σήμα λάθους στην έξοδο της πύλης XOR παραμένει στο λογικό 0 και έτσι δεν τροποποιείται η λειτουργία της δομής διοχέτευσης. Στον κύκλο 2 του Σχήματος 2.2 παρουσιάζεται η περίπτωση κατά την οποία η συνδυαστική λογική L1 αποκρίνεται με καθυστέρηση, επειδή το κύκλωμα λειτουργεί με μικρότερη από την ελάχιστη τάση τροφοδοσίας. Αυτό έχει ως αποτέλεσμα το κυρίως flip-flop να μην αποθηκεύσει τα σωστά δεδομένα. Ωστόσο, αφού ο σκιώδης μανδαλωτής λειτουργεί με ένα καθυστερημένο σήμα ρολογιού θα αποθηκεύσει επιτυχώς τα σωστά δεδομένα μέσα στον κύκλο 3. Ο σκιώδης μανδαλωτής θα αποθηκεύει πάντα τα σωστά δεδομένα μόνο αν η επιτρεπόμενη τάση λειτουργίας καθοριστεί κατά τη σχεδίαση του κυκλώματος, έτσι ώστε ακόμα και στη χειρότερη περίπτωση (worst-case), η καθυστέρηση της λογικής να μην ξεπερνάει το χρόνο αρχικοποίησης του σκιώδους μανδαλωτή. Συγκρίνοντας, στον κύκλο 3, τα έγκυρα δεδομένα του σκιώδους μανδαλωτή με τα δεδομένα στο κυρίως flip-flop, δημιουργείται ένα σήμα ένδειξης λάθους. Στον επόμενο κύκλο (κύκλο 4) τα



έγκυρα δεδομένα του σκιώδη μανδαλωτή αποθηκεύονται στο κυρίως flip-flop και ταυτόχρονα γίνονται διαθέσιμα στο επόμενο στάδιο (L2) της δομής διοχέτευσης. Είναι σημαντικό να σημειωθεί ότι στα τοπικά σήματα ένδειξης λάθους *Error* του κάθε flip-flop, εφαρμόζεται η λογική πράξη OR ώστε να προκύψει ένα καθολικό σήμα ένδειξης λάθους το οποίο θα επιτρέψει την ανάκτηση των δεδομένων σε όλα τα flip-flop, ακόμα και όταν μόνο ένα Razor flip-flop ανιχνεύσει λάθος.

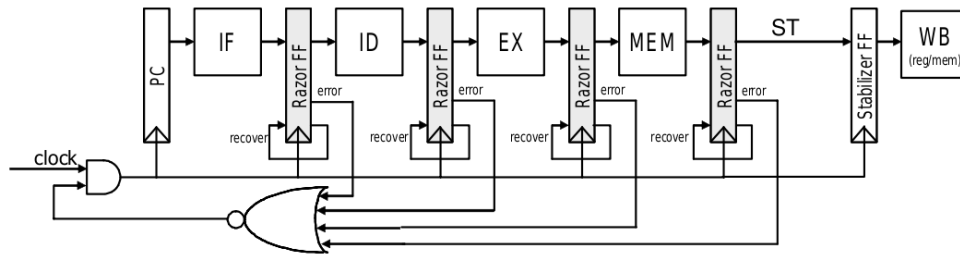
Αν σε έναν συγκεκριμένο κύκλο του ρολογιού συμβεί ένα λάθος στο στάδιο L1 της δομής διοχέτευσης, τα δεδομένα κατά τον επόμενο κύκλο στο στάδιο L2 είναι λανθασμένα και πρέπει να απορριφθούν από τη δομή διοχέτευσης. Ωστόσο, αφού ο σκιώδης μανδαλωτής περιέχει τα σωστά δεδομένα απόκρισης του σταδίου L1, η εντολή δεν χρειάζεται να εκτελεστεί ξανά στο στάδιο το οποίο απέτυχε. Συνεπώς, το κύριο χαρακτηριστικό στην τεχνική Razor είναι ότι αν μία εντολή αποτύχει σε ένα συγκεκριμένο στάδιο της δομής διοχέτευσης τότε δεν εκτελείται ξανά στο στάδιο που απέτυχε αλλά τα δεδομένα διορθώνονται τοπικά, επιβάλλοντας ως ποινή έναν επιπλέον κύκλο του ρολογιού. Η προσέγγιση αυτή εγγυάται πάντα την ορθή εκτέλεση μιας εντολής η οποία απέτυχε. Παράλληλα, αποτρέπεται το ενδεχόμενο της συνεχούς αποτυχίας μιας εντολής σε ένα συγκεκριμένο στάδιο της δομής διοχέτευσης.

Επιπρόσθετα, τα στάδια τα οποία προηγούνται, της συνδυαστικής λογικής όπου συνέβη ένα λάθος, πρέπει να αναστείλουν τη λειτουργία τους (stall). Αυτό επιβάλλεται διότι όταν τα κυρίως flip-flop ανακτούν τα σωστά δεδομένα μέσω των σκιωδών μανδαλωτών, οι τιμές εξόδου των προηγούμενων σταδίων πρέπει να παραμείνουν σταθερές, ώστε να συλληφθούν από τους καταχωρητές αμέσως μετά τον κύκλο διόρθωσης.

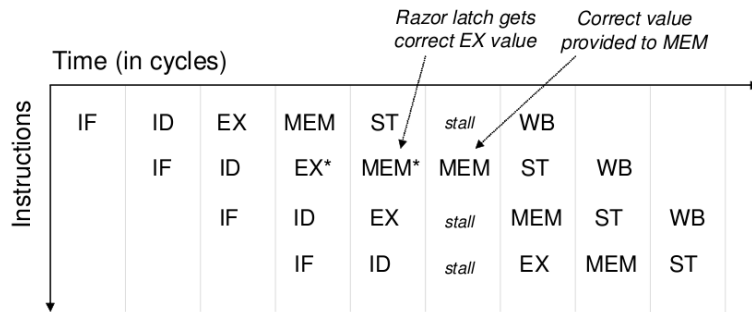
Ο μηχανισμός της ανάκαμψης της δομής διοχέτευσης πρέπει να εγγυάται ότι υπό την παρουσία λαθών οι καταχωρητές κρατάνε τις σωστές τιμές. Δύο είναι οι πιθανές προσεγγίσεις για την υλοποίηση της ανάκαμψης της δομής διοχέτευσης. Η πρώτη είναι μία απλή αλλά αργή μέθοδος η οποία βασίζεται στην τεχνική αδρανιοποίησης του ρολογιού (clock gating), ενώ η δεύτερη μέθοδος είναι πιο ευέλικτη και βασίζεται στην τεχνική διοχέτευσης ανάστροφης ροής (counterflow pipelining) [116].

### 2.2.3 Ανάκαμψη με αδρανιοποίηση του ρολογιού

Το Σχήμα 2.3α απεικονίζει την ανάκαμψη της δομής διοχέτευσης η οποία βασίζεται στην τεχνική καθολικής αδρανιοποίησης του ρολογιού. Στην περίπτωση κατά την οποία ανιχνευτεί λάθος, ολόκληρη η δομή διοχέτευσης αναστέλλει τη λειτουργία της για έναν κύκλο, με την αδρανιοποίηση, για χρόνο ίσο με αυτόν ενός κύκλου του σήματος ρολογιού. Ο πρόσθετος χρόνος που εξασφαλίζεται επιτρέπει σε κάθε στάδιο να υπολογίσει ξανά το αποτέλεσμα του χρησιμοποιώντας τους σκιώδεις μανδαλωτές ως είσοδο. Συνεπώς, οι λανθασμένες τιμές, οι οποίες έχουν ήδη διαδοθεί, θα αντικατασταθούν από τις σωστές τιμές από τους σκιώδεις μανδαλωτές. Αφού όλα τα στάδια υπολογίζουν ξανά τις τιμές τους με είσοδο τα δεδομένα των σκιωδών μανδαλωτών, οποιοσδήποτε αριθμός λαθών μέσα σε έναν κύκλο μπορεί να ανιχνευτεί και να διορθωθεί. Έτσι εξασφαλίζεται η ορθή λειτουργία του κυκλώματος. Αν όλα τα στάδια ανιχνεύσουν λάθος τότε η δομή διοχέτευσης θα συνεχίσει να λειτουργεί, αλλά στο μισό της κανονικής ταχύτητας.



α)



β)

**Σχήμα 2.3: Ανάκαμψη με αδρανοποίηση του ρολογιού: α) οργάνωση της δομής διοχέτευσης και β) ροή λειτουργίας με αστοχία στο στάδιο της εκτέλεσης (EX) και ανάκαμψη (οι αστερισκοί υποδεικνύουν στάδια με λανθασμένες τιμές στις εξόδους).**

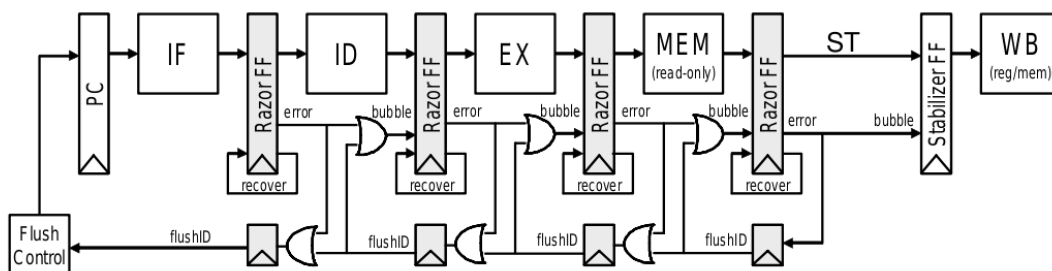
Επίσης για να μην γράφονται στο αρχείο καταχωρητών τα λανθασμένα αποτελέσματα της δομής διοχέτευσης προστίθεται ένα επιπλέον στάδιο σταθεροποίησης των δεδομένων.

Το Σχήμα 2.3β παρουσιάζει το διάγραμμα χρονισμού ανάκαμψης της δομής διοχέτευσης, για μία εντολή η οποία αποτυγχάνει στο στάδιο της εκτέλεσης (EX). Η πρώτη αποτυχία συμβαίνει στον τέταρτο κύκλο, όπου ένα λανθασμένο αποτέλεσμα υπολογίζεται στο στάδιο EX κατά την εκτέλεση της δεύτερης εντολής. Το λάθος αυτό ανιχνεύεται στον πέμπτο κύκλο, αλλά αφού πρώτα το στάδιο της μνήμης (MEM) έχει υπολογίσει εσφαλμένο αποτέλεσμα, χρησιμοποιώντας τη λανθασμένη τιμή από το στάδιο EX. Μετά την ανίχνευση, το σήμα ρολογιού του συστήματος σταματάει στον έκτο κύκλο, επιτρέποντας το σωστό αποτέλεσμα του σταδίου EX, το οποίο είναι αποθηκευμένο στους σκιώδεις μανδαλωτές, να χρησιμοποιηθεί στο στάδιο της μνήμης (MEM). Στον έβδομο κύκλο η δομή διοχέτευσης συνεχίζει την κανονική της λειτουργία.

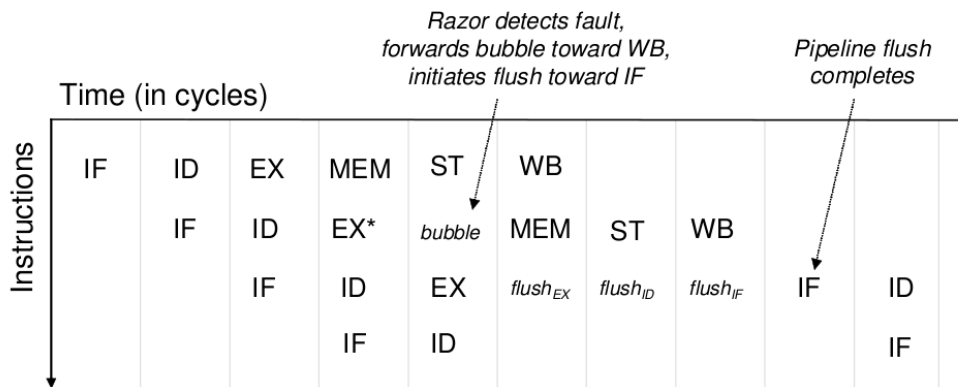
## 2.2.4 Ανάκαμψη με τη χρήση διοχέτευσης ανάστροφης ροής

Σε κυκλώματα τα οποία έχουν αυστηρούς χρονικούς περιορισμούς, ενδέχεται να μην είναι δυνατή η εφαρμογή της καθολικής αδρανοποίησης του ρολογιού, χωρίς να επηρεαστεί σημαντικά η περίοδος του ρολογιού του επεξεργαστή. Σε αυτές τις περιπτώσεις μπορεί να χρησιμοποιηθεί η τεχνική ανάκαμψης διοχέτευσης ανάστροφης ροής (counterflow ripelining) [116] (βλ. Σχήμα 2.4α). Σε αυτή την προσέγγιση, όταν ανιχνευτεί λάθος σε ένα στάδιο ακολουθούν δύο ενέργειες. Πρώτον, πρέπει να ακυρωθεί η εσφαλμένη απόκριση του σταδίου που έπεται του σταδίου που απέτυχε. Αυτή η ενέργεια πραγματοποιείται με το σήμα bubble το οποίο υποδεικνύει στα επόμενα στάδια ότι ο τρέχων κύκλος είναι κενός

δεδομένων (υπό την έννοια ότι αυτά είναι άκυρα). Δεύτερον, ενεργοποιείται ο μηχανισμός εκκαθάρισης (flush train) από τον καταχωρητή ο οποίος ανίχνευσε το λάθος. Στον επόμενο κύκλο η σωστή τιμή που έχει αποθηκευθεί στον σκιάζοι μανδαλωτή τροφοδοτεί τη δομή διοχέτευσης, επιτρέποντας στην εσφαλμένη εντολή να συνεχίσει την εκτέλεσή της. Επιπρόσθετα, η δομή εκκαθάρισης αρχίζει να διαδίδει το σήμα ID του σταδίου που απέτυχε προς την αντίθετη κατεύθυνση σε σχέση με τη ροή των εντολών. Σε κάθε στάδιο το οποίο επισκέπτεται η δομή εκκαθάρισης ακυρώνει την τιμή του αντίστοιχου σταδίου καθώς και του αμέσως προηγούμενου σταδίου. Δύο στάδια πρέπει να μηδενιστούν για να αντιμετωπιστεί η διπλάσια σχετική ταχύτητα της δομής διοχέτευσης. Όταν το σήμα flush ID φτάσει στην αρχή της δομής διοχέτευσης, η μονάδα ελέγχου εκκαθάρισης επανεκκινεί τη δομή διοχέτευσης με την εκτέλεση της εντολής η οποία ακολουθεί την εντολή που απέτυχε. Αν αποτύχουν περισσότερα από ένα στάδια στον ίδιο κύκλο τότε, όλα τα στάδια θα ξεκινήσουν την διαδικασία ανάκαμψης αλλά μόνο το λάθος το οποίο συνέβη πλησιέστερα προς το τελευταίο στάδιο θα την ολοκληρώσει, εκκαθαρίζοντας όλα τα προηγούμενα στάδια.



α)



β)

**Σχήμα 2.4: Ανάκαμψη διοχέτευσης αναστροφής ροής (counterflow pipelining), α) οργάνωση της δομής διοχέτευσης και β) ροή λειτουργίας με αστοχία στο στάδιο της εκτέλεσης (EX) και ανάκαμψη (οι αστερίσκοι υποδεικνύουν στάδια με λανθασμένες τιμές στις εξόδους).**

Το Σχήμα 2.4β δείχνει το διάγραμμα χρονισμού για την ανάκαμψη της δομής διοχέτευσης μετά την αποτυχία της εκτέλεσης μιας εντολής στο στάδιο EX. Όπως

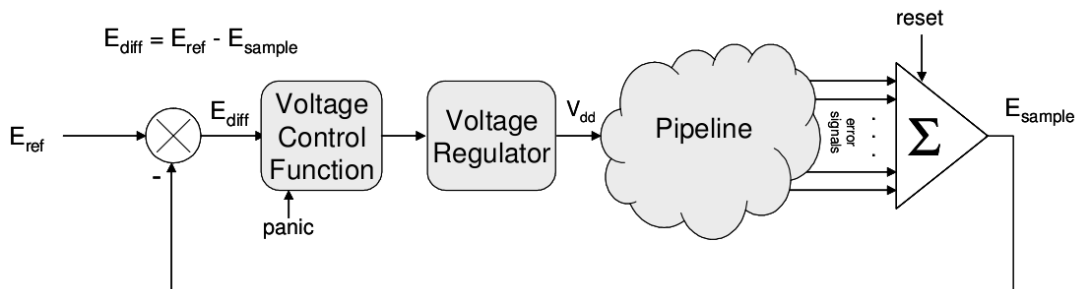
και στο παράδειγμα με την τεχνική αδρανοποίησης του ρολογιού, η πρώτη αποτυχία συμβαίνει στον τέταρτο κύκλο, όταν στο στάδιο EX κατά την εκτέλεση της δεύτερης εντολής υπολογίζεται ένα λανθασμένο αποτέλεσμα.

Το λάθος αυτό ανιχνεύεται στον πέμπτο κύκλο προκαλώντας την εκκίνηση της διαδικασίας ακύρωσης (bubble) από το στάδιο MEM και την ενεργοποίηση του μηχανισμού εκκαθάρισης. Οι εντολές στα στάδια EX, ID και IF εκκαθαρίζονται στους κύκλους 6, 7 και 8 αντίστοιχα. Τελικά, η δομή διοχέτευσης ξεκινάει πάλι την κανονική λειτουργία της στον κύκλο 9.

### 2.2.5 Έλεγχος της τάσης τροφοδοσίας

Πολλές από τις παραμέτρους οι οποίες επηρεάζουν τα περιθώρια της τάσης διαφοροποιούνται με την πάροδο του χρόνου. Τα περιθώρια της θερμοκρασίας ακολουθούν τη θερμοκρασία του περιβάλλοντος και μπορεί να διαφέρουν στο ίδιο το ολοκληρωμένο κύκλωμα (on-die) ανάλογα με τα δεδομένα που εκτελούνται. Συνεπώς, για να βελτιστοποιηθεί η εξοικονόμηση ενέργειας εισάγεται στο σχεδιασμό μία μονάδα ελέγχου η οποία ρυθμίζει την τάση βασισόμενη στην παρατήρηση του ρυθμού εμφάνισης των λαθών.

Αν ο ρυθμός των λαθών είναι πολύ μικρός, σημαίνει ότι το κύκλωμα ολοκληρώνει τους υπολογισμούς του πολύ γρήγορα και ότι η τάση θα μπορούσε να μειωθεί. Παρομοίως, ένας μικρός ρυθμός λαθών θα μπορούσε να σημαίνει αλλαγές στο περιβάλλον (π.χ. μείωση της θερμοκρασίας). Από την άλλη, ένας αυξανόμενος ρυθμός εμφάνισης λαθών υποδεικνύει ότι το κύκλωμα παραβιάζει τον περιορισμό της περιόδου του ρολογιού και ότι η τάση πρέπει να αυξηθεί. Ο βέλτιστος ρυθμός εμφάνισης λαθών εξαρτάται από τις απαιτήσεις της συνολικής επίδοσης του συστήματος και του κόστους σε ενέργεια για την ανάκαμψη από λάθη, αλλά γενικά έχει μία μικρή μη μηδενική τιμή.



Σχήμα 2.5: Το σύστημα ελέγχου της τάσης τροφοδοσίας

Στο Σχήμα 2.5 παρουσιάζεται το σύστημα ελέγχου της τάσης τροφοδοσίας. Σκοπός του συστήματος ελέγχου είναι να διατηρεί ένα σταθερό ρυθμό εμφάνισης λαθών  $E_{ref}$ . Σε συγκεκριμένα χρονικά διαστήματα υπολογίζεται ο ρυθμός εμφάνισης λαθών αρχικοποιώντας έναν μετρητή λαθών ο οποίος δειγματοληπτείται μετά από μία σταθερή χρονική περίοδο. Ο ρυθμός  $E_{sample}$  που υπολογίζεται, αφαιρείται από τον ρυθμό λαθών αναφοράς  $E_{ref}$  και παράγεται η διαφορά  $E_{diff}$ .

Ανάλογα με την τιμή της διαφοράς  $E_{diff}$  η συνάρτηση ελέγχου τάσης (voltage control function) αποφασίζει την επιθυμητή τιμή της τάσης του κυκλώματος, η οποία παράγεται από τον ρυθμιστή τάσης (voltage regulator). Αν η διαφορά  $E_{diff}$

είναι αρνητική τότε σημαίνει ότι παρουσιάζονται πολλά λάθη στο σύστημα, και η τάση τροφοδοσίας πρέπει να αυξηθεί. Αν η διαφορά  $E_{diff}$  είναι θετική, τότε υποδεικνύει ότι η τάση τροφοδοσίας μπορεί να μειωθεί αφού ο ρυθμός εμφάνισης λαθών είναι αρκετά χαμηλός.

Ένας τυπικός ρυθμιστής τάσης χρειάζεται μερικά δέκατα του  $\mu s$  για να προσαρμόσει την τάση τροφοδοσίας κατά 100mV. Συνεπώς, αν ο ελεγκτής αντιδρά πολύ γρήγορα ή πολύ απότομα, τότε το σύστημα μπορεί να γίνει ασταθές ή να βρεθεί σε κατάσταση ταλάντωσης. Επιπλέον, μία υπερβολικά συντηρητική συνάρτηση ελέγχου τάσης, η οποία αντιδρά αργά στις αλλαγές των μεταβλητών του συστήματος, θα μειώσει τη συνολική απόδοση του κυκλώματος. Ως λύση προτάθηκε ένα σύστημα ελέγχου το οποίο προσαρμόζει την τάση τροφοδοσίας σε αναλογία με τη διαφορά  $E_{diff}$ . Για να αποτραπεί η ασταθής κατάσταση του συστήματος, ο ρυθμός δειγματοληψίας των λαθών είναι σχεδόν ίσος με την περίοδο του ελάχιστου βήματος της τάσης.

### 2.2.6 Αντιμετώπιση της μεταευστάθειας

Στην περίπτωση που το κύκλωμα στο οποίο εφαρμόζεται η τεχνική Razor λειτουργεί με τάση τροφοδοσίας κάτω από την κρίσιμη τιμή της, είναι πιθανό η καθυστερημένη μετάβαση των δεδομένων εισόδου του κυρίως flip-flop να συμβεί την ίδια στιγμή με τη θετική ακμή του σήματος του ρολογιού. Συνεπώς, το κυρίως flip-flop μπορεί να εισέλθει σε κατάσταση μεταευστάθειας, όπου η τάση στην έξοδό του λαμβάνει τιμή κοντά στο  $V_{dd}/2$  [117]. Εξ αιτίας της μεταευστάθειας ενδέχεται οι πύλες τις οποίες οδηγεί το κυρίως flip-flop να ερμηνεύσουν αυτό το ενδιάμεσο επίπεδο τάσης ως τη συμπληρωματική τιμή της αναμενόμενης λογικής τιμής, ή μπορεί να βρεθούν και αυτές οι πύλες σε κατάσταση μεταευστάθειας. Είναι σημαντικό να σημειωθεί ότι, από τη στιγμή που η ελάχιστη τιμή της τάσης τροφοδοσίας περιορίζεται έτσι ώστε ο χρόνος αρχικοποίησης του σκιάδους μανδαλωτή να μη παραβιάζεται ποτέ, ο σκιάδης μανδαλωτής δεν μπορεί να βρεθεί σε κατάσταση μεταευστάθειας. Ωστόσο, αν το κυρίως flip-flop εισέλθει σε κατάσταση μεταευστάθειας, είναι αδύνατο με τη χρήση της πύλης XOR να προσδιοριστεί αν η αποθηκευμένη τιμή είναι σωστή ή λανθασμένη. Για αυτό το λόγο προστίθεται ένας ανιχνευτής μεταευστάθειας στην έξοδο του κυρίως flip-flop, ο οποίος ανιχνεύει τα επίπεδα της τάσης που οδηγούν σε κατάσταση μεταευστάθειας. Κατά την μεταευσταθή κατάσταση, η διόρθωση γίνεται με τον ίδιο τρόπο όπως στην ανίχνευση ενός τυπικού λάθους χρονισμού, και έχει ως αποτέλεσμα την ανάκτηση (από τον σκιάδη μανδαλωτή) της σωστής τιμής στο κυρίως flip-flop.

### 2.3 Παραλλαγές της τεχνικής Razor

Σε τεχνολογίες μικρότερες των 100 nm, παρατηρείται σημαντική διακύμανση στις κρίσιμες παραμέτρους των τρανζίστορ, όπως στην τάση κατωφλίου ή στο πλάτος και το μήκος του καναλιού. Αυτές οι διακυμάνσεις περιορίζουν την απόδοση των κυκλωμάτων μειώνοντας τα οφέλη της κλιμάκωσης της τεχνολογίας.

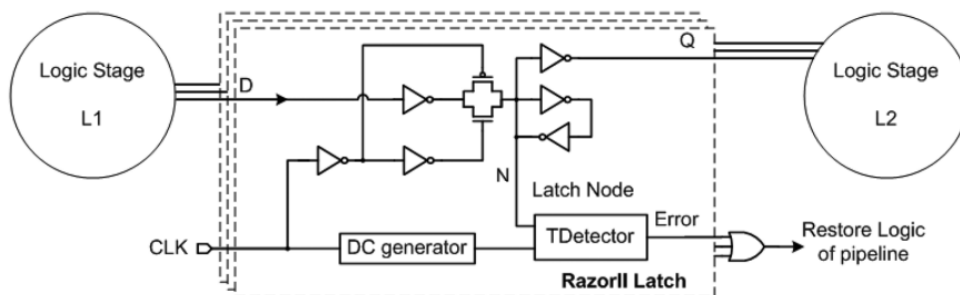
Με τη χρήση τεχνικών όπως η Razor, εξαλείφονται κατά τη σχεδίαση τα περιθώρια στην τάση τροφοδοσίας, τα οποία κανονικά χρειάζονται για να αντιμετωπιστούν οι διακυμάνσεις στις παραμέτρους κατασκευής στην χειρότερη περίπτωση (διακυμάνσεις της κατασκευαστικής διαδικασίας - process variations). Επίσης υλοποιήσεις οι οποίες χρησιμοποιούν την τεχνική Razor, μπορούν να προσαρμόσουν δυναμικά την τάση εξοικονομώντας ενέργεια όταν το επιτρέπουν οι εκτελούμενες εντολές (παρακολούθηση της διακύμανσης των δεδομένων).

Ωστόσο, υπάρχουν σχεδιαστικά ζητήματα που περιπλέκουν την εφαρμογή της τεχνικής σε μικροεπεξεργαστές υψηλής απόδοσης. Η κύρια δυσκολία είναι η δημιουργία και η διάδοση του σήματος ανάκαμψης. Το σήμα ανάκαμψης λαμβάνεται ως έξοδος από ένα OR δέντρο, με μεγάλο αριθμό εισόδων, και δρομολογείται κατάλληλα ώστε να φτάσει σε κάθε flip-flop της δομής διοχέτευσης πριν την επόμενη ανοδική ακμή του ρολογιού. Το γεγονός αυτό επιβάλλει σημαντικούς χρονικούς περιορισμούς στο σήμα ανάκαμψης ενώ παράλληλα το ίδιο το μονοπάτι ανάκαμψης λάθους μπορεί να γίνει κρίσιμο με την κλιμάκωση της τάσης τροφοδοσίας (voltage scaling). Απαιτητική είναι επίσης, η σχεδίαση του ανιχνευτή μεταευστάθειας, καθώς πρέπει να λειτουργεί σωστά σε όλες τις συνθήκες τάσης και θερμοκρασίας. Επιπρόσθετα, υπάρχει η πιθανότητα το σήμα ανάκαμψης να βρεθεί σε κατάσταση μεταευστάθειας. Η κατάσταση αυτή μπορεί να διαδοθεί στη μονάδα ελέγχου της δομής διοχέτευσης, και να οδηγήσει σε ολική αστοχία του συστήματος.

### 2.3.1 Η τεχνική RazorII

Η πρώτη παραλλαγή της τοπολογίας, ονομάζεται RazorII και περιγράφεται στην εργασία [118]. Αυτή η προσέγγιση εφαρμόζεται σε κυκλώματα στα οποία η δομή διοχέτευσης βασίζεται σε μανδαλωτές και εισάγει δύο νέα στοιχεία.

Σε αντίθεση με την αρχική τεχνική Razor όπου και η ανίχνευση και η διόρθωση των λαθών εκτελείται στο flip-flop, στη RazorII τεχνική μόνο η ανίχνευση εκτελείται στο Razor-latch, ενώ η διόρθωση επιτυγχάνεται στο επίπεδο της αρχιτεκτονικής με επανεκτέλεση της εντολής (architectural replay). Αυτό επιτρέπει σημαντική μείωση στην πολυπλοκότητα και στο μέγεθος του μανδαλωτή RazorII, αλλά σε βάρος του μέσου αριθμού των εντολών που εκτελούνται ανά κύκλο (Instruction Per Cycle – IPC) κατά την ανάκαμψη της δομής διοχέτευσης. Η επανεκτέλεση εντολής είναι μία τυπική τεχνική που συχνά υπάρχει ήδη σε μικροεπεξεργαστές υψηλής απόδοσης για την υποστήριξη της υποθετικής εκτέλεσης εντολών (speculative execution) όπως η πρόβλεψη διακλάδωσης (branch prediction). Έτσι, σε αυτό το πλαίσιο είναι δυνατή η υλοποίηση της επανεκτέλεσης εντολής για την περίπτωση της ανίχνευσης λαθών χρονισμού. Επιπρόσθετα, αυτή η τεχνική δεν χρησιμοποιεί σήμα ανάκαμψης για ολόκληρη τη δομή διοχέτευσης. Συνεπώς, μειώνονται οι χρονικοί περιορισμοί στο μονοπάτι της ανάκαμψης λάθους. Αυτό το χαρακτηριστικό καθιστά την τεχνική RazorII ιδανική για επεξεργαστές υψηλής απόδοσης.

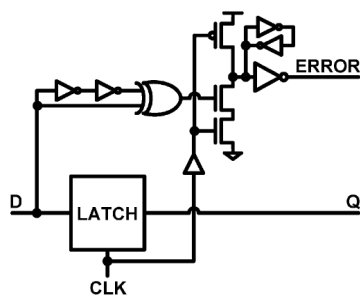


Σχήμα 2.6: Δομή του μανδαλωτή RazorII

Ο μανδαλωτής RazorII (Σχήμα 2.6) ανιχνεύει ως λάθος χρονισμό κάθε μετάβαση στα δεδομένα της εισόδου του κατά τη διάρκεια στην οποία βρίσκεται σε κατάσταση διαφάνειας. Με τη χρήση ενός ανιχνευτή μετάβασης παραλείπεται ο ανιχνευτής μεταευστάθειας και ο σκιώδης μανδαλωτής της αρχικής υλοποίησης του Razor flip-flop. Ως εκ τούτου, μειώνεται σημαντικά η παρασιτική χωρητικότητα στον ακροδέκτη του σήματος ρολογιού στον μανδαλωτή RazorII. Επιπλέον, η χρήση ενός μανδαλωτή αντί ενός αφέντη-σκλάβου flip-flop (master-slave flip-flop) δίνει τη δυνατότητα ανίχνευσης διαταραχών απλού συμβάντος (Single Event Upsets - SEUs) εξ αιτίας της ακτινοβολίας χωρίς πρόσθετη επιβάρυνση. Η εφαρμογή της τεχνικής RazorII σε έναν ARM μικροεπεξεργαστή 32-bit παρουσιάζεται στη δημοσίευση [119].

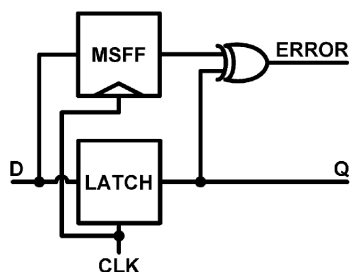
### 2.3.2 Razor με ανιχνευτή μετάβασης και δανεισμό χρόνου

Μια ακόμα παραλλαγή της τεχνικής Razor, η οποία βασίζεται στη διόρθωση λαθών με δανεισμό χρόνου, παρουσιάζεται στην εργασία [120]. Σε αυτή τη δημοσίευση προτάθηκαν δύο ακολουθιακά κυκλώματα ανίχνευσης λαθών (error-detection sequential circuits) τα οποία διατηρούν τη ικανότητα ανίχνευσης των προηγούμενων υλοποιήσεων ενώ αναιρούν φαινόμενα μεταευστάθειας στη διαδρομή δεδομένων (datapath).



Σχήμα 2.7: Δομή του μανδαλωτή με ανιχνευτή μετάβασης και δανεισμό χρόνου (transition-detector with time-borrowing – TDTB)

Το πρώτο κύκλωμα (Σχήμα 2.7) είναι ένας δυναμικός ανιχνευτής μετάβασης με έναν μανδαλωτή ο οποίος δανείζεται χρόνο από τη διαδρομή δεδομένων (transition-detector with time-borrowing – TDTB). Ο ανιχνευτής μετάβασης ελέγχει τα δεδομένα εισόδου όσο ο μανδαλωτής βρίσκεται σε κατάσταση διαφάνειας. Αν υπάρχει μετάβαση σε αυτό το χρονικό διάστημα τότε η ένδειξη λάθους αποθηκεύεται σε έναν μανδαλωτή ο οποίος τροφοδοτείται από τον ανιχνευτή μετάβασης. Η ανάκαμψη από το λάθος υλοποιείται με επανεκτέλεση της εντολής σε χαμηλότερη συχνότητα λειτουργίας.



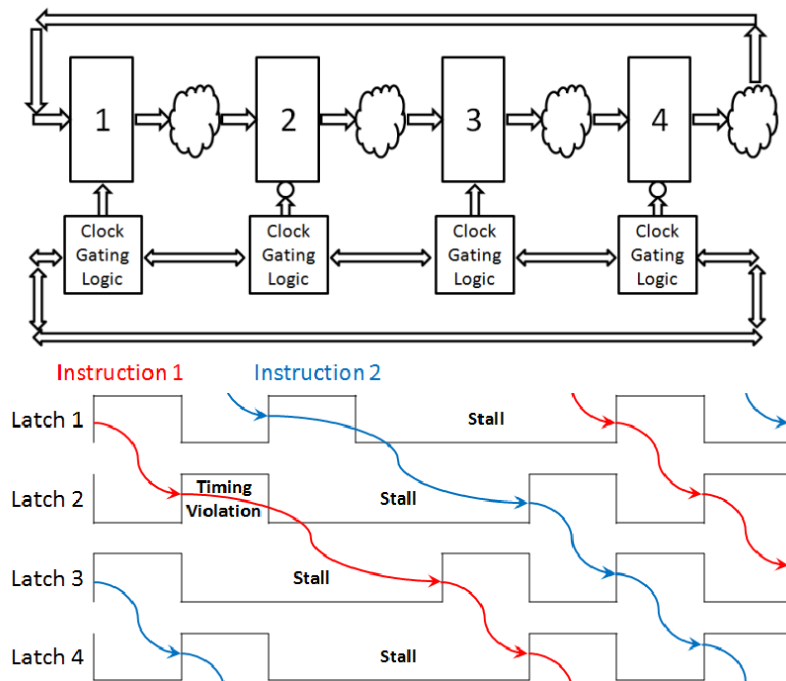
Σχήμα 2.8: Δομή του ακολουθιακού κυκλώματος διπλής δειγματοληψίας με δανεισμό χρόνου (double sampling with time borrowing - DSTB).

Το δεύτερο ακολουθιακό κύκλωμα (Σχήμα 2.8) είναι μία υλοποίηση διπλής δειγματοληψίας με δανεισμό χρόνου (double sampling with time borrowing - DSTB). Είναι παρόμοιο με το TDTB με τη διαφορά ότι ο ανιχνευτής μετάβασης αντικαθίσταται από ένα σκιάδεσ αφέντη-σκλάβο flip-flop (master-slave flip-flop - MSFF). Το DSTB εκτελεί διπλή δειγματοληψία όπως το Razor1 και συγκρίνει τις εξόδους του μανδαλωτή (της διαδρομής δεδομένων) και του σκιάδους flip-flop ώστε να ανιχνευτεί λάθος ενώ παράλληλα διατηρεί τη λειτουργία του δανεισμού χρόνου του TDTB ώστε να εξαλείψει την μεταευστάθεια στη διαδρομή δεδομένων.

Συγκριτικά με τα προηγούμενα ακολουθιακά κυκλώματα ανίχνευσης λαθών, τα TDTB και DSTB ανακατευθύνουν το πολύπλοκο πρόβλημα της μεταευστάθειας από τη διαδρομή δεδομένων και το μονοπάτι διάδοσης του λάθους μόνο στο μονοπάτι διάδοσης του λάθους, επιτρέποντας την απλοποιημένη διαχείριση της μεταευστάθειας.

### 2.3.3 Η τεχνική Bubble Razor

Η τεχνική Bubble Razor [121] αντιμετωπίζει αυτά τα ζητήματα, προτείνοντας μία νέα τεχνική ανίχνευσης λαθών η οποία χρησιμοποιεί έναν μανδαλωτή χρονισμού δύο φάσεων και ένα μηχανισμό τοπικής επανεκτέλεσης εντολών (local replay), ο οποίος μπορεί να εφαρμοστεί αυτόματα σε κάθε υλοποίηση χωρίς λεπτομερή γνώση της εσωτερικής αρχιτεκτονικής του κυκλώματος. Η τεχνική ανίχνευσης λαθών σπάει την εξάρτηση μεταξύ του περιορισμού ελαχίστης καθυστέρησης και του παραθύρου παρατήρησης, αποκαθιστώντας τις τυπικές τιμές των περιορισμών για το χρόνο συγκράτησης και επιτρέποντας μεγαλύτερο χρονικό διάστημα ανίχνευσης.



Σχήμα 2.9: Η διάταξη του Bubble Razor και τα διαγράμματα χρονισμού της λειτουργίας της.



Σε αντίθεση με τις προηγούμενες τεχνικές Razor, η αρχιτεκτονική Bubble Razor βασίζεται στη σχεδίαση με μανδαλωτές δύο φάσεων (two-phase latch-based design) κατά την οποία κάθε τυπικό flip-flop αντικαθίσταται από δύο μανδαλωτές μεταξύ των οποίων τοποθετείται σχεδόν ίσο μέγεθος λογικής. Τα λάθη χρονισμού ανιχνεύονται όταν τα δεδομένα φτάσουν στην είσοδο ενός μανδαλωτή ενώ αυτός βρίσκεται σε κατάσταση διαφάνειας. Μετά την ανίχνευση ενός λάθους το κύκλωμα ανακάμπτει αναστέλλοντας το ρολόι που οδηγεί τον μανδαλωτή ο οποίος ακολουθεί, δίνοντας στη συνέχεια έναν επιπρόσθετο κύκλο ρολογιού ώστε η ενδιάμεση λογική να επεξεργαστεί τα δεδομένα. Επίσης πρέπει να ανασταλεί η λειτουργία τόσο των προηγούμενων όσο και των επόμενων σταδίων, στην πρώτη περίπτωση για να μη χαθούν τα δεδομένα τους, και στη δεύτερη περίπτωση για να μην ερμηνευτούν τα λανθασμένα δεδομένα ως έγκυρα.

Στο Σχήμα 2.9 παρουσιάζεται ένας δακτύλιος δύο σταδίων ο οποίος αποτελείται από τέσσερις μανδαλωτές με τη σχετική λογική αδρανοποίησης του ρολογιού η οποία υλοποιεί τον αλγόριθμο διάδοσης της αναστολής. Υποθέτουμε ότι στον μανδαλωτή 2 συμβαίνει ένα λάθος χρονισμού το οποίο ενεργοποιεί την αναστολή του μανδαλωτή 3. Η λογική αδρανοποίησης του ρολογιού του μανδαλωτή 3 διαδίδει το σήμα αναστολής προς τους μανδαλωτές 4 και 2. Η διάδοση της αναστολής τερματίζεται όταν ένας μανδαλωτής λάβει, στη λογική αδρανοποίησης του ρολογιού που του αντιστοιχεί, ένα σήμα αναστολής και από τις δύο κατευθύνσεις. Αυτό συμβαίνει στο μανδαλωτή 1 όπου λαμβάνει ένα σήμα αναστολής από κάθε γείτονά του (μανδαλωτή 2 και 4). Ο αλγόριθμος αυτός επιτρέπει την εφαρμογή της τεχνικής σε κάθε αρχιτεκτονική ακόμα και σε υλοποιήσεις οι οποίες βασίζονται σε flip-flop σχεδίαση. Επίσης η τεχνική είναι κατάλληλη για υλοποιήσεις χαμηλής κατανάλωσης ισχύος όπου ο χρονισμός του κυκλώματος μεταβάλλεται εκθετικά ανάλογα με τις συνθήκες λειτουργίας. Τα αποτελέσματα της εφαρμογής της τεχνικής παρουσιάζονται στην εργασία [122], σε έναν ARM Cortex-M3 μικροεπεξεργαστή σε CMOS τεχνολογία 45 nm.

Σε αντίθεση με τις προηγούμενες τεχνικές Razor, ένα σημαντικό μειονέκτημα της τεχνικής Bubble Razor είναι ότι δεν εξετάζει την επίπτωση της μεταευστάθειας στη λογική ανίχνευσης λάθους. Καθώς ο μανδαλωτής μεταβαίνει σε κατάσταση μνήμης σε μία χρονική στιγμή όπου αναμένονται να συμβούν λάθη, τότε μπορεί να εισέλθει σε κατάσταση μεταευστάθειας. Η κατάσταση μεταευστάθειας μπορεί να διαδοθεί μέσω της λογικής ανίχνευσης λάθους. Αν αυτή η κατάσταση αποθηκευτεί στη μονάδα ελέγχου της τεχνικής τότε όλο το κύκλωμα μπορεί να οδηγηθεί σε αποτυχία.

## 2.4 Η τεχνική ελαστικού χρονισμού

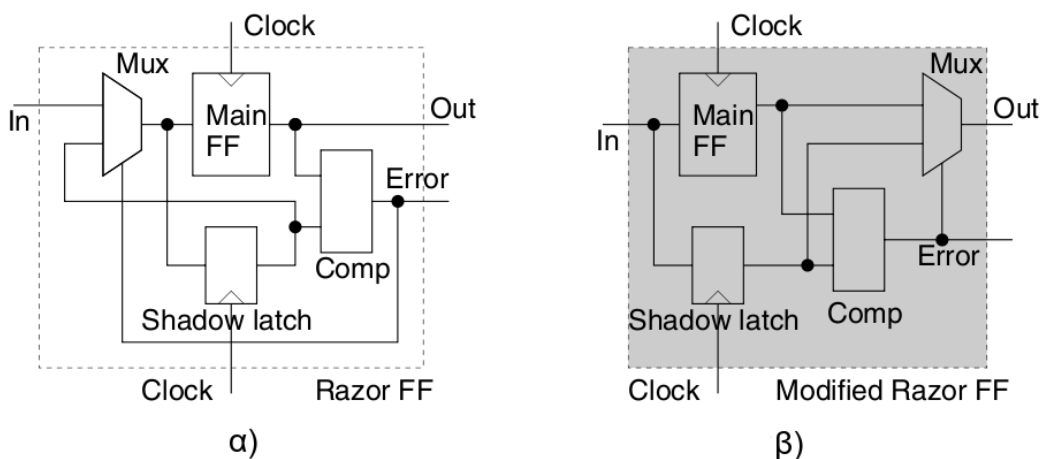
Για τη μείωση των περιθωρίων ασφάλειας (safety margins) έχει αναπτυχθεί ένας αριθμός μεθόδων στατιστικής ανάλυσης χρονισμού (statistical timing analysis). Πιο συγκεκριμένα, στις εργασίες [123] και [124] παρουσιάζονται δύο αλγόριθμοι στατιστικής ανάλυσης χρονισμού οι οποίοι προβλέπουν την πιθανή κατανομή της καθυστέρησης του κυκλώματος λαμβάνοντας υπόψη τις διακυμάνσεις της κατασκευαστικής διαδικασίας. Στην εργασία [125] παρουσιάζεται μία μέθοδος ανάλυσης χρονισμού που μπορεί να εφαρμοστεί στα εργαλεία σύνθεσης κυκλωμάτων και στην [126] προτείνεται ένας αποδοτικός αλγόριθμος για στατιστική ελαχιστοποίησης της ολικής ισχύος υπό την παρουσία χρονικών περιορισμών (timing constraints). Ωστόσο, μεγάλο ποσοστό των περιθωρίων διατηρείται για την αντιμετώπιση των διακυμάνσεων της κατασκευαστικής διαδικασίας κοντά στη χειρότερη περίπτωση. Επίσης έχουν προταθεί τεχνικές οι

οποίες προσαρμόζουν την τάση τροφοδοσίας [127], [128], αλλά δεν διαχειρίζονται καλά τις δυναμικές διακυμάνσεις όπως τις διακυμάνσεις της τάσης τροφοδοσίας.

Η τεχνική Razor προτείνει τρεις τεχνικές για την ανάκαμψη της δομής διοχέτευσης. Η κεντρική ανάκαμψη κατά την οποία το σήμα ένδειξη λάθους πρέπει να διαδοθεί μέσα σε έναν κύκλο από το Razor flip-flop προς στο κύκλωμα που ελέγχει το ρολόι του συστήματος (δύσκολη πρακτικά υλοποίηση), η καταναμημένη ανάκαμψη όπου το ρολόι του συστήματος σταματάει για αρκετούς κύκλους (αν και είναι πρακτική προσέγγιση δεν είναι ιδανική για συστήματα πραγματικού χρόνου) και η ανάκαμψη με εκκαθάριση (flushing) η οποία όμως δεν μπορεί να εφαρμοστεί σε κυκλώματα με ανατροφοδότηση όπως οι μηχανές πεπερασμένων καταστάσεων (finite state machines).

### 2.4.1 Λειτουργία της τεχνικής

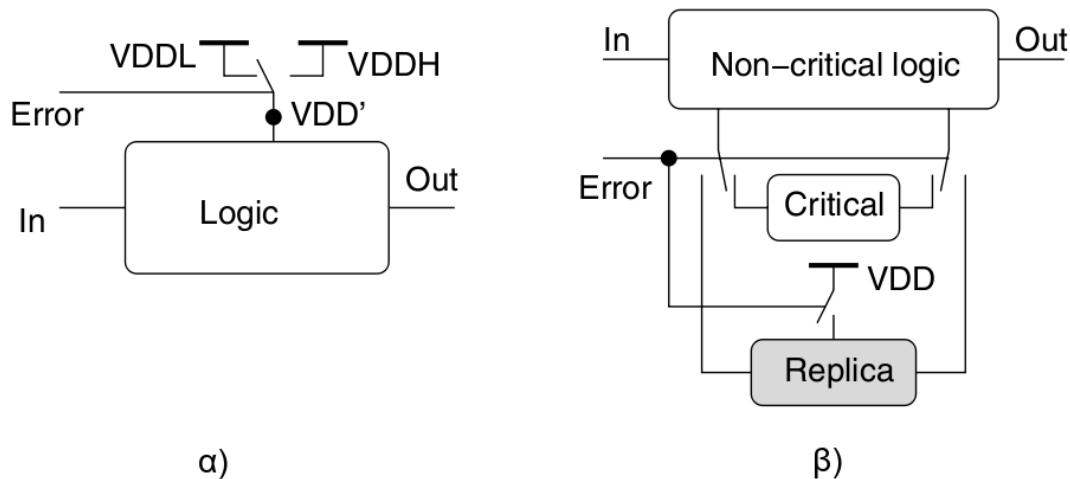
Η τεχνική ελαστικού χρονισμού (elastic timing) [129] έχει στόχο την αντιμετώπιση των περιορισμών της τεχνικής Razor [92] ώστε να μπορεί να χρησιμοποιηθεί σε κάθε ακολουθιακό κύκλωμα. Για την ανίχνευση λάθους χρησιμοποιείται η ίδια μέθοδος όπως στο Razor flip-flop, με την προσθήκη ενός ανιχνευτή μεταευστάθειας και τους κατάλληλους χρονικούς περιορισμούς για τα γρήγορα μονοπάτια. Η βασική ιδέα της τεχνικής είναι να καλυφθεί το λανθασμένο σήμα από το σωστό χωρίς αναστολή του ρολογιού του συστήματος (stalling) ή εκκαθάριση της δομής διοχέτευσης (flushing). Στη νέα μέθοδο η διόρθωση γίνεται στην έξοδο του flip-flop και όχι στη είσοδο. Στο Σχήμα 2.10β παρουσιάζεται η τροποποίηση της δομής του Razor flip-flop. Σύμφωνα με αυτή την τοπολογία, μετά την ανίχνευση ενός λάθους, το σωστό σήμα στέλνεται πάλι στην έξοδο του flip-flop αντί στην είσοδό του, όπως γίνεται στην τεχνική Razor. Στη συνέχεια, το σωστό σήμα διαδίδεται μέσω της συνδυαστικής λογικής στον ίδιο κύκλο του ρολογιού στον οποίο προκλήθηκε το λάθος χρονισμού. Με αυτό τον τρόπο το διορθωμένο σήμα αντικαθιστά το λανθασμένο σήμα ώστε η δομή διοχέτευσης να μην χρειάζεται να αναστείλει τη λειτουργία της.



Σχήμα 2.10: α)Razor flip-flop β) τροποποιημένο Razor flip-flop για την τεχνική ελαστικού χρονισμού

## 2.4.2 Δυναμική ενίσχυση της ταχύτητας του κυκλώματος

Η διάδοση του διορθωμένου σήματος ξεκινάει με μία καθυστέρηση που οφείλεται σε δύο λόγους. Πρώτον, τα καθυστερημένα σωστά δεδομένα φτάνουν στον σκινώδη μανδαλωτή μετά τη θετική ακμή του ρολογιού του συστήματος και δεύτερον, ο πολυπλέκτης αποκρίνεται μετά από τον απαιτούμενο χρόνο της σύγκρισης. Επομένως, τα νέα δεδομένα μπορεί να φτάσουν στον επόμενο καταχωρητή πολύ αργά και τα αντίστοιχα flip-flop να συλλάβουν λανθασμένες τιμές. Για την αντιστάθμιση της καθυστέρησης με την οποία ξεκινάει η διάδοση των διορθωμένων δεδομένων, ενισχύεται προς στιγμή η ταχύτητα της συνδυαστικής λογικής του κυκλώματος. Με δεδομένο ότι δεν χρησιμοποιούνται μεγάλα περιθώρια ασφαλείας, ο χρόνος που εξοικονομείται επιτρέπει στο κύκλωμα να λειτουργεί με χαμηλότερη τάση τροφοδοσίας και μειωμένη ταχύτητα. Ως εκ τούτου, η ταχύτητα του κυκλώματος έχει περιθώρια για επιτάχυνση στην περίπτωση ανίχνευσης λάθους. Στο Σχήμα 2.11 παρουσιάζονται οι δύο επιλογές για την ενίσχυση της ταχύτητας.



Σχήμα 2.11: Επιλογές ενίσχυσης της ταχύτητας: α) Dynamic Dual-VDD β) Dynamic Fast Lane

Στην πρώτη επιλογή (Dynamic Dual-VDD) το κύκλωμα τροφοδοτείται με χαμηλή τιμή τάσης ( $V_{DD}$ ), στην κανονική του λειτουργία, και μεταβαίνει σε υψηλή τάση ( $HV_{DD}$ ) όταν ανιχνευτεί λάθος. Σε τυπικές υλοποιήσεις με διπλή τάση τροφοδοσίας εφαρμόζεται διαφορετική τιμή τάσης σε διαφορετικά κυκλώματα με στατικό τρόπο. Όσο η χαμηλότερη τιμή της τροφοδοσίας είναι σημαντικά υψηλότερη από την τάση κατωφλίου των διατάξεων που χρησιμοποιούν την υψηλή τάση, η λειτουργία του κυκλώματος δεν επηρεάζεται όταν μία διάταξη με χαμηλή τάση οδηγεί απευθείας μία διάταξη με υψηλή τάση. Ωστόσο, η χαμηλή τιμή στην τάση κατωφλίου μπορεί να προκαλέσει υψηλό ρεύμα διαρροής. Για αυτό το λόγο, χρησιμοποιείται σχετικά υψηλή τιμή για την τάση κατωφλίου των διατάξεων που λειτουργούν με υψηλή τάση και τοποθετείται ένας μετατροπέας τάσης μεταξύ των κυκλωμάτων χαμηλής και υψηλής τάσης για να μειωθεί το ρεύμα διαρροής [130].

Σύμφωνα με τη δεύτερη μέθοδο ενίσχυσης της ταχύτητας (Dynamic Fast Lane), δημιουργείται ένα αντίγραφο του χρονικά κρίσιμου τμήματος του κυκλώματος. Αυτό το αντίγραφο μπορεί να λειτουργήσει σε υψηλότερη ταχύτητα συγκριτικά με το αρχικό κύκλωμα. Όταν ανιχνευτεί λάθος ο υπολογισμός της λογικής μεταβαίνει

στο γρήγορο αντίγραφο. Μετά τη διόρθωση του λάθους, ενεργοποιείται και πάλι το αρχικό κύκλωμα. Υπάρχουν διάφορες τεχνικές για την υλοποίηση του αντιγράφου υψηλής ταχύτητας: υψηλότερη τάση τροφοδοσίας, χαμηλότερη τάση κατωφλίου, μεγαλύτερης οδήγησης πύλη, ή ένας συνδυασμός όλων αυτών. Στην κανονική λειτουργία το αντίγραφο βρίσκεται σε αδράνεια και δεν καταναλώνει ενέργεια. Το ρεύμα διαρροής μπορεί να μειωθεί χρησιμοποιώντας power gating [131].

Συνοψίζοντας τα παραπάνω, η τεχνική ελαστικού χρονισμού διορθώνει τα λάθη χρονισμού, τα οποία οφείλονται σε διακυμάνσεις της κατασκευαστικής διαδικασίας. Η διόρθωση εκτελείται κατά τη λειτουργία του κυκλώματος και δεν προκαλείται αναστολή λειτουργίας της δομής διοχέτευσης. Επίσης η τεχνική αυτή μειώνει την κατανάλωση ισχύος και τα περιθώρια ασφαλείας του χρονισμού του κυκλώματος χωρίς να υπονομεύεται η σωστή λειτουργία του κυκλώματος. Η επιβάρυνση σε επιφάνεια πυριτίου στο κύκλωμα είναι τουλάχιστον 5% και η μείωση της κατανάλωσης ισχύος 20%-27% όπως έδειξαν πειράματα σε ακολουθιακά κυκλώματα ISCAS 89.

## 2.5 Η τεχνική GRAAL

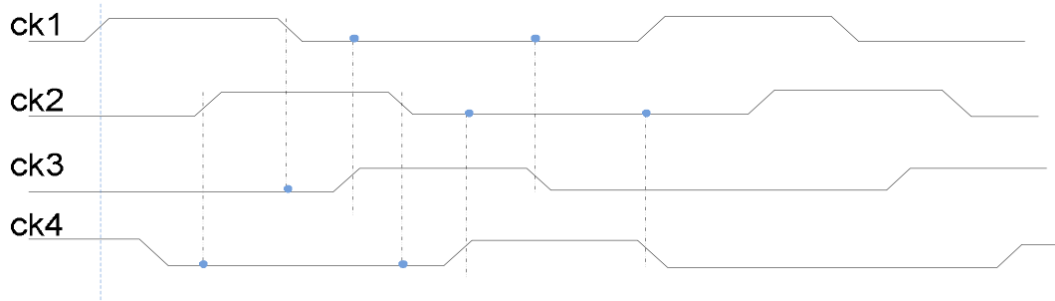
Η τεχνική GRAAL (Global Reliability Architecture Approach for Logic) [132] [133] [134] συνδυάζει τις ιδιότητες της σχεδίασης δομών διοχέτευσης με μανδαλωτή με τη χρήση της διπλής δειγματοληψίας για την βελτιστοποίηση του κυκλώματος σε κατανάλωση ισχύος, επιφάνεια πυριτίου και αποτελεσματικότητα στην ανίχνευση λαθών. Αυτή η αρχιτεκτονική βασίζεται στην παρατήρηση ότι στις υλοποιήσεις με μανδαλωτή, οι υπολογισμοί στα γειτονικά στάδια μίας δομής διοχέτευσης εκτελούνται εναλλάξ. Έτσι, οι υλοποιήσεις με μανδαλωτή προσφέρουν μεγάλες περιόδους σταθερότητας σημάτων κατά τη διάρκεια των οποίων μπορεί να γίνει ανίχνευση προσωρινών λαθών, τα οποία προκαλούνται από SEUs, παροδικές διαταραχές (single-event-transients - SETs), σφάλματα καθυστέρησης και την απόκλιση του ρολογιού (clock skew).

Η ανίχνευση των λαθών πραγματοποιείται με τη χρήση μίας πύλης XOR η οποία συγκρίνει την είσοδο με την έξοδο ενός μανδαλωτή ενώ αυτό βρίσκεται σε σταθερή κατάσταση. Επιπλέον, η τεχνική GRAAL δεν τοποθετεί σκιδωδή μανδαλωτή ή ανιχνευτή μετάβασης σε κάθε σήμα το οποίο ελέγχεται. Χρησιμοποιεί μόνο μερικούς μανδαλωτές συγχρονισμού στο δέντρο OR το οποίο συμπιέζει τις εξόδους των πυλών XOR για τη δημιουργία του σήματος ένδειξης λάθους. Άρα, η επιβάρυνση στην κατανάλωση ισχύος της τεχνικής GRAAL μπορεί να είναι μικρή. Επομένως, η τεχνική μπορεί να εφαρμοστεί σε όλα τα σήματα του κυκλώματος (και όχι μόνο σε αυτά τα οποία σχετίζονται με τα κρίσιμα μονοπάτια) προσφέροντας τη δυνατότητα προστασίας όχι μόνο από σφάλματα καθυστέρησης αλλά επίσης από SEUs, SETs και την απόκλιση του ρολογιού.

Για τη διόρθωση λαθών σε επίπεδο κυκλώματος απαιτείται πρόσθετη επιφάνεια πυριτίου και κατανάλωση ισχύος καθώς πρέπει να χρησιμοποιηθούν επιπλέον μανδαλωτές για την αποκατάσταση της σωστής λειτουργίας του κυκλώματος. Η διόρθωση λαθών σε υψηλότερο επίπεδο, όπως η επανεκτέλεση εντολών σε επίπεδο αρχιτεκτονικής η οποία εφαρμόστηκε στον επεξεργαστή IBM Power6 [135], είναι πιο αποτελεσματική ως προς επιφάνεια πυριτίου και την κατανάλωση ισχύος. Για αυτό το λόγο η τεχνική εστιάζει στην ανίχνευση των λαθών.

### 2.5.1 Περιγραφή της τεχνικής

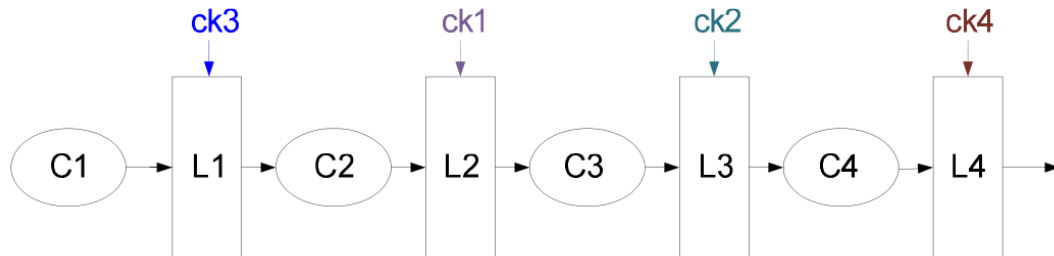
Το κύκλωμα στο οποίο εφαρμόστηκε η τεχνική είναι ένας DSP/MCU επεξεργαστής της CSEM [136]. Βασίζεται σε σχεδιασμό με τη χρήση μανδαλωτών και χρησιμοποιεί τέσσερα ρολόγια ck1, ck2, ck3, και ck4, όπως φαίνεται στο Σχήμα 2.12. Αυτά τα σήματα πρέπει να είναι μη επικαλυπτόμενα ανά ζεύγη, δηλαδή το ck1 να μην επικαλύπτεται με το ck3 και το ck2 να μην επικαλύπτεται με το ck4.



Σχήμα 2.12: Συγχρονισμός των τεσσάρων ρολογιών εισόδου

Η αρχιτεκτονική GRAAL εφαρμόζεται με βέλτιστο τρόπο σε σχεδιασμούς οι οποίοι βασίζονται σε μανδαλωτές όταν χρησιμοποιούνται δύο μη επικαλυπτόμενα ρολόγια, καθώς σε αυτή την περίπτωση η περίοδος κατά την οποία τα σήματα είναι σταθερά και κατά την οποία μπορεί να συμβεί ανίχνευση λάθους ισούται με το 50% του κύκλου του ρολογιού. Ωστόσο, σε υλοποιήσεις που χρησιμοποιούν 4 φάσεις ρολογιού, η κατανομή αυτής της περιόδου δεν είναι η ίδια σε όλα τα σήματα του κυκλώματος. Επομένως, ανάλογα με το στάδιο της δομής διοχέτευσης από το οποίο έρχονται τα δεδομένα, η περίοδος σταθερής κατάστασης που μπορεί να χρησιμοποιηθεί για την ανίχνευση λαθών μπορεί να είναι ίση με το 25%, 50% ή 75% του κύκλου του ρολογιού. Αυτό έχει ως αποτέλεσμα, στην περίπτωση του 25%, τη μείωση της δυνατότητας ανίχνευσης σφαλμάτων. Επίσης, η εφαρμογή της τεχνικής σε κυκλώματα με τέσσερις φάσεις ρολογιού δεν είναι βέλτιστη σε επιφάνεια πυριτίου, καθώς δυσκολεύει τη δημιουργία των σημάτων ένδειξης λάθους.

Ο συγχρονισμός των τεσσάρων ρολογιών είναι πολύπλοκη διαδικασία και απαιτεί ανάλυση του χρονισμού του κυκλώματος. Ο μηχανισμός GRAAL υιοθετεί αυτή τη ρύθμιση των ρολογιών όπως παρουσιάζεται στα Σχήματα 2.13 και 2.14.



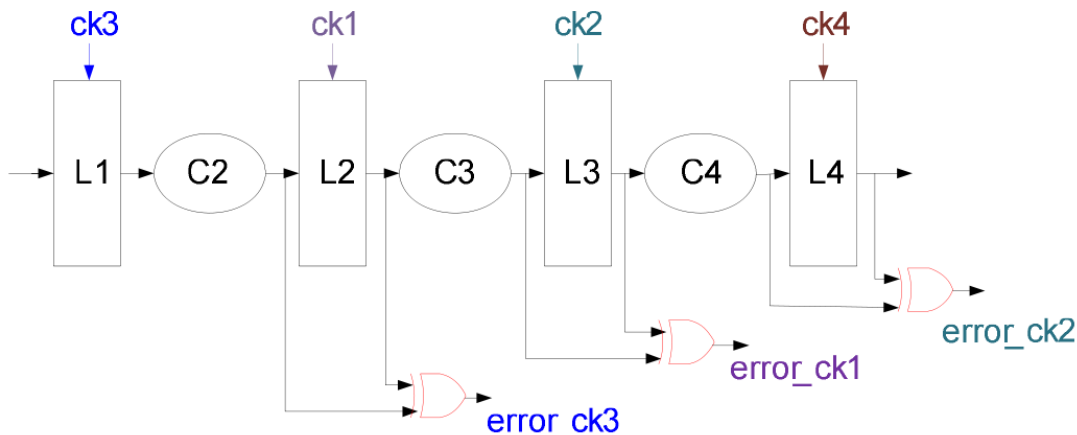
Σχήμα 2.13: Δομή διοχέτευσης με τέσσερα ρολόγια

Στο Σχήμα 2.13 τα L1, L2, L3 και L4 υποδεικνύουν τους μανδαλωτές και τα C1, C2, C3 και C4 την συνδυαστική λογική του κυκλώματος. Τα γειτονικά στάδια της δομής διοχέτευσης (με την έννοια ότι οι εισοδοί του ενός προέρχονται από τις εξόδους του άλλου), ενεργοποιούνται από διαφορετικές φάσεις του ρολογιού και εκτελούν υπολογισμούς σε διαφορετικά χρονικά διαστήματα. Αυτή είναι σημαντική

διαφορά με τους σχεδιασμούς οι οποίοι βασίζονται σε flip-flop, όπου τα γειτονικά στάδια εκτελούν υπολογισμούς ταυτόχρονα. Όταν ικανοποιούνται όλοι οι χρονικοί περιορισμοί του κυκλώματος, το οποίο είναι υλοποιημένο με μανδαλωτές, τότε τα στάδια της δομής διοχέτευσης τηρούν τις απαιτήσεις χρονισμού αρχικοποίησης και συγκράτησης και επομένως το κύκλωμα θα δουλεύει σωστά. Σε αυτή την περίπτωση, όταν το ένα στάδιο υπολογίζει την τιμή του, το γειτονικό του στάδιο είναι αδρανές και τα σήματα εξόδου του είναι σταθερά. Έτσι, η τεχνική εκμεταλλεύεται τις περιόδους σταθερότητας για να συγκρίνει την είσοδο κάθε μανδαλωτή με την έξοδό του. Για παράδειγμα, οι έξοδοι της συνδυαστικής λογικής C2 είναι έτοιμες πριν από τη θετική ακμή του ρολογιού ck1. Οι τιμές τους θα παραμείνουν σταθερές μέχρι τη θετική ακμή του ρολογιού ck3, αφού το λογικό 0 του ck3 θέτει σε κατάσταση μνήμης τους μανδαλωτές του καταχωρητή L1 και διατηρεί τις εισόδους του C2 σταθερές (στην πραγματικότητα οι έξοδοι του C2 θα είναι σταθερές ακόμα και μετά από αυτή τη στιγμή και για μία χρονική περίοδο ίση με την ελάχιστη καθυστέρηση του C2, αλλά η τεχνική δεν εκμεταλλεύεται αυτή τη χρονική διάρκεια για ανίχνευση λαθών). Επομένως, οι εισοδοί και οι έξοδοι του L2 θα είναι σταθερές μέχρι αυτή τη στιγμή και μπορούν να συγκριθούν με σκοπό την ανίχνευση λάθους. Αυτή η σύγκριση πραγματοποιείται από την πύλη XOR, όπως φαίνεται στο Σχήμα 2.14, η οποία επιτρέπει την ανίχνευση των σφαλμάτων καθυστέρησης και SETs τα οποία συμβαίνουν στη λογική C2 και SEUs τα οποία συμβαίνουν στον καταχωρητή L2.

Στη συνέχεια, το σήμα λάθους το οποίο δημιουργείται από τις XOR πύλες στο στάδιο L2 λαμβάνεται στη θετική ακμή του ck3. Έτσι, αυτή η σχεδίαση ανίχνευσης λάθους είναι πιο ανθεκτική από την τεχνική Razor, καθώς δεν χρειάζεται να ορίσει χρονικούς περιορισμούς για τα γρήγορα μονοπάτια. Γενικά, τα σήματα ένδειξης λάθους, από ένα σύνολο μανδαλωτών, θα ληφθούν από το ρολόι το οποίο οδηγεί το επόμενο στάδιο. Το Σχήμα 2.14 δείχνει την αρχιτεκτονική ανίχνευσης σφαλμάτων που αντιστοιχεί στη δομή διοχέτευσης του Σχήματος 2.13.

Σε αυτό το παράδειγμα οι έξοδοι κάθε σταδίου είναι σταθερές κατά το 50% του κύκλου του ρολογιού. Ωστόσο, αν το ρολόι του τρέχοντος σταδίου είναι ck<sub>i</sub> και το ρολόι του προηγούμενου σταδίου είναι ck<sub>(i+1)</sub>/ck<sub>(i+3)</sub> τα διαστήματα των σταθερών καταστάσεων είναι 25%/75% του κύκλου του ρολογιού, (με i, i+1, i+2, i+3 να παίρνουν κυκλικά τις τιμές {1, 2, 3, 4}). Επομένως, αυτά τα διαστήματα των σταθερών καταστάσεων δεν κατανέμονται ομοιόμορφα στα διάφορα σήματα του κυκλώματος, έτσι τα διάφορα μονοπάτια του κυκλώματος έχουν διαφορετικές δυνατότητες ανίχνευσης λάθους, σε ένα κύκλωμα με 4 φάσεις ρολογιού.



Σχήμα 2.14: Μηχανισμός ανίχνευσης λαθών χρονισμού

Η δειγματοληψία των σημάτων `error_ck3`, `error_ck1` και `error_ck2` γίνεται από τα αντίστοιχα σήματα ρολογιού `ck3`, `ck1` και `ck2`. Επίσης, όλα τα σήματα ένδειξης λάθους με την ίδια κατάληξη `cki` συμπιέζονται από το ίδιο OR δέντρο. Η δειγματοληψία της εξόδου των πυλών OR γίνεται από την ανοδική ακμή του αντίστοιχου ρολογιού.

## 2.6 Η τεχνική TIMBER

Η βασική αρχή της τεχνικής TIMBER [138] είναι να ανιχνεύει πιθανά λάθη χρονισμού μετά την ακμή του ρολογιού και να τα αποκρύπτει (masking) με δανεισμό χρόνου από τα επόμενα στάδια της δομής διοχέτευσης. Σύμφωνα με αυτή τη μέθοδο δεν χρειάζεται επανεκτέλεση της εντολής (instruction replay). Η υλοποίηση της τεχνικής TIMBER βασίστηκε στην ανάλυση της κατανομής των κρίσιμων μονοπατιών στους επεξεργαστές της ARM, όπου βρέθηκε ότι μόνο ένα μικρό ποσοστό των flip-flop βρίσκεται ταυτόχρονα στην αρχή και στο τέλος δύο συνεχόμενων κρίσιμων διαδρομών. Επομένως, τα λάθη χρονισμού τα οποία προκαλούνται από τοπικές αλλά και καθολικές δυναμικές διακυμάνσεις (dynamic variations), οι οποίες συνδέονται συχνά μόνο με ένα στάδιο της δομής διοχέτευσης, μπορούν να καλυφθούν με το δανεισμό χρόνου από το επόμενο στάδιο της δομής διοχέτευσης. Επιπλέον, ο μηχανισμός διορθώνει λάθη χρονισμού που οφείλονται σε αργές καθολικές διακυμάνσεις οι οποίες έχουν ως αποτέλεσμα τη δημιουργία λαθών χρονισμού σε περισσότερα από ένα στάδια. Αυτά τα λάθη πολλαπλών σταδίων συμβαίνουν όταν δύο ή περισσότερα κρίσιμα μονοπάτια επηρεάζονται από δυναμικές διακυμάνσεις σε διαδοχικούς κύκλους του ρολογιού και πολλαπλά στάδια. Σε αυτές τις περιπτώσεις, ενεργοποιείται η διαδικασία μείωσης της συχνότητας του ρολογιού του συστήματος, ώστε να μειωθεί η εμφάνιση των λαθών χρονισμού. Η πτώση στις επιδόσεις του κυκλώματος, εξ αιτίας της προσωρινής μείωσης της συχνότητας του ρολογιού, είναι αμελητέα διότι η πιθανότητα να συμβούν ταυτόχρονα λάθη χρονισμού σε περισσότερα από ένα στάδια είναι πολύ μικρή.

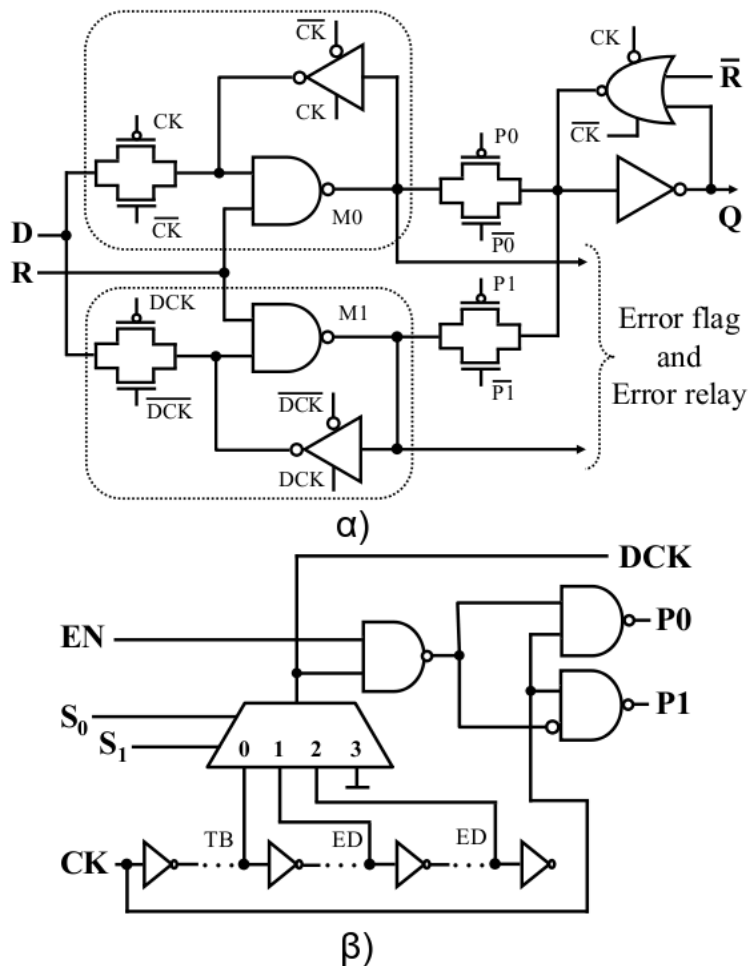
Η αρχιτεκτονική TIMBER υλοποιείται με δύο ακολουθιακά στοιχεία: το TIMBER flip-flop και το μανδαλωτή TIMBER. Το TIMBER flip-flop υλοποιεί τον δανεισμό χρόνου σε διακριτές μονάδες, διατηρώντας τη δειγματοληψία στην ακμή του ρολογιού, δηλαδή την τυπική ιδιότητα ενός D-flip-flop. Ως εκ τούτου, απαιτείται μία διάταξη διάδοσης λάθους (error relay logic) η οποία θα επιτρέψει τον καθορισμό του απαιτούμενου αριθμού των διακριτών χρονικών διαστημάτων για την απόκρυψη των λαθών στα επόμενα στάδια της δομής διοχέτευσης.

Από την άλλη πλευρά, ο μανδαλωτής TIMBER υλοποιεί συνεχή δανεισμό, δηλαδή είναι διαφανής για όλη τη διάρκεια της περιόδου παρατήρησης (ίση με πολλαπλές μονάδες χρόνου), και επομένως κάθε καθυστερημένη μετάβαση η οποία φτάνει μέσα στο χρονικό διάστημα ελέγχου, αποκρύπτεται με το δανεισμό του χρόνου. Συνεπώς, ο μανδαλωτής TIMBER δεν χρειάζεται τη διάταξη διάδοσης λάθους. Παρόλο, που χάνεται η ιδιότητα της δειγματοληψίας στην ακμή του ρολογιού του TIMBER flip-flop και ο μανδαλωτής TIMBER διαδίδει μη έγκυρες μεταβάσεις σήματος κατά το χρονικό διάστημα ελέγχου, ο μηχανισμός εγγυάται ότι ο μανδαλωτής TIMBER δεν ανιχνεύει ψευδή λάθη χρονισμού.

### 2.6.1 Το TIMBER flip-flop

Το TIMBER flip-flop αποτελείται από δύο αφέντες μανδαλωτές (master latch), το M0 και το M1, και ένα κοινό σκλάβο μανδαλωτή (slave latch) όπως φαίνεται στο Σχήμα 2.15α. Η λογική που ελέγχει το σήμα του ρολογιού του TIMBER flip-flop

παρουσιάζεται στο Σχήμα 2.15β. Το σήμα R υποδηλώνει το σήμα reset και το EN είναι το σήμα το οποίο ενεργοποιεί τον δανεισμό χρόνου. Όταν το σήμα EN έχει λογική τιμή 0, το σήμα P0 ταυτίζεται με το συμπλήρωμα του CK και το P1 είναι στο λογικό 1. Έτσι, το M0 μαζί με το σκλάβο μανδαλωτή λειτουργούν ως ένα τυπικό αφέντη-σκλάβο flip-flop και το M1 απομονώνεται (blocked) καθώς η πύλη διέλευσης (pass-gate) με επίτρεψη από το σήμα P1 είναι ανοικτή. Όπως σε ένα τυπικό αφέντη-σκλάβο flip-flop, το M0 δειγματοληπτεί, στη θετική ακμή του ρολογιού CK, την τιμή των δεδομένων του σήματος D και οδηγεί το σκλάβο μανδαλωτή σε αυτή την τιμή όσο το σήμα CK είναι στο λογικό 1. Όταν το σήμα CK είναι στο λογικό 0 η πύλη διέλευσης με επίτρεψη από το σήμα P0 είναι ανοικτή και ο σκλάβος μανδαλωτής οδηγεί τη έξοδο Q.



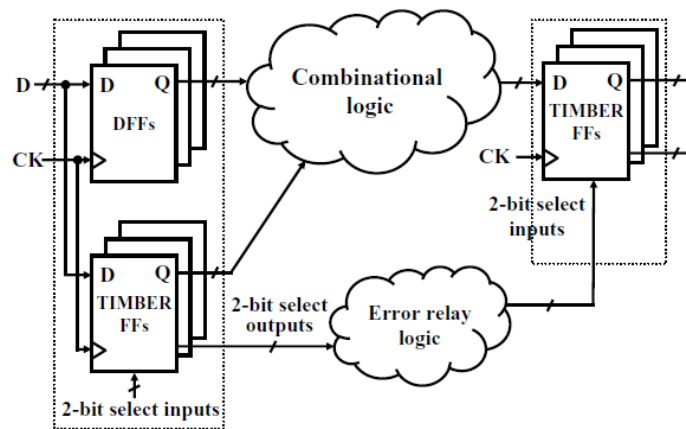
Σχήμα 2.15: α) Υλοποίηση του TIMBER flip-flop και β) η μονάδα ελέγχου του σήματος του ρολογιού

Όταν το σήμα EN έχει λογική τιμή 1 το TIMBER flip-flop λειτουργεί σε κατάσταση δανεισμού χρόνου. Το διάστημα ελέγχου χωρίζεται σε τρία διαστήματα τα οποία κωδικοποιούνται με τα σήματα εισόδου  $S_1S_0$ . Με την τιμή  $S_1S_0=00$  ορίζεται το διάστημα TB (time-borrowing) και με τις τιμές  $S_1S_0=01, 10$  ορίζονται τα διαστήματα ED (error-detection). Κατά την αρχικοποίηση του κυκλώματος τα σήματα  $S_1S_0$  έχουν τιμή 00. Η απόκρυψη των λαθών (error masking) γίνεται με τον εξής τρόπο. Ο αφέντης μανδαλωτής M0 δειγματοληπτεί στη θετική ακμή του ρολογιού CK τα δεδομένα του σήματος D και οδηγεί το σκλάβο μανδαλωτή και



την έξοδο Q. Το M1 δειγματοληπτεί την τιμή του σήματος D στη θετική ακμή του καθυστερημένου σήματος του ρολογιού DCK. Η καθυστέρηση  $\delta$  του σήματος DCK, ορίζεται από την τιμή των εισόδων επιλογής  $S_1S_0$ . Κατά την ανοδική ακμή του DCK, η πύλη διέλευσης με επίτρεψη από το P0 ανοίγει και η πύλη διέλευσης με επίτρεψη από το P1 κλείνει. Έτσι, μετά την καθυστέρηση  $\delta$ , για το υπόλοιπο της ημιπεριόδου του ρολογιού CK, όσο έχει λογική τιμή 1, ο αφέντης μανδαλωτής M1 οδηγεί το σκλάβο μανδαλωτή και την έξοδο Q στη νέα τιμή που δειγματοληπτείται από το M1. Αν δεν συμβούν λάθη χρονισμού οι αφέντες μανδαλωτές M0 και M1 θα έχουν την ίδια τιμή, οπότε το M0 οδηγεί το σκλάβο μανδαλωτή και την έξοδο Q στη σωστή τιμή, χωρίς να συμβεί δανεισμός χρόνου.

Αν συμβεί σε ένα flip-flop ένα λάθος χρονισμού, οι αφέντες μανδαλωτές M0 και M1 θα έχουν διαφορετικές τιμές. Σε αυτή την περίπτωση το M1, το οποίο δειγματοληπτεί τα σωστά δεδομένα, αποκρύπτει το λάθος χρονισμού. Η απόκρυψη των λαθών πραγματοποιείται από τη λογική διάδοσης λάθους (error relay logic) (Σχήμα 2.16) η οποία ρυθμίζει τα σήματα εισόδου  $S_1S_0$  των TIMBER flip-flop στους καταχωρητές των επόμενων σταδίων της δομής διοχέτευσης.

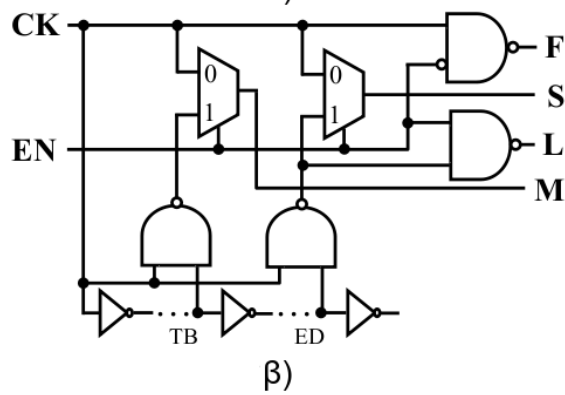
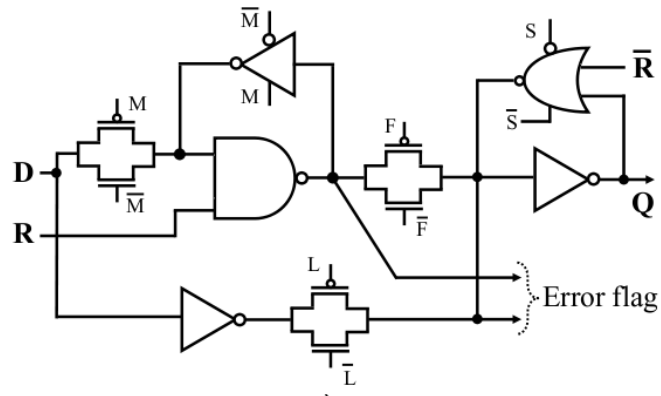


Σχήμα 2.16: Η λογική της διόρθωσης λαθών στο TIMBER flip-flop

## 2.6.2 Μανδαλωτής TIMBER

Ο μανδαλωτής TIMBER αποτελείται από έναν αφέντη και ένα σκλάβο μανδαλωτή όπως φαίνεται στο Σχήμα 2.17α. Η λογική που ελέγχει το σήμα του ρολογιού του TIMBER latch παρουσιάζεται στο Σχήμα 2.17β. Όταν το σήμα EN έχει λογική τιμή 0, η πύλη διέλευσης με επίτρεψη από το L είναι ανοικτή και ο μανδαλωτής TIMBER λειτουργεί ως ένα τυπικό αφέντη-σκλάβο flip-flop. Όταν το σήμα EN έχει λογική τιμή 1 τότε η πύλη διέλευσης με επίτρεψη από το F είναι ανοικτή και οι μανδαλωτές αφέντης και σκλάβος λειτουργούν ανεξάρτητα. Η χρονική διάρκεια ελέγχου χωρίζεται σε δύο φάσεις (TB και ED). Ο αφέντης μανδαλωτής είναι διαφανής στην πρώτη περίοδο ενώ ο σκλάβος μανδαλωτής είναι διαφανής σε όλη τη διάρκεια ελέγχου. Τα λάθη χρονισμού ανιχνεύονται συγκρίνοντας τις αποθηκευμένες τιμές του αφέντη και του σκλάβου μανδαλωτή κατά την πτωτική ακμή του ρολογιού. Όταν τα καθυστερημένα δεδομένα φτάνουν μέσα στην πρώτη φάση ελέγχου (TB) συμβαίνει απόκρυψη των λαθών διότι ο σκλάβος μανδαλωτής είναι διαφανής σε όλη τη διάρκεια ελέγχου. Επίσης, καθώς στην πρώτη φάση ελέγχου ο αφέντης μανδαλωτής είναι διαφανής, τόσο ο αφέντης μανδαλωτής όσο και ο σκλάβος μανδαλωτής κρατούν την ίδια τιμή και επομένως δεν ανιχνεύεται λάθος χρονισμού. Ωστόσο, αν η καθυστέρηση των δεδομένων είναι μεγαλύτερη από τη διάρκεια της πρώτης φάσης ελέγχου, τότε ο αφέντης μανδαλωτής και ο

σκλάβος μανδαλωτής δειγματοληπτούν διαφορετικές τιμές, και το λάθος χρονισμού ανιχνεύεται.



Σχήμα 2.17: α) Υλοποίηση του μανδαλωτή TIMBER και β) η μονάδα ελέγχου του σήματος του ρολογιού

### 3. Η ΤΕΧΝΙΚΗ ΔΙΑΣΤΟΛΗΣ ΧΡΟΝΟΥ

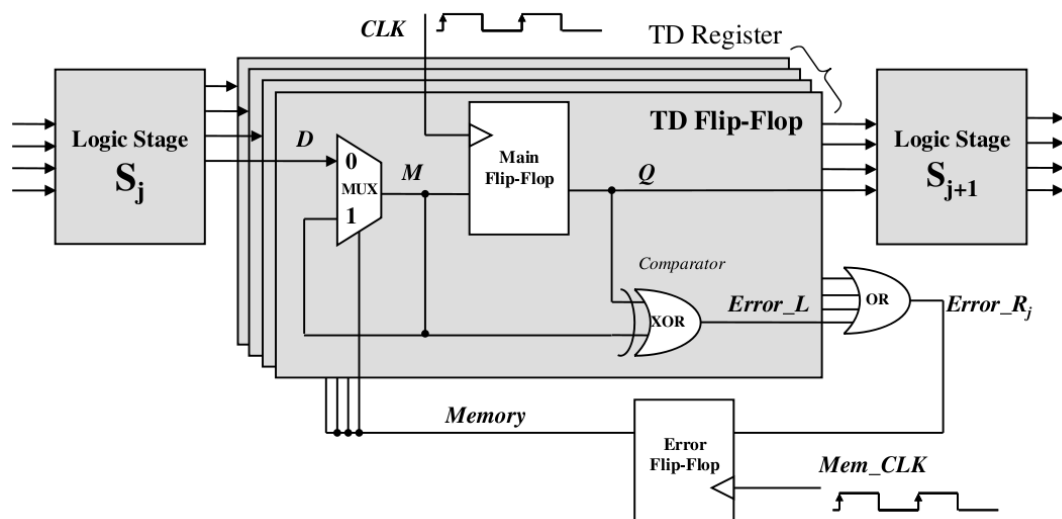
#### 3.1 Εισαγωγή

Σε αυτό το κεφάλαιο προτείνεται μία νέα τεχνική ανίχνευσης και διόρθωσης λαθών χρονισμού για σχεδιασμούς οι οποίοι βασίζονται σε flip-flop. Η τεχνική Διαστολής Χρόνου [140] (Time Dilation) εκμεταλλεύεται ένα νέο flip-flop σάρωσης (scan flip-flop) το οποίο εκτός από την υποστήριξη των τυπικών διεργασιών ελέγχου ορθής λειτουργίας σάρωσης μπορεί να χρησιμοποιηθεί για την εν λειτουργία ανίχνευση και διόρθωση λαθών. Σύμφωνα με την προτεινόμενη τεχνική, μετά την ανίχνευση ενός λάθους ο χρόνος υπολογισμού της λογικής επεκτείνεται κατά έναν κύκλο για την διόρθωση του λάθους με τη χρήση των σωστών δεδομένων που αποθηκεύονται σε κάθε flip-flop. Σε αντίθεση με άλλες τεχνικές, δεν απαιτείται κάποιο επιπλέον στοιχείο μνήμης και δεν επιβαρύνεται η απόδοση του κυκλώματος καθώς δεν προστίθεται επιπλέον λογική στα κρίσιμα μονοπάτια του. Επίσης, λαμβάνονται υπόψιν τα φαινόμενα μεταευστάθειας που μπορεί να επηρεάσουν τη λειτουργία του κυκλώματος. Για την περαιτέρω βελτίωση της τεχνικής σε κατανάλωση ισχύος και επιφάνεια πυριτίου προτείνεται το flip-flop καθήλωσης (freezing flip-flop) το οποίο αντικαθιστά τα flip-flop που βρίσκονται στο τέλος μη κρίσιμων μονοπατιών (τα οποία δεν υπόκεινται σε λάθη χρονισμού). Πειραματικά αποτελέσματα σε ένα μικροεπεξεργαστή RISC επιβεβαίωσαν την αποτελεσματικότητα της προτεινόμενης μεθόδου.

#### 3.2 Ανοχή σε λάθη χρονισμού με την τεχνική Διαστολής Χρόνου

##### 3.2.1 Περιγραφή της τεχνικής

Η τεχνική Διαστολής Χρόνου (Time Dilation) [140], που προτείνεται στην παρούσα διατριβή έχει σκοπό να επιτύχει την ίδια αποτελεσματικότητα στην αντιμετώπιση των λαθών χρονισμού σε σχέση με τις υπάρχουσες τεχνικές αλλά με σημαντικά μικρότερο κόστος σε επιφάνεια πυριτίου. Το προτεινόμενο Time Dilation flip-flop (TD flip-flop) παρουσιάζεται στο Σχήμα 3.1.



Σχήμα 3.1: Το προτεινόμενο Time Dilation flip-flop

Σε αυτή την τοπολογία χρησιμοποιείται ένας πολυπλέκτης (MUX) και μία πύλη XOR ανά flip-flop (κυρίως flip-flop). Η πύλη XOR συγκρίνει την έξοδο και την είσοδο του κυρίως flip-flop για την ανίχνευση λάθους χρονισμού, ενώ ο πολυπλέκτης λειτουργεί ως στοιχείο μνήμης (MUX-latch), το οποίο αποθηκεύει τα σωστά δεδομένα, που έφτασαν με καθυστέρηση, και θα χρησιμοποιηθούν για τη διόρθωση. Μετά την ανίχνευση λάθους ο χρόνος επεκτείνεται κατά έναν κύκλο για τη διόρθωση του λάθους, με την ανατροφοδότηση του κυρίως flip-flop με τα σωστά δεδομένα τα οποία είναι αποθηκευμένα στο μανδαλωτή MUX-latch.

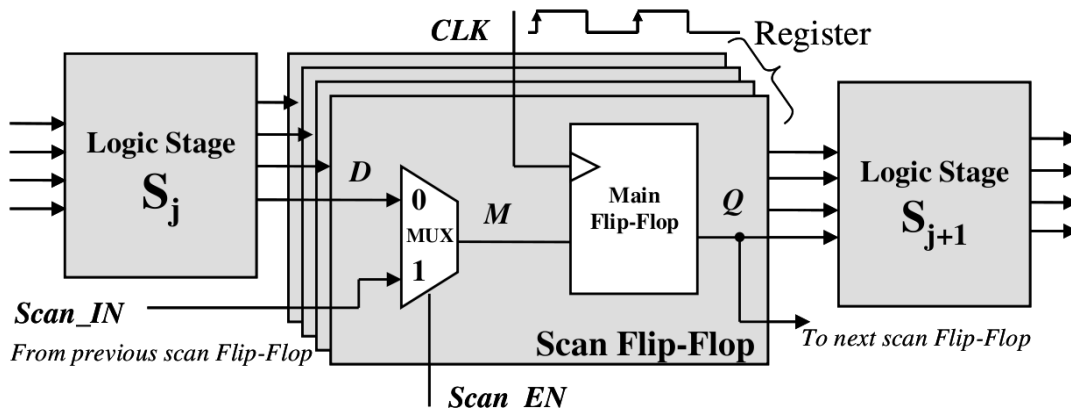
Στην κανονική λειτουργία του κυκλώματος, η έξοδος Memory του Error flip-flop, η οποία παρέχει την ένδειξη λάθους των καταχωρητών, αρχικοποιείται με λογική τιμή 0. Συνεπώς κάθε πολυπλέκτης προωθεί στην είσοδο  $M$  του κυρίως flip-flop, το σήμα  $D$ . Στην περίπτωση κατά την οποία δεν υπάρχει σφάλμα, τα δεδομένα στην είσοδο  $D$  του TD flip-flop, διαδίδονται στην είσοδο του κυρίως flip-flop και αποθηκεύονται στην έξοδο  $Q$  κατά τη θετική ακμή του σήματος του ρολογιού  $CLK$ . Μετά την ακμή πυροδότησης οι είσοδοι της πύλης XOR (σήματα  $M$  και  $Q$ ) έχουν την ίδια λογική τιμή και το σήμα εξόδου  $Error\_L$  της πύλης XOR είναι στη λογική τιμή 0, δηλαδή δεν ανιχνεύεται λάθος. Συνεπώς, η έξοδος Memory του Error flip-flop παραμένει στο λογικό 0, μετά τη θετική ακμή του σήματος  $Mem\_CLK$ , και έτσι το TD flip-flop συνεχίζει στην κανονική λειτουργία. Το σήμα ρολογιού  $MEM\_CLK$  είναι μία καθυστερημένη έκδοση του σήματος του ρολογιού  $CLK$  (κατά χρόνο που καθορίζεται από τη μέγιστη επιθυμητή ανιχνευόμενη καθυστέρηση στο κύκλωμα).

Ωστόσο υπό την παρουσία ενός σφάλματος χρονισμού, το οποίο έχει ως αποτέλεσμα την καθυστερημένη άφιξη των δεδομένων στις γραμμές  $D$  και  $M$ , αναμένεται ότι οι λογικές τιμές των σημάτων  $M$  και  $Q$  θα διαφέρουν μετά τη θετική ακμή του σήματος του ρολογιού  $CLK$ . Έτσι το σήμα  $Error\_L$  αποκτά λογική τιμή 1, υποδεικνύοντας την ανίχνευση του σχετικού λάθους. Συνεπώς το συγκεντρωτικό σήμα ένδειξης λάθους  $Error\_R$  του καταχωρητή, θα έχει επίσης λογική τιμή 1 και το ίδιο ισχύει για το σήμα  $Memory$  μετά την θετική ακμή του σήματος ρολογιού  $MEM\_CLK$ . Ως εκ τούτου ο μανδαλωτής MUX-latch εισέρχεται σε κατάσταση μνήμης αποθηκεύοντας τα καθυστερημένα αλλά σωστά δεδομένα τα οποία βρίσκονται στην είσοδο  $M$  του κυρίως flip-flop. Τα σωστά αυτά δεδομένα τροφοδοτούν το κυρίως flip-flop στην επόμενη θετική ακμή του ρολογιού  $CLK$  για τη διόρθωση του λάθους και την ανάκαμψη της λειτουργίας του κυκλώματος. Σε σχέση με την πιο διαδεδομένη εναλλακτική λύση, το Razor flip-flop, η οποία χρησιμοποιεί επιπλέον έναν πρόσθετο μανδαλωτή, εκτός από τον πολυπλέκτη και την πύλη XOR, η μείωση στην κατανάλωση ισχύος και στην επιφάνεια πυριτίου που επιτυγχάνεται είναι σημαντική.

### 3.2.2 To Time Dilation flip-flop σάρωσης

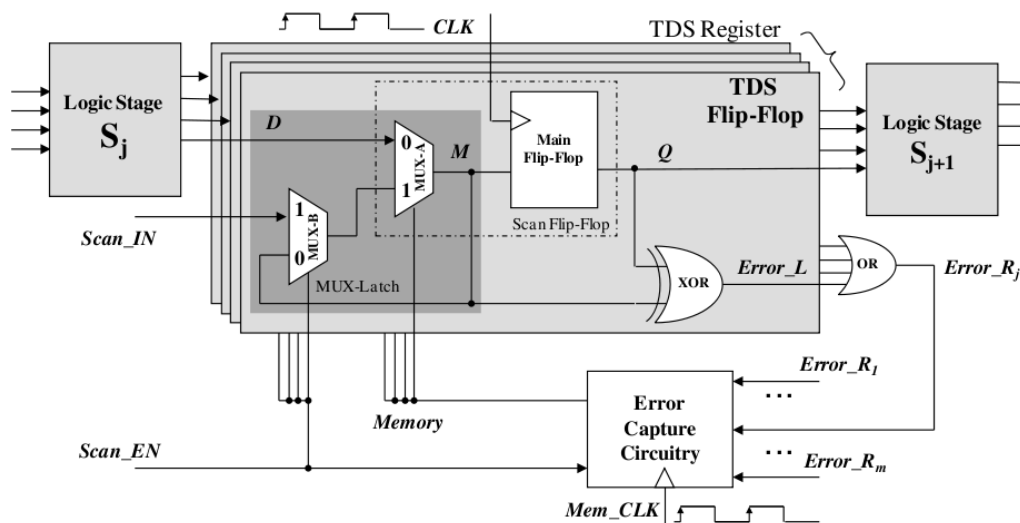
Οι σύγχρονοι σχεδιασμοί χρησιμοποιούν την τεχνική ελέγχου ορθής λειτουργίας με σειριακή σάρωση (scan testing), για να υποστηρίξουν τον εκτός λειτουργίας (off-line) έλεγχο ορθής λειτουργίας [5]. Στο Σχήμα 3.2 απεικονίζεται ο καταχωρητής ο οποίος βασίζεται στο τυπικό flip-flop σάρωσης (Scan flip-flop). Όλα τα flip-flop σάρωσης σε ένα σχεδιασμό συνδέονται σειριακά για να σχηματίσουν έναν ή περισσότερους ολισθητές καταχωρητές σάρωσης. Η είσοδος  $Scan\_IN$  ενός flip-flop σάρωσης οδηγείται από την έξοδο  $Q$  του flip-flop σάρωσης το οποίο προηγείται στον καταχωρητή σάρωσης. Όταν το σήμα  $Scan\_EN$  είναι στο λογικό 1, το κύκλωμα βρίσκεται σε κατάσταση λειτουργίας σειριακής σάρωσης και τα flip-flop σάρωσης οδηγούνται από τις εισόδους  $Scan\_IN$ . Όταν το

σήμα  $Scan\_EN$  είναι στο λογικό 0, το κύκλωμα βρίσκεται στην κανονική κατάσταση λειτουργίας και τα flip-flop σάρωσης οδηγούνται από τις εισόδους  $D$  για να συλλάβουν τις αποκρίσεις της συνδυαστικής λογικής  $S_j$  που προηγείται.

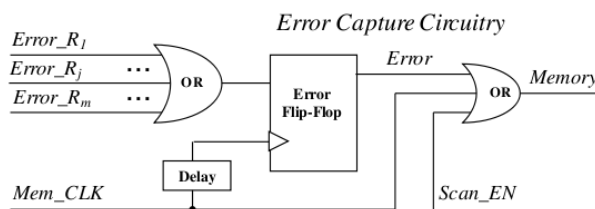


Σχήμα 3.2: Το τυπικό flip-flop σάρωσης

Το νέο Time Dilation Scan (TDS) flip-flop, το οποίο παρουσιάζεται στο Σχήμα 3.3α, διατηρεί τη δυνατότητα σειριακής σάρωσης παρέχοντας επιπρόσθετα τη δυνατότητα ανίχνευσης και διόρθωσης λαθών χρονισμού, με την προσθήκη ενός μόνο πολυπλέκτη (MUX-B) και μιας πύλης XOR στη δομή του τυπικού flip-flop σάρωσης. Αν και ακολούθως παρουσιάζεται η εφαρμογή της τεχνικής σε δομές διοχέτευσης, αυτή μπορεί να εφαρμοστεί σε κάθε ακολουθιακό κύκλωμα.



α)



β)

Σχήμα 3.3: α) Το TDS flip-flop με τα κυκλώματα που το υποστηρίζουν β) το κύκλωμα αποθήκευσης ένδειξης λάθους

Όταν το σήμα *scan enable* (*Scan\_EN*) είναι στο λογικό 1 το flip-flop λειτουργεί όπως ένα flip-flop σάρωσης για να υποστηρίξει διεργασίες ελέγχου της ορθής λειτουργίας. Στην κανονική λειτουργία (*Scan\_EN* = 0) το flip-flop συμπεριφέρεται σαν ένα τυπικό flip-flop, με την δυνατότητα να ανιχνεύει και να διορθώνει λάθη χρονισμού. Η πύλη XOR χρησιμοποιείται για να συγκρίνει τα δεδομένα στην είσοδο *M* και στην έξοδο *Q* του κυρίως flip-flop για την ανίχνευση πιθανών λαθών, ενώ οι δύο πολυπλέκτες και το μονοπάτι ανάδρασης από τη γραμμή *M* στην είσοδο του επιπρόσθετου πολυπλέκτη MUX-B σχηματίζουν το απαραίτητο στοιχείο μνήμης (μανδαλωτής) που αποθηκεύει τα έγκυρα δεδομένα για την διόρθωση του λάθους.

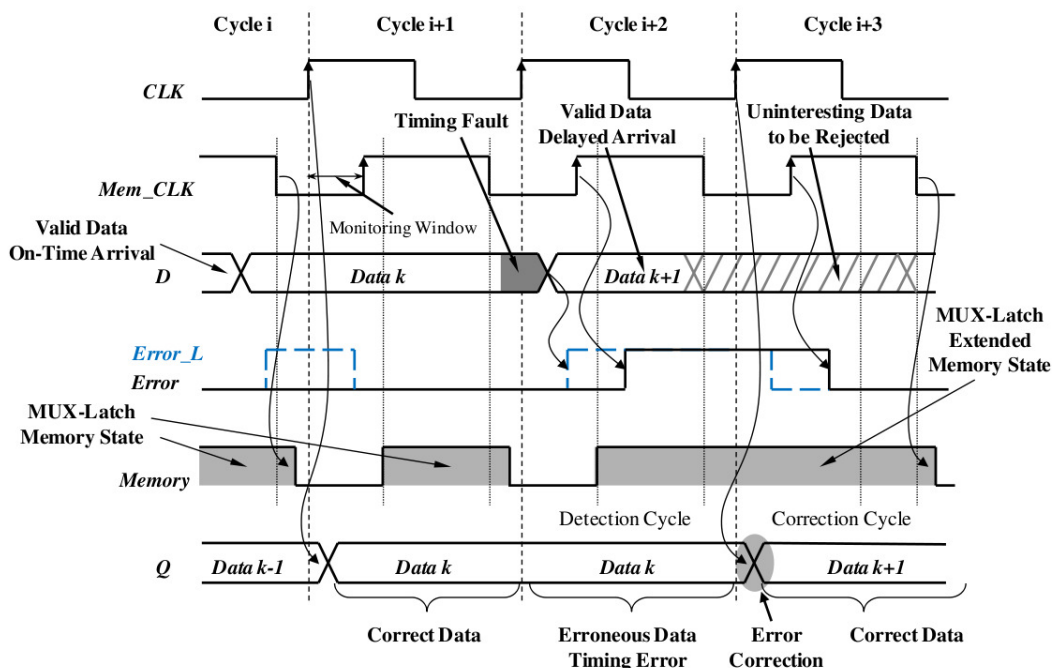
Αν ένα λάθος χρονισμού ανιχνευτεί στις εισόδους της συνδυαστικής λογικής του σταδίου  $S_{j+1}$ , εξ αιτίας μιας καθυστερημένης απόκρισης του προηγούμενου σταδίου  $S_j$ , τότε η απόκριση του  $S_{j+1}$  θα είναι λανθασμένη και πρέπει να διορθωθεί. Σε αυτήν την περίπτωση, ο χρόνος αποτίμησης του κυκλώματος επεκτείνεται κατά έναν κύκλο και το  $S_{j+1}$  τροφοδοτείται με την καθυστερημένη, αλλά έγκυρη απόκριση του  $S_j$  την οποία συνέλαβε ο μανδαλωτής MUX-latch. Το σήμα *Memory* έχει το ρόλο σήματος ρολογιού στον μανδαλωτή MUX-latch. Αν δεν ανιχνευτεί λάθος, το σήμα *Memory* ελέγχεται αποκλειστικά από το σήμα *Mem\_CLK*. Όταν το σήμα *Mem\_CLK* είναι στο λογικό 1 το σήμα *Memory* ενεργοποιείται και ο μανδαλωτής MUX-latch εισέρχεται σε κατάσταση μνήμης, διαφορετικά ο μανδαλωτής MUX-latch είναι διαφανής. Το χρονικό διάστημα κατά το οποίο το σήμα *Memory* είναι ενεργό πρέπει να συμπίπτει με το διάστημα όπου νέες τιμές φτάνουν στις εισόδους *D* του flip-flop. Κάθε αλλαγή σήματος στις εισόδους *D* του flip-flop μετά τη θετική ακμή του ρολογιού, θεωρείται λάθος χρονισμού και πρέπει να ανιχνευτεί. Προφανώς η απενεργοποίηση του σήματος *Memory* (αρνητική ακμή), και συνεπώς του σήματος *Mem\_CLK*, πρέπει να συμβεί πριν τη θετική ακμή του ρολογιού *CLK* ώστε να υπάρχει χρόνος να αποκριθεί ο πολυπλέκτης MUX-A και να συλλάβει τη νέα τιμή το κυρίως flip-flop.

Η πύλη XOR στο flip-flop ανιχνεύει λάθη χρονισμού και τα επισημαίνει θέτοντας το σήμα *Error\_L* στο λογικό 1. Μία πύλη OR συλλέγει τα *Error\_L* σήματα και παράγει το σήμα ένδειξης λάθους του καταχωρητή *Error\_Rj*. Τα σήματα ένδειξης λάθους των καταχωρητών συλλαμβάνονται μέσω ενός OR δένδρου από ένα και μόνο flip-flop (το *Error flip-flop*) που χρονίζεται από το σήμα *Mem\_CLK*, το οποίο έχει μία κατάλληλη καθυστέρηση (Σχήμα 3.3β). Η τελική ένδειξη λάθους, *Error*, χρησιμοποιείται για να ενεργοποιήσει το μηχανισμό διόρθωσης λάθους.

### 3.2.3 Ανίχνευση και διόρθωση λαθών χρονισμού με τη χρήση της τεχνικής Time Dilation

Στο Σχήμα 3.4 παρουσιάζεται η κανονική λειτουργία του flip-flop όταν το σήμα *Scan\_EN* είναι στο λογικό 0. Στον *i*-στό κύκλο η απόκριση του λογικού σταδίου  $S_j$  είναι μέσα στις χρονικές προδιαγραφές του κυκλώματος. Δηλαδή όταν το σήμα *Memory* βρίσκεται στο λογικό 1. Συνεπώς, μετά την ενεργοποίηση του ρολογιού *CLK* τα δεδομένα της εισόδου *M* και της εξόδου *Q* του κυρίως flip-flop θα έχουν την ίδια τιμή μέχρι την πτωτική ακμή του σήματος *Memory*. Έτσι, το σήμα *Error\_L* καθώς και το σήμα που ακολουθεί *Error\_Rj* θα είναι και τα δύο μηδέν την χρονική στιγμή που ενεργοποιείται το *Error flip-flop*. Σε αυτή την περίπτωση, η λειτουργία της δομής διοχέτευσης παραμένει αδιατάραχη (*Error*=0). Στον επόμενο κύκλο (*i*+1) συμβαίνει ένα σφάλμα χρονισμού το οποίο προκαλεί μια καθυστερημένη απόκριση του σταδίου  $S_j$ . Έτσι, ένα λάθος χρονισμού παράγεται στη επόμενη θετική ακμή του ρολογιού. Τα δεδομένα που λαμβάνονται στον καταχωρητή

μεταξύ των σταδίων  $S_j$  και  $S_{j+1}$  είναι λανθασμένα και συνεπώς η απόκριση του σταδίου  $S_{j+1}$  στον  $(i+2)$  κύκλο θα είναι επίσης λανθασμένη. Επιπλέον, εξ αιτίας του σφάλματος, μια μετάβαση συμβαίνει στην είσοδο  $D$  του flip-flop, μέσα στον  $(i+2)$  κύκλο, μετά την θετική ακμή και πριν την ενεργοποίηση του σήματος  $Memory$ . Αφού ο μανδαλωτής MUX-latch είναι διαφανής κατά τη διάρκεια αυτού του διαστήματος, η μεταβολή περνάει στην γραμμή  $M$ . Τώρα η τιμή στην έξοδο  $M$  του μανδαλωτή MUX-latch διαφέρει από αυτήν στην έξοδο  $Q$  του κυρίως flip-flop. Η πρώτη είναι η σωστή απόκριση του  $S_j$  και η δεύτερη η λανθασμένη τιμή που έλαβε η  $Q$ .



**Σχήμα 3.4:** Η λειτουργία του TDS flip-flop με ένα λάθος χρονισμού στον κύκλο  $i+2$  και την ανάκαμψη στον κύκλο  $i+3$

Έτσι, η σύγκριση από την πύλη XOR των έγκυρων δεδομένων του μανδαλωτή MUX-latch με τα λανθασμένα δεδομένα που είναι αποθηκευμένα στο κυρίως flip-flop θέτει το τοπικό  $Error\_L$  σήμα στο λογικό 1 και παράγει το σήμα ένδειξης λάθους  $Error\_R_j$  στην έξοδο της πύλης OR του καταχωρητή. Κατόπιν, η θετική ακμή του  $Mem\_CLK$  ενεργοποιεί το σήμα  $Memory$  θέτοντας τους μανδαλωτές MUX-latch σε κατάσταση μνήμης, και μετά από μια κατάλληλη καθυστέρηση αποθηκεύει την ένδειξη λάθους του καταχωρητή στο Error flip-flop, δίνοντας στο σήμα  $Error$  το λογικό 1. Αυτή η τιμή θα επεκτείνει την ενεργή διάρκεια του σήματος  $Memory$  κρατώντας όλους τους μανδαλωτές MUX-latch σε κατάσταση μνήμης. Σε αυτό το σημείο το λάθος έχει ανιχνευτεί. Επιπλέον, όλοι οι μανδαλωτές MUX-latch κρατάνε την σωστή απόκριση του σταδίου  $S_j$  στον  $(i+1)$  κύκλο. Οι νέες αποκρίσεις των σταδίων  $S_j$  και  $S_{j+1}$  στον  $(i+2)$  κύκλο εμποδίζονται στις εισόδους  $D$  του σχετικού flip-flop και θα απορριφθούν αφού η απόκριση του  $S_{j+1}$  είναι λανθασμένη. Μπαίνοντας στον επόμενο κύκλο  $(i+3)$  η θετική ακμή του ρολογιού  $CLK$  επιτρέπει στα έγκυρα δεδομένα να μετακινηθούν από τους μανδαλωτές MUX-latch στα κυρίως flip-flop ώστε να είναι διαθέσιμα στο επόμενο στάδιο  $S_{j+1}$  της διοχέτευσης. Συνεπώς, το λάθος διορθώνεται αφού το στάδιο έχει σωστά δεδομένα στις εισόδους του ώστε να επαναλάβει τον υπολογισμό του μέσα στον  $(i+3)$  κύκλο. Απαιτείται συνεπώς η ποινή ενός κύκλου ρολογιού για την

διόρθωση του λάθους. Κατόπιν, τα σήματα ένδειξης λάθους  $Error\_L$ ,  $Error\_R_j$  και  $Error$  μεταβαίνουν διαδοχικά στο λογικό 0 και το σήμα  $Memory$  επιστρέφει στην συνηθισμένη του λειτουργία.

Σύμφωνα με την παραπάνω περιγραφή, εάν ένα λάθος χρονισμού συμβεί σε ένα στάδιο  $S_j$  κατά τη διάρκεια ενός συγκεκριμένου κύκλου, τότε τα δεδομένα του επόμενου σταδίου  $S_{j+1}$  είναι λανθασμένα και πρέπει να απορριφθούν από τη δομή διοχέτευσης. Όμως, οι μανδαλωτές MUX-latch αποθηκεύουν ήδη τα σωστά δεδομένα και δεν απαιτείται η επανεκτέλεση του υπολογισμού στο στάδιο  $S_j$ . Έτσι, το στάδιο  $S_{j+1}$  χρειάζεται μόνο έναν κύκλο για την επανεκτέλεση του υπολογισμού του, χρησιμοποιώντας τα σωστά δεδομένα εισόδου.

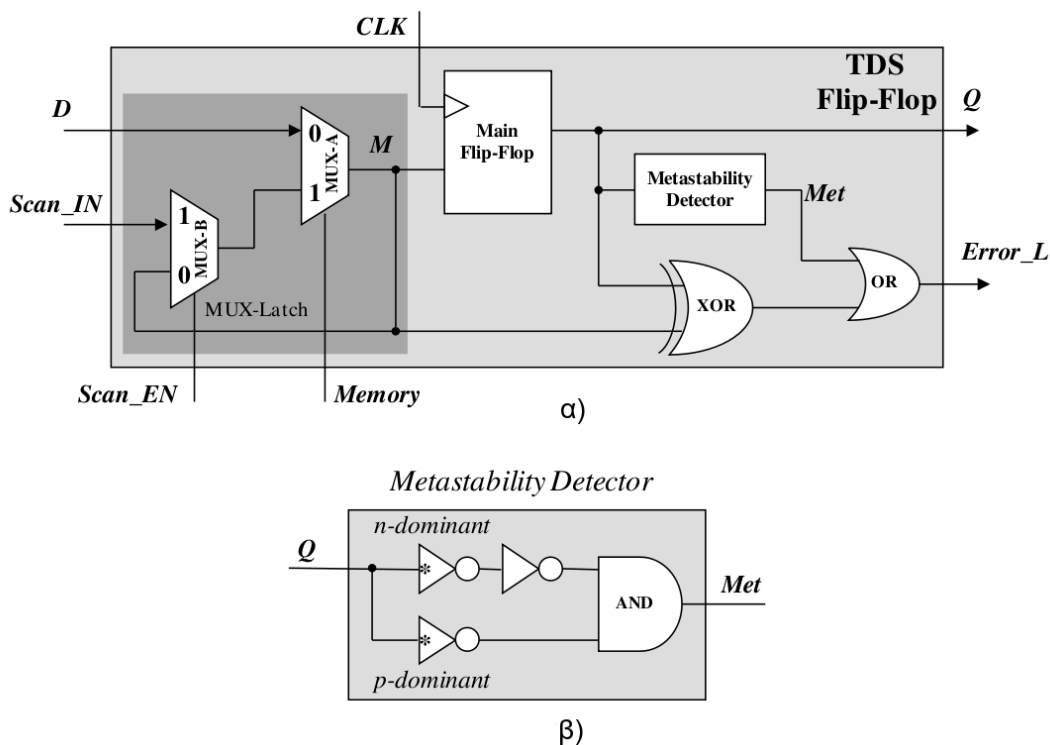
Ένα χαρακτηριστικό πλεονέκτημα της τεχνικής είναι ότι δεν εισέρχεται κανένα κυκλωματικό στοιχείο στο κρίσιμο μονοπάτι από την είσοδο  $D$  προς την έξοδο  $Q$  του flip-flop. Ο πρόσθετος πολυπλέκτης MUX-B εισέρχεται στο μονοπάτι σειριακής σάρωσης το οποίο δεν είναι κρίσιμο. Μια μικρή επιβάρυνση δημιουργείται από τις μικρές παρασιτικές χωρητικότητες των εισόδων του πολυπλέκτη MUX-B και της πύλης XOR που οδηγούνται από τα σήματα  $M$  και  $Q$ . Επίσης η επιβάρυνση στην επιφάνεια πυριτίου της πύλης OR στην έξοδο του καταχωρητή είναι μικρή (ειδικά όταν χρησιμοποιείται domino λογική), ενώ το υπόλοιπο κύκλωμα (το Error flip-flop και το δένδρο OR) μοιράζεται σε όλη την δομή διοχέτευσης και συνεπώς το κόστος της είναι ασήμαντο.

### 3.2.4 Αντιμετώπιση της Μεταευστάθειας

Αν τα δεδομένα στην είσοδο  $M$  του flip-flop φτάσουν σχεδόν ταυτόχρονα με την θετική ακμή του  $CLK$ , τότε παραβιάζεται ο χρόνος αρχικοποίησης ή συγκράτησης του flip-flop. Σε αυτή την περίπτωση το flip-flop μπορεί να έρθει σε κατάσταση μεταευστάθειας, δηλαδή η έξοδος να έχει τιμή κοντά στο  $V_{DD}/2$ . Το επίπεδο αυτής της τάσης μπορεί να ερμηνευτεί είτε ως λογικό 1 ή 0 από τις πύλες οι οποίες τροφοδοτούνται από την έξοδο του flip-flop ή αυτές οι πύλες μπορούν επίσης να βρεθούν σε κατάσταση μεταευστάθειας. Σε αυτή την περίπτωση, η σύγκριση των σημάτων  $M$  και  $Q$ , από την πύλη XOR είναι αναξιόπιστη, ώστε να ανιχνευθούν τα λάθη χρονισμού. Γι' αυτό το λόγο προστίθεται ένας ανιχνευτής μεταευστάθειας στην έξοδο του flip-flop, όπως επίσης έχει προταθεί στη τεχνική Razor [92] [113]. Το TDS flip-flop με τον ανιχνευτή μεταευστάθειας φαίνεται στο Σχήμα 3.5α. Εάν ανιχνευτεί κατάσταση μεταευστάθειας τότε ενεργοποιείται η ένδειξη λάθους  $Error\_L$  και η απόκριση του κυρίως flip-flop διορθώνεται με τον τρόπο που αναπτύξαμε νωρίτερα, ανακτώντας τα σωστά δεδομένα από τον μανδαλωτή MUX-latch.

Ο ανιχνευτής μεταευστάθειας (Σχήμα 3.5β) αποτελείται από 2 αναστροφείς, με κατάλληλα σχεδιασμένο λόγο  $W/L$  μεταξύ των τρανζίστορ pMOS και nMOS, ώστε να έχουν διαφορετική τάση μετάβασης [92]. Σε κατάσταση μεταευστάθειας ο πρώτος αναστροφέας, με χαμηλότερη τάση μετάβασης από  $V_{DD}/2$  (n-dominant), αποκρίνεται με λογικό 0, ενώ ο δεύτερος που έχει υψηλότερη τάση μετάβασης από  $V_{DD}/2$  (p-dominant), αποκρίνεται με λογικό 1. Συνεπώς η έξοδος  $Met$  της πύλης OR η οποία ακολουθεί, μεταβαίνει στο λογικό 1 και το σήμα  $Error\_L$  ενεργοποιείται επίσης στο λογικό 1.



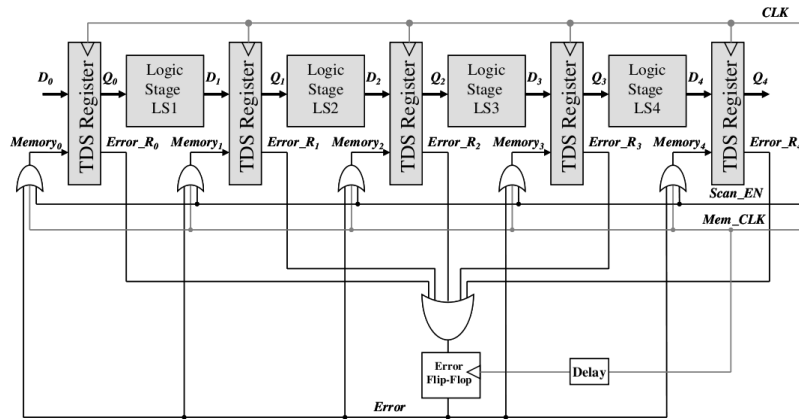


Σχήμα 3.5: α) Το TDS flip-flop με ανιχνευτή μεταευστάθειας β) η διάταξη του ανιχνευτή μεταευστάθειας

### 3.2.5 Ανάκαμψη της δομής διοχέτευσης

Κάθε ανίχνευση λάθους τη διαδέχεται μια δράση ανάκαμψης της δομής διοχέτευσης. Στο Σχήμα 3.6 παρουσιάζεται η οργάνωση της δομής διοχέτευσης και ο μηχανισμός ανάκαμψης λάθους. Στην περίπτωση ενός λάθους χρονισμού σε ένα στάδιο (έστω στο στάδιο LS2) παράγεται ένα σήμα ένδειξης λάθους *Error\_R2* στον καταχωρητή TDS ο οποίος ακολουθεί. Αυτό σημαίνει ότι η απόκριση του επόμενου σταδίου LS3 στον κύκλο που ακολουθεί θα είναι λανθασμένη (όπως φαίνεται στο Σχήμα 3.7) αφού τα δεδομένα εισόδου του δεν είναι έγκυρα.

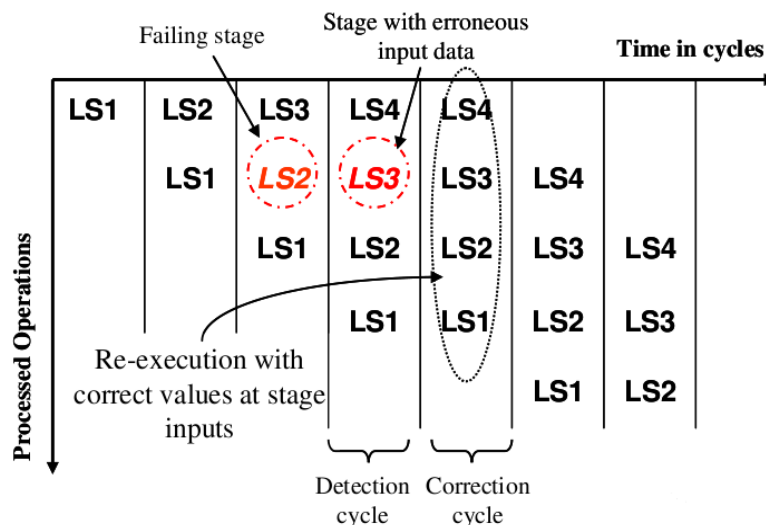
Το σήμα ένδειξης λάθους αποθηκεύεται στο Error flip-flop και τα σήματα *Memory<sub>j</sub>* ( $0 \leq j \leq 4$ ) παραμένουν στο λογικό 1 κρατώντας όλους τους μανδαλωτές MUX-latch των καταχωρητών, όλων των σταδίων, σε κατάσταση μνήμης. Συνεπώς, στον επόμενο κύκλο κάθε στάδιο επιτρέπεται να επανυπολογίσει τις αποκρίσεις του χρησιμοποιώντας τα σωστά αποθηκευμένα δεδομένα στους μανδαλωτές MUX-latch. Στην πράξη, αυτό μοιάζει με μία διαστολή ή διεύρυνση της διάρκειας του χρόνου του κύκλου κατά τον οποίο υπήρξε η αστοχία, ώστε να δοθεί ο απαραίτητος χρόνος για την ανάκαμψη του κυκλώματος από το λάθος. Δεν χρειάζεται το στάδιο LS2 το οποίο αστόχησε, να υπολογίσει ξανά την απόκρισή του, διότι οι σωστές αποκρίσεις είναι ήδη διαθέσιμες στους μανδαλωτές MUX-latch, οι οποίοι ακολουθούν. Η αρχιτεκτονική της δομής διοχέτευσης Time Dilation, παρουσιάζει ανοχή σε οποιοδήποτε αριθμό λαθών σε έναν κύκλο αφού όλα τα στάδια υπολογίζουν ξανά τις αποκρίσεις τους με τα σωστά δεδομένα στις εισόδους τους. Στην περίπτωση που ένα ή περισσότερα στάδια αποτύχουν σε κάθε κύκλο, η δομή διοχέτευσης θα συνεχίσει να λειτουργεί στο ήμισυ της κανονικής ταχύτητας.



Σχήμα 3.6: Οργάνωση της δομής διοχέτευσης για την διαδικασία της ανάκαμψης λάθους

Σημειώνεται ότι η ενεργοποίηση της κατάστασης μνήμης των μανδαλωτών MUX-latch δεν βασίζεται στη δημιουργία του σήματος ένδειξης λάθους. Οι μανδαλωτές MUX-latch τίθενται σε κατάσταση μνήμης, από το σήμα *Memory*, ανεξάρτητα από την εμφάνιση του σήματος ένδειξης λάθους. Συνεπώς, τη στιγμή όπου ένα σήμα ένδειξης λάθους λαμβάνεται από το Error flip-flop, το σήμα *Memory* είναι ήδη στο λογικό 1 και οι μανδαλωτές MUX-latch είναι σε κατάσταση μνήμης. Το σήμα ένδειξης λάθους απλά επεκτείνει την ενεργή κατάσταση του σήματος *Memory* για μία περίοδο του ρολογιού.

Συνεπώς, η επόμενη θετική ακμή του ρολογιού *CLK* μεταφέρει τα σωστά δεδομένα από τους μανδαλωτές MUX-latch στη δομή διοχέτευσης, επιτρέποντας στην εκτρεπόμενη διεργασία να συνεχίσει την εκτέλεσή της. Οι επόμενες διεργασίες μέσα στην δομή διοχέτευσης δεν ακυρώνονται και συνεχίζουν να τρέχουν μετά την ανάκαμψη. Έτσι, στην προτεινόμενη αρχιτεκτονική μόνο ένας κύκλος ρολογιού απαιτείται για την ανάκαμψη από λάθος, όπως φαίνεται στο Σχήμα 3.7.



Σχήμα 3.7: Λειτουργία της δομής διοχέτευσης κατά την διαδικασία της ανάκαμψης λάθους

Ωστόσο, σε σχεδιασμούς υψηλής πολυπλοκότητας όπου οι καθυστερήσεις των διαδρομών στα μονοπάτια ανατροφοδότησης είναι απαγορευτικές, μπορεί εναλλακτικά να χρησιμοποιηθούν οι τεχνικές της αδρανοποίησης του ρολογιού ή

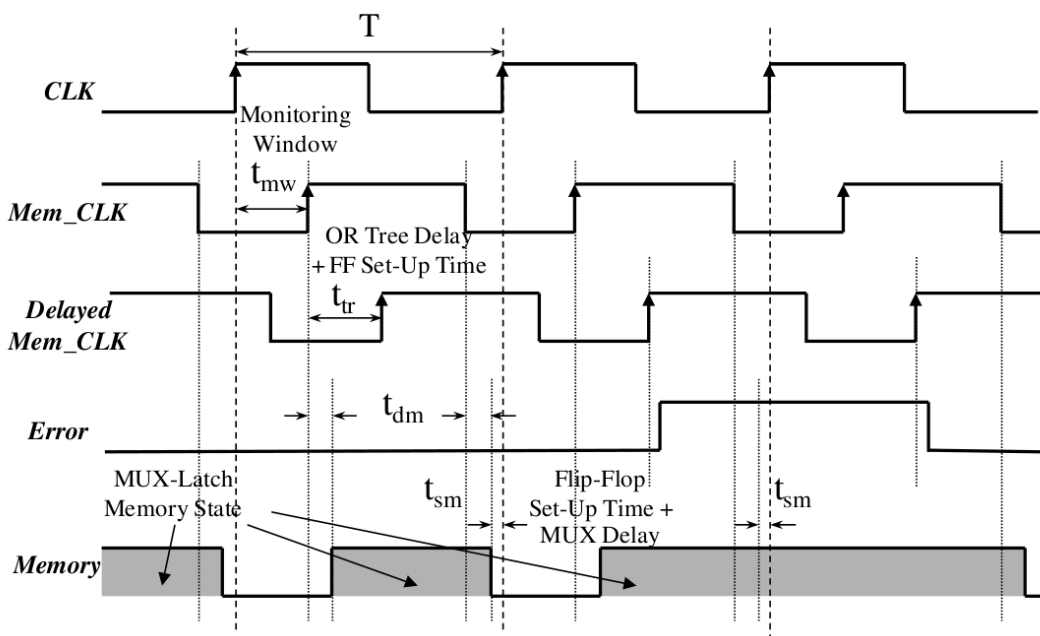
η τεχνική διοχέτευσης ανάστροφης ροής (counterflow pipelining) [116] (όπως στη τεχνική Razor [113]), ώστε να επιτευχθεί η ανάκαμψη της δομής διοχέτευσης.

### 3.2.6 Το σήμα του ρολογιού και τα γρήγορα μονοπάτια

Σύμφωνα με τα παραπάνω, το σήμα *Mem\_CLK* καθορίζει το παράθυρο παρατήρησης της τεχνικής Time Dilation, το οποίο ισούται με την καθυστέρηση ( $t_{mw}$ ) αυτού του σήματος σε σχέση με το σήμα *CLK*, όπως φαίνεται στο Σχήμα 3.8. Στην πραγματικότητα το χρονικό διάστημα  $t_{mw}$  είναι η μέγιστη καθυστέρηση η οποία πρέπει να ανιχνεύεται. Και τα δύο σήματα του ρολογιού έχουν την ίδια περίοδο  $T$ . Θεωρώντας τις διακυμάνσεις της διεργασίας κατασκευής, το χρονικό διάστημα κατά το οποίο το σήμα *Mem\_CLK* βρίσκεται στο λογικό 1 (OT ή on-time), ισούται με την περίοδο του ρολογιού  $T$  μείον: α) τη χρονική διάρκεια του παράθυρου παρατήρησης ( $t_{mw}$ ), β) τον χειρότερο χρόνο αρχικοποίησης του flip-flop ( $t_{su}$ ), γ) την χειρότερη καθυστέρηση του πολυπλέκτη MUX-A ( $t_{mx}$ ) και δ) την χειρότερη καθυστέρηση της ενεργοποίησης/απενεργοποίησης του σήματος *Memory* από το σήμα *Mem\_CLK* ( $t_{dm}$ ):

$$OT = T - (t_{mw} + t_{su} + t_{mx} + t_{dm}) = T - (t_{mw} + t_{sm} + t_{dm}).$$

Συνεπώς ο κύκλος εργασίας (duty cycle) του σήματος *Mem\_CLK* είναι  $OT/T$ . Για να μειωθεί η πολυπλοκότητα του σήματος *Mem\_CLK*, μπορεί να αυξηθεί κατάλληλα η χρονική διάρκεια του παράθυρου παρατήρησης, ώστε ο κύκλος εργασίας του *Mem\_CLK* να γίνει ίσος με τον κύκλο εργασίας του σήματος *CLK* (50%). Ωστόσο, αν επιλεγεί κύκλος εργασίας 50% για το σήμα *Mem\_CLK*, τότε επηρεάζεται αρνητικά η επιφάνεια πυριτίου καθώς απαιτείται η προσθήκη απομονωτών για την αντιμετώπιση του προβλήματος του χρόνου συγκράτησης (hold time).



Σχήμα 3.8: Διαγράμματα χρονισμού του TDS flip-flop

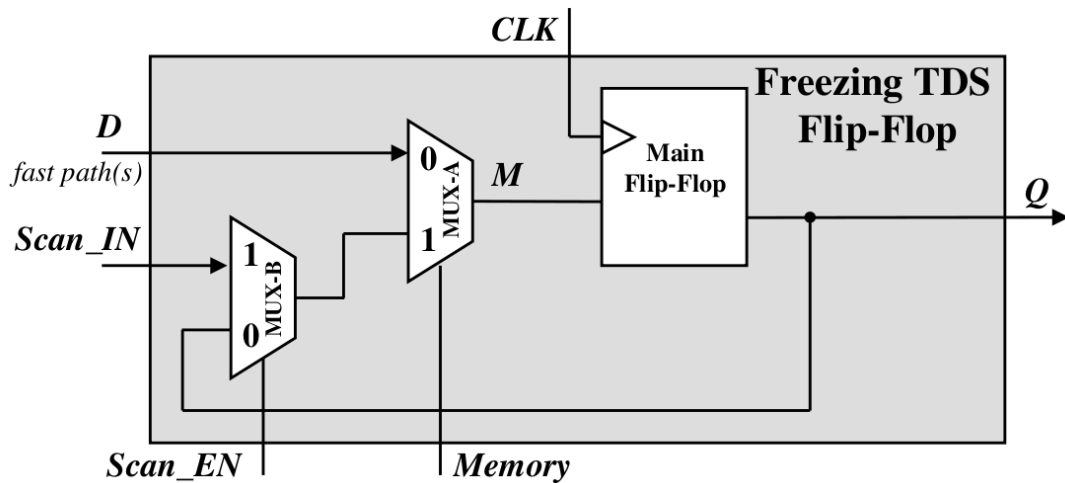
Επίσης, το καθυστερημένο (σήμα *Mem\_CLK*, το οποίο τροφοδοτεί το *Error* flip-flop, έχει καθυστέρηση, σε σχέση με το *Mem\_CLK*, ίση με την χειρότερη καθυστέρηση διάδοσης του OR δέντρου το οποίο παρέχει στο *Error* flip-flop το

σήμα της τοπικής ένδειξης λάθους ( $Error\_L$ ) συν τον χρόνο αρχικοποίησης αυτού του flip-flop ( $t_{tr}$ ). Ο κύκλος εργασίας είναι ο ίδιος με τον αυτόν του  $Mem\_CLK$ .

Όπως και στην τεχνική Razor, ένα σημαντικό θέμα είναι ότι η ύπαρξη γρήγορων μονοπατιών στη συνδυαστική λογική μπορεί να καταστρέψει τα δεδομένα στους μανδαλωτές MUX-latch. Αυτό οφείλεται στις νέες αποκρίσεις της συνδυαστικής λογικής οι οποίες φτάνουν στα αντίστοιχα flip-flop νωρίτερα από την ενεργοποίηση της κατάστασης μνήμης των μανδαλωτών MUX-latch (ή των σκιωδών μανδαλωτών στη τεχνική Razor). Αυτό είναι το πρόβλημα του χρόνου συγκράτησης. Αναφορικά με το Σχήμα 3.8, ως γρήγορα μονοπάτια ορίζουμε μονοπάτια με χρόνους απόκρισης μέσα στο παράθυρο παρατήρησης χρονικής διάρκειας  $t_{mw}$  συν την χειρότερη καθυστέρηση για την ενεργοποίηση/απενεργοποίηση του σήματος Memory από το σήμα  $Mem\_CLK$  ( $t_{dm}$ ), η οποία χρησιμοποιείται ως περιθώριο ανοχής σφάλματος. Ως αργά μονοπάτια ορίζουμε τα μονοπάτια των οποίων οι χρόνοι απόκρισης βρίσκονται μέσα στην κατάσταση μνήμης των μανδαλωτών MUX-Latch.

Για να αποφύγουμε το πρόβλημα του χρόνου συγκράτησης, στην τεχνική Razor προτείνεται ένας περιορισμός ελάχιστης καθυστέρησης μονοπατιού στο σχεδιασμό του κυκλώματος. Αυτός ο περιορισμός ικανοποιείται με την προσθήκη απομονωτών, κατά τη διάρκεια της σύνθεσης, ώστε τα γρήγορα μονοπάτια να αποκρίνονται με επιπλέον καθυστέρηση. Η ελάχιστη καθυστέρηση η οποία προστίθεται είναι ανάλογη με τη μέγιστη καθυστέρηση σήματος η οποία πρέπει να ανιχνεύεται συν τον χρόνο συγκράτησης του σκιώδους μανδαλωτή. Ωστόσο, προκύπτει ένας συμβιβασμός. Μία μεγάλη τιμή για την ελάχιστη καθυστέρηση μονοπατιού μπορεί να σημαίνει μη αποδεκτή αύξηση του απαιτούμενου αριθμού των απομονωτών στο σχεδιασμό. Από την άλλη πλευρά, μία μικρή τιμή στον περιορισμό καθυστέρησης, ελαττώνει την ανοχή σε λάθη εξ αιτίας της μείωσης της μέγιστης ανιχνεύσιμης καθυστέρησης. Σε κάθε περίπτωση, οι επιπρόσθετοι απομονωτές αυξάνουν την πολυπλοκότητα του σχεδιασμού, την επιφάνεια πυριτίου και την κατανάλωση ισχύος. Στην πράξη ο στόχος είναι να ανιχνεύονται λάθη χρονισμού τα οποία οφείλονται σε μικρές καθυστερήσεις σημάτων, αφού η υποβάθμιση της επίδοσης του κυκλώματος είναι σταδιακή, και δεν αναμένονται μεγάλες καθυστερήσεις με το πρώτο λάθος. Μπορούν να χρησιμοποιηθούν απλοί μετρητές σφάλματος για να ανιχνεύεται εάν ο ρυθμός της εμφάνισης των λαθών χρονισμού υπερβαίνει ένα συγκεκριμένο όριο, το οποίο σημαίνει ότι η υποβάθμιση του κυκλώματος γίνεται πιο σημαντική. Σε αυτή την περίπτωση, η συχνότητα του ρολογιού  $CLK$  μπορεί να μειωθεί ώστε και πάλι η επίδραση των πιθανών σφαλμάτων χρονισμού να είναι μία μικρή πρόσθετη καθυστέρηση κατά τη διάδοση του σήματος.

Επίσης, στην τεχνική Razor μπορεί να χρησιμοποιηθεί τοπικά αδρανοποίηση του ρολογιού για όλα flip-flop στα οποία καταλήγουν αποκλειστικά γρήγορα μονοπάτια ή γενικά μονοπάτια τα οποία δεν απαιτούν προστασία. Τότε, αυτά τα flip-flop δεν αντικαθίστανται από τα Razor flip-flop. Το μειονέκτημα αυτής της προσέγγισης είναι τα προβλήματα που σχετίζονται με τη χρονική απόκλιση του ρολογιού (clock skew) του συστήματος  $CLK$  εξ αιτίας των πρόσθετων κυκλωμάτων κατά τη διάδοσή του.



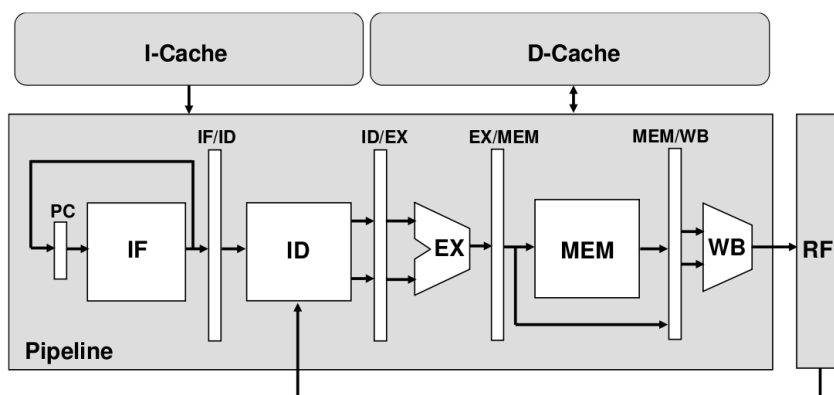
Σχήμα 3.9: TDS flip-flop Καθήλωσης (Freezing TDS flip-flop)

Η καθυστέρηση των μονοπατιών με απομονωτές (buffer) και οι τεχνικές αδρανοποίησης του ρολογιού μπορούν να εφαρμοστούν επίσης στην τεχνική TDS για τα ίδια ακριβώς μονοπάτια όπως και στη τεχνική Razor. Ωστόσο, για να μειωθεί το κόστος των απομονωτών και να αποφεύγουμε το πρόβλημα της απόκλισης του σήματος του ρολογιού, προτείνεται μία νέα σχεδιαστική προσέγγιση. Στο Σχήμα 3.9 παρουσιάζεται το TDS flip-flop Καθήλωσης (Freezing TDS flip-flop) το οποίο χρησιμοποιείται στην έξοδο των μη κρίσιμων μονοπατιών τα οποία δεν τέμνονται με κρίσιμα μονοπάτια. Αυτά τα flip-flop δεν χρειάζονται προστασία από λάθη χρονισμού. Επίσης, μόνο στα γρήγορα μονοπάτια τα οποία τέμνονται με κρίσιμα μονοπάτια απαιτείται η προσθήκη επιπλέον απομονωτών για καθυστέρηση, ώστε να μην διαταραχθούν τα δεδομένα στους μανδαλωτές MUX-latch των τυπικών TDS flip-flop εξ αιτίας παραβίασης του χρόνου συγκράτησης. Σε αυτές τις περιπτώσεις, η ελάχιστη προστιθέμενη καθυστέρηση ισούται με την καθυστέρηση του σήματος *Memory* σε σχέση με το ρολόι του συστήματος *CLK* ( $t_{mw} + t_{dm}$ ) (βλ. Σχήμα 3.8), συν τον χρόνο συγκράτησης του μανδαλωτή MUX-latch. Επίσης, σημειώνεται ότι σε ένα σχεδιασμό ο οποίος βασίζεται στη τεχνική Razor, όπου στόχος είναι η αποφυγή της τοπικής χρήσης τεχνικών αδρανοποίησης του ρολογιού, όλα τα flip-flop πρέπει να αντικατασταθούν από το Razor flip-flop.

Η λειτουργία του TDS flip-flop Καθήλωσης βασίζεται στο γεγονός ότι τα δεδομένα τα οποία συλλαμβάνονται σε ένα flip-flop το οποίο βρίσκεται στο τέλος ενός μη κρίσιμου μονοπατιού είναι πάντα σωστά αφού δεν επηρεάζονται από λάθη χρονισμού. Συνεπώς, ο συγκριτής (η πύλη XOR) παραλείπεται. Η κύρια διαφορά σε αυτή τη νέα τοπολογία είναι ότι η έξοδος *Q* του κυρίως flip-flop οδηγεί τον πολυπλέκτη MUX-B αντί για τη γραμμή *M*. Έτσι, όταν ο μανδαλωτής MUX-latch βρίσκεται σε κατάσταση μνήμης (*Memory*='1') τα δεδομένα στην έξοδο του κυρίως flip-flop τροφοδοτούν ξανά την είσοδό του *M* και αποθηκεύονται στον μανδαλωτή MUX-latch. Μετά την ανίχνευση ενός λάθους χρονισμού σε ένα TDS flip-flop οπουδήποτε στο κύκλωμα, τα σωστά δεδομένα του μανδαλωτή MUX-latch σε ένα TDS flip-flop Καθήλωσης αποθηκεύονται ξανά στην έξοδο *Q* του κυρίως flip-flop (πάγωμα των δεδομένων) με την θετική ακμή του ρολογιού στον κύκλο διόρθωσης ο οποίος ακολουθεί.

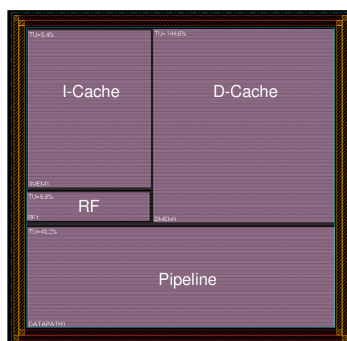
### 3.3 Πειραματικά Αποτελέσματα

Η τεχνική Time Dilation εφαρμόστηκε στον 32bit RISC μικροεπεξεργαστή MIPS R2000, με δυνατότητα ελέγχου ορθής λειτουργίας με σειριακή σάρωση, στην τεχνολογία CMOS 90nm της UMC, χρησιμοποιώντας την βιβλιοθήκη σχεδίασης της Faraday Technologies. Η συχνότητα λειτουργίας ήταν 133MHz (VDD=1.2V). Για τη σχεδίαση χρησιμοποιήθηκε η πλατφόρμα σχεδίασης CADENCE. Ο μικροεπεξεργαστής αποτελείται από τη δομή διοχέτευσης, το αρχείο καταχωρητών, την μνήμη εντολών (1KB – 256 instruction words) και τη μνήμη δεδομένων (2KB – 512 instruction words), όπως φαίνεται στο Σχήμα 3.10. Τα πέντε στάδια της δομής διοχέτευσης είναι τα: Instruction Fetch (IF), Instruction Decode (ID), Execute (EX), Memory (MEM) και Write-Back (WB). Το σύνολο εντολών το οποίο υλοποιήθηκε δεν περιλαμβάνει πράξεις κινητής υποδιαστολής έτσι παραλείπονται η μονάδα κινητής υποδιαστολής και το αντίστοιχο αρχείο καταχωρητών.



Σχήμα 3.10: Διάγραμμα της διάταξης του RISC μικροεπεξεργαστή

Στο Σχήμα 3.11 απεικονίζεται η κάτοψη (floorplan) του σχεδιασμού, ενώ στον Πίνακα 3.1 παρουσιάζονται τα χαρακτηριστικά του επεξεργαστή. Το 19.7% των flip-flop (92 από τα 466 flip-flop του σχεδιασμού) βρίσκονται στην έξοδο κρίσιμων μονοπατιών και αντικαθίστανται από τα TDS flip-flop για διόρθωση λαθών. Τα υπόλοιπα flip-flop αντικαθίστανται από τα TDS flip-flop Καθήλωσης. Ως κρίσιμα μονοπάτια ορίζουμε τα μονοπάτια με καθυστέρηση μεγαλύτερη από το 75% της περιόδου του ρολογιού. Επίσης, το σήμα Mem\_CLK έχει καθυστέρηση, σε σχέση με το ρολόι του συστήματος SYS\_CLK, ίση με το 20% του κύκλου του ρολογιού. Έτσι μπορούν να ανιχνευτούν και να διορθωθούν καθυστερήσεις μέχρι το 20% (worst case) του κύκλου του ρολογιού, ξεκινώντας από τη θετική ακμή του ρολογιού.

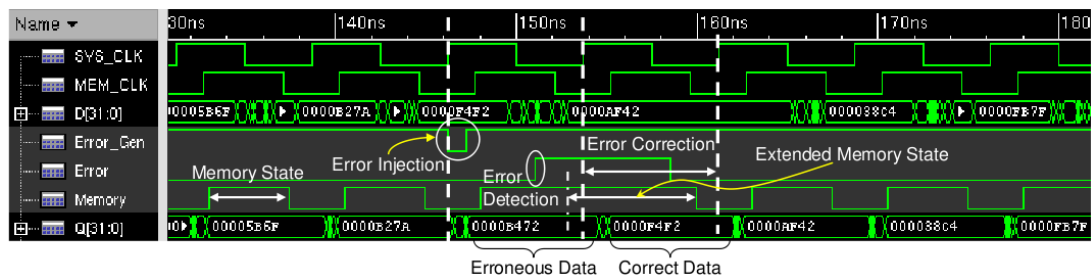


Σχήμα 3.11: Η κάτοψη του μικροεπεξεργαστή

**Πίνακας 3.1: Χαρακτηριστικά μικροεπεξεργαστή**

Τεχνολογία	90nm CMOS
Ολική επιφάνεια πυριτίου	236356 $\mu\text{m}^2$
# flip-flops	466
Συχνότητα κυκλώματος	133MHz @ 1.2V
Κατανάλωση ισχύος	6.32mW @ 1.2V
Μέγεθος I-Cache	1KB
Μέγεθος D-Cache	2KB

Το Σχήμα 3.12 παρουσιάζει την προσομοίωση του μικροεπεξεργαστή σε επίπεδο φυσικού σχεδιασμού (post-layout) η οποία επιδεικνύει την λειτουργία της προτεινόμενης τεχνικής. Αν και σε αυτό το σχήμα παρουσιάζονται οι κυματομορφές ενός καταχωρητή, έχουν εισαχθεί ταυτόχρονα πολλαπλά λάθη σε διάφορα στάδια της δομής διοχέτευσης. Αποδείχθηκε ότι μπορεί να διορθωθεί οποιοσδήποτε αριθμός ταυτόχρονων λαθών στα 92 TDS flip-flop. Μετά την ανίχνευση λάθους, ενεργοποιείται το σήμα της ολικής ένδειξης λάθους (Error) στην έξοδο του Error flip-flop. Συνεπώς, το σήμα Memory παραμένει στο λογικό 1 ώστε να επεκταθεί η κατάσταση μνήμης των μανδαλωτών MUX-latch για την διόρθωση του λάθους κατά τον επόμενο κύκλο του ρολογιού. Ύστερα, το κύκλωμα συνεχίζει την κανονική του λειτουργία.



**Σχήμα 3.12: Κυματομορφές προσομοίωσης της τεχνικής Time Dilatation στον μικροεπεξεργαστή MIPS**

Παράλληλα ο ίδιος μικροεπεξεργαστής σχεδιάστηκε, στην ίδια τεχνολογία με την ίδια συχνότητα, χρησιμοποιώντας το αντίστοιχο flip-flop της τεχνικής Razor [113], με επιπλέον υποστήριξη για έλεγχο σάρωσης. Η οργάνωση της δομής διοχέτευσης του Σχήματος 3.6 χρησιμοποιήθηκε και σε αυτή τη τεχνική. Η μέγιστη συχνότητα του πυρήνα είναι 133MHz στα 1.2V τροφοδοσία. Επίσης ένα επιπρόσθετο σήμα ρολογιού το οποίο είναι μία καθυστερημένη έκδοση του ρολογιού του συστήματος, κατά 20%, οδηγεί τους σκιώδεις μανδαλωτές στα Razor flip-flop.

Σύμφωνα με τα παραπάνω, και οι δύο τεχνικές έχουν την ίδια σχεδιαστική πολυπλοκότητα και ανοχή σε σφάλματα. Όπως και προηγουμένως, μόνο στα 92 από τα Razor flip-flop του σχεδιασμού έχει προστεθεί η δυνατότητα ανίχνευσης λαθών. Παρόλο που οι δύο τεχνικές (TDS και Razor) μπορούν να συνδυαστούν

με μία τεχνική τοπικής αδρανοποίησης του ρολογιού για να μειωθεί το κόστος της επιφάνειας του πυριτίου και τα πιθανά προβλήματα τα οποία σχετίζονται με τον χρόνο συγκράτησης στα flip-flop τα οποία δεν χρειάζονται προστασία, αρχικά θα θεωρήσουμε τη γενική περίπτωση όπου δεν μπορεί να χρησιμοποιηθεί αδρανοποίηση του ρολογιού εξ αιτίας του προβλήματος της απόκλισης του ρολογιού. Επίσης, και στους δύο σχεδιασμούς του μικροεπεξεργαστή τα γρήγορα μονοπάτια, τα οποία διασταυρώνονται με κρίσιμα μονοπάτια, πληρούν έναν περιορισμό ελάχιστης καθυστέρησης. Σύμφωνα με αυτόν, η ελάχιστη καθυστέρηση διάδοσης πρέπει να είναι μεγαλύτερη από το 20% της περιόδου του ρολογιού, υπό τις βέλτιστες συνθήκες της διεργασίας κατασκευής. Επίσης, λαμβάνοντας υπόψιν τους περιορισμούς για ελάχιστη καθυστέρηση των γρήγορων διαδρομών, χρησιμοποιείται ένα σύνολο από 5471 απομονωτές ελάχιστου μεγέθους, με επιφάνεια πυριτίου 21882  $\mu\text{m}^2$ .

Η κατανάλωση ισχύος και η επιφάνεια πυριτίου ενός TDS flip-flop είναι 3.03 $\mu\text{W}$  και 44 $\mu\text{m}^2$  αντίστοιχα, ενώ για το Razor flip-flop είναι 5.19 $\mu\text{W}$  και 57 $\mu\text{m}^2$  αντίστοιχα. Κατά συνέπεια, το TDS flip-flop παρέχει 22.8% μικρότερη επιφάνεια πυριτίου και 41.7% μικρότερη κατανάλωση ισχύος σε σχέση με το Razor flip-flop.

Συγκρίσεις μεταξύ των δύο πυρήνων MIPS αποδεικνύουν ότι η τεχνική Time Dilatation υπερτερεί ως προς την τεχνική Razor, τόσο σε κόστος επιφάνειας πυριτίου όσο και κατανάλωσης ισχύος. Οι επόμενες συγκρίσεις αφορούν τους καταχωρητές της δομής διοχέτευσης. Ο σχεδιασμός με την TDS τεχνική παρουσιάζει 44.7% μείωση στην κατανάλωση ισχύος σε σχέση με την τεχνική Razor (2.25mW για την Razor και 1.24mW για την TDS) καθώς επίσης και 16.8% μικρότερη επιφάνεια πυριτίου (24786  $\mu\text{m}^2$  για την Razor και 20610  $\mu\text{m}^2$  για την TDS). Σημειώνεται ότι οι αριθμοί για την κατανάλωση ισχύος αντιστοιχούν στη λειτουργία του πυρήνα χωρίς την παρουσία λαθών. Η μείωση στην κατανάλωση ισχύος και στην επιφάνεια πυριτίου για ολόκληρο τον πυρήνα είναι 12.6% και 1.6% αντίστοιχα.

**Πίνακας 3.2: Συγκριτικά αποτελέσματα**

	Επιφάνεια Πυριτίου( $\mu\text{m}^2$ )	Ποσοστό Μείωσης(%)	Κατανάλωση Ισχύος(mW)	Ποσοστό Μείωσης(%)
Χωρίς τεχνικές τοπικής αδρανοποίησης του ρολογιού:				
Razor	24786	16.8	2.25	44.7
TDS	20610		1.24	
Με τεχνικές τοπικής αδρανοποίησης του ρολογιού:				
Razor	14968	8.0	1.35	14.8
TDS	13772		1.15	

Για να συγκριθούν κατάλληλα οι τεχνικές TDS και Razor, σχεδιάστηκε μία δεύτερη έκδοση του πυρήνα MIPS στον οποίο μόνο τα 92 flip-flop τα οποία χρειάζονται προστασία έχουν αντικατασταθεί από τα TDS ή τα Razor flip-flop αντίστοιχα, ενώ τα υπόλοιπα flip-flop είναι απλά flip-flop σάρωσης. Για τα flip-flop σάρωσης, εφαρμόζεται τοπικά αδρανοποίηση του ρολογιού χρησιμοποιώντας μία επιπρόσθετη πύλη AND. Αναφερόμενοι και πάλι τους καταχωρητές, ο TDS σχεδιασμός παρουσιάζει μείωση 14.8% στην κατανάλωση ισχύος σε σχέση με το



σχεδιασμό ο οποίος βασίζεται στην τεχνική Razor (1.35mW για το Razor και 1.15mW για το TDS) καθώς επίσης και 8.0% μικρότερη επιφάνεια πυριτίου ( $14968\mu\text{m}^2$  για το Razor και  $13772\mu\text{m}^2$  για το TDS). Τα συγκεντρωτικά αποτελέσματα παρουσιάζονται στον Πίνακα 3.2.

### 3.4 Πλεονεκτήματα της τεχνικής Time Dilation

Η τεχνική Time Dilation χρησιμοποιεί ένα νέο flip-flop σάρωσης με δυνατότητες ανίχνευσης και διόρθωσης λαθών χρονισμού. Η προσέγγιση αυτή προσφέρει σημαντική μείωση στην απαιτούμενη επιφάνεια πυριτίου και στην κατανάλωση ισχύος σε σύγκριση με την τεχνική Razor, αμελητέα επίδραση στην απόδοση του κυκλώματος και ελάχιστο κόστος ενός μόνο κύκλου για την ανάκαμψη της δομής διοχέτευσης μετά την ανίχνευση λάθους.

Η τεχνική Time Dilation προσφέρει τη δυνατότητα της χρησιμοποίησης χαλαρών περιορισμών στη σχεδίαση και στον ορισμό των περιθωρίων θορύβου και τάσης ώστε να εξασφαλιστεί η σωστή λειτουργία του κυκλώματος. Αυτοί οι περιορισμοί υιοθετούνται κατά τη σχεδίαση του κυκλώματος για να προσφέρουν προστασία από τη χειρότερη περίπτωση των διακυμάνσεων (worst case variabilities) στις παραμέτρους των τρανζίστορ κατά την κατασκευή του κυκλώματος. Ωστόσο, ένας τέτοιος συνδυασμός είναι αρκετά σπάνιος ή ακόμη και αδύνατος στην πράξη, καθιστώντας την προσέγγιση αυτή συντηρητική από την πλευρά των επιδόσεων και απαιτητική όσον αφορά τη σχεδιαστική προσπάθεια [113]. Με την εξέλιξη της τεχνολογίας, οι διακυμάνσεις της κατασκευαστικής διαδικασίας εκτείνονται με αποτέλεσμα να αυξάνεται ουσιαστικά η ευαισθησία των ολοκληρωμένων κυκλωμάτων στο θόρυβο, διευρύνοντας τους περιορισμούς και τα περιθώρια σε ένα σχεδιασμό και τελικά επηρεάζοντας την απόδοση της κατασκευαστικής διαδικασίας (yield). Επιπλέον, οι μηχανισμοί γήρανσης περιορίζουν τις επιδόσεις των νάνο-κυκλωμάτων. Η τεχνική Time Dilation αντιμετωπίζει τόσο τις τοπικές όσο και τις ολικές διακυμάνσεις της κατασκευαστικής διαδικασίας και της θερμοκρασίας καθώς επίσης και τις επιδράσεις των πηγών θορύβου και τα φαινόμενα γήρανσης τα οποία επηρεάζουν τον χρονισμό, εξαλείφοντας την ανάγκη για αυστηρούς περιορισμούς και την παρουσία μεγάλων περιθωρίων για να εξασφαλιστεί η σωστή λειτουργία με τις επιθυμητές επιδόσεις των κυκλωμάτων.

Η τεχνική TDS (όπως και η τεχνική Razor) είναι ικανή να διορθώσει λάθη χρονισμού χρησιμοποιώντας έναν κύκλο ρολογιού για την ανάκαμψη. Προηγούμενες τεχνικές στη βιβλιογραφία, οι οποίες αφορούν σχεδιασμούς με flip-flop, [109], [110] ή [112], στοχεύουν μόνο στην ανίχνευση λαθών και ακολούθως βασίζονται τη διαδικασία της ανάκαμψης στην επανεκτέλεση των εντολών που βρίσκονται στην δομή διοχέτευσης. Το κύριο πλεονέκτημα της χρησιμοποίησης ενός κύκλου για την ανάκαμψη αντί περισσότερων κύκλων (ανάλογα με το βάθος της δομής διοχέτευσης) προέρχεται από το γεγονός ότι σε πολλές εφαρμογές, όπως σε δικτυακούς επεξεργαστές, είναι δύσκολο να γίνει αποδεκτή η μεγάλη καθυστέρηση στην επεξεργασία των δεδομένων.

Σύμφωνα με τα αποτελέσματα των προσομοιώσεων, η λύση με τον επιπλέον κύκλο διόρθωσης είναι αποτελεσματική για μικροεπεξεργαστές μικρής πολυπλοκότητας οι οποίοι χρησιμοποιούνται σε ολοκληρωμένα κυκλώματα με αρχιτεκτονικές συστημάτων πολλών πυρήνων (multi-core SoC). Για επεξεργαστές με υψηλή πολυπλοκότητα μπορεί να χρησιμοποιηθεί για την ανάκαμψη η αρχιτεκτονική διοχέτευσης ανάστροφης ροής (counterflow pipelining) όπως ακριβώς προτάθηκε στην τεχνική Razor.

Τέλος, η τεχνική Time Dilation ενισχύει σημαντικά τον έλεγχο ορθής λειτουργίας και την διαγνωσιμότητα σφαλμάτων καθυστέρησης διάδοσης σήματος (propagation delay faults), κατά τον εργοστασιακό έλεγχο, καθώς ο υπάρχων μηχανισμός ανίχνευσης λαθών μπορεί να εξυπηρετήσει τον ανωτέρω σκοπό, ενώ σε περίπτωση ανίχνευσης ενός σφάλματος μπορούν να προσδιοριστούν με ακρίβεια τα τελικά σημεία των αντίστοιχων κρίσιμων μονοπατιών τα οποία παρουσιάζουν παραβίαση του χρονισμού.

## 4. Η ΤΕΧΝΙΚΗ ΔΙΑΣΤΟΛΗΣ ΧΡΟΝΟΥ ΜΕ ΣΥΓΚΡΙΤΗ ΚΑΙ ΑΝΑΣΤΡΟΦΗ ΤΙΜΗΣ

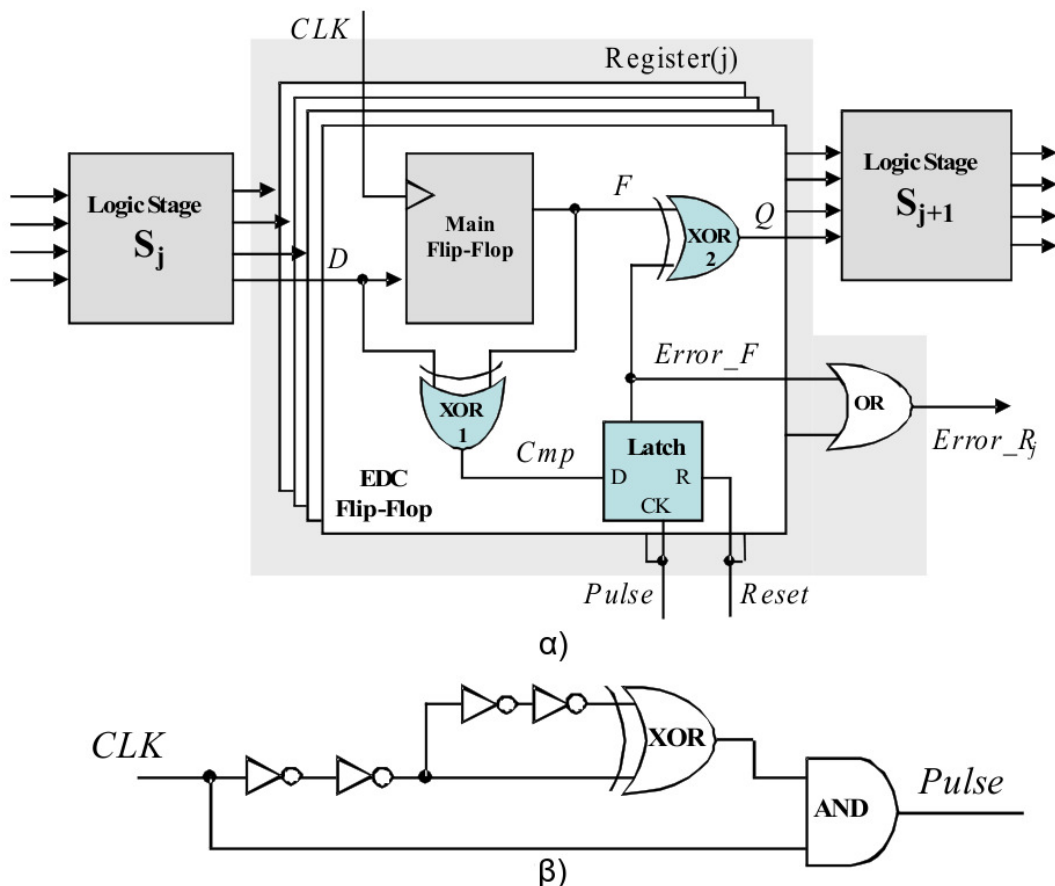
### 4.1 Εισαγωγή

Σε αυτό το κεφάλαιο παρουσιάζεται η δεύτερη προτεινόμενη τεχνική για ολοκληρωμένα κυκλώματα υψηλής αξιοπιστίας, η οποία παρέχει ανεκτικότητα σε λάθη χρονισμού με χαμηλή κατανάλωση ισχύος και χαμηλό κόστος. Στόχος είναι απλοί πυρήνες (μικροί επεξεργαστές) σε συστήματα σε ένα ολοκληρωμένο κύκλωμα (system-on-a-chip – SoC) νανομετρικών τεχνολογιών. Σε αυτή την κατηγορία ολοκληρωμένων κυκλωμάτων ανήκουν μεταξύ άλλων η αρχιτεκτονική πολλών πυρήνων Tile της Tiler με πυρήνες που βασίζονται στο σύνολο εντολών του MIPS επεξεργαστή, η μονάδα επεξεργασίας γραφικών της NVIDIA και η αρχιτεκτονική πολλών ολοκληρωμένων πυρήνων (Many Integrated Cores - MIC) της Intel. Η τεχνική Διαστολής Χρόνου με Συγκριτή και Αναστροφή Τιμής ή Error Detection and Correction (EDC) βασίζεται στη λειτουργία του flip-flop αντιστροφής bit (bit-flipping flip-flop). Η νέα τοπολογία ανιχνεύει τα λάθη στην έξοδο του flip-flop, και τα διορθώνει ασύγχρονα με την αντιστροφή της λογικής τιμής της εξόδου. Μία αρχική έκδοση της τεχνικής παρουσιάστηκε στην εργασία [141]. Σε μία νεότερη έκδοση της τεχνικής [142], προτείνεται επίσης μία λύση για την αντιμετώπιση του φαινομένου της μεταευστάθειας. Τέλος, παρουσιάζονται οι εξομοιώσεις σε αναπτυξιακή πλατφόρμα FPGA στο σχεδιασμό ενός RISC μικροεπεξεργαστή.

### 4.2 Περιγραφή της τεχνικής Error Detection and Correction

#### 4.2.1 Το flip-flop ανίχνευσης και διόρθωσης

Η τεχνική Error Detection and Correction (EDC) [142] βασίζεται στην ιδέα της χρήσης ενός flip-flop αντιστροφής bit (bit-flipping flip-flop). Σε αυτό το flip-flop ανιχνευτεί ένα λάθος στην έξοδό του, τότε αυτό διορθώνεται ασύγχρονα με την αντιστροφή της λογικής τιμής της εξόδου. Το Σχήμα 4.1α παρουσιάζει το Error Detection/Correction flip-flop (EDC flip-flop), το οποίο είναι κατάλληλο για την αντιμετώπιση λαθών χρονισμού. Αποτελείται από το κυρίως flip-flop, δύο πύλες XOR και ένα μανδαλωτή (Latch). Η πρώτη πύλη XOR συγκρίνει την είσοδο και την έξοδο του flip-flop και τροφοδοτεί το μανδαλωτή. Ο μανδαλωτής τροφοδοτεί την δεύτερη πύλη XOR στην έξοδο του κυρίως flip-flop. Ανάλογα με το αποτέλεσμα της σύγκρισης, εντός ενός συγκεκριμένου χρονικού διαστήματος, είτε το σήμα  $F$  του κυρίως flip-flop είτε το συμπλήρωμά του διαδίδεται στην έξοδο  $Q$  του EDC flip-flop. Το σήμα  $Q$  τροφοδοτεί την συνδυαστική λογική που ακολουθεί. Εν συντομία, η τεχνική Error Detection and Correction λειτουργεί ως εξής. Υποθέτουμε ότι ένα λάθος χρονισμού ανιχνεύεται σε μία ή περισσότερες εισόδους της συνδυαστικής λογικής του σταδίου  $S_{j+1}$  εξ αιτίας μιας καθυστερημένης απόκρισης του προηγούμενου σταδίου  $S_j$ . Έτσι, η απόκριση του  $S_{j+1}$ , θα είναι λανθασμένη και πρέπει να διορθωθεί. Τα λάθη διορθώνονται με την επιβολή της συμπληρωματικής τιμής των λανθασμένων σημάτων, στις εξόδους των flip-flop, του καταχωρητή ο οποίος βρίσκεται ανάμεσα στα δύο στάδια όπου ανιχνεύτηκε το λάθος χρονισμού, έτσι ώστε έγκυρες τιμές να τροφοδοτήσουν το λογικό στάδιο  $S_{j+1}$ . Επίσης εάν το στάδιο  $S_{j+1}$  δεν είναι αρκετά γρήγορο, επεκτείνεται κατά έναν κύκλο ο χρόνος υπολογισμού του, ώστε να αποκτήσει επαρκή χρόνο για να αποκριθεί ορθά.



Σχήμα 4.1: α) Το προτεινόμενο EDC flip-flop και β) ο γεννήτορας παλμών

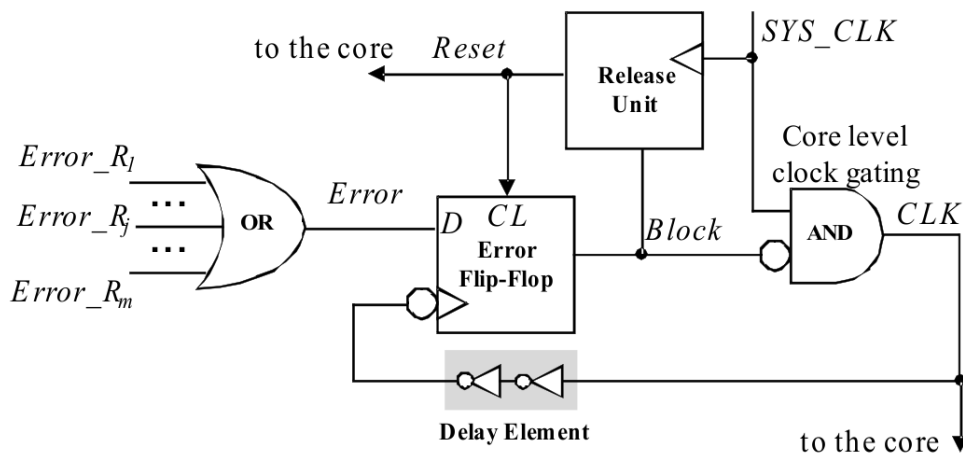
Κατά την αρχικοποίηση (reset) όλων των στοιχείων μνήμης του κυκλώματος, η ένδειξη λάθους  $Error\_F$  (έξοδος του μανδαλωτή) τίθεται στο λογικό 0. Έτσι, η έξοδος  $F$  του κυρίως flip-flop διαδίδεται στην έξοδο  $Q$  της πύλης XOR και τροφοδοτεί τη λογική που ακολουθεί. Στην περίπτωση μη ύπαρξης λάθους το αποτέλεσμα της σύγκρισης έχει λογική τιμή 0 στην έξοδο  $Cmp$  της πρώτης πύλης XOR, μετά τη θετική ακμή του σήματος του ρολογιού  $CLK$ . Αυτή η τιμή αποθηκεύεται στο μανδαλωτή. Συνεπώς, η τιμή του σήματος  $Q$  είναι ίδια με την τιμή του σήματος  $F$  του κυρίως flip-flop, το οποίο έχει τη σωστή τιμή. Αυτό το σήμα τροφοδοτεί το λογικό στάδιο  $S_{j+1}$ .

Ωστόσο εάν συμβεί σφάλμα χρονισμού στο στάδιο  $S_j$ , τότε η απόκρισή του θα φτάσει στην είσοδο  $D$  του flip-flop με καθυστέρηση, μετά τη θετική ακμή του σήματος ρολογιού  $CLK$ . Σε αυτή την περίπτωση, παρουσιάζεται ένα λάθος χρονισμού στο κυρίως flip-flop και λανθασμένες τιμές παρέχονται στο στάδιο  $S_{j+1}$ , μέσω της εξόδου  $Q$ . Επιπρόσθετα, η τιμή του σήματος  $F$  διαφέρει από την τιμή του σήματος  $D$ . Η πρώτη πύλη XOR ανιχνεύει τη διαφορά αυτή και θέτει την έξοδό της  $Cmp$  στο λογικό 1. Ο μανδαλωτής λαμβάνει και αποθηκεύει την τιμή αυτή. Έτσι, η δεύτερη XOR παρέχει το συμπλήρωμα του  $F$  στην έξοδο  $Q$ . Επομένως, η έξοδος  $Q$  του EDC flip-flop έχει τη σωστή τιμή με την οποία τροφοδοτεί το επόμενο στάδιο  $S_{j+1}$  ώστε αυτό να υπολογίσει με τα σωστά δεδομένα τις αποκρίσεις του. Συνεπώς, το λάθος διορθώνεται τοπικά. Για την αποθήκευση, του αποτελέσματος της σύγκρισης μεταξύ της εισόδου και της εξόδου του κυρίως flip-flop, ο μανδαλωτής χρησιμοποιεί έναν παλμό ρολογιού

(σήμα *Pulse*). Σημειώνεται ότι ο μανδαλωτής βρίσκεται σε κατάσταση μνήμης όταν ο παλμός είναι στο λογικό 0.

Το σήμα *Pulse* δημιουργείται τοπικά από το σήμα ρολογιού *CLK*, χρησιμοποιώντας ένα γεννήτορα παλμών (pulse generator) ανά καταχωρητή όπως φαίνεται στο Σχήμα 4.1β. Έτσι, αποφεύγεται το κόστος της διάδοσης ενός επιπλέον σήματος ρολογιού στο κύκλωμα. Η πύλη AND στο Σχήμα 4.1β εξασφαλίζει ότι θα δημιουργηθεί ο ζητούμενος παλμός μόνο στο πρώτο ήμισυ κάθε περιόδου του ρολογιού. Η διάρκεια του παλμού *Pulse* είναι τουλάχιστον ίση με τον χρόνο που χρειάζεται ο μανδαλωτής για να αποθηκεύσει το αποτέλεσμα της σύγκρισης. Το χρονικό διάστημα από τη θετική ακμή του *CLK* μέχρι την πτωτική ακμή του *Pulse*, μείον το χρόνο διάδοσης της XOR και τον χρόνο αρχικοποίησης του μανδαλωτή, ορίζει την μέγιστη ανιχνεύσιμη καθυστέρηση σήματος. Κάθε μετάβαση σήματος στην είσοδο *D* ενός EDC flip-flop μέσα σε αυτό το χρονικό διάστημα θεωρείται ως καθυστερημένη απόκριση. Έτσι κατά τη σχεδίαση του κυκλώματος πρέπει να είναι εγγυημένο ότι οι νέες τιμές στις εισόδους των EDC flip-flop φτάνουν μετά από αυτό το διάστημα, ώστε να μην ληφθούν εσφαλμένα ως λάθη.

Ωστόσο, στη γενική περίπτωση για να εξασφαλιστεί η σωστή λειτουργία, το λογικό στάδιο  $S_{j+1}$  χρειάζεται επιπλέον χρόνο για να υπολογίσει τις αποκρίσεις του, μετά τη διόρθωση των τιμών στις εισόδους του. Γι' αυτό το λόγο χρησιμοποιείται το σήμα ένδειξης λάθους *Error\_F*, ώστε να αναστείλει το σήμα του ρολογιού που τροφοδοτεί τα flip-flop κατά τη διάρκεια του κύκλου του ρολογιού ο οποίος ακολουθεί τον κύκλο όπου ανιχνεύτηκε το λάθος. Έτσι, αφιερώνεται ένας κύκλος του ρολογιού για την ανάκαμψη της δομής διοχέτευσης, χρησιμοποιώντας την τεχνική αδρανοποίηση του ρολογιού σε επίπεδο πυρήνα (σε πολυπύρηνα ολοκληρωμένα κυκλώματα η τεχνική αδρανοποίηση του ρολογιού εφαρμόζεται σε επίπεδο πυρήνα). Σημειώνεται ότι η χρήση των τεχνικών αδρανοποίησης του ρολογιού είναι συνηθισμένη στη σχεδίαση κυκλωμάτων με χαμηλή κατανάλωση ισχύος. Η ανάκαμψη των σταδίων της δομής διοχέτευσης επιτυγχάνεται με την εξής διαδικασία. Τα σήματα *Error\_F* όλων των EDC flip-flop ενός καταχωρητή *j*, δημιουργούν το σήμα ένδειξης λάθους *Error\_R<sub>j</sub>* του καταχωρητή μέσω μίας τοπικής πύλης OR (Σχήμα 4.1α). Στη συνέχεια, μία δεύτερη πύλη OR συλλέγει τα σήματα *Error\_R<sub>j</sub>* όλων των καταχωρητών και δημιουργεί σε επίπεδο πυρήνα το σήμα ένδειξης λάθους *Error*, όπως φαίνεται στο Σχήμα 4.2. Το σήμα *Error* αποθηκεύεται στο Error flip-flop, του οποίου η έξοδος *Block*, χρησιμοποιείται για να εφαρμοστεί η τεχνική αδρανοποίησης του ρολογιού σε επίπεδο πυρήνα, και να ενεργοποιήσει τη μονάδα Release. Η μονάδα αυτή απελευθερώνει το σήμα του ρολογιού, μετά τη λήξη του επόμενου κύκλου του ρολογιού του συστήματος, ενεργοποιώντας το σήμα *Reset* το οποίο αρχικοποιεί (μηδενίζει) το Error flip-flop. Ταυτόχρονα αρχικοποιούνται οι μανδαλωτές όλων των EDC flip-flop ακυρώνοντας τις όποιες ενδείξεις λάθους, ώστε να αρχίσει εκ νέου η ανίχνευση. Στην πράξη, η μονάδα Release είναι ένας απλός μετρητής, ο οποίος αφού ενεργοποιηθεί, μετράει έναν κύκλο του σήματος του ρολογιού του συστήματος. Η είσοδος ρολογιού του Error flip-flop οδηγείται από μία καθυστερημένη έκδοση του σήματος του ρολογιού *CLK*. Αυτή η καθυστέρηση ισούται με τον χρόνο που απαιτείται για τη δημιουργία του σήματος *Error\_F* και τη διάδοσή του μέσα από τις δύο OR πύλες μέχρι την είσοδο του Error flip-flop. Σε μικρούς πυρήνες επεξεργαστών, η διάδοση του σήματος *Error\_F* θα είναι αρκετά γρήγορη ώστε να προλάβει να αναστείλει το σήμα του ρολογιού.

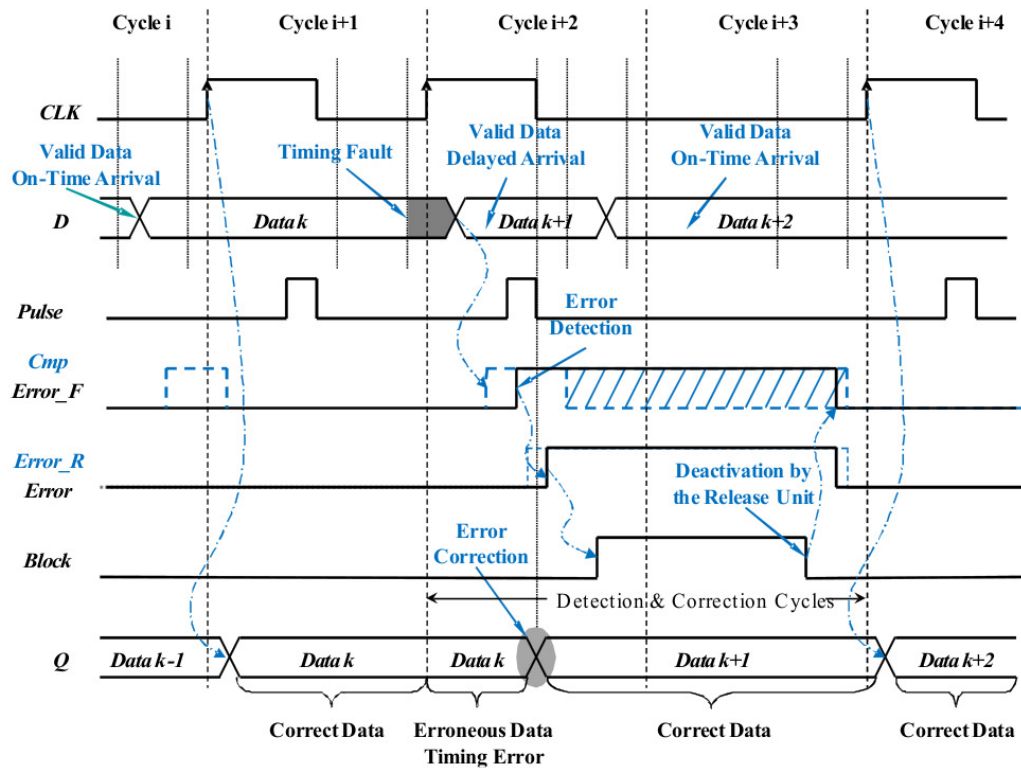


Σχήμα 4.2: Αδρανοποίηση του ρολογιού σε επίπεδο πυρήνα

#### 4.2.2 Περιγραφή της λειτουργίας του κυκλώματος

Στο Σχήμα 4.3 παρουσιάζονται τα διαγράμματα χρονισμού για τη λειτουργία του EDC flip-flop. Αρχικά η έξοδος  $Error\_F$  του μανδαλωτή διατηρείται στο λογικό 0. Στον κύκλο  $i$ , το λογικό στάδιο  $S_j$  αποκρίνεται εντός των προδιαγραφών χρονισμού του κυκλώματος (περίπτωση χωρίς σφάλματα). Αυτό σημαίνει ότι μετά τη θετική ακμή του ρολογιού, η είσοδος  $D$  και η έξοδος  $F$  του κυρίως flip-flop έχουν τις ίδιες τιμές. Μετά το τέλος του παλμού  $Pulse$ , το σήμα  $Cmp$  της πρώτης πύλης XOR παραμένει στο λογικό 0 καθώς επίσης οι ενδείξεις λάθους  $Error\_F$  και  $Error\_R_j$ . Αυτό έχει ως αποτέλεσμα οι τιμές των σημάτων  $F$  και  $Q$  να ταυτίζονται. Ακολούθως η τιμή του σήματος  $Q$  τροφοδοτεί το επόμενο λογικό στάδιο  $S_{j+1}$  το οποίο εκτελεί τον υπολογισμό της απόκρισής του με τα σωστά δεδομένα. Συνεπώς, στην περίπτωση μη ύπαρξης λάθους, η λειτουργία του κυκλώματος παραμένει αναλλοίωτη.

Στον επόμενο κύκλο ( $i+1$ ) υπάρχει καθυστέρηση στην απόκριση του σταδίου  $S_j$ . Το κυρίως flip-flop αποθηκεύει λανθασμένα δεδομένα και εμφανίζεται ένα λάθος χρονισμού στην έξοδο  $F$ . Έτσι η απόκριση του λογικού σταδίου  $S_{j+1}$  στον επόμενο κύκλο ( $i+2$ ) θα είναι επίσης λανθασμένη. Επιπλέον, στον κύκλο ( $i+2$ ), εξ αιτίας αυτού του σφάλματος, εμφανίζεται μία μετάβαση στα δεδομένα της εισόδου  $D$  του κυρίως flip-flop, μετά τη θετική ακμή του ρολογιού  $CLK$  και πριν την ενεργοποίηση του σήματος του παλμού ρολογιού  $Pulse$ . Τότε η πρώτη πύλη XOR ανιχνεύει τη διαφορά μεταξύ των τιμών των σημάτων  $D$  και  $F$ , θέτοντας το σήμα  $Cmp$  στο λογικό 1. Η τιμή αυτή αποθηκεύεται στο μανδαλωτή με τον παλμό  $Pulse$  και ενεργοποιείται η ένδειξη λάθους  $Error\_F$ . Η δεύτερη XOR διορθώνει την τιμή της εξόδου  $Q$  με το συμπλήρωμα του  $F$ . Συνεπώς, σωστά δεδομένα τροφοδοτούνται στο λογικό στάδιο  $S_{j+1}$ . Το ίδιο συμβαίνει σε οποιοδήποτε EDC flip-flop το οποίο ανίχνευσε λάθος. Έτσι, διορθώνονται τα λάθη στις εισόδους του επόμενου σταδίου. Οι τιμές στα υπόλοιπα στάδια, τα οποία έχουν ήδη σωστά δεδομένα, παραμένουν ανεπηρέαστες. Από τα παραπάνω είναι σημαντικό να σημειωθεί ότι η διόρθωση του λάθους επιτυγχάνεται χωρίς να χρειάζεται να υπολογιστούν ξανά οι αποκρίσεις του λογικού σταδίου  $S_j$ .



Σχήμα 4.3: Διαγράμματα χρονισμού για τη λειτουργία του EDC flip-flop

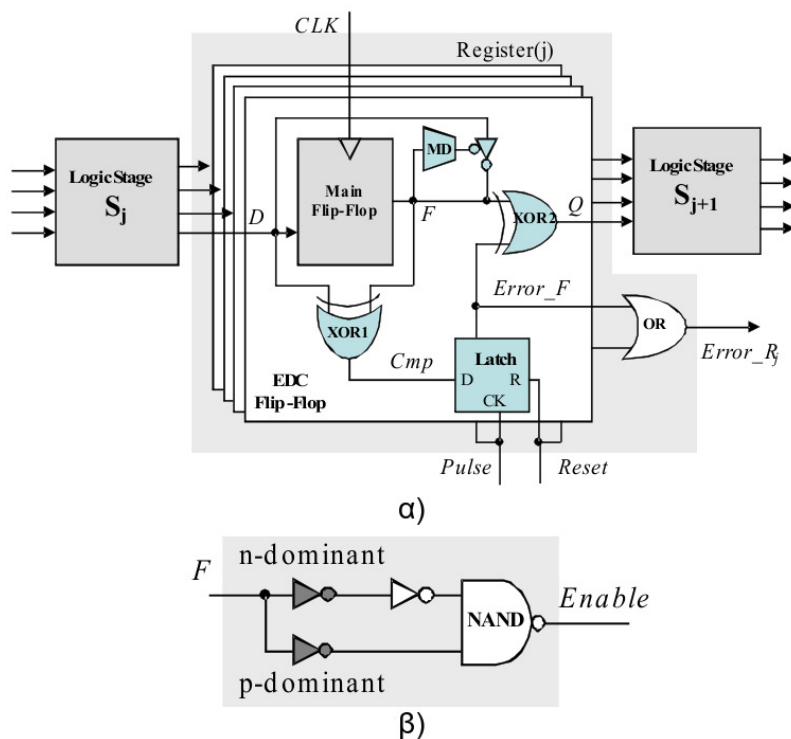
Παράλληλα το σήμα *Error\_F* ενεργοποιεί το σήμα ένδειξης λάθους του καταχωρητή *Error\_R<sub>j</sub>*, μέσω της πύλης OR, η οποία συλλέγει όλα τα σήματα ένδειξης λάθους των EDC flip-flop. Τέλος το σήμα *Error\_R<sub>j</sub>* ενεργοποιεί σε επίπεδο πυρήνα την ένδειξη λάθους *Error* (Σχήμα 4.2) η οποία αποθηκεύεται στο *Error* flip-flop. Με την έξοδο *Block* του *Error* flip-flop στο λογικό 1, το σήμα *CLK* αδρανοποιείται δίνοντας τον απαραίτητο χρόνο στο στάδιο  $S_{i+1}$  να υπολογίσει την τιμή του με τα σωστά δεδομένα (κύκλος  $i+3$ ). Πριν το τέλος του κύκλου διόρθωσης ( $i+3$ ), η μονάδα *Release* αρχικοποιεί στο λογικό 0 το *Error* flip-flop και τους μανδαλωτές των EDC flip-flop. Έτσι απελευθερώνεται το σήμα *CLK* και μηδενίζονται οι ενδείξεις λάθους, και το κύκλωμα επανέρχεται στην κανονική λειτουργία για τους επόμενους κύκλους ( $i+4$  κ.τ.λ) μέχρι την επόμενη ανίχνευση λάθους.

#### 4.2.3 Αντιμετώπιση της μεταευστάθειας

Όπως στην προηγούμενη τεχνική έτσι και στην παρούσα προβλήματα μεταευστάθειας μπορούν να επηρεάσουν τη λειτουργία του EDC flip-flop. Το φαινόμενο της μεταευστάθειας μπορεί να συμβεί, όταν τα καθυστερημένα δεδομένα φτάσουν στην είσοδο *D* του κυρίως flip-flop κοντά στη θετική ακμή του ρολογιού. Σε αυτήν την περίπτωση παραβιάζεται είτε ο χρόνος αρχικοποίησης είτε ο χρόνος συγκράτησης του κυρίως flip-flop. Τότε το flip-flop μπορεί να εισέλθει σε κατάσταση μεταευστάθειας, όπου η έξοδος του παραμένει σε μία περιοχή κοντά στη τάση  $V_{DD}/2$ . Αυτή η τιμή μπορεί να ερμηνευτεί είτε ως λογικό 0 είτε ως λογικό 1, από τις πύλες που τροφοδοτεί, ή να βρεθούν και αυτές οι πύλες σε κατάσταση μεταευστάθειας. Σε αυτή την περίπτωση, η πρώτη πύλη XOR δεν

είναι ικανή να προσφέρει αξιόπιστη σύγκριση των δεδομένων της εισόδου και της εξόδου του κυρίως flip-flop ώστε να ανιχνευθεί το σχετικό λάθος χρονισμού.

Για να αποφευχθεί αυτή η κατάσταση και να ενισχυθεί η αξιοπιστία, προστίθεται στην έξοδο του κυρίως flip-flop ένας ανιχνευτής μεταευστάθειας (metastability detector - MD) όπως φαίνεται στο Σχήμα 4.4α. Εάν παρατηρηθεί κατάσταση μεταευστάθειας, η έξοδος F του κυρίως flip-flop λαμβάνει τη συμπληρωματική τιμή της εισόδου του D. Με αυτό τον τρόπο η πρώτη XOR ανιχνεύει ένα λάθος και ενεργοποιεί τον μηχανισμό διόρθωσης ώστε να δοθεί στο επόμενο λογικό στάδιο ο απαραίτητος χρόνος για να αποκριθεί ορθά.



Σχήμα 4.4: α) Το EDC flip-flop με τον ανιχνευτή μεταευστάθειας και β) το σχηματικό του ανιχνευτή μεταευστάθειας

Για να αποθηκεύσουμε στην έξοδο του flip-flop την επιθυμητή τιμή, εκμεταλλευόμαστε το γεγονός ότι όταν ένα flip-flop βρίσκεται σε κατάσταση μεταευστάθειας, ένας μικρός θόρυβος είναι ικανός να επιβάλλει στην έξοδό του είτε τη λογική τιμή 0 είτε η λογική τιμή 1 ανάλογα με την πολικότητα του θορύβου. Έτσι, σε συνθήκες μεταευστάθειας η έξοδος του ανιχνευτή μεταευστάθειας αποκρίνεται με λογικό 0 και ενεργοποιεί έναν τρισταθή (tri-state) αναστροφέα ο οποίος οδηγείται από το σήμα της εισόδου D. Ο τρισταθής αναστροφέας επιβάλλει στην έξοδο του κυρίως flip-flop μία τιμή η οποία είναι συμπληρωματική της τιμής στην είσοδο D. Ως συνέπεια, η πρώτη πύλη XOR ανιχνεύει ένα λάθος και ενεργοποιείται ο μηχανισμός διόρθωσης. Μολονότι είναι εύκολο να διορθώσουμε τα δεδομένα στην έξοδο του κυρίως flip-flop χρησιμοποιώντας έναν τρισταθή απομονωτή (tri-state buffer) αντί για έναν τρισταθή αναστροφέα, το αποφεύγουμε διότι δεν μπορούμε να εγγυηθούμε ότι το επόμενο λογικό στάδιο θα έχει τον απαιτούμενο χρόνο για να υπολογίσει σωστά την απόκρισή του.

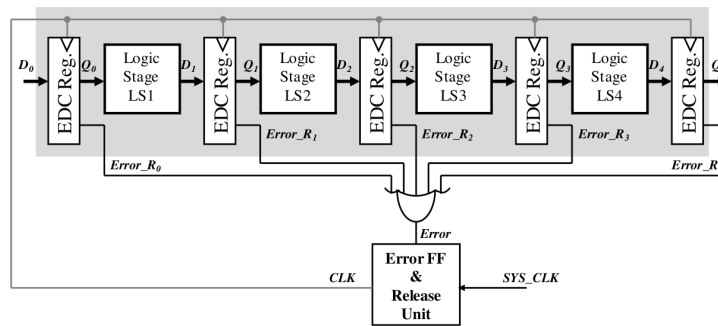
Στο Σχήμα 4.4β απεικονίζεται ο ανιχνευτής μεταευστάθειας. Αποτελείται από δύο αναστροφείς, οι οποίοι χαρακτηρίζονται από διαφορετικές στάθμες τάσης μετάβασης. Αυτό είναι δυνατό χρησιμοποιώντας έναν κατάλληλο λόγο W/L,



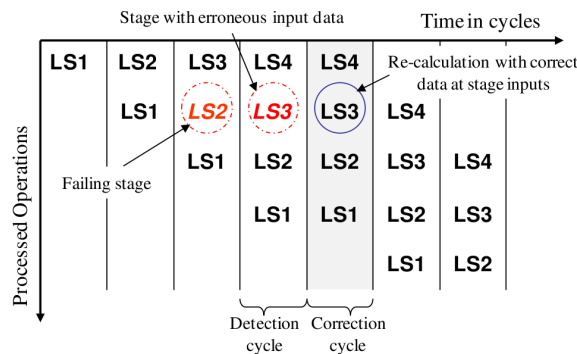
μεταξύ των pMOS και nMOS τρανζίστορ για κάθε αναστροφέα. Ο πρώτος αναστροφέας είναι n-dominant, με τάση μετάβασης χαμηλότερη από  $V_{DD}/2$ , και ο δεύτερος p-dominant, με τάση μετάβασης υψηλότερη από  $V_{DD}/2$ . Αν εισέλθει το flip-flop σε κατάσταση μεταευστάθειας, όπου η έξοδος του είναι κοντά στο  $V_{DD}/2$ , ο πρώτος αναστροφέας αποκρίνεται με λογικό 0 ενώ ο δεύτερος με λογικό 1. Έτσι και οι δύο είσοδοι της πύλης NAND είναι στο λογικό 1 και η έξοδος Enable, η οποία ενεργοποιεί τον τρισταθή αναστροφέα, είναι στο λογικό 0. Στην κανονική λειτουργία οι είσοδοι της πύλης NAND είναι πάντα συμπληρωματικές και συνεπώς η έξοδος της Enable είναι στο λογικό 1, δηλαδή ο τρισταθής αναστροφέας παραμένει απενεργοποιημένος.

#### 4.2.4 Ανάκαμψη του κυκλώματος

Κάθε ανίχνευση λάθους ακολουθείται από μια δράση ανάκαμψης της δομής διοχέτευσης. Στο Σχήμα 4.5 α παρουσιάζεται ο μηχανισμός ανάκαμψης, ο οποίος βασίζεται στην τεχνική αδρανοποίησης του ρολογιού σε επίπεδο πυρήνα. Στην περίπτωση ανίχνευσης ενός λάθους χρονισμού σε ένα στάδιο, το ρολόι του συστήματος αδρανοποιείται για μία χρονική περίοδο ίση με τον κύκλο του ρολογιού, από το σήμα Block του Error flip-flop. Έτσι παρέχεται ο απαιτούμενος χρόνος σε αυτά τα στάδια (π.χ. LS3 στο Σχήμα 4.5 β) τα οποία αρχικά έλαβαν λανθασμένα δεδομένα στην είσοδό τους, εξ αιτίας της παραβίασης του χρονισμού στο προηγούμενο στάδιο (LS2), ώστε να υπολογίσουν ξανά τις αποκρίσεις τους με τα σωστά δεδομένα κατά τη διάρκεια του επιπρόσθετου χρόνου (κύκλος διόρθωσης). Τα υπόλοιπα στάδια παραμένουν απενεργοποιημένα, διατηρώντας στις εξόδους τους τις σωστές αποκρίσεις. Το στάδιο LS2, στο οποίο συνέβη το λάθος χρονισμού, δεν χρειάζεται να υπολογίσει ξανά τις αποκρίσεις του καθώς τα σωστά δεδομένα ανακτώνται αυτόματα από τα EDC flip-flop.



α)



β)

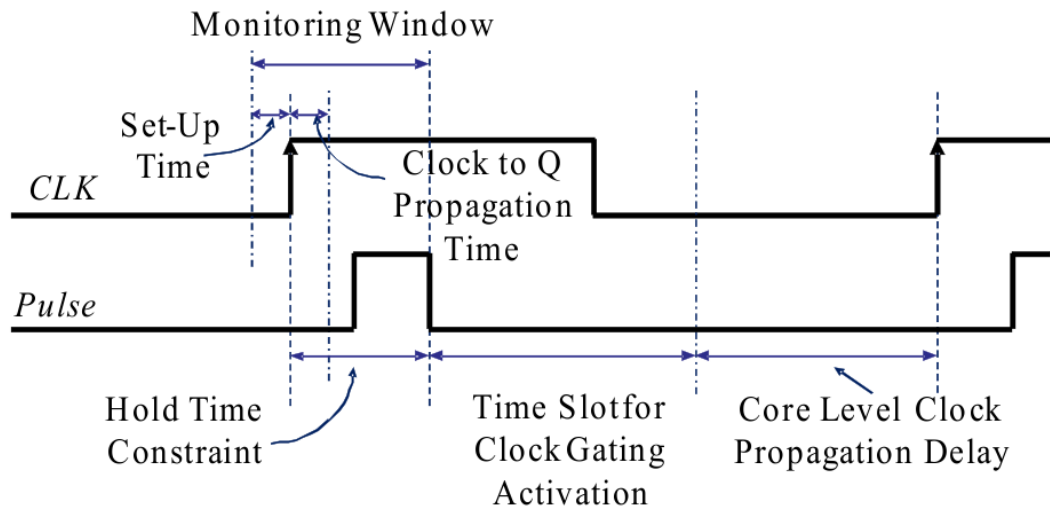
Σχήμα 4.5: Η ανάκαμψη της δομής διοχέτευσης: α) η αρχιτεκτονική και β) η λειτουργία της

Η προτεινόμενη αρχιτεκτονική ανέχεται οποιοδήποτε αριθμό λαθών σε κάθε στάδιο του κυκλώματος μέσα σε έναν κύκλο ρολογιού, καθώς όλα τα στάδια έχουν τη δυνατότητα να υπολογίσουν ξανά τις αποκρίσεις τους με τα σωστά δεδομένα στις εισόδους τους, κατά τη διάρκεια του επιπρόσθετου κύκλου του ρολογιού. Αν σε κάθε κύκλο συμβαίνει λάθος, σε ένα ή περισσότερα στάδια, τότε το σύστημα θα συνεχίσει να λειτουργεί με τη μισή ταχύτητα.

#### 4.2.5 Σύγκριση τεχνικών

Σε αντίθεση με τις τεχνικές Razor [113] και Time Dilation [140], στην τεχνική EDC, ένα flip-flop αντικαθίσταται από ένα EDC flip-flop μόνο εάν βρίσκεται στο τέλος ενός κρίσιμου μονοπατιού ενός λογικού σταδίου. Ως κρίσιμα μονοπάτια ορίζουμε τα μονοπάτια εκείνα τα οποία όταν επηρεάζονται από σφάλματα χρονισμού οδηγούν στη δημιουργία λαθών χρονισμού. Στις τεχνικές Razor και Time Dilation, όλα τα flip-flop πρέπει να αντικατασταθούν από το αντίστοιχο flip-flop ανίχνευσης και διόρθωσης, εκτός εάν χρησιμοποιηθούν τοπικά τεχνικές αδρανοποίησης του ρολογιού, ανά flip-flop το οποίο δεν χρειάζεται προστασία. Και στις δύο τεχνικές, μπορεί να αφαιρεθεί ο συγκριτής XOR από τα flip-flop στα οποία καταλήγουν μη κρίσιμα μονοπάτια. Η τεχνική αδρανοποίησης του ρολογιού είναι απαραίτητη τοπικά σε κάθε flip-flop, το οποίο δεν χρειάζεται προστασία, διότι κατά το στάδιο της διόρθωσης, όπου τα σωστά δεδομένα στις εισόδους των καταχωρητών συλλαμβάνονται στα προστατευμένα flip-flop, αυτό πρέπει να διατηρήσει την προηγούμενη σωστή τιμή. Ωστόσο, η λύση αυτή δεν είναι γενικά αποδεκτή διότι μεγεθύνει προβλήματα χρονικής απόκλισης του ρολογιού (clock skew). Επιπρόσθετα μετά την κεντρική αναφορά του λάθους, ένα ακόμα σήμα υψηλής ταχύτητας πρέπει να διαδοθεί σε όλο το κύκλωμα για την αδρανοποίηση του ρολογιού, αυξάνοντας έτσι την πολυπλοκότητα και το κόστος του σχεδιασμού. Στην τεχνική EDC, επειδή δεν χρειάζεται τοπικά αδρανοποίηση του ρολογιού, αποφεύγονται τα παραπάνω προβλήματα, έτσι μειώνεται δραστικά η επιφάνεια πυριτίου και η κατανάλωση ισχύος, ενώ συγχρόνως παρέχεται η ίδια προστασία με τις άλλες τεχνικές.

Επίσης όπως υποδεικνύεται στις τεχνικές Razor [113] και Time Dilation [140], κατά τη διάρκεια του παράθυρου παρατήρησης στην περίπτωση της μη ύπαρξης λάθους, δεν επιτρέπεται καμία μετάβαση σήματος στην είσοδο του κυρίως flip-flop. Η πιθανή ύπαρξη γρήγορων μονοπατιών στο κύκλωμα μπορεί να παραβιάσει αυτόν τον περιορισμό (πρόβλημα χρόνου συγκράτησης). Σε αυτές τις τεχνικές για να αποφευχθεί το πρόβλημα του χρόνου συγκράτησης, εισάγουμε κατά τον σχεδιασμό, έναν περιορισμό ελάχιστης καθυστέρησης διαδρομής. Αυτός ο περιορισμός επιτυγχάνεται επιβραδύνοντας τα γρήγορα μονοπάτια με την προσθήκη απομονωτών. Ωστόσο, οι πρόσθετοι απομονωτές αυξάνουν την πολυπλοκότητα του σχεδιασμού, την επιφάνεια πυριτίου και την κατανάλωση ισχύος. Σε αυτό το σημείο τίθεται ένας συμβιβασμός μεταξύ του αριθμού των απομονωτών που θα χρησιμοποιηθούν και της μέγιστης καθυστέρησης σήματος η οποία θα ανιχνεύεται. Μία μεγάλη τιμή για τον περιορισμό της ελάχιστης καθυστέρησης μονοπατιού, μπορεί να αυξήσει τον απαιτούμενο αριθμό των απομονωτών στο κύκλωμα. Από την άλλη μία μικρή τιμή για αυτήν την καθυστέρηση μειώνει την ανοχή σε λάθη, εξ αιτίας της μείωσης της μέγιστης ανιχνεύσιμης καθυστέρησης σήματος. Στις τεχνικές Razor και Time Dilation, όλα τα γρήγορα μονοπάτια πρέπει να ικανοποιούν τον περιορισμό της ελάχιστης καθυστέρησης.



Σχήμα 4.6: Χρονικοί περιορισμοί

Επίσης το πρόβλημα του χρόνου συγκράτησης, επηρεάζει και την EDC τεχνική όπως φαίνεται στο Σχήμα 4.6. Στην περίπτωση μη ύπαρξης λάθους, κατά τη διάρκεια του χρονικού διαστήματος μεταξύ της θετικής ακμής του ρολογιού *CLK* και της απενεργοποίησης του παλμού *Pulse* μείον το χρόνο διάδοσης της πρώτης πύλης XOR, δεν επιτρέπεται κάποια μετάβαση σήματος στην είσοδο του EDC flip-flop. Αν και τα EDC flip-flop τοποθετούνται στις εξόδους των κρίσιμων μονοπατιών, όπου δεν αναμένεται καμία μετάβαση σήματος μέσα σε αυτό το χρονικό διάστημα, πιθανά γρήγορα πλευρικά μονοπάτια τα οποία καταλήγουν σε αυτά τα EDC flip-flop, ενδέχεται να δώσουν τέτοιες μεταβάσεις σήματος οι οποίες απαγορεύονται. Σε αντίθεση με τις τεχνικές Razor και Time Dilation στις οποίες όλα τα γρήγορα μονοπάτια πρέπει να ικανοποιούν τον περιορισμό της ελάχιστης καθυστέρησης, στην τεχνική EDC μόνο τα πλευρικά μονοπάτια ενός κρίσιμου μονοπατιού χρειάζονται επιπλέον καθυστέρηση ώστε να ικανοποιούν αυτόν τον περιορισμό. Έτσι, η προσπάθεια σχεδίασης, η επιφάνεια πυριτίου και η κατανάλωση ισχύος θα έχουν ουσιαστικά χαμηλότερο κόστος στην τεχνική EDC, συγκριτικά με τις τεχνικές Razor και Time Dilation.

Επιπρόσθετα, μετά την ανίχνευση ενός λάθους, το σήμα της ένδειξης λάθους πρέπει να διαδοθεί κατάλληλα ώστε να αδρανοποιήσει το ρολόι του συστήματος για να μην τροφοδοτεί το κύκλωμα (αδρανοποίηση του ρολογιού σε επίπεδο πυρήνα). Ο διαθέσιμος χρόνος καθορίζεται από την πτωτική ακμή του σήματος *Pulse* το οποίο αποθηκεύει το σήμα ένδειξης λάθους *Error\_F* και τον χρόνο διάδοσης του σήματος του ρολογιού *CLK* μέσα στον πυρήνα, όπως φαίνεται στο Σχήμα 4.6. Σε σχεδιασμούς μικρών πυρήνων, η διάδοση του σήματος της ένδειξης λάθους είναι αρκετά γρήγορη ώστε να μπορέσει να αδρανοποιήσει το σήμα του ρολογιού *CLK*.

Ένα άλλο πλεονέκτημα του EDC flip-flop είναι ότι η δεύτερη πύλη XOR δεν τοποθετείται στην είσοδο του κυρίως flip-flop, και έτσι δεν εισάγει επιπλέον καθυστέρηση στο κρίσιμο μονοπάτι το οποίο βρίσκεται υπό παρατήρηση, όπως συμβαίνει με τον επιπρόσθετο πολυπλέκτη στο Razor flip-flop. Από την άλλη πλευρά, όταν ένα κρίσιμο μονοπάτι ξεκινάει από ένα EDC flip-flop, τότε επηρεάζεται η καθυστέρηση της διάδοσης σήματος σε αυτό, από την επιπλέον καθυστέρηση της πύλης XOR. Ωστόσο, δεν είναι δεδομένο ότι σε κάθε κύκλωμα

τα κρίσιμα μονοπάτια θα ξεκινάνε από τα EDC flip-flop. Είναι αρκετά πιθανό, σε μία δομή διοχέτευσης, να υπάρχει ένα μόνο στάδιο με κρίσιμα μονοπάτια, το οποίο χρειάζεται προστασία και συνεπώς το πρόβλημα με την καθυστέρηση της πύλης XOR να μην είναι υπαρκτό.

Σε αυτό το σημείο, είναι σημαντικό να αναφέρουμε ότι η καθυστέρηση διάδοσης ενός μονοπατιού, σε σχέση με την καθυστέρηση διάδοσης των άλλων μονοπατιών, αλλάζει υπό την παρουσία των διακυμάνσεων της κατασκευαστικής διαδικασίας (process variation) και του φαινομένου της γήρανσης (aging). Έτσι, η ανάλυση για το διαχωρισμό των μονοπατιών σε κρίσιμα και μη κρίσιμα πρέπει να εγγυάται ότι τα μη κρίσιμα δε θα γίνουν ποτέ κρίσιμα, ούτε υπό την χειρότερη περίπτωση των διακυμάνσεων της κατασκευαστικής διαδικασίας ούτε υπό συνθήκες γήρανσης. Επίσης, είναι γνωστό ότι το φαινόμενο της γήρανσης επιδρά συσσωρευτικά και σταδιακά επιβραδύνει την ταχύτητα του κυκλώματος. Για να αποφευχθεί η λανθασμένη λειτουργία, μπορούν να χρησιμοποιηθούν μετρητές του ρυθμού εμφάνισης λαθών, έτσι ώστε στην περίπτωση κατά την οποία ο ρυθμός εμφάνισης λαθών ξεπερνά ένα όριο να προσαρμόζεται (πτωτικά) η συχνότητα του ρολογιού για την απρόσκοπτη λειτουργία του συστήματος.

Για να λειτουργήσει η EDC τεχνική, χρειάζεται ένα επιπλέον σήμα ρολογιού, το σήμα *Pulse*. Όπως αναφέρθηκε προηγουμένως, αυτό το σήμα μπορεί να δημιουργηθεί τοπικά από το σήμα του ρολογιού *CLK*, σε κάθε καταχωρητή ο οποίος χρειάζεται προστασία από λάθη χρονισμού, από τη στιγμή που και τα δύο σήματα έχουν την ίδια περίοδο. Οι τεχνικές Razor και Time Dilation χρειάζονται και αυτές επίσης, ένα επιπλέον σήμα ρολογιού το οποίο είναι μία καθυστερημένη έκδοση του σήματος του ρολογιού *CLK*, με έναν κατάλληλα τροποποιημένο κύκλο εργασίας (duty cycle). Αν και σε αυτές τις τεχνικές μπορεί να χρησιμοποιηθεί το συμπλήρωμα του σήματος του ρολογιού, αυτό θα αύξανε τόσο την απαιτούμενη επιφάνεια πυριτίου όσο και την κατανάλωση ισχύος. Είναι σημαντικό να σημειωθεί ότι το κύκλωμα ανάκαμψης, το οποίο αποτελείται από το Error flip-flop και τη βασική λογική ελέγχου, χρειάζεται επίσης στις τοπολογίες Razor και Time Dilation.

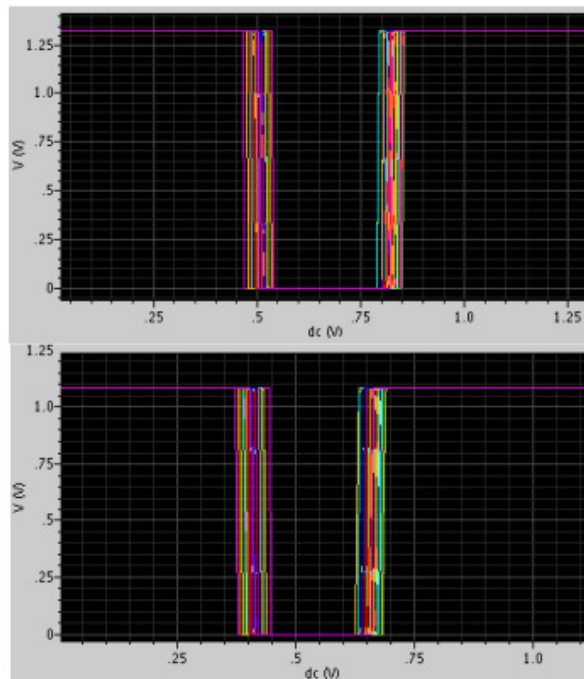
### 4.3 Πειραματικά αποτελέσματα

#### 4.3.1 Προσομοιώσεις υλοποίησης του EDC flip-flop με τρανζίστορ

Με στόχο τη διερεύνηση των δυνατοτήτων και των επιδόσεων της προτεινόμενης τεχνικής προσομοιώθηκε η υλοποίηση του EDC flip-flop με τρανζίστορ. Αρχικά, ο ανιχνευτής μεταευστάθειας στο Σχήμα 4.4β σχεδιάστηκε ως αυτόνομη μονάδα στην τεχνολογία CMOS των 90nm της UMC (VDD=1.2V). Το κύκλωμα έχει την ικανότητα ανίχνευσης μεταευστάθειας όταν το επίπεδο τάσης του υπό παρακολούθηση σήματος κυμαίνεται μεταξύ 455mV και 753mV, στην τυπική περίπτωση. Εκτελέστηκε ανάλυση Monte-Carlo (Σχήμα 4.7), στην οποία χρησιμοποιήθηκαν τα στατιστικά μοντέλα της τεχνολογίας και λήφθηκαν υπόψη το μη ταίριασμα των τρανζίστορ (device mismatches), οι διακυμάνσεις τις κατασκευαστικής διαδικασίας, καθώς και οι διακυμάνσεις της τάσης μέχρι  $\pm 10\%$  της ονομαστικής τιμής και της θερμοκρασίας μεταξύ 0 °C και 85 °C (process, voltage, temperature variations – PVT variations). Σύμφωνα με τις προσομοιώσεις το κάτω όριο του εύρους ανίχνευσης μεταευστάθειας είναι μεταξύ 380mV και 535mV, ενώ το πάνω όριο μεταξύ 635mV και 845mV. Αυτά τα περιθώρια είναι ασφαλή για την αξιόπιστη λειτουργία του κυκλώματος. Επίσης,

αποδείχθηκε ότι στην κανονική λειτουργία του κυκλώματος, δεν ενεργοποιείται κάτω από οποιοσδήποτε συνθήκες ο ανιχνευτής μεταευστάθειας.

Στη συνέχεια, αξιολογήθηκε το EDC flip-flop, συμπεριλαμβανομένου του ανιχνευτή μεταευστάθειας, στην ίδια τεχνολογία. Εκτελέστηκαν Monte-Carlo προσομοιώσεις όπως ανωτέρω. Οι προσομοιώσεις εκτελέστηκαν σε ένα κύκλωμα το οποίο αποτελείται από μια διαδρομή μετάδοσης σήματος μεταξύ ενός τυπικού flip-flop και ενός EDC flip-flop ως flip-flop εξόδου. Το μονοπάτι αποτελείται από 5 ζεύγη πυλών AND και OR συνδεδεμένα διαδοχικά στη σειρά. Οι είσοδοι οι οποίες βρίσκονται εκτός του μονοπατιού συνδέονται στην γείωση για τις πύλες OR και στην τροφοδοσία για τις πύλες AND. Η περίοδος των σημάτων του ρολογιού (CLK και Pulse) ήταν 700ps. Η διάρκεια του παλμού Pulse ήταν 210ps και η καθυστέρηση σε σχέση με το σήμα CLK ήταν 120ps. Για επίπεδα της τάσης τροφοδοσίας μέχρι την ελάχιστη τιμή των 0.9V και θερμοκρασίες μέχρι τη μέγιστη τιμή των 85°C το κύκλωμα λειτουργούσε σωστά χωρίς να δημιουργεί λάθη. Για μικρότερα επίπεδα τάσης πάντα ανιχνεύονταν και διορθώνονταν τα λάθη που δημιουργούνται.

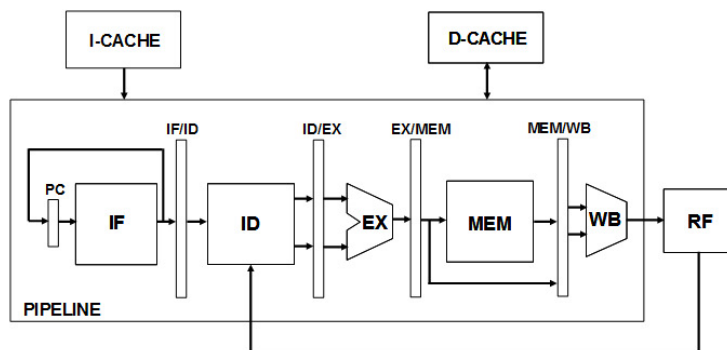


**Σχήμα 4.7: Προσομοιώσεις Monte-Carlo στον ανιχνευτή μεταευστάθειας υπό τις διακυμάνσεις της κατασκευαστικής διαδικασίας, τάσης και θερμοκρασίας (PVT variations) και μη ταίριασμα των τρανζίστορ (device mismatches) (επάνω η βέλτιστη περίπτωση και κάτω η χειρότερη περίπτωση)**

#### 4.3.2 Αξιολόγηση και συγκρίσεις σε έναν μικροεπεξεργαστή MIPS

Ακολούθως, η EDC τεχνική εφαρμόστηκε σε έναν μικροεπεξεργαστή 32bit MIPS R2000, αρχιτεκτονικής RISC με δομή διοχέτευσης και συχνότητα λειτουργίας 125MHz. Για την σχεδίαση χρησιμοποιήθηκε η πλατφόρμα CADENCE με τη βιβλιοθήκη πυλών της Faraday για την τεχνολογία CMOS των 90nm της UMC. Ο μικροεπεξεργαστής αποτελείται από τη δομή διοχέτευσης, το αρχείο καταχωρητών (RF), την κρυφή μνήμη των εντολών I-CACHE (1KB – 256 instruction words) και την κρυφή μνήμη των δεδομένων D-CACHE (2KB – 512

instruction words) όπως φαίνεται στο διάγραμμα του Σχήματος 4.8α. Το Σχήμα 4.8β παρουσιάζει την τοποθέτηση των δομικών στοιχείων του μικροεπεξεργαστή στο φυσικό σχεδιασμό.



α)



β)

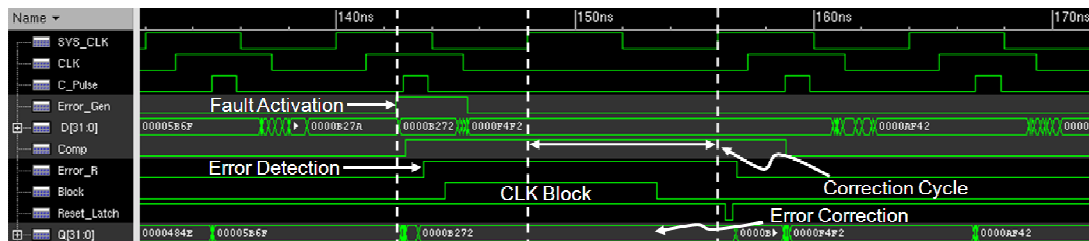
Σχήμα 4.8: Ο πυρήνας MIPS: α) διάγραμμα δομής διοχέτευσης και β) κάτοψη

Η δομή διοχέτευσης αποτελείται από 5 στάδια: το στάδιο IF προσκόμισης των εκτελούμενων εντολών από τη μνήμη, το στάδιο ID αποκωδικοποίησης της εντολής και προσδιορισμού των απαραίτητων σημάτων ελέγχου των πολυπλεκτών και των στοιχείων μνήμης των επόμενων σταδίων, το στάδιο EX εκτέλεσης των εντολών, το στάδιο MEM αποθήκευσης στη μνήμη δεδομένων και το στάδιο WB ανατροφοδότησης του αρχείου καταχωρητών με το αποτέλεσμα της τελευταίας εντολής. Το σύνολο εντολών το οποίο υλοποιήθηκε δεν υποστηρίζει πράξεις κινητής υποδιαστολής, επομένως η μονάδα κινητής υποδιαστολής (floating-point unit) καθώς και το αρχείο καταχωρητών κινητής υποδιαστολής παραλείπονται. Τα χαρακτηριστικά του επεξεργαστή παρουσιάζονται στον Πίνακα 4.1. Από τα 466 flip-flop του σχεδιασμού, τα 92 flip-flop (19.7%) βρίσκονται στην έξοδο κρίσιμων μονοπατιών και αντικαθίστανται από τα EDC flip-flop ώστε να είναι δυνατή η ανίχνευση και διόρθωση λαθών. Τα υπόλοιπα flip-flop παραμένουν αναλλοίωτα. Ως κρίσιμα μονοπάτια ορίζουμε τα μονοπάτια με καθυστέρηση (στην χειρότερη περίπτωση) μεγαλύτερη από το 75% της περιόδου του ρολογιού. Αυτά τα μονοπάτια αναγνωρίζονται από τις αναφορές του εργαλείου Encounter της CADENCE μετά από στατική ανάλυση χρόνου. Καθώς δεν μπορεί να γίνει σύνθεση του κυκλώματος ανίχνευσης μεταευστάθειας με πύλες της βιβλιοθήκης, ο ανιχνευτής δεν συμπεριλαμβάνεται στο σχεδιασμό των EDC flip-flop του μικροεπεξεργαστή.

**Πίνακας 4.1: Χαρακτηριστικά του μικροεπεξεργαστή MIPS**

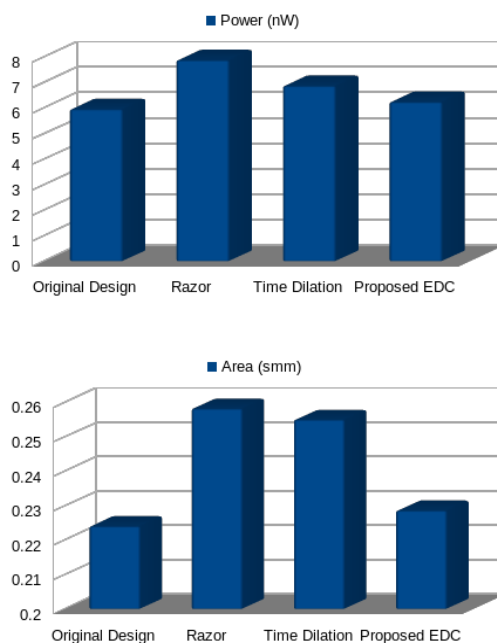
Τεχνολογία	90nm CMOS
Ολική επιφάνεια πυριτίου	228649 $\mu\text{m}^2$
# flip-flops	466
Συχνότητα κυκλώματος	125MHz @ 1.2V
Κατανάλωση ισχύος	6.24mW @ 1.2V
Μέγεθος I-Cache	1KB
Μέγεθος D-Cache	2KB

Το Σχήμα 4.9 παρουσιάζει το αποτέλεσμα της προσομοίωσης του τελικού φυσικού σχεδιασμού. Στο κύκλωμα εισάγονται πολλαπλά λάθη, σε διάφορες χρονικές στιγμές, αναστρέφοντας την είσοδο των EDC flip-flop κατά τη διάρκεια της θετικής ακμής του σήματος του ρολογιού *CLK*. Για αυτόν το σκοπό προστίθεται μία πύλη XOR δύο εισόδων, μπροστά από κάθε προστατευμένο flip-flop. Αυτή η πύλη XOR θεωρείται ως τμήμα του κυκλώματος, κατά τον προσδιορισμό της συχνότητας λειτουργίας, και οδηγεί την είσοδο *D* του προστατευμένου flip-flop. Η πρώτη είσοδος της πύλης XOR οδηγείται από την έξοδο της συνδυαστικής λογικής και η δεύτερη είσοδος οδηγείται από ένα σήμα γένεσης λάθους *Error\_Gen*, το οποίο ελέγχεται από το εξωτερικό περιβάλλον. Εάν το σήμα *Error\_Gen* έχει λογική τιμή 1 τότε δημιουργεί μία μετάβαση μέσα στο παράθυρο παρατήρησης, η οποία αναπαριστά μία καθυστερημένη απόκριση της λογικής. Αυτά τα λάθη ανιχνεύονται και τα αντίστοιχα *Error\_R* σήματα λαμβάνουν λογική τιμή 1, ενεργοποιώντας το σήμα *Block*. Κατά τη διάρκεια του χρονικού διαστήματος του επόμενου κύκλου του ρολογιού του συστήματος, το σήμα *Block* χρησιμοποιείται για την αδρανοποίηση του ρολογιού σε επίπεδο πυρήνα. Κατόπιν, στον κύκλο διόρθωσης, διορθώνονται τα λάθη στις εξόδους των EDC flip-flop και τα επόμενα στάδια υπολογίζουν ξανά τις σωστές αποκρίσεις τους. Στο τέλος του κύκλου διόρθωσης το σήμα του ρολογιού *CLK* απελευθερώνεται και το κύκλωμα συνεχίζει την κανονική λειτουργία του μέχρι την επόμενη ανίχνευση λάθους.



**Σχήμα 4.9: Κυματομορφές προσομοίωσης της τεχνικής Error Detection/Correction στον μικροεπεξεργαστή MIPS**

Συγκριτικά με τον αρχικό πυρήνα, ο οποίος δεν ενσωματώνει καμία τεχνική, παρατηρείται αύξηση 4.5% στην κατανάλωση ισχύος (5.96mW για τον αρχικό πυρήνα και 6.24mW για τον προστατευμένο με την τεχνική EDC πυρήνα) και αύξηση 2% στην επιφάνεια πυριτίου (224116  $\mu\text{m}^2$  για τον αρχικό πυρήνα και 228649  $\mu\text{m}^2$  για τον προστατευμένο με την τεχνική EDC πυρήνα) στην ίδια συχνότητα λειτουργίας.



**Σχήμα 4.10: Γραφήματα σύγκρισης των τριών τεχνικών**

Παράλληλα ο ίδιος μικροεπεξεργαστής σχεδιάστηκε, στην ίδια τεχνολογία με την ίδια συχνότητα, χρησιμοποιώντας τις τεχνικές Razor και Time Dilation. Όπως και στην τεχνική EDC, οι ανιχνευτές μεταευστάθειας δεν συμπεριλήφθηκαν σε αυτά τα κυκλώματα. Επίσης μόνο τα 92 από τα Razor και Time Dilation flip-flop ενσωματώνουν την XOR ανίχνευσης λάθους. Ωστόσο, το σχετικό κύκλωμα διόρθωσης λάθους, πρέπει να υπάρχει σε κάθε flip-flop για την σωστή λειτουργία του μικροεπεξεργαστή σε αυτές τις τεχνικές. Συγκρίσεις μεταξύ των τριών σχεδιασμών αποδεικνύουν ότι η τεχνική EDC παρουσιάζει 20.8% και 9.2% μείωση στην κατανάλωση ισχύος σε σχέση με τις τεχνικές Razor και Time Dilation αντίστοιχα (7.88mW για τη Razor και 6.87mW για τη Time Dilation). Όσον αφορά την επιφάνεια πυριτίου η τεχνική EDC παρουσιάζει 11.5% και 10.3% μικρότερη επιφάνεια πυριτίου σε σχέση με τις τεχνικές Razor και Time Dilation αντίστοιχα (258238 $\mu\text{m}^2$  για τη Razor και 255020 $\mu\text{m}^2$  για τη Time Dilation). Τα γραφήματα των συγκρίσεων παρουσιάζονται στο Σχήμα 4.10 και στον Πίνακα 4.2.

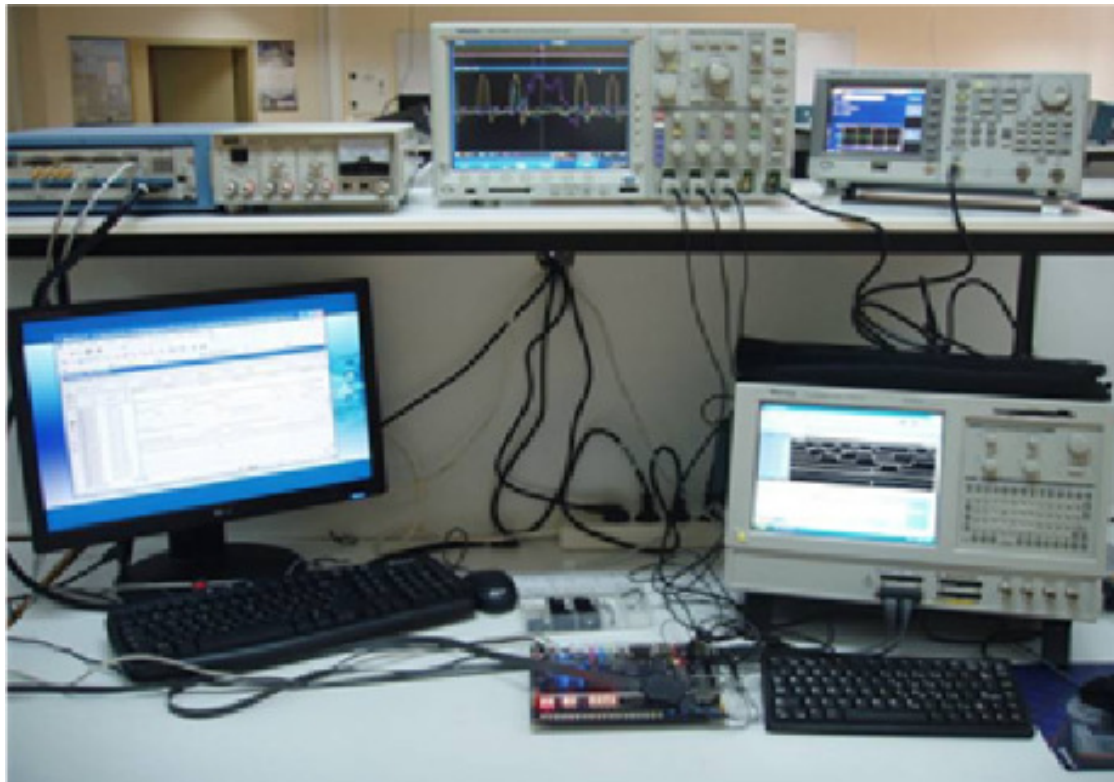
**Πίνακας 4.2: Συγκριτικά αποτελέσματα στον μικροεπεξεργαστή MIPS**

	Κατανάλωση ισχύος (mW) @ 125MHz	Επιφάνεια πυριτίου ( $\mu\text{m}^2$ )
Αρχικό κύκλωμα	5.96	224116
Razor [113]	7.88	258238
Time Dilation [140]	6.87	255020
EDC [142]	6.24	228649
(1 – 4) % μείωση	-4.49%	-1.98%
(2 – 4) % μείωση	20.81%	11.46%
(3 – 4) % μείωση	9.17%	10.34%

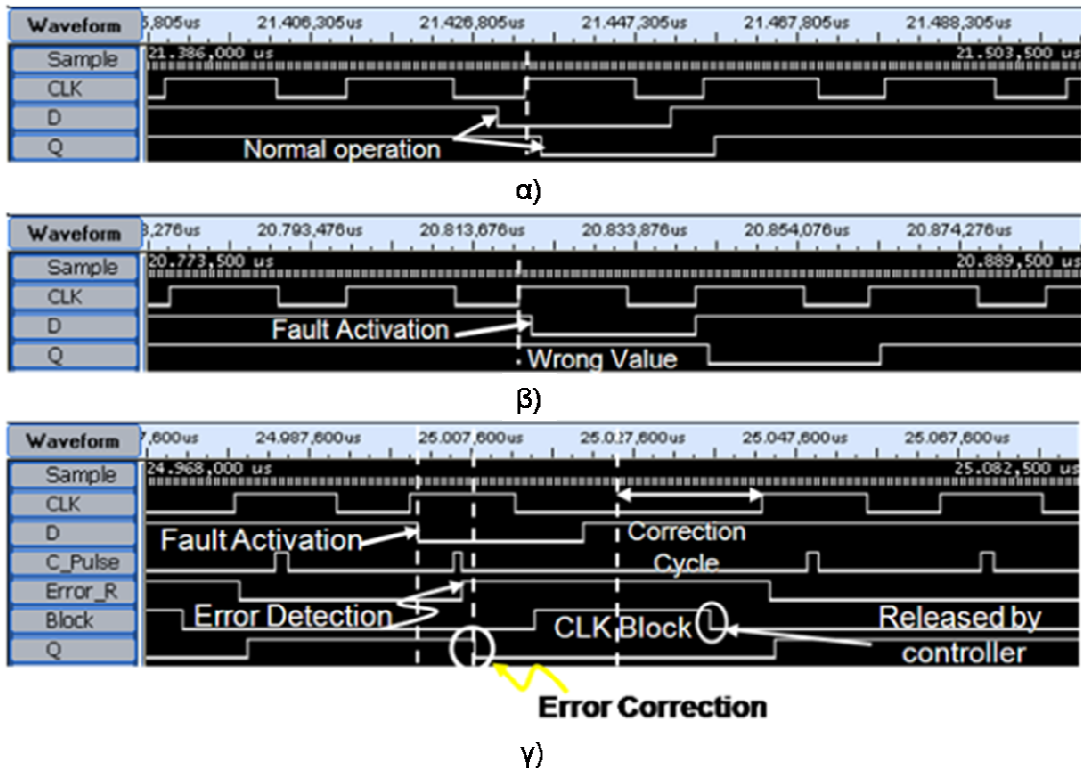


### 4.3.3 Εξομοίωση του μικροεπεξεργαστή

Η τεχνική EDC επαληθεύτηκε επίσης σε μία πρότυπη υλοποίηση του ίδιου MIPS μικροεπεξεργαστή σε πλατφόρμα FPGA. Για το σκοπό αυτό χρησιμοποιήθηκε η πλατφόρμα DE2 Design Board της Altera. Στο Σχήμα 4.11 παρουσιάζεται η πειραματική διάταξη, ενώ στα Σχήματα 4.12α, β και γ απεικονίζονται οι κυματομορφές όπως παρατηρούνται στον λογικό αναλυτή TLA5202B Tektronix. Ο σχεδιασμός λειτουργεί με ένα εξωτερικό σήμα ρολογιού, το οποίο παράγεται από τη γεννήτρια συχνοτήτων AGF3251 Tektronix Function Generator. Τα λάθη χρονισμού εξομοιώνονται με τη λειτουργία του κυκλώματος σε υψηλότερη συχνότητα από την ονομαστική συχνότητα λειτουργίας. Το Σχήμα 4.12α παρουσιάζει την εξομοίωση του κυκλώματος χρησιμοποιώντας την ονομαστική συχνότητα λειτουργίας (44 MHz), οπότε δεν συμβαίνουν λάθη, ούτε στο απροστάτευτο κύκλωμα ούτε στο προστατευμένο. Οι κυματομορφές του απροστάτευτου κυκλώματος σε υψηλότερη συχνότητα (46 MHz) παρουσιάζονται στο Σχήμα 4.12β. Σε αυτήν την περίπτωση τα δεδομένα φτάνουν μετά την θετική ακμή του ρολογιού και τα flip-flop συλλαμβάνουν λάθος τιμές. Στο προστατευμένο κύκλωμα τα EDC flip-flop παρόλο που επίσης συλλαμβάνουν λάθος τιμές στη συχνότητα των 46 MHz, ανιχνεύουν και διορθώνουν τα αντίστοιχα λάθη χρονισμού όπως διαπιστώνουμε στο Σχήμα 4.12γ.



Σχήμα 4.11: Πειραματική διάταξη.



Σχήμα 4.12: α) Κυματομορφές του κυκλώματος στην ονομαστική συχνότητα λειτουργίας (44 MHz), β) κυματομορφές του απροστατευτού κυκλώματος στη συχνότητα των 46 MHz, γ) κυματομορφές του προστατευμένου κυκλώματος στη συχνότητα των 46 MHz

## 5. Η ΤΕΧΝΙΚΗ ΔΙΑΣΤΟΛΗΣ ΧΡΟΝΟΥ ΜΕ ΑΝΙΧΝΕΥΤΗ ΜΕΤΑΒΑΣΗΣ ΚΑΙ ΑΝΑΣΤΡΟΦΗ ΤΙΜΗΣ

### 5.1 Εισαγωγή

Σε αυτό το κεφάλαιο παρουσιάζεται η τεχνική Διαστολής Χρόνου με Ανιχνευτή Μετάβασης και Αναστροφή Τιμής ή τεχνική Timing Error Tolerance (TET), η οποία ανιχνεύει και διορθώνει πολλαπλά λάθη σε σχεδιασμούς πυρήνων που βασίζονται σε flip-flop. Η προτεινόμενη τεχνική TET ανιχνεύει τις καθυστερημένες αποκρίσεις των δεδομένων στις εισόδους των καταχωρητών και τις διορθώνει ασύγχρονα στις εξόδους. Η λειτουργία της βασίζεται σε έναν ανιχνευτή μετάβασης, για την ανίχνευση των καθυστερημένων αποκρίσεων, και μία λογική τοπικής ασύγχρονης διόρθωσης που ενσωματώνονται σε κάθε προστατευόμενο flip-flop. Μόνο τα flip-flop που βρίσκονται στο τέλος κρίσιμων μονοπατιών και τα οποία είναι ευπαθή σε λάθη χρονισμού αντικαθίστανται από τα προτεινόμενα ανθεκτικά flip-flop. Η τεχνική επαληθεύτηκε τόσο με προσομοιώσεις όσο και με εξομοιώσεις σε αναπτυξιακή πλατφόρμα FPGA στο σχεδιασμό ενός RISC μικροεπεξεργαστή. Επίσης παρουσιάζονται οι συγκρίσεις με τις προηγούμενες προτεινόμενες τεχνικές στην ίδια τεχνολογία. Αυτή η τεχνική εφαρμόστηκε στο σχεδιασμό του ίδιου RISC μικροεπεξεργαστή ο οποίος υλοποιήθηκε στην τεχνολογία Low Leakage 65 nm της UMC. Τέλος παρουσιάζονται τα πειραματικά αποτελέσματα στο κατασκευασμένο ολοκληρωμένο κύκλωμα που αποδεικνύουν την ορθή λειτουργία της τεχνικής.

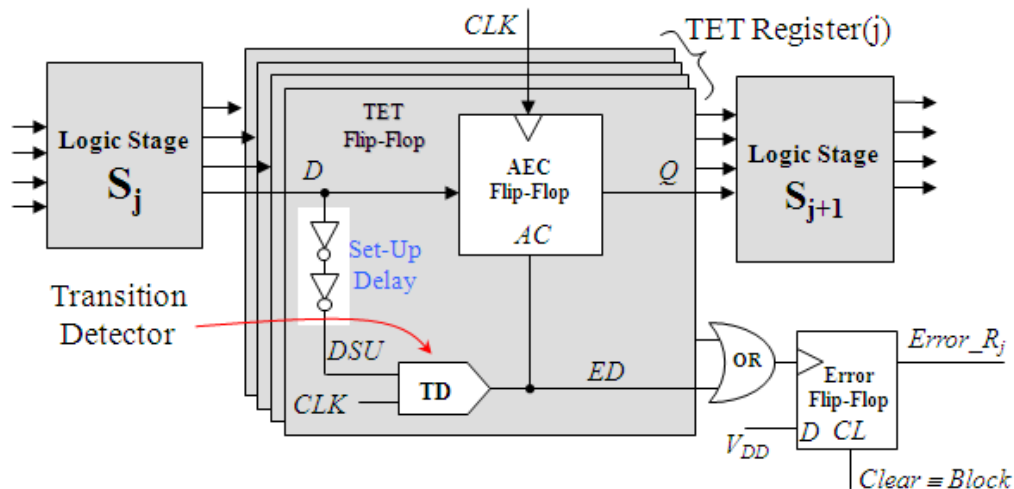
### 5.2 Ανοχή σε λάθη χρονισμού με την τεχνική Timing Error Tolerance

#### 5.2.1 Περιγραφή της τεχνικής

Στην παρούσα ενότητα παρουσιάζουμε την τρίτη προτεινόμενη τεχνική ανίχνευσης και διόρθωσης λαθών χρονισμού. Η τεχνική Timing Error Tolerance [143] [144] ανιχνεύει τις καθυστερημένες αφίξεις των δεδομένων στην είσοδο των flip-flop και διορθώνει ασύγχρονα τα σχετικά λάθη στην έξοδό τους. Η λειτουργία βασίζεται στην παρατήρηση ότι σε περίπτωση καθυστερημένης άφιξης των δεδομένων στην είσοδο ενός flip-flop, τα δεδομένα στην έξοδο πρέπει να τροποποιηθούν ώστε να ταυτίζονται με την τελική τιμή των δεδομένων στην είσοδο. Ως καθυστερημένη άφιξη των δεδομένων θεωρούμε οποιαδήποτε μετάβαση (απόκριση) στην έξοδο της συνδυαστικής λογικής που προηγείται μέσα στον χρόνο αρχικοποίησης του flip-flop ή σε ένα συγκεκριμένο χρονικό παράθυρο αμέσως μετά τη θετική ακμή του ρολογιού.

Η προτεινόμενη λύση βασίζεται στο Timing Error Tolerance flip-flop (TET flip-flop) το οποίο αντικαθιστά μόνο τα flip-flop στο τέλος των μονοπατιών τα οποία είναι επιρρεπή σε λάθη χρονισμού. Αυτά τα κρίσιμα μονοπάτια μπορούν να προσδιοριστούν με τη χρήση εργαλείων στατικής ανάλυσης χρονισμού (static timing analysis). Το προτεινόμενο flip-flop (ενσωματωμένο σε έναν καταχωρητή του κυκλώματος) παρουσιάζεται στο Σχήμα 5.1. Αποτελείται από ένα flip-flop με ασύγχρονο μηχανισμό διόρθωσης (Asynchronous Error Correction - AEC) και έναν ανιχνευτή μετάβασης (Transition Detection – TD). Η λειτουργία του είναι η ακόλουθη. Ο ανιχνευτής μετάβασης ενεργοποιείται για ένα χρονικό διάστημα μετά την θετική ακμή του ρολογιού *CLK*, ώστε να ανιχνεύει λάθη χρονισμού. Σε αυτό το παράθυρο παρατήρησης οποιαδήποτε μετάβαση στην είσοδο του flip-flop αναγνωρίζεται ως σφάλμα καθυστέρησης. Η ανάλυση που ακολουθεί

παρουσιάζεται για αμεσότητα πάνω σε δομές διοχέτευσης παρόλο που καλύπτει κάθε ακολουθιακό κύκλωμα.

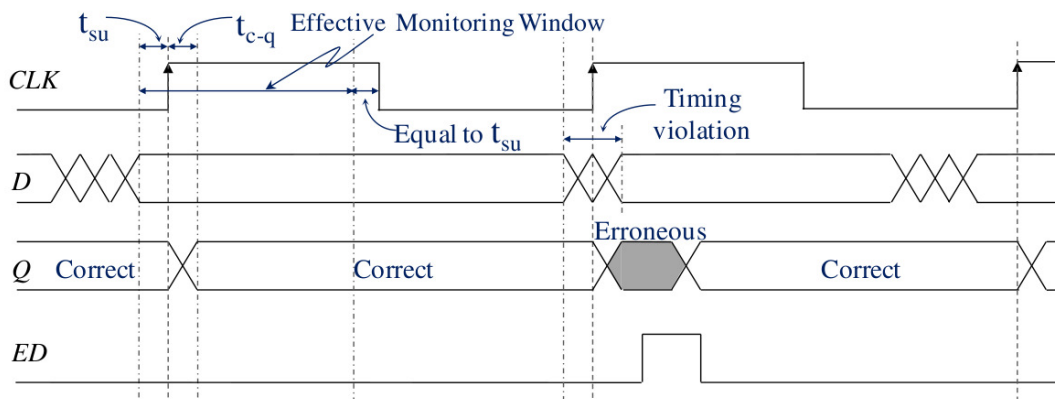


Σχήμα 5.1: Το TET flip-flop

Στο ανωτέρω χρονικό παράθυρο, δεν επιτρέπεται καμία μετάβαση σήματος (εκ του σχεδιασμού του κυκλώματος) στην είσοδο του flip-flop. Κάθε φορά που ανιχνεύεται μία μετάβαση σήματος κατά τη διάρκεια του χρόνου παρατήρησης, δηλαδή μία παραβίαση του χρονισμού του κυκλώματος, η μονάδα TD δημιουργεί στην έξοδο της  $ED$  ένα θετικό παλμό ένδειξης ανίχνευσης λάθους. Σε αυτή την περίπτωση ενεργοποιείται η λειτουργία διόρθωσης, όπου ο παλμός σήματος  $ED$  τροφοδοτεί, μέσω της εισόδου ασύγχρονης διόρθωσης  $AC$  το AEC flip-flop, για να διορθώσει τα αποθηκευμένα δεδομένα χρησιμοποιώντας ένα κατάλληλο (απλό) κύκλωμα.

Το παράθυρο παρατήρησης της μονάδας ανίχνευσης μετάβασης καθορίζεται από την χρονική διάρκεια του θετικού παλμού του ρολογιού. Όσο το σήμα του ρολογιού  $CLK$  βρίσκεται στη λογική τιμή 1, κάθε μετάβαση στην είσοδο  $D$  του flip-flop θα ανιχνεύεται και θα παράγεται ένας παλμός στην έξοδο της μονάδας TD. Αυτό σημαίνει ότι στο αντίστοιχο χρονικό διάστημα δεν αναμένεται καμία μετάβαση σήματος στην είσοδο του flip-flop ή αλλιώς, από το σχεδιασμό του κυκλώματος, καμία μετάβαση σήματος δεν επιτρέπεται να εμφανιστεί σε αυτή την είσοδο στην κανονική λειτουργία. Γενικά, ο παραπάνω χρονικός περιορισμός ικανοποιείται εύκολα καθώς ένα TET flip-flop χρησιμοποιείται στις εξόδους μονοπατιών με μεγάλη καθυστέρηση διάδοσης σήματος (κρίσιμα χρονικά μονοπάτια). Ωστόσο, υπό την παρουσία γρήγορων παράπλευρων μονοπατιών σε ένα κρίσιμο χρονικά μονοπάτι (γρήγορα πλευρικά μονοπάτια τα οποία τερματίζουν στο ίδιο TET flip-flop όπως το πραγματικά κρίσιμο μονοπάτι) αυτός ο χρονικός περιορισμός μπορεί να παραβιαστεί. Προκειμένου να αποφευχθούν λανθασμένες ενδείξεις λαθών, είτε προσαρμόζεται ο κύκλος εργασίας του σήματος του ρολογιού  $CLK$  (duty cycle), είτε προστίθεται καθυστέρηση στις γρήγορες παράπλευρες διαδρομές (για παράδειγμα θέτοντας ένα περιορισμό ελάχιστης καθυστέρησης κατά τη σύνθεση του κυκλώματος), είτε εφαρμόζονται και οι δύο τεχνικές μαζί, ώστε κανένα από τα υπό εξέταση γρήγορα πλευρικά μονοπάτια να μην αποκρίνεται μέσα στο παράθυρο παρατήρησης.

Όπως φαίνεται στο Σχήμα 5.1, μία καθυστέρηση ίση με τον χρόνο αρχικοποίησης του AEC flip-flop εισάγεται στο μονοπάτι του σήματος από την είσοδο  $D$  του flip-flop έως την είσοδο DSU του ανιχνευτή μετάβασης. Αυτή η καθυστέρηση εξασφαλίζει ότι μία καθυστερημένη μετάβαση στην είσοδο  $D$ , μέσα στον χρόνο αρχικοποίησης του AEC flip-flop, θα φτάσει στην είσοδο του ανιχνευτή μετάβασης μετά τη θετική ακμή του ρολογιού και συνεπώς θα ανιχνευτεί. Το παράθυρο παρακολούθησης υποδεικνύεται στο Σχήμα 5.2, όπου ο χρόνος  $t_{su}$  είναι ο χρόνος αρχικοποίησης του flip-flop και η χρονική διάρκεια  $t_{c-q}$  είναι η καθυστέρηση διάδοσης σήματος από την δειγματοληπτούσα ακμή του ρολογιού στην έξοδο  $Q$  του flip-flop (clock-to-Q).



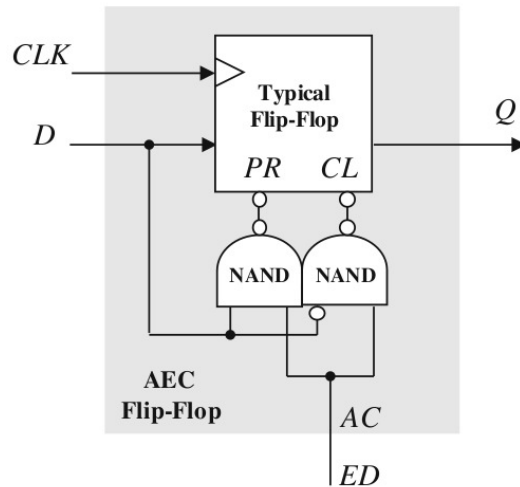
Σχήμα 5.2: Διαγράμματα χρονισμού του TET flip-flop

Τέλος, σε κάθε καταχωρητή της δομής διοχέτευσης, οι ενδείξεις λάθους ED από κάθε TET flip-flop, συλλέγονται με ένα δέντρο πυλών OR, το οποίο οδηγεί την είσοδο του ρολογιού ενός flip-flop (Error flip-flop). Η είσοδος αυτού του flip-flop είναι μόνιμως στο λογικό 1. Ο παλμός της ένδειξης λάθους ED ενεργοποιεί το Error flip-flop μέσω της πύλης OR ώστε να παραχθεί το σήμα της ένδειξης λάθους Error\_R<sub>j</sub> σε επίπεδο καταχωρητή.

### 5.2.2 Σχεδίαση με πύλες κατάλληλη για σύνθεση

Το Σχήμα 5.3α παρουσιάζει τη σχεδίαση του AEC flip-flop [144], ως μία συνθέσιμη δομή με τη χρήση μίας βιβλιοθήκης τυπικών πυλών. Αποτελείται από ένα flip-flop (Typical flip-flop) με δυνατότητες ασύγχρονης αρχικοποίησης στο 1 (preset) και ασύγχρονης αρχικοποίησης στο 0 (clear) και δύο πύλες NAND. Ένα λάθος στην έξοδο του flip-flop διορθώνεται με την κατάλληλη ενεργοποίηση είτε της ασύγχρονης θύρας preset είτε της ασύγχρονης θύρας clear του flip-flop, λαμβάνοντας υπόψιν την τελική τιμή των δεδομένων στην είσοδο. Η αρχή λειτουργίας του AEC flip-flop συνοψίζεται στο Σχήμα 5.3β. Υπό την παρουσία ενός σφάλματος χρονισμού, το Typical flip-flop ενδέχεται ή να συλλάβει τα σωστά δεδομένα (δηλ. να μην επηρεαστεί από την παραβίαση του χρόνου αρχικοποίησης), ή να συλλάβει λάθος δεδομένα, ή να βρεθεί σε κατάσταση μεταευστάθειας (εξ αιτίας της παραβίασης του χρόνου αρχικοποίησης ή του χρόνου συγκράτησης). Σε κάθε περίπτωση ενεργοποιείται η λειτουργία διόρθωσης. Σύμφωνα με την προτεινόμενη τοπολογία, εάν η τελική, σωστή αλλά καθυστερημένη τιμή στην είσοδο  $D$  είναι στο λογικό 1 τότε ο παλμός του ανιχνευτή μετάβασης ενεργοποιεί την πρώτη πύλη NAND και αρχικοποιεί ασύγχρονα την έξοδο  $Q$  στο λογικό 1, ενώ εάν η τελική τιμή στην είσοδο  $D$  είναι στο λογικό 0 τότε ενεργοποιείται η δεύτερη πύλη NAND και αρχικοποιεί

ασύγχρονα την έξοδο  $Q$  στο λογικό 0. Σημειώνεται ότι και στις δύο περιπτώσεις διορθώνεται κάθε πιθανό λάθος χρονισμού ή κατάσταση μεταευστάθειας στην έξοδο του Typical flip-flop.



α)

<b>Case timing violation detection</b>	<b>Then</b>	// Error detection
<b>If final input data= "high"</b>	<b>Then activate Preset</b>	
<b>Else activate Clear</b>	<b>EndIf;</b>	// Error correction
<b>Else do nothing</b>		// Error free

β)

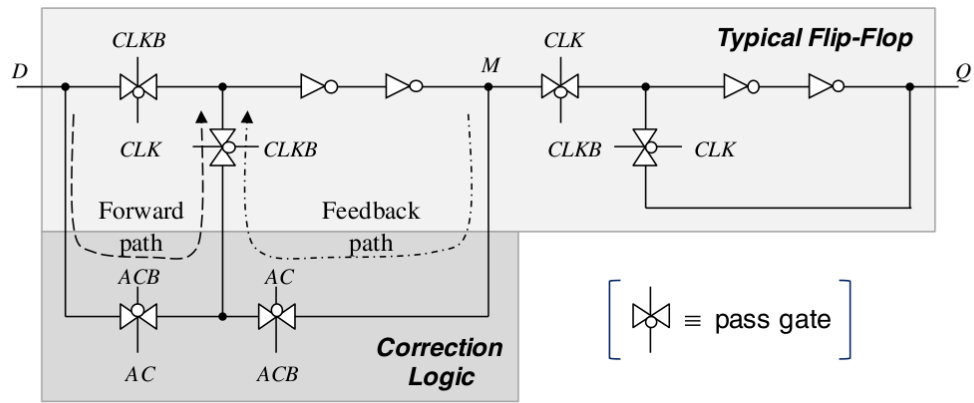
Σχήμα 5.3: α) Σχεδίαση του AEC flip-flop με τυπικές πύλες και β) η αρχή λειτουργίας

### 5.2.3 Σχεδίαση του AEC flip-flop σε επίπεδο τρανζίστορ

Μία εναλλακτική σχεδίαση του AEC flip-flop σε επίπεδο τρανζίστορ απεικονίζεται στο Σχήμα 5.4α. Αποτελείται από ένα τυπικό αφέντη-σκλάβο flip-flop και δύο πύλες διέλευσης (full pass gates). Αυτή η σχεδίαση είναι πιο συμπαγής και έχει χαμηλότερο κόστος σε επιφάνεια πυριτίου.

Αν δεν υπάρχει λάθος η είσοδος  $AC$  του flip-flop είναι στο λογικό 0 και το μονοπάτι ανάδρασης (feedback path) του αφέντη-σκλάβο είναι ενεργό, ενώ το μονοπάτι προώθησης (forward path) ανενεργό. Αν ανιχνευτεί λάθος, τα σωστά δεδομένα βρίσκονται στην είσοδο  $D$  του flip-flop. Επίσης στην έξοδο  $ED$  του ανιχνευτή παράγεται ένας παλμός, ο οποίος ενεργοποιεί την  $AC$  είσοδο του AEC flip-flop. Έτσι ενεργοποιείται το μονοπάτι προώθησης στον αφέντη-σκλάβο και απενεργοποιείται το μονοπάτι ανάδρασης (feedback). Καθώς στη συγκεκριμένη φάση το σήμα  $CLK$  είναι στο λογικό 1, τα σωστά δεδομένα στην είσοδο  $D$  διαδίδονται στην έξοδο  $Q$ .

Όταν η είσοδος  $AC$  γυρίσει στο λογικό 0 ο αφέντης-σκλάβο επιστρέφει σε κατάσταση μνήμης και η έξοδος  $Q$  κρατάει τα σωστά δεδομένα μέχρι το τέλος του κύκλου. Όπως και στην σχεδίαση με πύλες, διορθώνονται όλα τα λάθη χρονισμού και η κατάσταση μεταευστάθειας στην έξοδο του flip-flop. Η αρχή λειτουργίας του δεύτερου σχεδιασμού, συνοψίζεται στο Σχήμα 5.4β.



α)

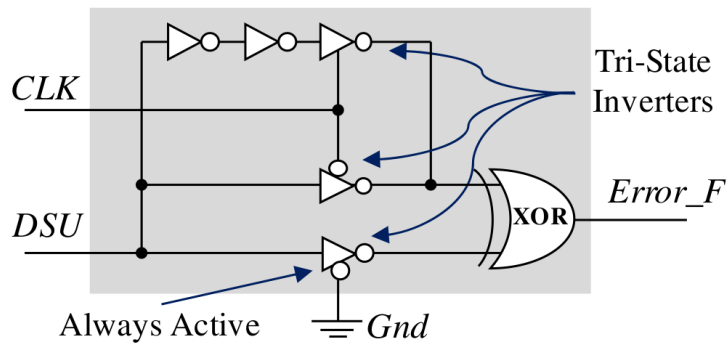
<b>Case</b> $CLK = \text{“high”}$ <b>AND</b> $AC = \text{“high”}$ <b>Then</b>	// Error detection
$Q = D;$	// Error correction
<b>Else</b> <i>do nothing</i>	// Error free

β)

Σχήμα 5.4: α) Σχεδίαση του AEC flip-flop σε επίπεδο τρανζίστορ και β) η αρχή λειτουργίας

### 5.2.4 Ανιχνευτής μετάβασης

Διάφοροι ανιχνευτές μετάβασης οι οποίοι έχουν παρουσιαστεί στη βιβλιογραφία μπορούν να χρησιμοποιηθούν στη σχεδίαση του TET flip-flop. Αρχικά, η συνθέσιμη έκδοση του ανιχνευτή μετάβασης που χρησιμοποιήθηκε για να υποστηρίξει το AEC flip-flop παρουσιάζεται στο Σχήμα 5.5. Αποτελείται από μία πύλη XOR δύο εισόδων καθώς και στοιχεία αναστροφείς και τρισταθείς αναστροφείς [144]. Για τη λειτουργία της παρατήρησης ο ανιχνευτής μετάβασης ενεργοποιείται από το σήμα του ρολογιού  $CLK$  (στη λογική τιμή 1).

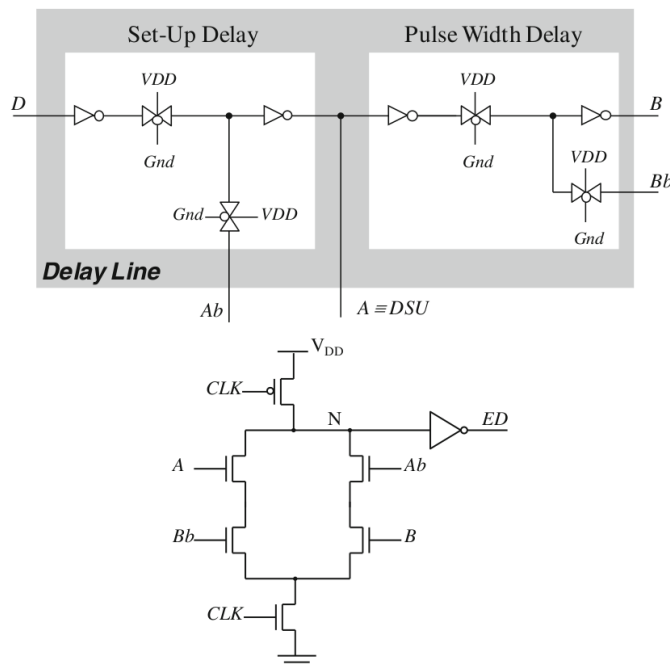


Σχήμα 5.5: Σχεδίαση της μονάδας του ανιχνευτή μετάβασης με πύλες

Όσο το σήμα  $CLK$  είναι στο λογικό 0 κάθε σήμα στην είσοδο του ανιχνευτή φτάνει ταυτόχρονα και στις δύο εισόδους της πύλης XOR, δια μέσω των δύο κάτω διαδρομών οι οποίες είναι ενεργοποιημένες. Έτσι δεν παράγεται παλμός στην έξοδο του  $Error\_F$ . Όταν το σήμα  $CLK$  είναι στο λογικό 1 η πάνω και η κάτω διαδρομές σημάτων ενεργοποιούνται και συνεπώς υπάρχει μία καθυστέρηση μεταξύ των αφίξεων των σημάτων στις δύο εισόδους της πύλης XOR, εξ αιτίας της καθυστέρησης που εισάγουν οι αναστροφείς, της επάνω διαδρομής. Έτσι η πύλη XOR παράγει έναν παλμό με διάρκεια ίση με την καθυστέρηση που εισάγει

το επάνω μονοπάτι. Το πλάτος του παλμού είναι κατάλληλο για να επιτραπεί η λειτουργία ασύγχρονης αρχικοποίησης στο 1 και ασύγχρονης αρχικοποίησης στο 0 του αντίστοιχου AEC flip-flop στο Σχήμα 5.3 και να πυροδοτήσει το Error flip-flop. Ακόμα κι αν πολλαπλές μεταβάσεις εμφανιστούν στην είσοδο του ανιχνευτή, εξ αιτίας στιγμιαίων μεταβάσεων (glitches) στην συνδυαστική λογική, ο ανιχνευτής πάντα θα παράγει τον επιθυμητό παλμό για την ενεργοποίηση του μηχανισμού διόρθωσης με τα τελικά έγκυρα δεδομένα στην είσοδο.

Στο Σχήμα 5.6 παρουσιάζεται η σχεδίαση του ανιχνευτή σε επίπεδο τρανζίστορ, όπως στην εργασία [118], η οποία είναι συμβατή με το σχεδιασμό του AEC flip-flop στο Σχήμα 5.4. Αποτελείται από μία γραμμή καθυστέρησης και μία πύλη domino AND-OR. Η καθυστέρηση καθορίζεται από τις διαστάσεις των τρανζίστορ των πυλών διέλευσης. Η γραμμή καθυστέρησης παρέχει και την απαιτούμενη καθυστέρηση, ίση με τον χρόνο αρχικοποίησης του flip-flop, για το σήμα  $DSU$  στην είσοδο της μονάδας TD. Αρχικά η γραμμή καθυστέρησης παράγει τα συμπληρωματικά σήματα  $A$  και  $Ab$  ( $A=DSU$ ) με την ίδια καθυστέρηση ίση με τον χρόνο αρχικοποίησης του AEC flip-flop. Κατόπιν παράγονται δύο συμπληρωματικά σήματα  $B$  και  $Bb$  με ίδια καθυστέρηση ίση με τη διάρκεια του παλμού που πρέπει να παραχθεί στην έξοδο της μονάδας TD σε περίπτωση ανίχνευσης παραβίασης του χρονισμού. Όταν το nMOS δίκτυωμα στην πύλη AND-OR ενεργοποιείται (το σήμα CLK έχει λογική τιμή 1) και εμφανιστεί μία μετάβαση στην είσοδο του AEC flip-flop, αποφορτίζεται ο κόμβος N, είτε από το αριστερό είτε από το δεξί μονοπάτι αποφόρτισης, λόγω της γραμμής καθυστέρησης. Συνεπώς η έξοδος  $ED$  του ανιχνευτή μετάβασης μεταβαίνει στο λογικό 1. Με την απενεργοποίηση του nMOS δικτυώματος (δηλ. στη φάση προφόρτισης της πύλης domino), το σήμα  $ED$  επιστρέφει στο λογικό 0.

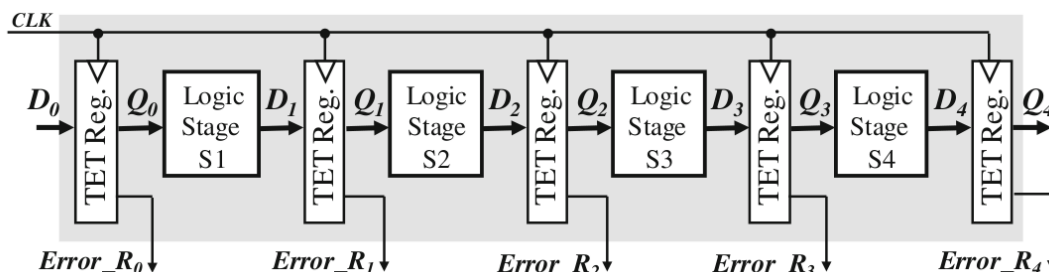


Σχήμα 5.6: Υλοποίηση της μονάδας ανιχνευτή μεταευστάθειας με τρανζίστορ



## 5.2.5 Ανάκαμψη της δομής διοχέτευσης

Ας θεωρήσουμε τη δομή διοχέτευσης ενός μικροεπεξεργαστή, η οποία δομείται με τη χρήση flip-flop, όπως απεικονίζεται στο Σχήμα 5.7. Στο κύκλωμα αυτό, τα TET flip-flop αντικαθιστούν μόνο τα flip-flop των καταχωρητών στα οποία καταλήγουν κρίσιμα μονοπάτια και τα οποία χρειάζονται προστασία από λάθη χρονισμού. Τα υπόλοιπα flip-flop στο σχεδιασμό είναι τυπικά flip-flop. Στην περίπτωση που δεν συμβεί σφάλμα χρονισμού τα TET flip-flop δεν ανιχνεύουν λάθος και συνεχίζεται η κανονική λειτουργία του κυκλώματος. Αν συμβούν ένα ή περισσότερα σφάλματα χρονισμού τότε αφού ανιχνευτούν από τους αντίστοιχους ανιχνευτές μετάβασης, ενεργοποιούνται τα κατάλληλα σήματα για την διόρθωση των λαθών στα αντίστοιχα flip-flop.

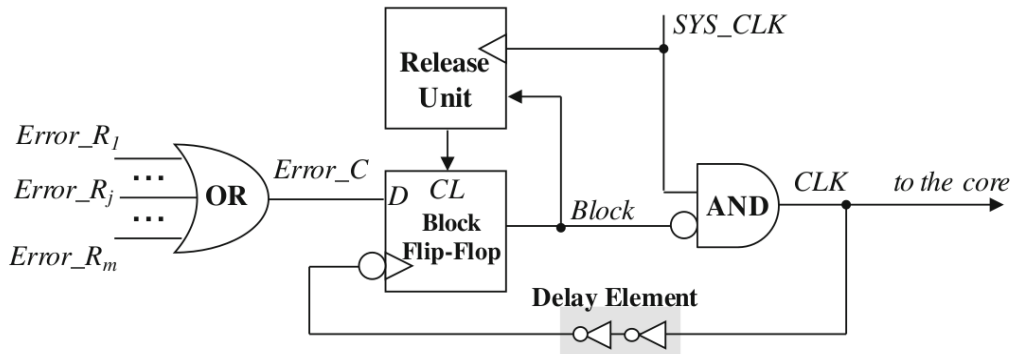


Σχήμα 5.7: Η δομή διοχέτευσης ενός μικροεπεξεργαστή

Ωστόσο, εξ αιτίας του χρόνου ο οποίος χρειάζεται για την ανίχνευση και τη διόρθωση ενός λάθους σε έναν καταχωρητή, δεν υπάρχει πάντα η εγγύηση ότι το στάδιο το οποίο ακολουθεί, θα έχει τον απαιτούμενο χρόνο για τον έγκαιρο υπολογισμό της απόκρισής του, ειδικά όταν από τα TET flip-flop εκκινούν κρίσιμα μονοπάτια. Συνεπώς στη γενική περίπτωση, χρειαζόμαστε ένα μηχανισμό ώστε να εξασφαλίσουμε τη σωστή λειτουργία της δομής διοχέτευσης. Μία πιθανή λύση, όπως έχουμε παρουσιάσει σε προηγούμενα κεφάλαια, είναι να απενεργοποιείται το σήμα του ρολογιού  $CLK$  για ένα χρονικό διάστημα ίσο με έναν κύκλο του ρολογιού. Στη συγκεκριμένη περίπτωση αδρανοποιείται το ρολόι στον επόμενο κύκλο, ώστε να εξασφαλιστεί ο επιπλέον χρόνος ο οποίος απαιτείται για την ανάκαμψη της δομής διοχέτευσης. Η αδρανοποίηση του ρολογιού επιτυγχάνεται αξιοποιώντας τους υπάρχοντες μηχανισμούς αδρανοποίησης του ρολογιού σε επίπεδο πυρήνα.

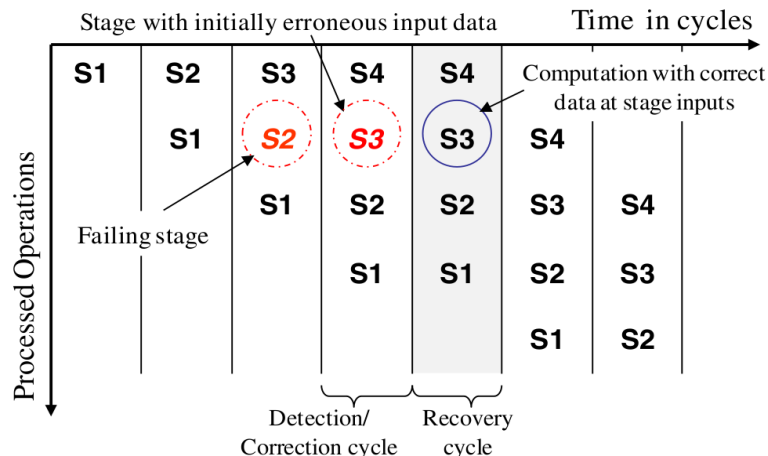
Αρχικά υποθέτουμε ότι σε ένα ή περισσότερα TET flip-flop ενός καταχωρητή (Register <sub>$i$</sub> ), ανιχνεύεται και διορθώνεται ένα λάθος χρονισμού, εξ αιτίας μίας καθυστερημένης απόκρισης του προηγούμενου σταδίου  $S_i$  (Σχήμα 5.1 και 5.2). Ως αποτέλεσμα, η απόκριση του επόμενου λογικού σταδίου  $S_{i+1}$ , στον τρέχοντα κύκλο του ρολογιού, ενδέχεται να είναι λανθασμένη, διότι ο χρόνος ο οποίος απομένει από τον κύκλο του ρολογιού μπορεί να είναι μικρότερος από τον χρόνο που απαιτείται από το στάδιο για τον υπολογισμό. Για να παραταθεί ο χρόνος υπολογισμού του σταδίου  $S_{i+1}$ , χρησιμοποιώντας ένα μηχανισμό αδρανοποίησης του ρολογιού, χρειαζόμαστε ένα σήμα ένδειξης λάθους το οποίο θα ενεργοποιεί το κύκλωμα ελέγχου του ρολογιού. Συνεπώς σε κάθε καταχωρητή, όπου χρησιμοποιείται ένα τουλάχιστον TET flip-flop, εισάγεται ένα τυπικό flip-flop (Error flip-flop), όπως απεικονίζεται στο Σχήμα 5.1. Η είσοδος αυτού του flip-flop συνδέεται στο λογικό 1 ( $VDD$ ), ενώ η είσοδος ρολογιού τροφοδοτείται μέσω μίας πύλης OR η οποία συλλέγει την τοπική ένδειξη λάθους  $ED$  από κάθε TET flip-flop του καταχωρητή. Το Error flip-flop αρχικοποιείται στο λογικό 0. Εάν ανιχνευτούν

ένα ή περισσότερα λάθη, τότε ο παλμός του σήματος  $ED$ , ο οποίος δημιουργείται από τον αντίστοιχο ανιχνευτή μετάβασης ενεργοποιεί το Error flip-flop μέσω της πύλης OR. Έτσι το σήμα  $Error\_R_j$  στην έξοδο του Error flip-flop λαμβάνει τη λογική τιμή 1, υποδεικνύοντας την ανίχνευση ενός λάθους σε αυτόν τον καταχωρητή.



**Σχήμα 5.8:** Η μονάδα ελέγχου η οποία διαχειρίζεται το σήμα του ρολογιού σε επίπεδο πυρήνα

Όλες οι ενδείξεις λάθους  $Error\_R_j$  από τους καταχωρητές, τροφοδοτούν τη μονάδα ελέγχου του ρολογιού, όπως φαίνεται στο Σχήμα 5.8. Μία πύλη OR δημιουργεί τη συνολική ένδειξη λάθους  $Error\_C$  του κυκλώματος. Το σήμα αυτό δειγματοληπτείται με μία κατάλληλη καθυστέρηση από το Block flip-flop, για να ενεργοποιήσει σε περίπτωση λάθους, το σήμα  $Block$  το οποίο αποτρέπει το ρολόι του συστήματος  $SYS\_CLK$  από το να οδηγεί τον μικροεπεξεργαστή (αδρανοποίηση του ρολογιού σε επίπεδο πυρήνα). Η καθυστέρηση δειγματοληψίας στο Block flip-flop είναι ίση με τον χρόνο που απαιτείται για τη δημιουργία του σήματος  $ED$  και τη διάδοσή του μέσα από τις δύο OR πύλες και το Error flip-flop στην είσοδο του Block flip-flop. Αυτό το χρονικό διάστημα αποτελεί μια κρίσιμη σχεδιαστική παράμετρο. Το σήμα  $Block$  χρησιμοποιείται για να αρχικοποιήσει τα Error flip-flop στους TET καταχωρητές (Σχήμα 5.1) και για να ενεργοποιήσει τη μονάδα Release, η οποία απελευθερώνει το σήμα του ρολογιού, μετά τη λήξη του επόμενου κύκλου του ρολογιού, με την αρχικοποίηση του Block flip-flop στο λογικό 0. Στην πραγματικότητα η μονάδα Release είναι ένας απλός μετρητής, οποίος μετράει έναν κύκλο του ρολογιού του συστήματος μετά την ενεργοποίησή του.



**Σχήμα 5.9:** Ανάκαμψη της δομής διοχέτευσης

Η λειτουργία του μηχανισμού ανάκαμψης της δομής διοχέτευσης απεικονίζεται στο Σχήμα 5.9. Το λογικό στάδιο (S2) στο οποίο συμβαίνει η αστοχία, είναι υπεύθυνο για την δημιουργία του λάθους χρονισμού στον καταχωρητή ο οποίος ακολουθεί. Το λάθος ανιχνεύεται και διορθώνεται από το αντίστοιχο TET flip-flop στην αρχή του κύκλου ανίχνευσης και διόρθωσης. Καθώς το σήμα ένδειξης λάθους του αντίστοιχου καταχωρητή ενεργοποιείται, το σήμα του ρολογιού αδρανοποιείται για χρονική διάρκεια ίση με τη χρονική διάρκεια του επόμενου κύκλου του ρολογιού (κύκλος ανάκαμψης). Το λογικό στάδιο το οποίο ακολουθεί (S3) χρησιμοποιεί αυτόν τον επιπλέον χρόνο, για το σωστό υπολογισμό της απόκρισής του. Κατόπιν η δομή διοχέτευσης συνεχίζει την κανονική της λειτουργία.

Κατά τη διάρκεια του πρόσθετου χρόνου υπολογισμού, ο οποίος παρέχεται για την ανάκαμψη της δομής διοχέτευσης, τα υπόλοιπα στάδια, εκτός αυτού που συνεχίζει τον υπολογισμό του (S3), παραμένουν ανενεργά κρατώντας τις σωστές αποκρίσεις στις εξόδους τους. Επίσης είναι σημαντικό να αναφερθεί ότι το στάδιο το οποίο απέτυχε, και στο οποίο οφείλεται το λάθος χρονισμού (στο συγκεκριμένο παράδειγμα το στάδιο S2), δεν χρειάζεται να επαναλάβει ξανά τον υπολογισμό του, αφού η σωστή τιμή ανακτάται αυτόματα από τα TET flip-flop.

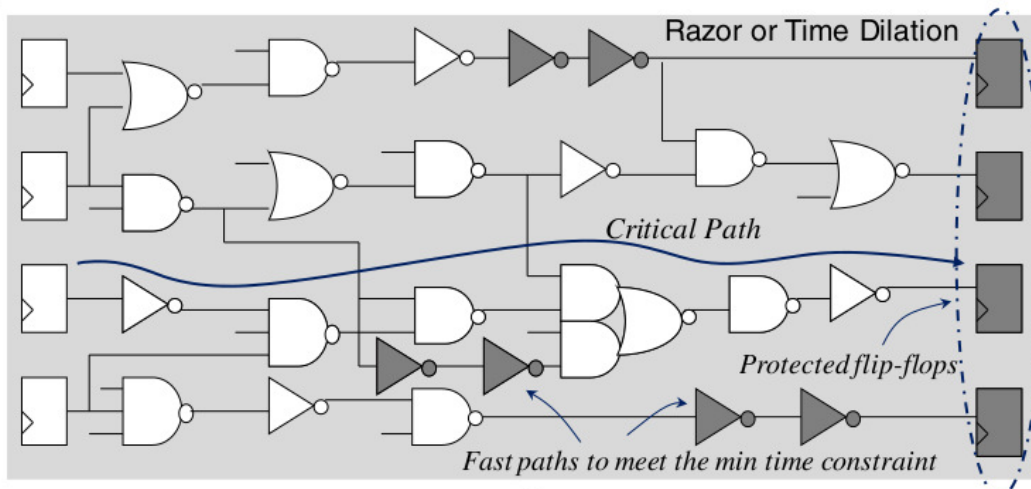
Η προτεινόμενη τεχνική ανιχνεύει και διορθώνει οποιοδήποτε αριθμό λαθών χρονισμού σε οποιοδήποτε αριθμό καταχωρητών κι αν συμβούν, μέσα σε ένα κύκλο ρολογιού, αφού όλα τα στάδια είναι ικανά να υπολογίσουν τις αποκρίσεις τους με τα σωστά δεδομένα στις εισόδους τους, κατά τη διάρκεια του επιπρόσθετου χρόνου. Στην περίπτωση όπου ένα ή περισσότερα στάδια αποτυγχάνουν σε κάθε κύκλο, τότε η δομή διοχέτευσης θα συνεχίσει να λειτουργεί με τη μισή ταχύτητα εκείνης, της κανονικής λειτουργίας.

### 5.3 Σύγκριση τεχνικών

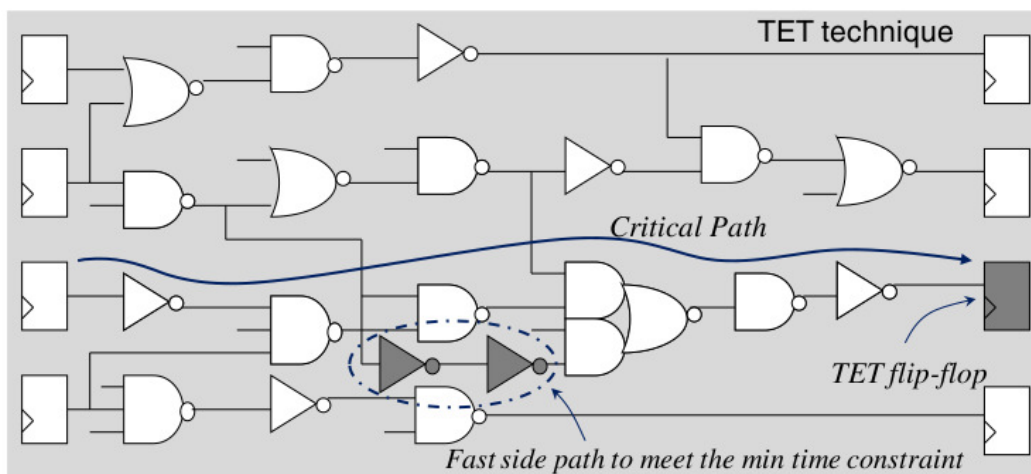
Το κύριο πλεονέκτημα της τεχνικής TET σε σχέση με προηγούμενες τεχνικές, οι οποίες επίσης βασίζονται σε σχεδιασμούς με τη χρήση flip-flop, όπως η Razor [113], και Time Dilation [140] τεχνικές, είναι ότι μόνο τα flip-flop τα οποία βρίσκονται στην έξοδο κρίσιμων μονοπατιών (αργά μονοπάτια) αντικαθίστανται από τα προτεινόμενα TET flip-flop. Αυτό συμβαίνει διότι τα κρίσιμα μονοπάτια είναι εκείνα που επηρεάζονται από σφάλματα χρονισμού παραβιάζουν τον χρονισμό του κυκλώματος. Το ίδιο πλεονέκτημα παρουσιάζει και η τεχνική EDC [142]. Στις τεχνικές [113] και [140] τα αντίστοιχα flip-flop ανίχνευσης και διόρθωσης λαθών αντικαθιστούν όλα τα τυπικά flip-flop στους καταχωρητές όπου τουλάχιστον ένα flip-flop χρειάζεται προστασία από λάθη χρονισμού. Αυτό οφείλεται στο γεγονός ότι τα δεδομένα στις εισόδους των καταχωρητών πρέπει να αποθηκευτούν ξανά στα flip-flop στον επόμενο κύκλο του ρολογιού για τη διόρθωση των λαθών. Αν και στα flip-flop τα οποία σχετίζονται με μη κρίσιμα μονοπάτια, η πύλη XOR (ο συγκριτής) μπορεί να αποκλειστεί από την υλοποίηση, η επιφάνεια πυριτίου και η αντίστοιχη κατανάλωση ισχύος παραμένουν υψηλές σε αυτές τις τεχνικές. Εναλλακτικά, στις τεχνικές [113] και [140], εάν χρησιμοποιηθούν τοπικά τεχνικές αδρανοποίησης του ρολογιού, τότε η προστασία μπορεί να εφαρμοστεί μόνο στα flip-flop τα οποία σχετίζονται με κρίσιμα μονοπάτια. Ωστόσο, αυτή η σχεδιαστική προσέγγιση δεν είναι συνήθως εξ αιτίας της απόκλισης στην ταυτόχρονη άφιξη του ρολογιού σε όλους τους καταχωρητές (clock skew).

Επίσης στις τεχνικές Razor [113] και Time Dilation [140], όλα τα γρήγορα μονοπάτια του κυκλώματος πρέπει να ικανοποιούν έναν περιορισμό ελάχιστης

καθυστερήσης, και όχι μόνο τα γρήγορα παράπλευρα μονοπάτια των κρίσιμων μονοπατιών όπως ισχύει στις τεχνικές EDC [142] και TET (Σχήμα 5.10). Αυτός ο περιορισμός καθυστέρησης απαιτείται ώστε να μην ενεργοποιείται η διαδικασία διόρθωσης όταν δεν πρέπει. Συνεπώς, πρόσθετη καθυστέρηση πρέπει να εισαχθεί σε όλα τα γρήγορα μονοπάτια, ώστε να είναι το κύκλωμα συμβατό με τον περιορισμό ελάχιστης καθυστέρησης, γεγονός που αυξάνει περαιτέρω την κατανάλωση ισχύος και την επιφάνεια πυριτίου.



α)



β)

**Σχήμα 5.10: Απαιτήσεις για την προστασία και τον περιορισμό ελάχιστου χρόνου στα flip-flop α) στις τεχνικές Razor ή Time Delation και β) στις τεχνικές EDC και TET**

Ένα δεύτερο πλεονέκτημα είναι ότι στην τεχνική TET σε σχέση με τις τεχνικές οι οποίες παρουσιάζονται στις δημοσιεύσεις [113], [142] και [141], δεν χρησιμοποιούνται πρόσθετα στοιχεία μνήμης σε κάθε flip-flop στο οποίο είναι επιθυμητή η προστασία του από λάθη χρονισμού. Επιπλέον, οι ανωτέρω τεχνικές σχεδίασης απαιτούν έναν ανιχνευτή μεταευστάθειας στη έξοδο κάθε προστατευμένου flip-flop για να εξασφαλίσουν υψηλή αξιοπιστία κατά τη λειτουργία τους. Στην τεχνική TET δεν είναι απαραίτητος ο ανιχνευτής μεταευστάθειας, διότι δεν παρακολουθείται η έξοδος του flip-flop. Η απαίτηση του ανιχνευτή μεταευστάθειας αυξάνει επίσης την επιφάνεια πυριτίου και την

κατανάλωση ισχύος των προαναφερθεισών λύσεων σε σχέση με την τεχνική TET.

Τέλος, ένα τρίτο πλεονέκτημα των TET flip-flop είναι ότι δεν εισάγεται κανένα κύκλωμα στο μονοπάτι του σήματος από την είσοδο του flip-flop μέχρι την έξοδό του, όπως στις εργασίες [113], [129] και [141] όπου χρησιμοποιείται ένας επιπρόσθετος πολυπλέκτης. Επίσης στις παραπάνω τεχνικές η επιπλέον παρασιτική χωρητικότητα ενός μανδαλωτή ή μίας πύλης XOR προστίθεται στην είσοδο του flip-flop και η παρασιτική χωρητικότητα μίας πύλης XOR προστίθεται στην έξοδό του, όπως στην εργασία [142]. Αντιθέτως, η οποιαδήποτε μείωση στην ταχύτητα του TET flip-flop σχετίζεται με α) μία μικρή παρασιτική χωρητικότητα ενός αναστροφέα ελάχιστου μεγέθους στην είσοδο του flip-flop, εξ αιτίας της παρουσίας του ανιχνευτή μετάβασης (δηλ. της μονάδας TD), β) τον μικρό επιπλέον χρόνο διάδοσης σήματος εξ αιτίας της χρήσης ενός flip-flop με δυνατότητες ασύγχρονης αρχικοποίησης στο 1 και ασύγχρονης αρχικοποίησης στο 0, στη συνθέσιμη έκδοση στο Σχήμα 5.3, αντί ενός απλού flip-flop ή ενός flip-flop με δυνατότητα μόνο ασύγχρονης αρχικοποίησης στο 0, το οποίο συνήθως χρησιμοποιείται και γ) τον μικρό επιπλέον χρόνο διάδοσης εξ αιτίας της παρουσίας μίας μικρής παρασιτικής χωρητικότητας η οποία σχετίζεται με την επιπρόσθετη πύλη διέλευσης (pass gate) στην είσοδο του AEC flip-flop (Σχήμα 5.4) στο σχεδιασμό σε επίπεδο τρανζίστορ.

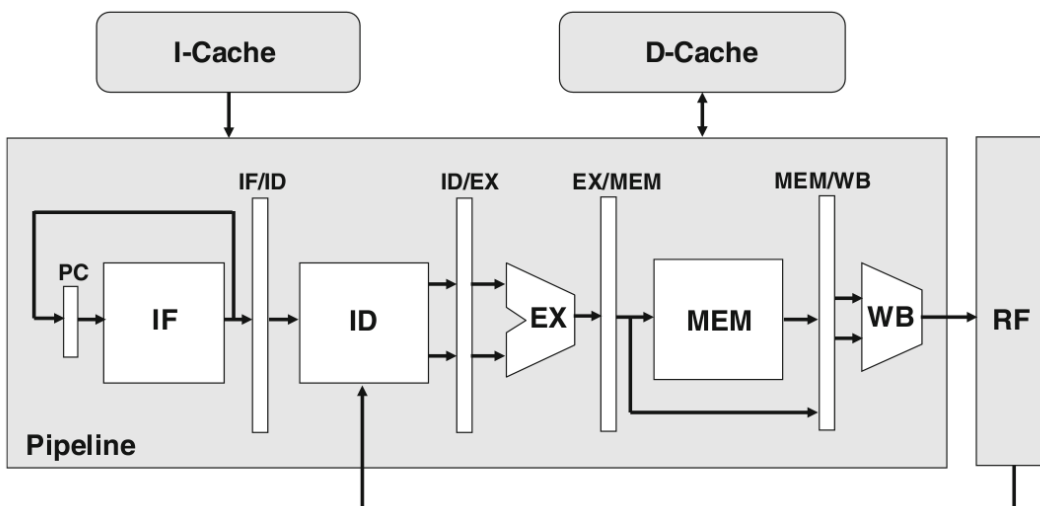
Μία κρίσιμη παράμετρος της τεχνικής TET είναι η καθυστέρηση διάδοσης του σήματος της ένδειξης λάθους, το οποίο δημιουργείται για να αδρανοποιήσει το σήμα ρολογιού και να προσφέρει τον απαραίτητο χρόνο για την ανάκαμψη της δομής διοχέτευσης. Ωστόσο, η επίδραση αυτής της παραμέτρου περιορίζεται αφού η τεχνική αδρανοποίησης του ρολογιού υλοποιείται σε επίπεδο πυρήνα και όχι σε επίπεδο ολοκληρωμένου κυκλώματος σε ένα SoC σχεδιασμό στον οποίο είναι ενσωματωμένος ο πυρήνας. Επίσης, στη γενική περίπτωση, οι τεχνικές οι οποίες βασίζονται στην «κλοπή» χρόνου (time stealing), όπως στην εργασία [138], μπορούν και εδώ να εφαρμοστούν ώστε να προκύψει ο απαιτούμενος χρόνος για την ανάκαμψη του κυκλώματος.

Συνεπώς, λαμβάνοντας υπόψη τα ανωτέρω, η λύση με το TET flip-flop αναμένεται να μειώσει δραστικά την επιφάνεια πυριτίου και την κατανάλωση ισχύος, σε σχέση με τις προηγούμενες σχεδιαστικές προσεγγίσεις, παρέχοντας την ίδια αποτελεσματική ανοχή στα λάθη χρονισμού, χωρίς σημαντική επίδραση στην επίδοση του κυκλώματος.

## 5.4 Πειραματικά αποτελέσματα

### 5.4.1 Εφαρμογή της τεχνικής TET στον μικροεπεξεργαστή MIPS

Η συνθέσιμη τεχνική TET εφαρμόστηκε στο σχεδιασμό ενός 32bit μικροεπεξεργαστή MIPS R2000 RISC με συχνότητα λειτουργίας στα 115 MHz, στην τεχνολογία CMOS 90 nm της UMC (VDD = 1.2 V) χρησιμοποιώντας πύλες της βιβλιοθήκης της Faraday Technology. Ο μικροεπεξεργαστής αποτελείται από μία δομή διοχέτευσης πέντε σταδίων, το αρχείο καταχωρητών (RF), την κρυφή μνήμη εντολών (1 KB-256 instruction words) και κρυφή μνήμη δεδομένων (2 KB - 512 data words) όπως απεικονίζεται στο Σχήμα 5.11.



Σχήμα 5.11: Διάγραμμα διάταξης μικροεπεξεργαστή

Τα στάδια της δομής διοχέτευσης είναι τα εξής: το στάδιο προσκόμισης εντολής (Instruction Fetch - IF), αποκωδικοποίησης της εντολής (Instruction Decode - ID), εκτέλεσης εντολής (Execute - EX), αποθήκευσης ή ανάκτησης δεδομένων από τη μνήμη δεδομένων (Data Memory - MEM) και την καταγραφή των αποτελεσμάτων στο αρχείο καταχωρητών (Write Back - WB). Τα χαρακτηριστικά του μικροεπεξεργαστή παρουσιάζονται στον Πίνακα 5.1. Από ένα σύνολο 466 flip-flop στο σχεδιασμό, τα 92 flip-flop (19.7%) βρίσκονται στην έξοδο κρίσιμων μονοπατιών και αντικαθίστανται από TET flip-flop. Ως κρίσιμα μονοπάτια ορίζουμε τα μονοπάτια με καθυστέρηση μεγαλύτερη από το 75% της περιόδου του ρολογιού. Στο κύκλωμα εφαρμόστηκε στατική ανάλυση χρονισμού για να αναγνωριστούν τα κρίσιμα μονοπάτια καθώς επίσης και τα γρήγορα παράπλευρα μονοπάτια τα οποία σχετίζονται με τα κρίσιμα μονοπάτια. Ο κύκλος εργασίας του σήματος του ρολογιού είναι 30% ώστε να μην αναγνωρίζονται ως λάθη οι μεταβάσεις στα σήματα των γρήγορων παράπλευρων διαδρομών.

Πίνακας 5.1: Χαρακτηριστικά του μικροεπεξεργαστή

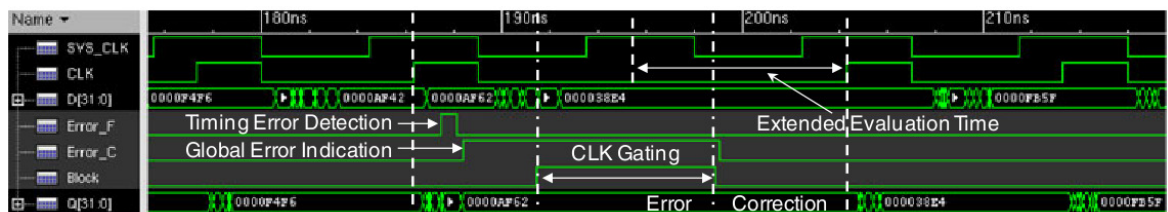
Τεχνολογία	90nm CMOS
Τάση τροφοδοσίας	1.2V
Ολική επιφάνεια πυριτίου	231216 $\mu\text{m}^2$
# flip-flops	466
Συχνότητα κυκλώματος	115MHz @ 1.2V
Κατανάλωση ισχύος	6.10mW @ 1.2V
Μέγεθος I-Cache	1KB
Μέγεθος D-Cache	2KB

Για τη σχεδίαση και την προσομοίωση του μικροεπεξεργαστή χρησιμοποιήθηκε η πλατφόρμα CADENCE. Για τη σύνθεσή του χρησιμοποιήθηκε το εργαλείο RTL-Compiler, για την τοποθέτηση και τη δρομολόγηση το εργαλείο Encounter και για την προσομοίωση το εργαλείο NC-launch. Το Σχήμα 5.12 παρουσιάζει την προσομοίωση του φυσικού σχεδιασμού (post-layout) του μικροεπεξεργαστή, η οποία επιβεβαιώνει τη λειτουργία της τεχνικής TET. Αν και σε αυτό το σχήμα παρουσιάζονται οι κυματομορφές στον καταχωρητή ενός μόνο σταδίου, έχουν εισαχθεί πολλαπλά λάθη στα στάδια της δομής διοχέτευσης χρησιμοποιώντας πύλες XOR για την δημιουργία λαθών. Ακολουθεί η περιγραφή του μηχανισμού εισαγωγής λαθών.

Στην είσοδο κάθε προστατευμένου flip-flop προστίθεται μία πύλη XOR δύο εισόδων. Η πρώτη είσοδος της XOR πύλης οδηγείται από την έξοδο της συνδυαστικής λογικής η οποία προηγείται και η δεύτερη είσοδος οδηγείται από ένα σήμα δημιουργίας λάθους *Error\_Gen*. Στην κανονική λειτουργία, όσο το *Error\_Gen* έχει λογική τιμή 0, το προστατευμένο flip-flop οδηγείται από την έξοδο του λογικού σταδίου που προηγείται και συνεπώς δεν συμβαίνουν λάθη χρονισμού.

Στην περίπτωση που θέλουμε να δημιουργήσουμε λάθη χρονισμού, θέτουμε αρχικά το *Error\_Gen* σήμα στη λογική τιμή 1. Η είσοδος D του προστατευμένου flip-flop οδηγείται από την συμπληρωματική τιμή της απόκρισης της συνδυαστικής λογικής. Συνεπώς, μετά τη δειγματοληπτούσα ακμή, το flip-flop συλλαμβάνει λανθασμένα δεδομένα. Ακολούθως, το σήμα *Error\_Gen* αλλάζει στο λογικό 0, ώστε να υπάρξει μετάβαση στην είσοδο του flip-flop και να εμφανιστούν τα «καθυστερημένα» σωστά δεδομένα. Καθώς οποιαδήποτε μετάβαση κατά τη διάρκεια του παράθυρου παρατήρησης ανιχνεύεται ως μία καθυστερημένη άφιξη των δεδομένων στην είσοδο D του προστατευμένου flip-flop ενεργοποιείται ο μηχανισμός διόρθωσης λαθών.

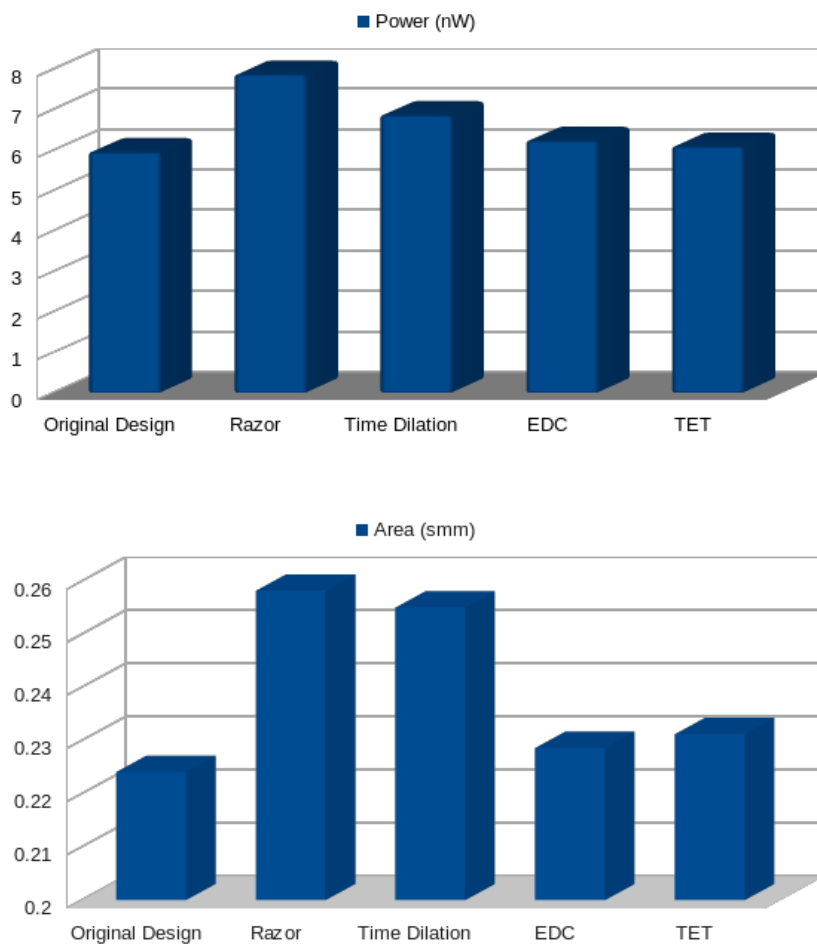
Αποδείχθηκε ότι οποιοσδήποτε αριθμός ταυτόχρονων λαθών στα 92 TET flip-flop μπορεί να διορθωθεί. Επίσης, μπορεί να ανιχνευτεί και να διορθωθεί καθυστέρηση σήματος μέχρι το 30% της περιόδου του ρολογιού. Στο Σχήμα 5.12 παρουσιάζεται η ανίχνευση και διόρθωση των λαθών τα οποία δημιουργήθηκαν, ενώ το σήμα *Block*, το οποίο ενεργοποιείται στην έξοδο του Block flip-flop, αδρανοποιεί το σήμα του ρολογιού για έναν κύκλο ώστε να υπάρξει χρόνος για τον σωστό υπολογισμό των αποκρίσεων όλων των σταδίων της δομής διοχέτευσης. Κατόπιν, το κύκλωμα συνεχίζει την κανονική του λειτουργία.



Σχήμα 5.12: Κυματομορφές προσομοίωσης του μικροεπεξεργαστή MIPS

Επίσης, ο MIPS μικροεπεξεργαστής σχεδιάστηκε στην ίδια τεχνολογία, με εφαρμογή των τεχνικών Razor [113], Time Dilation [140] και EDC [142]. Η συχνότητα του ρολογιού ήταν επίσης 115 MHz. Όπως και πριν, μόνο 92 flip-flop από το σύνολο των Razor, Time Dilation ή EDC flip-flop σε κάθε κύκλωμα έχουν την ικανότητα ανίχνευσης λαθών. Ωστόσο, δεν υλοποιήθηκαν οι ανιχνευτές

μεταευστάθειας, οι οποίοι χρειάζονται και στις τρεις τεχνικές, διότι σε αυτή την περίπτωση πρέπει να χρησιμοποιηθούν τεχνικές πλήρους προσαρμοσμένου σχεδιασμού (full custom design). Στην πράξη η προσθήκη αυτού του κυκλώματος θα αυξήσει το κόστος της επιφάνειας πυριτίου και της κατανάλωσης ισχύος σε αυτές τις υλοποιήσεις. Στο Σχήμα 5.13 και στον Πίνακα 5.2 παρουσιάζονται οι συγκρίσεις μεταξύ των τεσσάρων τεχνικών. Αποδεικνύεται ότι η τεχνική TET υπερτερεί των τεχνικών Razor και Time Dilation τόσο σε επιφάνεια πυριτίου όσο και σε κατανάλωση ισχύος, με την ίδια δυνατότητα 100% διόρθωσης λαθών. Σε σχέση με την τεχνική EDC η προτεινόμενη τεχνική TET παρουσιάζει μείωση 2.24% στην κατανάλωση ισχύος και αύξηση 1.1% στην επιφάνεια πυριτίου. Αυτές οι οριακές διαφορές οφείλονται στο γεγονός ότι και στις δύο τεχνικές αντικαθίστανται μόνο τα flip-flop στα οποία καταλήγουν κρίσιμα μονοπάτια και ότι η επιπλέον λογική που χρησιμοποιούν έχει παρόμοια επίδραση τόσο στην κατανάλωση ισχύος όσο στην επιφάνεια πυριτίου. Όμως, όπως προαναφέρθηκε, δεν έχει ληφθεί υπόψιν ο ανιχνευτής μεταευστάθειας για την τεχνική EDC. Επιπλέον, θεωρώντας το αρχικό κύκλωμα του MIPS μικροεπεξεργαστή (αυτού χωρίς καμία προστασία), η επιπρόσθετη επιφάνεια πυριτίου και κατανάλωση ισχύος στο κύκλωμα από την εφαρμογή της τεχνικής TET είναι σχετικά μικρή.



Σχήμα 5.13: Γραφήματα σύγκρισης των τεσσάρων τεχνικών



**Πίνακας 5.2: Συγκριτικά αποτελέσματα στον MIPS μικροεπεξεργαστή**

	Κατανάλωση ισχύος (mW) @ ~120MHz	Επιφάνεια πυριτίου ( $\mu\text{m}^2$ )
Αρχικό κύκλωμα	5.96	224116
Razor [113]	7.88	258238
Time Dilation [140]	6.87	255020
EDC [142]	6.24	228649
TET [144]	6.10	231216
(1 – 5) % μείωση	-2.30%	-3.07%
(2 – 5) % μείωση	22.59%	10.46%
(3 – 5) % μείωση	11.21%	9.33%
(4 – 5) % μείωση	2.24%	-1.1%

#### 5.4.2 Το κύκλωμα μετρήσεων και δοκιμής pci\_bridge32

Για την περαιτέρω αξιολόγηση της τεχνικής TET χρησιμοποιήθηκε ένα κύκλωμα με περισσότερα flip-flop από τον μικροεπεξεργαστή MIPS. Το κύκλωμα είναι το pci\_bridge32 από το σύνολο των κυκλωμάτων μετρήσεων και δοκιμής (benchmark circuits) IWLS05 [145]. Αυτό το κύκλωμα έχει 3359 flip-flop, επτά φορές περισσότερα από τον πυρήνα του MIPS. Σε αυτό το κύκλωμα εφαρμόστηκαν οι τεχνικές TET, Razor και Time Dilation για την προστασία από λάθη χρονισμού. Τα αποτελέσματα της εφαρμογής των τεχνικών παρουσιάζονται στον Πίνακα 5.3.

**Πίνακας 5.3: Συγκριτικά αποτελέσματα στο κύκλωμα μετρήσεων και δοκιμής pci\_bridge32**

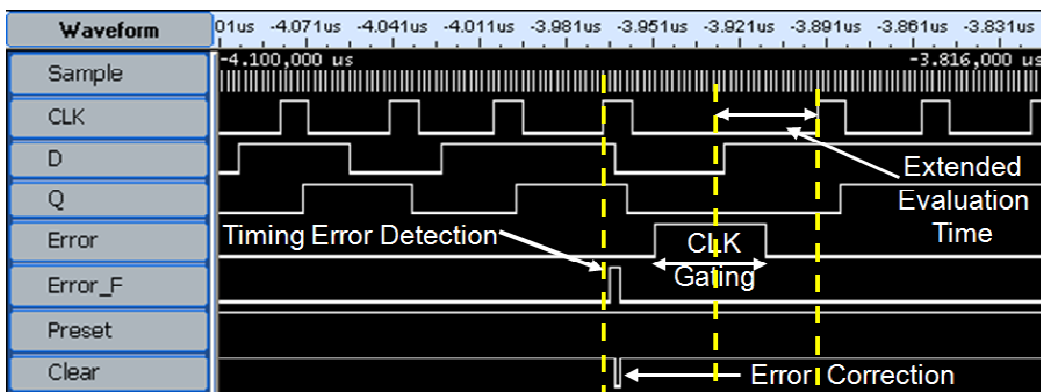
	Κατανάλωση ισχύος (mW)	Επιφάνεια πυριτίου ( $\mu\text{m}^2$ )
Αρχικό κύκλωμα	7.72	100103
Razor [113]	20.94	192384
Time Dilation [140]	10.45	165637
TET [144]	8.60	118619
(1 – 4) % μείωση	-10.23%	-15.61%
(2 – 4) % μείωση	58.93%	38.34%
(3 – 4) % μείωση	17.70%	28.39%

Σε σχέση με τις τεχνικές Razor [113] και Time Dilation [140], η TET τεχνική υπερτερεί τόσο σε κατανάλωση ισχύος, μείωση 58.93% και 17.70% αντίστοιχα, όσο και σε επιφάνεια πυριτίου, μείωση 38.34% και 28.39% αντίστοιχα. Τα αυξημένα ποσοστά κόστους σε κατανάλωση ισχύος και επιφάνειας πυριτίου του κυκλώματος TET συγκριτικά με το αρχικό (χωρίς προστασία) κύκλωμα στον παρόντα σχεδιασμό, οφείλονται στο υψηλό ποσοστό της επιφάνειας των flip-flop σε σχέση με εκείνο της λογικής στο σύνολο της επιφάνειας του κυκλώματος.

### 5.4.3 Εξομοίωση της τεχνικής TET με τη χρήση αναπτυξιακής πλατφόρμας FPGA

Η συνθέσιμη έκδοση της τεχνικής TET χρησιμοποιήθηκε για στην υλοποίηση του RISC μικροεπεξεργαστή 32bit MIPS R2000 σε πλατφόρμα FPGA. Για το σκοπό αυτό χρησιμοποιήθηκε η πλατφόρμα DE2 Design Board της Altera. Η συχνότητα λειτουργίας ήταν 25MHz. Καθώς τα κρίσιμα μονοπάτια ορίζονται όπως στην ενότητα 5.4.1, μόνο τα 92 από τα 466 flip-flop (19.7%) αντικαθίστανται από TET flip-flop. Για την εισαγωγή λαθών χρησιμοποιήθηκε ο μηχανισμός που αναφέρθηκε στην ενότητα 5.4.1. Επίσης, για την παρατήρηση των σημάτων της αναπτυξιακής πλατφόρμας χρησιμοποιήθηκε ο λογικός αναλυτής TLA5202B της Tektronix. Αν και λάθη εμφανίζονται σε όλα τα κρίσιμα μονοπάτια, τα οποία προστατεύονται από την τεχνική, στο Σχήμα 5.14 παρουσιάζονται για μεγαλύτερη ευκρίνεια οι κυματομορφές ενός μόνο TET flip-flop σε έναν καταχωρητή του κυκλώματος.

Η μεταβολή της τιμής της εισόδου D του TET flip-flop, μέσα στο παράθυρο παρατήρησης, ενεργοποιεί την τοπική ένδειξη λάθους Error\_F. Ακολούθως, το λάθος διορθώνεται στην έξοδο Q του TET flip-flop με το σήμα Clear. Παράλληλα οι ενδείξεις λάθους όλων των καταχωρητών συλλέγονται, μέσω ενός OR δέντρου, σε ένα flip-flop, το οποίο ενεργοποιεί τη συνολική ένδειξη λάθους του κυκλώματος (σήμα Error). Με αυτό τον τρόπο αναστέλλεται για έναν κύκλο η παροχή του σήματος ρολογιού CLK. Κατά τη διάρκεια αυτού του χρονικού διαστήματος, υπολογίζονται με τις διορθωμένες τιμές, οι αποκρίσεις του επόμενου σταδίου. Ακολούθως, το κύκλωμα συνεχίζει την κανονική του λειτουργία.

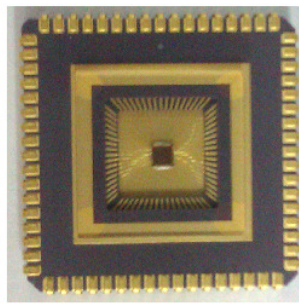


Σχήμα 5.14: Κυματομορφές της τεχνικής TET στο λογικό αναλυτή TLA5202B της Tektronix

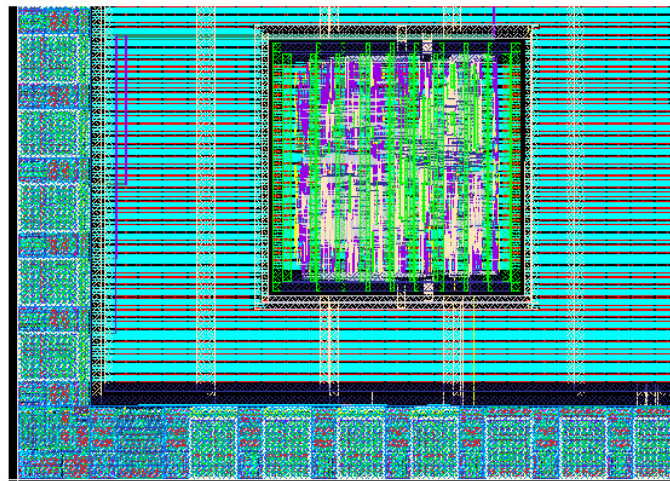
#### 5.4.4 Εφαρμογή της τεχνικής στο ολοκληρωμένο κύκλωμα του μικροεπεξεργαστή

Αφού επιβεβαιώθηκε η λειτουργία της τεχνικής στην αναπτυξιακή πλατφόρμα (FPGA), η προτεινόμενη τεχνική εφαρμόστηκε στη σχεδίαση του ίδιου μικροεπεξεργαστή στην Low Leakage 65nm CMOS τεχνολογία της UMC. Το κύκλωμα κατασκευάστηκε μέσω των υπηρεσιών που προσφέρει στα Πανεπιστήμια ο οργανισμός EUROPRACTICE. Η συχνότητα λειτουργίας ήταν 200MHz στην τάση τροφοδοσίας 1.2V.

Στο Σχήμα 5.15 παρουσιάζεται α) το κατασκευασμένο ολοκληρωμένο κύκλωμα και β) ο φυσικός σχεδιασμός του μικροεπεξεργαστή στο εργαλείο σχεδίασης νίτυσοο της CADENCE. Επίσης, διακρίνονται οι γραμμές τροφοδοσίας, ο δακτύλιος τροφοδοσίας του πυρήνα και οι διασυνδέσεις του με τους ακροδέκτες του ολοκληρωμένου κυκλώματος (chip pads).



α)

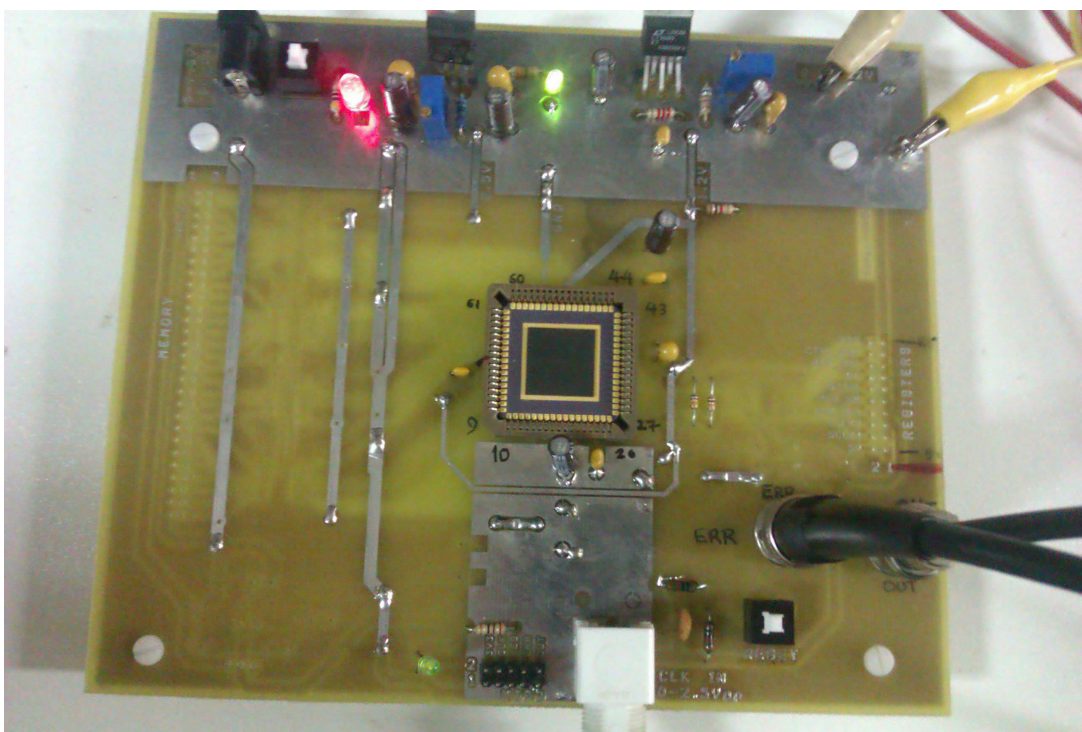


β)

**Σχήμα 5.15: α) Η φωτογραφία του ολοκληρωμένου κυκλώματος και β) ο φυσικός σχεδιασμός του μικροεπεξεργαστή και η διασύνδεσή του με τους ακροδέκτες του ολοκληρωμένου κυκλώματος**

Για την εκτέλεση του πειράματος και τη διασύνδεση του ολοκληρωμένου κυκλώματος με τον εργαστηριακό εξοπλισμό χρησιμοποιήθηκε κατάλληλα σχεδιασμένη πλακέτα (printed circuit board - PCB). Όπως φαίνεται στην Σχήμα 5.16, στο κέντρο της πλακέτας βρίσκεται η βάση στήριξης JLCC68, συμβατή με τον τύπο της συσκευασίας του ολοκληρωμένου κυκλώματος. Το επάνω μέρος της πλακέτας περιλαμβάνει δύο κυκλώματα τροφοδοσίας τάσης. Το πρώτο παρέχει

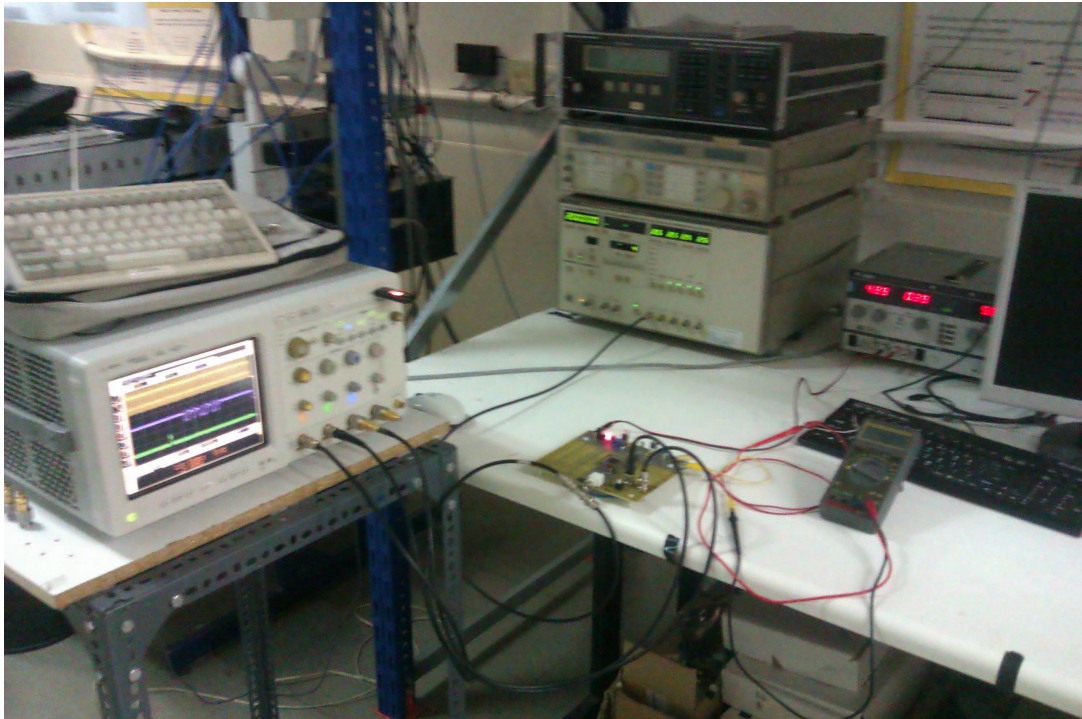
2.5V στο δακτύλιο των ακροδεκτών (pad-ring) του κυκλώματος, ενώ το δεύτερο τροφοδοτεί με 1.2V τον υλοποιημένο μικροεπεξεργαστή-πυρήνα. Επίσης, χρησιμοποιούνται κατάλληλοι μετατροπείς τάσης (voltage translators) για την προσαρμογή της τάσης από τα 2.5V του ολοκληρωμένου κυκλώματος στα 3.3V του λογικού αναλυτή. Ειδικά για το σήμα του ρολογιού προστέθηκε μία υποδοχή BNC για τη διασύνδεση του κυκλώματος με την εξωτερική γεννήτρια συχνοτήτων. Καθώς η συχνότητα λειτουργίας του μικροεπεξεργαστή ανέρχεται στα 200MHz κατά τη σχεδίαση του τυπωμένου κυκλώματος επιλέχθηκε η τεχνική microstrip για να εξασφαλιστεί η ομαλή λειτουργία στις συχνότητες αυτές. Τέλος, χρησιμοποιείται ένας ρυθμιστής τάσης ο οποίος είναι απαραίτητος για τον έλεγχο της λειτουργίας του μικροεπεξεργαστή σε ένα εύρος τάσεων τροφοδοσίας που κυμαίνεται από 0.8V έως 1.2V. Ακολουθεί η ανάλυση της διαδικασίας του πειράματος, για την επαλήθευση της ορθής λειτουργίας της ενσωματωμένης τεχνικής TET στο κατασκευασμένο κύκλωμα με προστασία από λάθη χρονισμού.



**Σχήμα 5.16: Πλακέτα διασύνδεσης του ολοκληρωμένου κυκλώματος με τον εργαστηριακό εξοπλισμό**

Στόχος του πειράματος είναι να δημιουργήσουμε λάθη χρονισμού, τα οποία θα ενεργοποιήσουν τον μηχανισμό ανίχνευσης και διόρθωσης. Για να επιτύχουμε τη δημιουργία λαθών χρονισμού, ελαττώνουμε την τάση τροφοδοσίας του ολοκληρωμένου κυκλώματος. Με αυτό τον τρόπο εισάγεται καθυστέρηση σε όλα τα μονοπάτια της δομής διοχέτευσης του μικροεπεξεργαστή. Συνεπώς τα δεδομένα φτάνουν με καθυστέρηση στις εισόδους των καταχωρητών και προκαλούνται λάθη χρονισμού. Ωστόσο τα flip-flop στα οποία καταλήγουν τα κρίσιμα μονοπάτια του κυκλώματος, προστατεύονται από την τεχνική ανίχνευσης και διόρθωσης. Με βάση τις αποκρίσεις του κυκλώματος, μπορούμε να ελέγξουμε εάν η τεχνική ανιχνεύει και διορθώνει τα λάθη χρονισμού.

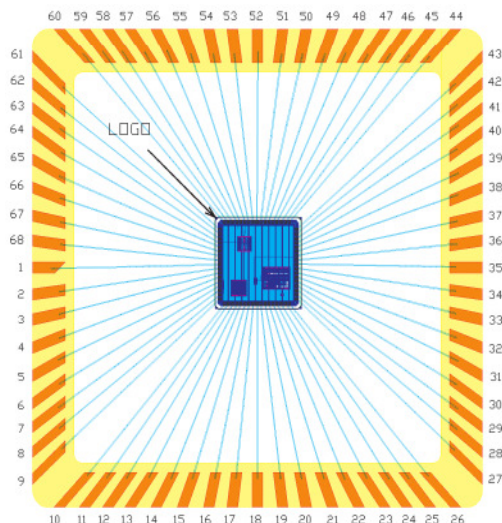
Κατά την εκτέλεση του πειράματος, αρχικά χρησιμοποιήθηκε ο λογικός αναλυτής TLA5202B Tektronix, για την παρακολούθηση των εξόδων του κυκλώματος, και η γεννήτρια συχνοτήτων AGF3251 Tektronix Function Generator, για την παραγωγή/παροχή του σήματος του ρολογιού. Όμως ο εξοπλισμός αυτός δεν ήταν κατάλληλος για δύο λόγους. Ο τετραγωνικός παλμός τον οποίο παράγει η γεννήτρια συχνοτήτων, στη χρησιμοποιούμενη συχνότητα, δεν είναι υψηλής ποιότητας, με αποτέλεσμα τη μη σωστή εκτέλεση του πειράματος. Για αυτούς τους λόγους, χρησιμοποιήθηκε η γεννήτρια συχνοτήτων Anritsu ME522A TRANSMITTER, η οποία παρέχει τετραγωνικό παλμό υψηλής συχνότητας και ποιότητας. Επίσης για την δειγματοληψία των αποτελεσμάτων χρησιμοποιήθηκε ο παλμογράφος Infiniium DSO81204B της Agilent (βλ. Σχήμα 5.17).



**Σχήμα 5.17: Εργαστηριακός εξοπλισμός με τον παλμογράφο Infiniium DSO81204B της Agilent και την γεννήτρια συχνοτήτων Anritsu ME522A TRANSMITTER**

Αρχικά ρυθμίζουμε το σήμα του ρολογιού με την γεννήτρια συχνοτήτων. Η συχνότητα λειτουργίας, όπως έχει καθοριστεί από την προσομοίωση του φυσικού σχεδιασμού, είναι 200MHz. Κατόπιν συνδέουμε τους ακροδέκτες του ολοκληρωμένου κυκλώματος στο λογικό αναλυτή. Το Σχήμα 5.18, παρουσιάζει τους ακροδέκτες του ολοκληρωμένου κυκλώματος τους οποίους χρησιμοποιούμε ως εισόδους και εξόδους. Οι ακροδέκτες 10, 11, 12, και 13 είναι αντίστοιχα το σήμα του ρολογιού, το σήμα reset, το σήμα ένδειξης λάθους και η έξοδος παρατήρησης του αποτελέσματος.

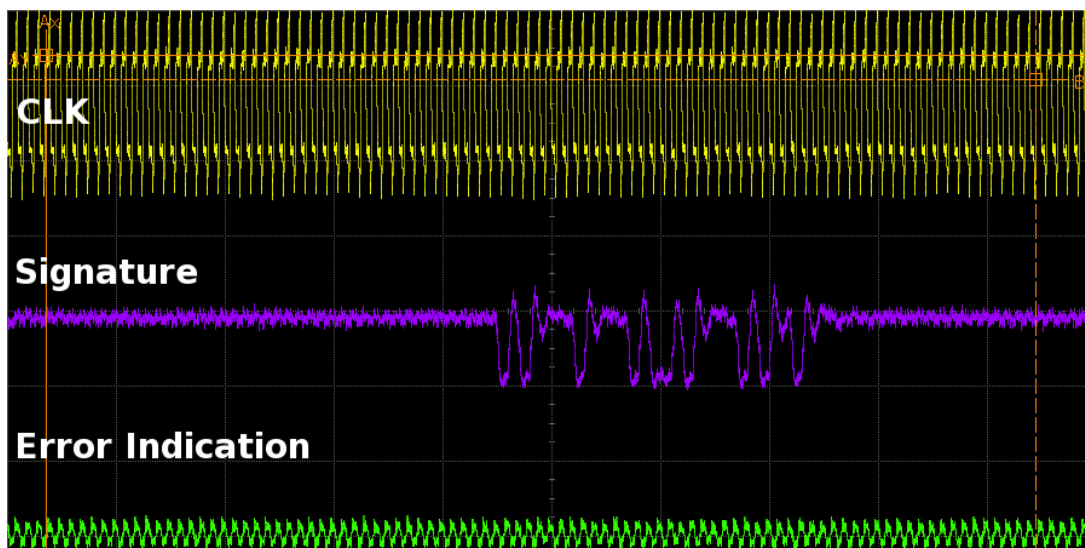
Σημειώνουμε ότι η ορθή λειτουργία του μικροεπεξεργαστή ελέγχεται με την εκτέλεση μίας ακολουθίας εντολών, η οποία περιέχει όλους τους δυνατούς συνδυασμούς των κινδύνων της δομής διοχέτευσης, δηλαδή των καταστάσεων εκείνων που αποτρέπουν την εκκίνηση της επόμενης εντολής στον επόμενο κύκλο.



**Σχήμα 5.18: Το ολοκληρωμένο κύκλωμα με αριθμημένους τους ακροδέκτες του**

Κατά την εκτέλεση του ανωτέρω προγράμματος στον μικροεπεξεργαστή τα αποτελέσματα των εντολών αποθηκεύονται στη μνήμη δεδομένων. Μετά το τέλος της εκτέλεσης των εντολών παράγεται μία μοναδική υπογραφή, με βάση όλη την πληροφορία η οποία αποθηκεύτηκε στη μνήμη των δεδομένων. Για αυτό το σκοπό χρησιμοποιείται ένας καταχωρητής υπογραφής πολλαπλών εισόδων (Multiple-Input Signature Register - MISR). Η ανάγνωση των 32 bit της υπογραφής γίνεται με σειριακό τρόπο στην έξοδο του κυκλώματος, με τη χρήση του παλμογράφου.

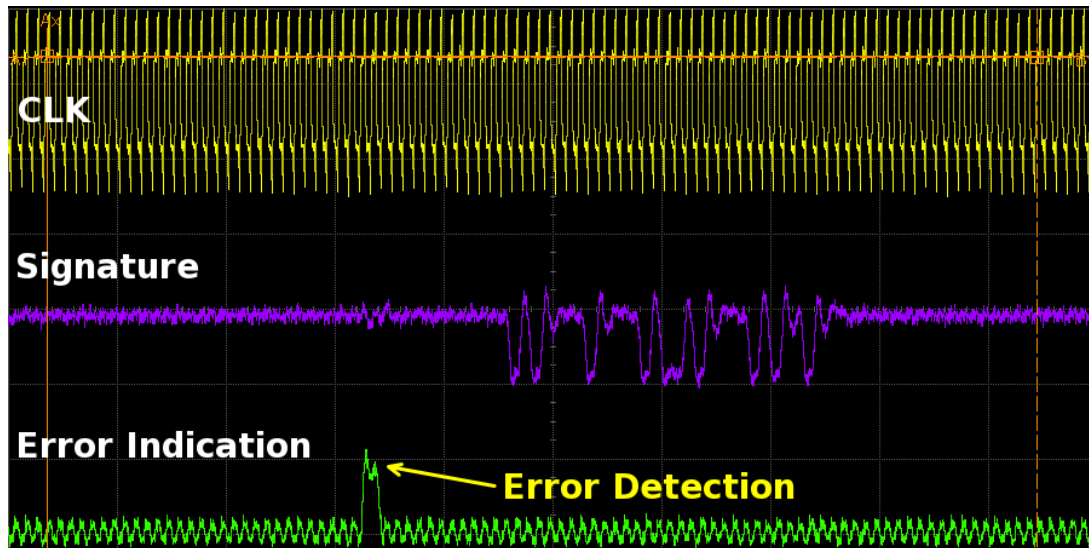
Το πείραμα αποτελείται από δύο στάδια, των οποίων συγκρίνουμε τα αποτελέσματα. Στο πρώτο στάδιο επιβεβαιώνουμε ότι το κύκλωμα λειτουργεί σωστά στην ονομαστική τάση τροφοδοσίας (1.2V), ελέγχοντας τις κυματομορφές οι οποίες απεικονίζονται στον παλμογράφο. Στο Σχήμα 5.19 παρουσιάζονται οι κυματομορφές των σημάτων του ρολογιού, της υπογραφής και της ένδειξης λάθους. Παρατηρούμε ότι το κύκλωμα αποκρίνεται χωρίς λάθη, δηλαδή η ένδειξη λάθους παραμένει στο λογικό 0, και η υπογραφή έχει την αναμενόμενη τιμή.



**Σχήμα 5.19: Κυματομορφές των σημάτων του ρολογιού, της υπογραφής και της ένδειξης λάθους στα 200 MHz με τάση τροφοδοσίας 1.2V**

Στο δεύτερο στάδιο του πειράματος, μειώνουμε συνεχώς την τάση τροφοδοσίας μέχρι να λάβουμε την ένδειξη λάθους (0.987V), από την αντίστοιχη έξοδο του κυκλώματος, διατηρώντας την ίδια συχνότητα λειτουργίας. Η μείωση της τάσης προκαλεί καθυστέρηση στη διάδοση των σημάτων του κυκλώματος. Αυτό έχει ως αποτέλεσμα τα δεδομένα των κρίσιμων μονοπατιών να φτάνουν με καθυστέρηση στις εισόδους των καταχωρητών. Συνεπώς προκαλούνται λάθη χρονισμού. Ωστόσο με βάση την εφαρμοζόμενη τεχνική ανίχνευσης και διόρθωσης λαθών, τα flip-flop στα οποία καταλήγουν τα κρίσιμα μονοπάτια του κυκλώματος προστατεύονται και τα λάθη διορθώνονται. Με χρήση της υπογραφής, η οποία παράγεται από το MISR, συμπιέζοντας τις τιμές των αποτελεσμάτων των εντολών που εκτελούνται στη δομή διοχέτευσης και αποθηκεύονται στη μνήμη του κυκλώματος, επιβεβαιώθηκε η σωστή λειτουργία του προτεινόμενου μηχανισμού και η ικανότητά του να ανιχνεύει και να διορθώνει λάθη χρονισμού.

Για να διαπιστώσουμε ότι τα λάθη διορθώνονται, ελέγχουμε μετά την ολοκλήρωση εκτέλεσης του προγράμματος, εάν ταυτίζεται η υπογραφή στο MISR των δεδομένων της μνήμης μετά τη μείωση της τάσης (βλ. Σχήμα 5.20), με την υπογραφή την οποία λαμβάνουμε όταν το κύκλωμα λειτουργεί με την ονομαστική τάση τροφοδοσίας (βλ. Σχήμα 5.19).



Σχήμα 5.20: Κυματομορφές των σημάτων του ρολογιού, της υπογραφής και της ένδειξης λάθους στα 200MHz με τάση τροφοδοσίας 0.987V

Τα πειραματικά αποτελέσματα στο κατασκευασμένο ολοκληρωμένο κύκλωμα, απέδειξαν την αποτελεσματική λειτουργία της τεχνικής. Η παρουσία/ανίχνευση των λαθών υποδηλώνεται από το σήμα της ένδειξης λάθους (Error Indication), και η διόρθωση από την υπογραφή (Signature) στο MISR η οποία ταυτίζεται με την αναμενόμενη υπογραφή της χωρίς λάθη λειτουργίας.





## 6. ΣΥΜΠΕΡΑΣΜΑΤΑ

Με την κλιμάκωση της τεχνολογίας στις νανομετρικές διαστάσεις, παρατηρείται σημαντική αύξηση των διακυμάνσεων της κατασκευαστικής διαδικασίας. Η ευαισθησία των ολοκληρωμένων κυκλωμάτων στην επίδραση του θορύβου επιδεινώνει τους απαιτούμενους περιορισμούς/περιθώρια των σχεδιασμών και οι μηχανισμοί γήρανσης περιορίζουν την ενεργή ζωή των νανομετρικών κυκλωμάτων.

Στο πλαίσιο της διδακτορικής διατριβής προτάθηκαν τρεις τεχνικές που συμβάλλουν στην αξιοπιστία των ολοκληρωμένων κυκλωμάτων. Οι προτεινόμενες τεχνικές διαστολής χρόνου έχουν στόχο την ανίχνευση και διόρθωση λαθών χρονισμού με οδηγό το χαμηλό κόστος κατανάλωσης ισχύος και επιφάνειας πυριτίου.

Η αξιοποίηση των τεχνικών διαστολής χρόνου δίνει την δυνατότητα ορισμού πιο ελαστικών περιορισμών κατά τη διαδικασία της σχεδίασης. Επίσης, μειώνονται τα απαιτούμενα περιθώρια θορύβου και τάσης για την εξασφάλιση της σωστής λειτουργίας. Αυτοί οι περιορισμοί και τα περιθώρια εφαρμόζονται σε έναν σχεδιασμό για να τον προστατέψουν από τη χειρότερη περίπτωση των διακυμάνσεων (worst case variabilities) στις παραμέτρους των κυκλωματικών στοιχείων και των περιβαλλοντικών παραμέτρων. Ωστόσο, αυτός ο συνδυασμός μπορεί να είναι πολύ σπάνιος ή ακόμα αδύνατος περιορίζοντας την απόδοση του κυκλώματος.

Οι προτεινόμενες τεχνικές λαμβάνουν υπόψιν τις διακυμάνσεις της κατασκευαστικής διαδικασίας, της τάσης και της θερμοκρασίας (Process Voltage Temperature variations – PVT) καθώς επίσης τις πηγές θορύβου και τα φαινόμενα γήρανσης τα οποία επηρεάζουν τον χρονισμό του κυκλώματος. Έτσι αποτρέπεται η χρήση αυστηρών περιορισμών και μεγάλων περιθωρίων ώστε να είναι εγγυημένη η ορθή λειτουργία του κυκλώματος, για μία δεδομένη επιθυμητή απόδοση. Οι τεχνικές διαστολής χρόνου (όπως και η πολύ γνωστή στη βιβλιογραφία τεχνική Razor [113]) είναι ικανές να διορθώνουν τα λάθη χρονισμού με τη χρήση ενός επιπλέον κύκλου για την ανάκαμψη του κυκλώματος. Οι προηγούμενες τεχνικές για σχεδιασμούς οι οποίοι βασίζονται σε flip-flop, όπως στις εργασίες [109], [110] ή [112], μόνο ανιχνεύουν λάθη και συνεχίζουν στην ανάκαμψη της λειτουργίας εκτελώντας ξανά τις τρέχουσες εντολές στη δομή διοχέτευσης. Το κύριο πλεονέκτημα της χρήσης ενός κύκλου για ανάκαμψη, αντί μεγαλύτερου αριθμού κύκλων (ο οποίος εξαρτάται από το βάθος της δομής διοχέτευσης), προκύπτει από το γεγονός ότι σε πολλές εφαρμογές, όπως σε επεξεργαστές δικτύου, είναι δύσκολη η αποδοχή μίας αυξημένης καθυστέρησης στην επεξεργασία των δεδομένων.

Σύμφωνα με τα αποτελέσματα των προσομοιώσεων, η προσέγγιση που χρησιμοποιεί τον επιπλέον κύκλο διόρθωσης λάθους είναι αποτελεσματική λύση για μικροεπεξεργαστές χαμηλής πολυπλοκότητας που συνήθως ενσωματώνουν οι σημερινές αρχιτεκτονικές πολυπύρηνων συστημάτων σε ένα ολοκληρωμένο κύκλωμα (SoC). Για επεξεργαστές με υψηλή πολυπλοκότητα η αρχιτεκτονική διοχέτευσης ανάστροφης ροής (counterflow pipelining) μπορεί να χρησιμοποιηθεί εναλλακτικά όπως έχει προταθεί στη τεχνική Razor.

Ακολουθούν τα συμπεράσματα και τα αποτελέσματα της εφαρμογής των τεχνικών στο κύκλωμα ενός 32bit μικροεπεξεργαστή δομής διοχέτευσης MIPS.

## 6.1 Τεχνική Διαστολής Χρόνου – Time Dilation

Η τεχνική Time Dilation παρέχει ανεκτικότητα σε λάθη χρονισμού με μικρότερη κατανάλωση ισχύος και επιφάνεια πυριτίου συγκριτικά με την τεχνική Razor (η πιο γνωστή εναλλακτική τοπολογία), με μηδενική επιβάρυνση στην απόδοση και ελάχιστο κόστος ενός μόνο κύκλου του ρολογιού για την ανάκαμψη της δομής διοχέτευσης μετά την ανίχνευση λάθους. Η τεχνική εφαρμόζεται σε αρχιτεκτονικές που υποστηρίζουν έλεγχο ορθής λειτουργίας με τη χρήση αλυσίδων σάρωσης. Σε αντίθεση με άλλες τεχνικές της βιβλιογραφίας, το προτεινόμενο flip-flop σάρωσης παρέχει δυνατότητες ανίχνευσης και διόρθωσης λαθών χρονισμού, χωρίς την ανάγκη χρήσης ενός πρόσθετου στοιχείου μνήμης. Επίσης, η τεχνική Time Dilation ενισχύει σημαντικά τον έλεγχο των κατασκευασμένων κυκλωμάτων και την δυνατότητα διάγνωσης, σε ότι αφορά τα σφάλματα καθυστέρησης, καθώς για ένα διάνυσμα ελέγχου το οποίο αποτυγχάνει, προσδιορίζονται επακριβώς τα τερματικά σημεία των αντίστοιχων κρίσιμων σημείων που παρουσιάζουν παραβίαση του χρονισμού του κυκλώματος.

Το βασικό μειονέκτημα αυτής της τεχνικής είναι η απαραίτητη πρόσθεση απομονωτών για την ικανοποίηση του περιορισμού της ελάχιστης καθυστέρησης που απαιτείται ώστε να μη λαμβάνονται ως λάθη οι αναμενόμενες αποκρίσεις των γρήγορων μονοπατιών μέσα στο χρονικό διάστημα της ανίχνευσης λαθών. Για τον περιορισμό της χρήσης των επιπλέον απομονωτών, που συμβάλλουν στην αύξηση της κατανάλωσης ισχύος και της επιφάνειας πυριτίου, η ανίχνευση λαθών χρονισμού υλοποιείται μόνο στην έξοδο των κρίσιμων μονοπατιών. Για τα υπόλοιπα μη κρίσιμα μονοπάτια προτάθηκε το flip-flop Καθήλωσης (Freezing flip-flop) το οποίο δεν περιλαμβάνει τη λογική ανίχνευσης λαθών αλλά χρησιμοποιείται για να τροφοδοτεί τα flip-flop με τα σωστά δεδομένα κατά τον κύκλο διόρθωσης. Επίσης, όπως και στην τεχνική Razor απαραίτητη είναι η προσθήκη στην έξοδο των προστατευόμενων flip-flop ενός ανιχνευτή μεταευστάθειας, καθώς υπάρχει η πιθανότητα να φτάσουν καθυστερημένες αποκρίσεις ταυτόχρονα με την ακμή πυροδότησης του ρολογιού (εντός των χρόνων αρχικοποίησης ή συγκράτησης) και ως εκ τούτου τα σχετικά στοιχεία μνήμης να εισέλθουν σε κατάσταση μεταευστάθειας.

Αναφορικά με τα αποτελέσματα στο κύκλωμα του μικροεπεξεργαστή η τεχνική Time Dilation συγκριτικά με την Razor παρουσιάζει μείωση 12.6% στην κατανάλωση ισχύος και μείωση 1.6% στην επιφάνεια πυριτίου στην ίδια ταχύτητα λειτουργίας.

## 6.2 Τεχνική Διαστολής Χρόνου με Συγκριτή και Αναστροφή Τιμής

Η τεχνική Διαστολής Χρόνου με Συγκριτή και Αναστροφή Τιμής ή τεχνική Error Detection and Correction – EDC προτείνει ένα νέο flip-flop αντιστροφής bit το οποίο παρέχει τη δυνατότητα σε κυκλώματα να ανιχνεύουν και να διορθώνουν πολλαπλά λάθη χρονισμού με επιβάρυνση ενός κύκλου του ρολογιού. Η προσέγγιση αυτή χαρακτηρίζεται από χαμηλές απαιτήσεις σε επιφάνεια πυριτίου και μειωμένη πολυπλοκότητα σχεδίασης η οποία επίσης καταλήγει σε μειωμένη κατανάλωση ισχύος αναφορικά με τους προηγούμενους σχεδιασμούς στη βιβλιογραφία.

Η δεύτερη προτεινόμενη τεχνική έχει ένα χαρακτηριστικό πλεονεκτήματα έναντι των προηγούμενων τεχνικών. Αντικαθιστά μόνο τα flip-flop που βρίσκονται στο τέλος των κρίσιμων μονοπατιών ή μονοπατιών που μπορεί να καταστούν κρίσιμα, αφήνοντας αναλλοίωτα τα υπόλοιπα. Η επιλογή αυτών των flip-flop

γίνεται μετά από στατική ανάλυση χρονισμού του υπό προστασία κυκλώματος. Στην περίπτωση ανίχνευσης λάθους η διατήρηση των δεδομένων στους καταχωρητές, για τη διαδικασία της διόρθωσης, υλοποιείται με την αδρανιοποίηση του ρολογιού του συστήματος για ένα κύκλο. Ωστόσο, αν και μειώνεται σημαντικά η χρήση των πρόσθετων απομονωτών εξακολουθεί να υπάρχει η ανάγκη του περιορισμού ελάχιστης καθυστέρησης για τα γρήγορα παράπλευρα μονοπάτια των κρίσιμων μονοπατιών. Επίσης, η προτεινόμενη τεχνική σε αντίθεση με την τεχνική Razor δεν προσθέτει επιπλέον λογική στην είσοδο των flip-flop, εκτός από την παρασιτική χωρητικότητα μίας πύλης XOR, η οποία χρησιμοποιείται για την ανίχνευση λαθών, ως συγκριτής των τιμών της εισόδου και της εξόδου των flip-flop.

Υποχρεωτική είναι και σε αυτή την τεχνική η χρήση ανιχνευτή μεταευστάθειας καθώς το σήμα ένδειξης λάθους προκύπτει από τη σύγκριση της εισόδου με την έξοδο των flip-flop, η οποία μπορεί να βρεθεί σε κατάσταση μεταευστάθειας.

Αναφορικά με την επαλήθευση της επιτυχούς λειτουργίας της τεχνικής χρησιμοποιήθηκαν προσομοιώσεις στο φυσικό σχεδιασμό του μικροεπεξεργαστή με αρχιτεκτονική δομής διοχέτευσης που ενσωματώνει την τεχνική καθώς και εξομοιώσεις του ίδιου κυκλώματος σε αναπτυξιακή πλατφόρμα FPGA. Σε σχέση με τις τεχνικές Razor και Time Dilation παρουσιάζεται μείωση 20.8% και 9.2% αντίστοιχα στην κατανάλωση ισχύος και μείωση 11.5% και 10.3% αντίστοιχα στην επιφάνεια πυριτίου.

### **6.3 Τεχνική Διαστολής Χρόνου με Ανιχνευτή Μετάβασης και Αναστροφή Τιμής**

Η τελευταία τεχνική ανοχής σε λάθη χρονισμού, για σχεδιασμούς οι οποίοι βασίζονται σε flip-flop, χρησιμοποιεί έναν ανιχνευτή μετάβασης για την ανίχνευση λαθών και ένα ασύγχρονο σύστημα για την αυτόματη τοπική διόρθωσή τους. Η σχεδιαστική αυτή προσέγγιση εφαρμόζεται εύκολα και είναι αποδοτική σε κατανάλωση ισχύος και επιφάνεια πυριτίου. Επίσης, δεν χρειάζονται επιπρόσθετα στοιχεία μνήμης ή ανιχνευτές μεταευστάθειας όπως στις προηγούμενες προτεινόμενες λύσεις.

Συγκρίνοντας αυτή την τεχνική με την τεχνική Razor καθώς και με την προαναφερθείσα προτεινόμενη τεχνική Time Dilation παρατηρούμε μείωση 22.59% και 11.21% αντίστοιχα στην κατανάλωση ισχύος και μείωση 10.46% και 9.33% αντίστοιχα στην επιφάνεια πυριτίου. Ωστόσο, συγκριτικά με την τεχνική EDC παρατηρούμε μικρότερη διαφορά στα αποτελέσματα (μείωση 2.24% στην κατανάλωση ισχύος και οριακή αύξηση 1.1% στην επιφάνεια πυριτίου). Αυτό οφείλεται στο κοινό χαρακτηριστικό των δύο τεχνικών ότι αντικαθίστανται μόνο τα flip-flop στα οποία καταλήγουν κρίσιμα μονοπάτια.

Εκτός από την επαλήθευση της τεχνικής με προσομοιώσεις σε φυσικό σχεδιασμό και εξομοιώσεις σε αναπτυξιακή πλατφόρμα FPGA στο κύκλωμα του μικροεπεξεργαστή MIPS με δομή διοχέτευσης, ο μικροεπεξεργαστής σχεδιάστηκε στην τεχνολογία Low Leakage 65nm της UMC και υλοποιήθηκε μέσω των υπηρεσιών κατασκευής ASIC κυκλωμάτων του οργανισμού EUROPRACTICE. Το κατασκευασμένο κύκλωμα έδωσε τη δυνατότητα επαλήθευσης της τεχνικής μέσω κατάλληλων πειραμάτων όπου τα σφάλματα, τα οποία προκαλούν λάθη χρονισμού, δημιουργούνται με την μείωση της τάσης λειτουργίας του κυκλώματος στο φυσικό περιβάλλον. Τα σχετικά πειράματα υπήρξαν επιτυχή, ανιχνεύοντας και διορθώνοντας πάντα τα προκαλούμενα λάθη χρονισμού.

## 6.4 Μελλοντικές κατευθύνσεις της έρευνας

### 6.4.1 Σχεδίαση σε επίπεδο τρανζίστορ

Οι ανωτέρω σχεδιασμοί των προτεινόμενων flip-flop πραγματοποιήθηκαν με τη χρήση κυττάρων από τις διαθέσιμες βιβλιοθήκες τυπικών κυττάρων (standard cells) της UMC. Με στόχο την αύξηση της απόδοσης των προτεινόμενων τεχνικών ανίχνευσης και διόρθωσης λαθών χρονισμού, ένα σημαντικό βήμα είναι η σχεδίασή τους σε επίπεδο τρανζίστορ (full custom design) με τη μορφή τυπικών κυττάρων. Με αυτό τον τρόπο, είναι δυνατή η αυτοματοποίηση της ενσωμάτωσής τους σε εμπορικούς σχεδιασμούς μικροεπεξεργαστών. Ο φυσικός σχεδιασμός των νέων flip-flop πρέπει να συμφωνεί με τις προδιαγραφές μίας βιβλιοθήκης (π.χ. το ύψος των πυλών), ώστε να είναι εφικτή η χρησιμοποίησή τους σε όλα τα στάδια της διαδικασίας σχεδιασμού, από τη σύνθεση μέχρι τη τοποθέτηση και δρομολόγηση (place and route) των κυκλωμάτων. Επίσης, σημαντικός είναι ο μηχανισμός παραμετρικής υλοποίησης των καταχωρητών σε επίπεδο φυσικού σχεδιασμού. Για αυτό το σκοπό μπορεί να χρησιμοποιηθεί η γλώσσα προγραμματισμού SKILL στην πλατφόρμα σχεδιασμού της CADENCE. Τέλος, αναγκαίος είναι ο σχεδιασμός των νέων flip-flop σε διαφορετικές τυπικές ικανότητες οδήγησης για την οδήγηση ενός εύρους χωρητικότητας φόρτου.

Ως επέκταση των δυνατοτήτων των τεχνικών μπορεί να προταθεί η αντιμετώπιση λαθών που οφείλονται σε διαταραχές απλού συμβάντος (SEUs). Οι διαταραχές απλού συμβάντος ανήκουν στις παροδικές διαταραχές που προκαλούνται λόγω περιβαλλοντικών συνθηκών όπως η ακτινοβολία σωματιδίων άλφα. Η πιθανότητα της εμφάνισής τους αυξάνει καθώς η τεχνολογία κλιμακώνεται κάτω από τα 65nm, κυρίως σε κυκλώματα μνήμης. Ωστόσο μελλοντικοί σχεδιασμοί χρειάζονται προστασία από διαταραχές απλού συμβάντος σε στοιχεία μνήμης όπως μανδαλωτές και flip-flop. Η ενσωμάτωση τεχνικών για την ανίχνευση των σχετικών λαθών αυξάνει την αξιοπιστία των συστημάτων.

### 6.4.2 Έρευνα στο επίπεδο μικροαρχιτεκτονικής

Ένα επόμενο στάδιο της έρευνας είναι η εξέταση της λειτουργίας πολυπύρηνων ολοκληρωμένων κυκλωμάτων των οποίων οι πυρήνες ενσωματώνουν τις προτεινόμενες τεχνικές. Ιδιαίτερο ενδιαφέρον παρουσιάζει ο μηχανισμός της ανάκαμψης από λάθη. Η επιλογή της αδρανοποίησης του ρολογιού ή της επανεκτέλεσης των εντολών, επηρεάζει τη διαχείριση των επιμέρους μικροεπεξεργαστών-πυρήνων από τη κεντρική μονάδα ελέγχου για την ανάκαμψη του κυκλώματος υπό τη παρουσία λαθών χρονισμού.

## ΠΙΝΑΚΑΣ ΟΡΟΛΟΓΙΑΣ

Ξενόγλωσσος όρος	Ελληνικός όρος
Reliability	Αξιοπιστία
Timing error	Λάθος χρονισμού
Fault	Σφάλμα
Failure	Αστοχία
Defect	Κατασκευαστικό ελάττωμα
Testing	Έλεγχος ορθής λειτουργίας
Off-line Testing	Εκτός λειτουργίας έλεγχος ορθής λειτουργίας
Concurrent On-line Testing	Ταυτόχρονος εν λειτουργία έλεγχος ορθής λειτουργίας
Wafer	Δισκίο
Permanent faults	Μόνιμα σφάλματα
Temporary faults	Πρόσκαιρα σφάλματα
Transient faults	Μεταβατικά σφάλματα
Intermittent faults	Διαλείποντα σφάλματα
Yield	Απόδοση κατασκευαστικής διαδικασίας
Stuck-at fault	Σφάλμα μόνιμης τιμής
Stuck-open fault	Σφάλμα μόνιμα μη αγωγίμου τρανζίστορ
Stuck-on fault	Σφάλμα μόνιμα αγωγίμου τρανζίστορ
Bridging fault	Σφάλμα βραχυκύκλωσης
Delay fault	Σφάλμα καθυστέρησης διάδοσης σήματος
Monitoring	Παρατήρηση
Datapath	Διαδρομή δεδομένων
Pipeline	Δομή διοχέτευσης
Resampling	Επαναδειγματοληψία
Self-checking	Αυτοελεγχόμενο
Latch	Μανδαλωτής
Metastability	Μεταευστάθεια
Setup time	Χρόνος αρχικοποίησης
Hold time	Χρόνος συγκράτησης
Single-event upsets	Διαταραχές απλού συμβάντος
Error prediction	Πρόβλεψη λαθών
Aging	Γήρανση
Error masking	Απόκρυψη λαθών
Time-borrowing	Δανεισμός χρόνου
Duty cycle	Κύκλος εργασίας
Shadow latch	Σκιώδης μανδαλωτής
Safety margins	Περιθώρια ασφάλειας
Timing constraints	Χρονικοί περιορισμοί
Finite state machine	Μηχανή πεπερασμένων καταστάσεων
Stalling	Αναστολή του ρολογιού του συστήματος
Flushing	Εκκαθάριση της δομής διοχέτευσης
Instruction replay	Επανεκτέλεση της εντολής
Time dilation	Διαστολή χρόνου

Scan testing	Έλεγχος ορθής λειτουργίας με σειριακή σάρωση
Scan flip-flop	Flip-flop σάρωσης
Counterflow pipelining	Τεχνική διοχέτευσης ανάστροφης ροής
System-on-a-Chip (SoC)	Συστήματα σε ένα ολοκληρωμένο κύκλωμα
Multi-core SoC	Πολυπύρηννα συστήματα σε ένα ολοκληρωμένο κύκλωμα
Reset	Αρχικοποίηση
Pulse generator	Γεννήτορας παλμών
Bit-flipping flip-flop	Flip-flop αντιστροφής bit
Tri-state inverter	Τρισταθής αναστροφέας
Tri-state buffer	Τρισταθής απομονωτής
Clock skew	Χρονική απόκλιση του ρολογιού
Process variation	Διακυμάνσεις της κατασκευαστικής διαδικασίας
Device mismatches	Μη ταίριασμα των τρανζίστορ
Floating-point unit	Μονάδα κινητής υποδιαστολής
Static timing analysis	Στατική ανάλυση χρονισμού
Preset	Ασύγχρονη αρχικοποίηση στο 1
Clear	Ασύγχρονη αρχικοποίηση στο 0
Pass gate	Πύλη διέλευσης
Feedback path	Μονοπάτι ανάδρασης
Forward path	Μονοπάτι προώθησης
Glitch	Στιγμιαία μετάβαση
Time stealing	Κλοπή χρόνου
Post-layout simulation	Προσομοίωση φυσικού σχεδιασμού
Full custom design	Σχεδίαση σε επίπεδο τρανζίστορ
Benchmark circuits	Κυκλώματα μετρήσεων και δοκιμής
Multiple-input signature register	Καταχωρητής υπογραφής πολλαπλών εισόδων
Error indication	Ένδειξη λάθους
Worst case variabilities	Χειρότερη περίπτωση των διακυμάνσεων
Standard cell library	Βιβλιοθήκη τυπικών κυττάρων
Place and route	Τοποθέτηση και δρομολόγηση

## ΣΥΝΤΜΗΣΕΙΣ – ΑΡΚΤΙΚΟΛΕΞΑ – ΑΚΡΩΝΥΜΙΑ

VLSI	Very Large Scale Integration
CMOS	Complementary Metal Oxide Semiconductor
SoC	System-on-Chip
ATPG	Automatic Test Pattern Generator
ATE	Automatic Test Equipment
DFT	Design For Testability
EMI	Electromagnetic Interference
DFY	Design For Yield
DFM	Design For Manufacturability
NBTI	Negative Bias-Temperature Instability
PBTI	Positive Bias-Temperature Instability
HCI	Hot Carrier Injection
DVS	Dynamic Voltage Scaling
SETs	Single Event Transients
SEUs	Single Event Upsets
PVT	Process Voltage Temperature
PCB	Printed Circuit Board
MISR	Multiple-Input Signature Register
RISC	Reduced Instruction Set Computer





## ΑΝΑΦΟΡΕΣ

- [1] B. W. Johnson, "Design and Analysis of Fault-Tolerant Digital Systems," Adison Welsey, 1989.
- [2] V. P. Nelson, "Fault-tolerant computing: fundamental concepts," in Computer, vol. 23, no. 7, pp. 19-25, July 1990.
- [3] M.L. Bushnell and V.D. Agrawal, "Essentials of Electronic Testing: for Digital, Memory and Mixed-Signal VLSI Circuits," Kluwer Academic Publishers, 2000.
- [4] M. Sachdev and J.P. de Gyvez, "Defect-Oriented Testing for Nano-Metric CMOS VLSI Circuits," Springer, 2007.
- [5] L-T. Wang, C. Stroud and N. Touba, "System-on-Chip Test Architectures," Morgan and Kaufmann, 2008.
- [6] E. A. Amerasekera and D. S. Campbell, Failure Mechanisms in Semiconductor Devices, John Wiley & Sons, London, United Kingdom, 1987.
- [7] E. J. McCluskey and F. Buelow, IC quality and test transparency, in Proc. IEEE Int. Test Conf., pp. 295-301, September 1988.
- [8] T. W. Williams and N. C. Brown, Defect level as a function of fault coverage, IEEE Trans. on Computers, 30(12), pp. 987-988, December 1981.
- [9] M. L. Bushnell and V. D. Agrawal, Essentials of Electronic Testing for Digital, Memory & Mixed-Signal VLSI Circuits, Springer Science, New York, 2000.
- [10] N. Jha and S. Gupta, Testing of Digital Systems, Cambridge University Press, London, 2003.
- [11] G. R. Case, "Analysis of actual fault mechanisms in CMOS logic gates" in Proc. Design Automation Conf., San Fransisco, CA, pp. 265-270, June 1976.
- [12] C. Timoc et al., "Logical models of physical failures," in Proc. Int. Test Conf., Philadelphia, PA, pp. 546-553, Oct. 1983.
- [13] J. P. Hayes, "Fault modeling," IEEE Design & Test, vol. 2, no. 2, pp. 88-95, Apr. 1985.
- [14] J. P. Shen, W. Maly and F. J. Ferguson, "Inductive fault analysis of MOS integrated circuits," IEEE Design & Test, vol. 2, no. 6, pp. 13-26, Dec. 1985.
- [15] J. A. Abraham and W. K. Fuchs, "Faults and error models for VLSI," Proc. IEEE, vol. 74, no. 5 pp. 639-654, May. 1986.
- [16] F. J. Ferguson and J. P. Shen, "A CMOS fault extractor for inductive fault analysis," IEEE Trans. CAD, vol. 7, pp. 1181-1194, Nov. 1988.
- [17] R. L. Wadsack, "Fault modeling and logic simulation of CMOS and MOS integrated circuits," Bell Syst. Tech. J., vol. 57, no. 5, pp. 1449-1474, May-June 1978.
- [18] W. Maly, P. K. Nag and P. Nigh, "Testing oriented analysis of CMOS ICs with opens," in Proc. Int. Conf. Computer-Aided Design, Santa Clara, CA, pp. 344-347, Nov. 1988.
- [19] M. W. Levi, "CMOS is most testable," in Proc. Int. Test Conf., Philadelphia, PA, pp. 217-220, Oct. 1981.
- [20] Y. K. Malaiya and S. Y. H. Su, "A new fault model and testing technique for CMOS devices," in Proc. Int. Test Conf., Philadelphia, PA, pp. 25-34, Oct. 1982.
- [21] J. M. Acken, "Testing for bridging faults (shorts) in CMOS circuits," in Proc. Design Automation Conf., Miami Beach, FL, pp. 717-718, June 1983.
- [22] S. M. Reddy, V. D. Agrawal, and S. K. Jain, "A gate-level model for CMOS combinational logic circuits with application to fault detection," in Proc. Design Automation Conf., Albuquerque, NM, pp. 504-509, June 1984.
- [23] Y. K. Malaiya "Testing stuck-on faults in CMOS integrated circuits," in Proc. Int. Conf. Computer-Aided Design, Santa Clara, CA, pp. 248-250, Nov. 1984.
- [24] D. Baschiera and B. Courtois, "Advances in fault modeling and test pattern generation for CMOS," in Proc. Int. Conf. Computer Design, Port Chester, NY, pp. 82-85, Oct. 1986.
- [25] K. C. Y. Mei, "Bridging and stuck-at faults," IEEE Trans. Comput. vol. C-23, no. 7, pp. 720-727, July 1974.
- [26] M. Abramovici and P. R. Menon, "A practical approach to fault simulation and test generation for bridging faults," in Proc. Int. Test Conf., Philadelphia, PA, pp. 138-142, Oct. 1983.
- [27] A. D. Friedman, "Diagnosis of short-circuit faults in combinational circuits," IEEE Trans. Compt., vol. C-23, pp. 746-752, July 1974.
- [28] A. Iosupovicz, "Optimal detection of bridging faults and stuck-at faults in two-level logic," IEEE Trans. Comput., vol. C-27, no. 5, pp. 452-455, May 1978.
- [29] K. L. Kodandapani and D. K. Pradhan, "Undetectability of bridging faults and validity of stuck-at fault test sets," IEEE Trans. Comput. Vol. C-29, no. 1, pp. 55-59, Jan. 1980.
- [30] S. Xu and S. Y. H. Su, "Testing feedback bridging faults among internal, input and outputlines by two patterns," in Proc. Int. Conf. Circuits & Computers, New York, NY, pp. 214-217, Oct. 1982.

- [31] M. Karpovsky, "Universal tests for detection of input/output stuck-at and bridging faults," IEEE Trans. Comput. vol. C-32, no. 12, pp. 1194-1198, Dec. 1983.
- [32] T. Yamada and T. Nanya, "Stuck-at fault tests in the presence of undetectable bridging faults," IEEE Trans. Comput., vol. C-33, no. 8, pp. 758-761, Aug. 1984.
- [33] Y. K. Malaiya A. P. Jayasumana, and R. Rajsuman, "A detailed examination of bridging faults," in Proc. Int. Conf. Computer Design, Port Chester, NY, pp. 78-81, Oct. 1986.
- [34] K.-T. Cheng, "Transition Fault Testing for Sequential Circuits," IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, Dec. 1993.
- [35] Y. Levendel and P. R. Menon, "Transition Faults in Combinational Circuits: Input Transition Test Generation and Fault Simulation," Proceedings of International Fault Tolerant Computing Symposium, pp. 278-283, July 1986.
- [36] M. H. Schulz and F. Brglez, "Accelerated Transition Fault Simulation," Proceedings of 26th Design Automation Conference, pp. 237-243, June 1987.
- [37] J. A. Waicukauski, E. Lindbloom, B. Rosen, and V. Iyengar, "Transition Fault Simulation," IEEE Design & Test, pp. 32-38, April 1987.
- [38] R. L. Wadsack, J. M. Soden, R. K. Treece, M. R. Taylor, and C. F. Hawkins, "CMOS IC Stuck-Open Fault Electrical Effects and Design Considerations," Proceedings of IEEE International Test Conference, pp. 423-430, Sept. 1989.
- [39] J. L. Carter, V. S. Iyengar, and B. K. Rosen, "Efficient Test Coverage Determination for Delay Faults," Proceedings of IEEE International Test Conference, pp. 418-427, September 1987.
- [40] V. S. Iyengar, B. K. Rosen, and I. Spillinger, "Delay Test Generation 1 - Concepts And Coverage Metrics," Proceedings of IEEE International Test Conference, pp. 857-866, Sept. 1988.
- [41] V. S. Iyengar, B. K. Rosen, and I. Spillinger, "Delay Test Generation 2 - Algebra And Algorithms," Proceedings of IEEE International Test Conference, pp. 867-876, September 1988.
- [42] V. S. Iyengar, B. K. Rosen, and J. A. Waicukauski, "On Computing The Sizes of Detected Delay Faults," IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 9(3):299-312, March 1990.
- [43] A. K. Pramanick and S. M. Reddy, "On The Detection of Delay Faults," Proceedings of IEEE International Test Conference, pp. 845-856, September 1988.
- [44] A. K. Pramanick and S. M. Reddy, "On The Fault Coverage of Gate Delay Fault Detecting Tests," IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 16(1):78-94, Jan. 1997.
- [45] G. L. Smith, "Model for Delay Faults Based upon Paths," Proceedings of IEEE International Test Conference, pp. 342-349, Nov. 1985.
- [46] K. Heragu, J. H. Patel, and V. D. Agrawal, "Segment Delay Faults: A New Fault Model," Proceedings of 14th IEEE VLSI Test Symposium, pp. 32-39, May 1996.
- [47] K. Heragu, J. H. Patel, and V. D. Agrawal, "SIGMA: A Simulator for Segment Delay Faults," Proceedings of IEEE/ACM International Conference on Computer-Aided Design, pp. 502-508, Nov. 1996.
- [48] A. K. Majhi, "Algorithms for Test Generation and Fault Simulation of Path Delay Faults in Logic Circuits," PhD thesis, Indian Institute of Science, Bangalore, India, Jan. 1996.
- [49] A. K. Majhi, J. Jacob, L. M. Patnaik, and V. D. Agrawal, "On Test Coverage of Path Delay Faults," in Proc. of the 9th International Conf. on VLSI Design, Jan. 1996, pp. 418-421.
- [50] I. Koren and Z. Kohavi, "Diagnosis of Intermittent Faults in Combinational Networks," IEEE Transactions on Computers, vol. 26, no. 11, pp. 1154-1157, 1977.
- [51] J. Savir, "Testing for Single Intermittent Failures in Combinational Circuits by Maximizing the Probability of Fault Detection," IEEE Transactions on Computers, vol. 29, no. 5, pp. 410-416, 1980.
- [52] J.P. Heyes, "Detection of Pattern Sensitive Faults in Random Access Memories," IEEE Transactions on Computers, vol. 29, no. 3, pp. 713-719, 1980.
- [53] W. Dally and J. Poulton, "Digital Systems Engineering," Cambridge University Press, 2000.
- [54] M. Tehranipour, N. Ahmed and M. Nourani, "Testing SoC Interconnects for Signal Integrity using Extended JTAG Architecture," IEEE Transactions on Computer-Aided Design, vol. 23, no. 5, pp. 800-811, 2004.
- [55] A. Agarwal, D. Blaauw and V. Zolotov, "Statistical Timing Analysis for Intradie Process Variations with Spatial Correlations," International Conference on Computer-Aided Design, pp. 900-907, 2003.
- [56] U. Narasimha, B. Abraham and NS Nagaraj, "Statistical Analysis of Capacitance Coupling Effects on Delay and Noise," International Symposium on Quality Electronic Design, pp. 795-800, 2006.

- [57] Q. Chen, S. Mukhopadhyay, H. Mahmoodi and K. Roy, "Process Variation Tolerant On-line Current Monitor for Robust Systems," IEEE On-Line Test Symposium, pp. 171-176, 2005.
- [58] J. Vazquez and J. Gyvez, "Power supply noise monitor for signal integrity faults," Design, Automation and Test in Europe Conference, pp. 1406–1407, 2004.
- [59] M. Nourani and A. Radhakrishnan, "Modeling and testing process variation in nanometer CMOS," International Test Conference, p. 7.2, 2006.
- [60] H. Karimiyan, A. Kalimera, A. Macii, E. Macii and M. Poncino, "An On-Chip All Digital PV-Monitoring Architecture for Digital IPs," Power and Timing Modeling, Optimization and Simulation Workshop, pp. 162-172, 2011.
- [61] D.K. Schroder and J.A. Babcock, "Negative Bias Temperature Instability: Road to Cross in Deep Submicron Silicon Semiconductor Manufacturing," Journal of Applied Physics, vol. 94, no. 1, pp. 1-18, 2003.
- [62] S.P. Park, K. Roy and K. Kang, "Reliability Implications of Bias-Temperature Instability in Digital ICs," IEEE Design and Test of Computers, vol. 23, no. 6, pp. 8-17, 2009.
- [63] G. La Rosa, W.L Ng, S. Rauch, R. Wong and J. Sudijono, "Impact of NBTI Induced Statistical Variation to SRAM Cell Stability," Annual IEEE International Reliability Physics Symposium, pp. 274-282, 2006.
- [64] D. Varghese, D. Saha, S. Mahapatra, K. Ahmed, F. Nouri and M. Alam "On the Dispersive versus Arrhenius Temperature Activation of NBTI Time Evolution in Plasma Nitrided Gate Oxides: Measurements, Theory and Implications," Proc. IEEE International Electronic Devices Meeting, pp. 684-687, 2005.
- [65] A.T. Krishnan, C. Chancellor, S. Chakravarthi et al., "Material Dependence of Hydrogen Diffusion: Implications for NBTI Degradation," Proc. IEEE International Electronic Devices Meeting, pp. 688-691, 2005.
- [66] W. Wang, V. Reddy, A.T. Krishnan, R. Vattikonda, S. Krishnan and Y. Cao, "Compact Modeling and Simulation of Circuit Reliability for 65nm CMOS Technology," IEEE Transactions on Device and Material Reliability, vol. 7, no. 4, 2007.
- [67] G. Gielen, P. de Wit, E. Maricau, J. Loeckx, J. Martin-Martinez, B. Kaczer and G. Groeseneken, "Emerging Yield and Reliability Challenges in Nanometer CMOS Technologies," ACM/IEEE Design Automation and Test in Europe Conference, pp. 1322-1327, 2008.
- [68] Y. Leblebici and S.M. Kang, "Modeling and Simulation of Hot-Carrier Induced Device Degradation MOS Circuits," IEEE Journal of Solid-State Circuits, vol. 28, no. 5, pp. 585-595, 1993.
- [69] R. Mishra, D.E. Ioannou, S. Mitra and R. Gauthier, "Effect of Floating-Body and Stress Bias on NBTI and HCI on 65nm pMOSFETS," IEEE Transactions on Electron Devices Letters, vol. 29, no. 3, pp. 262-264, 2008.
- [70] S.V. Kumar, C.H. Kim, and S.S. Sapatnekar, "NBTI-Aware Synthesis of Digital Circuits," ACM Design Automation Conference, pp. 370-375, 2007.
- [71] J. Black, "Electromigration: A Brief Survey and some Recent Results," IEEE Transactions on Electronic Devices, 1969.
- [72] J. Lienig, "Introduction to Electromigration-Aware Physical Design," International Symposium on Physical Design, 2006.
- [73] J. Semião et al., "Time Management for Low-Power Design of Digital Systems", ASP Journal of Low Power Electronics (JOLPE), Vol. 4, N° 3, pp. 410–419, Dec. 2008.
- [74] J.W. McPherson, "Reliability Challenges for 45 nm and Beyond", Proc. ACM/IEEE Design Autom. Conf. (DAC), pp. 176-181, 2006.
- [75] B. C. Paul et al., "Temporal Performance Degradation under NBTI: Estimation and Design for Improved Reliability of Nanoscale Circuits", Proc. DATE, pp. 780-785, 2006.
- [76] Sang Phill Park; Kunhyuk Kang; Roy, K., "Reliability Implications of Bias-Temperature Instability in Digital ICs," in Design & Test of Computers, IEEE , vol.26, no.6, pp.8-17, Nov.-Dec. 2009.
- [77] Omaña, M.; Rossi, D.; Bosio, N.; Metra, C., "Low Cost NBTI Degradation Detection and Masking Approaches," in Computers, IEEE Transactions on , vol.62, no.3, pp.496-509, March 2013.
- [78] Agarwal, M.; Balakrishnan, V.; Bhuyan, A.; Kyunglok Kim; Paul, B.C.; Wenping Wang; Yang, B.; Yu Cao; Mitra, S., "Optimized Circuit Failure Prediction for Aging: Practicality and Promise," in Test Conference, IEEE International, pp.1-10, Oct. 2008.
- [79] V. Reddy, et al., "The Impact of NBTI on the Performance of Combinational and Sequential Circuits", Proc. ACM/IEEE Design Automation Conf. (DAC), pp. 364-369, 2007.

- [80] K. Kang, S. Gangwal, S. Phil Park, and K. Roy, "NBTI Induced Performance Degradation in Logic and Memory Circuits: How Effectively Can We Approach a Reliability Solution?" Proc. Asia /South Pacific Design Autom. Conf. (ASP-DAC), pp. 726-731, 2008.
- [81] Xianda Zhou; Hao Feng; Sin, J.K.O., "Hot Carrier Injection Effects in the Ultrashallow Body SONOS Gate Power MOSFET," in Electron Devices, IEEE Transactions on , vol.60, no.6, pp.2008-2014, June 2013.
- [82] S.V. Kumar, C.H. Kim, S. Sapatnekar, "Adaptive Techniques for Overcoming Performance Degradation due to Aging in Digital Circuits", Proc. IEEE ASP-DAC, pp. 284-289, Jan. 2009.
- [83] A. Asenov, S. Kaya, J. Davies, S. Saini, "Oxide thickness variation induced threshold voltage fluctuations in decanano MOSFETs: a 3D density gradient simulation study", Superlattices and Microstructures, Vol. 28, pp. 507-515, 2000.
- [84] M. CuvIELLO, S. Dey, X. Bai, Y. Zhao. "Fault Modeling and Simulation for Crosstalk in System-on-Chip Interconnects". Int. Conf. on Computer Aided Design, pp. 297-303, Nov. 1999.
- [85] H. Chen, L. Wang. "Design for Signal Integrity: The New Paradigm for Deep-Submicron VLSI Design". Proc. Int. Symp. on VLSI Technology, pp. 329-333, June 1997.
- [86] J. Semião et al., "Delay-Fault Tolerance to Power Supply Voltage Disturbances Analysis in Nanometer Technologies", Proc. IEEE Int. On-Line Testing Symp. (IOLTS), pp. 223-228, 2009.
- [87] S. Das, D. Roberts, S. Lee, S. Pant, D. Blaauw, T. Austin, T. Mudge, K. Flautner, "A self-tuning DVS Processor using Delay Error Detection and Correction", IEEE J. Solid-State Circuits, vol. 41, no 4, pp. 792-804, April 2006.
- [88] P. Franco et al., "On-line delay testing of digital circuits," in Proc. VLSI Test Symposium, pp. 167-173, 1994.
- [89] M. Favalli et al., "Sensing circuit for on-line detection of delay faults," IEEE Trans. VLSI Systems, vol. 4, pp. 130-133, 1996.
- [90] C. Metra et al., "On-line detection of logic errors due to crosstalk, delay, and transient faults," in Proc. Intl. Test Conference, pp. 524-533, 1998.
- [91] M. Nicolaidis, "Time redundancy based soft error tolerance to rescue nanometer technologies," in Proc. VLSI Test Symposium, pp. 86-94, 1999.
- [92] D. Ernst , D.; Nam Sung Kim; Das, S.; Pant, S.; Rao, R.; Pham, T.; Ziesler, C.; Blaauw, D.; Austin, T.; Flautner, K.; Mudge, T., "Razor: A low-power pipeline based on circuit-level timing speculation," in Proc. Intl. Symposium on Microarchitecture, pp. 7-18, 2003.
- [93] K. Bowman et al., "Energy-efficient and metastability-immune timing-error detection and recovery circuits for dynamic variation tolerance," in Proc. Intl. Conference on Integrated Circuit Design and Technology, pp. 155-158, 2008.
- [94] Y. Tsiatouhas et al., "A sense amplifier based circuit for concurrent detection of soft and timing errors in CMOS ICs," in Proc. Intl. On-line Testing Symposium, pp. 12-16, 2003.
- [95] A. Paschalis et al., "Concurrent delay testing in totally self-checking systems," in Journal of Electronic Testing: Theory and Applications, vol. 12, pp. 55-61, 1998.
- [96] M. Agarwal et al., "Circuit failure prediction and its application to transistor aging," in Proc. VLSI Test Symposium, pp. 277-286, 2007.
- [97] T. Sato et al., "A simple flip-flop circuit for typical-case designs for DFM," in Proc. Intl. Symposium on Quality Electronic Design, pp. 539-544, 2007.
- [98] K. Bowman et al., "Circuit techniques for dynamic variation tolerance," in Proc. Design Automation Conference, pp. 4-7, 2009.
- [99] B. Paul et al., "Impact of NBTI on the temporal performance degradation of digital circuits," IEEE Electron Device Letters, vol. 26, pp. 560-562, 2005.
- [100] M. R. Choudhury et al., "Masking timing errors on speed-paths in logic circuits," in Proc. Design Automation and Test in Europe, pp. 87-92, 2009.
- [101] M. Kurimoto et al., "Phase-adjustable error detection flip-flops with 2-stage hold driven optimization and slack based grouping scheme for dynamic voltage scaling," in Proc. Design Automation Conference, pp. 884-889, 2008.
- [102] K. Hirose et al., "Delay-compensation flip-flop with in-situ error monitoring for low-power and timing-error-tolerant circuit design," Japanese Journal of Applied Physics, vol. 47, pp. 2779-2787, 2008.
- [103] M. Ghasemazar et al., "A mathematical solution to power optimal pipeline design by utilizing soft-edge flip-flops," in Proc. Intl. Symposium on Low Power Electronics and Design, pp. 33-38, 2008.
- [104] Vazquez, J.C.; Champac, V.; Teixeira, I.C.; Santos, M.B.; Teixeira, J.P., "Programmable aging sensor for automotive safety-critical applications," in Design, Automation & Test in Europe Conference & Exhibition (DATE), 2010, pp.618-621, 8-12 March 2010.

- [105] Omana, M.; Rossi, D.; Bosio, N.; Metra, C., "Self-checking monitor for NBTI due degradation," in Mixed-Signals, Sensors and Systems Test Workshop (IMS3TW), 2010 IEEE 16th International , pp.1-6, 7-9 June 2010.
- [106] S. Bayat-Sarmadi and M.A. Hasan, "Concurrent Error Detection in Finite-Field Arithmetic Operations Using Pipelined and Systolic Architectures," IEEE Transactions on Computers, vol. 58, no. 11, pp. 1563-1567, 2009.
- [107] M. Nicolaidis and Y. Zorian, "On-Line Testing for VLSI – A Compendium of Approaches," Journal of Electronic Testing: Theory and Applications, vol. 12, no. 1-2, pp. 7-20, 1998.
- [108] C. Metra, R. Degiampietro, M. Favalli and B. Ricco, "Concurrent Detection and Diagnosis Scheme for Transient, Delay and Crosstalk Faults," IEEE International On-Line Testing Workshop, pp. 66-70, 1999.
- [109] L. Anghel and M. Nicolaidis, "Cost Reduction and Evaluation of Temporary Faults Detecting Technique", Design Automation and Test in Europe Conference, pp. 591-598, 2000.
- [110] S. Matakias, Y. Tsiatouhas, A. Arapoyanni, and Th. Haniotakis, "A Circuit for Concurrent Detection of Soft and Timing Errors in Digital CMOS ICs", Journal of Electronic Testing: Theory and Applications, vol. 20, no. 5, pp. 523-531, 2004.
- [111] M. Nicolaidis, "Time Redundancy Based Soft-Error Tolerance to Rescue Nanometer Technologies", IEEE VLSI Test Symposium, pp. 86-94, 1999.
- [112] S. Mitra, N. Seifert, M. Zhang, Q. Shi and K. S. Kim, "Robust System Design with Built-In Soft-Error Resilience", IEEE Computer, vol. 38, no.2, pp. 43-52, 2005.
- [113] Austin, T.; Blaauw, D.; Mudge, T.; Flautner, K., "Making typical silicon matter with Razor," in Computer , vol.37, no.3, pp.57-65, Mar. 2004.
- [114] T. Pering, T. Burd, and R. Brodersen. "The Simulation and Evaluation of Dynamic Voltage Scaling Algorithms." Proceedings of Int'l Symposium on Low Power Electronics and Design 1998, pp. 76-81, June 1998.
- [115] G. Wolrich, E. McLellan, L. Harada, J. Montanaro, and R. Yodlowski, "A High Performance Floating Point Coprocessor," IEEE Journal of Solid-State Circuits, 19 (5), October 1984.
- [116] R. Sproull, I. Sutherland, and C. Molnar, "Counterflow Pipeline Processor Architecture," Sun Microsystems Laboratories Inc. Technical Report SMLI-TR-94-25, April 1994.
- [117] W. Dally, J. Poulton, Digital System Engineering, Cambridge University Press, 1998.
- [118] S. Das, C. Tokunaga, S. Pant, W-H. Ma, S. Kalaiselvan, K. Lai, D.M. Bull and D.T. Blaauw, "RazorII: In Situ Error Detection and Correction for PVT and SER Tolerance", IEEE Journal of Solid-State Circuits, vol. 44, no. 1, pp. 32-48, 2009.
- [119] D. Bull, S. Das, K. Shivashankar, G.S. Dasika, K. Flautner and D.T. Blaauw, "A Power-Efficient 32 bit ARM Processor Using Timing-Error Detection and Correction for Transient-Error Tolerance and Adaptation to PVT Variation", IEEE Journal of Solid-State Circuits, vol.46, no. 1, pp. 18-31, 2011.
- [120] K. Bowman, J. Tschanz, N. S. Kim, J. Lee, C. Wilkerson, S. Lu, T. Karnik, and V. De, "Energy-efficient and metastability-immune resilient circuits for dynamic variation tolerance," Solid-State Circuits, IEEE Journal of, vol. 44, no. 1, pp. 49–63, Jan. 2009.
- [121] M. Fojtik, D. Fick, Y. Kim, N. Pinckney, D. Harris, D. Blaauw, and D. Sylvester., "Bubble Razor: An architecture-independent approach to timing-error detection and correction," in Solid-State Circuits Conference Digest of Technical Papers (ISSCC), 2012 IEEE International , pp.488-490, Feb. 2012.
- [122] M. Fojtik, D. Fick, Y. Kim, N. Pinckney, D. Harris, D. Blaauw, and D. Sylvester, "Bubble razor: Eliminating timing margins in an ARM Cortex-M3 processor in 45 nm CMOS using architecturally independent error detection and correction," Solid-State Circuits, IEEE Journal of, vol. 48, no. 1, pp. 66–81, Jan. 2013.
- [123] H. Chang and S. S. Sapatnekar. Statistical timing analysis under spatial correlations. TCAD, 24(9):1467–1482, September 2005.
- [124] S. Raj, S. B. K. Vrudhula, and J. Wang. A methodology to improve timing yield in the presence of process variations. DAC, pages 448–453, 2004.
- [125] C. Visweswariah, K. Ravindran, K. Kalafala, S. G. Walker, and S. Narayan. First-order incremental block-based statistical timing analysis. DAC, pages 331–336, 2004.
- [126] M. Mani, A. Devgan, and M. Orshansky. An efficient algorithm for statistical minimization of total power under timing yield constraints. DAC, pages 309–314, 2005.
- [127] J. W. Tschanz, S. G. Narendra, R. Nair, and V. De. Effectiveness of adaptive supply voltage and body bias for reducing impact of parameter variations in low power and high performance microprocessors. IEEE JSSC, 38(5):826–829, May 2003.
- [128] T. Chen and S. Naffziger. Comparison of adaptive body bias (ABB) and adaptive supply voltage (ASV) for improving delay and leakage under the presence of process variation. IEEE TVLSI, 11(5):888–899, Oct. 2003.

- [129] Samanta, R.; Venkataraman, G.; Shah, N.; Jiang Hu, "Elastic Timing Scheme for Energy-Efficient and Robust Performance," in Quality Electronic Design, 2008. ISQED 2008. 9th International Symposium on, pp.537-542, March 2008.
- [130] S. H. Kulkarni, A. N. Srivastava, and D. Sylvester. A new algorithm for improved VDD assignment in low power dual VDD systems. ISLPED, pages 200–205, 2004.
- [131] K. Agarwal, K. Nowka, H. Deogun, and D. Sylvester. Power gating with multiple sleep modes. ISQED, pages 633–637, 2006.
- [132] Hai Yu; Nicolaidis, M.; Anghel, L.; Zergainoh, N.-E., "Efficient Fault Detection Architecture Design of Latch-Based Low Power DSP/MCU Processor," in Test Symposium (ETS), 2011 16th IEEE European, pp.93-98, May 2011.
- [133] M. Nicolaidis, "GRAAL: a new fault tolerant design paradigm for mitigating the flaws of deep nanometric technologies," in Test Conference, 2007. ITC 2007. IEEE International, pp.1-10, Oct. 2007.
- [134] M. Nicolaidis, "Circuit-level Soft-Error Mitigation", chapter in Soft Errors in Modern Electronics Systems, M. Nicolaidis (Ed.), Frontiers in Electronic Testing, Volume 41, pp. 203-252, Springer, 2011.
- [135] M. E. Imhof, H. J. Wunderlich, C. G. Zoellin, "Integrating Scan Design and Soft Error Correction in Low-Power Applications", 14<sup>th</sup> IEEE International On-Line Testing Symposium, Rhodes, Greece, pp. 59-64, July 2008.
- [136] M. J. Mack, W.M. Sauer, and B.G. Mealey, "IBM Power6 Reliability," IBM J. Res. and Development, vol. 51, no. 6, pp. 763-764, Nov. 2007.
- [137] C. Arm, S. Gyger, J.-M. Masgonty, M. Morgan, J.-L. Nagel, C. Piguat, F. Rampogna, P. Volet, "Low-power 32-bit dual-MAC 120  $\mu$ W/MHz 1.0 V icyflex DSP/MCU core," in Solid-State Circuits Conference, 2008.
- [138] M. Choudhury, V. Chandra, K. Mohanram and R. Aitken, "TIMBER: Time Borrowing and Error Relaying for Online Timing Error Resilience", ACM/IEEE Design Automation and Test in Europe Conference, pp.1554-1559, 2010.
- [139] M. Choudhury, V. Chandra, R. Aitken, and K. Mohanram, "Time-borrowing circuit designs and hardware prototyping for timing error resilience," IEEE TCOMP, vol. 63, no. 2, pp. 497-509, Feb. 2014.
- [140] S. Valadimas; A. Floros; Y. Tsiatouhas; A. Arapoyanni; X. Kavousianos, "The Time Dilation Technique for Timing Error Tolerance," Computers, IEEE Transactions on, vol.63, no.5, pp.1277-1286, May 2014.
- [141] S. Valadimas Y. Tsiatouhas and A. Arapoyanni, "Timing Error Tolerance in Nanometer ICs", IEEE International On-Line Testing Symposium, pp. 283-288, 2010.
- [142] S. Valadimas, Y. Tsiatouhas and A. Arapoyanni, "Timing Error Tolerance in Small Core Designs for SoC Applications," in IEEE Transactions on Computers, vol. 65, no. 2, pp. 654-663, Feb. 2016.
- [143] S. Valadimas, Y. Tsiatouhas, and A. Arapoyanni, "Cost and power efficient timing error tolerance in flip-flop based microprocessor cores," IEEE European Test Symposium, pp. 8-13, 2012.
- [144] S. Valadimas; Y. Tsiatouhas; A. Arapoyanni; P. Xarchakos, "Effective Timing Error Tolerance in Flip-Flop Based Core Designs," Springer Journal of Electronic Testing: Theory and Applications, vol.29, no.6, pp. 795-804, 2013.
- [145] IWLS05 benchmark circuits: <http://iwls.org/iwls2005/benchmarks.html> [Προσπελάστηκε 11/5/16].