

# ARBRE JERÀRQUIC I GRÀFIC DE TESIS DOCTORALS DIRIGIDES PEL PROFESSOR ANTONIO GONZÁLEZ COLÁS<sup>1</sup>

---

**González Colás, Antonio. Unidad de instrucciones para la ejecución paralela de los saltos. Universitat Politècnica de Catalunya. 1989**

1	PINTO RIVERO, DANIEL	ACCELERATION OF AUTOMATIC SPEECH RECOGNITION FOR LOW-POWER DEVICES. UNIVERSITAT POLITÈCNICA DE CATALUNYA. 2022
2	SILFA FELIZ, FRANYELL ANTONIO	ENERGY-EFFICIENT ARCHITECTURES FOR RECURRENT NEURAL NETWORKS. UNIVERSITAT POLITÈCNICA DE CATALUNYA. 2021
3	SEGURA SALVADOR, ALBERT	HIGH-PERFORMANCE AND ENERGY-EFFICIENT IRREGULAR GRAPH PROCESSING ON GPU ARCHITECTURES. UNIVERSITAT POLITÈCNICA DE CATALUNYA. 2021
4	ANGLADA SANCHEZ, MARTI	EXPLOITING FRAME COHERENCE IN REAL-TIME RENDERING FOR ENERGY-EFFICIENT GPUS. UNIVERSITAT POLITÈCNICA DE CATALUNYA. 2020. <a href="http://hdl.handle.net/2117/192488">HTTP://HDL.HANDLE.NET/2117/192488</a>

---

<sup>1</sup> La informació d'aquest informe prové de diferents extraccions realitzades a les bases de dades *FUTUR. Portal de la Producció Científica de les Investigadores i Investigadors de la UPC* < <https://futur.upc.edu> > i *TESEO* < <https://www.educacion.gob.es/teseo/> > i proporcionada per la consulta finalitzada del dia 9 de desembre de 2022. L'estructura de cada citació és la següent: AUTOR. TÍTOL DE LA TESI DOCTORAL. UNIVERSITAT ON S'HA LLEGIT LA TESI DOCTORAL. ANY DE LECTURA. URL DEL TEXT COMPLET DE LA TESI DOCTORAL (si ha estat publicada en accés obert)

5	RIERA VILLANUEVA, MARC	LOW-POWER ACCELERATORS FOR COGNITIVE COMPUTIN. UNIVERSITAT POLITÈCNICA DE CATALUNYA. 2020. <a href="http://hdl.handle.net/2117/330738">HTTP://HDL.HANDLE.NET/2117/330738</a>
6	YAZDANI AMINABADI, REZA	ULTRA LOW-POWER, HIGH-PERFORMANCE ACCELERATOR FOR SPEECH RECOGNITION. UNIVERSITAT POLITÈCNICA DE CATALUNYA. 2019. <a href="http://hdl.handle.net/2117/167843">HTTP://HDL.HANDLE.NET/2117/167843</a>
7	TABANI, HAMID	LOW-POWER ARCHITECTURES FOR AUTOMATIC SPEECH RECOGNITION. UNIVERSITAT POLITÈCNICA DE CATALUNYA. 2018. <a href="http://hdl.handle.net/2117/115363">HTTP://HDL.HANDLE.NET/2117/115363</a>
8	JHA, SUDHANSHU SHEKHAR	POWER-CONSTRAINED AWARE AND LATENCY-AWARE MICROARCHITECTURAL OPTIMIZATIONS IN MANY-CORE PROCESSORS. UNIVERSITAT POLITÈCNICA DE CATALUNYA. 2016. <a href="http://hdl.handle.net/2117/105575">HTTP://HDL.HANDLE.NET/2117/105575</a>
9	DOT ARTIGAS, GEM	CO-DESIGNED SOLUTIONS FOR OVERHEAD REMOVAL IN DYNAMICALLY TYPED LANGUAGES. UNIVERSITAT POLITÈCNICA DE CATALUNYA. 2016. <a href="http://hdl.handle.net/2117/96397">HTTP://HDL.HANDLE.NET/2117/96397</a>
10	BRANKOVIC, ALEKSANDAR	PERFORMANCE SIMULATION METHODOLOGIES FOR HARDWARE/SOFTWARE CO-DESIGNED PROCESSORS. UNIVERSITAT POLITÈCNICA DE CATALUNYA. 2015. <a href="http://hdl.handle.net/2117/95655">HTTP://HDL.HANDLE.NET/2117/95655</a>
11	KUMAR, RAKESH	OPTIMIZING SIMD EXECUTION IN HW/SW CO-DESIGNED PROCESSORS. UNIVERSITAT POLITÈCNICA DE CATALUNYA. 2014. <a href="http://hdl.handle.net/2117/95395">HTTP://HDL.HANDLE.NET/2117/95395</a>
12	GANAPATHY, SHRIKANTH	RELIABILITY IN THE FACE OF VARIABILITY IN NANOMETER EMBEDDED MEMORIES. UNIVERSITAT POLITÈCNICA DE CATALUNYA. 2014. <a href="http://hdl.handle.net/2117/95286">HTTP://HDL.HANDLE.NET/2117/95286</a>
13	LÓPEZ MUÑOZ, PEDRO	EFFICIENT HARDWARE/SOFTWARE CO-DESIGNED SCHEMES FOR LOW-POWER PROCESSORS. UNIVERSITAT POLITÈCNICA DE CATALUNYA. 2014. <a href="http://hdl.handle.net/2117/95292">HTTP://HDL.HANDLE.NET/2117/95292</a>

- 14 BIESCHEWSKI, STEFAN DESIGN OF A DISTRIBUTED MEMORY UNIT FOR CLUSTERED MICROARCHITECTURES. UNIVERSITAT POLITÈCNICA DE CATALUNYA. 2013. [HTTP://HDL.HANDLE.NET/2117/95043](http://hdl.handle.net/2117/95043)
- 15 SREEKAR SHENOY, GOVIND ARCHITECTURE SUPPORT FOR INTRUSION DETECTION SYSTEMS. UNIVERSITAT POLITÈCNICA DE CATALUNYA. 2012. [HTTP://HDL.HANDLE.NET/2117/94979](http://hdl.handle.net/2117/94979)
- 16 MADRILES GIMENO, CARLOS MITOSIS BASED SPECULATIVE MULTITHREADED ARCHITECTURES. UNIVERSITAT POLITÈCNICA DE CATALUNYA. 2012. [HTTP://HDL.HANDLE.NET/2117/94982](http://hdl.handle.net/2117/94982)
- 17 DEB, ABHISHEK HW/SW MECHANISMS FOR INSTRUCTION FUSION, ISSUE AND COMMIT IN MODERN U-PROCESSORS. UNIVERSITAT POLITÈCNICA DE CATALUNYA. 2012. [HTTP://HDL.HANDLE.NET/2117/94598](http://hdl.handle.net/2117/94598)
- 18 BHAGAT, INDU CODE OPTIMIZATIONS FOR NARROW BITWIDTH ARCHITECTURES. UNIVERSITAT POLITÈCNICA DE CATALUNYA. 2012. [HTTP://HDL.HANDLE.NET/2117/94666](http://hdl.handle.net/2117/94666)
- 19 LUPON NAVAZO, MARC ARCHITECTURAL SUPPORT FOR HIGH-PERFORMING HARDWARE TRANSACTIONAL MEMORY SYSTEMS. UNIVERSITAT POLITÈCNICA DE CATALUNYA. 201 [HTTP://HDL.HANDLE.NET/2117/94562](http://hdl.handle.net/2117/94562)
- 20 LIRA RUEDA, JAVIER MANAGING DYNAMIC NON-UNIFORM CACHE ARCHITECTURES. UNIVERSITAT POLITÈCNICA DE CATALUNYA. 201 [HTTP://HDL.HANDLE.NET/2117/94560](http://hdl.handle.net/2117/94560)
- 21 RANJAN, RAKESH SPEEDING UP SEQUENTIAL APPLICATIONS ON MULTICORE PLATFORMS. UNIVERSITAT POLITÈCNICA DE CATALUNYA. 2010

22	ALETA ORTEGA, ALEXANDRE	INSTRUCTION SCHEDULING FOR CLUSTERED PROCESSORS BASED ON GRAPH TECHNIQUES. UNIVERSITAT POLITÈCNICA DE CATALUNYA. 2009
23	LATORRE SALINAS, FERNANDO	CLUSTERED MULTITHREADED PROCESSORS. UNIVERSITAT POLITÈCNICA DE CATALUNYA. 2009
23.1	LÓPEZ MUÑOZ, PEDRO	EFFICIENT HARDWARE/SOFTWARE CO-DESIGNED SCHEMES FOR LOW-POWER PROCESSORS. UNIVERSITAT POLITÈCNICA DE CATALUNYA. 2014. <a href="http://hdl.handle.net/2117/95292">HTTP://HDL.HANDLE.NET/2117/95292</a>
23.2	RANJAN, RAKESH	SPEEDING UP SEQUENTIAL APPLICATIONS ON MULTICORE PLATFORMS. UNIVERSITAT POLITÈCNICA DE CATALUNYA. 2010
24	QUIÑONES MORENO, EDUARDO	PREDICATED EXECUTION AND REGISTER WINDOWS FOR OUT-OF-ORDER PROCESSORS. UNIVERSITAT POLITÈCNICA DE CATALUNYA. 2008. <a href="http://hdl.handle.net/2117/93337">HTTP://HDL.HANDLE.NET/2117/93337</a>
24.1	SERRANO GRACIA, MARIA ASTON	A TIME-PREDICTABLE PARALLEL PROGRAMING MODEL FOR REAL-TIME SYSTEMS. UNIVERSITAT POLITÈCNICA DE CATALUNYA. 2019. <a href="http://hdl.handle.net/2117/131427">HTTP://HDL.HANDLE.NET/2117/131427</a>
24.2	PANIC, MILOS	A TIME-PREDICTABLE MANY-CORE PROCESSOR DESIGN FOR CRITICAL REAL-TIME EMBEDDED SYSTEMS. UNIVERSITAT POLITÈCNICA DE CATALUNYA. 2018. <a href="http://hdl.handle.net/2117/118782">HTTP://HDL.HANDLE.NET/2117/118782</a>
24.3	KOSMIDIS, LEONIDAS	ENABLING CACHES IN PROBABILISTIC TIMING ANALYSIS. UNIVERSITAT POLITÈCNICA DE CATALUNYA. 2017. <a href="http://hdl.handle.net/2117/113291">HTTP://HDL.HANDLE.NET/2117/113291</a>

	24.3.1	CALDERÓN TORRES, ALEJANDRO JOSUÉ	REAL-TIME HIGH-PERFORMANCE COMPUTING FOR EMBEDDED CONTROL SYSTEMS. UNIVERSITAT POLITÈCNICA DE CATALUNYA. 2022. <a href="http://hdl.handle.net/2117/371621">HTTP://HDL.HANDLE.NET/2117/371621</a>
	24.4	JALLE IBARRA, JAVIER	IMPROVING TIME PREDICTABILITY OF SHARED HARDWARE RESOURCES IN REAL-TIME MULTICORE SYSTEMS: EMPHASIS ON THE SPACE DOMAIN. UNIVERSITAT POLITÈCNICA DE CATALUNYA. 2016. <a href="http://hdl.handle.net/2117/96600">HTTP://HDL.HANDLE.NET/2117/96600</a>
	24.5	PAOLIERI, MARCO	A MULTI-CORE PROCESSOR FOR HARD REAL-TIME SYSTEMS. UNIVERSITAT POLITÈCNICA DE CATALUNYA. 2011. <a href="http://hdl.handle.net/2117/94490">HTTP://HDL.HANDLE.NET/2117/94490</a>
25		CODINA VIÑAS, JOSE MARIA	SINGLE-PHASE INSTRUCTION SCHEDULING FOR CLUSTERED ARCHITECTURES. UNIVERSITAT POLITÈCNICA DE CATALUNYA. 2008
	25.1	MADRILES GIMENO, CARLOS	MITOSIS BASED SPECULATIVE MULTITHREADED ARCHITECTURES. UNIVERSITAT POLITÈCNICA DE CATALUNYA. 2012. <a href="http://hdl.handle.net/2117/94982">HTTP://HDL.HANDLE.NET/2117/94982</a>
	25.2	DEB, ABHISHEK	HW/SW MECHANISMS FOR INSTRUCTION FUSION, ISSUE AND COMMIT IN MODERN U-PROCESSORS. UNIVERSITAT POLITÈCNICA DE CATALUNYA. 2012. <a href="http://hdl.handle.net/2117/94598">HTTP://HDL.HANDLE.NET/2117/94598</a>
	25.3	ALETA ORTEGA, ALEXANDRE	INSTRUCTION SCHEDULING FOR CLUSTERED PROCESSORS BASED ON GRAPH TECHNIQUES. UNIVERSITAT POLITÈCNICA DE CATALUNYA. 2009
26		CHAPARRO MONFERRER, PEDRO	THERMAL AWARE MICROARCHITECTURES. UNIVERSITAT POLITÈCNICA DE CATALUNYA. 2008

- 27 MOLINA CLEMENTE, CARLOS MICROARCHITECTURAL TECHNIQUES TO EXPLOIT REPETITIVE COMPUTATIONS AND VALUES. UNIVERSITAT POLITÈCNICA DE CATALUNYA. 2005. [HTTP://HDL.HANDLE.NET/2117/93303](http://hdl.handle.net/2117/93303)
- 27.1 MILLÁN MARCO, PERE IMPROVING THE ROUTING LAYER OF AD HOC NETWORKS THROUGH PREDICTION TECHNIQUES. UNIVERSITAT ROVIRA I VIRGILI. 2018. [HTTP://HDL.HANDLE.NET/10803/663301](http://hdl.handle.net/10803/663301)
- 27.2 TORRENTS LAPUERTA, MARTI IMPROVING PREFETCHING MECHANISMS FOR TILED CMP PLATFORMS. UNIVERSITAT POLITÈCNICA DE CATALUNYA. 2016. [HTTP://HDL.HANDLE.NET/2117/106295](http://hdl.handle.net/2117/106295)
- 27.3 LIRA RUEDA, JAVIER MANAGING DYNAMIC NON-UNIFORM CACHE ARCHITECTURES. UNIVERSITAT POLITÈCNICA DE CATALUNYA. 2011. [HTTP://HDL.HANDLE.NET/2117/94560](http://hdl.handle.net/2117/94560)
- 28 PAJUELO GONZÁLEZ, MANUEL ALEJANDRO SPECULATIVE VECTORIZATION FOR SUPERSCALAR PROCESSORS. UNIVERSITAT POLITÈCNICA DE CATALUNYA. 2005. [HTTP://HDL.HANDLE.NET/2117/93308](http://hdl.handle.net/2117/93308)
- 28.1 RADOJKOVIC, PETAR IMPROVING THE EFFECTIVE USE OF MULTITHREADED ARCHITECTURES: IMPLICATIONS ON COMPILATION, THREAD ASSIGNMENT, AND TIMING ANALYSIS. UNIVERSITAT POLITÈCNICA DE CATALUNYA. 2013. [HTTP://HDL.HANDLE.NET/2117/95266](http://hdl.handle.net/2117/95266)
- 28.1.1 SANCHEZ VERDEJO, ROMMEL HPC MEMORY SYSTEMS: IMPLICATIONS OF SYSTEM SIMULATION AND CHECKPOINTING. UNIVERSITAT POLITÈCNICA DE CATALUNYA. 2022. [HTTP://HDL.HANDLE.NET/2117/363908](http://hdl.handle.net/2117/363908)
- 28.1.2 ASIFUZZAMAN, KAZI EVALUATION OF STT-MRAM MAIN MEMORY FOR HPC AND REAL-TIME SYSTEMS. UNIVERSITAT POLITÈCNICA DE CATALUNYA. 2019. [HTTP://HDL.HANDLE.NET/2117/167837](http://hdl.handle.net/2117/167837)

- 28.1.3 RADULOVIC, MILAN MEMORY BANDWIDTH AND LATENCY IN HPC: SYSTEM REQUIREMENTS AND PERFORMANCE IMPACT. UNIVERSITAT POLITÈCNICA DE CATALUNYA. 2019. [HTTP://HDL.HANDLE.NET/2117/134613](http://hdl.handle.net/2117/134613)
- 28.1.4 ZIVANOVIC, DARKO MEMORY SYSTEMS FOR HIGH-PERFORMANCE COMPUTING: THE CAPACITY AND RELIABILITY IMPLICATIONS. UNIVERSITAT POLITÈCNICA DE CATALUNYA. 2018. [HTTP://HDL.HANDLE.NET/2117/121194](http://hdl.handle.net/2117/121194)
- 28.1.5 PAVLOVIC, MILAN MEMORY ARCHITECTURES FOR EXAFLOP COMPUTING SYSTEMS. UNIVERSITAT POLITÈCNICA DE CATALUNYA. 2016. [HTTP://HDL.HANDLE.NET/2117/96269](http://hdl.handle.net/2117/96269)
- 28.2 RAMÍREZ GARCÍA, TANAUSU RUNAHEAD THREADS. UNIVERSITAT POLITÈCNICA DE CATALUNYA.2010. [HTTP://HDL.HANDLE.NET/2117/93333](http://hdl.handle.net/2117/93333)
- 29 GIBERT CODINA, ENRIC CLUSTERED DATA CACHE DESIGNS FOR VLIW PROCESSORS. UNIVERSITAT POLITÈCNICA DE CATALUNYA. 2005
- 29.1 BRANKOVIC, ALEKSANDAR PERFORMANCE SIMULATION METHODOLOGIES FOR HARDWARE/SOFTWARE CO-DESIGNED PROCESSORS. UNIVERSITAT POLITÈCNICA DE CATALUNYA. 2015. [HTTP://HDL.HANDLE.NET/2117/95655](http://hdl.handle.net/2117/95655)
- 29.2 LÓPEZ MUÑOZ, PEDRO EFFICIENT HARDWARE/SOFTWARE CO-DESIGNED SCHEMES FOR LOW-POWER PROCESSORS. UNIVERSITAT POLITÈCNICA DE CATALUNYA. 2014. [HTTP://HDL.HANDLE.NET/2117/95292](http://hdl.handle.net/2117/95292)
- 29.3 BHAGAT, INDU CODE OPTIMIZATIONS FOR NARROW BITWIDTH ARCHITECTURES. UNIVERSITAT POLITÈCNICA DE CATALUNYA. 2012. [HTTP://HDL.HANDLE.NET/2117/94666](http://hdl.handle.net/2117/94666)

30	ABELLA FERRER, JAIME	ADAPTIVE AND LOW-COMPLEXITY MICROARCHITECTURES FOR POWER REDUCTION. UNIVERSITAT POLITÈCNICA DE CATALUNYA. 2005
30.1	TRILLA RODRIGUEZ, DAVID	NON-FUNCTIONAL CONSIDERATIONS OF TIME-RANDOMIZED PROCESSOR ARCHITECTURES. UNIVERSITAT POLITÈCNICA DE CATALUNYA. 2020. <a href="http://hdl.handle.net/2117/340979">HTTP://HDL.HANDLE.NET/2117/340979</a>
30.2	MILUTINOVIC, SUZANA	ON THE LIMITS OF PROBABILISTIC TIMING ANALYSIS. UNIVERSITAT POLITÈCNICA DE CATALUNYA. 2019. <a href="http://hdl.handle.net/2117/177246">HTTP://HDL.HANDLE.NET/2117/177246</a>
30.3	FERNANDEZ DIAZ, GABRIEL ALEJANDRO	ENHANCING TIMING ANALYSIS FOR COTS MULTICORES FOR SAFETY-RELATED INDUSTRY: A SOFTWARE APPROACH. UNIVERSITAT POLITÈCNICA DE CATALUNYA. 2018. <a href="http://hdl.handle.net/2117/125025">HTTP://HDL.HANDLE.NET/2117/125025</a>
30.4	SLIJEPCEVIC, MLADEN	PROBABILISTICALLY TIME-ANALYZABLE COMPLEX PROCESSOR DESIGNS. UNIVERSITAT POLITÈCNICA DE CATALUNYA. 2017. <a href="http://hdl.handle.net/2117/114436">HTTP://HDL.HANDLE.NET/2117/114436</a>
30.5	KOSMIDIS, LEONIDAS	ENABLING CACHES IN PROBABILISTIC TIMING ANALYSIS. UNIVERSITAT POLITÈCNICA DE CATALUNYA. 2017. <a href="http://hdl.handle.net/2117/113291">HTTP://HDL.HANDLE.NET/2117/113291</a>
30.5.1	CALDERÓN TORRES, ALEJANDRO JOSUÉ	REAL-TIME HIGH-PERFORMANCE COMPUTING FOR EMBEDDED CONTROL SYSTEMS. UNIVERSITAT POLITÈCNICA DE CATALUNYA. 2022. <a href="http://hdl.handle.net/2117/371621">HTTP://HDL.HANDLE.NET/2117/371621</a>
30.6	JALLE IBARRA, JAVIER	IMPROVING TIME PREDICTABILITY OF SHARED HARDWARE RESOURCES IN REAL-TIME MULTICORE SYSTEMS: EMPHASIS ON THE SPACE DOMAIN. UNIVERSITAT POLITÈCNICA DE CATALUNYA. 2016. <a href="http://hdl.handle.net/2117/96600">HTTP://HDL.HANDLE.NET/2117/96600</a>



- 30.7 LIU, QIXIAO PER-TASK ENERGY METERING AND ACCOUNTING IN THE MULTICORE ERA. UNIVERSITAT POLITÈCNICA DE CATALUNYA. 2016. [HTTP://HDL.HANDLE.NET/2117/96355](http://hdl.handle.net/2117/96355)
- 30.8 MARIC, BOJAN CACHE DESIGNS FOR RELIABLE HYBRID HIGH AND ULTRA-LOW VOLTAGE OPERATION. UNIVERSITAT POLITÈCNICA DE CATALUNYA. 2014. [HTTP://HDL.HANDLE.NET/2117/95289](http://hdl.handle.net/2117/95289)
- 30.9 PONS SOLÉ, MARC LAYOUT REGULARITY FOR DESIGN AND MANUFACTURABILITY. UNIVERSITAT POLITÈCNICA DE CATALUNYA. 2012. [HTTP://HDL.HANDLE.NET/2117/94699](http://hdl.handle.net/2117/94699)
- 31 PARCERISA BUNDÓ, JOAN MANEL DESIGN OF CLUSTERED SUPERSCALAR MICROARCHITECTURES. UNIVERSITAT POLITÈCNICA DE CATALUNYA. 2004. [HTTP://HDL.HANDLE.NET/2117/93302](http://hdl.handle.net/2117/93302)
- 31.1 ANGLADA SANCHEZ, MARTI EXPLOITING FRAME COHERENCE IN REAL-TIME RENDERING FOR ENERGY-EFFICIENT GPUS. UNIVERSITAT POLITÈCNICA DE CATALUNYA. 2020. [HTTP://HDL.HANDLE.NET/2117/192448](http://hdl.handle.net/2117/192448)
- 31.2 DE LUCAS CASAMAYOR, ENRIQUE REDUCING REDUNDANCY OF REAL TIME COMPUTER GRAPHICS IN MOBILE SYSTEMS. UNIVERSITAT POLITÈCNICA DE CATALUNYA. 2018. [HTTP://HDL.HANDLE.NET/2117/117628](http://hdl.handle.net/2117/117628)
- 31.3 ARNAU MONTAÑÉS, JOSÉ MARÍA ENERGY-EFFICIENT MOBILE GPU SYSTEMS. UNIVERSITAT POLITÈCNICA DE CATALUNYA. 2015. [HTTP://HDL.HANDLE.NET/2117/95677](http://hdl.handle.net/2117/95677)
- 31.3.1 PINTO RIVERO, DANIEL ACCELERATION OF AUTOMATIC SPEECH RECOGNITION FOR LOW-POWER DEVICES. UNIVERSITAT POLITÈCNICA DE CATALUNYA. 2022

31.3.2	SILFA FELIZ, FRANYELL ANTONIO	ENERGY-EFFICIENT ARCHITECTURES FOR RECURRENT NEURAL NETWORKS. UNIVERSITAT POLITÈCNICA DE CATALUNYA. 2021
31.2.3	SEGURA SALVADOR, ALBERT	HIGH-PERFORMANCE AND ENERGY-EFFICIENT IRREGULAR GRAPH PROCESSING ON GPU ARCHITECTURES. UNIVERSITAT POLITÈCNICA DE CATALUNYA. 2021
31.2.4	RIERA VILLANUEVA, MARC	LOW-POWER ACCELERATORS FOR COGNITIVE COMPUTIN. UNIVERSITAT POLITÈCNICA DE CATALUNYA. 2020. <a href="http://hdl.handle.net/2117/330738">HTTP://HDL.HANDLE.NET/2117/330738</a>
31.2.5	YAZDANI AMINABADI, REZA	ULTRA LOW-POWER, HIGH-PERFORMANCE ACCELERATOR FOR SPEECH RECOGNITION. UNIVERSITAT POLITÈCNICA DE CATALUNYA. 2019. <a href="http://hdl.handle.net/2117/167843">HTTP://HDL.HANDLE.NET/2117/167843</a>
31.4	BIESCHEWSKI, STEFAN	DESIGN OF A DISTRIBUTED MEMORY UNIT FOR CLUSTERED MICROARCHITECTURES. UNIVERSITAT POLITÈCNICA DE CATALUNYA. 2013. <a href="http://hdl.handle.net/2117/95043">HTTP://HDL.HANDLE.NET/2117/95043</a>
31.5	QUIÑONES MORENO, EDUARDO	PREDICATED EXECUTION AND REGISTER WINDOWS FOR OUT-OF-ORDER PROCESSORS. UNIVERSITAT POLITÈCNICA DE CATALUNYA. 2008. <a href="http://hdl.handle.net/2117/93337">HTTP://HDL.HANDLE.NET/2117/93337</a>
32	CANAL CORRETGER, RAMÓN	POWER- AND PERFORMANCE - AWARE ARCHITECTURES. UNIVERSITAT POLITÈCNICA DE CATALUNYA. 2004.
32.1	RANA, MANISH	STATISTICAL ANALYSIS AND DESIGN OF SUBTHRESHOLD OPERATION MEMORIES. UNIVERSITAT POLITÈCNICA DE CATALUNYA. 2016. <a href="http://hdl.handle.net/2117/96395">HTTP://HDL.HANDLE.NET/2117/96395</a>

- 32.2 JAKSIC, ZORAN CACHE MEMORY DESIGN IN THE FINFET ERA. UNIVERSITAT POLITÈCNICA DE CATALUNYA. 2015. [HTTP://HDL.HANDLE.NET/2117/95758](http://hdl.handle.net/2117/95758)
- 32.3 GANAPATHY, SHRIKANTH RELIABILITY IN THE FACE OF VARIABILITY IN NANOMETER EMBEDDED MEMORIES. UNIVERSITAT POLITÈCNICA DE CATALUNYA. 2014. [HTTP://HDL.HANDLE.NET/2117/95286](http://hdl.handle.net/2117/95286)
- 32.4 HERRERO ABELLANAS, ENRIC ADAPTIVE MEMORY HIERARCHIES FOR NEXT GENERATION TILED MICROARCHITECTURES. UNIVERSITAT POLITÈCNICA DE CATALUNYA. 2011. [HTTP://HDL.HANDLE.NET/2117/94566](http://hdl.handle.net/2117/94566)
- 32.5 MONCHIERO, MATTEO POWER/PERFORMANCE OPTIMIZATION OF MULTICORE ARCHITECTURES. POLITECNICO DI MILANO. 2007.
- 33 MARCUELLO PASCUAL, PEDRO SPECULATIVE MULTITHREADED PROCESSORS. UNIVERSITAT POLITÈCNICA DE CATALUNYA. 2003. [HTTP://HDL.HANDLE.NET/2117/93291](http://hdl.handle.net/2117/93291)
- 33.1 DE LUCAS CASAMAYOR, ENRIQUE REDUCING REDUNDANCY OF REAL TIME COMPUTER GRAPHICS IN MOBILE SYSTEMS. UNIVERSITAT POLITÈCNICA DE CATALUNYA. 2018. [HTTP://HDL.HANDLE.NET/2117/117628](http://hdl.handle.net/2117/117628)
- 33.2 MADRILES GIMENO, CARLOS MITOSIS BASED SPECULATIVE MULTITHREADED ARCHITECTURES. UNIVERSITAT POLITÈCNICA DE CATALUNYA. 2012. [HTTP://HDL.HANDLE.NET/2117/94982](http://hdl.handle.net/2117/94982)
- 33.3 RANJAN, RAKESH SPEEDING UP SEQUENTIAL APPLICATIONS ON MULTICORE PLATFORMS. UNIVERSITAT POLITÈCNICA DE CATALUNYA. 2010

- 34 MONREAL ARNAL, TERESA TÉCNICAS HARDWARE PARA OPTIMIZAR EL USO DE LOS REGISTROS EN PROCESADORES SUPERESCALARES. UNIVERSIDAD DE ZARAGOZA. 2003. [HTTP://WEBDIIS.UNIZAR.ES/GAZ/BIBLIO/PDFS/2003\\_TESIS\\_TERESA.PDF](http://webdiis.unizar.es/gaz/biblio/pdfs/2003_tesis_teresa.pdf)
- 34.1 SUÁREZ GRACIA, DARÍO A TILED CACHE ORGANIZATION. UNIVERSIDAD DE ZARAGOZA. 2011
- 34.1.1 DÁVILA GUZMÁN, MARIA ANGÉLICA FPGA ACCELERATORS ON HETEROGENEOUS SYSTEMS: AN APPROACH USING HIGH LEVEL SYNTHESIS. UNIVERSIDAD DE ZARAGOZA. 2022
- 34.1.2 FERRERÓN LABARI, ALEXANDRA EXPLOITING NATURAL ON-CHIP REDUNDANCY FOR ENERGY EFFICIENT MEMORY AND COMPUTING. UNIVERSIDAD DE ZARAGOZA. 2016
- 34.2 ALASTRUEY BENEDE, JESÚS RENOMBRE DE REGISTROS ESPECULATIVO. UNIVERSIDAD DE ZARAGOZA. 2009
- 34.2.1 FERRERÓN LABARI, ALEXANDRA EXPLOITING NATURAL ON-CHIP REDUNDANCY FOR ENERGY EFFICIENT MEMORY AND COMPUTING. UNIVERSIDAD DE ZARAGOZA. 2016
- 35 ARAGÓN ALCARAZ, JUAN LUIS REDUCCIÓN DE LA PENALIZACIÓN DE LOS SALTOS CONDICIONALES MEDIANTE ESTIMACIÓN DE CONFIANZA. UNIVERSIDAD DE MURCIA. 2003
- 35.1 MOMPEÁN ESTEBAN, JUAN DESARROLLO DE SISTEMAS DE TIEMPO REAL MEDIANTE EL USO DE ACELERADORES GRÁFICOS Y ESPECÍFICOS APLICADOS A LA ÓPTICA VISUAL HUMANA. UNIVERSIDAD DE MURCIA. 2021. [HTTP://HDL.HANDLE.NET/10201/102983](http://hdl.handle.net/10201/102983)

- 35.2            CEBRIAN GONZALEZ, JUAN  
MANUEL            DISEÑO DE MECANISMOS DE GRANO FINO PARA LA GESTIÓN EFICIENTE DE CONSUMO Y TEMPERATURA EN PROCESADORES MULTINÚCLEO. UNIVERSIDAD DE MURCIA. 2011. [HTTP://HDL.HANDLE.NET/10201/24935](http://hdl.handle.net/10201/24935)
- 35.2.1            HERNANDEZ HERNANDEZ,  
MARIO            ANÁLISIS Y EVALUACIÓN DE ARQUITECTURAS HETEROGÉNEAS BASADAS EN INTEL XEON PHI PARA PROBLEMAS CIENTÍFICOS BASADOS EN PATRONES DE CÓMPUTO STENCIL. UNIVERSIDAD DE MURCIA. 2016. [HTTPS://DIGITUM.UM.ES/XMLUI/HANDLE/10201/49988](https://digitum.um.es/xmlui/handle/10201/49988)
- 35.3            SANCHEZ PEDREÑO, DANIEL            DISEÑO DE ARQUITECTURAS PARA LA MITIGACIÓN DE FALLOS HARDWARE EN PROCESADORES MULTINÚCLEO. UNIVERSIDAD DE MURCIA. 2011. [HTTP://HDL.HANDLE.NET/10201/34162](http://hdl.handle.net/10201/34162)
- 35.4            FLORES GIL, ANTONIO            MEJORA DEL RENDIMIENTO Y REDUCCIÓN DE CONSUMO DE LOS PROCESADORES MULTINÚCLEO USANDO REDES HETEROGÉNEAS. UNIVERSIDAD DE MURCIA. 2010. [HTTP://HDL.HANDLE.NET/10201/19764](http://hdl.handle.net/10201/19764)
- 36            SÁNCHEZ NAVARRO,  
FRANCISCO JESÚS            SMART MEMORY MANAGEMENT THROUGH LOCALITY ANALYSIS. UNIVERSITAT POLITÈCNICA DE CATALUNYA. 2000 [HTTP://HDL.HANDLE.NET/2117/93280](http://hdl.handle.net/2117/93280)
- 36.1            BHAGAT, INDU            CODE OPTIMIZATIONS FOR NARROW BITWIDTH ARCHITECTURES. UNIVERSITAT POLITÈCNICA DE CATALUNYA.2012. [HTTP://HDL.HANDLE.NET/2117/94666](http://hdl.handle.net/2117/94666)
- 37            GONZÁLEZ GONZÁLEZ, JOSÉ            SPECULATIVE EXECUTION THROUGH VALUE PREDICTION. UNIVERSITAT POLITÈCNICA DE CATALUNYA. 2000
- 37.1            HERRERO ABELLANAS, ENRIC            ADAPTIVE MEMORY HIERARCHIES FOR NEXT GENERATION TILED MICROARCHITECTURES. UNIVERSITAT POLITÈCNICA DE CATALUNYA. 2011. [HTTP://HDL.HANDLE.NET/2117/94566](http://hdl.handle.net/2117/94566)

- 37.2 LATORRE SALINAS, FERNANDO CLUSTERED MULTITHREADED PROCESSORS. UNIVERSITAT POLITÈCNICA DE CATALUNYA. 2009
- 37.3 CHAPARRO MONFERRER, PEDRO THERMAL AWARE MICROARCHITECTURES.. UNIVERSITAT POLITÈCNICA DE CATALUNYA. 2008
- 37.4 BERNABE GARCIA, GREGORIO DISEÑO, EVALUACION Y OPTIMIZACION DE LA TRANSFORMADA WAVELET PARA CODIFICACION DE VIDEO MEDICO EN ARQUITECTURAS MONOPROCESADOR. UNIVERSIDAD DE MURCIA. 2004.  
[HTTP://DITEC.UM.ES/~GBERNABE/INVESTIGACION.HTM](http://ditec.um.es/~gbernabe/investigacion.htm)
- 37.5 CUENCA MUÑOZ, ANTONIO JAVIER OPTIMIZACIÓN AUTOMÁTICA DE SOFTWARE PARALELO DE ALGEBRA LINEAL. UNIVERSIDAD DE MURCIA. 2004. [HTTP://DITEC.UM.ES/~JAVIERCM/PUBLICACIONES/2004/TESIS.PDF](http://ditec.um.es/~javiercm/publicaciones/2004/tesis.pdf)
- 37.5.1 CANO LORENTE, JOSE CARLOS DESARROLLO, OPTIMIZACIÓN Y AUTO-OPTIMIZACIÓN DE ALGORITMOS PARALELOS PARA ANÁLISIS CINEMÁTICO DE SISTEMAS MULTICUERPO BASADO EN ECUACIONES DE GRUPO. UNIVERSIDAD DE MURCIA. 2021
- 37.5.2 CAMARA MORENO, JESUS TÉCNICAS DE OPTIMIZACIÓN DE RUTINAS PARALELAS DE ÁLGEBRA LINEAL EN SISTEMAS HETEROGÉNEOS. UNIVERSIDAD DE MURCIA. 2020. [HTTP://HDL.HANDLE.NET/10201/101964](http://hdl.handle.net/10201/101964)
- 37.5.3 GARCIA GONZALEZ, LUIS PEDRO TÉCNICAS DE MODELADO Y OPTIMIZACIÓN DEL TIEMPO DE EJECUCIÓN DE RUTINAS PARALELAS DE ÁLGEBRA LINEAL. UNIVERSIDAD DE MURCIA. 2012.  
[HTTP://DIGITUM.UM.ES/XMLUI/HANDLE/10201/28042](http://digitum.um.es/xmlui/handle/10201/28042)
- 37.6 ARAGÓN ALCARAZ, JUAN LUIS REDUCCIÓN DE LA PENALIZACIÓN DE LOS SALTOS CONDICIONALES MEDIANTE ESTIMACIÓN DE CONFIANZA. UNIVERSIDAD DE MURCIA. 2003

- 38           DÍAZ DE CERIO RIPALDA, LUIS    CALMANT: UN METODO SISTEMATICO PARA LA EJECUCION DE ALGORITMOS CON TOPOLOGIA HIPERCUBO EN  
MANUEL                                   MULTICOMPUTADORES. UNIVERSITAT POLITÈCNICA DE CATALUNYA. 1999
- 38.1           GALLARDO GOMEZ, ANTONIA        DESCUBRIMIENTO DE SERVICIOS TOLERANTE A FALLOS BASADO EN HIPERCUBOS PARA SISTEMAS  
DISTRIBUIDOS DE GRAN ESCALA. UNIVERSITAT POLITÈCNICA DE CATALUNYA.2013.  
[HTTP://HDL.HANDLE.NET/2117/95155](http://hdl.handle.net/2117/95155)
- 39           TUBELLA MURGADAS, JORDI        MULTIPATH: UN SISTEMA PARA LA PROGRAMACION LOGICA. UNIVERSITAT POLITÈCNICA DE CATALUNYA. 1997.  
[HTTP://HDL.HANDLE.NET/2117/93325](http://hdl.handle.net/2117/93325)
- 39.1           TABANI, HAMID                    LOW-POWER ARCHITECTURES FOR AUTOMATIC SPEECH RECOGNITION. UNIVERSITAT POLITÈCNICA DE  
CATALUNYA. 2018. [HTTP://HDL.HANDLE.NET/2117/115363](http://hdl.handle.net/2117/115363)
- 39.2           JHA, SUDHANSHU SHEKHAR         POWER-CONSTRAINED AWARE AND LATENCY-AWARE MICROARCHITECTURAL OPTIMIZATIONS IN MANY-  
CORE PROCESSORS. UNIVERSITAT POLITÈCNICA DE CATALUNYA. 2016.  
[HTTP://HDL.HANDLE.NET/2117/105575](http://hdl.handle.net/2117/105575)
- 39.3           SREEKAR SHENOY, GOVIND         ARCHITECTURE SUPPORT FOR INTRUSION DETECTION SYSTEMS. UNIVERSITAT POLITÈCNICA DE  
CATALUNYA. 2012. [HTTP://HDL.HANDLE.NET/2117/94979](http://hdl.handle.net/2117/94979)
- 39.4           MOLINA CLEMENTE, CARLOS        MICROARCHITECTURAL TECHNIQUES TO EXPLOIT REPETITIVE COMPUTATIONS AND VALUES. UNIVERSITAT  
POLITÈCNICA DE CATALUNYA. 2005. [HTTP://HDL.HANDLE.NET/2117/93303](http://hdl.handle.net/2117/93303)

## Antonio González i els seus doctorands

El professor Antonio González ha dirigit, fins l'any 2022, un total de 39 tesis doctorals, que suposen una ramificació de 126 tesis doctorals comptant amb les dirigides pels investigadors que han tingut a Antonio González com a director de tesis. Aquesta gràfica mostra els noms dels doctorands del professor González així como la quantitat de tesis doctorals que ha dirigit cadascun d'ells.

