

令和三年度 修士論文

オペアンプ試験法および 超低電流測定法の研究

群馬大学大学院理工学府（博士前期課程）
理工学専攻 電子情報・数理教育プログラム
情報通信システム第二研究室（小林研究室）

学籍番号 T201D018

荻原 岳

指導教員 小林春夫 教授

目次

第1部 オペアンプ試験法.....	4
第1章 序論.....	4
1-1 研究目的と背景.....	4
1-2 第1部の構成.....	4
第2章 NULL法.....	5
第3章 提案手法.....	6
3-1 マルチトーン信号とFFT.....	6
3-2 サミングノード法.....	6
第4章 複数デバイスの同時測定.....	8
4-1 概要.....	8
4-2 実機測定.....	8
4-3 測定結果.....	9
第5章 シミュレーション.....	12
5-1 NULL法.....	12
5-2 サミングノード法.....	15
5-3 まとめ.....	18
第6章 実機測定.....	19
6-1 NULL法.....	19
6-2 サミングノード法.....	21
6-3 まとめ.....	23
第7章 複数AC特性の同時測定.....	24
7-1 概要.....	24
7-2 シミュレーション.....	24
7-3 実機測定.....	26
7-4 まとめ.....	28
第8章 歪み測定.....	29
8-1 概要.....	29
8-2 高調波歪み (HD).....	29
8-3 信号雑音比 (SNR).....	36
8-4 全高調波歪み (THD+N).....	38
8-5 まとめ.....	40
第9章 疑似サミングノード法.....	41
9-1 概要.....	41
9-2 提案回路.....	41

9-3 シミュレーション	42
第10章 結論.....	44
10-1 統合試験システム	44
10-2 まとめ	44
第2部 超低電流測定法.....	45
第1章 序論.....	45
1-1 研究目的と背景	45
1-2 第2部の構成	45
第2章 提案手法.....	46
2-1 既存の電流測定手法	46
2-2 FFT ベース DC-AC 変換.....	47
2-3 測定時間の改善	48
第3章 システム構成.....	49
3-1 概要	49
3-2 抵抗負荷 DUT 試験	51
3-3 実デバイス試験	55
第4章 過渡応答性.....	57
4-1 DUT 電源応答	57
4-2 応答性シミュレーション	59
第5章 結論.....	62
5-1 まとめ	62
5-2 今後の課題	62
参考文献	63
第1部	63
第2部	63
発表論文	65
国際会議	65
国内会議	66
受賞	66
謝辞	67

第 1 部 オペアンプ試験法

第 1 章 序論

1-1 研究目的と背景

今日に至るまでのインターネットの世界的な普及や IC の高集積化に伴い、人々の生活には電子機器が広く浸透し、もはや生活必需品と言っても過言ではない様相を呈するようになった。さらにはインターネットと周囲のモノをつなぐ「IoT」(Internet of Things モノのインターネット) の概念の出現から 20 年近く経ち、市場規模は数百億ドルともいわれる。2017 年は「IoT 元年」と呼ばれる程、IoT の注目度が急速に上がり、現在も急成長し続けている。

昨今、自動車界限はガソリンを燃料とするエンジン車から電気で駆動する電気自動車への転換期に突入しており、同時に運転手のアシストや自動走行を目的とした自動運転技術も付加価値として注目を浴びている。車載用 LSI は、非常に高い信頼性が要求されるデバイスであり、関係者によると車載用 LSI の歩留まり率は限りなく 1.0 に近い値が要求されるという。これまでも重要な役割を担ってきた車載用 LSI だが、自動運転技術の進歩に伴い、その重要性はさらに高まると思われる。これは同様にデバイステストや評価の重要性が飛躍的に高まっていることを意味していると考えられる。

オーディオ機器に使用される電子部品には、その内包する残留ひずみや雑音の大きさによってオーディオ機器の音質の良し悪しが大きく左右されるため、非常に小さなノイズレベルが求められる。そして、それら機器のテストを行うための試験装置には、試験対象と同等かさらに小さなノイズを検出できる性能が求められる。オーディオ機器用試験装置は、研究・実験レベルでの使用を想定したモデルでさえ、数百万円のコストがかかり、導入は容易ではない。

IoT や車載用 LSI、オーディオ機器などの今後の発展のため、LSI の大量生産及び量産試験において、高精度・高品質であるとともに導入コストが安価な試験手法が必要とされている。以上の動機を以て本研究は行われた。

1-2 第 1 部の構成

まず第 2 章でオペアンプ試験の従来法の NULL 法を紹介する。第 3 章では、今回提案する試験手法の原理について基本回路を用いて説明する。第 4 章では、オペアンプの高速試験のアプローチの一つとして、複数のデバイスの同時測定を述べる。第 5 章では、NULL 法のシミュレーションと実機測定の比較を述べる。第 6 章では、提案手法のシミュレーションと実機測定の比較を述べる。第 7 章では、それまでの内容を踏まえオペアンプの複数の AC 特性を同時に測定する手法に関して述べる。第 8 章では、オーディオ機器を想定した試験回路を紹介する。第 9 章では提案手法の懸念点を述べ、その解決案を提示する。最後に第 10 章で、全体のまとめを述べる。

第2章 NULL 法

従来、オペアンプの特性試験には NULL 法 (図 2.1 参照) が用いられてきた (或いはテストコスト削減のため簡単なものに留められてきた)。NULL 法は被試験デバイス (Device Under Test: DUT) 出力を積分回路に通し、この積分回路出力が DUT 入力に負帰還をかける働きをする。これにより安定したサーボループを形成し、高い精度を実現している。試験信号の印加点及びスイッチ (表 2.1 参照) を切り替えることにより、オペアンプの DC 特性およびある程度の AC 特性試験が可能となり、測定時間を問題としない研究室レベルのデバイス試験・評価では有効な試験方法である。しかし、半導体試験装置 (Automatic Test Equipment: ATE) を用いた量産試験 (テスト) では、積分回路を含むループ系の応答特性を原因として試験時間 (=テストコスト) が問題となる。

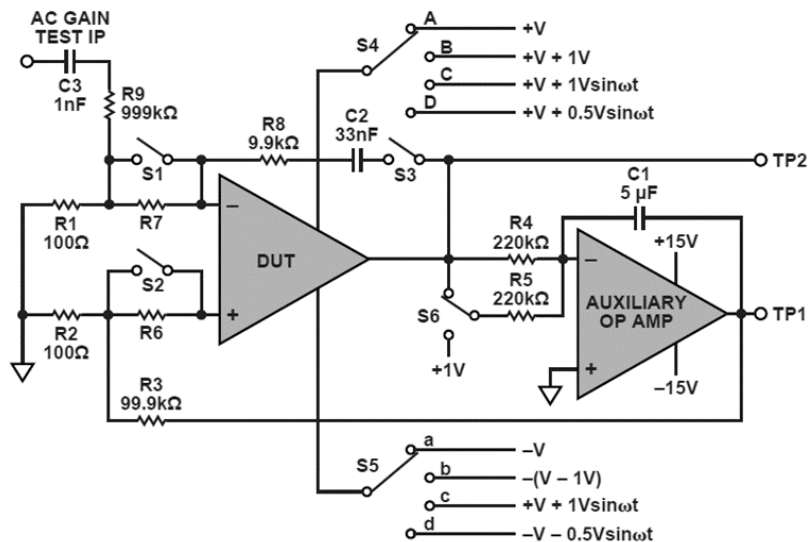


図 2.1 NULL 法 基本的なオペアンプ測定回路

表 2.1 NULL 法 スイッチポジションと対応する特性

スイッチ	S1	S2	S3	S4	S5	S6
オフセット電圧	ON	ON	OFF	A	a	OFF
オフセット電圧 とバイアス電流	ON/OFF	ON/OFF	OFF	A	a	OFF
DC ゲイン	ON	ON	OFF	A	a	OFF/ON
AC ゲイン	ON	ON	OFF	A	a	OFF
DC CMRR	ON	ON	OFF	A/B	a/b	OFF
DC PSRR	ON	ON	OFF	A/B	a/b	OFF
AC CMRR	ON	ON	ON	C	c	OFF
AC PSRR	ON	ON	ON	D	d	OFF

出典: Analog Dialogue Vol 45 Apr.2011 Analog Devices

第3章 提案手法

3-1 マルチトーン信号と FFT

提案手法におけるマルチトーン信号と高速フーリエ変換（Fast Fourier Transform : FFT）の役割について述べる。FFT を用いることで一つの測定系に複数の異なる単一周波数信号を同じタイミングで入力し、測定系からの出力を最終的に一つにまとめてマルチトーン信号としてサンプリング・FFT 処理することで各周波数成分の強度を同時に測定することができる。具体的には、DUT の AC 特性を知りたいとき、その試験項目ごとに異なる周波数の正弦波を試験信号としても用いることで多岐にわたる試験項目を、あるいは複数の DUT を同時に試験できる（図 3.1 参照）。

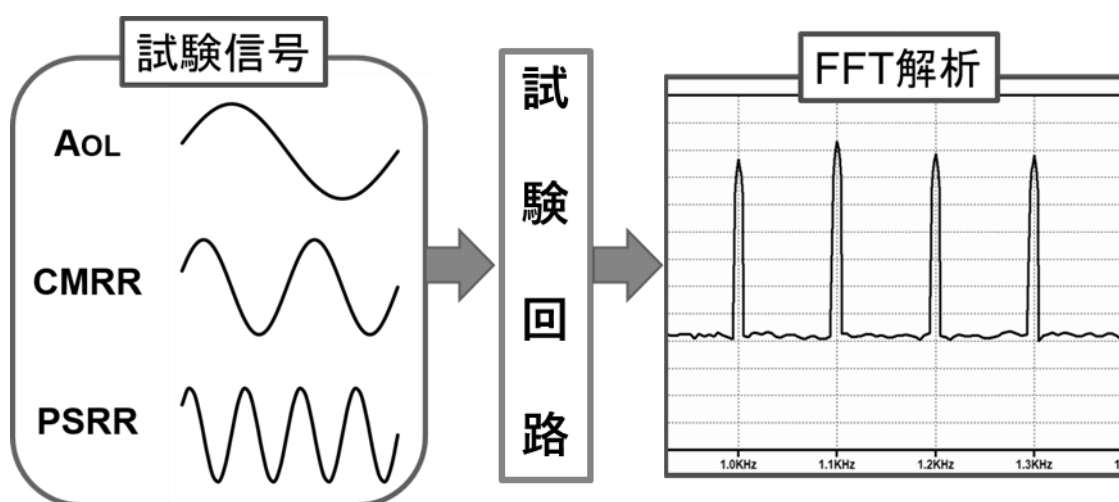


図 3.1 マルチトーン信号と FFT を組み合わせた測定の概要

3-2 サミングノード法

提案手法の基本構成は、オペアンプを用いた反転増幅回路である。反転増幅回路におけるオペアンプの反転入力（サミングノード : Summing Node）には、AOL（Open Loop Gain : 開ループゲイン）を始めとした AC 特性の影響が重畳して表れるのが特徴である。サミングノードを測定点として行われる試験手法を FFT に基づいたサミングノード試験法（以下、サミングノード法）と呼ぶこととする。

図 3.2 に提案手法に基づく測定回路を示す。これはオペアンプの反転増幅器回路とサミングノード電圧を増幅する補助アンプによって成り立っている。補助アンプ（以下 Sum Amp と呼ぶ）の役割は、サミングノード電圧を Sum Amp の閉ループゲイン倍（図中では 100 倍（+40dB））だけ増幅し測定を容易にすることである。この補助アンプの出力（Sum Amp Out）と DUT 出力（DUT Out）をサンプリング・FFT 解析し、計算することで AOL, PSRR（Power Supply Rejection Ratio : 電源電圧変動除去比）, CMRR（Common Mode Rejection Ratio : 同相

電圧変動除去比) などの AC 特性を明らかとすることが本試験法の特徴である。

図 3.2 に示す提案回路に関して、AOL の導出式は以下のように表される。

$$A_{OL} = 20 \log_{10} \left(\frac{V_{DUTout}}{V_{SUMout}} A_{CL} \right) [dB] \quad (1)$$

A_{OL} : 開ループゲイン

V_{DUTout} : DUT 出力電圧

V_{SUMout} : Sum Amp (LF356)出力電圧

A_{CL} : Sum Amp(LF356)の開ループゲイン

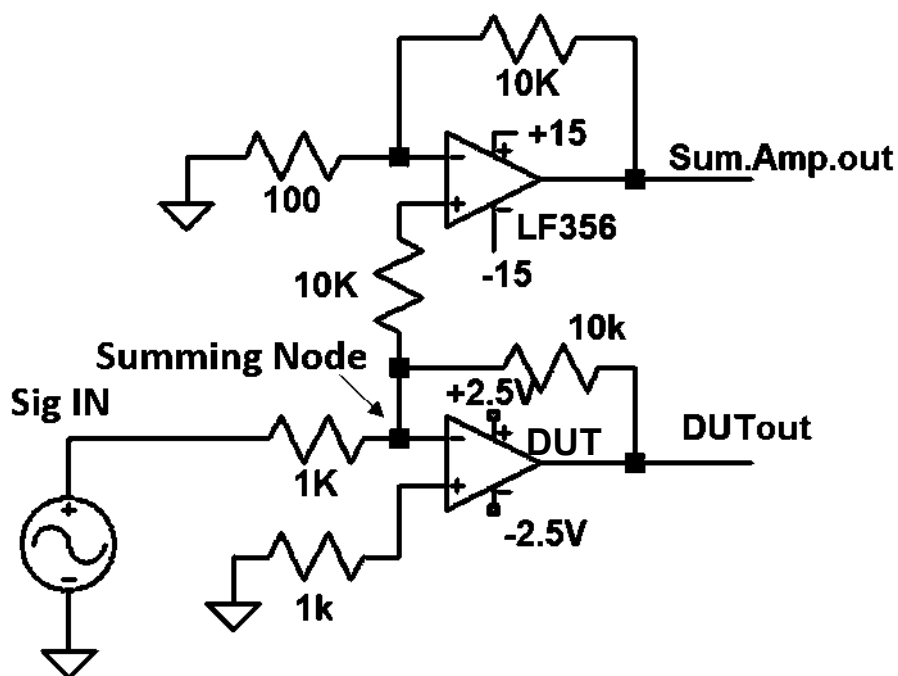


図 3.2 提案手法による基本的な回路構成

第4章 複数デバイスの同時測定

4-1 概要

本章では、先行研究 ([9]) における複数のオペアンプの開ループゲインを同時測定する試行について述べる。ここでは AOL のみの測定であり、CMRR や PSRR に関しては未実施である。複数 DUT それぞれの AOL を同時測定するにあたり、図 3.2 の基本回路を DUT の個数分用意する必要がある。図 3.2 の基本回路で得られる複数の DUT 出力 (DUT out) と補助アンプ出力 (Sum Amp out) を別々の加算回路を用いてそれぞれ加算し、重畳後の信号を FFT 解析することで DUT それぞれの AOL を同時に求めるまでが大まかな流れである。

4-2 実機測定

測定実験に際して図 4.1 の回路を 2 個用意し、片方で DUT 出力を重畳し、もう片方で補助アンプ出力を加算した。実験では DUT として Analog Devices の AD8571 を 4 個用意し、4 チャンネルの信号発生器を使用して測定を行った。

入力信号 (図 3.2 : Sig IN) の強度は $100\text{mVrms}(-20\text{dBV})$ とし、10 倍の増幅器を用いて DUT 出力にて $1\text{Vrms} (0\text{dBV})$ となるように設定した。さらに各信号の周波数は 100Hz 刻み (1ch から 4ch まで順に $1\text{kHz}, 1.1\text{kHz}, 1.2\text{kHz}, 1.3\text{kHz}$) の場合と 10Hz 刻み (1ch から 4ch まで順に $1\text{kHz}, 1.01\text{kHz}, 1.02\text{kHz}, 1.03\text{kHz}$) の場合の 2 通りについて測定試験を行った。試験信号の周波数の刻み幅を狭めて実験を行ったのは、刻み幅が狭いほど測定可能な周波数帯域を有効活用できる (試験信号をより多く同時に扱うことができる) ことを検証するためである。

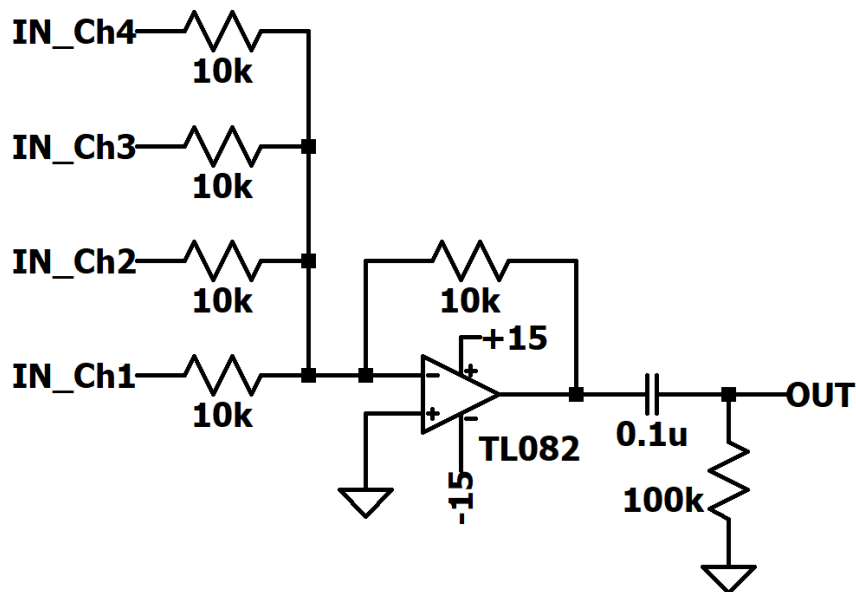


図 4.1 4ch AOL 同時測定実験にて使用した加算回路

4-3 測定結果

100Hz 刻みの場合の出力の周波数スペクトルを図 4.2, 図 4.3 に示す。また 10Hz 刻みの場合のものを図 4.4, 図 4.5 に示す。表 4.1, 表 4.2 には 2 通りの刻み幅における各々の測定結果と各 DUT の開ループゲインを示す。サンプリング条件は、サンプル数 1024bin、サンプリングレート 25.6ksps、フラットトップ窓が適用されている。補助アンプゲインは一律+40dB である。

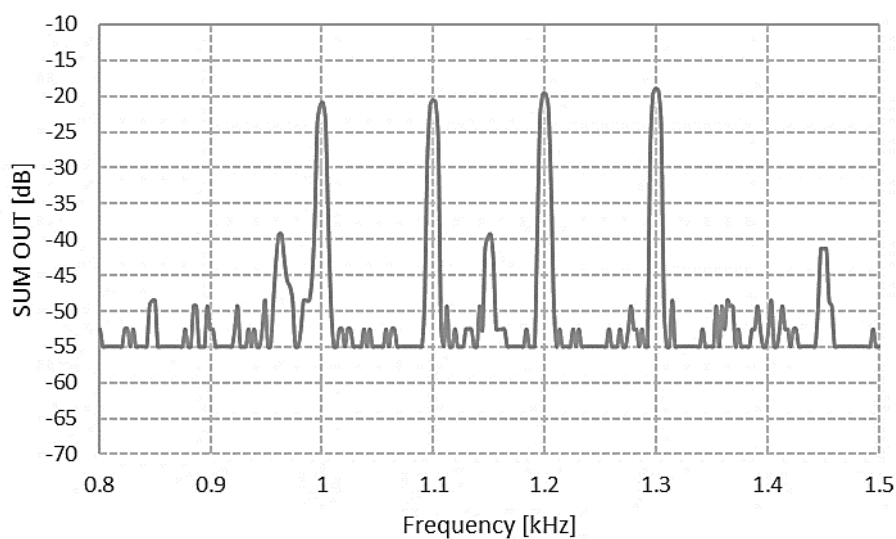


図 4.2 100Hz 間隔時の補助アンプ出力スペクトル

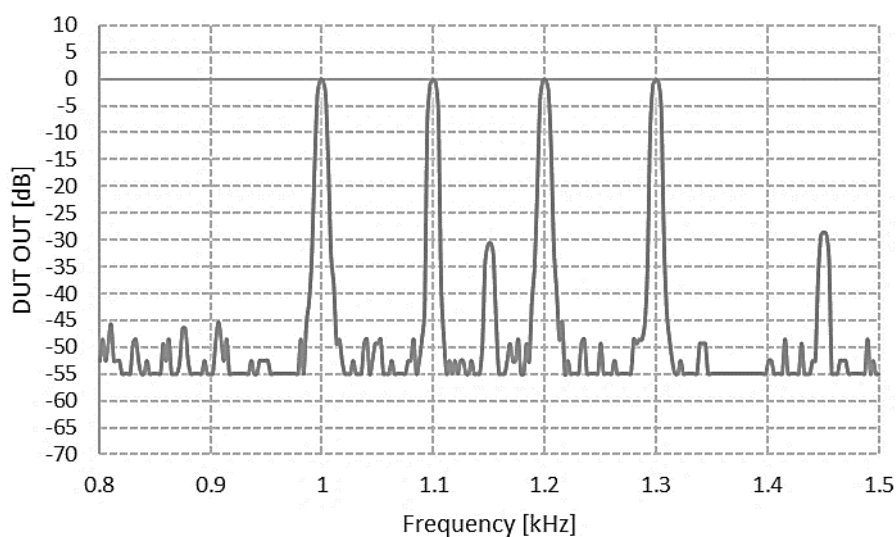


図 4.3 100Hz 間隔時の DUT 出力スペクトル

表 4.1 100Hz 間隔時の測定値と開ループゲイン

項目 ch	DUTout[dB]	SUMout[dB]	補正值[dB]	AoL[dB]
Ch1(1.0kHz)	-0.15	-21.35	+0	61.20
Ch2(1.1kHz)	-0.15	-20.55	+0.81	61.21
Ch3(1.2kHz)	-0.15	-19.75	+1.57	61.17
Ch4(1.3kHz)	-0.15	-19.95	+2.27	62.07

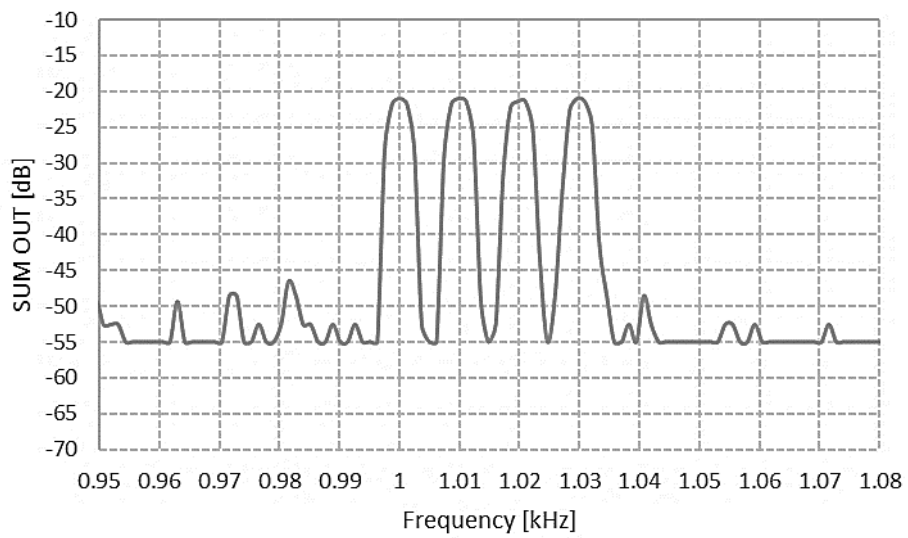


図 4.4 100Hz 間隔時の補助アンプ出力スペクトル

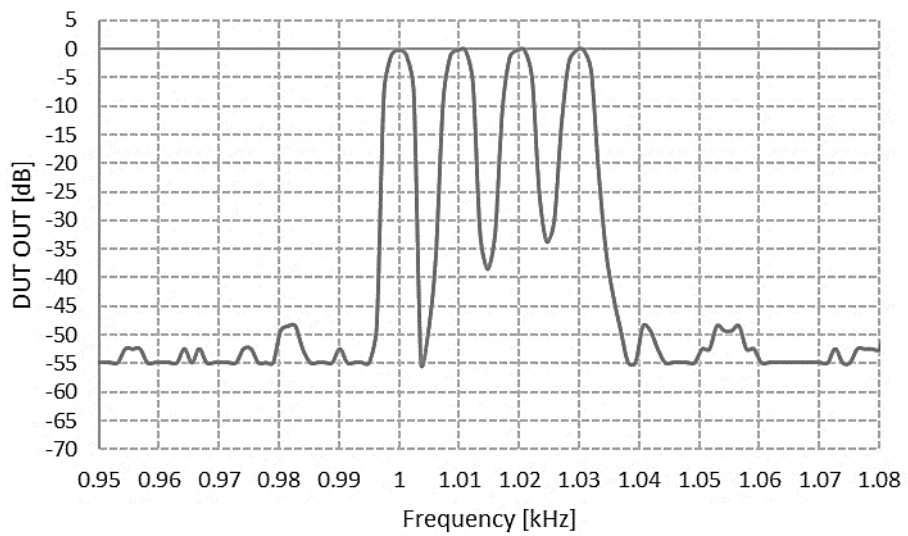


図 4.5 100Hz 間隔時の DUT 出力スペクトル

表 4.2 10Hz 間隔時の測定値と開ループゲイン

項目 ch	DUTout[dB]	SUMout[dB]	補正值[dB]	AoL[dB]
Ch1(1.00kHz)	-0.15	-20.95	+0	60.80
Ch2(1.01kHz)	-0.15	-20.95	+0.07	60.87
Ch3(1.02kHz)	-0.15	-21.35	+0.16	61.36
Ch4(1.03kHz)	-0.15	-20.95	+0.24	61.04

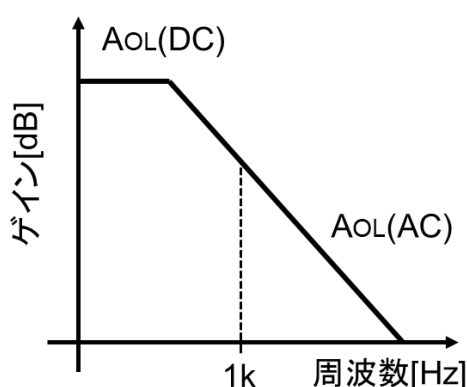


図 4.5 オペアンプのゲイン特性

前述の通り、図 4.3, 図 4.5 に表される DUT 出力スペクトルは、入力信号と回路構成の意図のように 4ch すべてにおいておよそ 0dB となっていることがわかる。補助アンプ出力スペクトルは、4ch それぞれに異なる周波数を割り振ったため、一様ではない。しかし、これらの結果を最終的にデバイスの仕様書に落とし込む際、動作周波数 1kHz 時のパラメータに統一する必要がある。故に試験信号が 1kHz 以外の場合、1kHz 時の値へ補正する必要がある。ここではオペアンプのゲイン特性として図 4.5 のような特性を想定している。オペアンプのゲイン特性は、DC 動作時や低周波領域で増幅率が大きくなるが、周波数が高くなるにつれて線形的に減少していくという特徴を持つ。実験では高周波領域の傾きをシミュレータで算出し、それをもとに周波数ごとの補正值を求めた。

$$A_{OL}[\text{dB}] = V_{DUTout}[\text{dB}] - (V_{SUMout}[\text{dB}] - A_{CL}[\text{dB}]) + \Delta G \quad (2)$$

V_{DUTout} : DUT 出力電圧 [dB]

V_{SUMout} : Sum Amp (LF356)出力電圧 [dB]

A_{CL} : Sum Amp(LF356)の開ループゲイン

ΔG : シミュレータで導出した補正值

第5章 シミュレーション

5-1 NULL 法

NULL 法を用いたシミュレーション回路として図 5.1 に示す回路を使用する。図 5.1 (a) では、PSRR と CMRR 用の測定回路を示し、図 5.1 (b) では、AOL 用の測定回路を示す。図 5.1 (a) の PSRR (または CMRR) 用回路では、オペアンプの正電源 (+Vs) , 負電源 (-Vs) に電圧変動(試験信号)を与え、その時の電源電圧重畳レベル $V(ac)$ と DUT 出力レベル $V(out)$ の信号強度から各特性を導出する。図 5.1 (b) に示される AOL 測定回路では、DUT 出力レベル $V(out)$ と DUT 入力レベル $V(in)$ から AOL が導出される。

$$PSRR, CMRR = 20 \log_{10} \frac{V_{AC}}{V_{OUT}} + A_{CL_DUT} [dB] \quad (3)$$

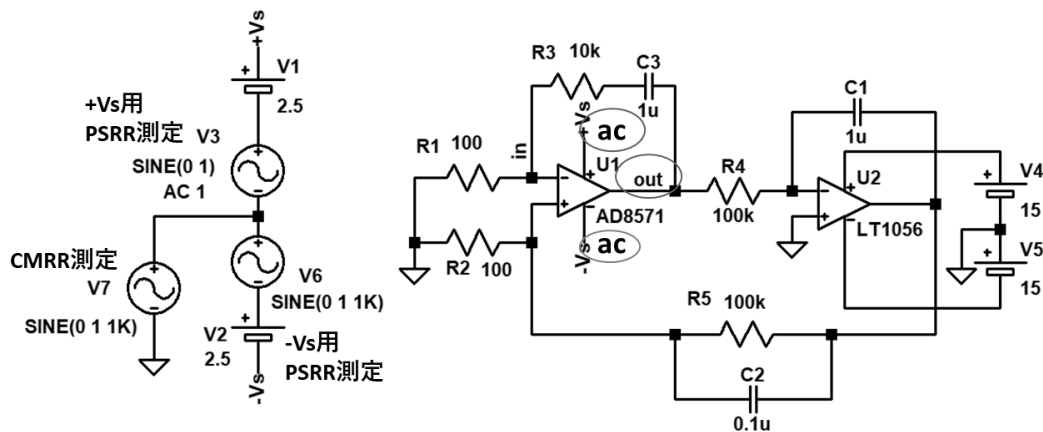
$$A_{OL} = 20 \log_{10} \frac{V_{OUT}}{V_{IN}} [dB] \quad (4)$$

V_{AC} : 電源電圧重畳レベル

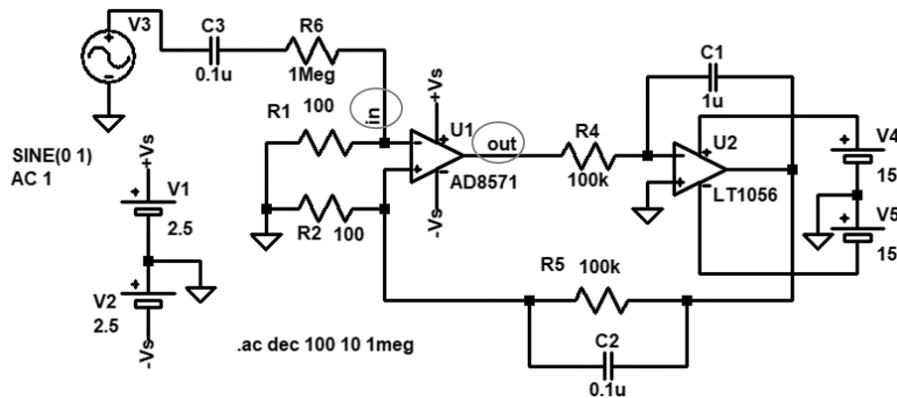
V_{OUT} : DUT 出力レベル

V_{IN} : DUT 入力レベル

A_{CL_DUT} : DUT の閉ループゲイン



(a) PSRR, CMRR 用シミュレーション回路

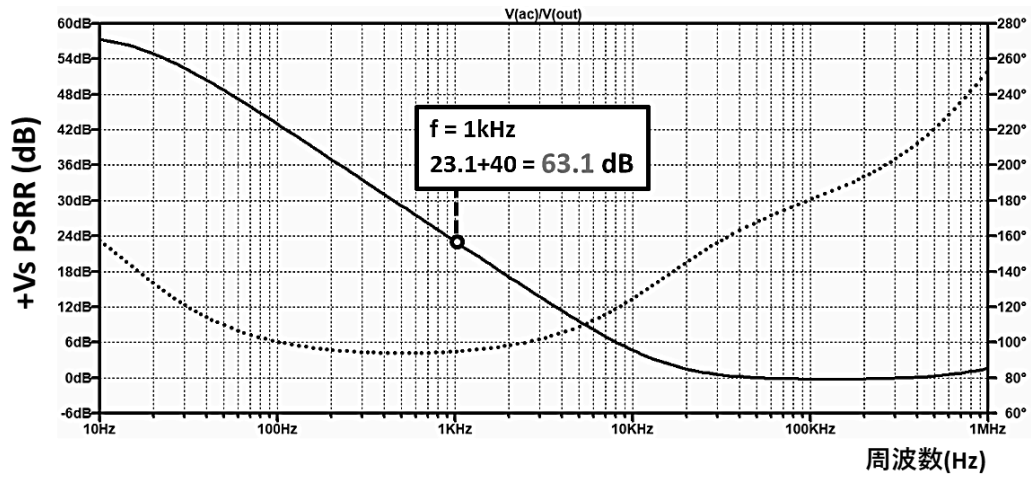


(b) AOL用シミュレーション回路

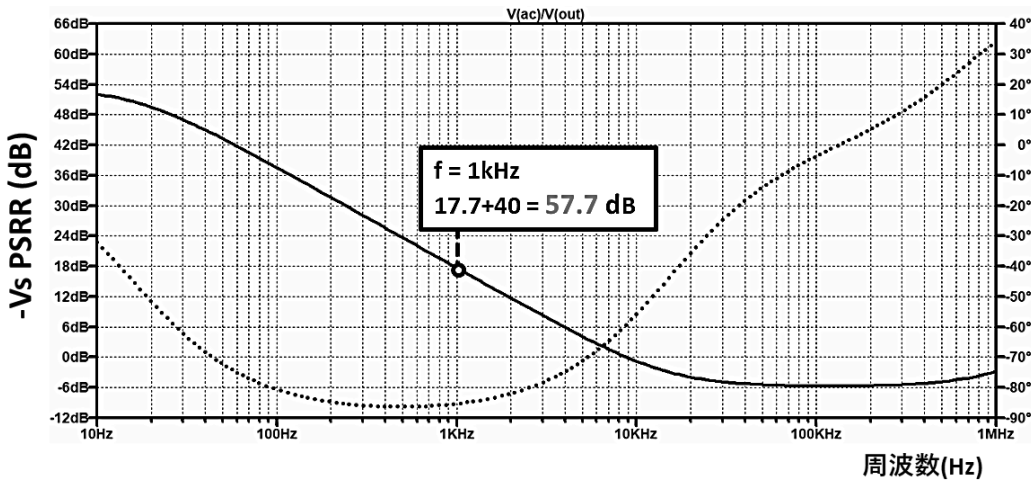
図 5.1 NULL 法のシミュレーション回路

図 5.2 に各特性のシミュレーション結果を示す。図 5.2 (a), (b), (c) には、PSRR, CMRR のシミュレーション結果を示しており、AC 解析の結果に加え DUT の閉ループゲインを考慮に入れて計算されている。本論文で言及されるサミングノード法は、DUT の反転入力端が観測点となっており、各手法による測定結果の違いを明確化するため、NULL 法によるシミュレーション結果を DUT 反転入力端の数値に変換する必要がある。DUT の出力は、その入力に対して信号レベルが 100 倍 (+40dB) になるように設定しており、電源電圧の変動の影響を DUT 入力に比べて 100 倍大きく受けることになる。故に PSRR, CMRR の数値は入力レベルから算出した場合と比較して 1/100 (-40dB) になってしまうため、+40dB の補正が必要となる。

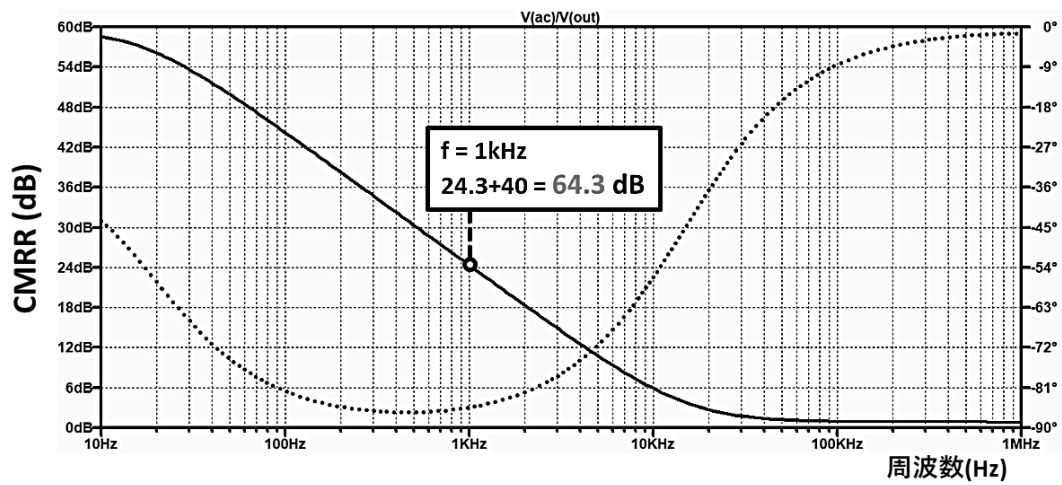
図 5.2 (d) AOL AC 特性の低周波帯域に関して、50Hz 付近で最大強度になっていることがわかる。図 5.1 (b) のシミュレーション回路において、積分器の出力が DUT に帰還されるループ中の帰還容量 C2 が原因として挙げられる。この容量値を 1pF から 1μF まで 10 倍間隔で変化させた際のシミュレーション結果を図 5.2 (e) に示す。容量値が小さい場合、50Hz 付近に鋭い極を形成する傾向にあり、反対に容量値が大きくなるほど 50Hz 付近は平坦に近づき、高周波帯に極を形成する。これより NULL 法による AOL 測定において、帰還容量として適切な容量値を選択する必要がある。



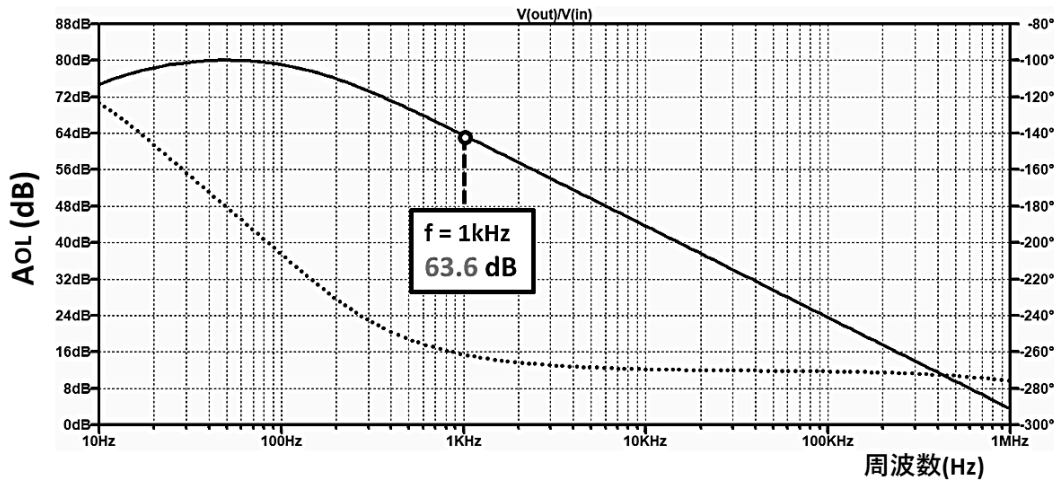
(a) 正電源 (+Vs) 変動時の PSRR AC 特性



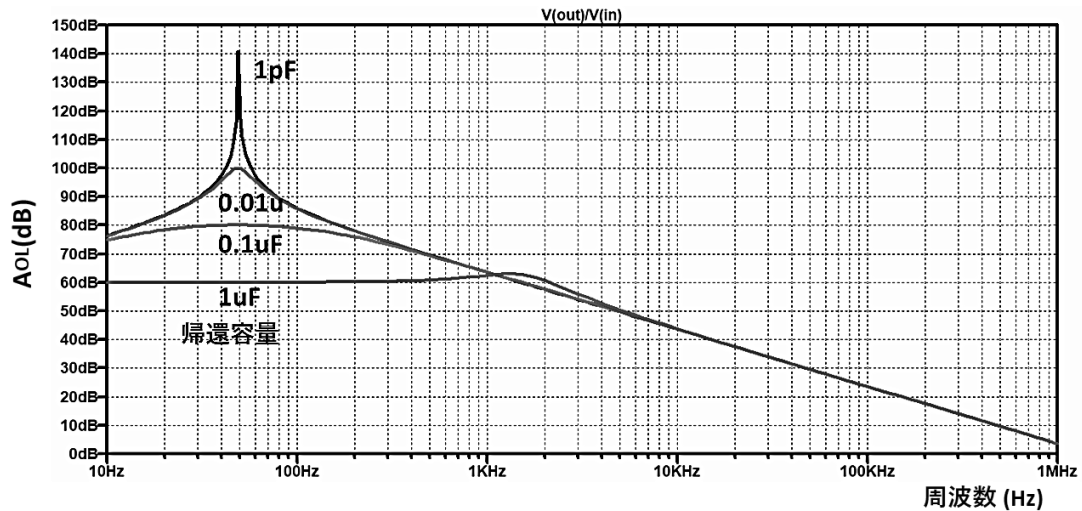
(b) 負電源 (-Vs) 変動時の PSRR AC 特性



(c) CMRR AC 特性



(d) AOL AC 特性



(e) AOL AC 特性に対する帰還容量 C2 の影響

図 5.2 NULL 法のシミュレーション結果

5-2 サミングノード法

サミングノード法によるシミュレーションに使用した回路図を図 5.3 に示す。図 5.3 (a)は PSRR, CMRR 用回路である。DUT の両電源に+2.5V, -2.5V の定電圧源に加え、他 3 種類の信号源を配置している。DUT 正電源側に接続されている信号源が正電源側 PSRR (+Vs PSRR) 用試験信号源で DUT 負電源側に接続されている信号源が負電源側 PSRR (-Vs PSRR) 用試験信号源である。両信号源の中間ノードに接続されている信号源が CMRR 用試験信号源である。測定の際には測定対象のパラメータに対応する信号源以外の信号源は短絡し、同時に一つずつ測定を行った。図 5.3 (b) は AOL 用の回路である。

なおシミュレーションでは実機と異なり、サミングノード電圧を増幅する必要はないため、図 5.3 の回路が補助アンプを省略した構成となっている。

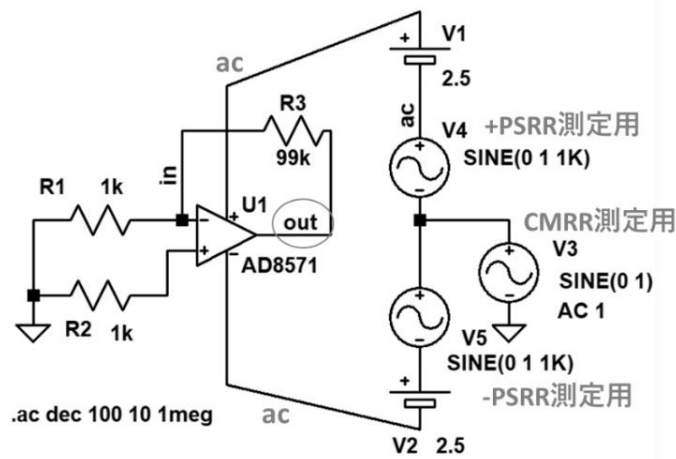
図 5.3 の回路における各特性の導出式は以下の通りである。

$$\text{PSRR, CMRR} = 20 \log_{10} \frac{V_{AC}}{V_{IN}} \text{ [dB]} \quad (5)$$

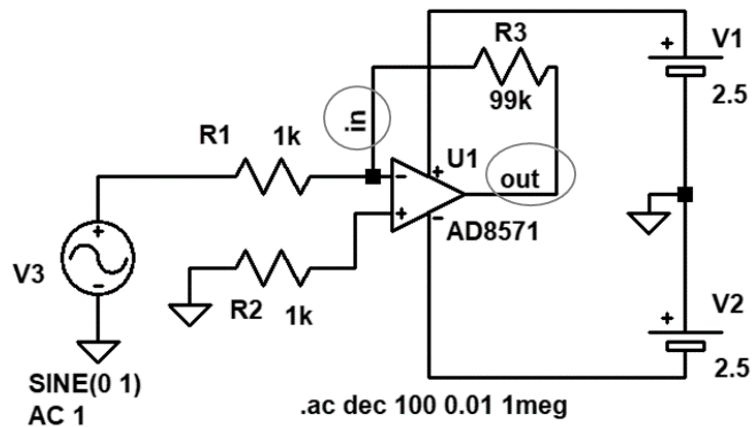
$$A_{OL} = 20 \log_{10} \frac{V_{OUT}}{V_{IN}} \text{ [dB]} \quad (6)$$

V_{AC} : 電源電圧重畳レベル

V_{OUT} : DUT 出力レベル, V_{IN} : DUT 入力レベル

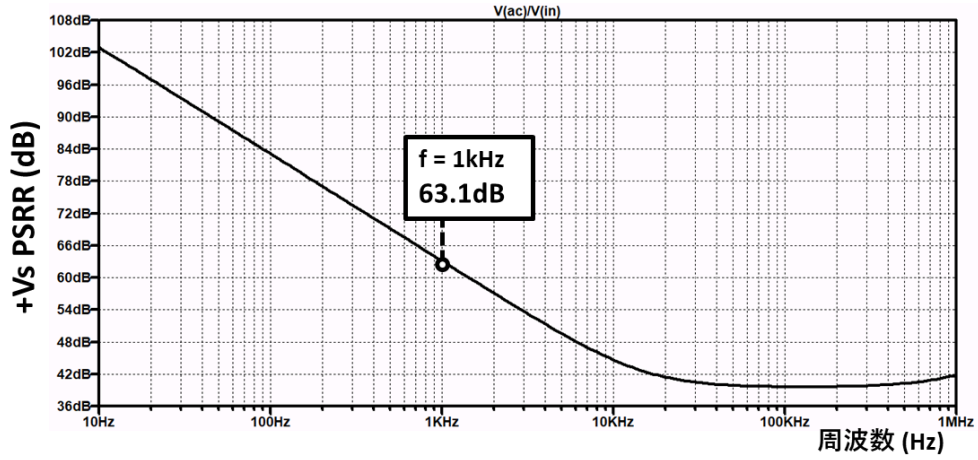


(a) サミングノード法 PSRR, CMRR シミュレーション回路

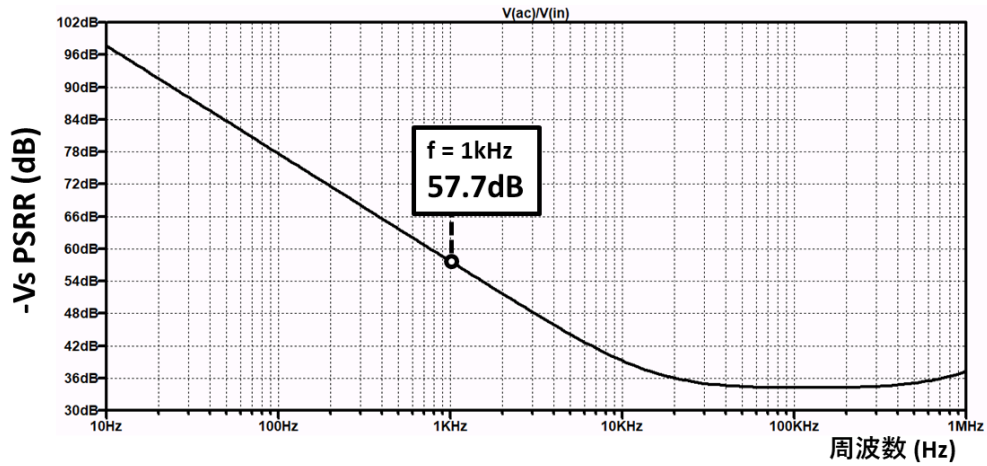


(b) サミングノード法 AOL シミュレーション回路

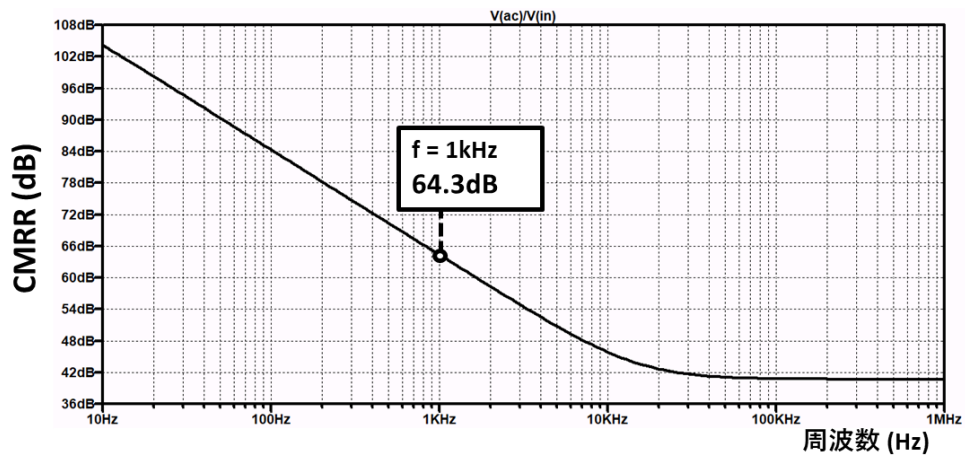
図 5.3 サミングノード法のシミュレーション回路



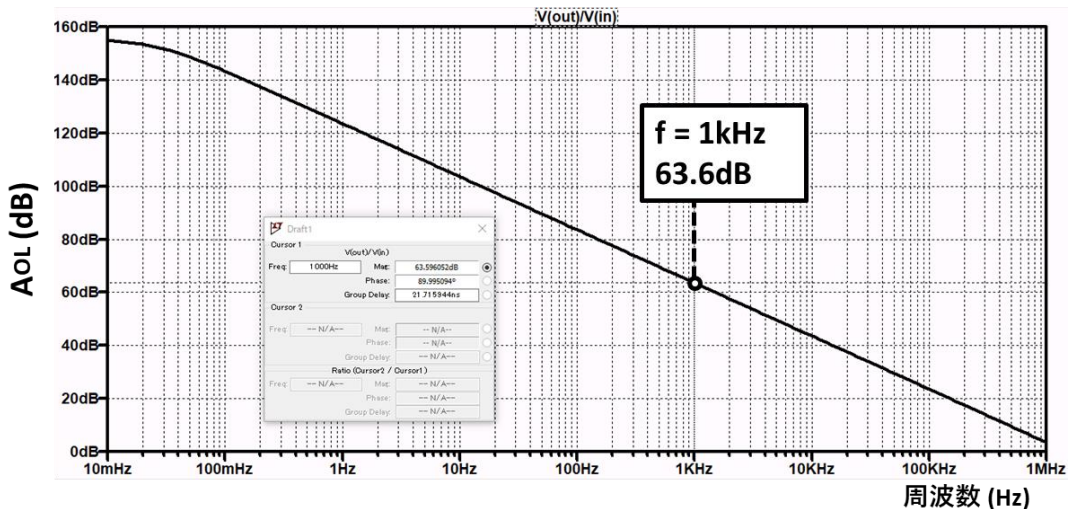
(a) 正電源 (+Vs) 変動時の PSRR AC 特性



(b) 負電源 (-Vs) 変動時の PSRR AC 特性



(c) CMRR AC 特性



(d) AOL AC 特性

図 5.4 サミングノード法のシミュレーション結果

図 5.4 にサミングノード法のシミュレーション結果を示す。図 5.4 (a), (b) に電源電圧重量レベルと DUT 反転入力端レベルより導出(式(5)を使用)された PSRR 周波数特性を示す。図 5.4 (c)に CMRR 周波数特性を、図 5.4 (d)には AOL 周波数特性を示す。

5-3 まとめ

NULL 法とサミングノード法のシミュレーション結果を図 5.5 にまとめた。4 種の特性において結果が一致しており、サミングノード法がシミュレーション環境において、NULL 法に匹敵する精度を発揮していることがわかる。

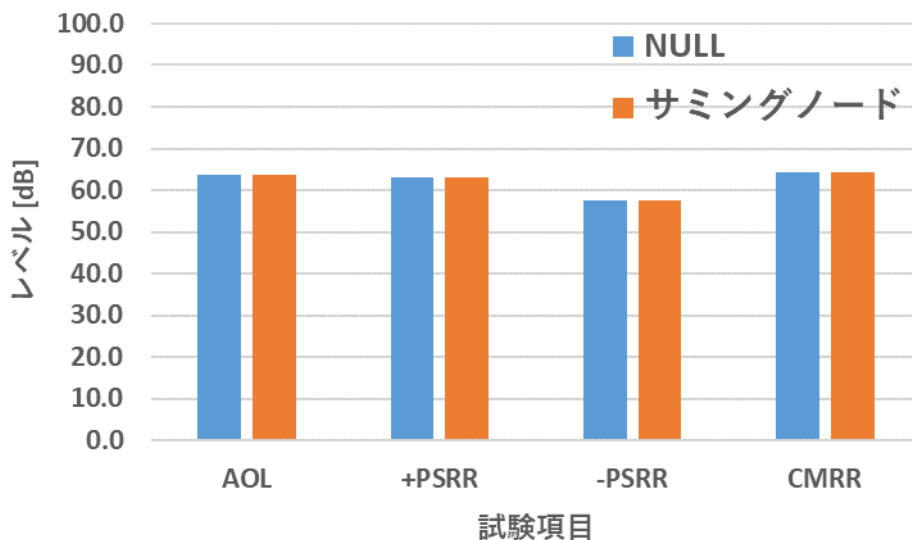
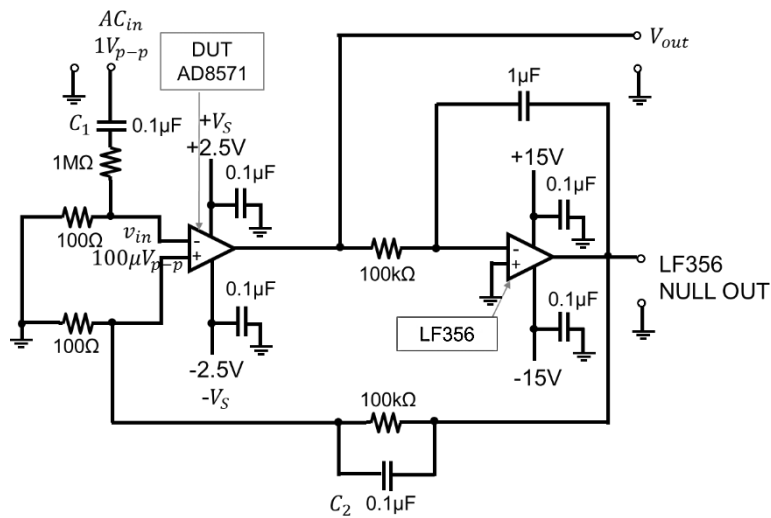


図 5.5 測定手法によるシミュレーション結果の違い

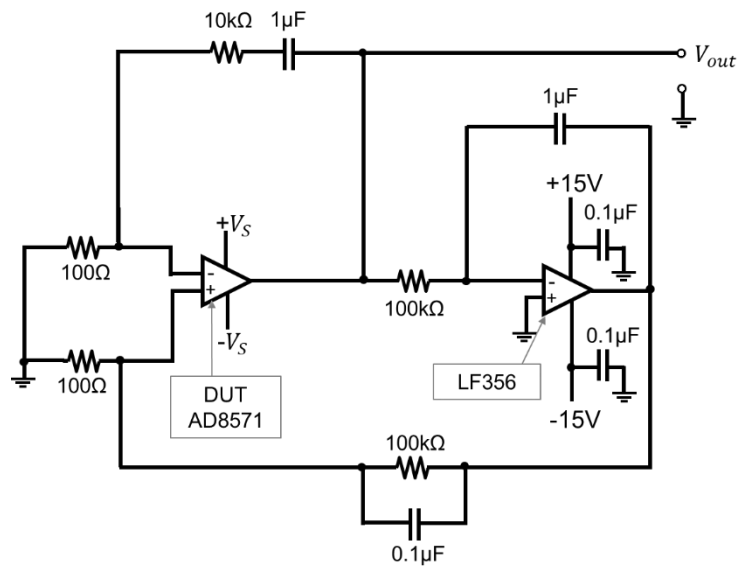
第 6 章 実機測定

6-1 NULL 法

この節では NULL 法によるオペアンプ AC 特性の実機測定について述べる。測定回路はシミュレーション時の構成と変わらず、素子のパラメータも同様に設定されている。図 6.1 (a), (b) はそれぞれ PSRR (CMRR) 測定回路、AOL 測定回路を表す。なお、各特性の導出式は第 5 章で言及した式(3), (4)を用いる。測定結果は、図 6.2 に示す。図 6.2 (a) は、 $+V_S$ PSRR AC 特性および $-V_S$ PSRR AC 特性を示し、図 6.2 (b) は、AOL AC 特性および CMRR AC 特性を示す。

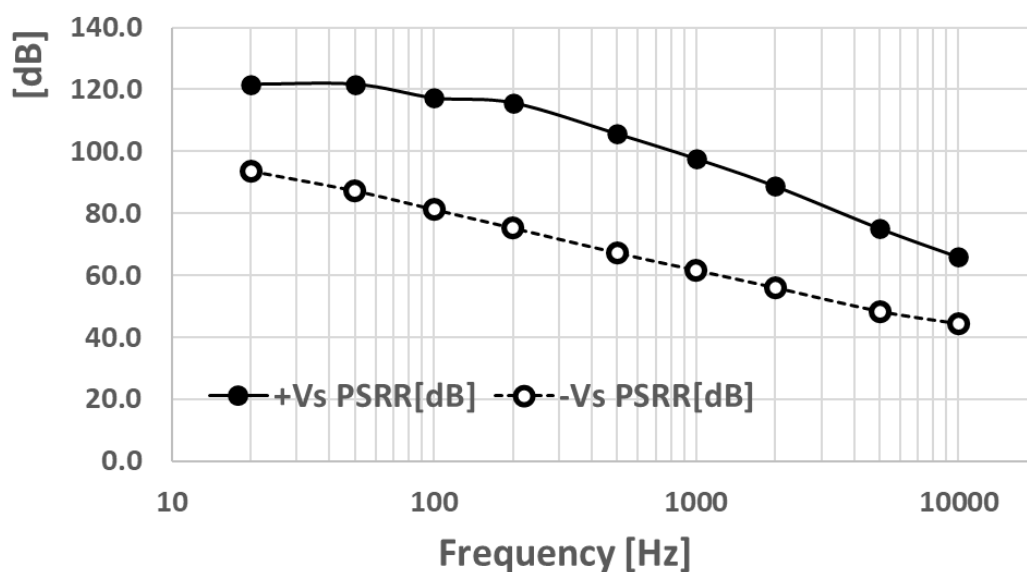


(a) NULL 法 PSRR, CMRR 測定回路

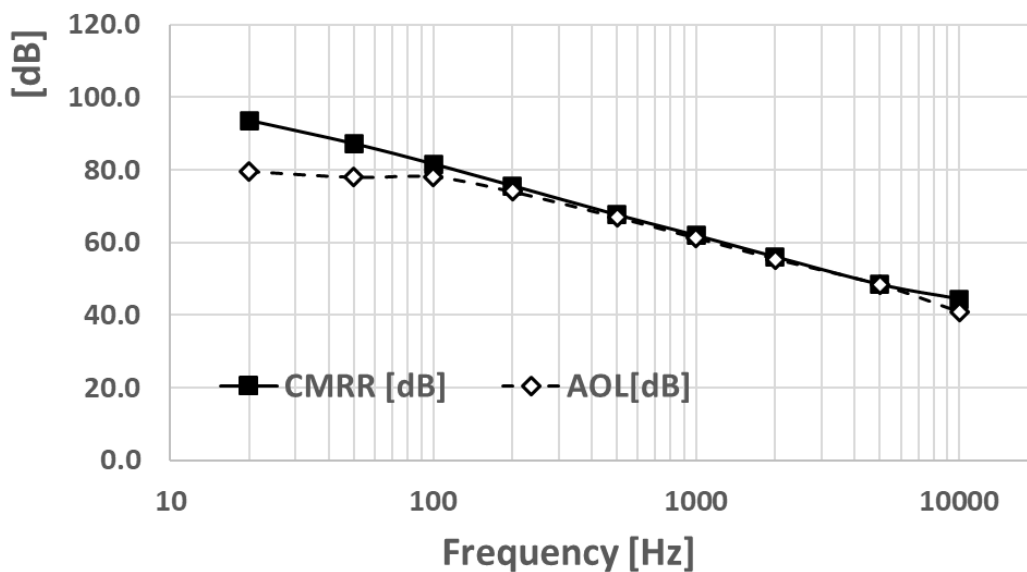


(b) NULL 法 AOL 測定回路

図 6.1 NULL 法 実機試験時の回路構成



(a) NULL 法 正電源(+Vs) PSRR, 負電源(-Vs)PSRR AC 特性



(b) NULL 法 AOL, CMRR AC 特性

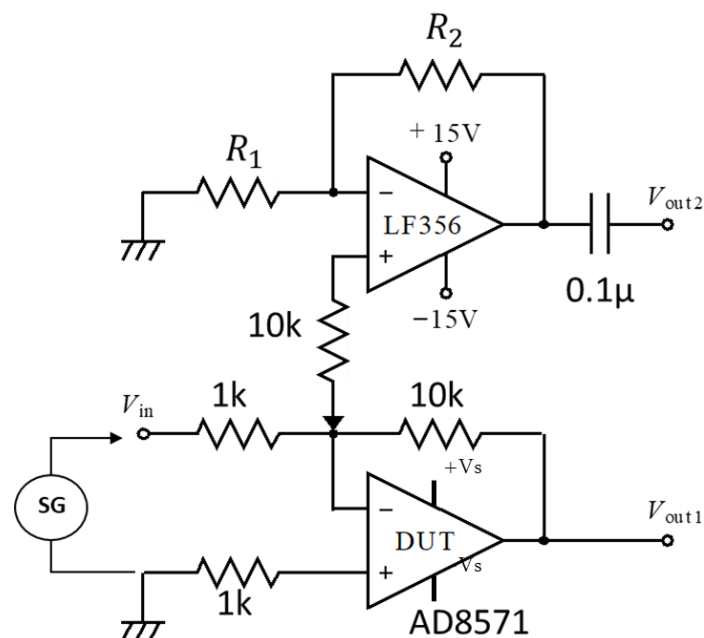
図 6.2 NULL 法 実機試験の結果

6-2 サミングノード法

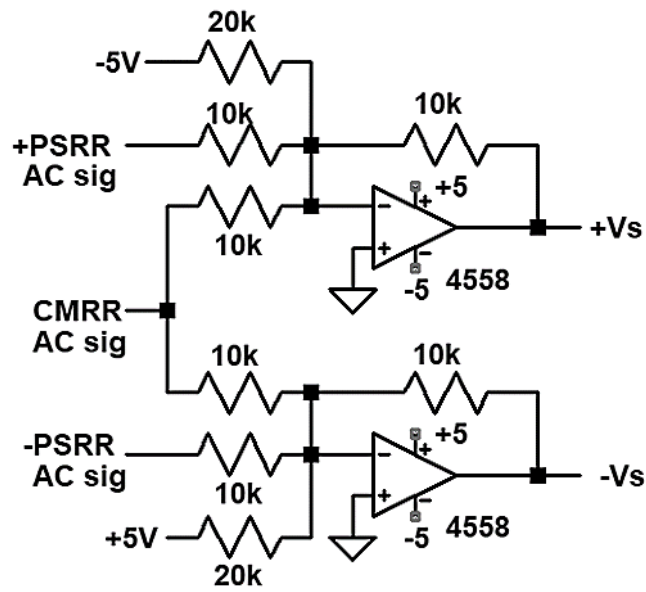
図 6.3 (a) に示す回路で、入力端子 V_{in} に $0.1V_{p-p}$ ($-20dB$) の信号を入力し、出力として DUT 反転入力電圧 (V_{out2}) と DUT 出力 (V_{out1}) を FFT して周波数伝達特性から開ループゲインを算出する。この測定ではオシロスコープの FFT 機能を利用し、周波数伝達特性を測定した。図中 R_1 , R_2 で表される抵抗は入力信号の周波数に応じてその値を変更する。試験信号が $0 \sim 10kHz$ までの周波数帯域の場合は、 $R_1=100\Omega$, $R_2=10k\Omega$ と設定する。20kHz 以上の試験信号を扱う場合は、 $R_1 : OPEN$, $R_2 : SHORT$ に設定する。

図 6.3 (c) にサミングノード法を用いて開ループゲイン (AOL) を測定した際の測定結果を示す。NULL 法により得られた結果と比較すると $100Hz$ 以下の周波数特性において違いがみられ、サミングノード法は NULL 法よりも、低周波数帯域においても良い線形性が得られていることが判明した。

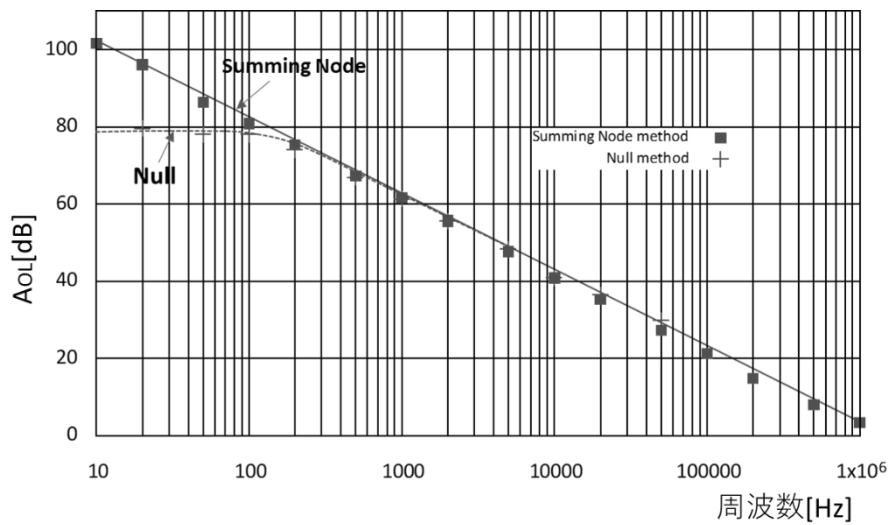
PSRR, CMRR の測定のために図 6.3 (a) の回路の入力 V_{in} を接地し、図 6.3(b) の回路を DUT の電源回路として使用した。図中の $+V_s$ PSRR, $-V_s$ PSRR, CMRR 用の入力端子にそれぞれの試験信号を入力し電源に重畳した。試験信号レベルは $V(ac) = 0.1V_{rms}$ ($-20dB$) であった。尚、 $V(ac)$ と V_{out2} のスペクトル解析結果より $f=1kHz$ において $+V_s$ PSRR = $98.5dB$, $-V_s$ PSRR = $61.0dB$, CMRR = $61.3dB$ という結果が得られている。



(a) サミングノード法 AOL AC 特性 測定回路



(b) サミングノード法 PSRR, CMRR AC 特性 DUT 電源回路



(c) サミングノード法 AOL AC 特性 測定結果

図 6.3 サミングノード法 実機測定

6-3 まとめ

これまで述べた NULL 法とサミングノード法それぞれの実機測定の結果を図 6.4 に示す。それによると実機測定において、測定手法により結果が異なるといったことは見られなかった。以上のことより、DUT 出力や DUT 反転入力端子の信号レベルを観測し、FFT 解析することでオペアンプの各 AC 特性を求める本提案手法は、従来の NULL 法と比較して、より簡易的な回路構成にも関わらず、同等の試験精度を有しており、さらには複数の特性（あるいはデバイス）の同時測定が可能である点において試験時間の短縮に寄与できるものと検証できた。

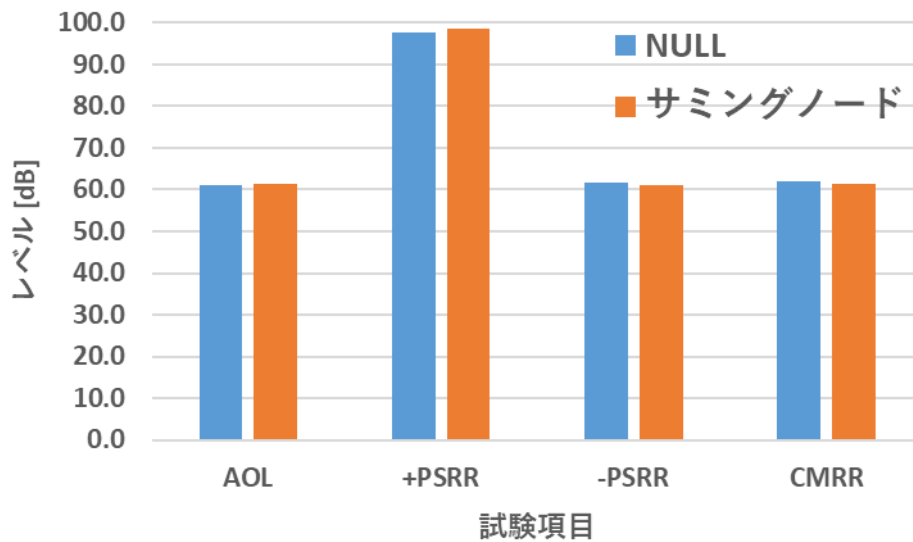


図 6.4 測定手法による実機測定結果の違い

第7章 複数 AC 特性の同時測定

7-1 概要

前章まででオペアンプの従来的な AC 特性測定手法である NULL 法と反転増幅器回路構成および FFT 解析をベースとしたサミングノード法について、各 AC 特性を個別測定する試行について触れてきた。この章ではサミングノード法と FFT 解析を生かし、オペアンプの AC 特性を同時測定する試みについて述べる。

7-2 シミュレーション

この節では AOL, +Vs PSRR, -Vs PSRR, CMRR の 4 特性同時測定のシミュレーションについて述べる。図 7.1 に回路構成を示す。それぞれの試験信号の周波数は AOL:1kHz, +Vs PSRR:1.1kHz, -Vs PSRR:1.2kHz, CMRR:1.3kHz とする。AC 特性毎に紐づけられた試験信号レベルは、全て $0.1V_{rms}(-20dBV) = 0.2828V_{p-p}$ である。今回は、各 AC 特性の同時測定が目的のため、各信号源を同時に動作させて測定を行った。

図 7.2 にシミュレーションの結果を示す。スペクトルピーク左より AOL, +Vs PSRR, -Vs PSRR, CMRR の順で対応している。また図 7.3 は、サミングノード法を用いた際の AC 特性の個別測定と同時測定シミュレーション結果の比較を表している。それによると同時測定結果は個別測定したときの値と $\pm 1dB$ 以上の誤差がみられず、個別測定と同時測定での結果で有意な差異は見られなかった。

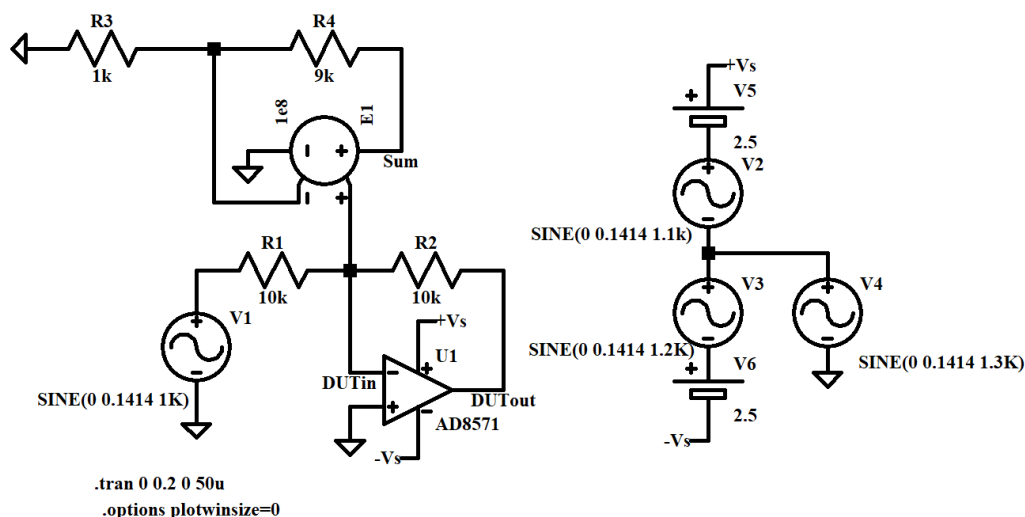


図 7.1 サミングノード法 AC 特性同時測定 シミュレーション回路

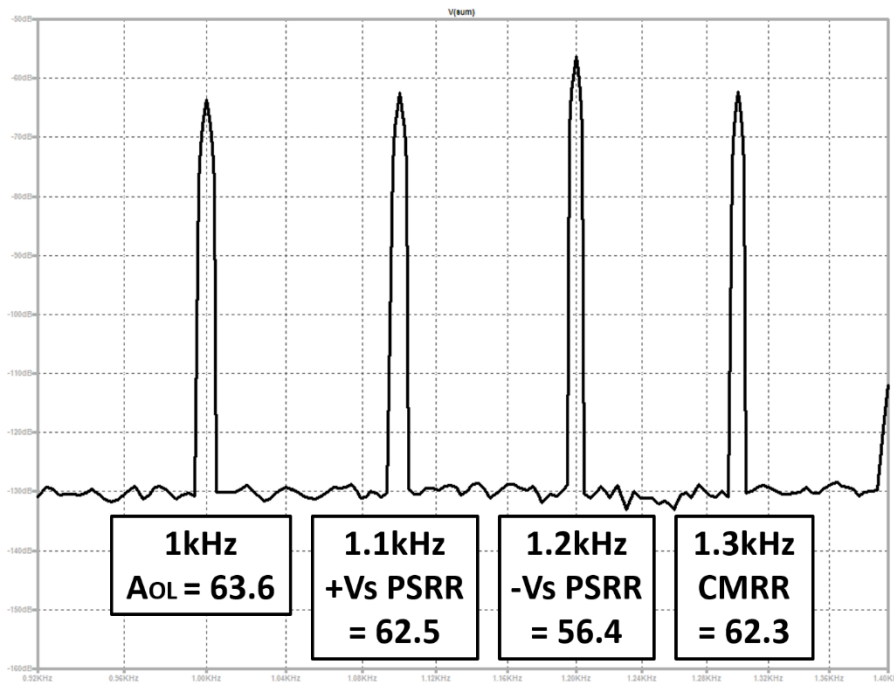


図 7.2 サミングノード法 AC 特性同時測定 シミュレーション結果

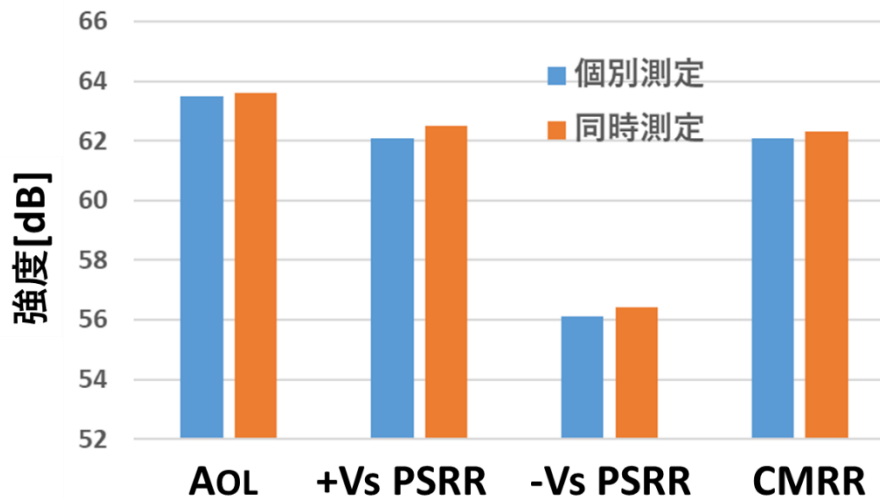


図 7.3 サミングノード法 AC 特性個別測定と同時測定のシミュレーション結果比較

7-3 実機測定

次に AOL, +Vs PSRR, -Vs PSRR, CMRR の同時測定を実機にて行った。使用した回路構成を図 7.4、図 7.5 に示す。構成のベースは図 3.2 の回路であり、今回は同時測定ということで図 7.5 に示す DUT の電源回路には +Vs PSRR, -Vs PSRR, CMRR 用の信号源を接続している。試験信号の印加レベルはそれぞれ AOL:100mVrms, PSRR/CMRR:100mVrms としている。各パラメータに対応する試験信号の周波数はシミュレーションの時と同様に AOL:1kHz, +Vs PSRR:1.1kHz, -Vs PSRR:1.2kHz, CMRR:1.3kHz と設定した。尚、サミングノードの電圧の観測に使用したのは、オシロスコープ (Tektronix:TBS1062) である。オシロスコープにて波形を観測後、内蔵する FFT 解析機能を使用して周波数スペクトルを観測した。

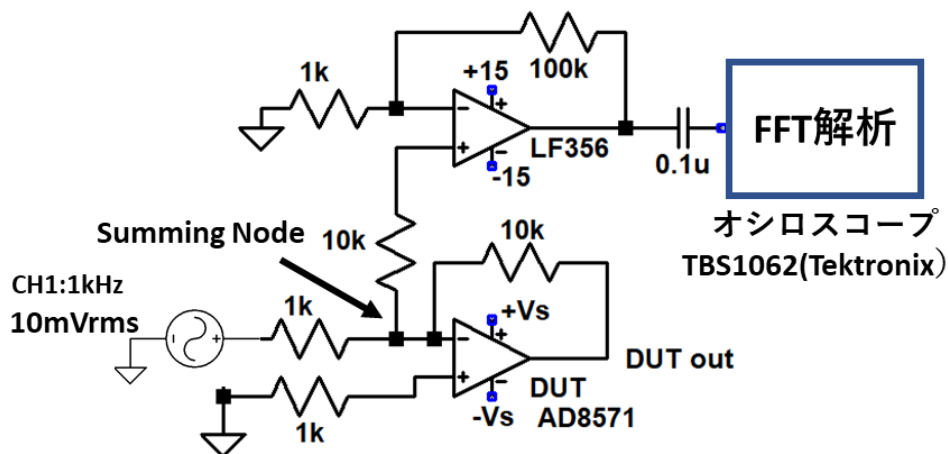


図 7.4 サミングノード法 AC 特性同時測定 実機測定回路

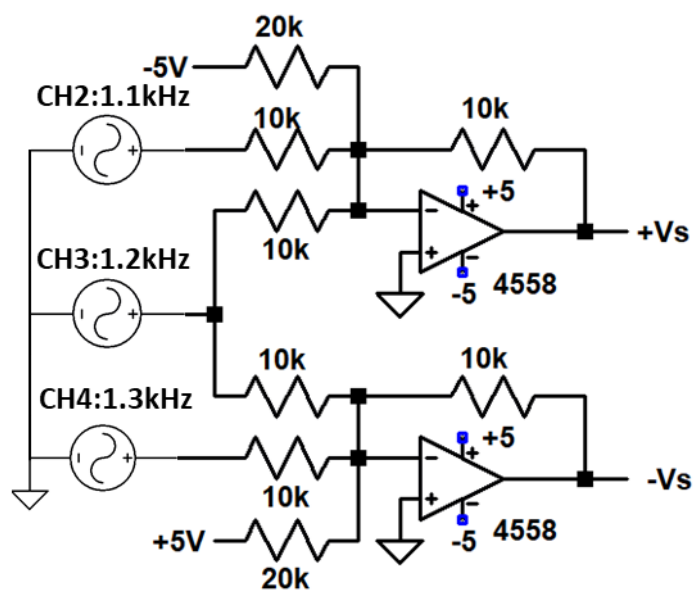


図 7.5 サミングノード法 AC 特性同時測定 DUT 電源回路

実機測定の結果を図 7.6, 図 7.7, 表 7 に示す。図 7.6 は、オシロスコープで観測した波形を FFT 処理後の周波数スペクトルである。図中にみられるピーク成分が各 AC 特性を示す。この実験結果と試験信号レベル、補助アンプの閉ループ利得を考慮して PSRR, CMRR を導出した。AOL は実験結果と DUT 出力レベル、補助アンプ閉ループ利得から導出した。第 6 章にて行ったサミングノード法による個別実機測定で得られたデータとの比較を図 7.7 に示す。個別測定と同時測定の結果の差異は 1dB 程度に収まり、同時測定においても個別測定と同様の測定精度が保たれることが判明している。

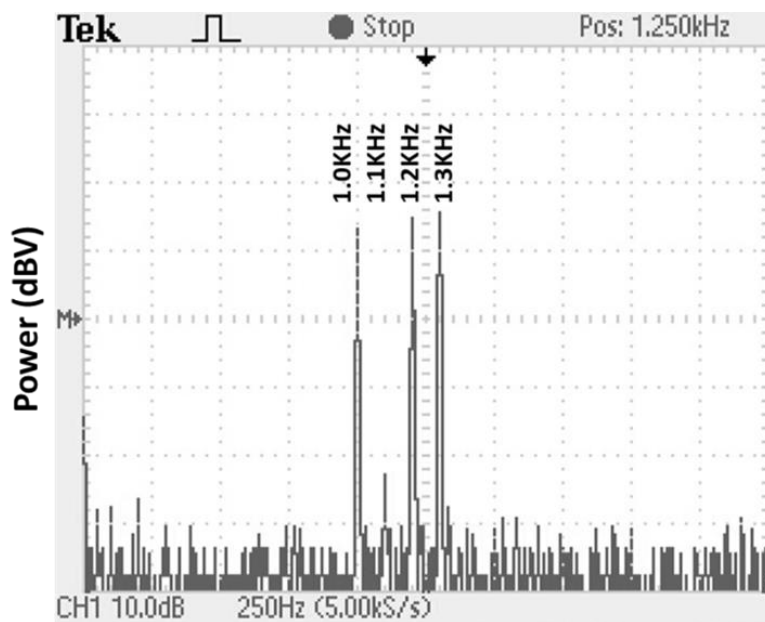


図 7.6 サミングノード法 AC 特性同時測定 実機測定結果

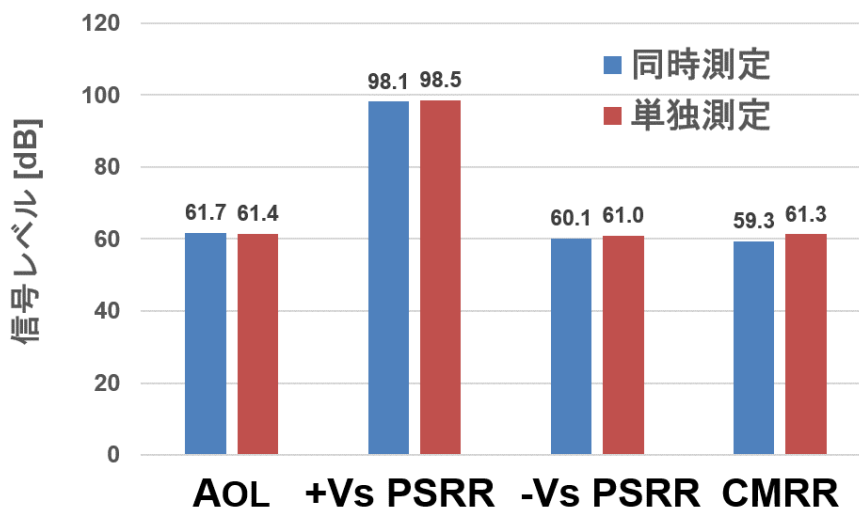


図 7.7 サミングノード法 AC 特性個別-同時実機測定結果の比較

表 7 AC 特性同時測定 測定結果

項目	周波数 (kHz)	同時測定 (dB)	単独測定 (dB)	備考 信号印加レベル	DUTゲイン (dB)
Aol	1.0	61.7	61.4	反転入力10mVms	20
+Vs PSRR	1.1	98.1	98.5	100mVms(=-20dBV)	20
-Vs PSRR	1.2	60.1	61.0	100mVms(=-20dBV)	20
CMRR	1.3	59.3	61.3	100mVms(=-20dBV)	20

7-4 まとめ

図 7.3, 図 7.7 から、シミュレーションと実機測定どちらにおいても個別測定と同時測定の結果が同等の数値を示すことがわかる。これにより、サミングノード法が複数の AC 特性を同時に試験可能であることが示された。

第8章 歪み測定

8-1 概要

この章では、サミングノード法に適切なアナログフィルタを適用することにより、オペアンプの高調波歪み (HD)、信号雑音比 (SNR)、全高調波歪み (THD+N) をオーディオアナライザの使用例と同等の精度で測定できることを示す。言い換えれば、提案手法を用いることで高価な測定器なしでオーディオ機器の動作検証が可能ということである。

8-2 高調波歪み (HD)

負帰還システムでは、オペアンプ内部で発生したノイズや歪みが等価的に入力に換算される。図 8.1 は、オペアンプ内部で生成された入力換算ノイズと歪み (V_e) が考慮されたオペアンプ回路の負帰還構成を示している。オペアンプ内部の歪みは、オペアンプの有限ゲイン (AOL) による線形歪み (ゲイン誤差) とオペアンプ内部の非線形性により発生する高調波歪や相互変調歪みなどである。オペアンプ入力に対し、1 kHz および 20 V_{p-p} の入力正弦波信号源 (V_s) が使用され、その際の反転入力端電圧は 20mV_{p-p} である。信号源に含まれる歪成分も -60dB 圧縮されて反転入力端に現れるが、これは通常のノイズレベル以内である。オペアンプ内部で発生し出力に現れた歪は、反転入力端ではノイズゲイン分下がった値で表れる (図 8.2 参照)。例として、図 8.1 の回路をインバータ (Gain=1) として扱った場合、その際のノイズゲインは 6dB となるので、反転入力端電圧は出力より 6dB さらに低く観測される。

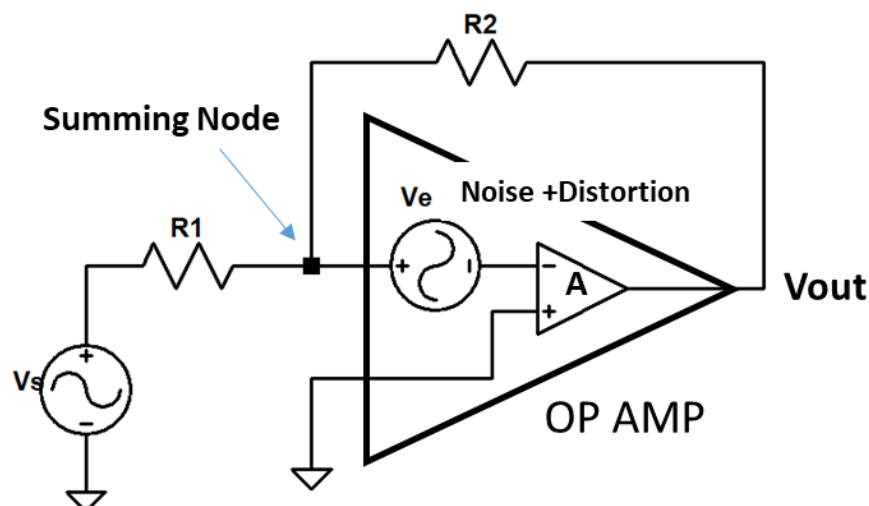


図 8.1 オペアンプに内在するノイズや残留歪み

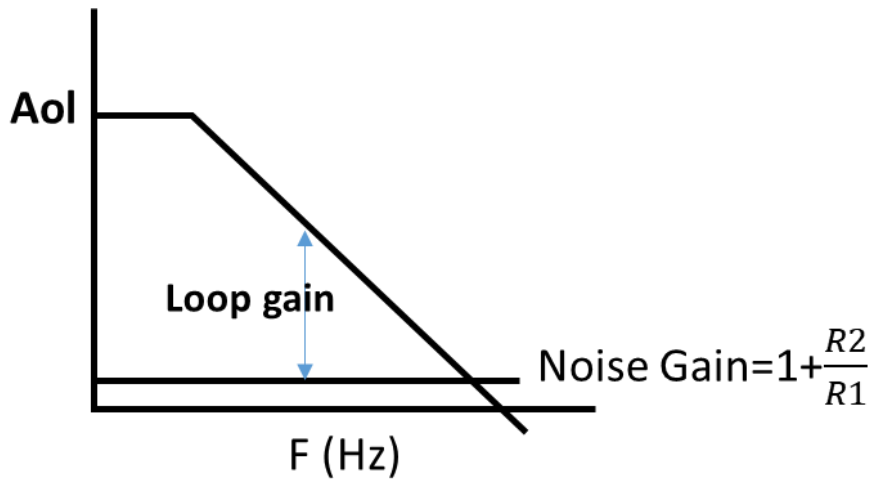


図 8.2 オペアンプ AOL 周波数特性

シミュレーションは、一般的に多用されるマクロモデルではなく、BJT（バイポーラ・トランジスタ）デバイスモデルを使用して行った（図 8.3 参照）。マクロモデルは、その大部分が線形素子で構成されているため、シミュレーションにおいて歪を観測できないためである。そこで BJT モデルを使うことでオペアンプ出力に歪を再現した。入力は 20Vp-p 正弦波である。

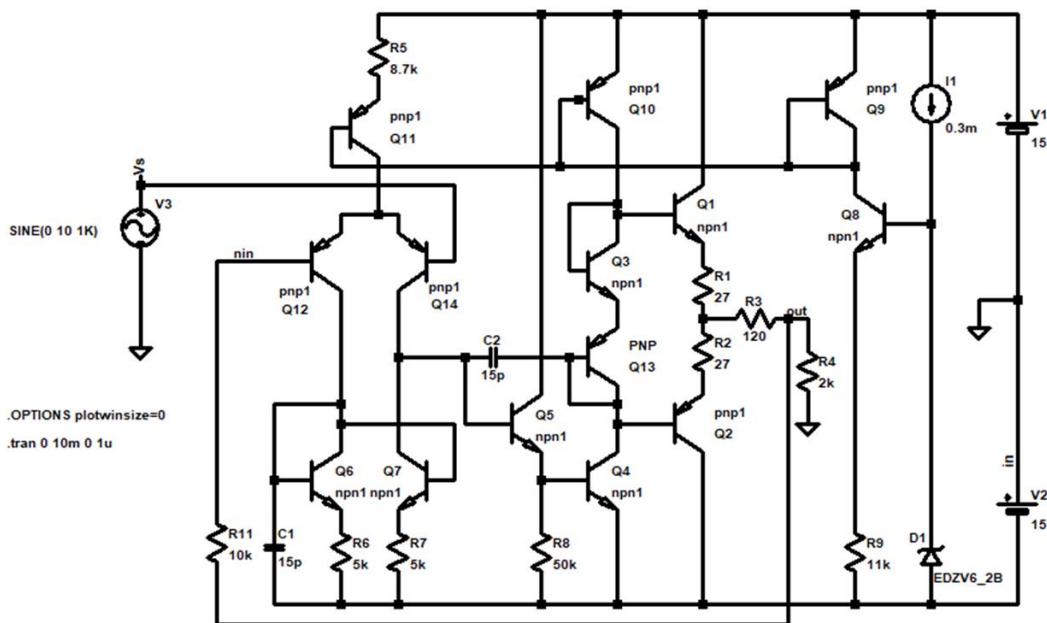


図 8.3 シミュレーションに用いた回路モデル (4558 General Purpose Op Amp)

図 8.4 に図 8.3 の回路を用いたシミュレーション結果を示す。基本波として 1kHz, 20Vp-p の正弦波と信号源歪みを想定した 2kHz, 2mVp-p の正弦波を印加した場合、図 8.4 より二次高調波は基本波に対して 80dB 小さく表れていることがわかる。

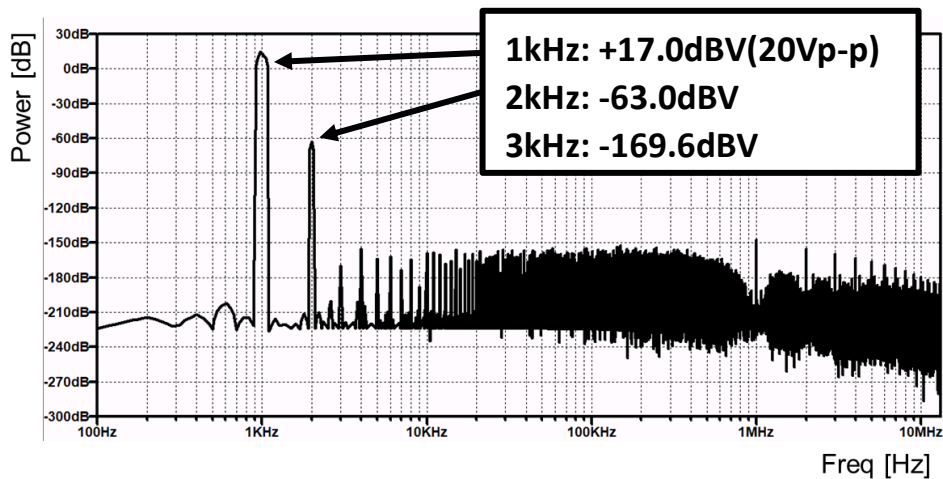
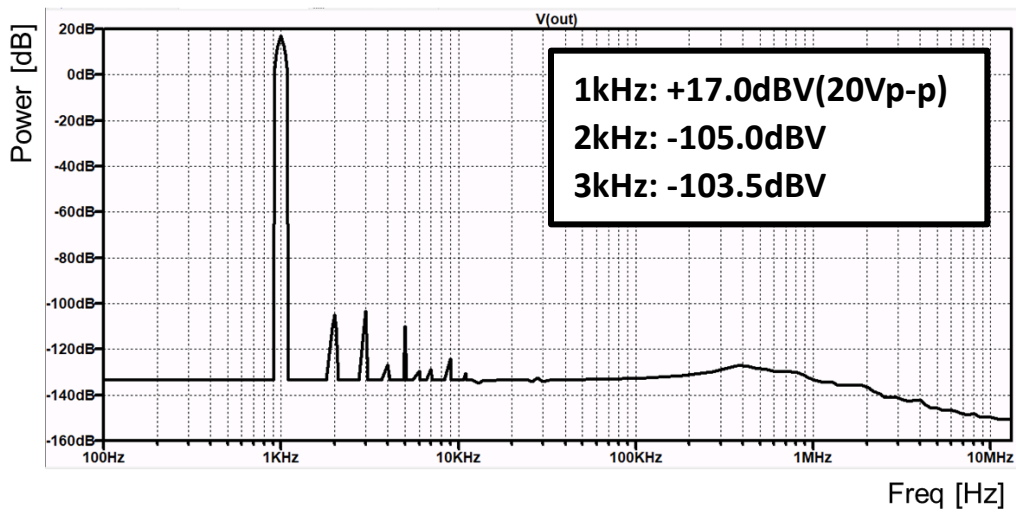
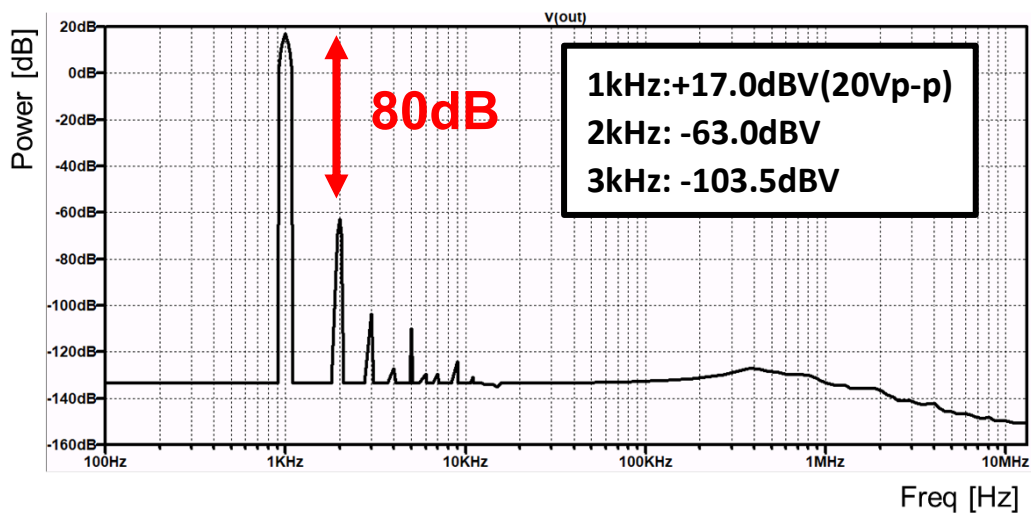


図 8.4 高調波歪みシミュレーション結果

図 8.5、図 8.6、図 8.7 は信号源に内在する歪みを与える影響について表している。図 8.5 (a) は信号源歪みが存在しない場合の DUT 出力シミュレーション結果を示し、図 8.5 (b) は信号源歪みが存在する場合の DUT 出力シミュレーション結果を示す。図 8.6 (a) は信号源歪みが存在しない場合の反転入力端電圧シミュレーション結果を示し、図 8.6 (b) は信号源歪みが存在する場合の反転入力端電圧シミュレーション結果を示す。信号源歪みを想定した 2kHz, 2mVp-p の正弦波が印加された。図 8.5 (b) と図 8.6 (b) を比較すると、信号源歪みが印可された場合において、DUT 出力にはオペアンプ自体の歪みに加えて信号源歪みが二次歪み (-80dBc) に現れているが、反転入力端では信号源歪み (-80dBc) は見られず、オペアンプ自体で発生した歪みが観測された。また図 8.7 では DUT 出力および反転入力端それぞれにおいて、信号源歪み (2kHz, 2mVp-p) を印加した場合の二次歪み、三次歪みの周波数スペクトルを示しており、DUT 出力には二次歪みとして信号源歪み (-80dBc) が出現しているが、反転入力端は信号源歪みに不感である。つまり、信号源歪みはオペアンプ出力に大きな影響を与えるが、反転入力端における影響は極めて小さく、オペアンプ内部のノイズ・歪みを観測する際に反転入力端を観測することで信号源歪みの影響を無視できることが判明した。

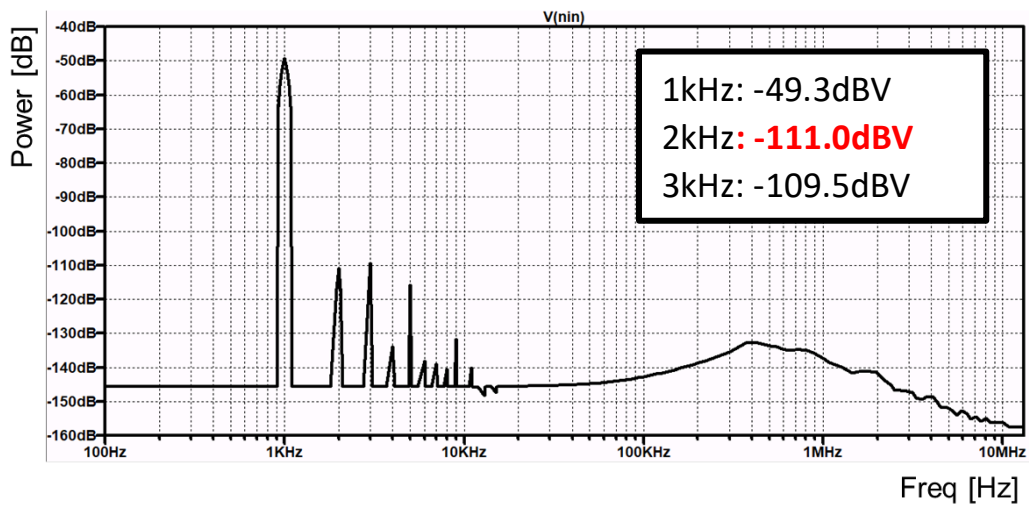


(a) 信号源歪みが存在しない場合の DUT 出力シミュレーション結果

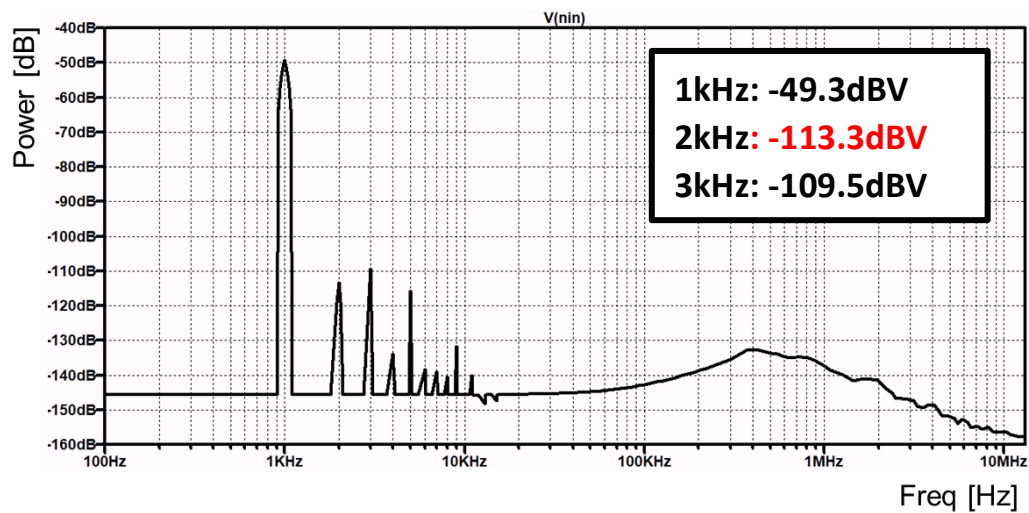


(b) 信号源歪みが存在する場合の DUT 出力シミュレーション結果

図 8.5 DUT 出力に対する信号源歪みの影響

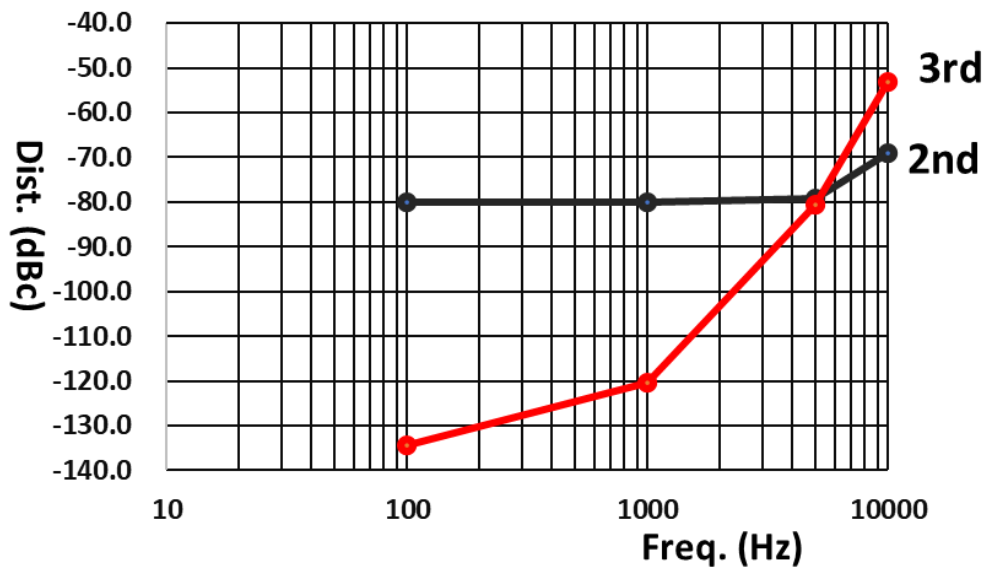


(a) 信号源歪みが存在しない場合の反転入力端電圧シミュレーション結果

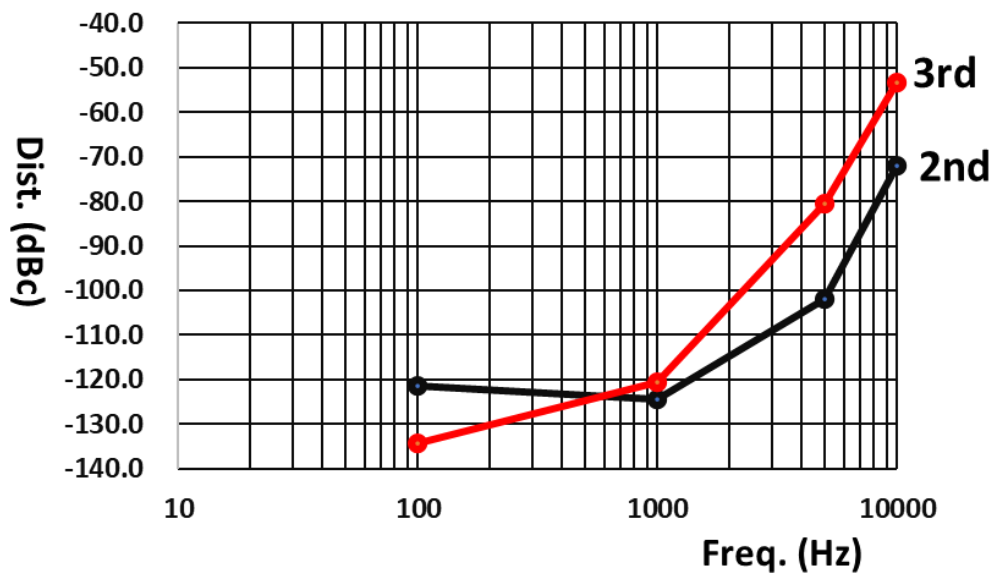


(b) 信号源歪みが存在する場合の反転入力端電圧シミュレーション結果

図 8.6 反転入力端に対する信号源歪みの影響



(a) DUT 出力にて観測された高調波歪み（二次、三次）周波数スペクトル



(b) 反転入力端にて観測された高調波歪み（二次、三次）周波数スペクトル

図 8.7 高調波歪み（二次、三次）周波数スペクトル

以上の結果を踏まえ、高調波歪みを測定するための構成として図 8.8 を提案する。FFT 解析にて高ダイナミックレンジを得るため、解析には NI 製の myDAQ と LabVIEW を使用した。信号源として、-120dBc 以上の解析においてスプリアスの発生しないアナログ CR 発振器 (AG-204D) を使用し、1kHz, 20Vp-p 正弦波を印加した。高調波歪は、補助アンプ (図 8.8 赤線内) 出力と反転入力電圧、補助アンプゲイン、ノイズゲイン、信号源電圧から導出される。表 8.1 にオシロスコープ (8bit) と myDAQ (16bit) の測定結果の比較を示す。なお myDAQ では Exponential Moving AVG (N=5~10) 機能を使用した。この表より、-120~-130dBc 規模の高調波歪解析が可能だと判明した。

$$HD = 20 \log_{10} \frac{G_{NOISE} \times V_M}{G_{SUM} \times V_S} \quad (7)$$

HD [dBc]: 高調波歪み

V_M [V]: 補助アンプ出力, V_S [V]: 信号源レベル

G_{NOISE} : オペアンプノイズゲイン, G_{SUM} : 補助アンプゲイン

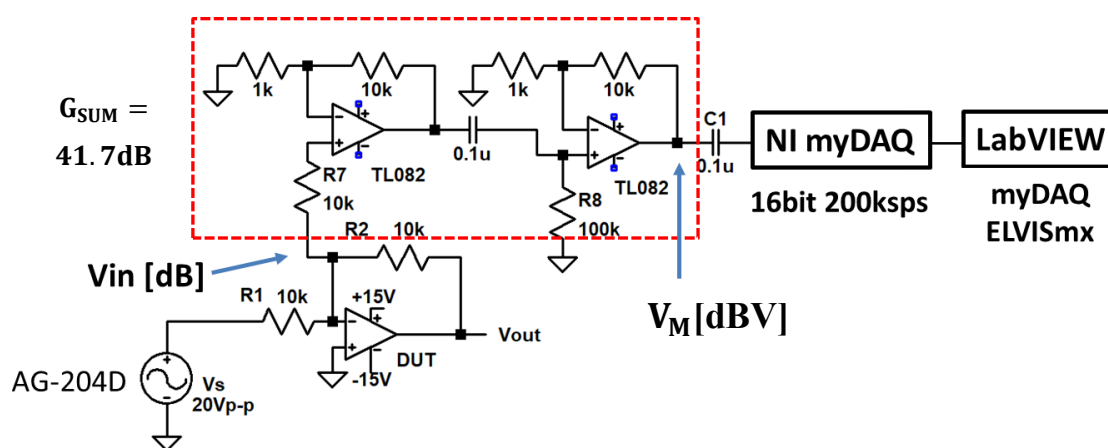


図 8.8 高調波歪み測定回路

表 8.1 高調波歪み測定結果

DUT	Fundamental	Order	Distortion	
			Oscilloscope	myDAQ
LF356	1kHz	2 nd	-122.9	-123.1
		3 rd	-122.9	-135.4
	10kHz	2 nd	-92.5	-93.3
		3 rd	-102.9	-121.7

8-3 信号雑音比 (SNR)

信号雑音比 (SNR) を測定するための回路構成とその操作を紹介する。SNR 測定回路を図 8.9 に示す。DUT の反転入力端に接続された補助アンプ回路の出力は、聴感特性 IHF-A フィルタ (図 8.10 参照) とバンドパスフィルタ (図 8.11 参照) で処理され測定される。

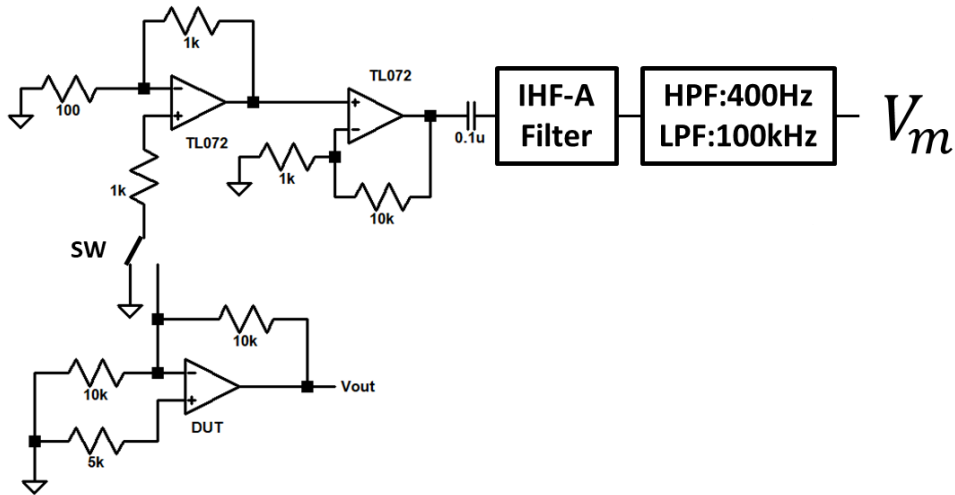


図 8.9 信号雑音比 (SNR) 測定回路

SNR の導出方法は以下のとおりである。

- ① DUT と補助アンプ回路間に設置されたスイッチを GND 側に接続し、補助アンプ回路自体のノイズ (V_{m1}) を測定する。
- ② スwitchを DUT 側に接続し、DUT と補助アンプ回路全体のノイズ (V_{m2}) を測定する。
- ③ DUT と補助アンプ回路全体のノイズ (V_{m2}) から補助アンプ回路自体のノイズ (V_{m1}) を除去することで DUT 自体のノイズ (V_m) を導出する。

$$V_m = \sqrt{V_{m2}^2 - V_{m1}^2} \quad (8)$$

- ④ 仮想的な入力信号 V_{IN} と補助アンプ回路全体のゲイン (+40dB) を考慮した上で SNR を導出する。

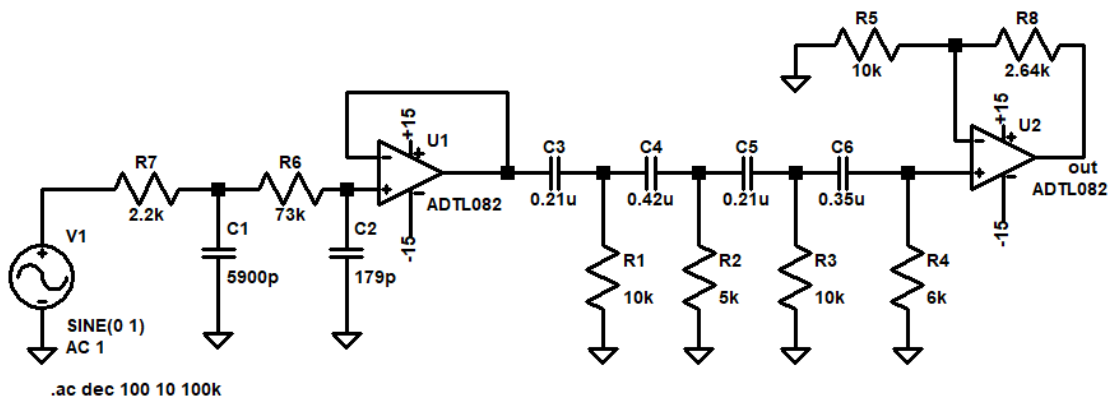
$$SNR = 20 \log_{10} \left(V_{IN} / \frac{V_m}{100} \right) \quad (9)$$

表 8.2 に図 8.9 の回路を用いた SNR 測定結果を示す。実機測定は、4 種のオペアンプを用いて行われた。なお、入力信号は 1kHz, 20Vp-p (+7dB) と仮定して SNR が導出されている。100kHz 帯域と 20kHz 帯域における SNR が求められ、20kHz 帯域時の数値は 100kHz 時の値から換算されたものである。

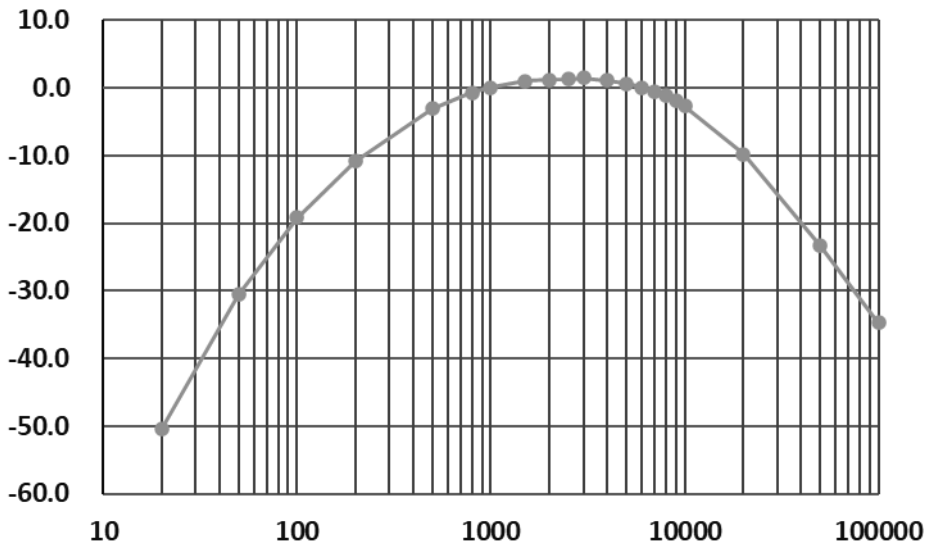
表 8.2 SNR 測定結果

オペアンプ	BW(100kHz)				BW(20kHz)換算	DUT 出力換算 SNR[dB]
	補助アンプ 回路出力 Vm[μVrms]	補助アンプノイズ (520μV)補正後の DUTノイズ[μVrms]	DUT入力換算 ノイズ[μVrms]	DUT 出力換算 SNR[dB]	DUT 出力換算 SNR[dB]	
NJM5534	550	179	1.8	125.8	132.8	127.6
LF356	670	422	4.2	118.4	125.4	118.6
TL081	830	647	6.5	114.6	121.6	115.0
AD797	540	146	1.5	127.4	134.4	127.6

*IHF-A filter OFF *IHF-A filter ON



(a) IHF-A 聴感補正フィルタ 回路構成



(b) IHF-A 聴感補正フィルタ 周波数特性

図 8.10 SNR 特性試験にて使用された IHF-A 聴感補正フィルタ

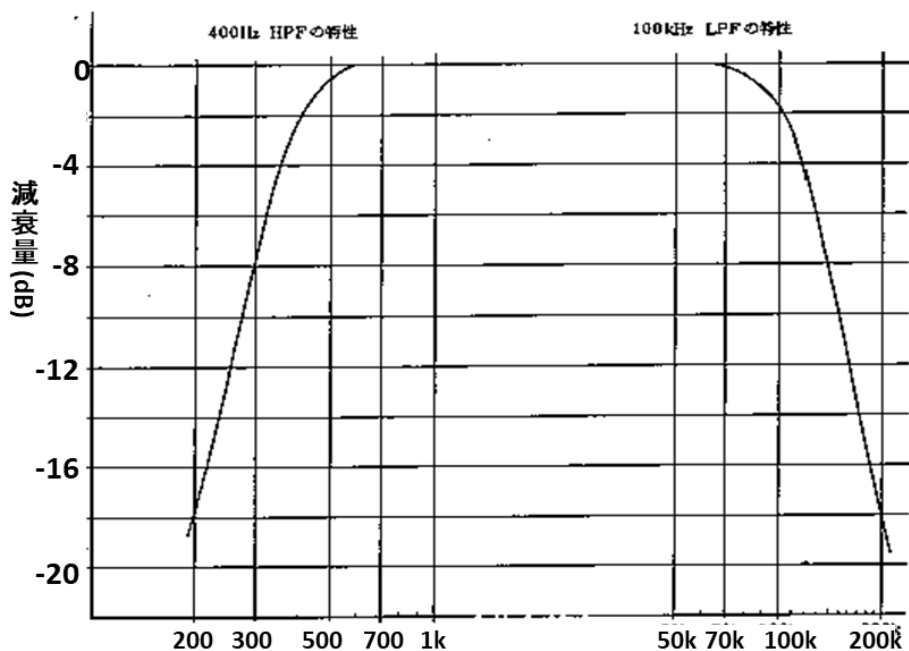


図 8.11 歪率計 (VP-7702C) 搭載バンドパスフィルタ特性

8-4 全高調波歪み (THD+N)

次に全高調波歪み (THD+N) を測定するための構成と操作を説明する。図 8.12 に回路構成を示す。SNR 測定回路とは異なり、DUT 入力側に信号源を配置した。また補助アンプ回路出力をノッチフィルタ (図 8.13 参照) に通して基本波成分を除去している点も異なる。信号源には低歪アナログ発振器 (THD+N = -108dB) を、バンドパスフィルタは図 8.11 のフィルタを使用した。

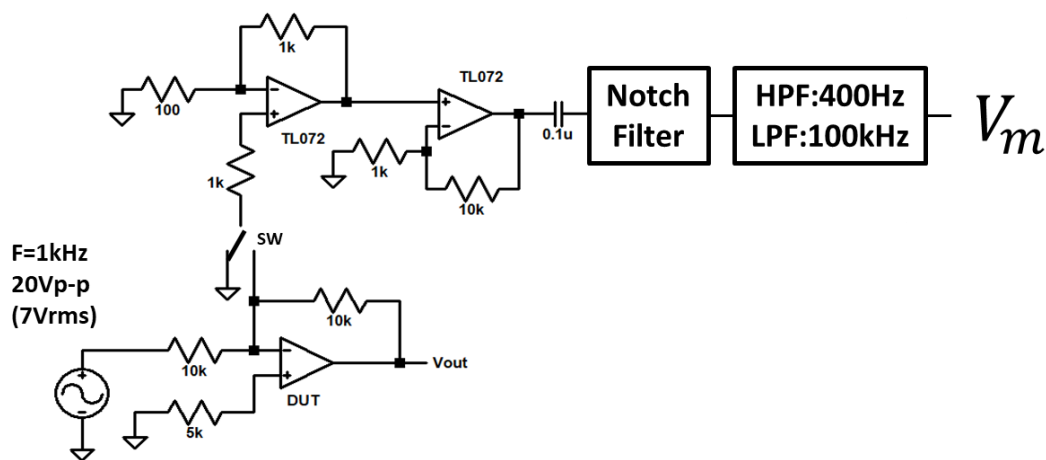


図 8.12 全高調波歪み (THD+N) 測定回路

THD+N の導出方法は以下のとおりである。

- ① DUT と補助アンプ回路間に設置されたスイッチを GND 側に接続し、補助アンプ回路自体のノイズ (V_{m1}) を測定する。
- ② スwitchを DUT 側に接続し、DUT と補助アンプ回路全体のノイズ (V_{m2}) を測定する。
- ③ DUT と補助アンプ回路全体のノイズ (V_{m2}) から補助アンプ回路自体のノイズ (V_{m1}) を除去することで DUT 自体のノイズ (V_m) を導出する (式 (8) 参照)。
- ④ 入力信号 V_{IN} と補助アンプ回路全体のゲイン (+40dB) を考慮した上で THD+N を導出する。

$$THD + N = 20 \log_{10} \left(\frac{V_m}{100} / V_{IN} \right) \quad (10)$$

表 8.3 に図 8.12 の回路を用いた THD+N の測定結果を示す。入力信号は 1kHz, 20Vp-p (+7dB) であり、DUT はインバータ (ノイズゲイン = 6dBn) として構成した。SNR と同様に 100kHz 相当の帯域で測定し、計算により 20kHz 相当の THD+N を導出した。20kHz 帯域において -130dB レベルまで測定可能であることが判明した。

表 8.3 THD+N 測定結果

オペアンプ	BW(100kHz)				BW(20kHz)換算
	補助アンプ回路出力 $V_m[\mu V_{rms}]$	補助アンプノイズ (520 μV)補正後の DUTノイズ $[\mu V_{rms}]$	DUT入力換算 ノイズ $[\mu V_{rms}]$	DUT 出力換算 THD+N[dB]	DUT 出力換算 THD+N[dB]
NJM5534	550	179	1.8	-125.5	-132.5
LF356	710	483	4.8	-117.0	-124.0
TL081	885	716	7.2	-113.5	-120.5
AD797	542	153	1.5	-127.1	-134.1

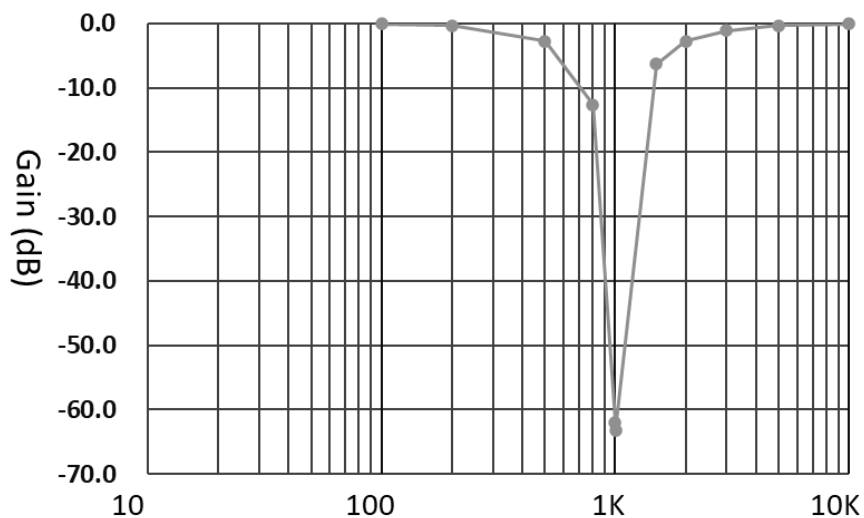


図 8.13 アクティブノッチフィルタ周波数特性

8-5 まとめ

本章では、ATE に搭載されている 16bit 相当の試験環境 (AWG, デジタイザ、DSP) において、被試験オペアンプの-135dBc 以下の高調波歪み、125dB 以上の SNR および THD+N が測定可能であると実機測定から判明した。これはオーディオ用オペアンプ AC 特性試験にて高価なオーディオアナライザを必要とせず、本提案手法で代替可能であると示すことができたと考える。

第9章 疑似サミングノード法

9-1 概要

これまでに述べてきたサミングノード法は、被試験オペアンプの反転入力に直に補助アンプを接続していた。しかし、直に反転入力に抵抗等を接続すると予期せぬ寄生容量などが発生する懸念があり好ましくない。そのため、反転入力に直に測定用回路を接続せずに同様の測定を可能にする方法を検討した。

9-2 提案回路

サミングノード法の基本回路における入力抵抗 R_1 、帰還抵抗 R_2 に対して疑似入力抵抗 R_{1d} 、疑似帰還抵抗 R_{2d} を並列に接続し疑似負帰還ネットワークを形成する (図 9.1)。サミングノード電圧 V_{SN} と疑似サミングノード電圧 V_{FSN} はそれぞれ式 (11)、式 (12) で与えられる。式 (12) より、疑似入力抵抗 R_{1d} 、疑似帰還抵抗 R_{2d} の値を入力抵抗 R_1 、帰還抵抗 R_2 と同様のバランス ($R_1:R_2=R_{1d}:R_{2d}$) で設定することで $R_{1d} \cdot R_{2d}$ 間のノード (疑似サミングノード) にサミングノードと同等の電圧が現れると考えられる。

$$V_{SN} = \frac{R_2}{(1+A)R_1 + R_2} V_S \quad (11)$$

$$V_{FSN} = \left\{ \frac{(1+A)R_1R_{2d} - (AR_{1d} - R_{2d})R_2}{(1+A)R_1 + R_2} \frac{1}{R_{1d} + R_{2d}} \right\} V_S \quad (12)$$

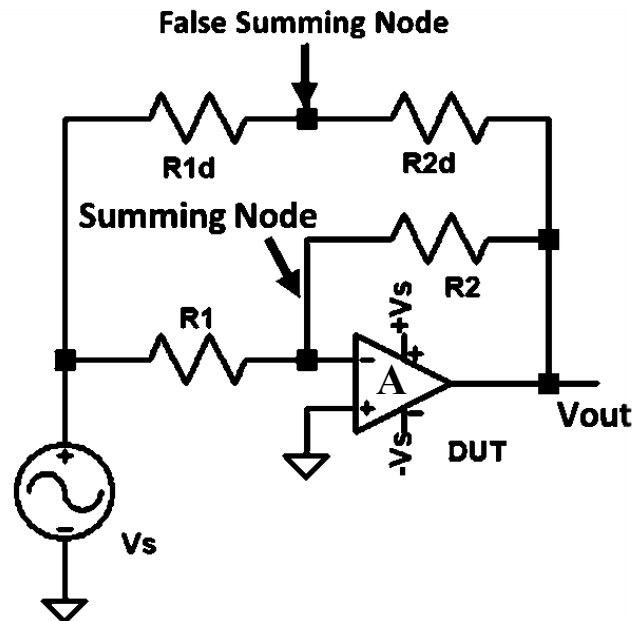


図 9.1 疑似サミングノード法の基本回路

9-3 シミュレーション

図 9.1 の回路を用いて疑似サミングノード電圧をシミュレーションした。DUT には図 9.4 のデバイスモデルを使用している。R1=10k Ω , R2=10k Ω , R1d=10k Ω , R2d=10.1k Ω (R2d 抵抗誤差+1%)、オペアンプ出力基本波レベルが+17dBV としたときのシミュレーション結果を図 9.2, 図 9.3 に示す。疑似サミングノード電圧とサミングノード電圧を比較してみると、基本波成分の大きさが異なっているが、高周波成分の大きさは等しく表れている。これは正規の負帰還系抵抗比と疑似負帰還系抵抗比との誤差の影響が基本波に表出しやすい反面、二次歪み、三次歪みへの影響が軽微であることを示している。このことから疑似サミングノードに着目した測定方法が高調波歪や THD+N、SNR の測定に利用できるのではないかと考える。

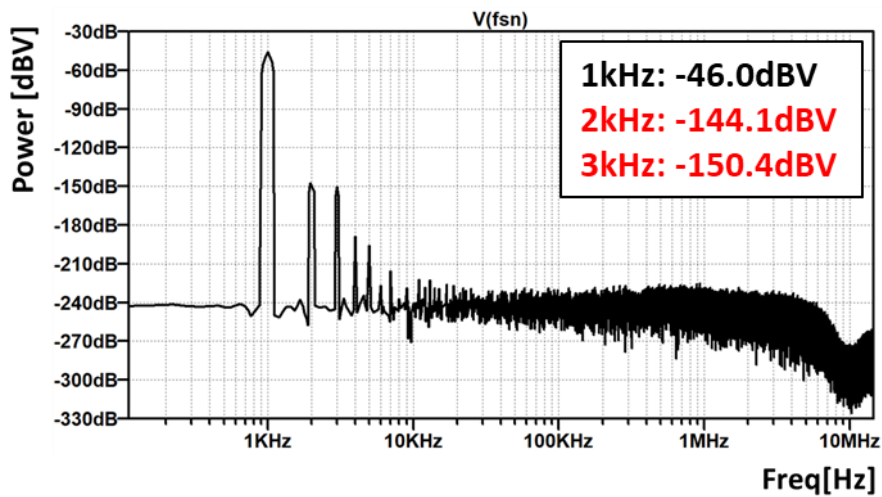


図 9.2 疑似サミングノード電圧スペクトル

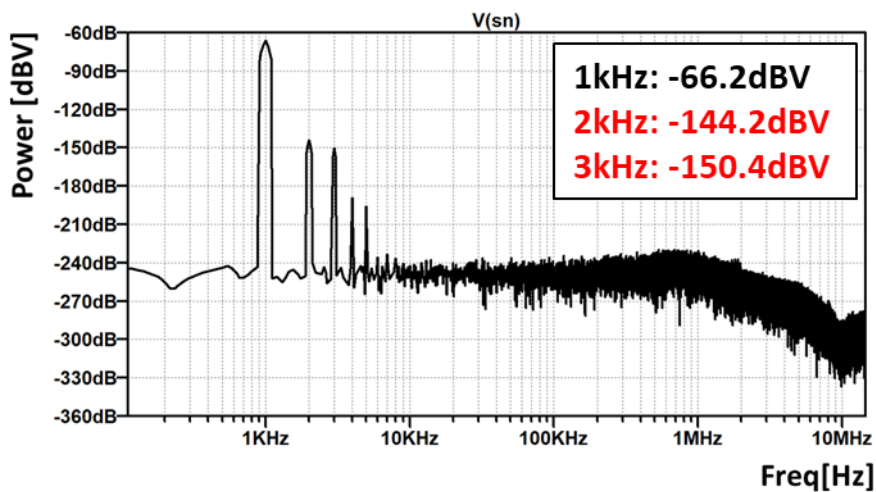


図 9.3 サミングノード電圧スペクトル

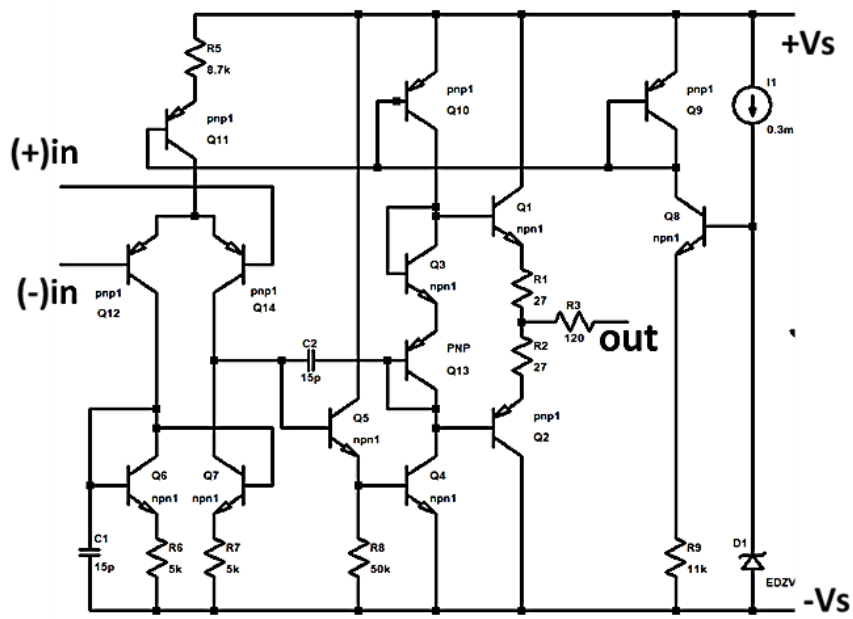


図 9.4 シミュレーションに用いた DUT の BJT デバイスモデル

第 10 章 結論

10-1 統合試験システム

これまでの成果を踏まえ、オペアンプ AC 特性の統合試験システムを図 10 に示す。これは開ループゲイン (AOL)、電源電圧変動除去比 (PSRR)、同相信号除去比 (CMRR)、高調波歪み、全高調波歪 (THD+N) 信号雑音比 (SNR) すべての測定に対応した回路構成である。DUT 入力側に接続した信号源が開ループゲインと高調波歪、THD+N、SNR の入力信号として作用する。高調波歪と THD+N、SNR は補助アンプ出力と信号源出力から導出される。開ループゲインは補助アンプ出力と DUT 出力から導出され、PSRR と CMRR は、補助アンプ出力と DUT 電源に組み込まれた信号源出力から導出される。

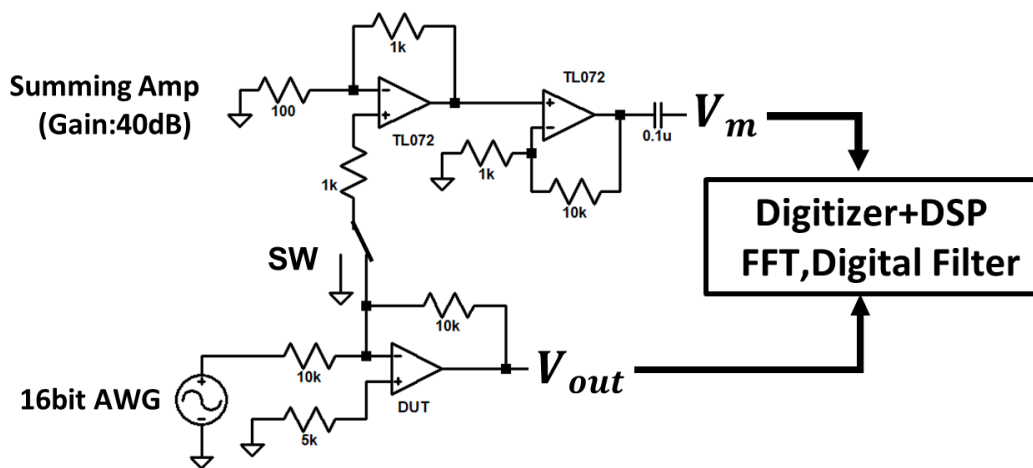


図 10 オペアンプ AC 特性統合試験システム

10-2 まとめ

提案手法 (サミングノード法) は、複数の AC 特性を測定可能な汎用性と精度の高さが特徴である。FFT 技術と組み合わせることで多数個同時測定や AC 特性同時測定が可能になり、試験時間を短縮できると考える。また測定に使用される機材は高価である必要はなく、補助オペアンプ回路も汎用モデルで十分である。

さらにはオペアンプの反転入力端に直接接続して測定できない場合を想定した歪測定手法 (疑似サミングノード法) を別途検討し、その有用性を確認した。

以上のことより、提案手法は研究目標を達成できるものとする。

第 2 部 超低電流測定法

第 1 章 序論

1-1 研究目的と背景

IoT システムデバイスにはバッテリーリソースが非常に少ない状態で数年間動作する必要があるため、動作電流が少なくなるように設計する必要がある。同様に測定対象に適合した試験手法も必要である。大量生産の出荷段階において高速で正確な電流測定が必要とされるが、残念ながら従来の方法では大きな電流検出抵抗 ($M\Omega$ オーダー) が必要であり、それにより試験時間が長時間に及んでしまうことや電流検出抵抗に流れる電流が自動テスト装置 (ATE) 環境由来の低周波ノイズの影響を受けやすいなどの欠点が存在する。科学研究のためのナノアンペア電流測定法はすでに提案されているが、この研究の目的は量産試験用ナノアンペア電流測定法の開発であり、低コストや測定信頼性などの実用的な面も重要となる。そこで内蔵のセルフテスト (BOST) 回路のみを使用して、ノイズの多い ATE 環境において、高い直線性でナノまたはサブナノアンペアのオーダーの電流を測定できる低コストのテスト手法の開発を目指し研究が進められた。

第 2 部では、大量生産装置の出荷段階のテストのための高速で正確なナノアンペア電流測定手法を提案する。様々な条件下での測定変動の工学的評価を紹介する。提案する方法は、電流-電圧 (IV) 変換と DC-AC 変換を使用して、低周波ノイズの影響を抑制し、マルチチャネル測定を可能とする。いくつかのサンプリング周波数と移動平均処理を使用して、2 個のソース抵抗から収集されたデータを統計的に分析した。実機測定では 0.02nA という微小電流を、良好な直線性を保ちつつ数十ミリ秒というテスト時間で測定できることが実証された。

1-2 第 2 部の構成

第 2 章では既存の電流測定手法とその問題点を紹介する。また微小電流を測定可能な手法を提案する。第 3 章では IV 変換と FFT ベース DC-AC 変換からなる提案手法の構成例と挙げ、それを評価する。第 4 章では提案手法を用いた実機試験について述べる。実機試験では、簡易的な抵抗負荷による検証と実デバイスを用いた検証を行った。第 5 章では DUT の電源応答を改良した測定システムについて述べる。第 6 章では第 2 部のまとめと今後の課題について述べる。

第 2 章 提案手法

2-1 既存の電流測定手法

Automatic Test Equipment (ATE) システムに組み込まれている Voltage Source / Current Measurement (VSIM) 回路として、図 2.1 に示すような構成が挙げられる。電流検出抵抗 R_m は、DUT の負荷抵抗 R_L に直列接続され、測定対象の電流 I_L が同様に流れる。メインアンプと抵抗 R_m は負帰還系を形成しており抵抗 R_m の両端電圧は常に一定に保たれることになる。抵抗 R_m 値と差動アンプで検出された両端の電位差から DUT に流れる電流 I_L が判明するという仕組みである。しかし、低電流測定において電流検出抵抗 R_m は大きな値 (M Ω オーダー) が必要となり、それに伴って負帰還系安定化のため、応答が遅くなるというデメリットが生じてしまう。仮に DUT にバイパスコンデンサを接続していた場合、その容量値によっては負帰還系の時定数に影響し、さらなる応答の劣化を招くことになる。また、VSIM ユニットと DUT 間には物理的・パフォーマンス的な距離が生じてしまい、システムノイズが重畳しやすいという点もデメリットである。

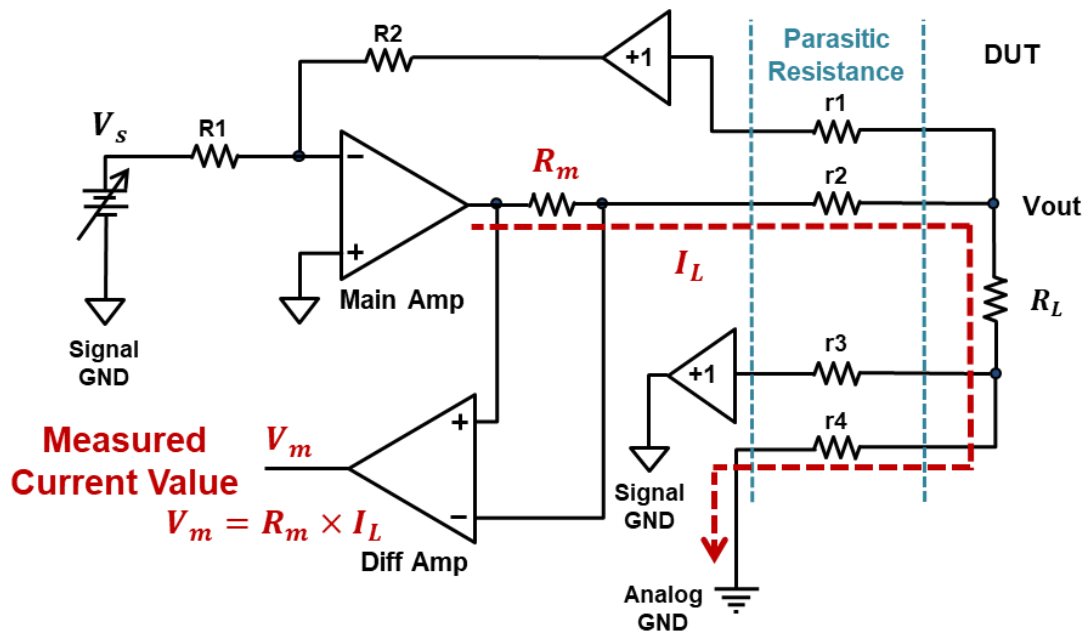


図 2.1 ATE システムに内蔵される VSIM 回路

2-2 FFT ベース DC-AC 変換

提案手法は、電流-電圧 (IV) 変換と FFT ベース DC-AC 変換 (高速フーリエ変換 (FFT) と DC-AC 変換の融合) を組み合わせた方法である。測定対象の電流は、IV 変換によって直流電圧へと変換される。入力電圧と GND 間の直流電圧は一定周期のスイッチングによって交流の矩形波に変換される。本研究では 1kHz の変換レートで実行され、生成された交流信号のパワースペクトルは FFT によって容易に抽出される。基本波パワースペクトルが直流電圧に該当する。このときノイズや周囲環境温度影響 (EMF など) のパワースペクトルを切り捨てることで影響を抑えることが可能である。DUT に流れる不明な電流値を導出するには、予め明示的な試験電流のパワースペクトルを取得し、それをを用いて電圧ベース測定値を校正し電流値に変換する必要がある。

低レベル DC 電圧測定に関する先行研究 ([13]、[14]) では、FFT ベース DC-AC 変換を用いることで $0.2\mu\text{V}$ までの電流を測定可能であると確認されている (図 2.2 参照)。また測定誤差は図 2.3 に示すように低電流であるほど大きくなり、 $1\mu\text{V}$ 測定時は 2%程度だが $0.2\mu\text{V}$ 測定時は 20%程度である。

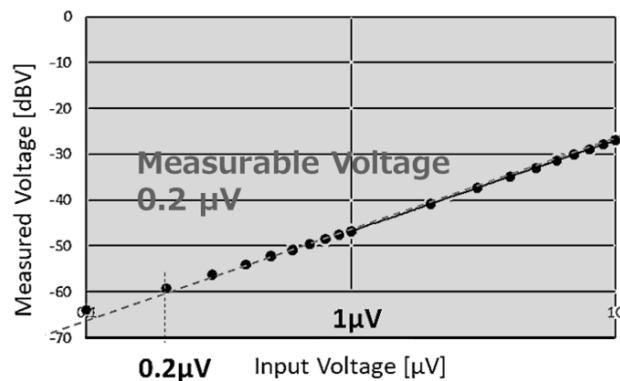


図 2.2 FFT ベース DC-AC 変換による測定可能電圧

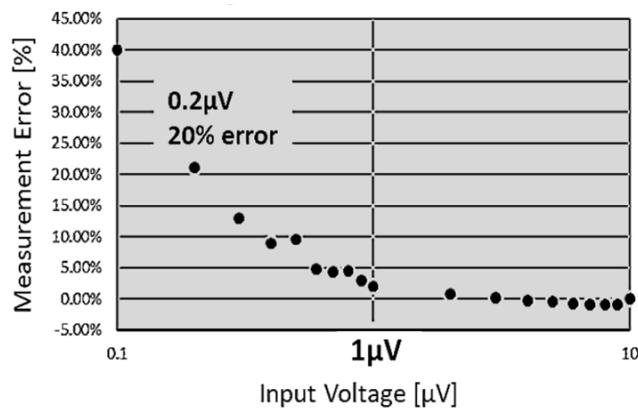


図 2.3 FFT ベース DC-AC 変換 DC 電圧測定誤差

2-3 測定時間の改善

FFT ベース DC-AC 変換を用いることで VSIM 回路のデメリットであった応答時間を改善できる。電流検出抵抗 R_m とバイパスコンデンサによる時定数 CR が、負帰還系の安定化に影響を及ぼし、その値が大きいほど応答時間が長くなる（式 (13) 参照）。

$$V_c(t) = E \left(1 - e^{-\frac{1}{CR}t} \right) \quad (13)$$

図 2.4 に示す回路の RC ステップ応答シミュレーションにおいて、抵抗 $R_m=1M\Omega$ 、バイパスコンデンサを $0.1\mu F$ とし、差動アンプで検出された電圧が $1mV$ の場合、応答時間は $760msec$ 程である。しかし $0.2\mu V$ まで検出可能な FFT ベース DC-AC 変換技術を用いることで、 nA オーダーの超低電流測定にも関わらず電流検出抵抗を $k\Omega$ オーダーまで下げることができる。抵抗 R_m の値を $1M\Omega$ から $10k\Omega$ に引き下げた場合、抵抗 R_m 端電圧が $10\mu V$ となり、応答安定化時間を $8msec$ まで短縮できる。FFT ベース DC-AC 変換を用いると μV オーダーの電圧測定が可能となるため、抵抗 R_m を小さくすることが可能で従来法よりも短時間で低電流を測定可能となる（図 2.5 参照）。

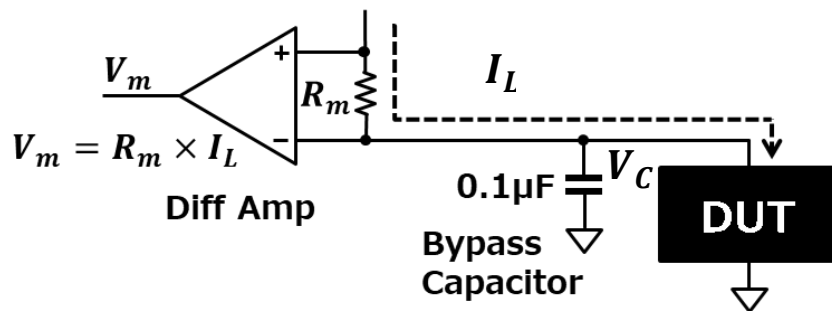


図 2.4 応答時間の検証

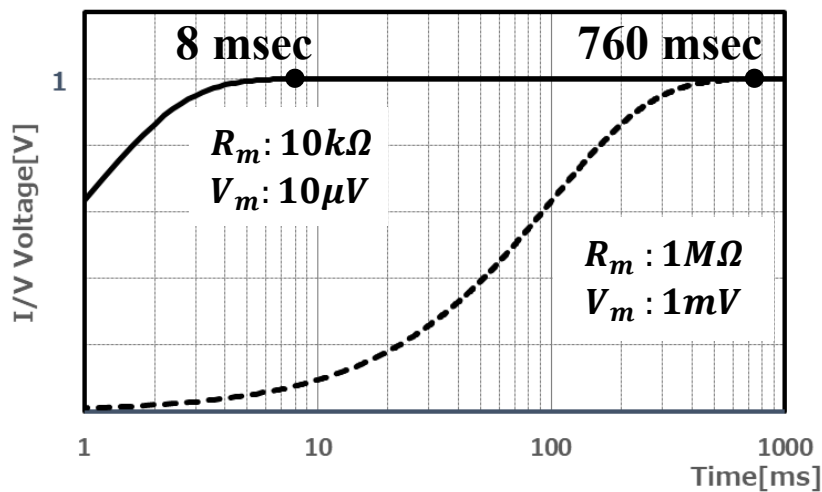


図 2.5 抵抗 R_m 値による安定化時間の違い

第3章 システム構成

3-1 概要

本章では前述した提案手法を取り入れた電流測定システムについて述べる。図 3.1 は DUT の GND 側電流測定回路を示す。DUT の GND 端から流れる電流は、オペアンプを利用した IV 変換回路により電圧に変換される。例えば、帰還抵抗 $R_m=10k\Omega$ 、測定電流 $I_m=1nA$ とすると IV 変換出力は $10\mu V$ である。IV 変換用オペアンプは、CMOS ゼロドリフトオペアンプ AD8571 (Analog Devices) を使用した。このオペアンプのオフセット電圧は $1\mu V$ (typ)、入力バイアス電流は $1pA$ (typ) である。AC 電圧 V_m は、 $1kHz$ クロックの DC-AC 変換、 100Ω 信号源抵抗、AC ゲイン ($80dB$)、Sample & Hold から成る DC-AC 変換回路を経てサンプリングされる。Sample & Hold を挿入することで AC 電圧 V_m のスパイクノイズは大幅に低減され、DC-AC 変換後の FFT 解析にてノイズスペクトルが大きく減少する。

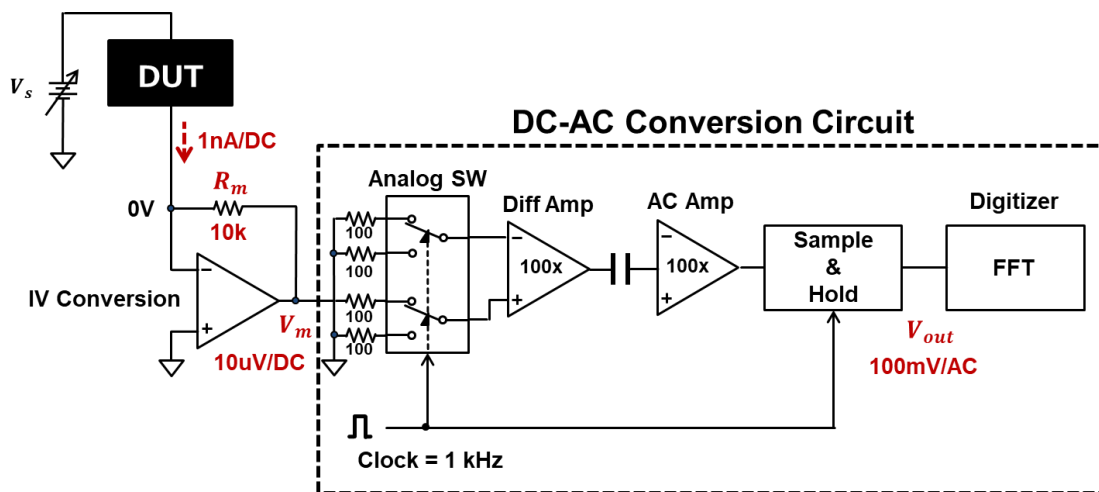


図 3.1 GND 側電流測定回路

図 3.2 に VDD 側電流測定回路を示す。これは GND 側での電流測定が困難な場合を想定し検討されたものである。VDD 側に流れる電流はカレントミラー回路によって複製され、電流検出抵抗 R_m で I-V 変換される。DUT に流れる電流 I_m が $1nA/DC$ の場合、I-V 変換感度は $10\mu V/DC$ である。カレントミラー回路はオペアンプ回路で高精度化している。電流バラツキ抑制のため、 $R_m=10k\Omega$ と並列にキャパシタ $C_m=1\mu F$ が設置される。これによりローパスフィルタが構成され、高周波成分の除去に寄与する。DUT 電源 $V_{DD}=3.6V$ を供給する NPN エミッタフォロワーの動作電流が低いとエミッタ出力抵抗が大きくなり、動作が不安定になるため、オフセット電流源 ($100nA$) が印加される。またカレントミラーの両側に同一の電流源を設置することで I-V 変換に対するオフセット電流の影響を防ぐことができる。DC-AC 変換部は図 3.1 の構成と同一である。

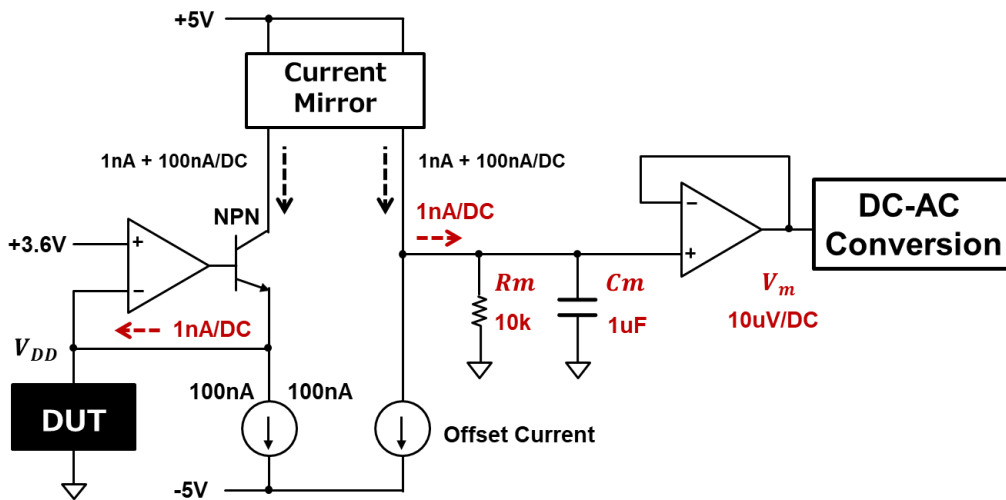


図 3.2 VDD 側電流測定回路

図 3.3 に実験時のセットアップを示す。プログラマブル DC 電源 (Hioki7011) を電流設定用 V_s として使用し、クロック源用信号発生器で DC-AC 変換のベースクロックを生成した。実験中は外因の影響を抑制するため、実験基盤をアルミニウムケースで覆った。

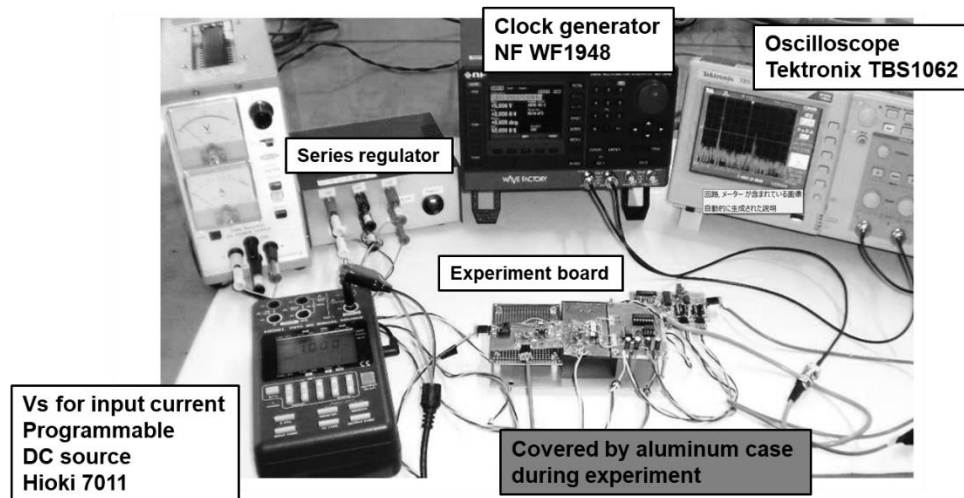


図 3.3 実験環境

図 3.4 に実験基盤の拡大画を示す。図中、左から I-V 変換部、DC-AC 変換部、増幅部、サンプル&ホールド部となっている。I-V 変換と DC-AC 変換部分は金属板によって放熱され、環境温度影響 (EMF など) を除去する。

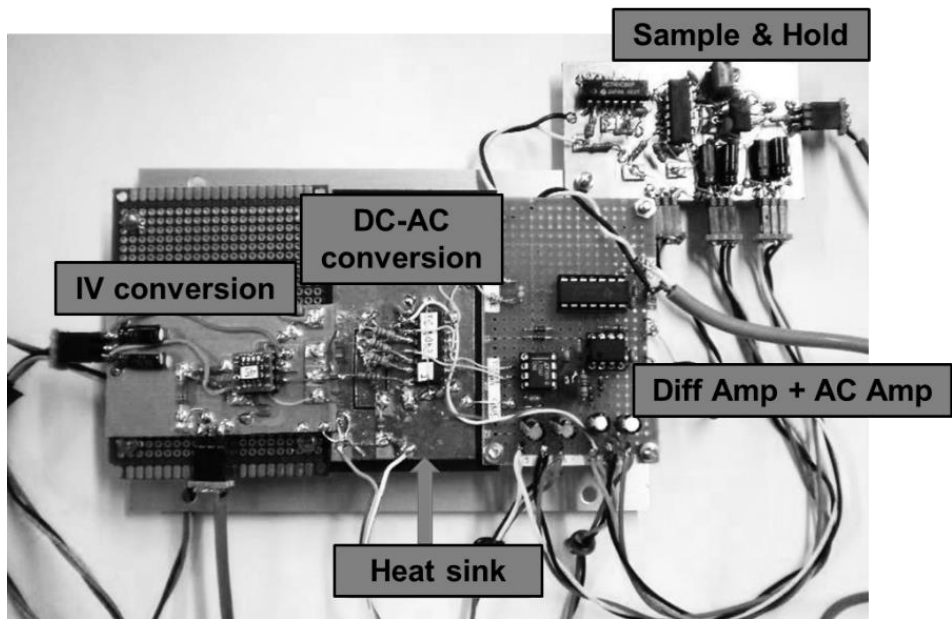


図 3.4 実験基盤

3-2 抵抗負荷 DUT 試験

次に抵抗素子のみからなる単純な DUT (図 3.5 参照) で試験電流を生成し行われた測定システムの検証について述べる。この検証ではサンプリングされた電流値のばらつき具合 ($n=100$) を比較した。検査項目は以下の 3 種である。

- ADC サンプリングレート : 25.6ksps, 51.2ksps, 102.4ksps
- 入力電流 : 1nA, 10nA
- 帰還抵抗 R_m : 10k Ω , 100k Ω

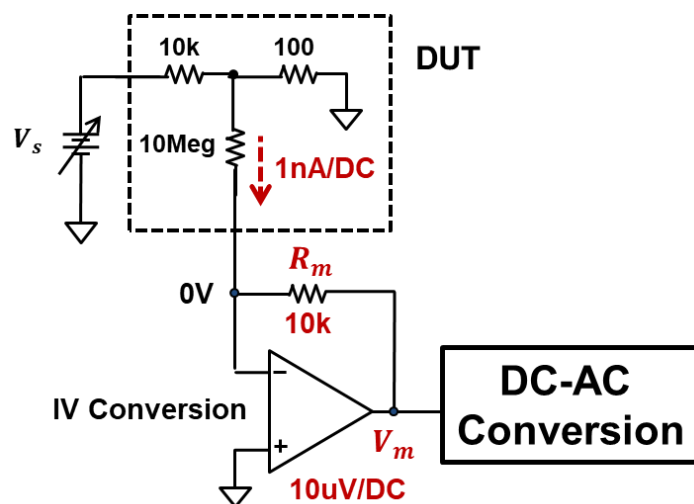


図 3.5 抵抗負荷 DUT 検証回路

図 3.6 にサンプリングレートによる測定値ばらつきの違いを示す。サンプル数は一律 1024bin であり、サンプリングレートのみ変化させて検証した。測定値ばらつき幅はそれぞれ 132pAp-p (25.6ksps 時)、291pAp-p (51.2ksps)、450pAp-p (102.4ksps) であった。結果としてサンプリングレートが低い(サンプリング時間が遅い)程、データ確率密度分布が中心に集積することがわかった。これはサンプリングに時間をかけるほど、データのばらつきが抑えられることを意味している。ただし、量産試験では時間が限られるため、適切なサンプリング条件(サンプル数、サンプリングレートなど)を設定する必要がある。

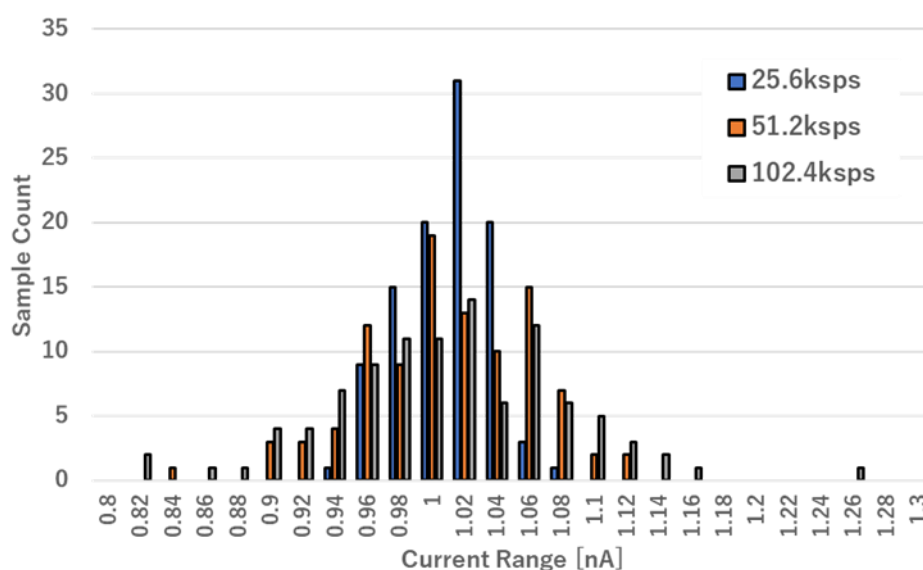


図 3.6 サンプリングレートの違いによる電流測定値分布

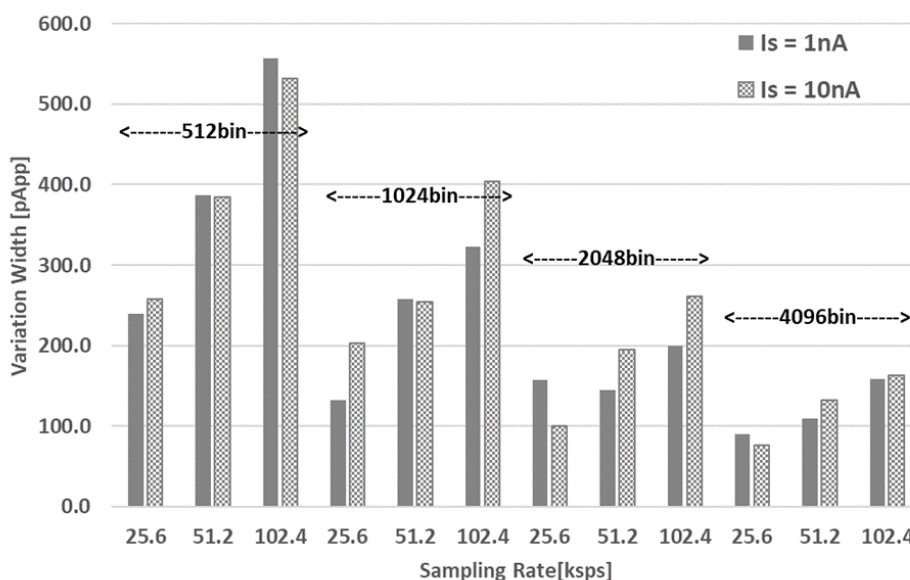


図 3.7 入力電流の違いによる電流測定値ばらつきの変動

次に入力電流の違いによる電流測定値ばらつきについて述べる。図 3.7 に示すグラフの横軸は ADC のサンプリングレートで縦軸はばらつき幅を示している。サンプル数が多い（あるいはサンプルレートが低い）程ばらつき幅が狭く、正確な電流値を得られることがわかる。また条件が異なってもサンプリング時間が等しい場合、ばらつき幅が近似する傾向にある。入力電流として 1nA と 10nA の信号を用いたがばらつき幅に影響は見られなかった。

次に帰還抵抗 R_m がデータばらつきに与える影響について述べる。図 3.8 にその結果を示す。抵抗 R_m が 10k Ω , 100k Ω の場合について検証され、 R_m 値が大きいほど電流測定値ばらつき幅が狭くなる傾向にあった。測定値を安定させるために抵抗 R_m は大きい方が好まれるが負帰還系の応答時間が長くなる懸念があるため、適切な R_m 値を選択する必要がある。

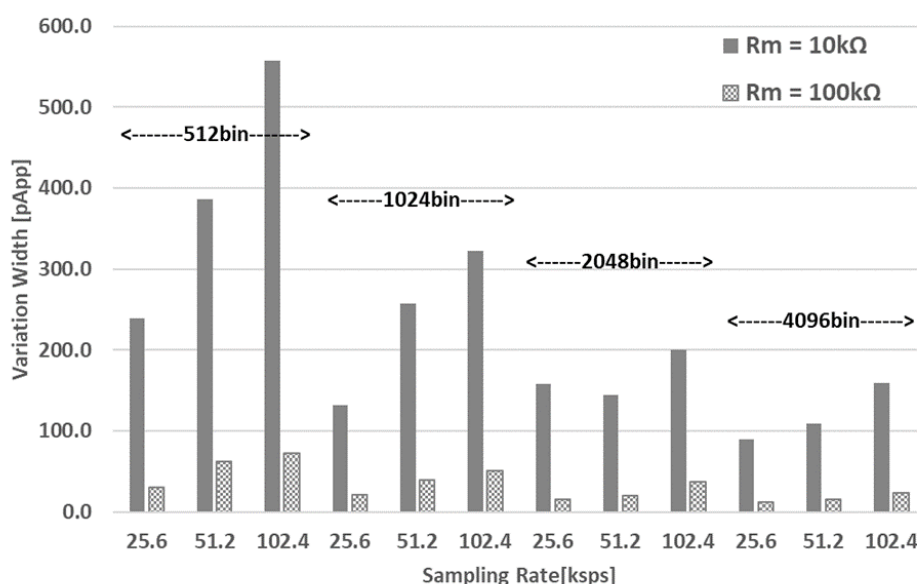


図 3.8 帰還抵抗 R_m の違いによる電流測定値ばらつきの変動

移動平均によるデータばらつき抑制効果の検証結果を図 3.9 に示す。サンプリング条件は 1024bin、25.6ksps (40msec/frame) である。4 回の移動平均化処理でばらつきをおよそ 50% 抑えることができると判明した。これは信号の振幅を移動平均回数の平方根で割った理論値に近い結果である。ただし、移動平均回数によっては時間が掛かりすぎしまうため、適用する場合は適切な回数を設定する必要がある。

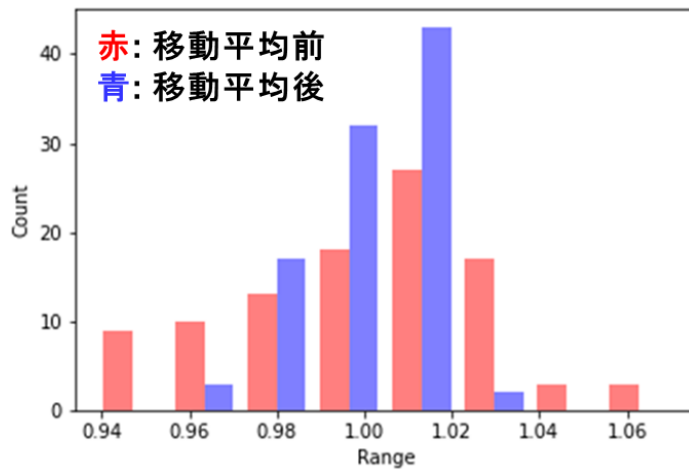


図 3.9 移動平均によるばらつき抑制

最後に測定可能電流の限界についての検証について述べる。帰還抵抗 $R_m=100k\Omega$ 、サンプリング時間 40msec という条件にて大ききの判明している試験電流を流した際の測定電流を図 3.10 にまとめた。線形性を維持したまま 1nA 以下の電流を測定でき、測定可能な最小電流は 20pA であった。

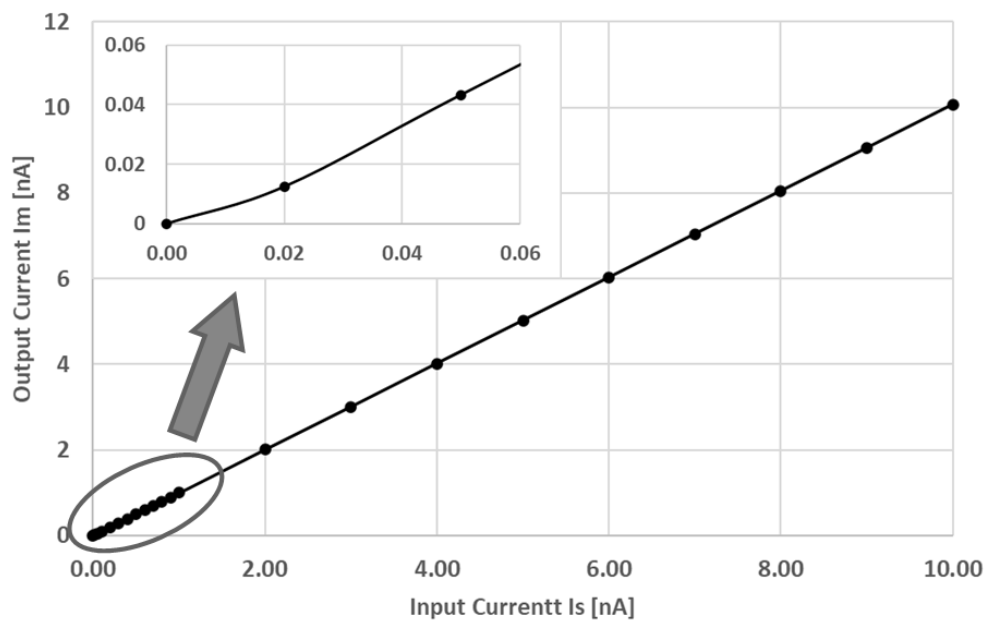


図 3.10 帰還抵抗 $R_m=100k\Omega$ 、サンプリング時間 40msec における測定限界

3-3 実デバイス試験

実デバイス試験では、DUT としてローム株式会社の BD70522GUL Nano Energy™ 超低消費（180nA）降圧 DC-DC コンバータ（図 3.11 参照）を使用した。スペックは、データシートによるとスタンバイ電流 $I_{st}=50\text{nA}$ （typ）、静的動作電流 $I_q=180\text{nA}$ （typ）である。

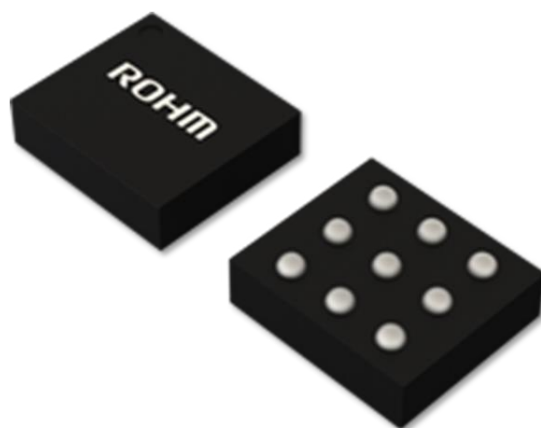


図 3.11 BD70522GUL (ROHM Semiconductor)

5つのデバイスで実験が実施され、その結果が表 3.1、表 3.2 に記載されている。表 3.1 には VDD 側電流の結果が表示されている。スタンバイ電流 I_{st} は、ばらつき幅 1nA_{p-p} 以下で測定されたが、静的動作電流 I_q には強烈なスパイク成分が重畳してしまい、別途除去処理が必要であった。これは静的動作時に間欠的に静的動作モードから動的動作モードに切り替わってしまうことが原因として考えられ、これまでの検証では確実に静的動作モードで動作させることが困難なため、測定データから動的動作モード時のサンプルを排除する形でばらつき評価を行った。動的動作モード時のスパイクノイズを除けば、ばらつき幅は 1nA 以下に収まっている。どちらの測定電流も typical 値から大きく外れることはなく、概ね正しい値を検出できたと考える。

表 3.1 BD70522GUL VDD 側電流測定結果

Device	No.1	No.2	No.3	No.4	No.5	Average
I_{st} [nA]	9.27	7.23	3.26	3.52	2.36	5.13
Variation width [nApp]	0.546	0.393	0.513	0.446	0.388	0.457
I_q [nA]	143.7	149.0	141.7	133.2	138.6	141.2
Variation width [nApp]	0.248	0.346	0.305	0.332	0.201	0.286

表 3.2 に GND 側電流測定の結果を示す。スタンバイ電流 I_{st} 、静的動作電流 I_q どちらの値も typical 値や VDD 側の結果と同等の値であったが、ばらつき幅が VDD 側の 10 倍となっており、追加で LPF を接続するなど別途ばらつきを低減する処置が必要と思われる。

表 3.2 BD70522GUL GND 側電流測定結果

Device	No.1	No.2	No.3	No.4	No.5	Average
I_{st} [nA]	12.30	4.27	4.15	2.53	2.25	5.1
Variation width [nApp]	3.62	3.32	3.66	4.29	3.66	3.71
I_q [nA]	147.1	150.7	143.8	134.7	140.1	143.3
Variation width [nApp]	3.95	8.64	3.77	3.64	3.85	4.77

第4章 過渡応答性

4-1 DUT 電源応答

ここまで DUT の VDD 側と GND 側で異なる回路構成で測定精度やサンプリング時間について検討してきたが、これからは測定系の電源応答について述べていく。量産試験における 1 デバイス当たりの試験時間には、データをサンプリングするのに要する時間も含まれるが、測定系が安定化するまでの電源応答時間も含まれる。VDD 側と GND 側で異なる回路構成をとっていた場合、電源応答性が変わる上に 2 種類も環境をセットアップするのは手間である。よって、DUT の両電源でも使用可能で電源応答性が改善された測定システムを考案した。

DUT 電源応答性を改良した構成を図 4.1 に示す。オペアンプの入力には 3.6V が印加され、転じて DUT の VDD にも 3.6V が印加される。電流検出抵抗 R_m の両端電圧はボルテージフォロワを介してそれぞれ独立に DC-AC スイッチで検出され、電位差が導出される。抵抗 R_m には容量が並列接続され、DUT 電源 ON 時に DUT に対して電流を供給し、抵抗 R_m の DUT 側電圧の急速な立ち上がりには貢献する。DUT と並列接続される抵抗 ($36M\Omega$) は基準電流 ($100nA$) 生成用の抵抗である。

図 4.2 に GND 側電流測定用の構成を示す。DUT の GND 側を接続することと電源を DUT に直接印加している点以外に違いはない。

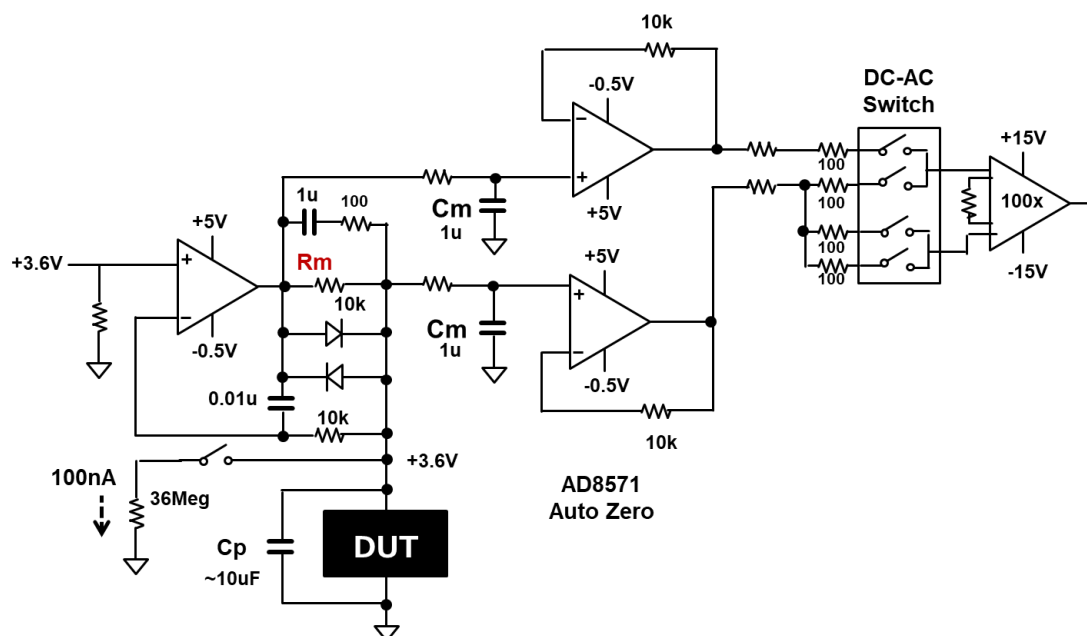


図 4.1 DUT 電源応答改良版 (VDD 側電流測定時)

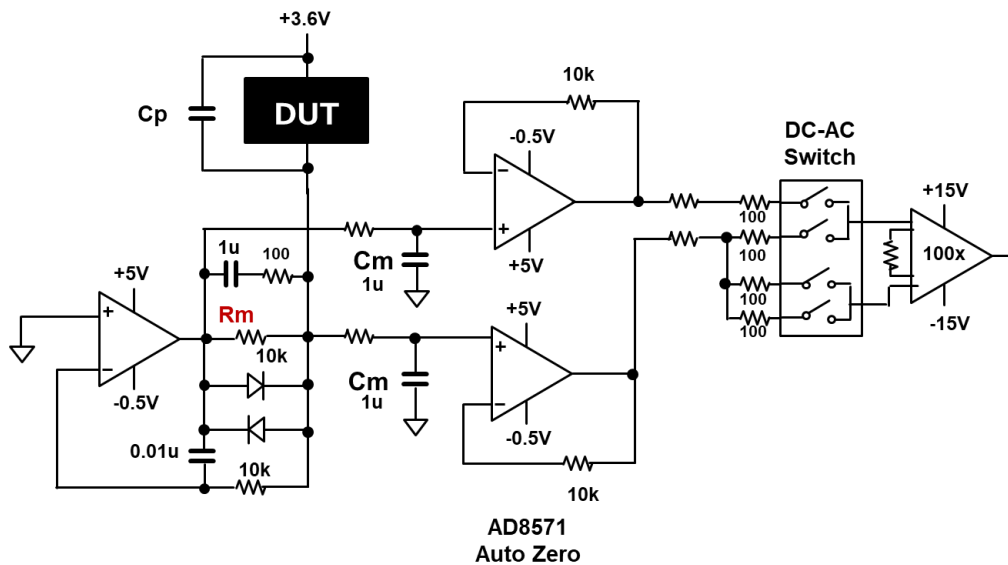


図 4.2 DUT 電源応答改良版 (GND 側電流測定時)

図 4.1、図 4.2 で提案した回路にテスト電流を流した際の測定電流値とそのばらつきを図 4.3 に示す。試験電流は 100nA とし VDD 側と GND 側からそれぞれ流してみたところ、VDD 側での測定値は 99.74nA でばらつき幅は 0.565nAp-p であった。GND 側での測定値は 99.80nA でばらつき幅は 0.465nAp-p であった。

また 5 つのデバイスを用いた実機測定が実施され、その結果が表 4.1、表 4.2 に示されている。スタンバイ電流 I_{st} は、ばらつき幅 1nAp-p 以下で安定した測定できたが、静的動作電流 I_q には間欠的な動作モードの切り替えの影響が出てしまったため、別途スパイク成分の除去をしている。動的動作モード時のスパイクノイズを除けば、静的動作電流 I_q もばらつき幅は 1nA 以下に収まっている。なお 2 番素子については GND 側静的動作モードに移行できず測定不能だったため、データが抜けている。

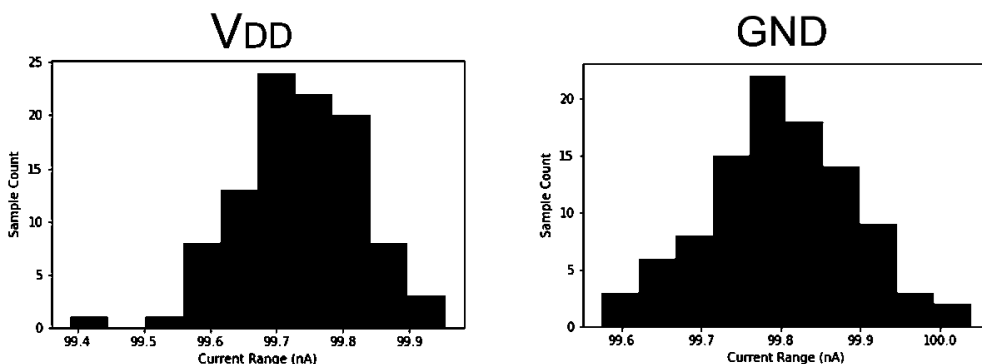


図 4.3 VDD と GND それぞれから試験電流を流した時の測定値ばらつき

表 4.1 電源応答改良版 BD70522GUL VDD 側電流測定結果

Device	No.1	No.2	No.3	No.4	No.5
Ist [nA]	0.776	1.01	1.05	1.13	1.22
Variation Width [nAp-p]	0.470	0.579	0.552	0.450	0.408
Iq [nA]	138.2	145.4	140.7	131.7	137.1
Variation Width [nAp-p]	0.328	0.907	0.811	0.327	0.613

表 4.2 電源応答改良版 BD70522GUL GND 側電流測定結果

Device	No.1	No.2	No.3	No.4	No.5
Ist [nA]	0.388	0.800	0.885	0.794	0.836
Variation Width [nAp-p]	1.15	0.501	0.643	1.49	0.557
Iq [nA]	138.7	-	139.9	131.7	136.7
Variation Width [nAp-p]	1.35	-	0.294	1.43	0.316

4-2 応答性シミュレーション

次に DUT 電源応答改良版回路を用いた過渡応答シミュレーションについて述べる。シミュレーションでは、DUT の代わりに抵抗素子とスイッチを用いて任意のタイミングで抵抗に電流が流れるように調整した。電流検出抵抗 R_m による電位差は、電圧に依存しない理想的な電流源によって取得され、疑似的な測定電流として出力される。この検証は、図 4.4 の回路を用いて、DUT 電源 ON からの過渡応答が最も優れる位相補償容量 C_1 、DUT と並列接続されたバイパスコンデンサ C_P 、抵抗 R_m 端に接続されたローパスフィルタの容量 $CLPF$ の条件を明確化するために実施した。

図 4.5 に容量 $CLPF=1pF$ (LPF なしを意味)、パスコン容量 C_P を $0.1\mu F$, $1.0\mu F$, $10\mu F$ でパラメトリック解析した際の結果を示す。DUT 電源はトランジェント解析 (100msec) における 10msec 時に ON になる。DUT に電流 $I(V1)$ が流れ込むと電流検出抵抗 R_m の DUT 側電圧 $V(out)$ が急激に低下する。 $V(out)$ の立ち上がりに伴って測定電流 $I(G1)$ が流れだす仕組みである。したがって $V(out)$ をいかに急速に立ち上がらせるかがポイントになる。

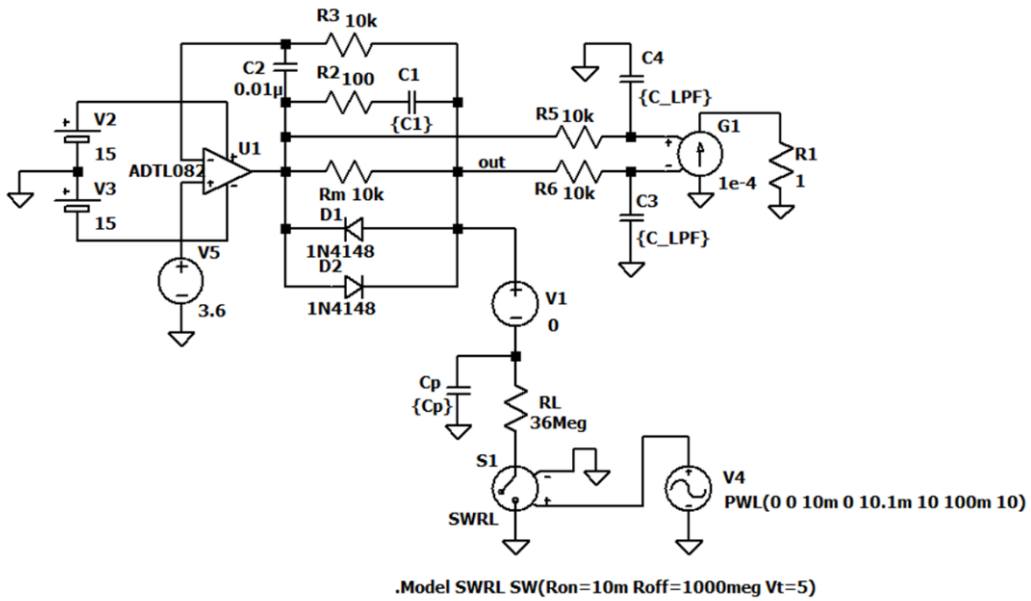


図 4.4 DUT 電源応答改良版 過渡応答シミュレーション

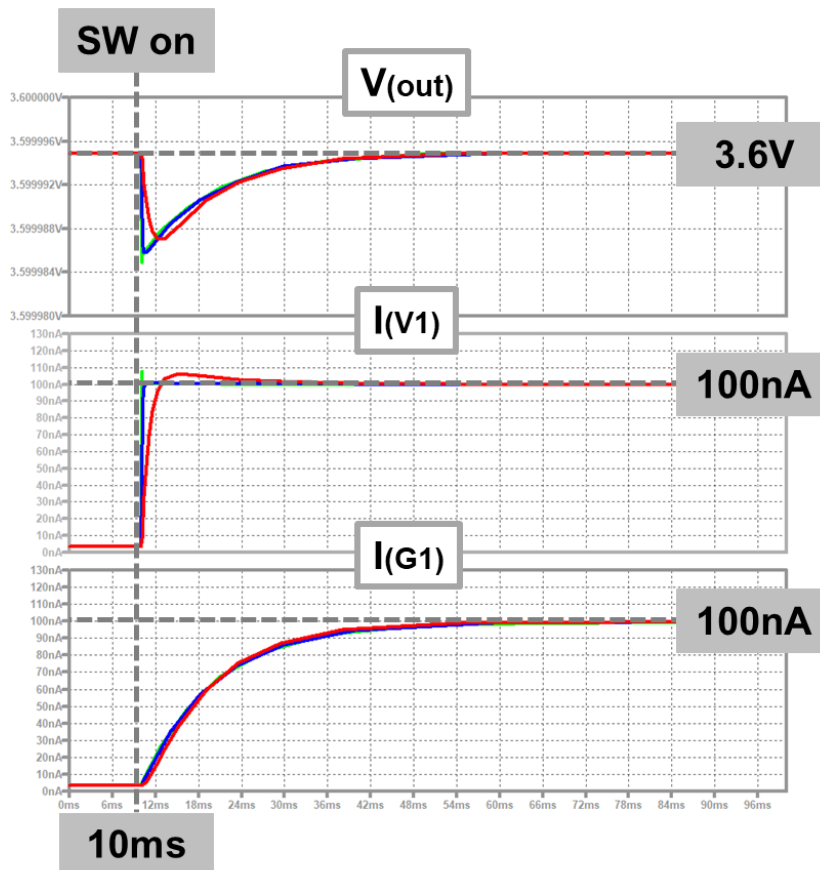


図 4.5 過渡応答シミュレーション結果

抵抗 R_m 端電圧 $V(out)$ の立ち上がりを改善するために、パスコン容量 C_P と位相補償容量 C_1 の最適条件を求めるためにそれぞれの容量についてパラメトリック解析を行った (図 4.6 参照)。最も応答が改善された条件は、 $C_P = 0.1\mu F$, $C_1 = 50nF$, $CLPF < 1\mu F$ であった。なおこの条件時の測定電流 $I(G1)$ 立ち上がり時間は $5msec$ に収まっている (図 4.7 参照)。また LPF 時定数が大きい程電源応答性は劣化する傾向にあり、測定値ばらつきをどの程度まで許容するか検討した上で設定する必要がある。

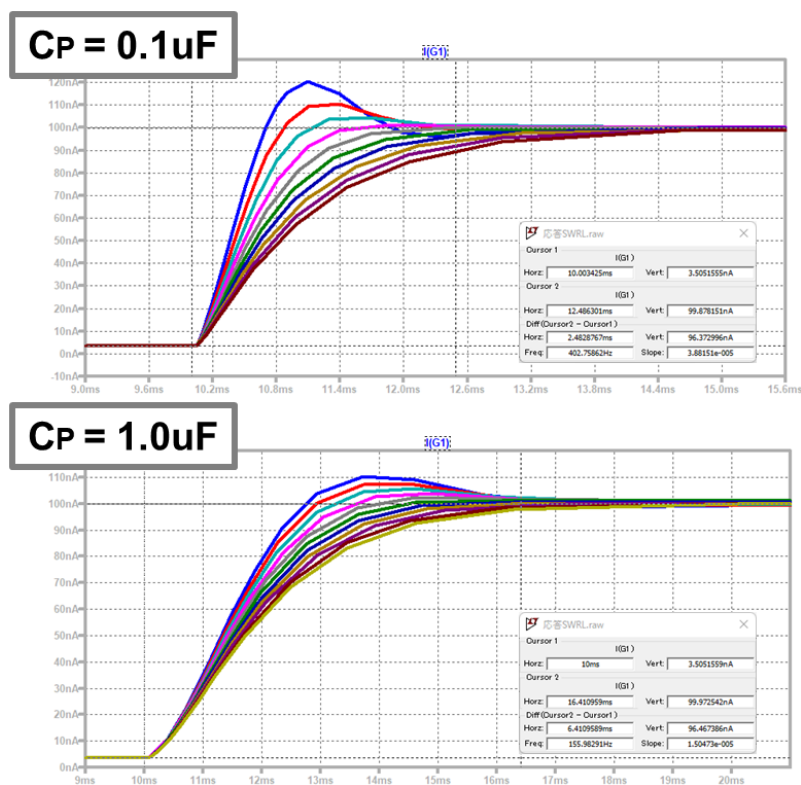


図 4.6 各 C_P における C_1 パラメトリック解析の結果

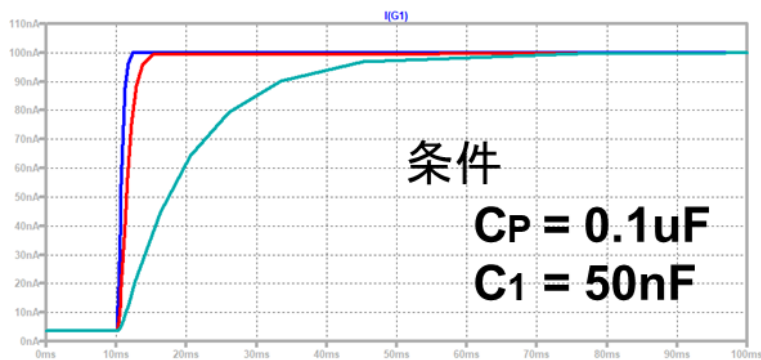


図 4.7 C_P, C_1 最適条件下での $CLPF$ パラメトリック解析の結果

第5章 結論

5-1 まとめ

この論文では、LSI 量産試験用に ATE 環境下で利用可能な、IV 変換と DC-AC 変換を用いた高速・高精度なナノアンペア電流測定法を検討した。既存の電流測定手法では、電流検出抵抗が $M\Omega$ オーダーであるために電源応答安定化時間が長くなってしまう欠点があったが、DC-AC 変換による低レベル電圧測定手法を適用することで電流検出抵抗を $k\Omega$ オーダーに落とすことが可能となり安定化時間の短縮につながった。実機試験では DC-DC 降圧コンバータを DUT として、そのスタンバイ電流と静的動作電流を 40msec のサンプリング時間で 500pAp-p の精度で測定できることを確認した。ADC サンプリング時間が約 40msec で 20pA 程度の低電流に対しても良好な測定直線性を実現することが確認できたが、電流ばらつきが 500pAp-p であることを考えると有効な測定限界は nA オーダーであると考えられる。

電源応答を改善した提案回路に関して、DUT の VDD, GND どちらの電流測定に対しても同一の回路構成を適用可能であることを示した。また DUT 電源に対する測定電流の過渡応答はキャパシタ容量に大きく左右されるため、シミュレーションを用いて最も電源応答が優れるキャパシタ条件（最適位相補償定数）を求めた。そして、最適位相補償定数における測定電流の立ち上がり時間が 5msec であることをシミュレーションで確認した。最終的な測定時間は、安定化時間とサンプリング時間を合わせ 50msec 程度だと考えられる。

再現にあたり高価な測定器は不要であり、小型の BOST 回路のみで本手法を実現することが可能である。異なる条件下で収集したデータのばらつき条件を評価し、提案方式が産業用途に使用できることを示した。

5-2 今後の課題

実機試験と抵抗負荷 DUT の双方で電流測定ばらつきが 500pAp-p あり、引き続きばらつき低減のため検討が必要である。DUT のスイッチングスパイクを低減するために LPF を接続するなどの方法が有効と考えられる。

参考文献

第 1 部

- [1]. Texas Instruments, Handbook of Operational Amplifier Applications (Rev. B), SBOA092B, Bruce Carter, Thomas R. Brown, October 2001.
- [2]. J. M. Bryant, "Simple Op Amp Measurements," Analog Dialogue, vol. 45. pp 21–23 (2011).
- [3]. Analog Devices, Op Amp Applications Handbook (2004).
- [4]. K. Blake, "Op Amp Precision Design: PCB Layout Techniques," Microchip Technology Inc., Tech. Rep. AN1258 (2009).
- [5]. B. Dopkin, Analog Circuit Design, Linear Technology (2013).
- [6]. G. Robert, F. Taenzler, M. Burns, An Introduction to Mixed-Signal IC Test & Measurement, 2nd Edition, Oxford University Press (2012).
- [7]. Y. Sasaki, K. Machida, R. Aoki, S. Katayama, T. Nakatani, J. Wang, K. Sato, T. Ishida, T. Okamoto, T. Ichikawa, A. Kuwana, K. Hatayama, H. Kobayashi, "Accurate and Fast Testing Technique of Operational Amplifier DC Offset Voltage in μV -order by DC-AC Conversion", IEEE 3rd International Test Conference in Asia, Tokyo (Sept. 2019).
- [8]. R. Aoki, S. Katayama, Y. Sasaki, K. Machida, T. Nakatani, J. Wang, A. Kuwana, K. Hatayama, H. Kobayashi, K. Sato, T. Ishida, T. Okamoto, T. Ichikawa, "Evaluation of NULL Method for Operational Amplifier Short-Time Testing", IEEE International Conference on ASIC, Chongqing, China (Nov. 2019)
- [9]. G. Ogihara, T. Nakatani, A. Hatta, K. Sato, T. Ishida, T. Okamoto, T. Ichikawa, A. Kuwana, R. Aoki, S. Katayama, J. Wei, Y. Zhao, J. Wang, K. Hatayama, H. Kobayashi, "Summing Node Test Method: Simultaneous Multiple AC Characteristics Testing of Multiple Operational Amplifiers" , 29th IEEE Asian Test Symposium (Nov. 2020) .

第 2 部

- [10]. P. Yarlagadda, Y. Kim, "A High Precision Pico-Amperes Scale Current Measurement in Radiation Detection", Applied Mechanics and Materials (Dec. 2012).
- [11]. W. Lin, S. Deng, "Research on Nano-Ampere Current-Measuring Meter System", International Conference on Future Biomedical Information Engineering (Dec. 2009).
- [12]. G. Robert, F. Taenzler, M. Burns, "An Introduction to Mixed-Signal IC Test & Measurement", 2nd Edition, Oxford University Press (2012).
- [13]. Y. Sasaki, K. Machida, R. Aoki, S. Katayama, T. Nakatani, J. Wang, K. Sato, T. Ishida, T. Okamoto, T. Ichikawa, A. Kuwana, K. Hatayama, H. Kobayashi, "Accurate and Fast Testing Technique of Operational Amplifier DC Offset Voltage in μV -order by DC-AC Conversion", IEEE 3rd International Test Conference in Asia, Tokyo (Sept. 2019).

- [14]. K. Sato, T. Nakatani, T. Ishida, T. Okamoto, T. Ichikawa, A. Kuwana, K. Hatayama, H. Kobayashi, "Accurate Testing of Precision Voltage Reference by DC-AC Conversion", Industry Paper, 29th IEEE Asian Test Symposium (Nov. 2020).
- [15]. Keno Sato, Takayuki Nakatani, Takashi Ishida, Toshiyuki Okamoto, Tamotsu Ichikawa, Shogo Katayama, Gaku Ogihara, Daisuke Imori, Yujie Zhao, Jianglin Wei, Anna Kuwana, Kazumi Hatayama, Haruo Kobayashi, "High Precision Measurement of Sub-Nano Ampere Current in ATE Environment", Industry Paper, 30th IEEE Asian Test Symposium (Nov. 2021).

発表論文

国際会議

- **Gaku Ogihara**, Takayuki Nakatani, Daisuke Iimori, Shogo Katayama, Anna Kuwana, Keno Sato, Takashi Ishida, Toshiyuki Okamoto, Tamotsu Ichikawa, Yujie Zhao, Jianglin Wei, Kazumi Hatayama, Haruo Kobayashi, "Evaluation of High-Precision Nano-Ampere Current Measurement Method for Mass Production", 28th IEEE International Conference on Electronics Circuits and Systems (IEEE ICECS 2021), Sofitel Dubai The Obelisk, Dubai, UAE, (Nov. 28th - Dec. 1st, 2021).
- **Gaku Ogihara**, Takayuki Nakatani, Daisuke Iimori, Shogo Katayama, Anna Kuwana, Keno Sato, Takashi Ishida, Toshiyuki Okamoto, Tamotsu Ichikawa, Yujie Zhao, Jianglin Wei, Kazumi Hatayama, Haruo Kobayashi, "Proposal for High-Precision Nano-Ampere Current Measurement in ATE", 2021 Taiwan and Japan Conference on Circuits and Systems (TJCAS2021), Nov. 20th, 2021.
 - Selected for the "Best Student Presentation Award"
- **Gaku Ogihara**, Takayuki Nakatani, Akemi Hatta, Keno Sato, Takashi Ishida, Toshiyuki Okamoto, Tamotsu Ichikawa, Anna Kuwana, Riho Aoki, Shogo Katayama, Jianglin Wei, Yujie Zhao, Jianlong Wang, Kazumi Hatayama, Haruo Kobayashi, "Summing Node Test Method: Simultaneous Multiple AC Characteristics Testing of Multiple Operational Amplifiers", 29th IEEE Asian Test Symposium, Penang, Malaysia (Nov. 2020).
- **Gaku Ogihara**, Anna Kuwana, Haruo Kobayashi, "Parallel Low-Gain Amplifiers Equivalent to High-Gain Amplifier", 2019 Taiwan and Japan Conference on Circuits and Systems (TJCAS2019), Nikko, Tochigi, Japan, Aug. 2019.
 - Selected for the "Best Student Paper Award"
- **Daisuke Iimori**, Takayuki Nakatani, Shogo Katayama, **Gaku Ogihara**, Akemi Hatta, Anna Kuwana, Keno Sato, Takashi Ishida, Toshiyuki Okamoto, Tamotsu Ichikawa, Jianglin Wei, Yujie Zhao, Tri Minh Tran, Kazumi Hatayama, Haruo Kobayashi, "Summing Node and False Summing Node Methods: Accurate Operational Amplifier AC Characteristics Testing without Audio Analyzer", Session 4A: Analog Testing (Regular Paper), 51st IEEE International Test Conference (ITC 2021), Oct. 10-15th, 2021.
- **Keno Sato**, Takayuki Nakatani, Takashi Ishida, Toshiyuki Okamoto, Tamotsu Ichikawa, Shogo Katayama, **Gaku Ogihara**, Daisuke Iimori, Yujie Zhao, Jianglin Wei, Anna Kuwana, Kazumi Hatayama, Haruo Kobayashi, "High Precision Measurement of Sub-Nano Ampere Current in ATE Environment", Industry Paper, 30th IEEE Asian Test Symposium, Nov. 22-25th, 2021.

国内会議

- **荻原岳**, 中谷隆之, 片山翔吾, 飯森大翼, 八田朱美, 桑名杏奈 (群馬大学), 佐藤賢央, 石田嵩, 岡本智之, 市川保 (ローム (株)), 魏江林, 趙宇杰, チャン・ミン・チー, 畠山一実, 小林春夫 (群馬大学), 「複数オペアンプ複数 AC 特性の並列試験技術サミングノード法の検討」, 第 83 回 FTC 研究会, オンライン, 2021 年 7 月 16 日 (金)
- **荻原岳**, 片山翔吾, 青木里穂, 中谷隆之 (群馬大学), 佐藤賢央, 石田 崇, 岡本智之, 市川 保 (ローム), 王 建龍, 桑名杏奈, 畠山一実, 小林春夫 (群馬大学), 「オペアンプ AC 特性のサミングノード法による並列試験」, 電気学会栃木・群馬支所合同研究発表会, 群馬工業高等専門学校, 群馬, 2020 年 3 月 4, 5 日
- **荻原岳**, 片山翔吾, 青木里穂, 中谷隆之 (群馬大学), 佐藤賢央, 石田 崇, 岡本智之, 市川 保 (ローム), 王 建龍, 桑名杏奈, 畠山一実, 小林春夫 (群馬大学), 「オペアンプ AC 特性の FFT 法による高速試験」, 電気学会 電子回路研究会, 日本大学, 東京, 2019 年 12 月 18, 19 日
- **八田朱実**, 中谷隆之, 片山翔吾, **荻原岳**, 飯森大翼, 桑名杏奈, 佐藤賢央, 石田 嵩, 岡本智之, 市川 保, 畠山一実, 小林春夫, 「Summing Node 法によるオペアンプの AC 特性評価研究 - シミュレーション検証」, 電子回路研究会, ECT-021-001, 2021 年 1 月 21 日 (木)
- **飯森大翼**, 中谷隆之, 片山翔吾, 八田朱実, **荻原岳**, 桑名杏奈, 佐藤賢央, 石田 嵩, 岡本智之, 市川 保, 畠山一実, 小林春夫, 「Summing Node 法によるオペアンプの AC 特性評価研究 - 実測検証」, 電子回路研究会, ECT-021-002, 2021 年 1 月 21 日 (木)

受賞

- 2019 Taiwan and Japan Conference on Circuits and Systems (TJCAS2019) にて
“Best Student Paper Award” 受賞
- 2021 Taiwan and Japan Conference on Circuits and Systems (TJCAS2021) にて
“Best Student Paper Award” 受賞

謝辞

本研究を進めるにあたり、群馬大学理工学府小林春夫教授より数々のご指導、ご鞭撻賜りましたこと、ここに厚く御礼申し上げます。また群馬大学理工学府桑名杏奈助教には研究生生活をサポートして頂きましたこと、そして主査の藤井雄作教授、副査の石田雅裕客員教授には本論文の審査に携わっていただきましたこと、深く感謝申し上げます。

協力研究員であられる中谷隆之先生、佐藤賢央氏をはじめとしたローム株式会社の方々には、オペアンプ試験技術や超低電流測定技術に関しまして大変有意義な助言と多大なご支援を賜りましたこと、心より御礼申し上げます。また研究生生活において数多くのご支援を頂きました研究室メンバーに深く感謝いたします。

最後に、本研究を支えてくださったすべての方に心より感謝申し上げます。