

Regelsystem zur Einstellung des optimalen Schaltzeitpunktes bei Schaltflankensynchronisation

M.Sc. Philipp Marx, Institut für Leistungselektronik und Elektrische Antriebe, Universität Stuttgart, Deutschland

M.Sc. Nicolas Lomberg, Institut für Leistungselektronik und Elektrische Antriebe, Universität Stuttgart, Deutschland

M.Sc. Philipp, Ziegler, Institut für Leistungselektronik und Elektrische Antriebe, Universität Stuttgart, Deutschland

Prof. Dr.-Ing. Jörg Roth-Stielow, Institut für Leistungselektronik und Elektrische Antriebe, Universität Stuttgart, Deutschland

1 Einleitung

Durch den vermehrten Einsatz von neuartigen schnellschaltenden Leistungstransistoren auf Basis von Halbleitermaterialien mit großer Bandlücke und der Miniaturisierung von leistungselektronischen Schaltungen werden Probleme, verursacht durch EMV-Störungen, immer größer. Herkömmlich werden hierfür EMV-Filter eingesetzt, welche jedoch in ihrer Größe und ihres Gewichts steigen. Deshalb wird versucht, diese herkömmlichen EMV-Filter zu vermeiden. Eine Möglichkeit dabei ist der Einsatz von aktiven EMV-Filtern. Hierbei werden dem Störsignal entgegengesetzte Signale erzeugt und so aufgeschaltet, dass sie das Störsignal vermindern [1–3]. Eine weitere Möglichkeit die Störsignale zu vermindern ist die Synchronisation entgegengesetzter Schaltflanken [4–10]. Hierbei werden jeweils eine steigende und fallende Schaltflanke miteinander synchronisiert, sodass sich die erzeugten Gleichtaktstörungen gegenseitig kompensieren. Entscheidend für die Kompensation sind gleich große Schaltgeschwindigkeiten, ein symmetrischer Ausbreitungsweg der Störungen und möglichst gleichzeitig auftretende Schaltzeitpunkte. Durch Laufzeitunterschiede im Gatepfad, wie beispielsweise die des Gatetreibers, treten die Schaltzeitpunkte zweier Transistoren trotz gleichzeitigem Schaltbefehl aus dem Ansteuersystem nicht gleichzeitig auf. Diese Unterschiede sollen im Regelsystem dieses Beitrages automatisch kompensiert werden und die Schaltbefehle so aufbereitet werden, dass die Schaltzeitpunkte gleichzeitig auftreten. Für ein Regelsystem sind im allgemeinen folgende Komponenten nötig. Zunächst muss eine Größe erfasst werden, welche den Zustand des Systems beschreibt. Mit dieser Größe muss es möglich sein, eine ausreichend große Abhängigkeit der Störungen vom Schaltzeitpunkt zu messen. Anhand dieser Messgröße kann ein Regelalgorithmus den optimalen Schaltzeitpunkt, welcher über ein geeignetes Stellglied einstellbar sein muss, bestimmen. [11] beschreibt ein solches Regelsystem, welches die Schaltflanken aufeinander abstimmt. Dieser Beitrag unterscheidet sich jedoch deutlich in der Erfassung und Bewertung des Systemzustandes. Weiterhin wird in [11] eine Einstellung des Schaltzeitpunktes in deutlich größeren Zeitschritten vorgestellt. Die Schrittweite der einzelnen Schaltzeitpunkte ist in [11] durch die Modulation bedingt im Bereich mehrerer Nanosekunden. Dieser Beitrag präsentiert ein Regelverfahren zur Einstellung eines optimierten Schaltzeitpunktes mit einer Auflösung von 100 ps.

2 Systembeschreibung

Diesem Beitrag liegt die leistungselektronische Anordnung in Abbildung 1 zugrunde. Hierbei werden jeweils zwei einzelne Wicklungen eines Statorzahns als Last A und Last B von einer Vollbrücke gespeist. Zur Nachbildung des Bordnetzes von Elektrofahrzeugen werden zwei Netznachbildungen (LISN) zwischen der DC-Quelle und den Vollbrücken eingebracht. Die Netznachbildungen werden mit den Elementen L_{LISN} , C_{LISN} , R_{LISN} , parallel zu einem 1 μ F Kondensator berücksichtigt. Um den pulsformigen Strombedarf der Vollbrücken zu puffern, wird

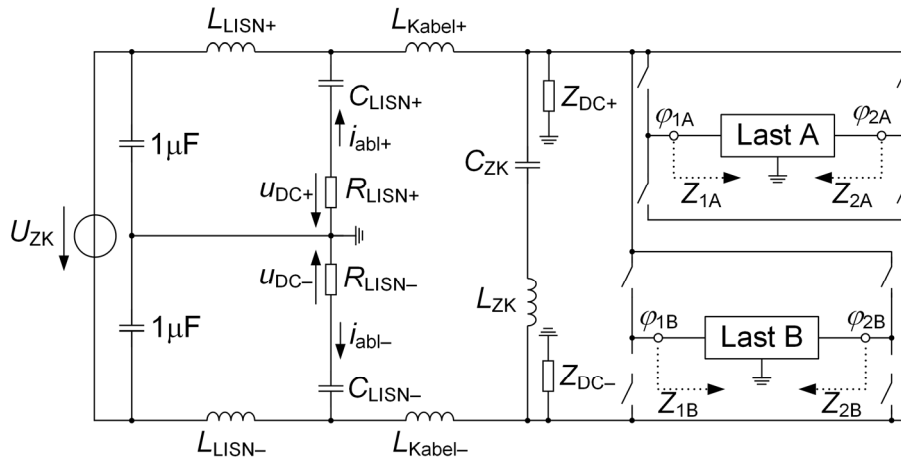


Abbildung 1: Ersatzschaltbild des Gesamtsystems

die Zwischenkreisspannung mit einer Zwischenkreiskapazität C_{ZK} gestützt. Dessen parasitäre Induktivität wird mit L_{ZK} modelliert.

Wird eine Fläche zwischen zwei leitfähigen Materialien aufgespannt, so entsteht eine parasitäre Kapazität zwischen den beiden leitfähigen Materialien. In der betrachteten Anordnung bilden sich unter anderem parasitäre Kapazitäten zwischen den Transistoren und dem zur Entwärmung eingesetzten geerdeten Kühlkörper, zwischen den Verbindungskabeln und dem Erdpotential, sowie zwischen den Windungen der Einzelzahnwicklung und dem mit dem geerdeten Gehäuse verbundenem Statorzahn aus. Die Impedanzen der beiden Zwischenkreispotentiale zum Erdpotential werden mit Z_{DC+} und Z_{DC-} berücksichtigt.

Die beiden Vollbrückenschaltungen des Systems sind jeweils mit einer Statorwicklung eines Statorzahns, welcher sich in einem geerdeten Maschinengehäuse befindet, verbunden. Diese Anordnung mit ihren parasitären Elementen kann mit dem Ersatzschaltbild in Abbildung 2

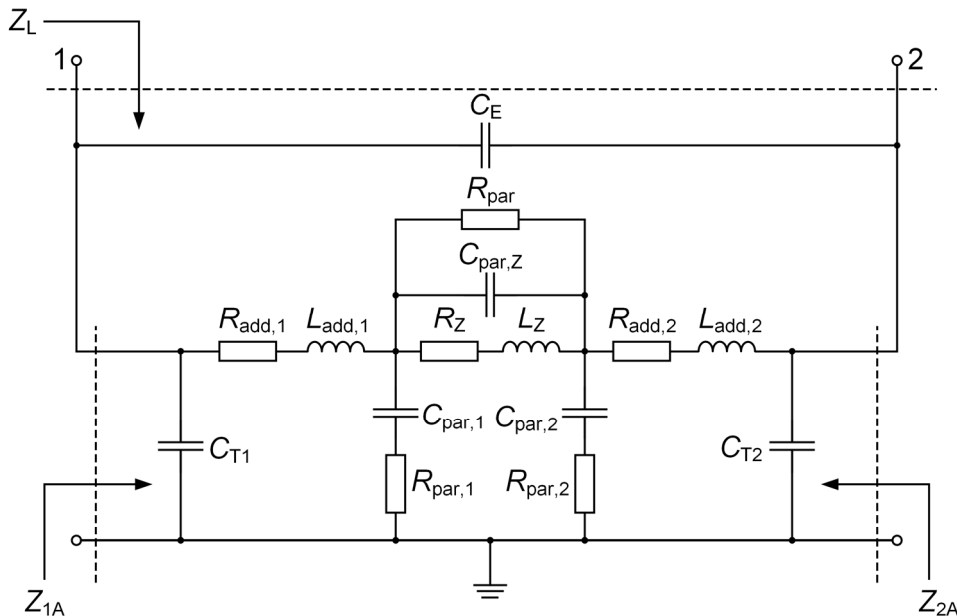


Abbildung 2: Ersatzschaltbild der Last

beschrieben werden [4]. Die Kapazitäten C_{T1} und C_{T2} beschreiben die parasitäre Kapazität, die sich zwischen den Transistoren und dem zur Entwärmung eingesetzten geerdeten Kühlkörper ausbildet. Um eine Gegenspannung der Maschine zu emulieren, werden an beide Wicklungsenden jeweils ein zusätzlicher Widerstand eingebracht. Diese Widerstände mit ihrer parasitärer Induktivität werden mit den Elementen R_{add} und L_{add} beschrieben. Die

Statorwicklung wird mit den Elementen L_Z , R_Z , $C_{\text{par},Z}$ und R_{par} nachgebildet. Die Kapazitäten $C_{\text{par},1}$ und $C_{\text{par},2}$ beschreiben die parasitären Kapazitäten zwischen der Statorwicklung und dem Statorzahn. Ausgehend von dem Ersatzschaltbild der Last kann die Impedanz Z_L zwischen den beiden Halbrücken, sowie die beiden Impedanzen Z_{1A} und Z_{1B} zwischen den Mittelabgriffen der Halbrücken und dem Erdpotential bestimmt werden. Die Beschreibung für die Last B erfolgt analog.

2 Prinzip der Schaltflankensynchronisation

Das Prinzip der Schaltflankensynchronisation ist in Abbildung 4 dargestellt. Ändert sich zum Zeitpunkt t_1 das Potential φ_{1A} wird durch die Potentialänderung ein Störstrom durch die Impedanz Z_{1A} erzeugt, welcher sich über die Netznachbildung schließt. Dabei erzeugt der Störstrom die Störspannungen $u_{\text{DC}+}$ und $u_{\text{DC}-}$ über den Widerständen $R_{\text{LISN}+}$ und $R_{\text{LISN}-}$ der Netznachbildungen. Um diese Störspannungen zu vermindern wird zum Zeitpunkt t_1 durch einen Schaltvorgang in der Last B eine entgegengesetzte Änderung des Potentials φ_{1B} erwirkt. Hierdurch wird ein entgegengesetzter Störstrom erzeugt, welcher sich mit dem ursprünglichen Störstrom überlagert. Hierdurch wird der resultierende Störstrom, sowie die Störspannungen vermindert. Für eine möglichst große Verminderung der Störspannungen müssen folgende drei Eigenschaften beider Halbrücken möglichst gleich sein: die Änderungsgeschwindigkeit der Potentialänderung, die Impedanz gegenüber dem Erdpotential und der Zeitpunkt der Potentialänderung. Durch den Einsatz baugleicher Leistungselektronik und Last ist die Änderungsgeschwindigkeit der Schaltflanken bei geeignetem Betrieb nahezu gleich groß [4]. Hierzu müssen die Stromrichtungen der Lastströme unterschiedlich sein, sodass die Art der Kommutierung an beiden Potentials dieselbe ist. Durch den Einsatz zweier gleicher Systeme, bestehend aus baugleicher Leistungselektronik und Last, wird versucht eine möglichst identische Impedanz beider Systeme gegenüber dem Erdpotential zu erhalten. Für die Einstellung des optimalen Schaltzeitpunktes der Transistoren befasst sich diese Arbeit mit einem Regelsystem für eine möglichst exakte Übereinstimmung beider Schaltzeitpunkte.

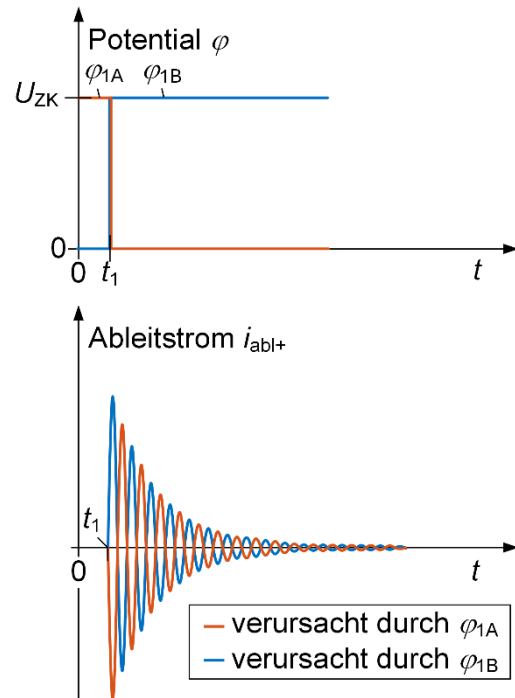


Abbildung 4: Prinzip der Schaltflankensynchronisation

3 Beeinflussung des Schaltzeitpunktes

Durch Laufzeitunterschiede und Bauteiltoleranzen, beispielweise von Gatetreiber-Bausteinen, sind die Schaltzeitpunkte von zwei Transistoren trotz zeitgleich wechselndem Schaltbefehl aus der Ansteuerlogik nicht exakt gleichzeitig. Um diese zeitlichen Ungleichheiten auszugleichen sollen die einzelnen Schaltsignale aufeinander angepasst werden, indem sie zueinander verschoben werden. Hierfür wird in diesem Beitrag ein FPGA (Altera Cyclone IV) eingesetzt. Aufgrund der digitalen Arbeitsweise sind diskrete Zeitschritte einstellbar. Durch den Einsatz von Flip-Flop-Ketten können die Schaltsignale mit dem Vielfachen der Taktperiode zueinander verschoben werden. Bei dem eingesetzten FPGA mit einer Taktfrequenz von 100 MHz sind somit Zeitschritte von 10 ns realisierbar. Die Flip-Flop-Ketten sind so realisiert, dass alle Schaltsignale um eine definierte Anzahl verzögert werden. Dies macht eine negative Verschiebung einer

Schaltflanke relativ zu einer anderen Schaltflanke möglich. Um die Verschiebeschritte noch feiner zu realisieren, werden für die einzelnen Flip-Flop-Ketten unterschiedliche Taktsignale verwendet. Mithilfe einer Phasenregelschleife können diese Taktsignale in Schritten von 100 ps zueinander verschoben werden, jedoch nur innerhalb einer Taktperiode. Durch die Kombination einer Phasenregelschleife für kleine zeitliche Änderungen mit 100 ps Schrittweite und große zeitliche Änderungen durch Vielfache eines FPGA Taktes kann somit die zeitliche Änderung in kleinen Schritten und über einen großen Stellbereich eingestellt werden. Der Einsatz mehrerer Flip-Flop-Ketten und Phasenregelschleifen ermöglicht eine individuelle Verschiebung der Zeitpunkte aller fallenden und steigenden Schaltflanken der eingesetzten Halbbrücken. Die zeitliche Verschiebung ist dabei im Vergleich zur einer PWM- Periode deutlich kleiner und hat somit eine vernachlässigbar kleine Auswirkung auf den Aussteuergrad.

4 Erfassung der Störspannung zur Bewertung des Zustandes

Zur Bewertung des Zustandes des Regelsystems wird die Störspannung mit der Erfassungsschaltung in Abbildung 5 gemessen. Der durch eine Netznachbildung fließende

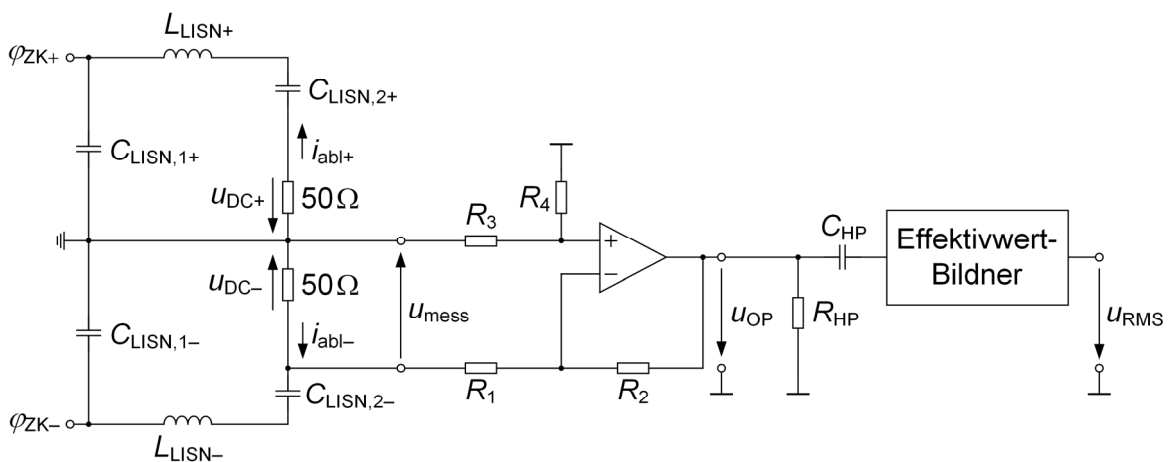


Abbildung 5: Erfassungsschaltung

Störstrom erzeugt im 50Ω Abschlusswiderstand der Netznachbildung eine Gleichtakt-Störspannung u_{DC} . Die Spannung über dem Abschlusswiderstand wird mit einem Differenzverstärker erfasst. Da es sich bei dieser um Größe eine hochfrequente Wechselgröße handelt, ist sie als Maß zur Bewertung des Zustandes nicht geeignet. Deshalb wird in einem nächsten Schritt der Effektivwert u_{RMS} der erfassten Spannung mit einem Effektivwert-Bildner (AD8361) gebildet. Der verwendete Effektivwertbildner besitzt eine Bandbreite von bis zu 2,5 GHz. Da die Schaltflankensynchronisation in der untersuchten Konfiguration den größten Einfluss auf das Störspektrum im Bereich zwischen 1 und 10 MHz hat, werden die Filter des Effektivwert-Bidners auf diesen Bereich ausgelegt. Dabei wird die untere Grenzfrequenz mit dem Hochpassfilter, bestehend aus R_{HP} und C_{HP} , eingestellt und ein interner Tiefpassfilter des Effektivwert-Bidners wird auf die obere Grenzfrequenz angepasst. Für die Verarbeitung des Effektivwertes auf einem FPGA (Altera Cyclone IV) wird dieser Wert mit einem Analog-Digital-Wandler (AD-Wandler) digitalisiert. Da die Abtastrate des verwendeten AD-Wandlers (1 Msps) zu gering ist, wird das Signal über mehrere Schaltvorgänge in einer Auflösung von 80 ns abgetastet. Im FPGA wird die Summe der Abtastwerte gebildet. Aufgrund des großen Einflusses von Rauschen im Analogsignal wird aus den summierten Werten ein Mittelwert über die vergangenen 100 Summen gebildet. Dieser Wert wird als Digitalwert $u_{RMS,D}$ vom FPGA als Regelgröße verwendet. Da bei der Digitalisierung des Messwerts die Größe in einen anderen Wertebereich ohne Komma überführt wurde, wird $u_{RMS,D}$ im Folgenden ohne Einheit dargestellt. Um die Eignung dieser Größe als Bewertungsgröße für den Zustand des Regelsystems zu bestimmen, wird die Verschiebung zwischen zwei Schaltflanken in einer Schrittweite von 100 ps kontinuierlich

verändert. Dabei werden zum einen der Digitalwert $u_{RMS,D}$ aufgezeichnet und gleichzeitig das Frequenzspektrum der Störspannung u_{DC+} mit einem Spektrumanalysator gemessen. Der Zusammenhang der Messgrößen ist in Abbildung 6 dargestellt. Es ist eine deutliche Korrelation

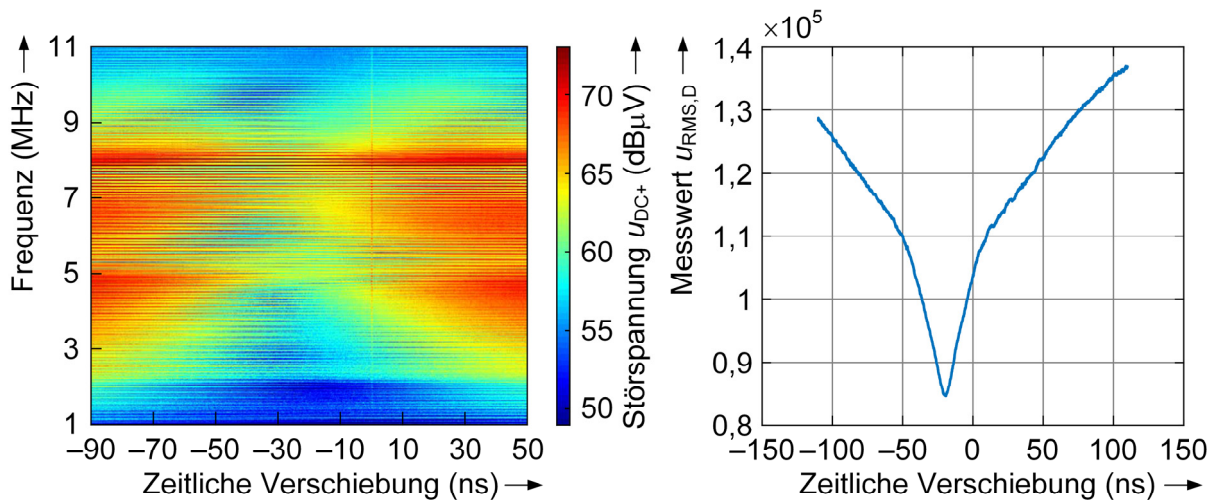


Abbildung 6: Zusammenhang Messgrößen

zwischen beiden Messgrößen zu sehen. Beide zeigen Minima im Bereich einer Verschiebung von ca. 20 ns. Entfernt man sich von diesem Optimum, so steigen beide Messgrößen an. Aus dieser Betrachtung kann geschlossen werden, dass es eine optimale Verschiebung zwischen beiden Schaltflanken gibt und aufgrund der Korrelation beider Messgrößen der Digitalwert $u_{RMS,D}$ für die Bewertung des Zustands des Regelsystems geeignet ist. Ziel des Regelsystems ist es nun, den Digitalwert $u_{RMS,D}$ durch die Beeinflussung des Schaltzeitpunktes zu minimieren.

5 Regelalgorithmus

Der Regelalgorithmus ist als Moore-Automat auf dem FPGA implementiert. Dessen Prinzip ist in Abbildung 7 dargestellt. Sobald ein neuer Digitalwert $u_{RMS,D}$ bereitsteht, wird bewertet, ob der neue Wert kleiner oder größer als der vorherige Wert ist. Ist der neue Wert kleiner, so wird das Schaltsignal weiterhin zeitlich in die gleiche Richtung verschoben. Ist der neue Wert größer als der vorangegangene Wert wird die Richtung der zeitlichen Änderung gewechselt. Um ständiges Ändern der Richtung durch Rauschen auf dem Messsignal zu verhindern, wird eine Hysterese implementiert, sodass sich die Richtung erst nach einer eingestellten Anzahl größer werdenden Messwerte ändert. Ein Optimum ist gefunden, wenn innerhalb einer festgelegten Anzahl an

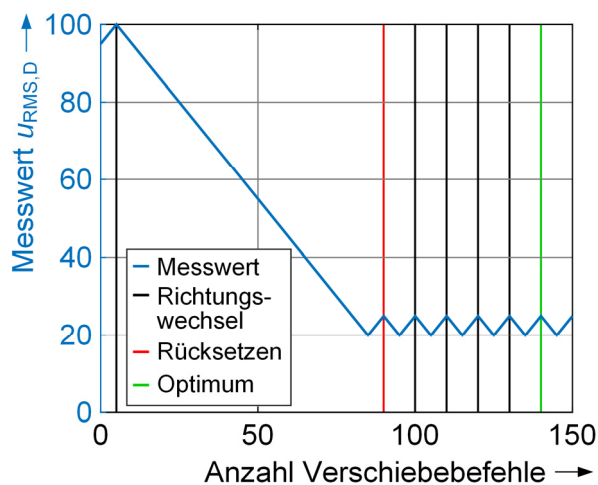


Abbildung 7: Prinzip des Regelalgorithmus

Verschiebefehle fünf Richtungswechsel stattgefunden haben. Damit nur Richtungswechsel gezählt werden, die durch das Erreichen des Optimalwertes entstehen, werden die gezählten Richtungswechsel nach einem eingestellten Schwellwert für die Anzahl der Verschiebefehle zwischen zwei Richtungsänderungen zurückgesetzt. Ist ein Optimum gefunden wird der Regelalgorithmus auf eine andere Schaltflanke angewendet. Sind alle Schaltflanken abgearbeitet beginnt der Algorithmus wieder bei der ersten eingestellten Schaltflanke.

6 Messaufbau

Das Regelsystem wird im Messaufbau, abgebildet in Abbildung 8, validiert. Die Schaltbefehle werden mit einem Rapid-Prototyping System (dSpace MicroLabBox) erzeugt und anschließend auf dem FPGA aufbereitet und verschoben. Mit den aufbereiteten Schaltbefehlen wird die Leistungselektronik angesteuert. Die Einzelzahnwicklungen der Last befinden sich in einem Maschinengehäuse, um reale parasitäre Elemente bereitzustellen. Die Leistungselektronik wird mit einer Zwischenkreisspannung von 48 V gespeist und der Laststrom beträgt 5 A. Die Störungen werden an einer Netznachbildung abgegriffen und mit einem Spektrumanalysator gemessen.

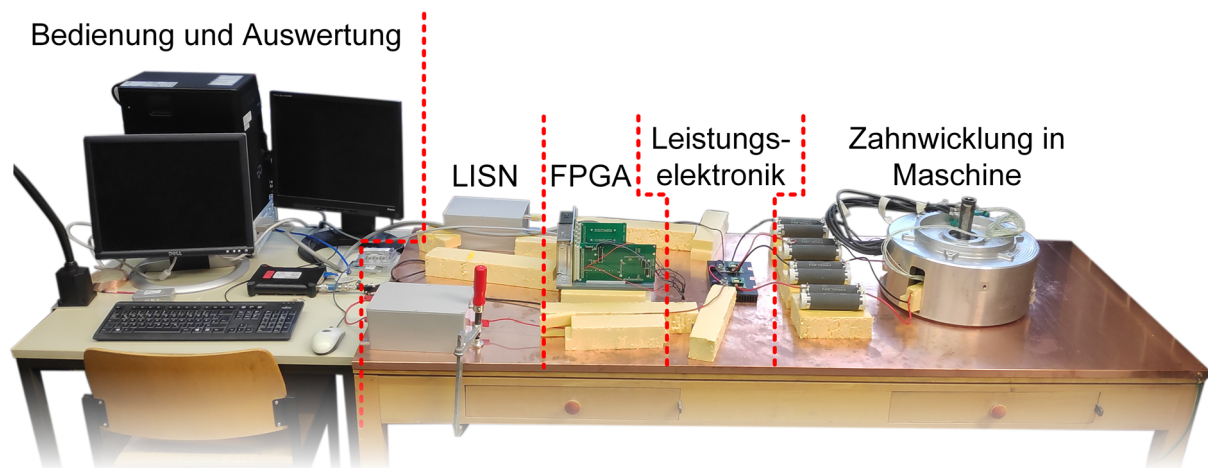


Abbildung 8: Messaufbau

7 Messergebnisse

In Abbildung 9 sind die Messergebnisse der Verschiebung einer Schaltflanke gezeigt. Es ist zu sehen, dass das Prinzip des Regelalgorithmus umgesetzt wird. Zum Zeitpunkt $t = 0$ s werden die zwei Schaltsignale, die sich gegenseitig kompensieren sollen, unaufbereitet aus dem FPGA

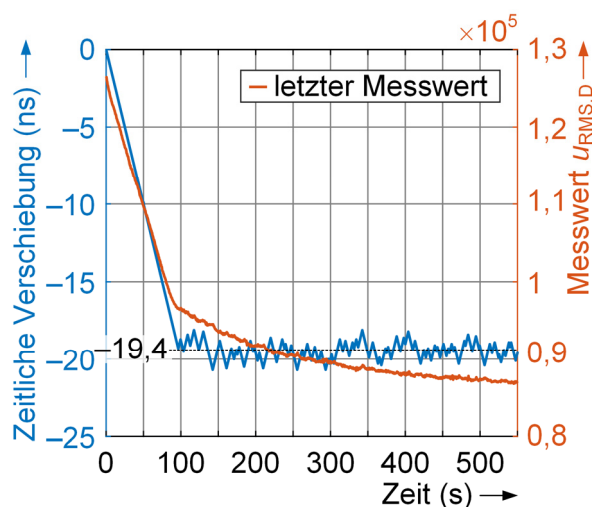


Abbildung 9: Verlauf bei Verschiebung der Schaltbefehle einer Schaltflanke

ausgegeben. Anschließend sinkt der Messwert $u_{\text{RMS,D}}$ durch die zeitliche Verschiebung der Schaltbefehle einer Schaltflanke. Das Vorzeichen definiert hierbei die Verschieberichtung. Der Messwert sinkt bis zu einer Verschiebung der Schaltbefehle einer Schaltflanke von ca. -19,4 ns. Danach wechselt die zeitliche Verschiebung die Richtung aufgrund eines steigenden Messwertes $u_{\text{RMS,D}}$. Die zeitliche Verschiebung pendelt um das Optimum von -19,4 ns und sorgt dafür, dass der Messwert $u_{\text{RMS,D}}$ minimal ist. Aufgrund von Messrauschen ist die Schwankungsbreite um das Optimum größer als die eingestellte Hysterese. Der Messwert $u_{\text{RMS,D}}$ sinkt aufgrund eines noch nicht weiter untersuchten Effekts weiterhin ab. Die Zeitkonstante dieses Effekts lässt jedoch auf einen thermischen Effekt schließen.

Mit dem Störspektrum in Abbildung 10 lassen sich die Auswirkungen der

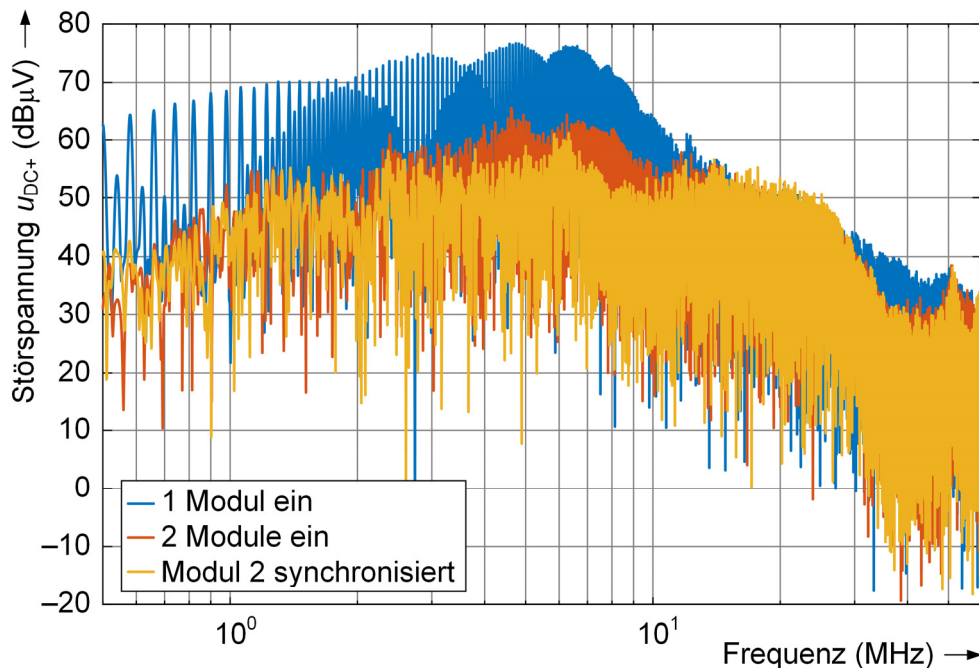


Abbildung 10: Frequenzspektrum

Schaltflankensynchronisation und des Regelsystems zeigen. Als Referenz wird nur eine der beiden Vollbrücken betrieben. In diesem Fall, dargestellt in blau, werden keine Schaltflanken synchronisiert und die Störspannung ist somit maximal. Beim roten Verlauf werden beide Vollbrücken betrieben, aber das Regelsystem ist inaktiv und die Schaltbefehle werden nicht verschoben ausgegeben. Bei dem in gelb dargestellten Messergebnis werden die Zeitpunkte der Schaltbefehle mit dem vorgestellten Regelsystem eingestellt. Bereits mit inaktivem Regelsystem kann die Störspannung durch die Überlagerung zweier Störströme deutlich reduziert werden. Im Bereich zwischen 1 MHz und 10 MHz wird die Störspannung um mindestens 10 dB reduziert, in manchen Frequenzen ist die Reduzierung sogar größer als 20 dB. Mit dem vorgestellten Regelsystem kann die Störspannung noch weiter reduziert werden. Vor allem zwischen 3 MHz und 9 MHz wird die Störspannung deutlich reduziert werden, teilweise bis zu 10 dB.

8 Zusammenfassung

Mit dem vorgestellten Regelsystem zur Einstellung des optimalen Schaltzeitpunktes bei Schaltflankensynchronisation kann die Störspannung deutlich reduziert werden. Für ein Regelsystem ist eine messbare Größe nötig, die den Zustand des Systems abbildet. Dazu wird die Störspannung, gemessen am Abschlusswiderstand einer Netznachbildung, mit einer Erfassungsschaltung in einen FPGA eingelesen. Hierfür wird das Signal mit einem Differenzverstärker gemessen und anschließend dessen Effektivwert gebildet. Es kann ein Zusammenhang zwischen dem gemessenen Effektivwert und dem Störspektrum gezeigt werden.

Mithilfe der Messgröße stellt ein Regelalgorithmus den optimalen Schaltzeitpunkt ein. Dafür wird ein Verfahren auf einem FPGA vorgestellt, mit welchem der Schaltzeitpunkt in feinen Schritten von 100 ps über einen weiten Stellbereich eingestellt werden kann. Die Messergebnisse zeigen das Potential des Regelsystems, welches mit einem optimal eingestellten Schaltzeitpunkt das Störspektrum bei Schaltflankensynchronisation minimieren kann.

Literaturangaben

- [1] I. Takahashi, A. Ogata, H. Kanazawa, and A. Hiruma, "Active EMI filter for switching noise of high frequency inverters," in *Proceedings of Power Conversion Conference - PCC '97*, 1997, pp. 331-334.
- [2] D. Shin *et al.*, "Analysis and Design Guide of Active EMI Filter in a Compact Package for Reduction of Common-Mode Conducted Emissions," *IEEE Transactions on Electromagnetic Compatibility*, vol. 57, no. 4, pp. 660–671, 2015, doi: 10.1109/TEMC.2015.2401001.
- [3] S. Ogasawara, H. Ayano, and H. Akagi, "An active circuit for cancellation of common-mode voltage generated by a PWM inverter," in *PESC97. Record 28th Annual IEEE Power Electronics Specialists Conference. Formerly Power Conditioning Specialists Conference 1970-71. Power Processing and Electronic Specialists Conference 1972*, 1997, 1547-1553 vol.2.
- [4] P. Marx, J. Assenheimer, P. Ziegler, J. Haarer, and J. Roth-Stielow, "Reduction of Common Mode Disturbances in Parallel Modules of Integrated Modular Motor Drives," in *The 2022 International Power Electronics Conference (IPEC-Himeji 2022 -ECCE Asia-)*, in press.
- [5] M. Zehelein, J. Ruthardt, M. Nitzsche, T. Tymosch, and J. Roth-Stielow, "Leakage current reduction for a double-leg boost converter by switching transition synchronisation," *The Journal of Engineering*, vol. 2019, no. 17, pp. 3789–3792, 2019, doi: 10.1049/joe.2018.8128.
- [6] P. Marx *et al.*, "Common Mode Voltage Cancellation in Integrated Modular Motor Drives," in *2021 23rd European Conference on Power Electronics and Applications (EPE'21 ECCE Europe)*, 2021, P.1-P.9.
- [7] M. Zehelein, J. Portik, M. Nitzsche, P. Marx, and J. Roth-Stielow, "Reduction of the Leakage Currents by Switching Transition Synchronization for a Four-Switch Buck-Boost Converter," in *2019 10th International Conference on Power Electronics and ECCE Asia (ICPE 2019 - ECCE Asia)*, 2019, pp. 2217–2223.
- [8] A. von Jouanne, H. Zhang, and A. K. Wallace, "An evaluation of mitigation techniques for bearing currents, EMI and overvoltages in ASD applications," *IEEE Transactions on Industry Applications*, vol. 34, no. 5, pp. 1113–1122, 1998, doi: 10.1109/28.720452.
- [9] J. Bertelmann, M. Beltle, S. Tenbohlen, and R. Eidher, "Minimierung der Gleichtaktstörung in elektrischen Lenkungssystemen durch gegenphasiges Takten der Leistungshalbleiter," in *VDE Automotive meets Electronics 2019*.
- [10] Di Han, C. T. Morris, and B. Sarlioglu, "Common-Mode Voltage Cancellation in PWM Motor Drives With Balanced Inverter Topology," *IEEE Transactions on Industrial Electronics*, vol. 64, no. 4, pp. 2683–2688, 2017, doi: 10.1109/TIE.2016.2633234.
- [11] K. Zhang, Y. Zhou, Y. Zhang, and Y. Kang, "Reduction of Common Mode EMI in a Full-Bridge Converter through Automatic Tuning of Gating Signals," in *2006 CES/IEEE 5th International Power Electronics and Motion Control Conference*, 2006.