

INNOVACIÓN DOCENTE EN LA ASIGNATURA DE ARQUITECTURA DE COMPUTADORES MEDIANTE EL USO DE SIMULADORES

Miguel Ángel Vega¹, Juan Manuel Sánchez¹, Juan Antonio Gómez¹

¹*Departamento de Informática. Universidad de Extremadura
Escuela Politécnica. Campus Universitario s/n. 10071 Cáceres
e-mail: mavega@unex.es, sanperez@unex.es, jangomez@unex.es*

RESUMEN: En la Universidad de Extremadura, durante el cuarto curso de la titulación de Ingeniero en Informática se imparte la asignatura de Arquitectura de Computadores. Los profesores de esta asignatura han apostado por la incorporación de nuevas tecnologías para ofrecer una mayor calidad en la docencia. En este sentido cabe destacar el desarrollo de simuladores específicos para prácticas dentro del campo de los multiprocesadores. Presentamos dos de estos simuladores. El simulador RedME para la simulación de redes multietapa, y el simulador SMPCache para la simulación de sistemas de memoria caché en multiprocesadores simétricos.

1.- INTRODUCCIÓN.

Una de las titulaciones existentes en la Universidad de Extremadura es la de Ingeniero en Informática. Durante el cuarto curso de esta titulación se imparte la asignatura de Arquitectura de Computadores, siendo ésta una asignatura troncal anual con un fuerte contenido tecnológico. Debido al constante avance en esta área, es imprescindible que, sin perder de vista los fundamentos y bases que permanecen en el tiempo, se oferten unos contenidos teóricos y prácticos que reflejen el estado actual, sin detrimento de una buena pedagogía. La apuesta realizada por los profesores de la asignatura se centra en la incorporación de nuevas tecnologías para ofrecer una mayor calidad en la enseñanza. En este sentido cabe destacar el desarrollo de simuladores específicos para prácticas avanzadas dentro del campo de los multiprocesadores. Los multiprocesadores se están convirtiendo en una forma de paralelismo muy útil y extendida para maximizar el rendimiento, fiabilidad, flexibilidad y disponibilidad de un sistema informático, siendo cada día más importantes.

En los multiprocesadores la interconexión entre los elementos puede realizarse mediante un conmutador de barras cruzadas, una red multietapa o un bus común. Las redes multietapa son mucho más baratas y sencillas que los conmutadores de barras cruzadas para sistemas multiprocesador de gran escala. Más aún, las redes multietapa son modulares y fáciles de controlar, permitiendo su expansión incremental y su reparabilidad. Estas características hacen a las redes multietapa imprescindibles para multiprocesadores de gran escala. El simulador RedME permite al alumno realizar un estudio detallado sobre distintas redes multietapa.

Las cachés son un componente crítico en el rendimiento de cualquier sistema. La forma más frecuente de arquitectura paralela son los multiprocesadores de pequeña a moderada escala denominados multiprocesadores simétricos (SMPs) [1]. En la actualidad, entre las categorías de las jerarquías de memoria en multiprocesadores la más extendida es la de memoria compartida por bus común. El simulador SMPCache permite al alumno simular mediante trazas sistemas de memoria caché en multiprocesadores simétricos con memoria compartida por bus.

En la próxima sección mencionamos las diferentes características que ofrece el simulador RedME. En la sección 3 se explica el simulador SMPCache. Finalmente, en la última sección se presentan una serie de conclusiones obtenidas del desarrollo y uso de los simuladores. Las consideraciones teóricas sobre redes multietapa y sistemas de memoria caché dentro de multiprocesadores aparecen perfectamente desarrolladas en muchos textos de arquitectura de computadores [1]-[9], por lo que no las mencionaremos aquí. Todas las operaciones y algoritmos utilizados responden fielmente a lo expuesto en estos textos. Por tanto, los resultados obtenidos con los simuladores tienen una traducción casi fidedigna en el mundo real.

2.- EL SIMULADOR REDME.

RedME 1.0 es una herramienta software para la evaluación de redes multietapa en multiprocesadores, que opera sobre una plataforma PC con sistema operativo MS-DOS o Windows. RedME (Red MultiEtapa) ofrece una interfaz gráfica típica de Windows, mediante un entorno agradable y fácil de manejar, basado en iconos.

El simulador permite estudiar redes multietapa bilaterales (*two-sided*). Distinguimos tres tipos de redes bilaterales: con bloqueo, reorganizables (*rearrangeable*) y sin bloqueo. Los tres tipos tienen cabida dentro del simulador. En particular, RedME permite estudiar los siguientes tipos de redes: red Omega, red de Benes, red de Clos, red Delta, red Baseline (o red de línea base), red R, red n-cubo binario, red Banyan (o red Banyano) y red Flip. Para todas ellas el simulador pide el número de entradas/salidas y muestra en pantalla el aspecto que la red en cuestión tendría.

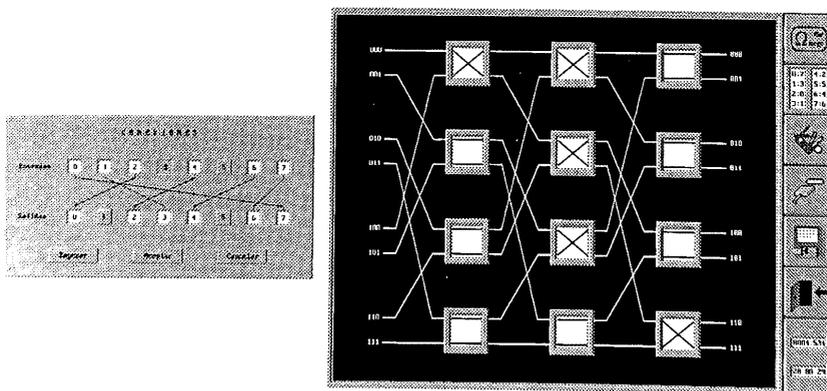


Figura 1. (a) Introducción de la permutación $\pi_1=(0,7,6,4,2)(1,3)(5)$. (b) Permutación π_1 implementada en una red Omega sin bloqueo.

Además, RedME calcula el encaminamiento de los datos dentro de la red. Por ejemplo, en la figura 1(b) se muestra una red Omega con 8 entradas/salidas, junto con el encaminamiento necesario para realizar la permutación π_1 . En la figura 1(a) se observa cómo el usuario ha introducido las conexiones entre las entradas y salidas. En este caso, la permutación solicitada es $\pi_1=(0,7,6,4,2)(1,3)(5)$, por tanto, las conexiones deseadas son $0 \rightarrow 7$, $7 \rightarrow 6$, $6 \rightarrow 4$, $4 \rightarrow 2$, $2 \rightarrow 0$, $1 \rightarrow 3$, $3 \rightarrow 1$ y $5 \rightarrow 5$. Observamos que no existe bloqueo en esta red para implementar la permutación π_1 . Nótese que en la parte superior derecha de pantalla aparecen las conexiones entre entradas-salidas que se están utilizando en cada instante.

Actualmente, el simulador es capaz de calcular el encaminamiento para las redes: Omega, Benes, Clos, Baseline y R. Si se trata de una red con bloqueo, también es posible utilizar el simulador para calcular la solución a los bloqueos existentes. Por ejemplo, consideremos ahora la permutación $\pi_2=(0,6,4,7,3)(1,5)(2)$ para una red Omega. Observamos en la figura 2(a) que existe bloqueo entre algunas de las conexiones necesarias para implementar la permutación π_2 . Los conflictos aparecen en tres de los conmutadores (A, B y C). Para resolver los conflictos las conexiones deben realizarse (agruparse) en varios pasos. De manera que de entre las conexiones en conflicto, sólo una se realizará en un paso determinado. La figura 2(b) muestra la solución a los bloqueos dada por el simulador.

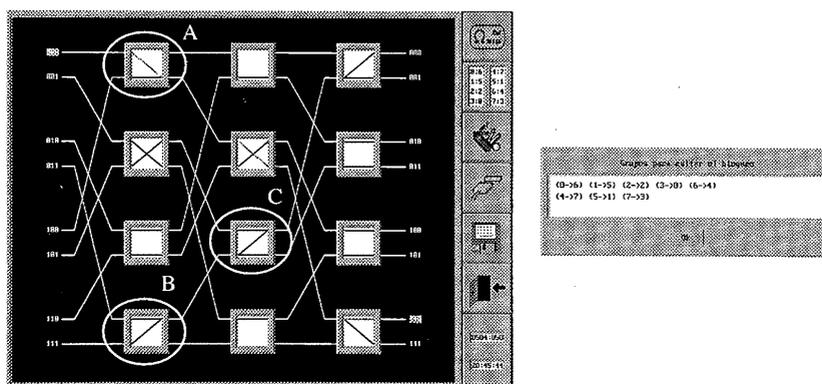


Figura 2. (a) Permutación $\pi_2=(0,6,4,7,3)(1,5)(2)$ implementada en una red Omega con bloqueo. (b) Solución a los bloqueos planteados por la permutación π_2 .

Realizado el encaminamiento, el simulador también permite seleccionar una entrada cualquiera, resaltando la ruta a seguir dentro de la red para llegar desde dicha entrada a la salida asociada. En la figura 2(a) se resalta la ruta a seguir para llegar desde la entrada 0 (000) a la salida 6 (110).

RedME permite guardar en disco la configuración actual del sistema. Almacenando la red bajo estudio y su número de entradas/salidas, además de las conexiones actuales entre las entradas y las salidas. Posteriormente, será posible cargar desde un fichero en disco estos datos, evitando volver a indicar estos parámetros en posteriores sesiones.

3.- EL SIMULADOR SMPCACHE.

SMPCache 1.0 es una herramienta software para la evaluación de sistemas jerárquicos de memorias cachés en SMPs con memoria compartida por bus, que opera sobre una plataforma PC con sistema operativo Windows 98 (ó 95), y ha sido escrito utilizando un lenguaje visual. SMPCache ofrece una interfaz gráfica típica de Windows (figura 3(a)), disponiendo además de una ayuda contextual muy completa.

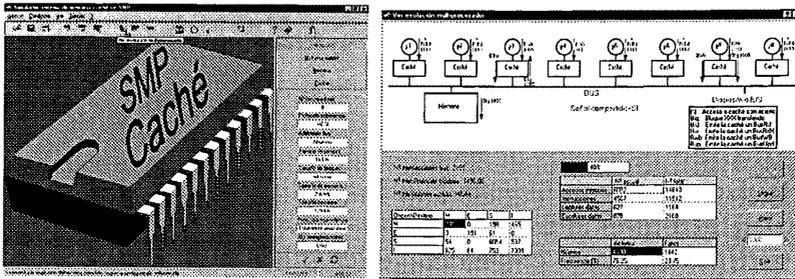


Figura 3. (a) Interfaz gráfica. (b) Visión del multiprocesador en una simulación.

El simulador permite establecer la configuración de los parámetros que definen la arquitectura del sistema (un resumen de los mismos aparece en la tabla 1), ofreciéndonos la respuesta del mismo al someterlo a los accesos de memoria generados por los programas (trazas de memoria que se hayan cargado en los distintos procesadores). Por tanto, se trata de una aplicación que podría encargarse de la evaluación de sistemas de memoria en multiprocesadores con fines de investigación.

Dada su facilidad de manejo, el simulador también puede ser utilizado igualmente con fines didácticos, ya que permite observar de una forma clara y gráfica cómo va actualizándose el sistema completo a medida que se avanza en la ejecución de los programas (las trazas son leídas). Permitiendo una visión completa de la evolución del multiprocesador (ver figura 3(b)), de una caché en particular o incluso de un determinado bloque de memoria (figura 4(a)). Mostrando, en cada instante, los accesos a memoria realizados por cada procesador, el estado del bus, de cada caché, de cada bloque dentro de cada caché,...

El simulador también permite estudiar el sistema de memoria que mejor se ajusta a nuestras necesidades antes de su implementación física, o simplemente nos ayuda a simular sistemas actuales para ver su eficacia y poder comparar resultados de una forma fácil. Algunos de los factores que se pueden estudiar con el simulador son: Localidad de los distintos programas; influencia del número de procesadores, del protocolo de coherencia caché, del algoritmo de arbitración del bus, del tipo de correspondencia, de la política de reemplazo, del tamaño de la caché (bloques en caché), del número de conjuntos de caché (en correspondencia asociativa por conjuntos), del número de palabras por bloque (tamaño del bloque), del ancho de la palabra,...

Procesadores en el SMP	1, 2, 3, 4, 5, 6, 7 u 8
Protocolos de coherencia caché	MSI, MESI o DRAGON
Algoritmos de arbitración del bus	Aleatorio, LRU o LFU
Anchos de palabra (en bits)	8, 16, 32 ó 64
Palabras en un bloque	1, 2, 4, 8, 16, 32, 64, 128, 256, 512 ó 1024
Bloques en memoria principal	1, 2, 4, 8, 16, 32, 64, 128, 256, 512, 1024, 2048, 4096, 8192, 16384, 32768, 65536, 131072, 262144, 524288, 1048576, 2097152 ó 4194304
Bloques en caché	1, 2, 4, 8, 16, 32, 64, 128, 256, 512, 1024 ó 2048
Funciones de correspondencia	Directa, asociativa por conjuntos o totalmente asociativa
Conjuntos de caché (para asociativa por conjuntos)	1, 2, 4, 8, 16, 32, 64, 128, 256, 512, 1024 ó 2048
Algoritmos de reemplazo	Aleatorio, LRU, FIFO o LFU
Políticas de escritura	Post-escritura (por protocolos de coherencia utilizados)
Niveles de caché	1
Referencias	A palabras de memoria
Tamaño de bloque máximo	8 Kb
Tamaño de memoria principal máximo	32 Gb
Tamaño de caché máximo (sin etiquetas, bits de estado, campos de cómputo,...)	16 Mb

Tabla 1. Resumen de las características arquitectónicas soportadas por el simulador.

Además, SMPCache presenta mediante datos estadísticos y todo tipo de gráficas (la figura 4(b) muestra un ejemplo), medidas de interés como:

- Número de transacciones en el bus.
- Número de transferencias de bloques a través del bus.
- Tráfico en el bus teniendo en cuenta las dos medidas anteriores.
- Número de transiciones de estado (cada bloque en caché tiene un estado asociado).
- Número de transiciones de estado según el estado origen y el destino.
- Accesos a memoria realizados, desglosándolos por tipos: captura de instrucción, lectura de dato o escritura de dato.
- N° de aciertos y fallos de caché, así como frecuencia de aciertos y fallos.

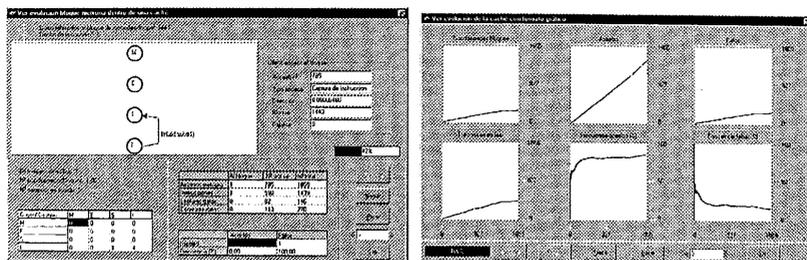


Figura 4. (a) Diagrama de transición de estados de un bloque de caché concreto durante una simulación. (b) Datos en formato gráfico de una caché.

Todos estos datos se presentan a distintos niveles, aunque siempre teniendo en cuenta la interrelación de todos los elementos del sistema. Podemos, por tanto, realizar una simulación observando el multiprocesador completo, y todos los bloques de memoria o un único bloque. También podemos observar una caché específica, y todos los bloques de memoria o un bloque concreto.

La simulación realiza una aproximación programada de las operaciones que realizarían los componentes del sistema de memoria caché en un multiprocesador real. Para ello, se realizan los cálculos adecuados y, al mismo tiempo, se van ofreciendo los resultados, tanto actuales como acumulados. Existen tres tipos de simulación (paso a paso, con punto de interrupción y ejecución completa), admitiéndose el cambio de un tipo de simulación a otro en mitad de la misma. También existe la posibilidad de abortar la simulación en cualquier instante, con el objeto de corregir algún detalle de la organización.

Las distintas selecciones que se hacen en el simulador para configurar una organización determinada pueden guardarse en ficheros ASCII de datos para una futura carga, evitando así la realización de numerosas selecciones para configurar la misma arquitectura. Más aún, es posible establecer una configuración inicial por defecto para el simulador. Estas características permiten construir una base de datos con las diferentes arquitecturas de memoria, pudiendo emular arquitecturas como Silicon Graphics, Sequent Symmetry, PowerPC, Sun, y otras.

4.- CONCLUSIONES Y LÍNEAS FUTURAS.

En este trabajo hemos mostrado las principales características de dos simuladores: RedME y SMPCache. La experiencia más inmediata nos ha dado muestra de los beneficios de éstos con fines docentes. Los alumnos los han utilizado para comprobar, experimentalmente y de forma gráfica, los distintos aspectos teóricos sobre multiprocesadores tratados en la asignatura de Arquitectura de Computadores, con lo cual los conceptos se afianzan de una forma más segura.

El simulador RedME se encuentra aún en periodo de construcción, puesto que se tiene planificado añadirle nuevas características, como la posibilidad de estudiar el encaminamiento para las redes multietapa: Delta, n-cubo binario, Banyan y Flip; también se tiene intención de añadirle nuevas redes, como la red Butterfly,... De igual forma, estamos trabajando en la incorporación de nuevas características al simulador SMPCache, tales como tiempo medio de accesos, penalización de fallos,...

5.- REFERENCIAS.

- [1] D. E. Culler, J. P. Singh y A. Gupta, "Parallel Computer Architecture. A Hardware/Software Approach", Morgan Kauffmann, 1999.
- [2] H. J. Siegel. "Interconnection Networks for Large-Scale Parallel Processing: Theory and Case Studies", 2ª edición, McGraw-Hill, New York, 1989.
- [3] R. W. Hockney y C. R. Jesshope. "Parallel Computer 2: Architecture, Programming and Algorithms", Institute of Physics Publishing, Bristol and Philadelphia, 1992.
- [4] K. Hwang. "Advanced Computer Architecture: Parallelism, Scalability, Programmability", McGraw-Hill, Inc., 1993.

- [5] K. Hwang y F. A. Briggs. "Computer Architecture and Parallel Processing", McGraw-Hill, Inc., 1984.
- [6] J. Archibald y J.-L. Baer, "Cache Coherence Protocols: Evaluation Using a Multiprocessor Simulation Model", ACM Transactions on Computer Systems, vol. 4, n° 4, pg. 273-298, Noviembre 1986.
- [7] S. Eggers, "Simulation Analysis of Data Sharing in Shared Memory Multiprocessors", Ph. D. Thesis, Univ. de California, Berkeley, Computer Science Division, Technical Report UCB/CSD 89/501, Abril 1989.
- [8] D. Sima, T. Fountain y P. Kacsuk, "Advanced Computer Architectures. A Design Space Approach", Addison-Wesley, 1998.
- [9] J. L. Hennessy y D. A. Patterson, "Computer Architecture. A Quantitative Approach", 2ª edición, Morgan Kauffmann, 1996.