

METODOLOGÍA PARA LA ENSEÑANZA DEL PROCESADOR MULTICICLO

Juan Luis Posadas¹, Antonio Robles¹

¹*Departamento de Informática de Sistemas y Computadores (DISCA)
Escuela Universitaria de Informática, Universidad Politécnica de Valencia
E-mail: { jposadas, arobles } @disca.upv.es*

RESUMEN: El presente trabajo ilustra una metodología para la enseñanza del procesador *multiciclo* a alumnos de primer curso de los estudios de Informática. Dicha metodología consiste en el diseño estructural de una Ruta de Datos basada en la utilización de buses y lógica triestado para, posteriormente, determinar las fases necesarias en la ejecución de las instrucciones en dicha Ruta de Datos. Asimismo, se diseña el circuito de control cableado que permite la ejecución de cada instrucción en varios ciclos de reloj. Mediante el uso de herramientas de desarrollo de presentaciones animadas, se describen un conjunto de animaciones didácticas que presentan de forma sencilla y visual la ejecución en varios ciclos de reloj de cada una de las instrucciones. El objetivo de dicho material es facilitar la exposición y comprensión del tema en el aula así como el estudio posterior que el alumno realiza. Esta metodología se aplica en la asignatura de Estructura de Computadores 1 de las titulaciones de Informática de la UPV, dentro del marco del Proyecto de Innovación Educativa nº 135 [1].

INTRODUCCIÓN

En los actuales planes de estudios para la obtención de los títulos de ITIS, ITIG e II en la Universidad Politécnica de Valencia (UPV), el estudio de la organización del computador y de sus principios básicos de funcionamiento es competencia de tres asignaturas de carácter troncal/obligatorio (tabla 1).

Asignatura	Curso	Cuatrimestre
Fundamentos de Computadores (FCO)	1º	A
Estructura de Computadores 1 (EC1)	1º	B
Estructura de Computadores 2 (EC2)	2º	A

Tabla1: Asignaturas troncales/obligatorias relativas a la organización del computador

En las asignaturas de Estructura de Computadores [2] se aborda el estudio de la organización del computador a través de las Unidades Funcionales que lo integran. En particular, en la asignatura de Estructura de Computadores 1 [3] se estudia la Unidad Funcional conocida como procesador o CPU (del inglés Central Processing Unit). La asignatura se divide en dos bloques: (1) estudio de la estructura e implementación del procesador monociclo, **multiciclo**, microprogramado y segmentado [4], diferenciando la Ruta de Datos y la Unidad de Control, y (2) el estudio de un elemento específico del procesador como es la Unidad Aritmético-Lógica. En la asignatura de Estructura de Computadores 2 [5] se estudian las Unidades Funcionales de Memoria y de Entrada/Salida.

En este trabajo se ilustra la experiencia de innovación docente llevada a cabo para facilitar la enseñanza del procesador multiciclo a los alumnos de primer curso de los estudios de Informática. Dicha experiencia se basa en una revisión metodológica de contenidos, apoyada en el empleo de herramientas tecnológicas de presentación en el aula. En particular, se propone la adaptación de la conocida Ruta de Datos de Patterson&Henessy [8] a una estructura de tres buses. El objetivo es que el alumno se familiarice con: (1) el concepto de bus como alternativa al empleo de multiplexores; (2) el empleo de recursos con lógica triestado; (3) el lenguaje de transferencia entre registros y (4) una estructura interna del procesador más cercana a lo que será la estructura de interconexión del procesador con memoria y dispositivos de E/S. Todo ello habrá de beneficiar el posterior proceso de aprendizaje de las técnicas de diseño basado en microprocesador.

El trabajo está organizado como sigue: en la sección 2 se pone de manifiesto la contribución de las nuevas tecnologías a la mejora de la enseñanza; en las secciones 3, 4 y 5 se describen los elementos de innovación que afectan a diferentes contenidos del tema de ejecución multiciclo; finalmente, en la sección 6 se exponen algunas conclusiones de la experiencia.

NUEVAS HERRAMIENTAS DE APOYO A LAS EXPOSICIONES EN EL AULA.

En los últimos años se ha venido haciendo un esfuerzo de acondicionamiento de las aulas tanto en la Facultad como en la Escuela de Informática (FI y EUI respectivamente) de la UPV. Este hecho ha posibilitado la incorporación y aplicación de nuevos recursos y tecnologías en las exposiciones que el profesorado realiza en las aulas de dichas instituciones.

Hasta el curso 1997-1998 en las aulas sólo se disponía de la tradicional e insustituible pizarra y del también tradicional proyector de transparencias. Estos recursos, aplicados en los métodos tradicionales de enseñanza, permiten abarcar cualquier tipo de exposición pero, sin embargo, pueden ampliarse con nuevos elementos para facilitar la comprensión de determinados temas. Durante el curso 1998-1999 el profesorado dispuso en todas las aulas por vez primera de un proyector o cañón de vídeo en color, con control a distancia y pantalla desplegable automáticamente, ordenador y conexión en red.

Estas herramientas han significado un apoyo importante en las exposiciones en el aula de gran número de asignaturas [6], dado que han permitido mostrar a los alumnos fotos, videos, simulaciones, animaciones y prácticas como refuerzo, ampliación o simplemente como medio de facilitar la comprensión de conceptos que sin el uso de estas herramientas el alumno se vería obligado a abordar en un plano más teórico y abstracto.

En este marco se ha tratado de introducir la técnica de ejecución multiciclo, presentada en este artículo, a los alumnos de primer curso (actualmente también se introducen otras técnicas como

la segmentación [4]). Para ello se ha confeccionado un material didáctico que incorpora animaciones en color orientadas a facilitar la comprensión del funcionamiento de un procesador multiciclo, con las que se permite realizar un seguimiento visual de las fases o ciclos necesarios en la ejecución de las instrucciones. Para el desarrollo de dicho material se ha empleado PowerPoint de paquete Office de MS para W98.

El uso de estas nuevas técnicas ha sido aceptado satisfactoriamente por los alumnos quienes apuestan por esta forma de comprensión visual y a la vez entretenida (al menos más amena que las tradicionales y conocidas clases magistrales). Sin embargo, no hay que perder de vista que las nuevas técnicas de presentación en el aula deben ser un complemento de los medios tradicionales como la pizarra y no un sustitutivo de los mismos. Un uso abusivo de los nuevos medios puede agotar al alumno y llegar a desmotivarle.

Con las nuevas técnicas, los alumnos también obtienen el nuevo material autoinstruccionable accesible vía INTERNET que les facilita la tarea del estudio [9]. Todos los alumnos de la FI y EUI disponen en las aulas informáticas de acceso libre a Internet, cuenta personalizada de correo electrónico, impresoras, etc., por lo que pueden libremente obtener todo el material utilizado en las clases accediendo a las páginas WEB de las asignaturas en cuestión.

DISEÑO ESTRUCTURAL DE LA RUTA DE DATOS

Cuando se aborda el estudio del procesador multiciclo, el alumno ya conoce del tema anterior la estructura general de un procesador *monociclo* donde cada instrucción se ejecuta en un único ciclo de reloj. La estructura de dicho procesador se obtiene partiendo de una simplificación de la Arquitectura del Juego de Instrucciones del procesador MIPS R2000 [7] [8].

El tema comienza motivando el interés de introducir el procesador multiciclo como forma de reducir recursos en la Ruta de Datos, así como de reducción del tiempo medio de ejecución de las instrucciones. El estudio de dicho procesador multiciclo se plantea como un modo más realista de funcionamiento del procesador, donde lo habitual es que cada instrucción se ejecute en un cierto número de ciclos de reloj, dependiendo de su grado de complejidad. Con ello se busca un incremento en la velocidad de procesamiento y un mayor aprovechamiento de los recursos *hardware*. Seguidamente, se realiza y se muestra visualmente la construcción de una Ruta de Datos multiciclo basada en multiplexores a partir de la Ruta de Datos monociclo (fig.1). A continuación, se le hace ver al alumno la necesidad de emplear más de un ciclo de reloj para ejecutar las instrucciones en la nueva Ruta de Datos. En ella, pese a la reducción del número de recursos, es posible que una misma instrucción haga uso repetido de éstos a lo largo de los diferentes ciclos de reloj en que se ejecuta. Una vez el alumno ha asimilado el nuevo concepto de Ruta de Datos multiciclo, se propone una transformación de la misma a base de sustituir los multiplexores por buses y de dotar de capacidad de lógica triestado a los recursos conectados a los mismos. La nueva Ruta de Datos multiciclo (fig.2) se corresponde con la clásica estructura de tres buses en la que, con objeto de garantizar una completa equivalencia a nivel de fases de ejecución con la Ruta de Datos basada en multiplexores, se introducen un par de conmutadores (enlaces de bus) para unir y/o dividir buses en un momento dado. El diseño de la Ruta de Datos se completa identificando las señales de control necesarias para indicar el camino que han de seguir los datos y las operaciones que han de realizarse con ellos (lecturas, escrituras, etc.).

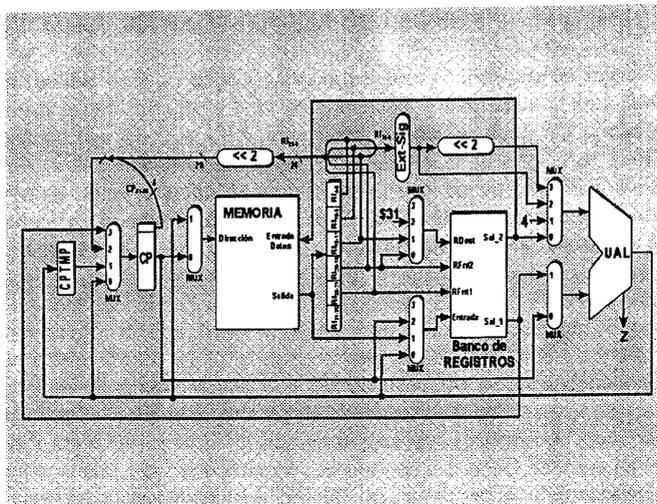


Fig.1: R.D. basada en multiplexores

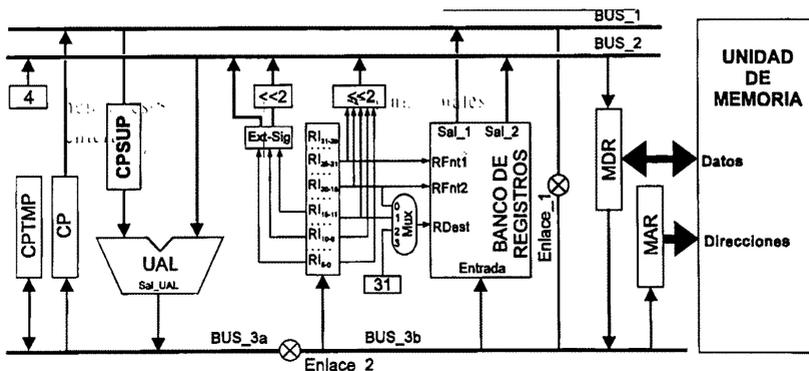


Fig.2: R.D. basada en buses con lógica triestado

FASES EN LA EJECUCIÓN DE LAS INSTRUCCIONES

Tras la construcción de la Ruta de Datos y la identificación de líneas de control, y como paso previo a la descomposición de la ejecución de las instrucciones en fases, se establecen los costes temporales asociados a las operaciones realizadas con los diferentes recursos de la Ruta de Datos (UAL, Banco de Registros, Memoria, etc.), así como la duración del ciclo de reloj (fig.3). El alumno puede observar cómo influye el retardo de cada componente en la definición de las fases de ejecución.

Para cada fase de ejecución de cada instrucción se especifican las operaciones que en ella tienen lugar, empleando para ello el lenguaje de transferencia entre registros, así como la activación de las correspondientes líneas de control.

A tal fin, han sido desarrolladas una serie de animaciones que presentan de forma visual y sencilla la ejecución de las distintas instrucciones en varios ciclos de reloj.

Realizando un estudio detallado, se obtiene y se presenta de forma animada, a partir de la ruta de datos basada en buses con lógica triestado, la división en fases de la ejecución de cada una de las instrucciones.

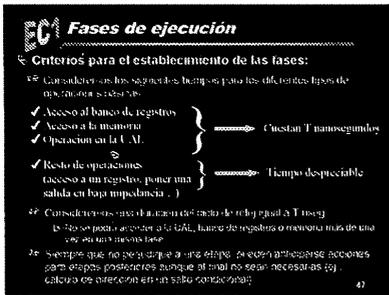


Fig.3: criterios temporales

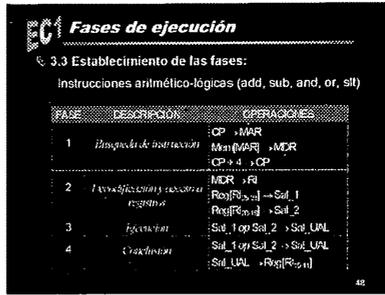


Fig.4: fases ejecución aritmético-lógicas

Figura 4: Fases de ejecución de las instrucciones aritmético-lógicas.

En la figura 4 pueden observarse las cuatro fases en las que queda dividida la ejecución de las instrucciones aritmético-lógicas, las operaciones realizadas en cada una de ellas y los recursos utilizados. Esta división se obtiene y se presenta de forma animada (fig.5, 6, 7 y 8) ajustándose cada fase a la duración del ciclo de reloj.

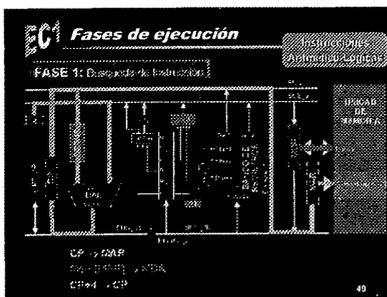


Fig.5: fase 1 aritmético-lógicas

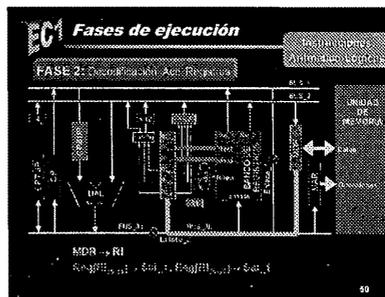


Fig.6: fase 2 aritmético-lógicas

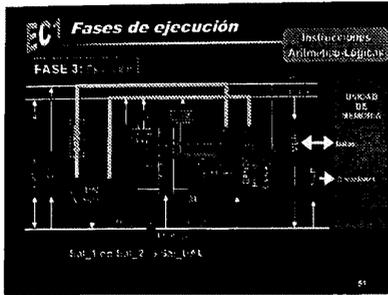


Fig.7: fase 3 aritmético-lógicas

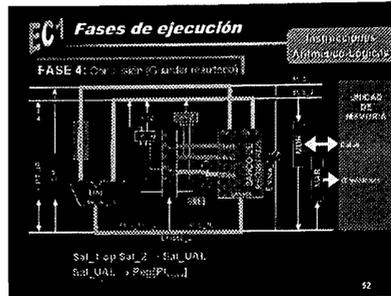


Fig.8: fase 4 aritmético-lógicas

UNIDAD DE CONTROL MULTICICLO

Una vez establecida la división en fases de cada una de las instrucciones soportadas, se aborda la implementación cableada del circuito Unidad de Control mediante dos métodos: el método del contador de fases y el método de la tabla de estados. En temas posteriores se realiza la implementación del mismo circuito de forma microprogramada.

Independientemente del método empleado, previamente se realiza una identificación de las señales de control necesarias y activación de las mismas en cada una de las fases de ejecución de las instrucciones. Mediante la proyección de las animaciones desarrolladas resulta fácil identificar en cada etapa las señales requeridas.

CONCLUSIONES

La experiencia docente llevada a cabo vuelve a poner de manifiesto [5] la idoneidad del empleo de materiales didácticos que incluyan presentaciones animadas, en el ámbito de la estructura del computador; siempre que éstos se utilicen como complemento de los métodos tradicionales, y no como sustitutivo de los mismos.

La facilidad para la comprensión visual de los conceptos, inherente a este tipo de material didáctico, permite un mayor aprovechamiento de cada sesión liberando tiempo para una mayor profundización y discusión en el aula de los conceptos.

Uno de los aspectos positivos que los alumnos destacan del material es la posibilidad de recrear una y otra vez la exposición del profesor en el aula; al disponer del mismo en la web de la asignatura [9].

REFERENCIAS

- [1] A. Pont y M.L. Rico. Plan de innovación docente en Arquitectura y Estructura de Computadores. III Jornadas Univ. sobre Innovación Educativa en las Enseñanzas Técnicas.
- [2] A. Robles y J. Sahuquillo. Integración teórico-práctica en la enseñanza de Estructura de Computadores: un enfoque metodológico. II Jornadas Nacionales de Innovación en las Enseñanzas de las Ingenierías. ICE (UPM). 1996
- [3] J.A. Gil, L. Peñalver, A. Pont y A. Robles. Estructura de Computadores (Vol.1). SPUPV-1999

- [4] J.L. Posadas, A. Robles. Innovación Educativa en la Enseñanza del Procesador Segmentado. JENUI 99
- [5] A. Pont, J.A. Gil, M. Martínez, J. Molero, A. Robles y A. Rodas. Estructura de Computadores (Vol. 2). SPUPV-1996
- [6] J. Real, J.A. Gil y A. Robles. Uso de nuevos medios de apoyo a las exposiciones en el aula. III Jornadas de Enseñanza Universitaria de Informática. 1997
- [7] J.L. Hennessy, D.A. Patterson. Arquitectura de Computadores, un enfoque cuantitativo. New York. Mc. Graw Hill. 1993
- [8] D.A. Patterson, J.L. Hennessy. Organización y Diseño de Comput. Mc. Graw Hill. 1995
- [9] WEB de la asignatura con animaciones disponibles: <http://poseidon.disca.upv.es/ec1/index.html>