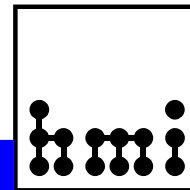


**Bericht der Herbsttagung der
Studiengruppe für Elektronische Instrumentierung
27. bis 29. September 2004, im FZ Rossendorf**



**Herausgeber: Dr. F. Wulf
HMI-B 600 Berlin, Dezember 2004**

ISSN 0936 – 0891



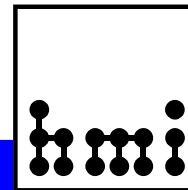
Bericht der Herbsttagung der
Studiengruppe für Elektronische Instrumentierung
27. bis 29. September 2004, im FZ Rossendorf



Herausgeber: Dr. Friedrich Wulf
HMI-B 600 Berlin, Dezember 2004

ISSN 0936 – 0891

**Hahn-Meitner-Institut Berlin,
Abteilung Experimentssysteme / DE
Glienicker Str. 100
14109 Berlin**



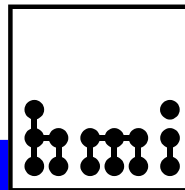
Teilnehmerliste

Name

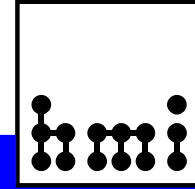
Badura, Dr. Eugen
Berg, Rudolf
Bönisch, Dr. Sven
Dingler, Klaus
Dittrich, Steffen
Drochner, Dr. Matthias
Dube, Sascha
Etter, Jörgen
Fleischmann, Philip M.
Gabriel, Dr. Frank
Goettmann, Walter
Heer, Heinz
Hermes, Normen
Hombach, Thomas
Jainsch, Roland
Johannsen, Prof. Bernd
König, Steffen
Landrock, Konrad
Meisel, Dr. Ulrich
Michel, Dr. Peter
Notz, Dr. Dieter
Nowack, Dr. Gerd
Oehme, Dr. Winfried
Poschmann, Dr. Hartmut
Pröhl, Dr. Dieter
Seewald, Bodo
Spelthann, Hans-Dieter
Stolper, Matthias
von Düring, Arp-Nico
von Walter, Peter
Wagener, Michael
Winter, Armin
Wolf, Dr. Andreas
Wuestner, Dr. Peter
Wulf, Dr. Friedrich
Zillikens, Hans-Peter

Institut

Gesellschaft für Schwerionenforschung
Forschungszentrum Karlsruhe
Hahn-Meitner-Institut Berlin GmbH
FED Fachverband Elektronik-Design e.V.
Forschungszentrum Rossendorf e. V.
Forschungszentrum Jülich GmbH
Hahn-Meitner-Institut Berlin GmbH
National Instruments, Vertriebsbüro Ost
esz Elektronik-Service GmbH
Forschungszentrum Rossendorf e.V.
Hahn-Meitner-Institut Berlin GmbH
Forschungszentrum Jülich GmbH
Forschungszentrum Jülich GmbH
Forschungszentrum Jülich GmbH
Forschungszentrum Rossendorf e.V.
Forschungszentrum Rossendorf e.V.
Keithley Instruments GmbH
Strahlenmeßtechnik
Hahn-Meitner-Institut Berlin GmbH
Forschungszentrum Rossendorf e.V.
DESY Hamburg
Ruhr-Universität Bochum
Forschungszentrum Rossendorf e.V.
FED Fachverband Elektronik-Design e.V.
Forschungszentrum Rossendorf e.V.
esz Elektronik-Service GmbH
Acqiris Data Conversion Instruments
DESY Hamburg
Wiener, Plein & Baus GmbH
Universität Heidelberg Physikalisches Institut
Forschungszentrum Jülich GmbH
Forschungszentrum Rossendorf e.V.
Forschungszentrum Rossendorf e.V.
Forschungszentrum Jülich GmbH
Hahn-Meitner-Institut Berlin GmbH
Forschungszentrum Jülich GmbH



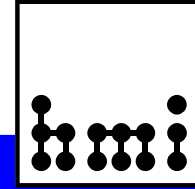
Teilnehmer der SEI-Herbsttagung 2004 im FZ Rossendorf



Vorträge



	Seite
Begrüßung und Organisatorisches Dr. F. Wulf, HMI Berlin	- V -
Profil von Rossendorf, Bedeutung der Strahlungsquelle ELBE Prof. B. Johannsen, wissenschaftlicher Direktor des FZ Rossendorf	- 1 -
Die Strahlungsquelle ELBE - Konzept und erste Betriebserfahrungen Dr. P. Michel, FZ Rossendorf	- 2 -
Mechanische und kryotechnische Besonderheiten bei der Realisierung des S. C. Beschleunigermoduls A. Winter, FZ Rossendorf	kein schriftlicher Beitrag
Mechanische und optische Anforderungen an die opt. Cavity des FEL und ihre Realisierung Dr. A. Wolf, FZ Rossendorf	- 9 -
Realisierung und Erfahrungen mit der HF-Stabilisierung für den S. C. Beschleunigermodul Dr. F. Gabriel, FZ Rossendorf	- 15 -
Universeller Gateway zum Datenaustausch zwischen dem Steuerungssystem der Strahlungsquelle ELBE und anderen Applikationen R. Jainsch, FZ Rossendorf	- 19 -
LabVIEW 7.1 u. Plattformen für die Mess- und Automatisierungstechnik Jörgen Etter, National Instruments	- 23 -
Flicker & Oberwellen im Hinblick auf EMV (Normen 61000-3-2 bzw. 61000-3-3) Fleischmann, Philip M., esz Elektronik-Service GmbH	- 45 -
Normung für die Bleifrei-Technologie Dr. Poschmann, Fachverband Elektronik-Design e. V.	- 57 -
Herausforderungen für das Design in der Bleifrei-Technologie Klaus Dingler, Fachverband Elektronik-Design e. V.	- 65 -
Löten ohne Blei - Umsteigen ohne Probleme? Abstract (11,1 KB) Rudolf Berg, FZ Karlsruhe	- 87 -
FPGA Programmierung mit LabVIEW Thomas Hombach, FZ Jülich	- 104 -
Warteschlangentheorie Dr. Dieter Notz, DESY Hamburg	- 117 -
Prozesssteuerung einer MBE-Anlage mit IDL Michael Wagener, FZ Jülich	- 130 -
Schallanalyse und optimale elektronische Lautstärkekontrolle Dr. Gerd Nowack, Ruhr-Universität Bochum	- 137 -
Die elektrostatische Entladung (ESD) bei kleinen Abständen und Spannungen Dr. Sven Bönisch, HMI Berlin	- 143 -



Einleitung

Dr. F. Wulf, HMI Berlin

Der Bericht der **S**tudiengruppe für **E**lektronische **I**nstrumentierung von der Herbsttagung 2004, die vom 27. bis 29. September 2004 im Forschungszentrum Rossendorf stattfand, enthält 16 Vorträge. Ich danke allen Vortragenden und Autoren für die ausgezeichneten Beiträge. Mein besonderer Dank gilt Herrn Dr. Frank Gabriel und Frau H. Breitenstein für die sehr gute Organisation und interessante Gestaltung des Rahmenprogramms.

Ein Schwerpunkt der Vorträge konzentrierte sich auf die erfolgreiche Inbetriebnahme der Strahlungsquelle ELBE. Am 7. Mai 2004 wurde der erste Laserpuls erzeugt und damit die gute Funktionsfähigkeit nachgewiesen. Die ersten fünf Vorträge befassten sich mit den wesentlichen Komponenten und Besonderheiten der Anlage, die anschließend während der Besichtigung vor Ort verdeutlicht wurden.

Das Thema elektromagnetische Verträglichkeit EMV wird immer wichtiger und erfordert zukünftig noch mehr Aufmerksamkeit. Dazu ist die Kenntnis über die Entstehung von Oberwellen und Flicker sowie deren Messung und Charakterisierung notwendig. Der Vortrag der Firma esz vermittelte einen guten Überblick über dieses Thema und deren Randbedingungen.

Die Herausforderungen für das Design in der Bleifrei-Technologie wurden von Referenten des Fachverband Elektronik Design e.V. umfassend dargestellt und durch die praktischen Erfahrungen aus dem Forschungszentrum Karlsruhe ergänzt. Dieses Thema wird uns in den nächsten Jahren - insbesondere bei der Wartung älterer elektronischer Geräte - noch stärker beschäftigen.

Die Leistungsfähigkeit von LabVIEW konnte mit der Version 7.1 weiter gesteigert werden, so dass - wie schon bei der Steuerung von ELBE gezeigt - die Messtechnik, Steuerung und Regelung auch in große Systeme integrierbar ist. Insbesondere ist die einfache Programmierung von FPGAs durch den Einsatz des LabVIEW FPGA-Moduls sehr vielversprechend. Dies bestätigten die ersten Erfahrungen aus dem FZ Jülich. Zusätzlich eröffnen die getakteten Schleifen und der Einsatz von LabVIEW RT auf einem Desktop PC neue Einsatzgebiete.

Die Randbedingungen der unterschiedlichen Experimente erfordern immer wieder spezielle Lösungen, wie das Beispiel einer Steuerung für eine MBE-Anlage aus dem FZ Jülich zeigt.

Durch die immer schnelleren Rechnersysteme ist häufig das Problem der Totzeiten von Systemen verdrängt worden. Wie Totzeiten entstehen und welche Lösungsmöglichkeiten zu deren Verringerung existieren, kann mit Hilfe der Warteschlangentheorie beschrieben werden.

Die Einhaltung des Lärmschutzes bei Musikveranstaltungen erfordert eine automatische Kontrolle und Regelung der Grenzwerte, ohne den Musikgenuss wesentlich einzuschränken. Das an der Ruhr-Universität Bochum entwickelte Gerät zur Schallanalyse und Kontrolle verwendet neue Konzepte für eine optimale Überwachung des Schallpegels.

Die zuverlässige Bestimmung von ESD-Prüfungen verlangt vergleichbare Messbedingungen, die nur auf Grund theoretischer Kenntnisse und gut untermauerten Messverfahren durchgeführt werden können. Dies war Thema einer Promotion an der TU Berlin, deren Ergebnisse vorgestellt wurden.

Die einzelnen Vorträge verdeutlichen das breite Spektrum von Themen aus der Mechanik, Elektronik und Informationstechnologie, die für die Erstellung von Experimentssystemen zur Beantwortung physikalischer Fragestellungen benötigt werden.

Die SEI-Frühjahrstagung ist vom 4. bis 6. April 2005 an der GSI Darmstadt geplant. Ein Schwerpunktthema wird der Zugriffsschutz für industrielle Ethernet-Netzwerke sein.

Berlin, Dezember 2004

Auditorium



Dr. Friedrich Wulf



Prof. Bernd Johannsen



Dr. Peter Michel



Armin Winter



Dr. Andreas Wolf



Dr. Frank Gabriel



Roland Jainsch

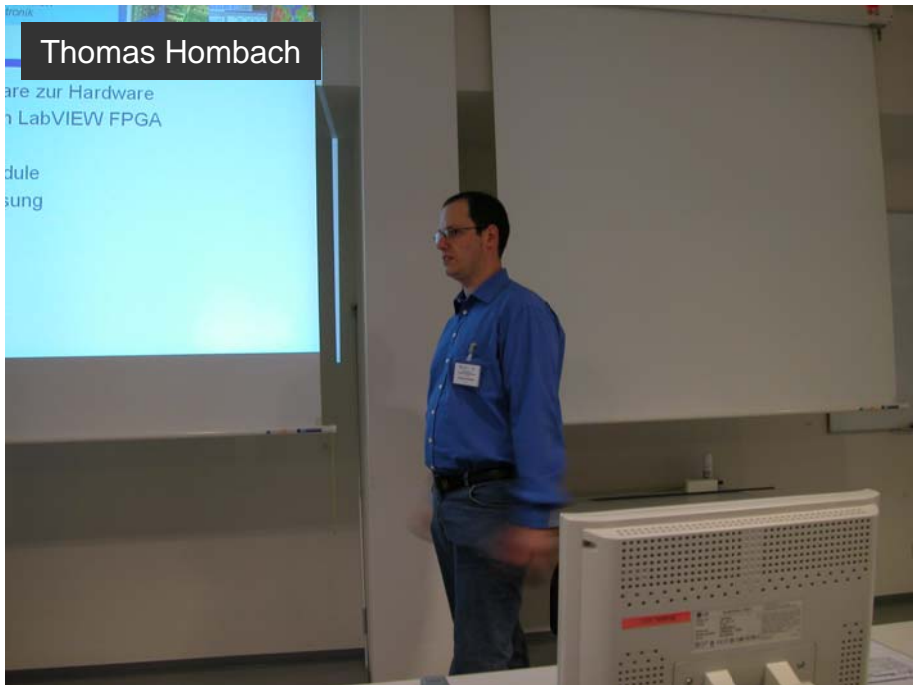


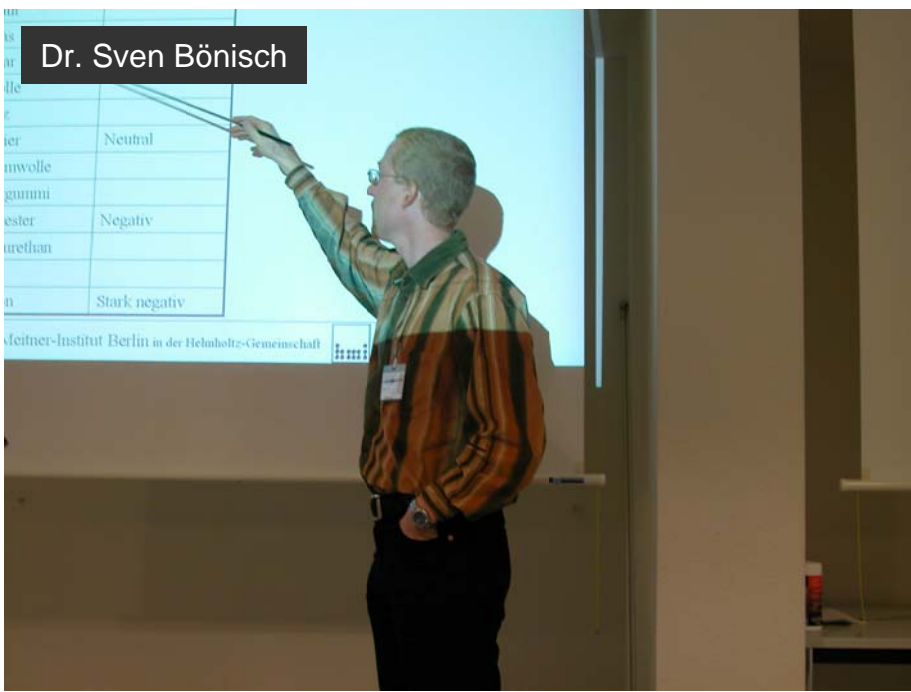
Jörgen Etter



Philip Fleischmann







×

Ausstellung Wiener, Plein & Baus GmbH



Ausstellung Keithley Instruments GmbH



Ausstellung National Instruments



Ausstellung esz Elektronik-Service GmbH



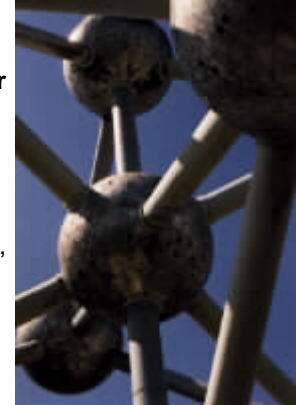
Forschungsthemen im Forschungszentrum Rossendorf

Forschung für Mensch und Umwelt

Struktur der Materie

- maßgeschneiderte, intelligente Oberflächen
- Nanostrukturen: kleinste Strukturen für schnellste Prozesse
- Schlüssel zum Verständnis der Entstehung unseres Universums

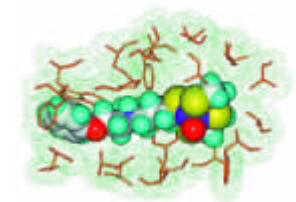
Dieses Forschungsprogramm umfasst die Bereiche "Materialforschung mit Ionen", "Halbleiterphysik" sowie "Subatomare Physik". In der Materialforschung werden vornehmlich Ionen eingesetzt, um Oberflächen für verschiedenste neue Anwendungen gezielt zu verändern und zu strukturieren. Halbleiter werden erforscht, zum Beispiel zur Entwicklung neuer Datenspeicher oder Lichtquellen. Arbeiten in der subatomaren Physik beschäftigen sich mit nuklearen und hadronischen Strukturen und Prozessen, die für die Entstehung des Universums von Bedeutung sind.



Lebenswissenschaften

- moderne, hoch entwickelte Medizin für den Menschen
- wirksame Medikamente
- gesunde Lebensmittel

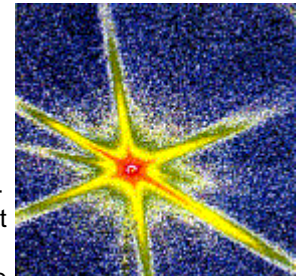
Hier geht es hauptsächlich um die Bereiche "Radiopharmazie" sowie "Biostrukturen und Strahlung". Das gesellschaftliche Ziel besteht darin, Beiträge zur frühzeitigen Erkennung als auch zur wirksamen Behandlung von Tumor- und Stoffwechselerkrankungen zu leisten. Um dieses Ziel zu verwirklichen, ist ein umfassendes Verständnis biochemischer und physiologischer Prozesse eine wesentliche Voraussetzung.



Umwelt & Sicherheit

- Schutz von Mensch und Umwelt
- Störfallanalysen
- Minderung der Risiken technischer Anlagen

Das dritte Forschungsprogramm umfasst die Bereiche "Radioökologie", "Anlagen- und Reaktorsicherheit" sowie "Thermofluidynamik". Die zentrale Aufgabe besteht im Schutz von Mensch und Umwelt vor den Risiken technischer Aktivitäten. Dabei sind die Vorhaben auf die Sicherheit nuklearer und nichtnuklearer Prozesse fokussiert.



Forschungszentrum Rossendorf e. V.
Mitglied der Leibniz-Gemeinschaft

Postadresse

Forschungszentrum Rossendorf
Postfach 51 01 19
01314 Dresden

Vorstand

Wissenschaftlicher Direktor: Prof. Bernd Johannsen
Kaufmännischer Direktor: Dr. Peter Joehnk

Die Strahlungsquelle ELBE im Forschungszentrum Rossendorf Konzept und erste Betriebserfahrungen

Peter Michel
Forschungszentrum Rossendorf
01314 Dresden, Postfach 510119

ELBE-Konzept

Der Elektronenbeschleuniger ELBE (**E**lektronenbeschleuniger mit hoher **B**rillanz und geringer **E**mittanz) [1] im Forschungszentrum Rossendorf wird nach seiner endgültigen Fertigstellung elektromagnetische Strahlung, Neutronen, Positronen sowie Elektronen für die Forschung liefern. Die Vielfalt und die hervorragenden Eigenschaften dieser Sekundärstrahlung machen ELBE zum zentralen und verbindenden Großgerät der Institute im Forschungszentrum Rossendorf. Ein 40 MeV, 1mA Elektronenbeschleuniger dient als Treiber für die verschiedenen Arten von Sekundärstrahlung. Die Abb.1 verdeutlicht das Konzept der Strahlungserzeugung an ELBE.

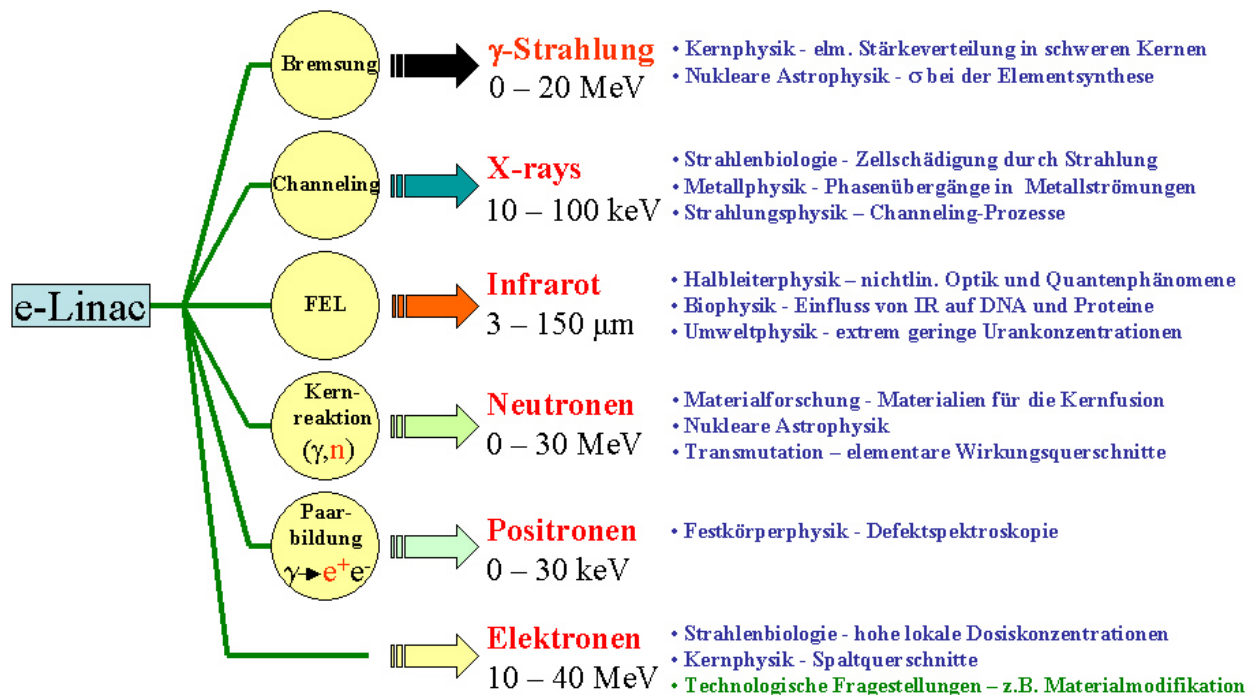


Abb1. Sekundärstrahlungserzeugung an ELBE

In Abb.2 ist das Layout der gesamten Anlage dargestellt. Die Abschirmung der Umgebung vor der bei Beschleunigerbetrieb entstehenden intensiven ionisierenden Strahlung erfolgt durch ca. 3 m dicke Betonwände innerhalb des Gebäudes. An den Endstationen der Elektronenstrahlführungen befinden sich jeweils die Produktionstargets für Sekundärstrahlung. Da die Qualität des Elektronenstrahles bei der Sekundärstrahlungserzeugung erheblich verschlechtert wird (Energiebreite, transversale Emittanz), ist ein parasitärer Nutzerbetrieb ausgeschlossen.

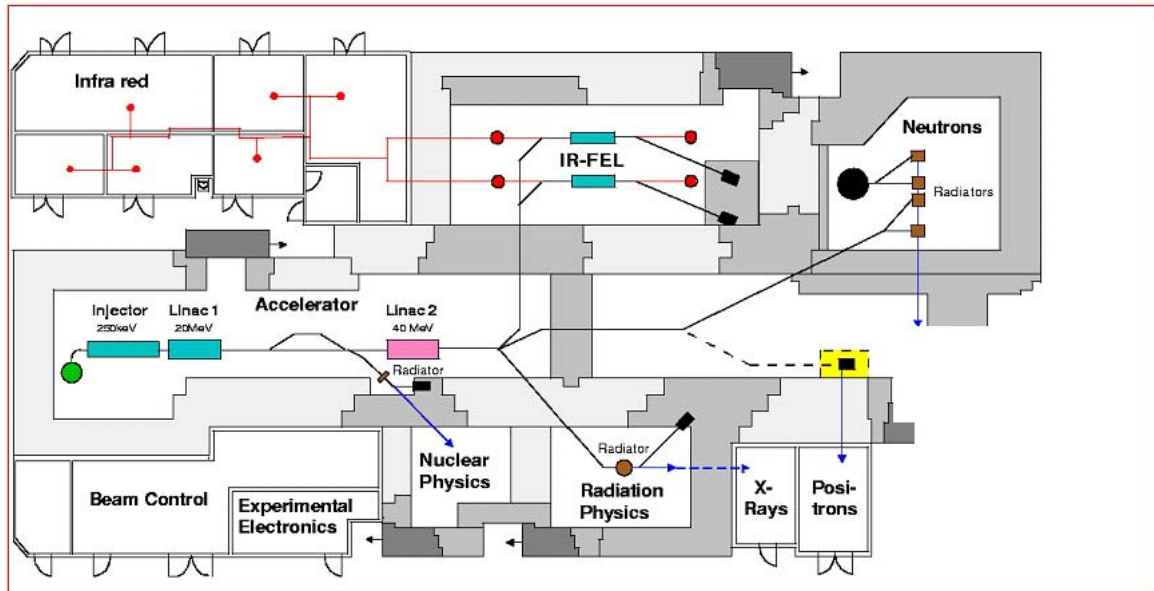


Abb.2 Strahlungsquelle ELBE im Forschungszentrum Rossendorf

Elektronenbeschleuniger

Die in ELBE beschleunigten Elektronenpulse werden zunächst in einer thermischen Kathode erzeugt und dann in einem elektrostatischen Feld mit 250 kV vorbeschleunigt. Die dabei erzeugten Elektronenpulse haben eine Länge von ca. 500 ps und müssen vor der Hauptbeschleunigung in einem Pulskompressor auf wenige ps verkürzt werden. Diese ultrakurzen Elektronenpakete werden dann in einem supraleitenden Hochfrequenz-Linearbeschleuniger (Abb.3) auf 40 MeV beschleunigt.

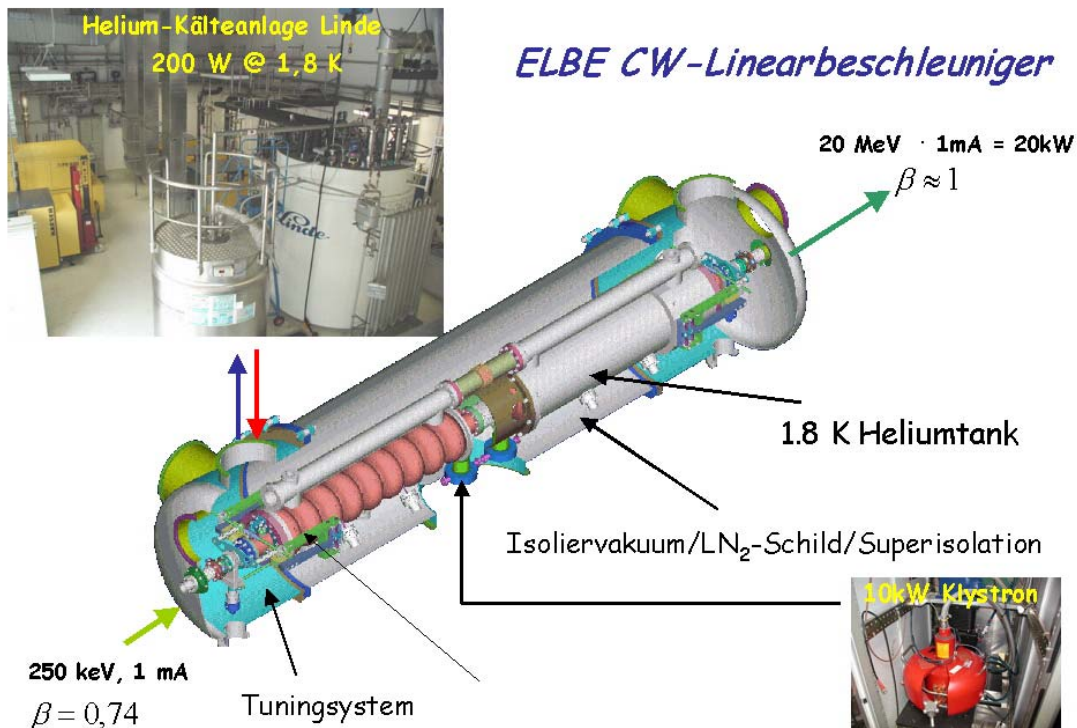


Abb.3 ELBE Beschleunigermodul

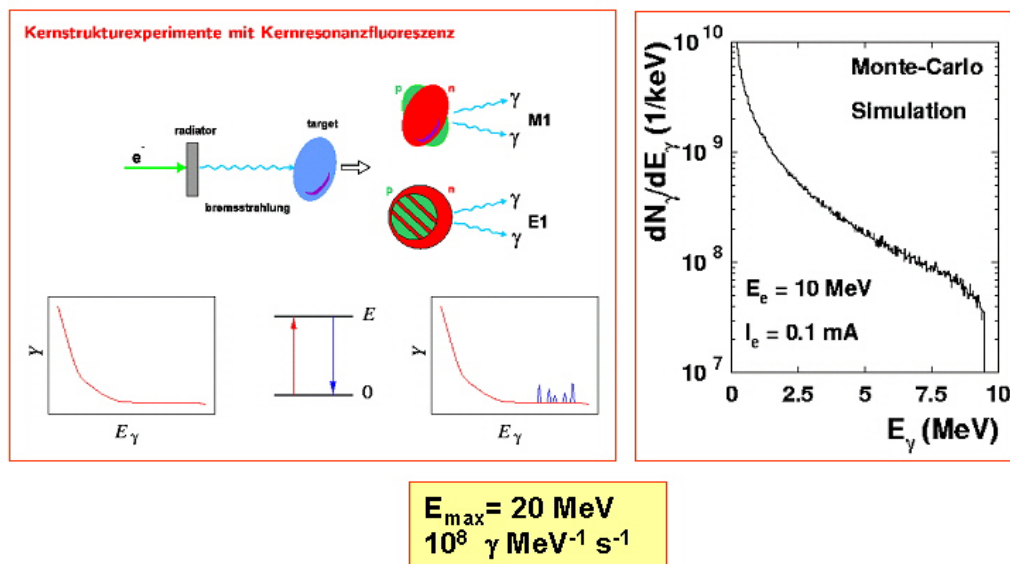
Der Beschleuniger besteht aus zwei Kryomodulen, die jeweils zwei neunzellige 1,3 GHz Niob-Resonatoren (Teslazellen) [2] enthalten. ELBE wird im sog. CW-Mode (Continuous Wave) betrieben. Damit wird ein außerordentlich hoher mittlerer Strahlstrom von ca. 1mA erreicht. Weitere wichtige Eigenschaften des ELBE-Elektronenstrahles, wie die geringe transversale Emittanz, eine kleine Energieunschärfe und eine extrem kurze Elektronenpulslänge, sind für die effektive Produktion der verschiedenen Arten von Sekundärstrahlung von Bedeutung.

Elektronenstrahldiagnostik

Zur Visualisierung des Elektronenstrahlprofiles bzw. der Strahlposition werden an ELBE Vidiconkameras (Heimann KH500) [3] und OTR-Leuchttargets (Optical Transition Radiation) verwendet. Die Strahlposition wird darüber hinaus zerstörungsfrei und im Hochstrommodus mit Hilfe von $\lambda/4$ -Stripline-Monitoren [4] gemessen. Wegen der sehr kurzen Pulslängen des Elektronenmikropulses (~ 1 ps) kann diese nur interferometrisch (Martin-Puplett-Interferometer) [5] durch Messung der kohärenten Übergangsstrahlung ermittelt werden. Zum Schutz der Anlage vor den Folgen zu großen Strahlverlustes werden lange Ionisationskammern (LIC), bestehend aus luftgefüllten HF-Kabeln eingesetzt [6].

Bremsstrahlung

Durch Beschuss einer einige μm dicken Targetfolie entsteht an ELBE infolge Bremsstrahlung ein intensiver und hochenergetischer Photonenstrahl. Mit diesem Strahl werden an ELBE kernspektroskopische und astrophysikalische Untersuchungen durchgeführt. Die Abb.4 verdeutlicht die Erzeugung und die Nutzung des ELBE-Bremsstrahles.

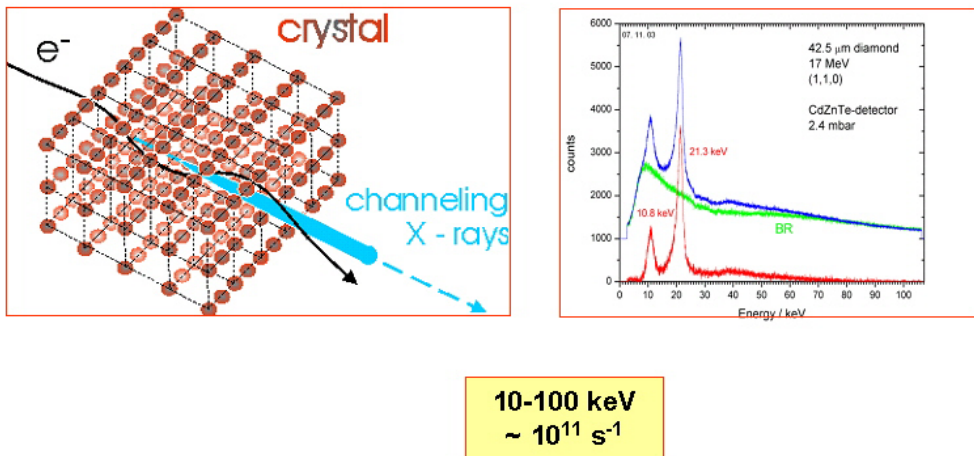


- Kernstrukturuntersuchungen (Kernresonanzfluoreszenz)
- Bestimmung von Wirkungsquerschnitten (γ, γ) (γ, n) (γ, p) (γ, α) (γ, f)
- Photoaktivierung, Bestimmung von Halbwertszeiten

Abb. 4 Bremsstrahlerzeugung an ELBE

Röntgenstrahlung

Quasimonochromatische Röntgenstrahlung mit einer Energie von 10 bis 100 KeV und Intensitäten bis zu 10^{11} s^{-1} wird über Elektronenchanneling in einem dünnen Diamantkristall erzeugt. (Abb.5)

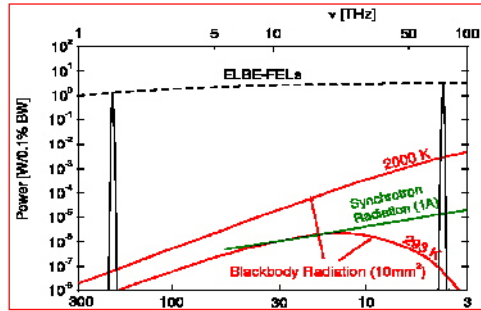
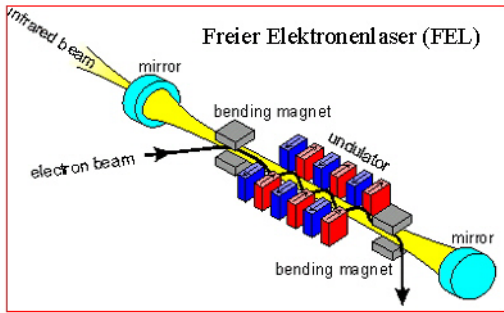


- biol. Wirksamkeit niederenergetischer Röntgenstrahlung
- subzelluläre Mechanismen der Strahlenschädigung
- grundlegende Untersuchungen zur Channelingstrahlung (Ultraschallanregung des Kristalles)
- Untersuchung von Transportprozessen und Erstarrungsvorgängen in metallischen Schmelzen

Abb 5. Röntgenstrahlungserzeugung durch Elektronenchanneling an ELBE

Infrarotstrahlung

Monoenergetische Infrarotstrahlung, die mittels zweier Freie-Elektronen-Laser (FEL) produziert wird und deren Wellenlänge zwischen 3 und ca. 150 µm variiert werden kann, bildet den langwelligsten Bereich der ELBE-Sekundärstrahlung. (Abb. 6) Die aus dem FEL ausgekoppelte Leistung des Laserstrahles erreicht dabei bis zu 100 W. Der kurzwellige FEL (5-25 µm) wurde am 07. Mai 2004 erfolgreich in Betrieb genommen.



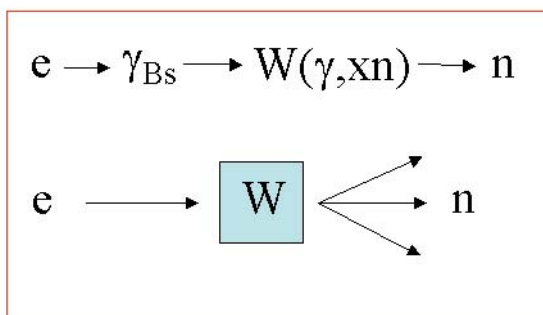
IR Strahl
3 – 150 μm
3-5 mJ je Puls
35 – 60 W
0,3 – 20 ps

- IR-Spektroskopie (Halbleiter, Quantenstrukturen, org. Moleküle, radioaktive Stoffe ...)
- IR-Mikroskopie (Nahfeldmikroskopie)
- Cavity-Ring-Down Spektroskopie
- Pump-Probe Experimente im sub-ps-Bereich

Abb 6. Infrarotstrahlung an ELBE wird mittels Freie-Elektronen-Laser (FEL) erzeugt

Neutronen

Neutronen werden an ELBE durch Elektronenbeschuss gekühlter Blei- bzw. Wolframtargets über der Erzeugung von Bremsstrahlung in der Kombination mit nuklearen (γ, n)-Reaktionen produziert. Es werden totale Neutronenintensitäten von 10^{12} s^{-1} erreicht. Der Neutronenstrahl besitzt dabei die gleiche Zeitstruktur wie die Elektronen. Dadurch wird es möglich, energieaufgelöste Messungen über Flugzeittechnik anzuwenden. Das ELBE-Neutronenlabor ist ein Gemeinschaftsprojekt zwischen der TU Dresden und dem FZR. (Abb.7)



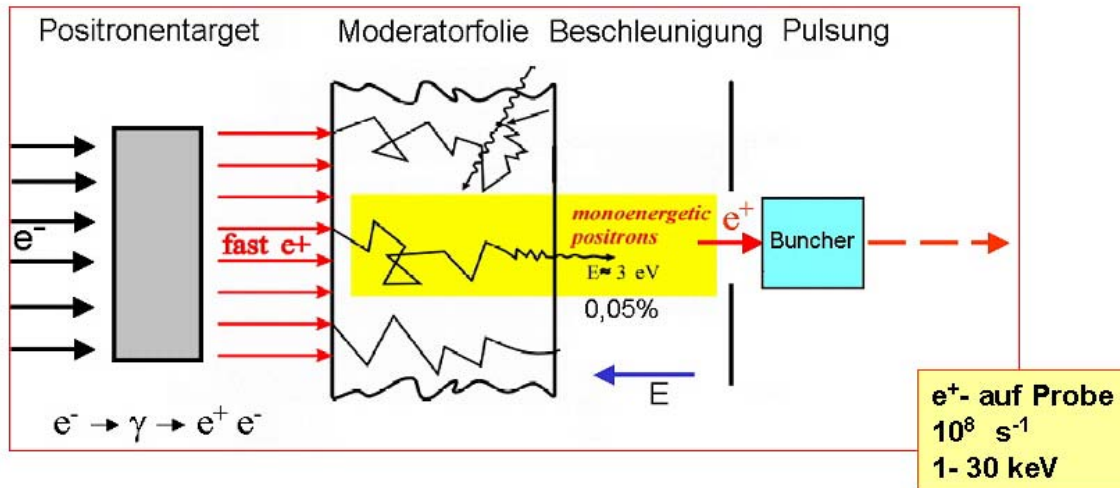
Neutronenquelle
 10^{13} ns^{-1} (kont. Spektrum)
 $\Delta t < 100 \text{ ps}$

- Untersuchung neutroneninduzierter Prozesse in Fusionsreaktoren
- Wirkungsquerschnitte für Neutronen-induzierte Kernreaktionen (Energiedifferenziell mittels Flugzeittagging)
- Untersuchung von Reaktormaterialien

Abb. 7 Neutronen an ELBE

Positronen

Im Rahmen einer weiteren Zusammenarbeit wird mit der Universität Halle-Wittenberg an ELBE ein zwischen 1 und 30 keV einstellbarer monoenergetischer Positronenstrahl (10^8 Positronen s^{-1}) erzeugt werden. Hauptanwendungsgebiete werden die Untersuchungen von Defekten bzw. Nanohohlräumen in Halbleitern, Kristallen oder anderen kristallinen oder amorphen Werkstoffen sein. Die Abb. 8 stellt schematisch die Erzeugung monoenergetischer Positronen dar.



- Nano-Hohlräume
- Defekte in Festkörpern, in kristallinen und amorphen Werkstoffen
- Untersuchung kinetische Prozesse (Diffusion, Defektreaktionen, usw.)

Abb 8. Positronen an ELBE

Insbesondere mit dem Positronenstrahl sollen an ELBE zerstörungsfreie Materialuntersuchungen durchgeführt werden. Dabei spielt die einstellbare Positronenenergie und die damit verbundene Möglichkeit, die Eindringtiefe der Positronen in das Material zu variieren, eine wichtige Rolle.

Erste Betriebserfahrungen

Im Januar 2002 wurde mit der Inbetriebnahme der Bremsstrahlbeamline der Nutzerbetrieb aufgenommen. Im Oktober 2002 kam die Röntgenstrahlerzeugung hinzu und im Sommer 2003 begannen erste Experimente unter Nutzung des ELBE-Infrarotstrahles. Die Tatsache, dass gleichzeitig Aufbau, Inbetriebnahme und Nutzerbetrieb stattfanden, erforderte ein hohes Maß an technischem und personellen Einsatz sowie dessen Koordination. Nach relativ kurzer Einarbeitungszeit konnte der Maschinenbetrieb auch in den Nachtschichten vollständig von Technikern/Operateuren übernommen werden. Komplizierte Inbetriebnahmen sowie die Einstellung neuer Strahlparameter wurde von Physikern durchgeführt.

Abb. 9 zeigt grafisch die Relation von geplanter zu tatsächlich erbrachter Strahlzeit von April bis August 2004. Dabei sind die Strahlzeiten für die verschiedenen Sekundärstrahlungen und für Maschinenbetrieb (Inbetriebnahme und Optimierung) einzeln ausgewiesen. Es wurde ein mittleres Verhältnis von erbrachter zu geplanter Strahlzeit von über 85 % erreicht.

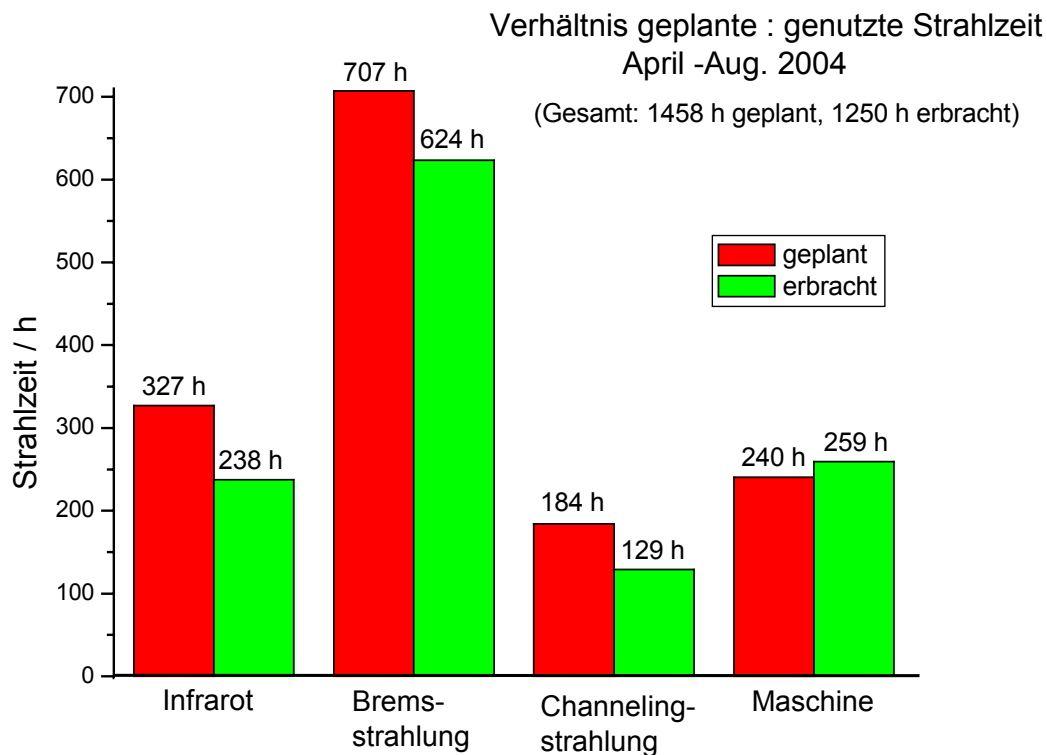


Abb 9. Strahlzeitstatistik an ELBE

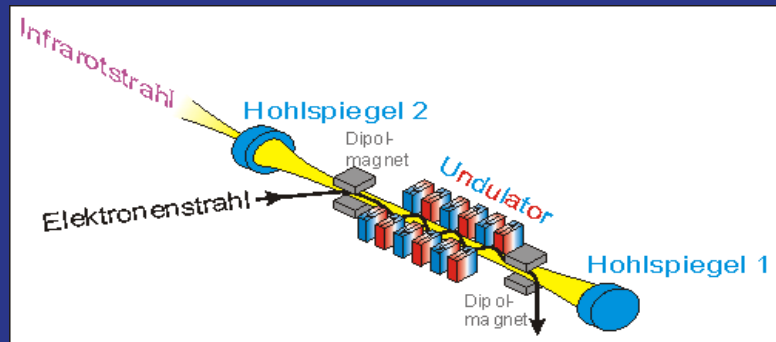
Derzeit werden unter Benutzung der diagnostischen Möglichkeiten an ELBE noch vorhandene Instabilitäten (Strahlenergie- und Phasendriften, Strahlabschaltungen infolge ansprechender HF-Fenster Interlocksignale) untersucht und technische Konzepte zur Verbesserungen entwickelt.

Literatur

- [1] F.Gabriel at al., NIM B 161-163 (2000), p. 1143
- [2] TESLA Test Facility Linac – Design Report (Ed. D.A. Edwards), DESY print TESLA 95-01
- [3] EG&G Heimann, Data Sheet Video Camera KH 500, Wiesbaden , Germany
- [4] P.Evtushenko et al., Proceedings DIPAC 2001- Grenoble, p. 168 / DIPAC 2003 – Mainz, p. 204
- [5] M.Geitz et al., Proceedings PAC 1999, p. 2172
- [6] P.Michel at al., Proceedings DIPAC 2003 – Mainz, p. 65

Mechanische und optische Anforderungen an die opt. Cavity des FEL

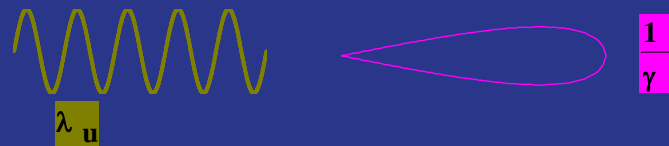
- FEL-Lichtverstärkung
- Gaußsche Strahloptik
- Optischer Resonator
- Mechanische Anforderungen
- Alignment-System



Vortrag zur SEI-Herbst-Tagung Sept. 2004 FZ Rossendorf

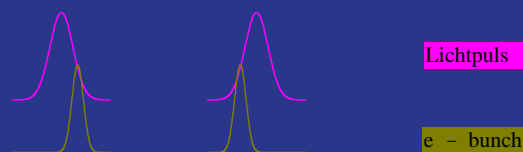
• FEL-Lichtverstärkung

- **spontane Strahlung** durch wiggle-Bewegung der Elektronen im Undulator

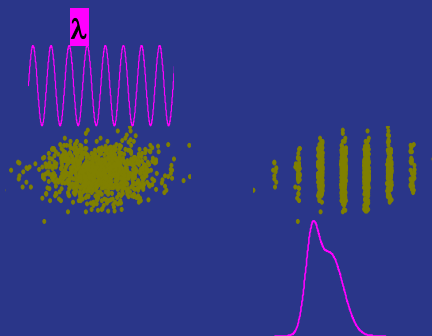


- Wechselwirkung Licht-Elektronen-Licht

- Slippage



- Dichtemodulation



- Microbunching

- kohärente Verstärkung
 $\sim n_e^2$

Gaußsche Strahloptik

- gaußförmiger Intensitätsverlauf über dem Strahlquerschnitt
- beugungsbedingte Strahldivergenz

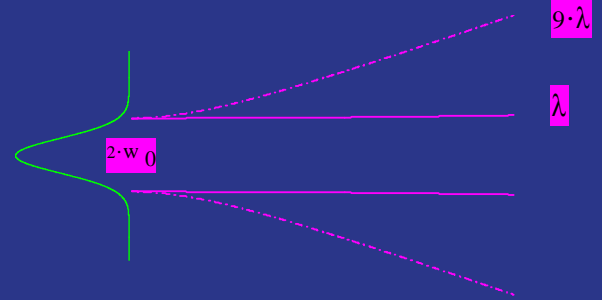
$$w(z, w_0, \lambda) = w_0 \cdot \sqrt{1 + \left(\frac{\lambda \cdot z}{\pi \cdot w_0^2}\right)^2}$$

$$z_R = \frac{\pi \cdot w_0^2}{\lambda}$$

- Krümmungsradius der Wellenfront im Fernfeld ---> Kugelwellen

$$R(z) = z \cdot \left[1 + \left(\frac{z_R}{z}\right)^2 \right]$$

- Strahltaile w_0 und Wellenlänge λ bestimmen den Strahlverlauf eindeutig



Optischer Resonator

- Resonatorlänge L_c

$$f_{\text{Micropuls}} = 13 \cdot \text{MHz}$$

$$L_c = \frac{1}{2} \cdot \frac{c}{f_{\text{Micropuls}}} = 11.53 \text{m}$$

- Spiegelradien R_1, R_2
(für minimalen Strahlquerschnitt im Undulator)

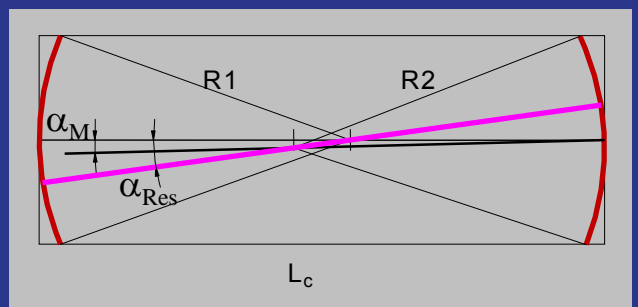
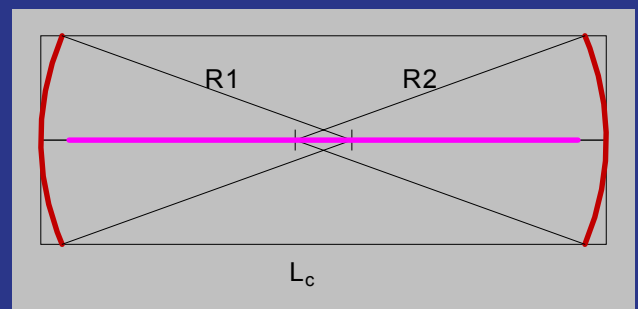
$$z_R = \frac{L_c}{2} \cdot \sqrt{2 \cdot \frac{R}{L_c} - 1} = \frac{1}{2} \cdot N_u \cdot \lambda_u = 1 \cdot \text{m}$$

$$R = 5.995 \cdot \text{m}$$

- Winkelfehler der Resonatorachse
(aus Durchmesser e-Beam, Auskoppelloch und Akzeptanz im Undulator)

$$\Delta \alpha_{\text{Res}} \leq 100 \cdot \mu\text{rad}$$

$$\Delta \alpha_{\text{Res}} = \arctan \left[\frac{\tan(\alpha_M)}{2 \cdot \left(1 - \frac{L_c}{2 \cdot R}\right)} \right] = \frac{\alpha_M}{2 \cdot \left(1 - \frac{L_c}{2 \cdot R}\right)} = 13 \cdot \Delta \alpha_M$$



- Winkelfehler der Cavity-Spiegel

$$\Delta \alpha_M \leq 6 \cdot \mu\text{rad} \quad !!!$$

- Mechanische Anforderungen an die Cavitylänge

- Absolutwert ergibt sich aus der Micropulsfrequenz, dem zulässigen Überdeckungsfehler mit der e-bunch-Folge bei n-Umläufen (n=10..100)

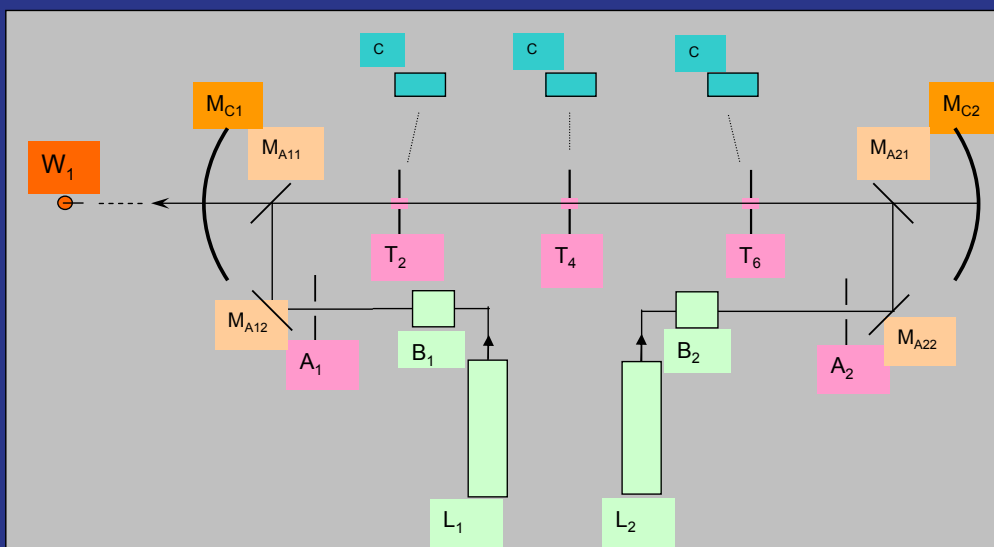
$$\Delta s = \Delta t_{\text{bunch}} \cdot c \cdot \frac{n_u}{3} \cdot \frac{1}{n} = 2 \cdot \text{psec} \cdot 0.3 \cdot \frac{\mu\text{m}}{\text{psec}} \cdot \frac{64}{3} \cdot \frac{1}{10} = 1.3 \cdot \mu\text{m}$$

- Ziel ist die Längenstabilisierung der Cavitylänge von 11,5m auf ca. 1µm genau bei einem Stellbereich von +/-2mm.

- Realisierung

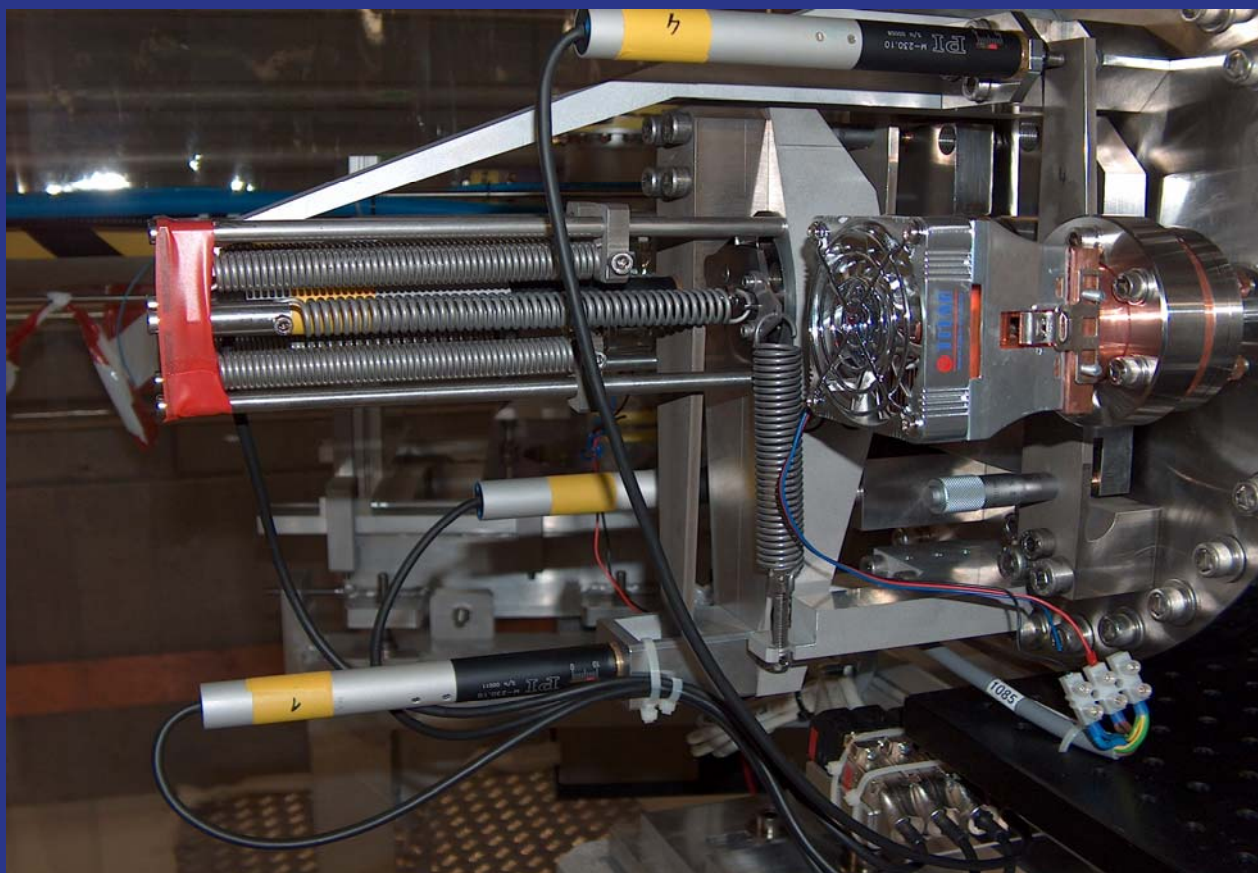
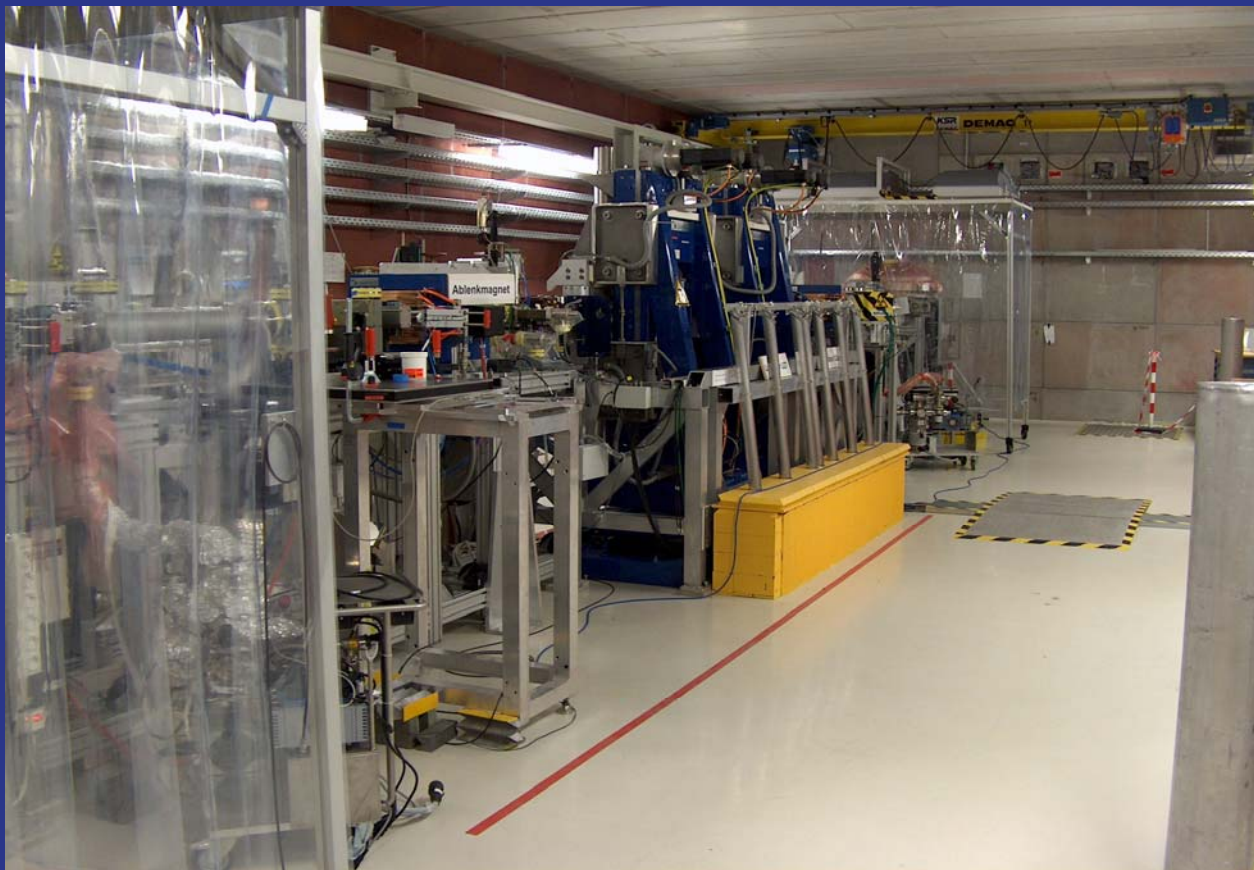
- relative Längenmessung mit HP-Interferometer (633nm) 0,1µm Auflösung
- Einsatz von Präzisions-DC-Motoren mit mechanischer Hysterese von 3..5µm und Aufteilung auf Grob- und Feintrieb
- Hysterese Fehler des Feintriebes wird mechanisch durch Einsatz eines Biegebalken-Hebelgetriebes mit spielfreiem Drehpunkt eliminiert.

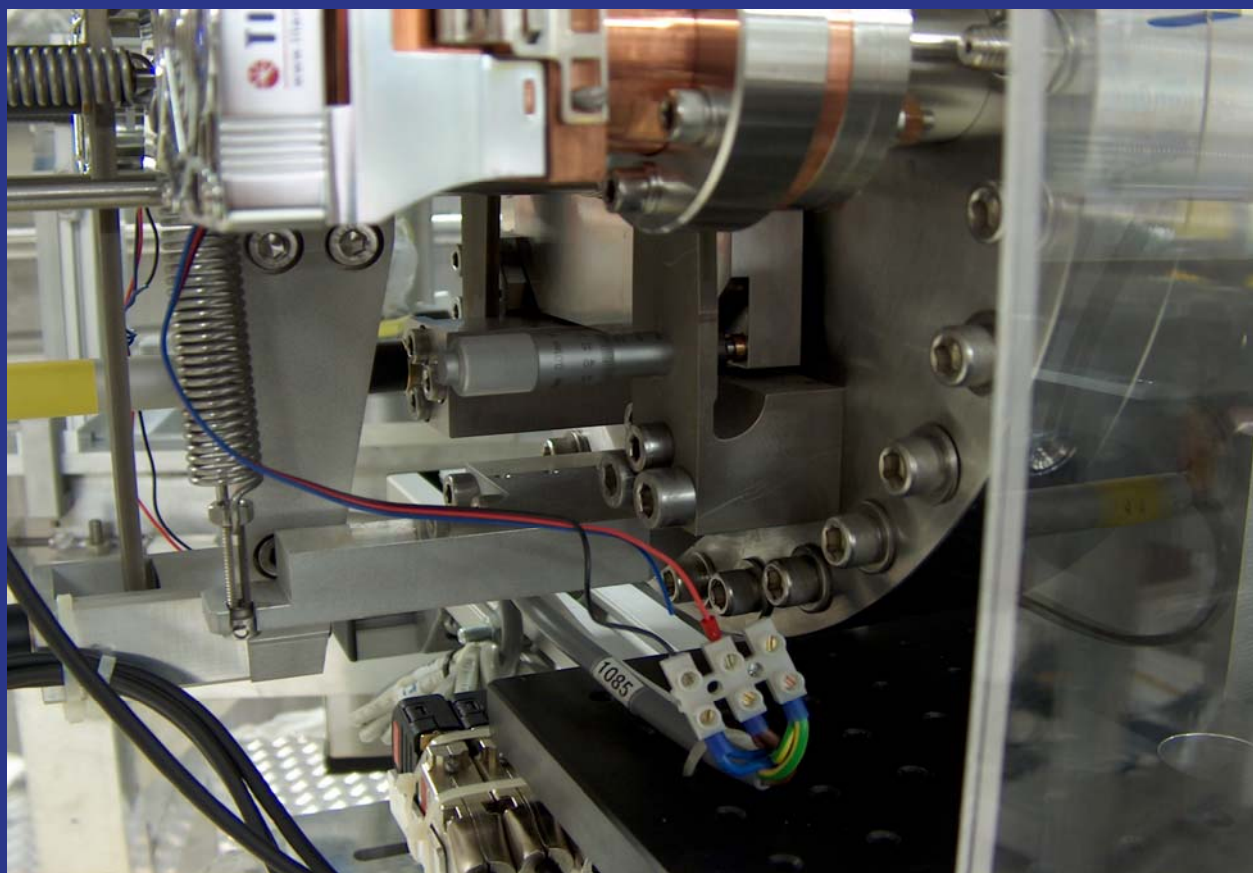
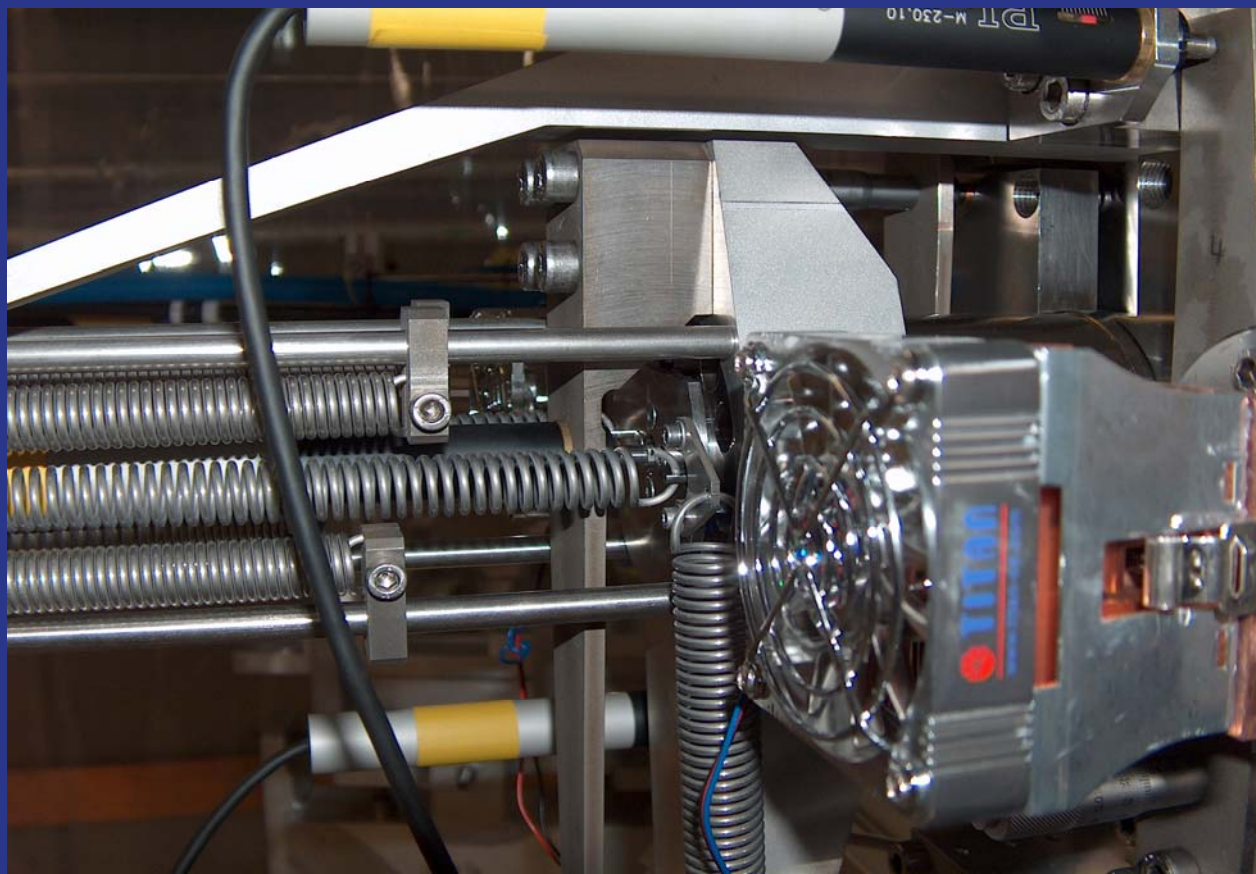
- Alignmentsystem*

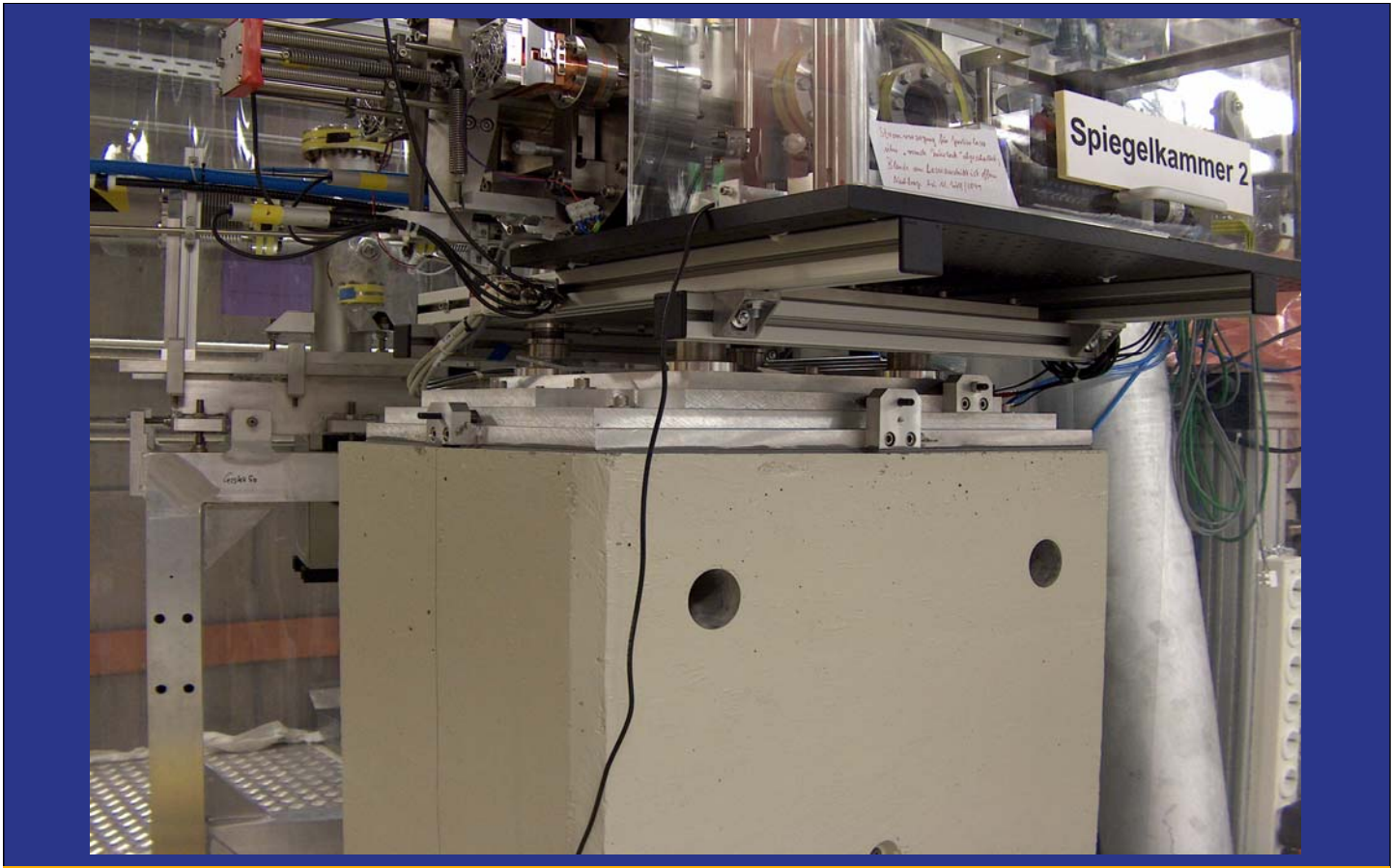


C Kameras
M Mirrors
T Targets
B BeamTeleskop
A Aperture
L HeNe-Laser
W ausgekoppelter
FEL-Strahl

* vorgeschlagen von Dr. Dick Oepts, FOM Institut Rijnhuizen







Realisierung und Erfahrungen mit der Hochfrequenz-Stabilisierung für den supraleitenden Beschleunigermodul

Forschungszentrum Rossendorf
Frank Gabriel

Die Anforderungen an die HF-Stabilisierung für den Elektronenbeschleuniger (bestehend aus supraleitenden Niob-Hohlraum-Resonatoren, die mit supraflüssigem Helium auf 2°K gekühlt werden) sind in Tabelle 1 aufgelistet. Diese z.T. extrem hohen Anforderungen ergeben sich aus den Anforderungen an den nachgeschalteten „Freie-Elektronen-Laser“ (FEL) mit einer minimalen Pulslänge von unter 0,5 psec.

Cavities:		Nominal	Actual
•	Frequency	1,3 GHz	1,3 GHz ± 5 Hz
•	Bandwidth	120 Hz ($Q_{ext} = 1 \times 10^7$)	120 Hz
•	Microphonics (Phase noise)	1,5 ... 3,5°rms DESY	2 ... 6°pk-pk FZR
•	LHe suply <ul style="list-style-type: none"> • Pressure • Level 	±0,1 mbar (± 3,2 Hz) ± 8 mm (± 0,1 mbar)	±0,05 mbar
•	Cavity length		1 Hz / 2,5 nm
RF Supply:			
•	Frequency stability (temperature, voltage)	$< 1 \times 10^{-8}$	$< 1 \times 10^{-9}$
•	Aging in 10 years (adjustable <5 Hz)		$< 3 \times 10^{-7}$
•	Phase stability <ul style="list-style-type: none"> • rms • per day 	$< 0,1^\circ$ $< 1^\circ$	$< 0,02^\circ$ ¹⁾ $< 1^\circ$
•	Amplitude stability <ul style="list-style-type: none"> • rms • per day 	5×10^{-4} 5×10^{-4}	2×10^{-4} 2×10^{-4}

¹⁾ Measurement limit

Tabelle 1: Anforderungen an Hochfrequenzversorgung

Außer der hohen Anforderung an die Frequenzstabilität muss besonderes Augenmerk auf die Stabilisierung der Phase und Amplitude der Hochfrequenz gelegt werden. Hauptursachen für die Instabilität sind:

1. Phasenrauschen der 1,3 GHz Signalquelle
2. Mikrophonie (mechanische Vibration) der supraleitenden Hohlraum-Resonatoren (Cavities), wodurch eine Resonanzfrequenzänderung erfolgt, was wiederum eine Phasenverschiebung verursacht

Zur Erreichung eines niedrigen Phasenrauschens wird ein sehr rauscharmer temperaturstabilisierter 13 MHz Grundquarz (TCXO) verwendet, der auch gleichzeitig die o.g. hohe Frequenz-Stabilität hat (siehe Abb. 1).

ELECTRICAL TEST SHEET OCXO PRIDE B2Z

Frequency: 13 MHz

Date: 12.07.99

Specification	Units	Limits	Value	
			3822	3862
Peak Current consumption during warm-up	mA	<500	480	480
Current consumption at steady state	mA	-25°C <250	190	200
		+25°C <200	112	120
Warm up time (Within $\pm 1E-8$)	min	<10	<8	<8
Tuning (frequency correction)	Uc=0V	1E-7	<-3,0	-4,6
	Uc=5V	1E-7	>+3,0	+4,5
Frequency stability Versus supply voltage changes 12V \pm 10% in temperature range -25°C...+70°C frequency deviation in temp. range (ref. +25°C)		1E-10	< \pm 3,0	\pm 1,0
		1E-9	< \pm 1,0	\pm 0,9
	-25°C	1E-9		+0,3
	-5°C		+0,1	
	+40°C		+0,5	
	+70°C		+1,7	
aging (after 7 days of operation)	1E-10	< \pm 5,0	-2,0	+2,0
Duty cycle	%	50 \pm 5	49	50
Rise time	ns		8	8
Fall time	ns		9	9

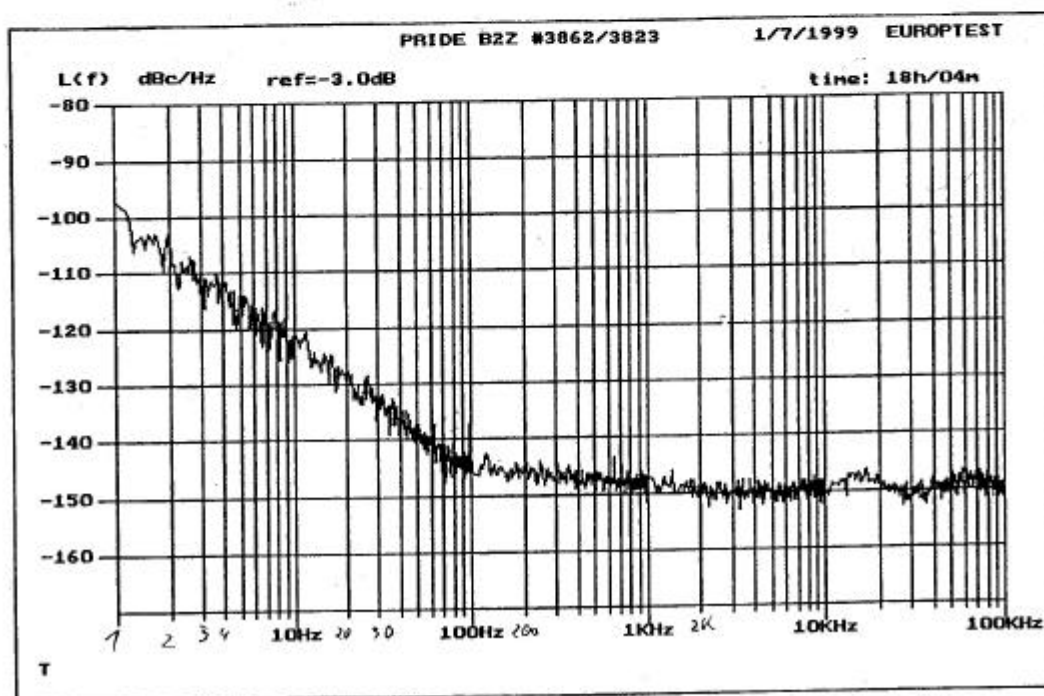


Abb. 1 Technische Spezifikation des 13 MHz Oszillators

Mittels einer PLL-Schaltung, die einen spannungsgesteuerten rauscharmen Quarzoszillator mit einer Mittenfrequenz von 1,3 GHz (VCXO) ansteuert ist die in Abb. 2 gezeigte Phasenrauschverteilung erreichbar.

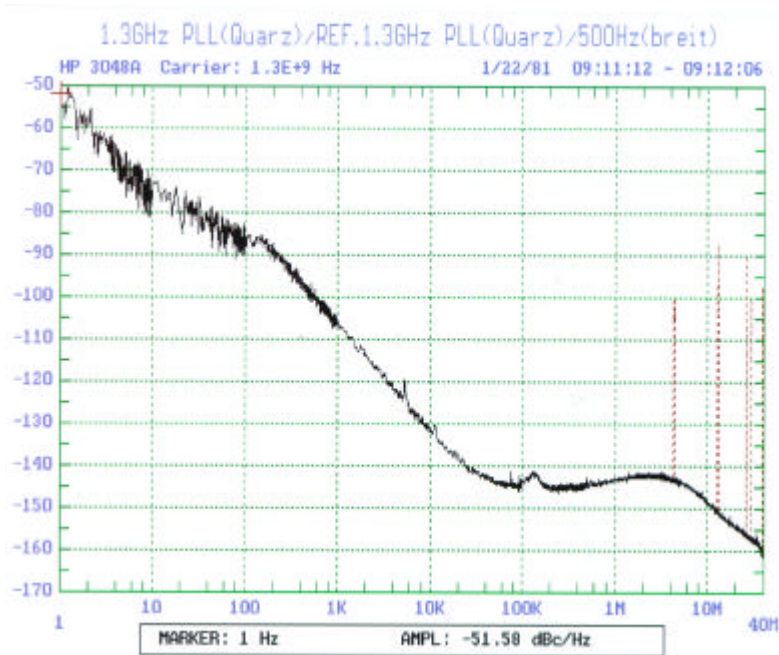


Abb. 2 Phasenrauschspektren der 1,3 GHz PLL-Schaltung

Zur Erreichung sehr kleiner Mikrophoniewerte ist eine vibrationsdämpfende Aufhängung der Cavities gegen mechanische Einflüsse (Vorkühlung mit flüssigem Stickstoff, Kühlung mit flüssigem Helium, Vakuumpumpen u.s.w.) erforderlich. Die erreichten Werte liegen bei ca. 20 ... 30 nm Längenänderung der ca. 1 m langen Cavity. Die sich daraus ergebenden Resonanzfrequenz-Änderungen der Cavity von ca. 10 ... 15 Hz und des dadurch verursachten Phasenjitters von ca. 6 ... 8° müssen durch eine Hochfrequenz-Stabilisierung auf unter 0,1° ausgeregelt werden.

Das Grundprinzip der HF-Stabilisierung besteht aus für Phase und Amplitude getrennten Linearreglern (siehe Abb. 3).

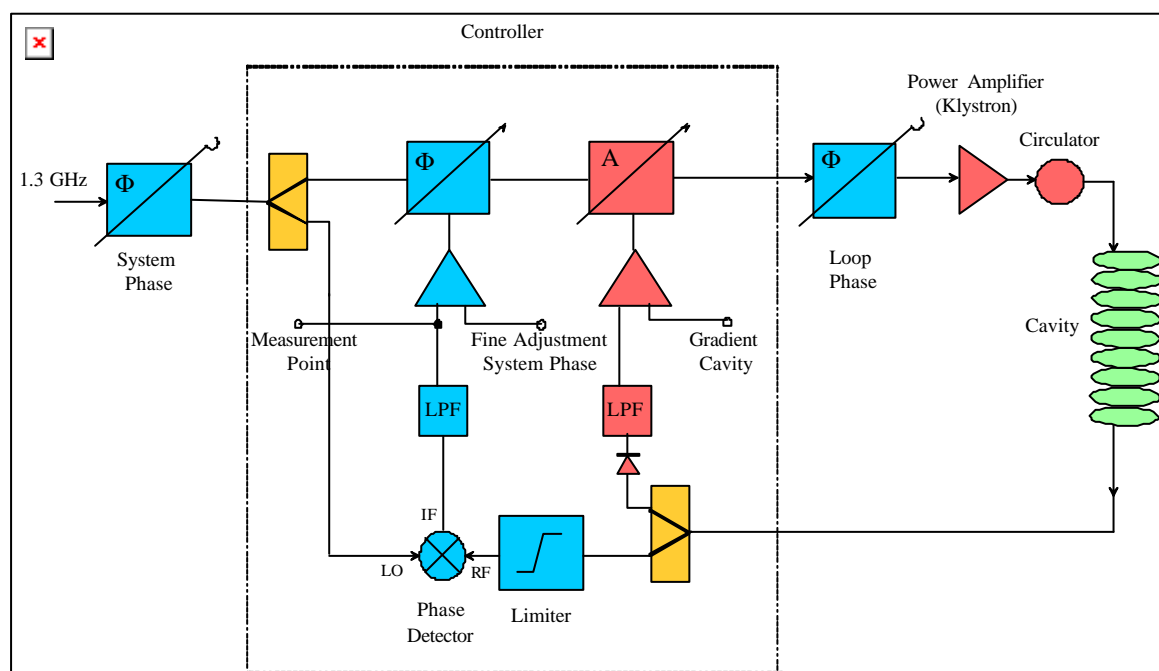
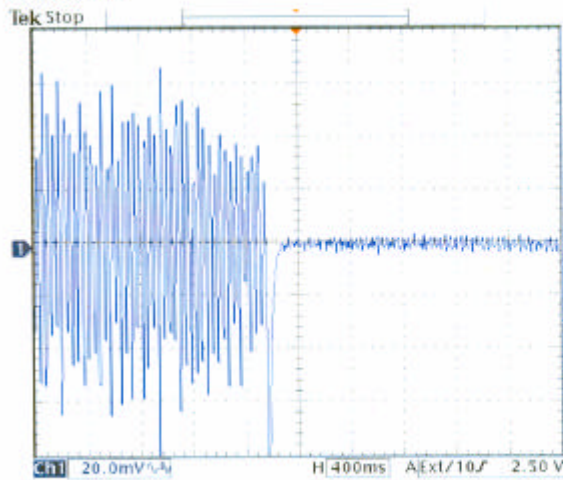


Abb. 3 Blockschaltbild der HF-Sabilisierung

Durch die Demodulation in beiden Regelkreisen sind die Störeinflüsse und ihre Unterdrückung einfach messbar (siehe Abb. 4)

A - Loop - Gain - Measurement



- July 08th 2003
 - 14:30:25
 - Cavity 5
 - 10 MV/m
 - A - Det. Out
- A - Loop OFF
app. 120 mV_{pp}
 - A - Loop ON
app. 5 mV_{pp}
 - A - Loop Gain
app. 25

Abb. 4 Messung der Schleifenverstärkung anhand des demodulierten Signals.
Gezeigtes Beispiel ist die Amplitudenschleife: 1. Bildhälfte bei geöffneter Schleife
2. Bildhälfte bei geschlossener Schleife

Abbildung 5 zeigt den kompletten Regelbaustein. Die beiden Zeigerinstrumente auf der Frontplatte dienen zur schnellen Einstellung der Arbeitspunkte der jeweiligen Reglerschleife.



Abb. 5 Ansicht des HF-Reglermoduls

Universeller Gateway zum Datenaustausch an der Strahlungsquelle ELBE

- Aufgabe
 - Datenaustausch zwischen Anlagensteuerung und Nutzersystemen
- Aufbau der Anlagensteuerung
- Zugriffsmöglichkeiten auf Daten der Anlagensteuerung
- Lösung
 - Hardware
 - Zugriffskontrolle
 - Software
- Anwendungsbeispiele und Erfahrungen

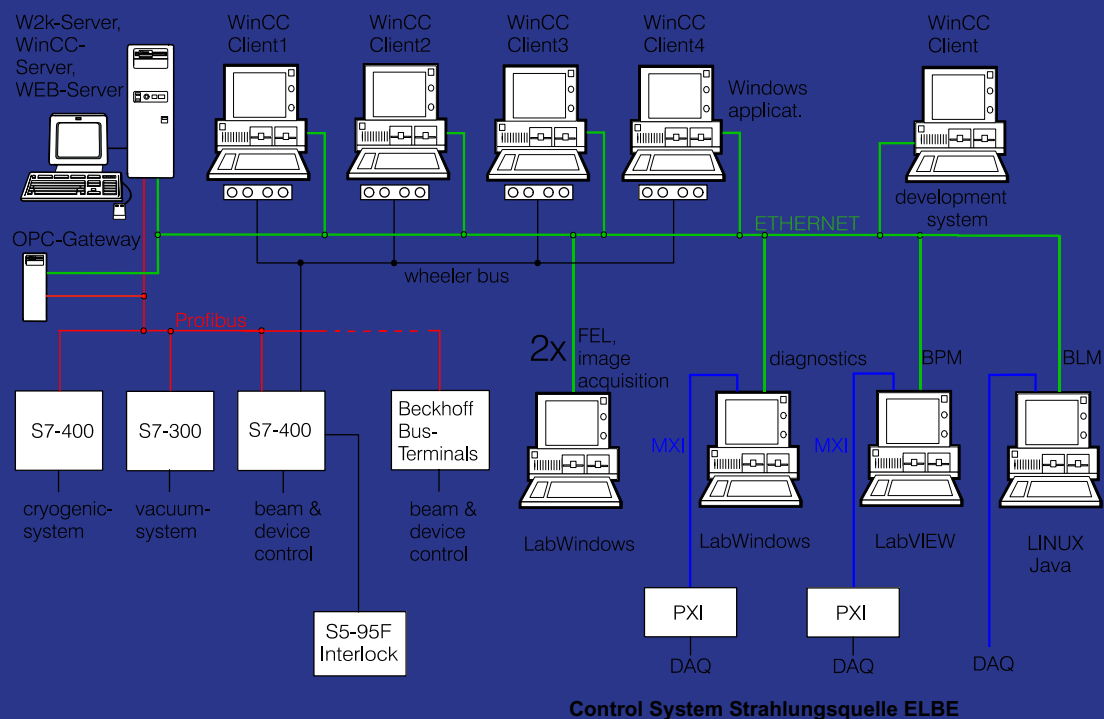
Universeller Gateway zum Datenaustausch an der Strahlungsquelle ELBE

- Motivation
 - Die in den Experimenten gewonnenen Daten müssen mit den aktuellen Einstellungen des Beschleunigers/FEL's verknüpft werden können
 - Der Anlagenoperator muss aktuelle Informationen über relevante Daten des Experiments erhalten
 - Die Experimentatoren sollen bestimmte Einstellungen des Beschleunigers/FEL's verändern können
 - Integration von PC's in die Anlagensteuerung

Universeller Gateway zum Datenaustausch an der Strahlungsquelle ELBE

- Aufbau der Anlagensteuerung
 - S7-SPS
 - Strahlführung (STF1 und STF2)
 - Anlagenkontrolle (AK1)
 - Tuning-System (TN1)
 - Dump-Kühlung (DK1)
 - Kälteanlage (LKA)
 - Profibus
 - Protokoll: S7-Kommunikation
 - WinCC-Server
 - Profibus
 - Ethernet
 - WinCC-Clients
 - Ethernet
 - DAQ- und IMAQ-PCs

Universeller Gateway zum Datenaustausch an der Strahlungsquelle ELBE



Control System Strahlungsquelle ELBE

Universeller Gateway zum Datenaustausch an der Strahlungsquelle ELBE

- Zugriffsmöglichkeiten auf Daten der Anlagensteuerung
 - OPC (OPCServer.WinCC)
 - Sicherheitsprobleme
 - Datenkonsistenz
 - Beschränkung auf Windows-Rechner
 - Profibus (OPC.SimaticNET)
 - Einsatz eines weiteren PC's

Universeller Gateway zum Datenaustausch an der Strahlungsquelle ELBE

- Lösung
 - Hardware
 - PC mit Profibus-Karte
 - Zugriffskontrolle
 - Projektierung der Datenbausteine mit Zugriffsrechten
 - Software
 - OPCServer.SimaticNET
 - LabWindows/CVI-Programm
OPC-Schnittstelle zum Leitsystem
TCP-Server als Nutzerschnittstelle

Universeller Gateway zum Datenaustausch an der Strahlungsquelle ELBE

Aufbau des Datentelegramms

Client-Request

OPC-Item

```
S7:[S7-Verb-STF1]DB21,D92=RW=6810
S7:[S7-Verb-STF1]DB980,REAL128=RW
S7:[S7-Verb-STF1]DB208,D4=R
S7:[S7-Verb-STF1]DB232,X9.0=R
S7:[S7-Verb-STF1]DB20,W0=R
S7:[S7-Verb-STF1]DB20,B27=R
```

Server-Response

Quality Data Timestamp

```
000000C0 00004D90 F4582710 01C4A3C1
000000C0 3F6B851F ED8F05A0 01C4A08E
000000C0 00000000 534E4AC0 01C4A280
000000C0 0000FFFF D6BBD3B0 01C49BEB
000000C0 00000000 F38FCE00 01C4A3C1
000000C0 00000008 F3AC7DB0 01C4A3C1
```

Universeller Gateway zum Datenaustausch an der Strahlungsquelle ELBE

- Anwendungen
 - Kernphysik-Experimente
 - VME-System mit LynxOS (MBS readout software)
 - BPM-Datenübergabe an das Leitsystem (WinCC)
 - PC mit LabVIEW
 - Cavity Length Scan
 - PC mit LabVIEW
 - FEL-Experimente
 - PC mit LabVIEW



LabVIEW 7.1 und Plattformen für die Mess- und Automatisierungstechnik

Dipl. Ing. Jörgen Etter



Agenda

- LabVIEW Kurzüberblick, Neuheiten
- Neue Datenerfassungshardware für USB, PCI
- Möglichkeiten mit modularen PXI Instrumenten (DMM, Oszi, Mixed Signal etc.)
- Datenmanagement
- LabVIEW Module: Realtime, FPGA, PDA

ni.com



Nahtlose Integration – Von der Idee zum Produkt

- Kunden in mehr als 25.000 Unternehmen in über 90 Ländern der Welt
- Portfolio mit über 1.000 Produkten
- Ausgezeichnete Support- und Serviceleistungen
- National Instruments Germany GmbH ist unter den 50 besten Arbeitgebern Deutschlands
- Systemlösungen mit mehr als 600 Alliance-Partnern



Nur das reibungslose Zusammenspiel von Hard- und Software ermöglicht eine ganzheitliche Lösung.



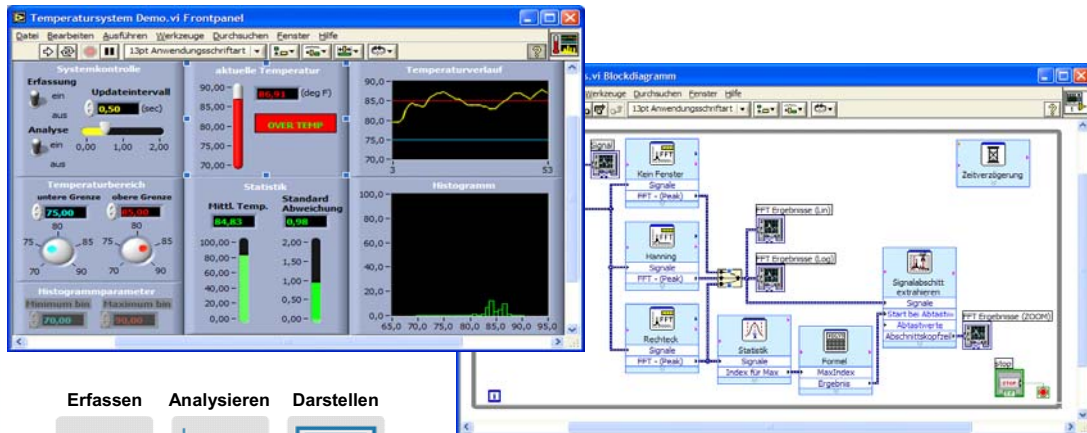
Seit mehr als 25 Jahren revolutioniert National Instruments die Art und Weise, wie Wissenschaftler und Ingenieure auf der Basis des PCs und der damit verbundenen Technologien arbeiten. Technologien, die einen PC in ein leistungsstarkes und netzwerkfähiges Mess- und Automatisierungssystem verwandeln, werden von National Instruments konsequent aufgenommen und vorangetrieben.

Produktentwicklung und Hauptsitz von National Instruments befinden sich in Austin, Texas. Hier werden National Instruments' Hardware- und Softwarekomponenten entwickelt. Support und Kundenunterstützung durch Schulungen werden weltweit von über 40 Niederlassungen angeboten.

Die über 1000 verschiedenen Produkte von National Instruments bieten einmalige Leistungsfähigkeit, Flexibilität und Produktivität bei der Entwicklung von Mess- und Automatisierungssystemen. Bei vollen Terminplänen, begrenzten technischen Ressourcen oder anderen Engpässen bevorzugen Sie vielleicht eine persönliche Beratung oder Dienstleistungen im Bereich der Systemintegration. In diesem Fall empfiehlt sich unser Alliance Program – ein weltweites Netzwerk von Experten, die Ihnen gerne mit Ihrem Fachwissen beratend zur Seite stehen.

Darüber hinaus können unsere Kunden ein vielfältiges Service-Angebot, wie z. B. Start-up Assistance, Installationsdienste und Produktschulungen, sowie weitere Beratungsleistungen nutzen. Mit unserem breiten Spektrum an Dienstleistungen – angefangen bei der erweiterten Garantie und Softwareverträgen (SSP) bis hin zur Gerätekalibrierung – unterstützen wir unsere Kunden bei der Erstellung ihrer Lösung und sorgen so für optimale Funktionsfähigkeit über viele Jahre hinweg.

LabVIEW – eine *grafische* Entwicklungsumgebung



Erfassen Analysieren Darstellen



Mit NI LabVIEW 7 Express

- Compiler-basierte grafische Entwicklungsumgebung
- Reduzierung der Entwicklungszeit um den Faktor 4 bis 10
- Werkzeuge zur Datenerfassung, -analyse und -darstellung
- „Meilenstein der Elektronikindustrie“ (Elektronik Design 2002)

ni.com

**NATIONAL
INSTRUMENTS**

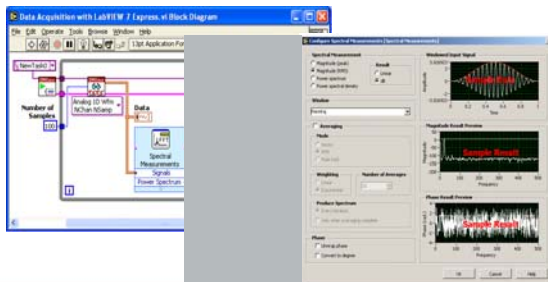
LabVIEW ist eine hochproduktive grafische Entwicklungsumgebung, ausgestattet mit der Leistungsfähigkeit und Flexibilität einer textbasierten Programmiersprache sowie mit High-Level-Funktionen und Konfigurationswerkzeugen – allesamt speziell auf Mess- und Automatisierungsanwendungen zugeschnitten.

Bei universellen Programmiersprachen muss man sich um den Quellcode genauso viele Gedanken machen wie um die Anwendung selbst. Besondere Aufmerksamkeit erfordert hierbei die Syntax (Kommata, Punkte, Strichpunkte, eckige, geschweifte oder runde Klammern etc.). Im Gegensatz dazu werden in LabVIEW Funktionen durch Symbole repräsentiert, die ihrerseits auf eine Weise miteinander „verdrahtet“ werden können, die dem gewünschten Datenfluss entspricht. Die Verfahrensweise ähnelt dem Erstellen von Flussdiagrammen. LabVIEW bietet dieselben umfangreichen Möglichkeiten wie eine universelle Programmiersprache, ist dabei aber sehr einfach zu handhaben und ermöglicht es dem Anwender, dank der Zeitersparnis bei der Applikationsentwicklung seine Produktivität deutlich zu steigern.

Die aktuelle Version LabVIEW 7.1 und ihre umfangreichen Module LabVIEW Real-Time, PDA, DSC, Vision und FPGA erfüllen all diese Anforderungen. Mit der Einführung von LabVIEW 7 Express ist es National Instruments gelungen, die Lücke zwischen Leistungsfähigkeit und Bedienfreundlichkeit noch weiter zu schließen und somit dem Wissenschaftler bzw. Ingenieur eine neue Dimension von Produktivität und Performanz zu ermöglichen.

Programmieren vs. Konfigurieren

Die LabVIEW-7-Generation vereint die Vorteile konfigurationsbasierter Software mit der Leistungsfähigkeit herkömmlicher Programmierumgebungen



ni.com

NATIONAL INSTRUMENTS

Mit der Einführung von LabVIEW 7 ist NI im Bereich der Messtechniksoftware der „Spagat“ zwischen der traditionellen Programmierung und konfigurationsbasierter Software geglückt.

Auf der Konfigurationsebene erfolgt die Definition einer Anwendung mithilfe von Funktionsblöcken. Diese werden parametrisiert, so dass die Datenerfassung entsprechend Ihrer Vorgabe erfolgt. Auf welchem Weg die Software die Einstellungen an die Hardware weitergibt, bleibt dem Anwender verborgen. Auf diese Weise muss er nicht mit den Strukturen der herkömmlichen Programmierung arbeiten, sondern kann sich ganz auf die Umsetzung der Aufgabe konzentrieren. Daneben ist es nicht erforderlich, dass er alle Details der Entwicklungsumgebung kennt. Die Grenzen der Konfiguration sind jedoch dann erreicht, wenn spezielle Einstellungen getroffen werden müssen, die der Konfigurationsblock nicht vorsieht. Somit lässt sich die Aufgabe mit den Mitteln dieser Ebene nicht umsetzen.

Anders gestaltet sich der Fall, wenn Sie die Aufgabe unter dem Gesichtspunkt des Programmierens betrachten. Hier stehen keine Konfigurationsdialoge zur Verfügung. Alle Parameter werden programmatisch gesetzt. Dies versetzt den Programmierer in die Lage, den Quellcode optimal an die Anforderung anzupassen und nur die Funktionen, die auch tatsächlich verwendet werden, einzubinden. Dadurch wird letztendlich das Programm schlanker und das System entlastet. Bei dieser Art der Applikationsentwicklung muss der Programmierer alle Routinen und Strukturen selbst implementieren, wodurch die Komplexität der Anwendung erhöht wird und mehr Zeit bei der Fehlersuche erforderlich ist.

LabVIEW 7 schließt die Lücke zwischen den beiden Herangehensweisen an messtechnische Aufgaben. Mit der Express-Technologie werden den herkömmlichen Bibliotheken einfach zu konfigurierende Funktionsblöcke zur Seite gestellt.

Neuerungen in LabVIEW 7.1 **LabVIEW™ 7.1**

- Optionsschaltflächen als neue Bedienelemente
- Speicherung von Anzeige- oder Bedienelementen als Bilddatei
- Erweiterte Analysefunktionen (Vektor- und Matrizenfunktionen sowie Formeln zur Polynomberechnung)
- Erweiterte Express-VIs (z. B. Modulare Instrumente)
- Xmath-Skript-Knoten
- Unterstützung von Bluetooth- und Hyperthreading-Technologie
- Neue VIs zur Datenspeicherung (im TDM-Format)
- Navigationsfenster für große VIs

ni.com



Oben aufgeführte Punkte zeigen die neuen Elemente und Funktionen, die Ihnen bei LabVIEW 7.1 zur Verfügung stehen.

Ausführliche Informationen finden Sie unter:

ni.com/labview

USB-Datenerfassungsprodukte



- NI USB-6008/9 – Datenerfassung mit Basisfunktionalität

- 12/14-bit-Auflösung mit einer Abtastrate von 10/48 kS/s
- Integrierte Anschlussstechnik
- 8 AIs und 2 12-bit-AOs
- 12 DIOs



- NI USB-9211/5 – USB-basierte Datenerfassung, integrierte Signalkonditionierung

- 16-bit-Auflösung mit 100 kS/s, 4 AI simultan
- 24-bit-Auflösung für Thermoelemente



- NI DAQPad-6015/6 – Leistungsstarke Multifunktionsdatenerfassung

- 16 AIs mit 16 bit und 200 kS/s
- 2 AOs mit 16 bit und 10 kS/s
- 32 DIOs
- 2 Counter/Timer



ni.com

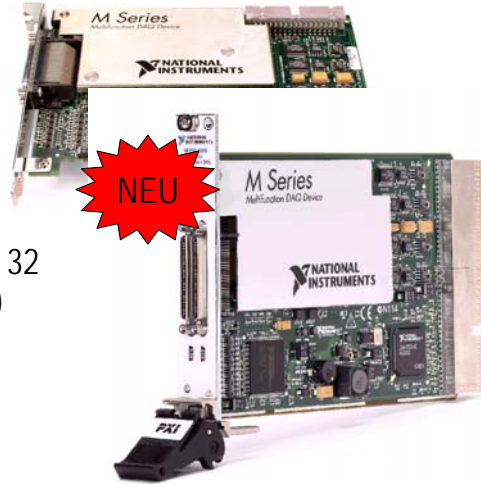


Der USB ist in den letzten Jahren Standard in allen PC-Systemen geworden und erlangte damit eine sehr weite Verbreitung. Um die Fähigkeit des „Hot-Plugging“ und die Mobilität des USB auch für die Datenerfassung effektiv nutzbar zu machen, bietet National Instruments neue Produkte für die USB-Schnittstelle an.

Damit steht dem Anwender eine kostengünstige Alternative zu anderen in der Datenerfassung eingesetzten Anschlusstechnologien zur Verfügung. Alle neuen USB-Produkte unterstützen den USB-Standard 2.0.

Neue Datenerfassungshardware: Die M-Serie

- 6 DMA-Kanäle (bisher 1...3)
- A/D-Wandler mit bis zu 18 bit (bisher 12 ... 16 bit)
- Bis zu 32 AI (bisher 16)
- Bis zu 4 AO (bisher 2)
- Bis zu 48 Digitalein-/ausgänge, davon bis 32 hardwaregetaktet (bisher 8 statische DIO)
- Bis zu 5fach genauer durch Polynomkalibrierung
- Effizienterer Herstellungsprozess:
30 % kostengünstiger pro I/O-Kanal
ab 375,- Euro !



ni.com

**NATIONAL
INSTRUMENTS**

Mit der M-Serie stellt National Instruments nun eine Reihe von Grund auf neu entwickelter Multifunktions-Datenerfassungsmodule vor, die sich nicht nur durch ein höheres Maß an Leistungsfähigkeit auszeichnen, sondern dank ihrer gänzlich neu entwickelten Komponenten sowie einer ebenfalls brandneuen Architektur weitere Einsatzbereiche erschließen und den Konfigurationsprozess vereinfachen.

Durch die Verwendung von sechs DMA-Kanälen (Direkt Memory Access) wird die simultane Ausführung diverser Funktionen auf der Datenerfassungskarte und Übertragung der Daten in den Arbeitsspeicher ohne erhöhte Prozessorauslastung gewährleistet. Damit wird die Datensicherheit und Stabilität von anspruchsvollen Messanwendungen maßgeblich gesteigert.

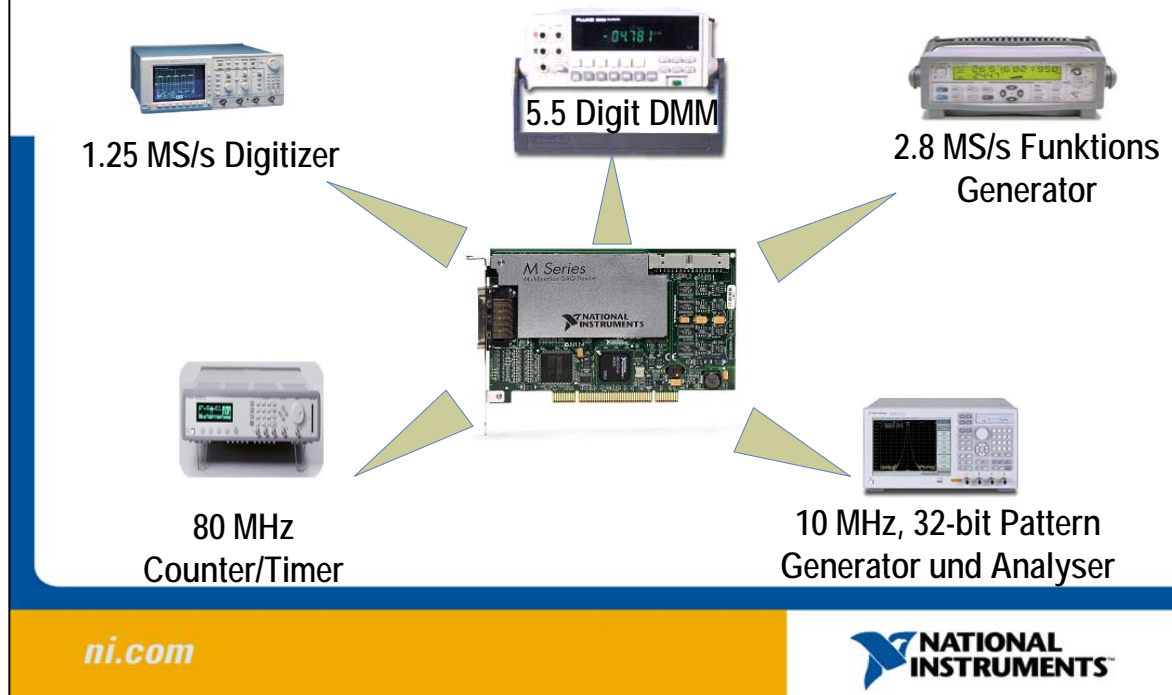
Mit der neuartigen Kalibrierungstechnologie NI MCal werden Nichtlinearitäten und Drift infolge von Temperaturschwankungen sowie sonstiger Störeinflüsse, die nur einzelne Kanäle betreffen, beseitigt. So steigt die Messgenauigkeit um das bis zu 100fache.

Der Einsatz einer neuen Generation von A/D-Wandlern verleiht den Modulen eine Auflösung von bis zu 18 bit (dies entspricht einer Genauigkeit von 5½ Stellen), wodurch ihre Empfindlichkeit auf das 64fache gegenüber gängigen 12-bit-Geräten bzw. auf das 4fache gegenüber 16-bit-Geräten steigt.

Die neuen multifunktionalen Datenerfassungskarten bieten zudem die Möglichkeit, auf bis zu 48 Digitalkanäle zuzugreifen. 32 dieser Kanäle lassen sich mittels eines moduleigenen Takts synchronisieren. Dies ermöglicht Pulsfolgen mit bis zu 10 MHz. Für die Messung von Pulsweiten und Frequenzen, die direkte Anbindung von Quadraturencodern sowie die Erzeugung von Rechtecksignalen stehen zwei 32-bit-Counter/Timer-Bausteine zur Verfügung.

Zudem lassen sich auch die vorher behandelten TEDS-Sensoren an die Karten der M-Serie anbinden, so dass ein Messsystem mit geringem Inbetriebnahmeaufwand aufgebaut werden kann.

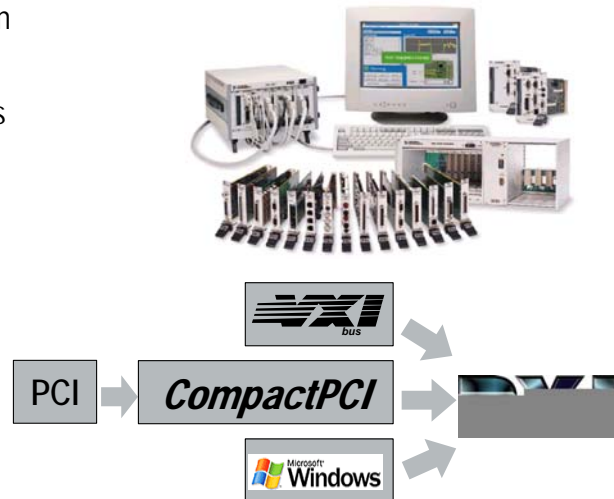
Heutige Möglichkeiten einer Multifunktionskarte



Waren Datenerfassungskarten Ende der 80iger Jahre nur im entferntesten mit „richtigen“ Messgeräten zu vergleichen, sind die Möglichkeiten einer einzigen PCI-Karte der M-Serie durchaus beachtlich. Sie werden ihrem Namen der Multifunktionskarte gerecht und führen vielfach zu enormen Kostenersparnissen, die neben der Hardware an sich nicht zuletzt auch durch die sehr gute Softwareintegration erreicht werden.

PXI – Modulare Instrumentierung für Mess- und Automatisierungsaufgaben

- PCI-Bus für Industrieanwendungen
- Standard-Windows-Software
- Möglichkeiten des Echtzeitbetriebs
- Timing und Triggerung integriert
- Kompakt, robust & PC-basiert für geringe Systemkosten
- Spezifikationen durch *PXI Systems Alliance* geregelt
- Über 60 Hersteller
- www.pxisa.org



ni.com

**NATIONAL
INSTRUMENTS**

PXI ist eine offene Architektur für Mess- und Automatisierungsgeräte, die hohe Leistungsfähigkeit mit geringen Systemkosten kombiniert. Die technischen Daten des Standards setzen auf denen des CompactPCI-Busses auf und erweitern diesen um definierte Systemebenen, die es dem Benutzer erleichtern, komplexe Mess- und Automatisierungsaufgaben zu realisieren.

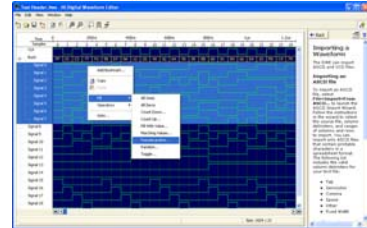
Der CompactPCI-Bus kombiniert den Standard-PCI-Bus, den wir von PC-Anwendungen her kennen, mit den Anforderungen der Industrie. Dabei sind vor allem die hohen Ansprüche hinsichtlich einer robusten und kompakten Ausführung mit in die Überarbeitung eingeflossen.

Dadurch, dass das PXI-Konzept auf erweiterten Standard-PC-Komponenten basiert, sind PXI-Systeme kostengünstiger als entsprechende Stand-alone-Systeme oder vergleichbare andere Systeme.

Der PXI-Standard und seine Entwicklungen werden von der PXI Systems Alliance geregelt und überwacht, sodass mittlerweile mehr als 50 Hersteller insgesamt über 800 zueinander vollständig kompatible Produkte anbieten.

Modulare PXI-Instrumente

- Digitizer: 200 MS/sec bei 12 Bit (bis 512 MB/Ch)
100 MS/sec bei 14 Bit (bis 256 MB/ Ch)
- Arbs: 16 Bit bei 200 MS/sec (512 MB/Ch)
- RF Vector Signal Generator (250 kHz to 2.7 GHz)
Vector Signal Analyser (9 kHz to 2.7 GHz)
- Digital Genrators/ Analysers:
bis 100 MS/sec, 32 Kanäle, variable Digitalpegel
- DMM + LCR Meter
(6.5 Digits 100 S/sec, bis 1.8 MS/sec)
- Dynamische Daterfassung:
24 Bit Eingang und Ausgang, IEPE Versorgung
- Viele Instrumente als PCI
- Komfortable Designwerkzeuge verfügbar



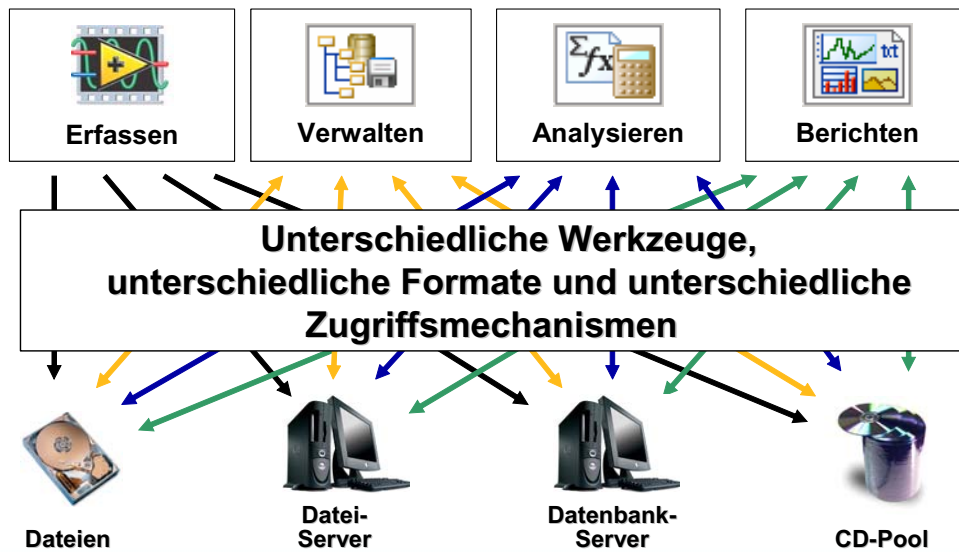
ni.com

**NATIONAL
INSTRUMENTS**

Der praktische Nutzen der Virtuellen Instrumentierung wird deutlich, wenn wir sie mit einem herkömmlichen Instrumentierungssystem vergleichen, das z. B. ein Oszilloskop, eine Signalquelle, ein Digitalmultimeter und ein Schaltsystem umfasst. Obwohl es sich hierbei durchaus um leistungsfähige Geräte handeln kann, so nehmen sie doch über die Maßen wertvollen Laborraum in Anspruch, sind zudem häufig teuer und i. d. R. nicht gerade für die Zusammenarbeit mit anderen Geräten optimiert, was für Sie einen höheren Arbeitsaufwand bedeutet.

Bei der Verwendung von modularen Instrumenten auf der Basis von PXI kann der Anwender selbst entscheiden, welche Geräte er zu einer Lösung kombinieren möchte. Die verfügbaren Standardinstrumente wie Digitizer, Gerneratoren oder DMMs erreichen oder überragen dabei häufig klassische Instrumente in ihren Möglichkeiten. Da PXI-Komponenten mehrfach verwendet werden können, nehmen modular aufgebaute Instrumentierungssysteme auf dem Labortisch oder im Prüfrack weitaus weniger Platz in Anspruch. Zusätzlich sind sowohl Hard- als auch Software eng mit den PC-Komponenten integriert, was den Wert eines Instrumentierungssystems erheblich erhöht. Der Vorteil, den die Virtuelle Instrumentierung hinsichtlich der Rechenleistung des Systems bedeutet, ist erheblich. Die Virtuelle Instrumentierung nutzt auf effiziente und effektive Weise die fortschrittlichste Prozessortechnologie von großen Chip-Herstellern wie Intel oder AMD, indem VIs einfach auf einen neuen Rechner übertragen werden.

Das „Datenproblem“



ni.com

 NATIONAL
INSTRUMENTS™

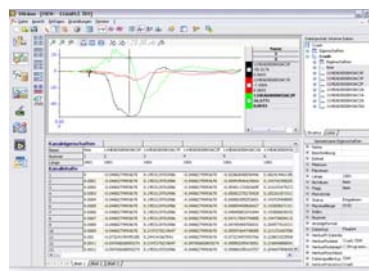
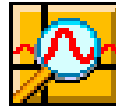
Die mit fortschreitender virtueller Instrumentierung wachsende Anzahl und Vielfalt durchgeführter Messungen resultiert vielerorts in einem exponentiellen Anstieg der zu verwaltenden Datenmenge. Entwicklungsabteilungen mit einem Terabyte Messdaten, verstreut auf den Festplatten verschiedener Arbeitsplatzrechner, sind keine Ausnahme.

Aber selbst unter optimalen Bedingungen mit gut organisierten Verzeichnisstrukturen und standardisierten Dateinamen oder der Datenarchivierung in Datenbanken hilft Ihnen das nicht weiter, wenn die Daten in einem Format archiviert wurden, welches von der zum Einsatz kommenden Analyse- und Berichterstellungssoftware nicht direkt unterstützt wird. Darüber hinaus wird aus Kostengründen teilweise bereits existierende Bürosoftware oder Software für wissenschaftliche Zwecke verwendet, deren Konzept, Bedienung und Leistungsumfang nicht für die Verarbeitung von Messdaten durch Ingenieure ausgelegt wurden. Die sich aufsummierenden Kosten, die durch den Zeitaufwand zur Datenkonvertierung und zur Anpassung der Software an die Bedürfnisse und Aufgabenstellungen von Messtechniker und Ingenieur entstehen, werden dabei vielfach unterschätzt.

Mit DIAdem von der Datei zur Information

- LabVIEW (LVM, XML, Binär, Citadel)
- ASCII, CVS, Excel
- Datenbanken SQL, MDB, ADO
- ASAM-ODS 5
- HIOKI HICORDER (88xx)
- MDF (Measure Data Format)
 - Etas INCA, Vector CANape
- Nicolet (NRF, WFT, TEAM)
- KYOWA KS1, KS2
- YOKOGAWA DL/AR (WVF)
- ADAMS
- (P)SPICE
- MINITAB (Portable Worksheet)
- SYSTAT
- JCAMP-DX
- FAMOS
- Lotus 123
- TEAC
- Wave,
- TDF DIF, EGV, ERG, LAX, MME, TDF, RPC3
- ...
- www.ni.com/dataplugins

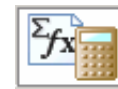
Gespeicherte Daten



Verwaltung von bis zu 100
Billionen Datenwerten !



Verwalten



Analysieren



Berichten

ni.com

**NATIONAL
INSTRUMENTS**

Bei NI DIAdem handelt es sich um ein konfigurationsgestütztes Werkzeug zur interaktiven visuellen und mathematischen Datenanalyse sowie zur Berichterstellung und Datenverwaltung. Aufgrund der Optimierung für den Wissenschafts- und Ingenieursbereich bietet DIAdem typischerweise von Ingenieuren benötigte Funktionen und Grafen zur Analyse von Daten und Berichterstellung. DIAdem kann mit Daten praktischer beliebiger Quellen und Formate gefüttert werden und bietet Ihnen im Bereich Berichterstellung außergewöhnliche Flexibilität bei der Datenpräsentation, hohe Wiederverwendbarkeit Ihrer Berichtsvorlagen sowie kurze Entwicklungszeiten. Die Möglichkeit, Aufgaben zu automatisieren und die Benutzerschnittstelle anwenderspezifisch anzupassen, machen DIAdem zum bevorzugten Produkt für die interaktive Offline-Datenanalyse und Berichterstellung.

DIAdem gibt dem Anwender zahlreiche interaktive Werkzeuge an die Hand, die in ihrer Gesamtheit die ideale Umgebung zur visuellen Offline-Analyse seiner Prozessdaten darstellen. Die Ergebnisse dieser Analysen in Form eines Berichts beispielsweise an Kollegen weiterzugeben. Dabei geht die Erzeugung von Berichten dank der konsistenten Berichtsvorlagen sowie der vielen Anwendern bereits vertrauten Berichterstellungsmethoden erfreulich unkompliziert vonstatten.

Hervorzuheben ist insbesondere auch die Möglichkeit des Einlesens der verschiedensten Datenformate auf Basis einer universellen Dataplugin-Architektur (vgl. www.ni.com/dataplugins).

Die Familie



Real-Time Module



Datalogging &
Supervisory
Control Module



Vision
Development
Module



PDA Module



FPGA Module

LabVIEW 7.1

Grafische Entwicklungsumgebung für Tests, Messungen und Steuerung

LabVIEW Toolsets: Sound & Vibration, State Diagram, Spectral Measurements, Report Generation, Database Connectivity, Simulation Integration, Order Analysis, ...

LabVIEW 7 Express ist lokalisiert erhältlich:

Französisch Deutsch Japanisch Koreanisch



Windows



ni.com



Manche Anforderungen bedingen Funktionalitäten, welche über den Standardrahmen von LabVIEW oder eines Treibers hinausgehen. In diesen Fällen stehen für LabVIEW Erweiterungsmodule zur Verfügung, die genau diese Aufgaben übernehmen. Dabei wird die grundlegende Architektur von LabVIEW an die jeweiligen Anforderungen angepasst.

Mit dem Real-Time Module können Echtzeitanwendungen entwickelt und debugged werden, die deterministisch und autonom ablaufen. Mit dem Datalogging & Supervisory Control Module lassen sich Applikation erstellen, bei denen eine sehr hohe Anzahl an I/O-Punkten vonnöten ist. Ein anderes Modul, das Vision Development Module, erweitert LabVIEW in Richtung Bildverarbeitung. Das PDA Module ermöglicht es dem Entwickler, LabVIEW-Programme für Palm OS oder Pocket PC auf einem Windows-Rechner zu erstellen, mittels eines Emulators zu debuggen und anschließend auf einen PDA herunterzuladen. Mit der Veröffentlichung von LabVIEW 7 wurde erstmals auch das FPGA Module vorgestellt. Damit ist es möglich, durch grafisches Programmieren Quellcode für programmierbare Logikbausteine zu schreiben.

LabVIEW selbst besteht aus der graphischen Entwicklungsumgebung in verschiedenen Ausbaustufen (Base Package, Full Development System, Professional Development System). Diese unterscheiden sich im Funktionsumfang voneinander.

Neben dieser Abstufung bieten spezielle Toolsets und Toolkits die Möglichkeit, den Funktionsumfang auf spezielle Bereiche zu erweitern (Sound & Vibration Toolset, State Diagram Toolkit, Spectral Measurements Toolkit, Report Generation Toolkit, Database Connectivity Toolkit, Simulation Integration Toolkit, Order Analysis Toolset, Express-VI-Generation Toolset).

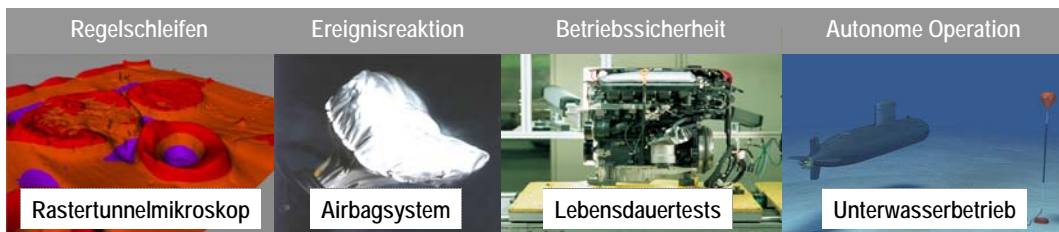
LabVIEW wurde mittlerweile in vier Sprachen lokalisiert. Dabei sind die VIs und Programme zwischen den unterschiedlichen Versionen vollständig kompatibel.

Neben der Entwicklungsumgebung für Windows stehen auch Entwicklungsumgebungen und Runtime Engines für Linux-, Macintosh- und einige Unix-Systeme zur Verfügung. Auch hier sind die entwickelten VIs zwischen den unterschiedlichen Plattformen austauschbar.

LabVIEW Real-Time – Echtzeitsysteme

Deterministische Ausführung

- Quellcodeabarbeitung in einem festen Zeitrahmen
- Maximale Betriebssicherheit
- Autonome Arbeitsabläufe



ni.com

NATIONAL
INSTRUMENTS™

Die Entwicklung von Echtzeit-Betriebssystemen hat ihren Ursprung in den speziellen Anforderungen bei Anwendungen wie etwa Regelschleifen oder der Reaktion auf bestimmte Ereignisse.

Beides setzt ein System voraus, das die gesamte Abarbeitung in einem festen Zeitrahmen realisiert. Diese Garantie wird als Determinismus bezeichnet.

Die Reaktion auf ein Ereignis erfordert die Antwort des Systems auf einen Stimulus in einer bestimmten Zeit. Ein Beispiel hierfür ist das Auslösen eines Airbags. Dieser muss zu einem exakten Zeitpunkt nach dem Aufprall aufgeblasen werden, um den größtmöglichen Schutz für die Fahrzeuginsassen zu bieten. Wenn er zu schnell oder zu langsam auslöst, verliert er an Effektivität oder kann sogar negativ wirken.

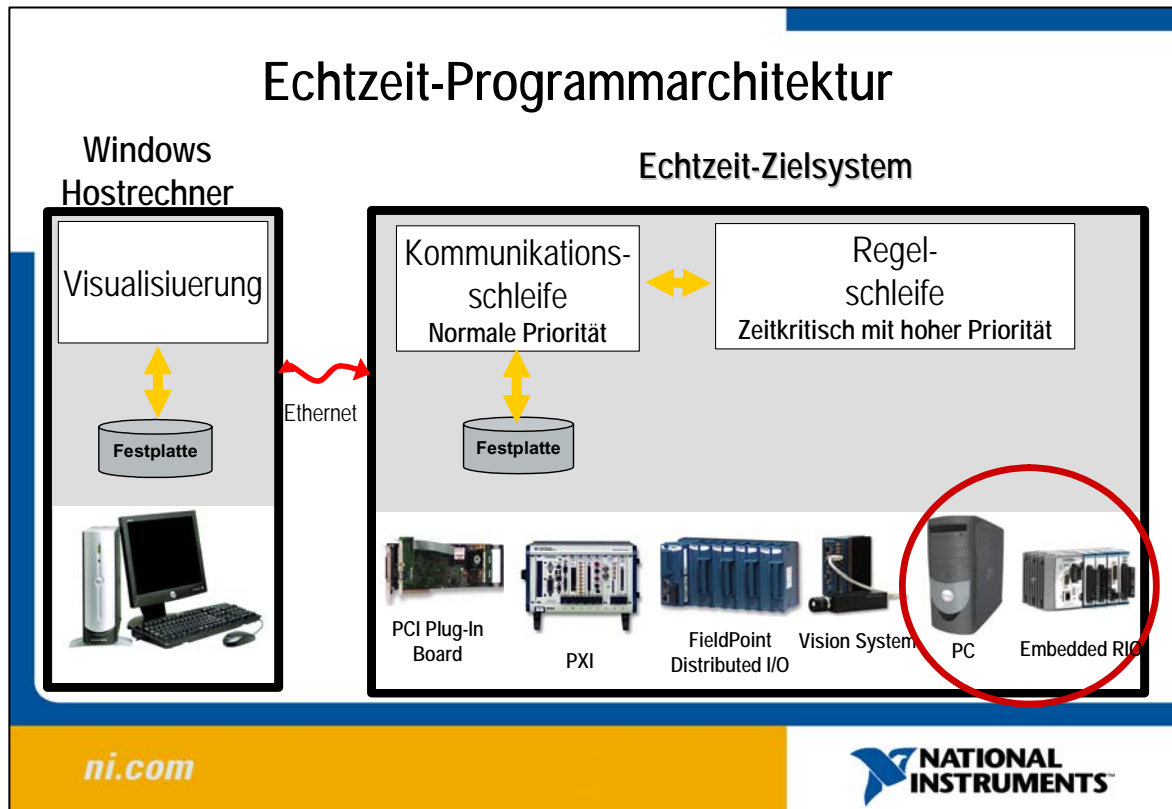
Die andere Art deterministischer Systeme, die Regelschleife, bedingt periodische Entscheidungen, die in präzisen Zeitintervallen immer wieder getroffen werden müssen. Regelschleifen verarbeiten kontinuierlich ein zurückgekoppeltes Signal, um einen Ausgang korrekt einzustellen. Ein Rastertunnelmikroskop untersucht Oberflächen mit einem Näherungssensor auf irreguläre Objekte. Beim Bewegen über die Oberfläche muss der Sensor einen Abstand von wenigen Nanometern einhalten, um genaueste Messwerte zu liefern. Da die Oberfläche nicht völlig glatt ist, ist seine vertikale Position ständig anzupassen. Dies ist vergleichbar mit einem Jumbojet, der einen Millimeter über der Erdoberfläche fliegt. Wie Sie sich vorstellen können, muss diese Regelung äußerst präzise arbeiten.

In den letzten Jahren kommen Echtzeitsysteme auch verbreitet bei Anwendungen zum Einsatz, die eine hohe Betriebssicherheit voraussetzen (zum Beispiel Dauertests) oder autonom arbeiten müssen.

Systeme, die absolute Betriebssicherheit gewährleisten, werden oft in Bereichen eingesetzt, in denen teure Tests anfallen, wie z. B. die zerstörende Prüfung von Prototypen, sehr lange andauernde Tests oder Prüfungen mithilfe kostspieliger Ressourcen wie etwa eines Windkanals. Ein Prüfstand für einen Motordauertest etwa läuft über zwei bis drei Monate. Sollte das Testsystem abstürzen, können wichtige Daten verloren gehen und der Test muss neu gestartet werden.

Beispiel für eine autonom betriebene Applikation ist das Messen von Rauschstrahlung unter Wasser. So haben australische Ingenieure eine LabVIEW-Real-Time-Umgebung auf einem PXI-System in einem unbemannten U-Boot installiert, um Tests unter Wasser durchzuführen. Deshalb musste das Messsystem sich selbst starten und ohne menschliche Einwirkung die Tests durchführen können.

Einfach zu handhabende Echtzeit-Werkzeuge wie LabVIEW RT haben dazu geführt, dass die Realisierung deterministischer Anwendungen weniger ressourcen- und kostenintensiv ist und diese eine solch weite Verbreitung erfahren konnten. Ein LabVIEW-Nutzer ist mit diesem Modul in der Lage, ohne zusätzliches Expertenwissen eine komplexe Echtzeitanwendung zu erstellen.



Die Entwicklung eines Echtzeitsystems läuft in drei Schritten ab:

- Entwickeln des Softwareprogramms auf einem Hostrechner
- Herunterladen des Programms auf das Zielsystem
- Durchführen der Tests mit dem Echtzeitsystem

Das Bild zeigt die Struktur eines Echtzeitprogramms. Es gliedert sich in drei Abschnitte. Zwei davon befinden sich auf dem Zielsystem. Zum einen läuft dort die Regelschleife. In dieser werden alle zeitkritischen Operationen durchgeführt. Folglich wird dieser Teil mit der höchsten Priorität ausgeführt. Zum anderen beinhaltet das Programm auch noch eine Kommunikationsschleife. Da sie „nur“ für die Kommunikation zuständig ist, läuft sie mit geringerer Priorität. Hier befindet sich die Schnittstelle nach außen, also zum Benutzer. Wenn das System über einen Datenträger wie etwa eine Festplatte verfügt, können die Daten auch direkt dorthin geschrieben werden.

Der dritte Abschnitt ist nicht wirklich Bestandteil des Echtzeitprogramms. Er befindet sich auf einem Hostsystem, also einem Rechner, der via Netzwerk mit dem Echtzeitsystem in Verbindung steht. In diesem Teil des Programms befinden sich Funktionen beispielsweise zur Visualisierung oder Analyse der Daten.

Es gibt zwei grundlegende Systemkonfigurationen für Echtzeit-Zielsysteme. Kombinierte Systeme beinhalten das Entwicklungssystem sowie das Echtzeitsystem als integrierte Komponente. Dies kann sowohl eine PCI-Steckkarte der RT-Serie als auch eine Echtzeiterweiterung für den Standard-PC sein.

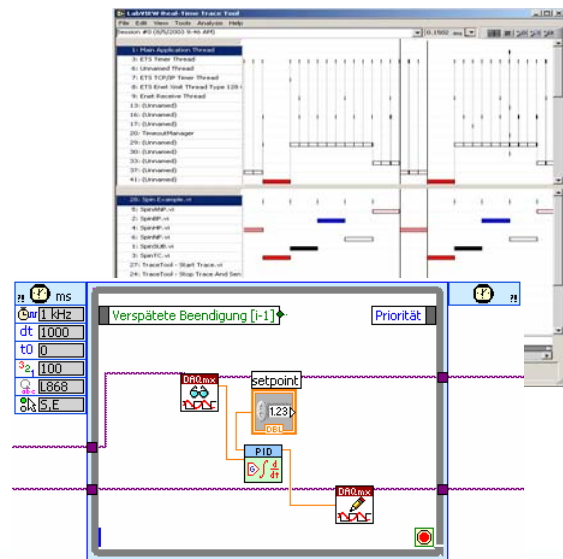
Daneben gibt es die entfernten Zielsysteme (ETS = Embedded Target System). Hier wird die Applikation von einem Entwicklungssystem auf das Zielsystem heruntergeladen. Die Echtzeitanwendung wird dann unter einem Echtzeit-Betriebssystem auf der Zielhardware ausgeführt. RT PXI, RT Compact FieldPoint und Compact Vision Controller sind Beispiele für solche Zielsysteme, aber auch ein Desktop-PC kann unter dem RT-Betriebssystem gebootet werden.

Desktop-PCs können in beiden Konfigurationen eingesetzt werden. Wird ein Desktop-PC als Echtzeitsystem benutzt, so bootet der Rechner das Echtzeit-Betriebssystem; das heißt, er wird als Zielsystem verwendet.

Daneben gibt es nun mit der Einführung von LabVIEW 7.1 auch die Möglichkeit, eine Echtzeiterweiterung für Windows-Systeme (RTX = Real-Time Extension) zu verwenden. In diesem Fall wird dem Windows-System ein Echtzeit-Kernel zu Grunde gelegt, sodass die zeitkritischen Funktionen mit einer höheren Priorität ablaufen.

Neuerungen in LabVIEW Real-Time 7.1

- Execution Trace Toolkit
- Getaktete Schleifen
- LabVIEW Real-Time für Desktop-PCs



ni.com

**NATIONAL
INSTRUMENTS**

Das LabVIEW Real-Time Module liegt im Rahmen des 7.1-Updates der LabVIEW-Familie in seiner bislang bedeutendsten Version vor. Es beinhaltet erweiterte Programmierwerkzeuge wie etwa das Execution Trace Toolkit und getaktete Schleifen sowie eine Echtzeiterweiterung für Desktop-PCs.

Die Treiberstruktur DAQmx wurde auf das Real-Time Modul erweitert, sodass Sie nun auch hier mit der überaus effizienten und zugleich übersichtlichen API von DAQmx arbeiten können.

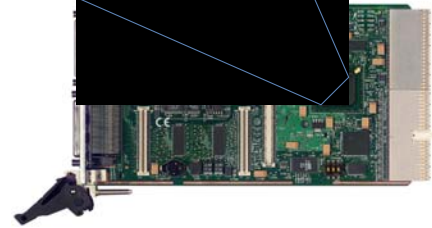
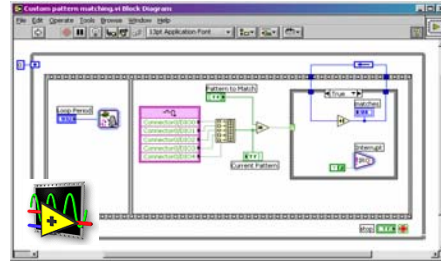
Mithilfe des Execution Trace Toolkits kann das Zeitverhalten einer Anwendung exakt nachvollzogen werden. Somit sind Sie in der Lage, zeitkritische Applikationen gezielt zu debuggen und für Ihre Anforderung zu optimieren.

Getaktete Schleifen bieten die Möglichkeit, eine Softwareschleife durch Hardware wie etwa eine DAQ-Karte getaktet ablaufen zu lassen.

Diese Entwicklungen reduzieren die Komplexität von benutzerdefinierten Test-, Mess- und Regelanwendungen.

Das LabVIEW FPGA Module

- Entwickeln von Programmen für rekonfigurierbare I/O-Hardware von NI mit LabVIEW
- Keine Kenntnisse in VHDL oder FPGA-Entwicklungsumgebungen notwendig
- Single Cycle Loop mit 40 MHz mgl.



ni.com

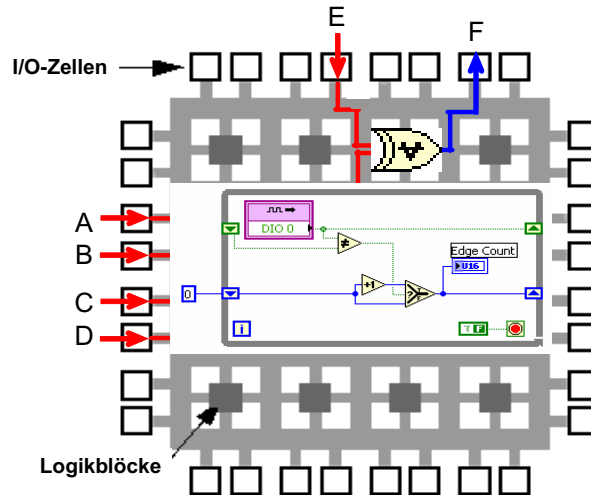
 NATIONAL INSTRUMENTS

Ein weiteres Modul der LabVIEW-Familie ist LabVIEW FPGA. Dieses Modul bietet Ingenieuren und Wissenschaftlern die Möglichkeit, intelligente Funktionen in die Hardware zu integrieren. So können Sie komplexe Takt- und Triggerfunktionen, Onboard-Entscheidungsfindung und die Ein- und Ausgabe benutzerdefinierter Signale direkt in die Hardware einbetten. LabVIEW FPGA macht die LabVIEW zu Eigene Parallelität nutzbar und gestattet so die Handhabung echt synchronisierter I/O-Operationen.

Der Vorteil des LabVIEW FPGA Module besteht darin, dass keinerlei Vorkenntnisse in VHDL oder herkömmlichen Entwicklungsumgebungen für FPGAs erforderlich sind. Sie können den Programmcode wie gewohnt in der grafischen Umgebung von LabVIEW erstellen.

LabVIEW abgebildet in ein FPGA

Implementierte Logik im FPGA: $F = \{(A+B)CD\} \oplus E$



ni.com

NATIONAL
INSTRUMENTS

FPGA steht für Field Programmable Gate Array. Bei FPGAs handelt es sich um Hardwarechips auf denen sich unverbundene Logikgatter befinden. Ohne vorherige Programmierung besitzt ein FPGA also noch keine Funktion. Die Programmierung erfolgt über Software.

Verwendung finden FPGAs in Produkten, die beispielsweise nur in geringer Stückzahl gefertigt werden, weshalb sich die Entwicklung eines spezifischen Schaltkreises, kurz ASIC (Application-Specific Integrated Circuit), nicht lohnt. Auch in Fällen, in denen sich die Anforderungen an ein System des öfteren ändern, kann ein FPGA eingesetzt werden, da es sich immer wieder mit neuer Funktionalität beschreiben lässt.

Mit dem FPGA Module sowie der entsprechenden rekonfigurierbaren I/O-Hardware wird die Leistungsfähigkeit und Flexibilität von FPGAs auch für zahlreiche Messtechniker und -ingenieure nutzbar. Durch den Einsatz von LabVIEW zur Programmierung der Hardware kann deren Funktionalität vom Benutzer definiert werden, der hierzu nicht einmal mehr die fundierten Kenntnisse eines Hardwaredesigners benötigt.

FPGAs bieten den Vorteil benutzerdefinierter Takt- und Synchronisationsmechanismen in Kombination mit Determinismus auf Hardwareebene. Die Hardware verarbeitet Ein- und Ausgabeoperationen so schnell, dass benutzerdefinierte Zähler und PWM-Aufgaben erstellt werden können. Das FPGA kann auch als Schnittstelle zu Encodern oder Geräten mit nicht standardmäßigen digitalen Protokollen eingesetzt werden. Solche Aufgaben werden wegen der Latenzzeiten von Windows grundsätzlich in Hardware realisiert. Im Gegensatz zu softwarebasierten Systemen auf der Basis eines herstellerdefinierten Prozessors und eines Betriebssystems haben Sie mit dem FPGA die Möglichkeit, mehrere benutzerdefinierte Prozessoren auf einem Chip zu implementieren.

Dies erlaubt die parallele Ausführung von Strukturen, die auf die gesamte Kapazität des FPGA skalierbar sind. Dabei stellt die Anzahl der verfügbaren Gatter die Grenze dar. Diese Art von benutzerdefinierten Prozessoren können zusätzlich Regelungen und Algorithmen zur Entscheidungsfindung ausführen.

Vorkonfigurierte FPGAs werden meist in Mess- und Regelungsprodukten eingesetzt. Das Erstellen von vollständig auf eigenen FPGAs basierten Anwendungen erforderte in der Vergangenheit ein erhebliches Maß an Expertenwissen. Mit LabVIEW FPGA hingegen ermöglicht National Instruments dem LabVIEW-Nutzer den komfortablen Zugang zu dieser leistungsstarken Technologie unter Verwendung der ihm vertrauten Werkzeuge in einem völlig neuen Anwendungsfeld.

NI LabVIEW FPGA – LabVIEW RT

Deterministische, autonome Funktionalität

LabVIEW FPGA

- Gleiche Anzahl an Analog-ein- und -ausgangskanälen
- Synchronisierte I/Os
- Benutzerdefinierte digitale Signale
- Benutzerdefinierte Triggerung

LabVIEW Real-Time

- Fließkommaoperationen
- „Unbegrenzte“ Anwendungsgröße
- Netzwerkkommunikation
- Datei-I/O

ni.com



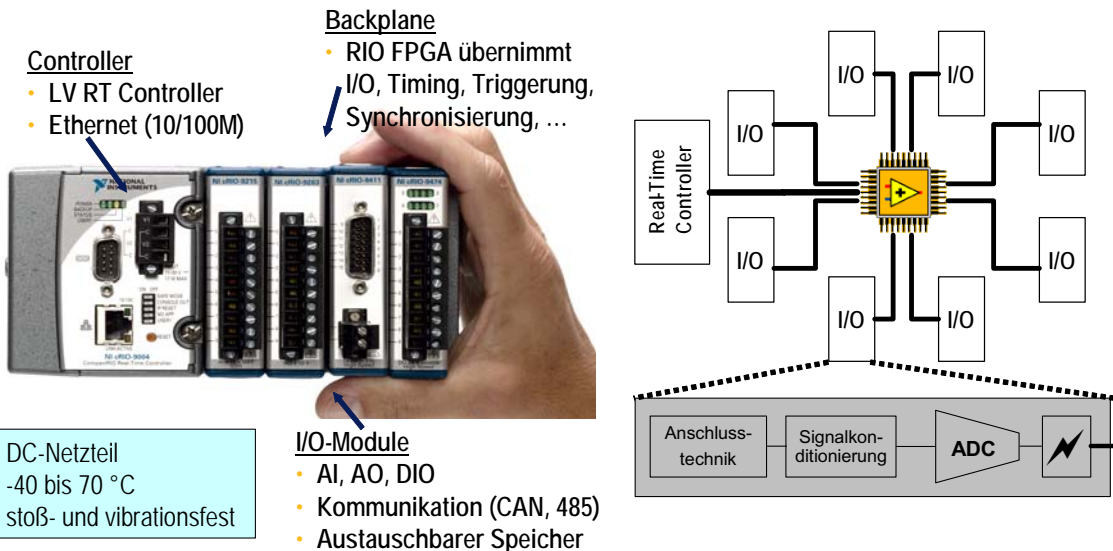
Die beiden LabVIEW Module FPGA und Real-Time weisen prinzipiell in die gleiche Richtung. In beiden Fällen wird ein Hardwaresystem programmiert, das anschließend autonom operiert. Die beiden Module unterscheiden sich im Wesentlichen in den oben angeführten Punkten. Das heißt, je nach Anforderung an eine Applikation muss entschieden werden, wie die zu erstellende Lösung optimal realisiert werden kann.

Das FPGA Module bietet eine ausgeglichene Anzahl an analogen Ein- und Ausgangskanälen. Bei Konkurrenzprodukten überwiegt häufig die Anzahl der Ein- oder Ausgänge. Die gleiche Anzahl jedoch ermöglicht z. B. das Setzen eines Ausgangs in Abhängigkeit eines Eingangs. Folglich können mehrere Regelschleifen parallel realisiert werden. Die Ein- und Ausgänge können zudem synchronisiert werden. Bei Schallmessungen kann so beispielsweise genau der Laufzeitunterschied eines Signals ermittelt werden. Da der Benutzer die digitalen Signale und die Triggerung selbst definieren kann, ist er in der Lage, zum Beispiel eigene Kommunikationsprotokolle zu erstellen. Komplexe Abfolgen von digitalen Signalen, die einander bedingen, lassen sich direkt umsetzen.

Das Real-Time Module setzt andere Schwerpunkte: Im Gegensatz zum FPGA Module können Sie hiermit wie auf einem normalen Standard-PC Fließkommaoperationen durchführen. Die Applikation wird in ihrer Größe nicht durch die Anzahl der Gatter bestimmt, sondern durch den Speicherplatz des Systems. Dieser ist im Vergleich zu einem FPGA quasi „unbegrenzt“ verfügbar. Die Netzwerkkommunikation ermöglicht eine Interaktion mit anderen Rechnersystemen, sodass Daten ausgetauscht werden können oder der Benutzer steuernd auf die Applikation zugreifen kann. Außerdem gestattet das Real-Time Module auch die Durchführung von Dateioperationen, beispielsweise zum Protokollieren von Daten.

Die Verwendung der beiden Module Real-Time und FPGA schließt sich jedoch nicht aus. Sollten Sie eine Echtzeitapplikation haben, bei welcher der Prozessor sehr stark ausgelastet ist und zugleich noch eine wichtige Regelschleife bedienen soll, so können Sie ein FPGA in die Echtzeitumgebung einbetten, das die Regelung übernimmt.

NI CompactRIO™ Reconfigurable Embedded System



ni.com

NATIONAL INSTRUMENTS™

Die neue CompactRIO Plattform eignet sich als Zielplattform für Embedded System, auf denen die Technologien von Echtzeitbetriebssystem und FPGAs implementiert werden sollen. Dabei wird ein RT-Controller mit einem FPGA in einer Backplane kombiniert.

Aufgrund seiner Größe und der robusten Bauweise kann es mobil sowie in rauen Umgebungen eingesetzt werden.

Das CompactRIO-System bietet durch die Nutzung elementarer FPGA-I/O-Funktionen direkten Zugriff auf die Ein- und Ausgänge jedes I/O-Moduls.

Jedes I/O-Modul beinhaltet Signalkonditionierung sowie Schraubklemmen, BNC- oder DSUB-Steckverbindungen. Die einzelnen Module sind für eine Vielzahl unterschiedlicher Eingangssignale ausgelegt, wie etwa für Thermoelementsignale (± 80 mV), parallel erfasste Analogeingänge (± 10 V), Digital-I/O-Signale (bis 24 V bzw. 1 A), differentielle TTL-Digitaleingänge mit geregelter 5-V-Spannung für Encoder sowie Digitaleingangssignale (250 V RMS).

Da die Signalkonditionierung für große Spannungsbereiche und diverse industrielle Anwendungen bereits integriert ist, können Sensoren und Aktoren direkt an CompactRIO angeschlossen werden. Bei den meisten Modulen erfolgt zudem eine Isolierung der Eingänge.

Das LabVIEW PDA Module

- Grafische Erstellung individueller Applikationen für PDAs (Pocket PC und Palm OS)
- Ausführbare Applikationen bzgl. Größe und Performance für PDAs optimiert
- Integrierte Emulations- und Fehlerbehebungswerkzeuge zur Applikationsverifizierung
- Kommunikation mit externen Geräten über IrDA-, serielle RS-232-, Wireless-Ethernet-(IEEE-802.11b)- oder Bluetooth-Schnittstellen
- Windows-CE-Unterstützung
 - Visualisierung für Compact-FieldPoint- und PXI-RT-Systeme mit Touch Panels
 - LabVIEW PDA Module 7.0f1
 - Windows CE 4.2, StrongARM- und XScale-Prozessor



ni.com

 NATIONAL INSTRUMENTS

Eine weitere Möglichkeit, die Mobilität in der Messtechnik zu erweitern, stellt das LabVIEW PDA Module dar (nur für Windows-Systeme verfügbar). PDAs (Personal Digital Assistants) finden inzwischen breite Verwendung, denn sie kommen dem steigenden Bedarf an kompakten Systemen entgegen und gewährleisten ein hohes Maß an Mobilität und Modularität. Die Erweiterung Ihres LabVIEW-Entwicklungssystems um das LabVIEW PDA Module ermöglicht es Ihnen, VIs auf PDAs auszuführen, wobei die beiden Betriebssysteme Pocket PC von Microsoft und Palm OS unterstützt werden. Mithilfe des LabVIEW PDA Module kann der Ingenieur bzw. Wissenschaftler unterschiedlichste Lösungen wie etwa Prüfsysteme für den Einsatz vor Ort, Applikationen zur Fernsteuerung und -überwachung sowie mobile Datenerfassungssysteme erstellen.

Durch die Integration von Bluetooth und der anderen oben angeführten Kommunikationsprotokolle, welche Sie direkt in Ihre Applikation einbinden können, sind Sie in der Lage, problemlos Daten vom PDA auf andere Rechner zu übertragen.

Mit dem PDA Module können LabVIEW-Applikationen zum Visualisieren von Daten auch auf Windows-CE-basierten Bedienterminals eingesetzt werden. Voraussetzung dafür ist der Einsatz eines StrongARM- oder XScale-Prozessors sowie von Windows CE 4.2. Die Debuggingmöglichkeiten des LabVIEW PDA Module können Sie auch auf dem Windows-CE-System nutzen.

Beim Entwickeln von Applikationen steht Ihnen ein PDA-Emulator zur Verfügung, mit dessen Hilfe Sie die Funktionen Ihrer Anwendung schon direkt auf dem Entwicklungssystem testen können.

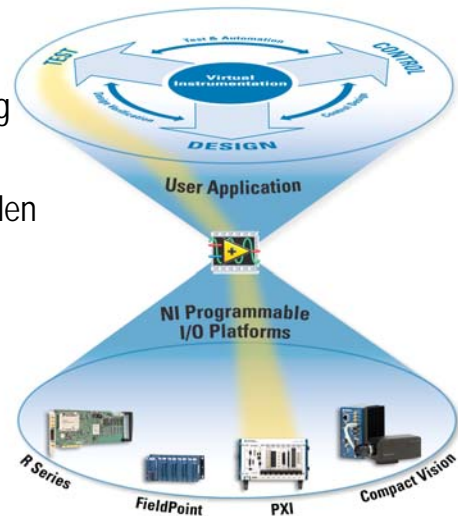
Wird ein PDA mit einer Datenerfassungskarte ausgestattet, so können Sie direkt auf dem PDA Daten erfassen und verarbeiten. So besteht die Möglichkeit, über einen PC-Card-Adapter eine PCMCIA-basierte Datenerfassungskarte in die Anwendung einzubinden, um mit einer Abtastrate von bis zu 200 kS/s Daten zu erfassen.

Darüber hinaus ist auch die Verwendung des DMM-Moduls NI PCMCIA-4050 möglich, um Spannungen von bis zu 250 VDC bzw. 250 V_{rms} mit einer Genauigkeit von 5½ Stellen zu messen. Dank der Fähigkeiten von LabVIEW ist über die bloße Erfassung von Daten auch deren Weiterverarbeitung, Visualisierung, Speicherung und Veröffentlichung über die gängigen Kommunikationsschnittstellen möglich.

PDAs können in einem breiten Spektrum von Anwendungsgebieten eingesetzt werden. Die oben angeführte Übersicht deckt nur einen Bruchteil der möglichen Applikationen ab. Überall dort, wo es im Bereich der Messtechnik auf ein hohes Maß an Mobilität in Kombination mit an die jeweiligen Aufgaben angepassten Funktionen ankommt, können Sie mithilfe des LabVIEW PDA Module individuelle, kompakte Anwendungen erstellen.

LabVIEW – Laboratory Virtual Instrument Engineering Workbench

- Produktbegleitendes Prüf- und Testwerkzeug
- Module erweitern die Funktionalität
- Einfache Integration von Standardschnittstellen
- Offene und skalierbare Standardplattform
- Stetige Produktentwicklung
- Intuitiver Programmieransatz
- Vielfältige interaktive Assistenten



ni.com

**NATIONAL
INSTRUMENTS™**

Mit all seinen Möglichkeiten hat sich LabVIEW über die Jahre hinweg zu einem universellen Engineering-Werkzeug entwickelt. Dabei beginnt der Einsatz heute bereits im Design- und Simulationsprozess entweder nativ in LabVIEW selbst oder über Erweiterungen für verbreitete Designsoftware anderer Hersteller.

Das Konzept "LabVIEW Everywhere" wurde bereits 1998 präsentiert. Es beruht auf der Idee, dass LabVIEW als Entwicklungs- und Engineering-Plattform überall eingesetzt werden kann – sei es auf einer Workstation oder einem PC, auf industriellen PCs, einem embedded Controller, auf verteilten I/O-Geräten wie FieldPoint oder auf vernetzten oder schnurlosen Geräten. Verfügbar sind ferner Module für LabVIEW, die die Portierung von LabVIEW-Anwendungen auf einen Pocket-PC oder Palm oder auf integrierte Prozessoren und FPGAs ermöglichen.



esz

Flicker und Oberwellen EN 61000-3-2 und EN 61000-3-3

Philip M. Fleischmann
28. September 2004

Agenda

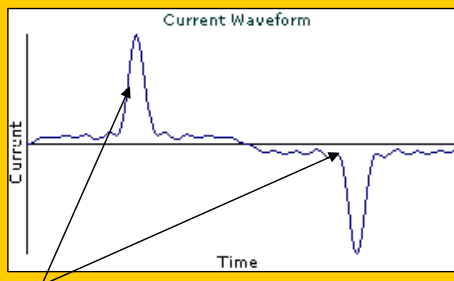


- **Firmenprofil esz**
- **Oberwellen (Harmonics)**
 - Definition und Entstehung
 - Warum Grenzwerte?
 - EN 61000-3-2
 - Messung und Kalibrierung
- **Flicker**
 - Definition und Entstehung
 - EN 61000-3-3
 - Messung (Flickermeter)
 - Kalibrierung

- Kalibrierung der meisten physikalischen Größen an einem Standort (DKD-K-18201):
 - DC, NF, HF, LCR, Radio/ TV, AC/DC-Leistung
 - LWL, Fiber, Optik
 - Temperatur, Druck, Feuchte, Strömung, Durchfluss
 - Länge, Kraft, Drehmoment, Winkel, Rauheit, etc.
 - **Flicker und Oberwellen**
- fast 30 Jahre Erfahrung
- Service für Messgeräte Reparatur
- EMV Labor und CE Beratung

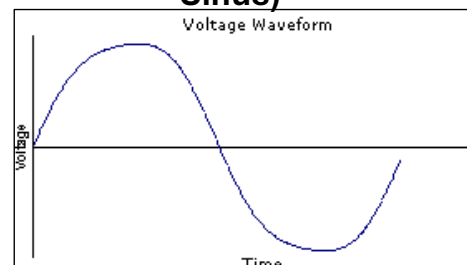
Oberwellen

typischer Stromverlauf im Versorgungspfad (Desktop PC)



Ladestrom der Gleichrichterkapazitäten

Einfluss auf Versorgungsspannung des Schaltnetzteils (Abflachen des Sinus)



- signifikanter (Strom-)Oberwelleneinfluss auf Netzspannung
- elektrische Störung durch Stromaufnahme

Oberwellen



•elektrische Störung der Netzspannung

- Einfluss auf Verbraucher i.d.R. durch Gleichrichter und Filterschaltungen unkritisch



- ABER: Kritischer Einfluss auf Netzversorgungssystem der Stromversorger: z.B. geringe Powerfaktoren



→ Neudimensionierung von Leitungen für erhöhte Blindströme

Oberwellen

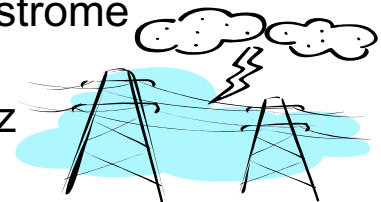


•Warum Grenzwerte?

- Spannungsspitzen → Isolationsschäden

•Störung von Anwendungen:

- Überhitzung durch Oberwellenströme (z.B. Motoren)
- Eigenschwingen und Resonanz elektrischer Geräte
- Überspannungen durch Stromspitzen
- Timing-Fehler durch zusätzliche Nulldurchgänge der Netzspannung



→ Ähnliche Motivation aller EMV-Normen:
Störsicherheit

Grenzwerte EN 61000-3-2



- „Grenzwerte für Oberschwingungsströme“
(bei Eingangsströmen $I_{in} \leq 16A$ je Leiter)
- Grenzwerte für vier Geräteklassen

Klasse	Gerätetyp	Bemerkung
A	<ul style="list-style-type: none"> •symmetrische 3-phasige Geräte •Haushaltsgeräte (außer Klasse D-Geräte) •Elektrowerkzeuge (ausg. tragbar) •Beleuchtungsregler (Dimmer) für Glühlampen •Audio-Einrichtungen 	
B	<ul style="list-style-type: none"> •tragbare Elektrowerkzeuge •Lichtbogenschweißeinrichtungen 	
C	<ul style="list-style-type: none"> •Beleuchtungseinrichtungen 	
D	<ul style="list-style-type: none"> •Personalcomputer und Bildschirme •Fernseh-Rundfunkempfänger 	Leistung \leq 600 W

Grenzwerte EN 61000-3-2



z.B. Grenzwerte für Klasse A

Tabelle 1 – Grenzwerte für Geräte der Klasse A

Oberschwingungsordnung n	Zulässiger Höchstwert des Oberschwingungsstromes A
Ungeradzahlige Oberschwingungen	
3	2,30
5	1,14
7	0,77
9	0,40
11	0,33
13	0,21
$15 \leq n \leq 39$	$0,15 \cdot 15/n$
Geradzahlige Oberschwingungen	
2	1,08
4	0,43
6	0,30
$8 \leq n \leq 40$	$0,23 \cdot 8/n$

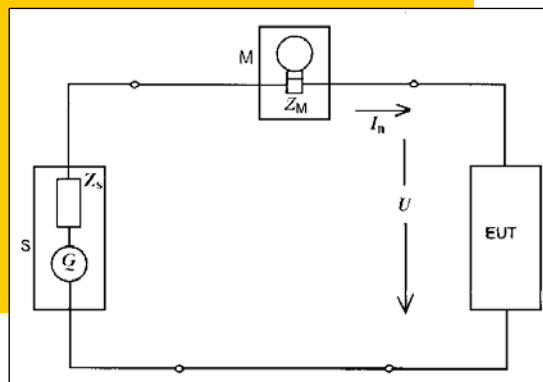
Tabelle 3 – Grenzwerte für Geräte der Klasse D

Oberschwingungsordnung n	Zulässiger Höchstwert des Oberschwingungsstromes je Watt mA/W	Zulässiger Höchstwert des Oberschwingungsstromes A
3	3,4	2,30
5	1,9	1,14
7	1,0	0,77
9	0,5	0,40
11	0,35	0,33
$13 \leq n \leq 39$ (nur ungeradzahlige Oberschwingungen)	$3,85/n$	siehe Tabelle 1

und Klasse D

Messung

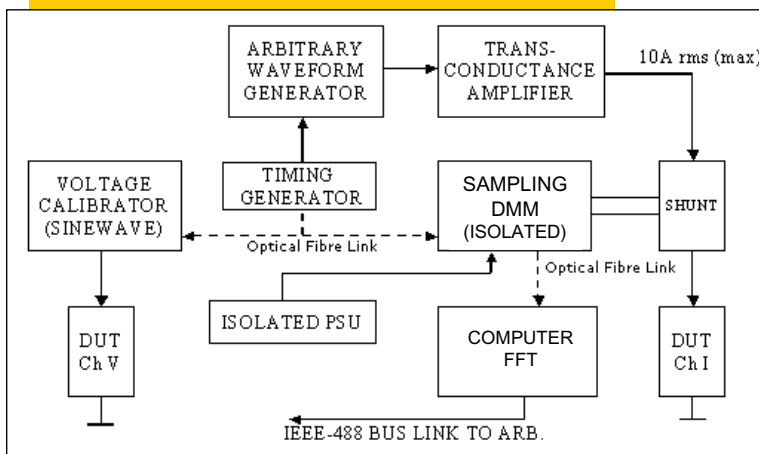
- Netzharmonische Analyser:
i.d.R. Leistungsfähige Poweranalyser
(z.B. Xitron 2503AH) mit Auswertung
der Oberwellenströme neben
Kenngrößen wie U , I , P , PF , f etc.
- Betrieb des EUT an klirrfarmen
Netzteil <1% THD
(Versorgungsquelle)



S: Versorgungsquelle
M: Messgerät (Poweranalyser)
EUT: Prüfling
 Z_N , Z_S : Impedanzen Quelle/
Messgerät (genügend klein, s.
EN 61000-4-7)
 I_n : Oberschwingungsanteil der
Ordnung n

Kalibrierung

- Erzeugung phasensynchroner Ströme
- Messung mit Stromwandler im Samplingverfahren

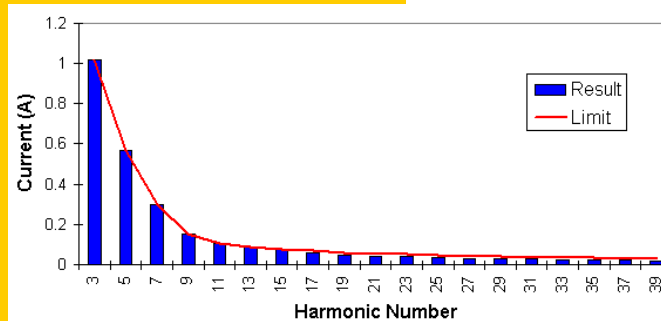


PSU: Power Supply Unit
DUT: Device Under Test
(Harmonics Analyzer)

Erzeugung des Kalibriersignals



- Oder: Netzqualitätsnormal (Fluke 6100A) für
 - Harmonische und
 - Fluktuierende Harmonische (keine FFT)
- zus.: PASS / FAIL –Check der Bewertungslogik für EN 61000-3-2 Grenzwerte



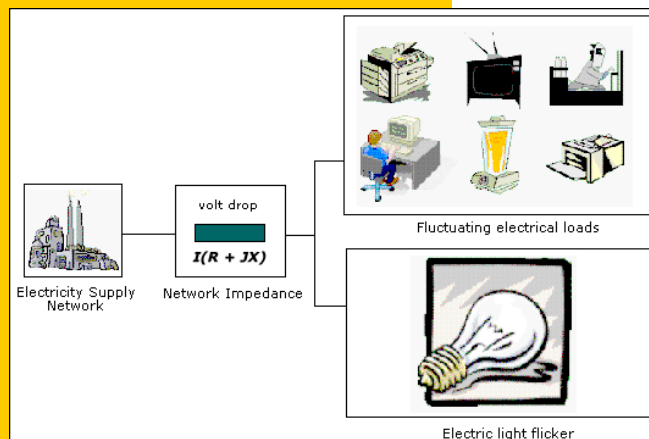
z.B. Klasse D - Grenzwerte

Flicker



- Verbraucher im Versorgungsnetz verursachen Spannungsschwankungen
- Stromaufnahme der Schaltvorgänge verursachen Spannungsänderungen (Spannungseinbrüche, kurzzeitig/ periodisch)
 - wahrnehmbares Lichtflackern angeschlossener Beleuchtungseinrichtungen
 - elektrische Störung anderer Verbraucher = FLICKER

Flicker



- Licht-Flicker als Gefahr von leichter Irritation bis in zum Gesundheitsrisiko
 - Messung und Begrenzung des von Verbrauchern verursachten Flickers

EN 61000-3-3

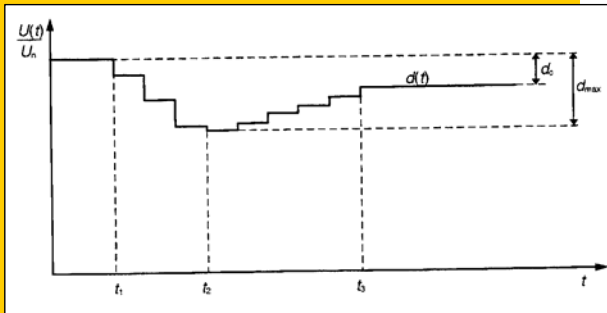


- „Grenzwerte – Begrenzung von Spannungsänderungen, Spannungsschwankungen und Flicker in öffentlichen Niederspannungs-Versorgungsnetzen (≤ 16 A je Leiter)“
- Flicker = Eindruck der Unstetigkeit visueller Empfindungen, durch Lichtreize mit zeitlicher Schwankung der Leuchtdichte oder spektralen Verteilung.
- Bezugswert $P_{st} = 1$
(Wahrnehmbarkeitsschwelle eines Kurzzeitflickers = einige Minuten Beobachtungszeit - IEC 60868)
- Daneben P_{lt} als Langzeitflicker mit mehreren Stunden Messzeit kann aus aufeinanderfolgenden P_{st} Messungen gebildet werden

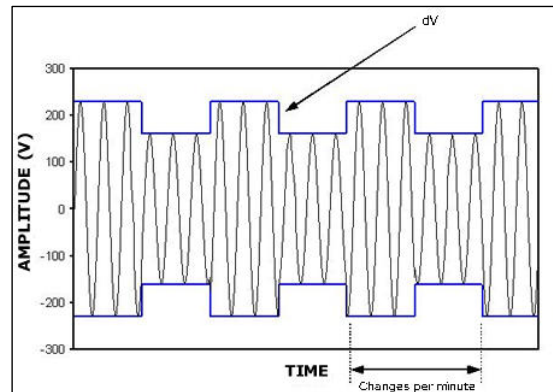
EN 61000-3-3



- P_{st} ist abhängig von Häufigkeit, Dauer und Höhe der Spannungsänderung während der Messzeit und versucht die Wahrnehmung des menschlichen Auges analytisch zu erfassen
- z.B.:



Flicker Einhüllende

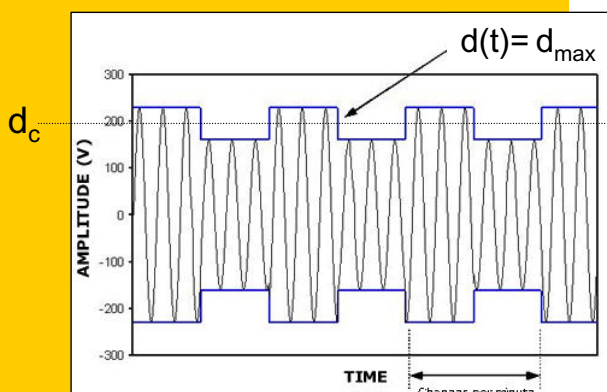


rechteckiger Flicker =
periodische Amplitudenmodulation

EN 61000-3-3



- neben P_{st} weitere Bewertungsparameter:
 - P_{lt} : Langzeitflickerwert
 - $d(t)$: Steigung der Spannungsänderung (Steilheit)
 - d_c : relative konstante Spannungsabweichung
 - d_{max} : relative maximale Spannungsabweichung

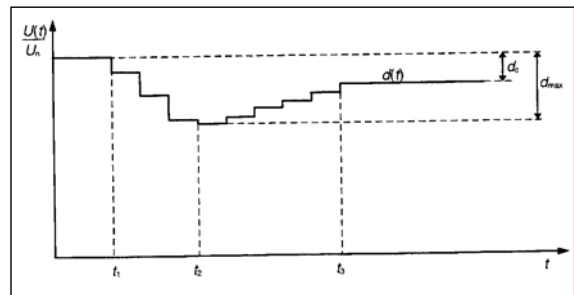


- Beobachtungszeit für
 - $P_{st} = 10$ Minuten
 - $P_{lt} = 2$ h

Grenzwerte



- $P_{st} \leq 1,0$ (definierte Wahrnehmungsschwelle)
- $P_{lt} \leq 0,65$
- $d(t) \leq 3,3\% / 500\text{ms}$
- $d_c \leq 3,3\%$
- d_{max} :
 - a) $\leq 4\%$
 - b) $\leq 6\%$ bei manueller Schaltung oder automatischer Schaltung mehr als 2x am Tag
 - c) $\leq 7\%$ für Geräte deren Betrieb beaufsichtigt wird (Haartrockner, Staubsauger, Küchengeräte, etc.)



Messung

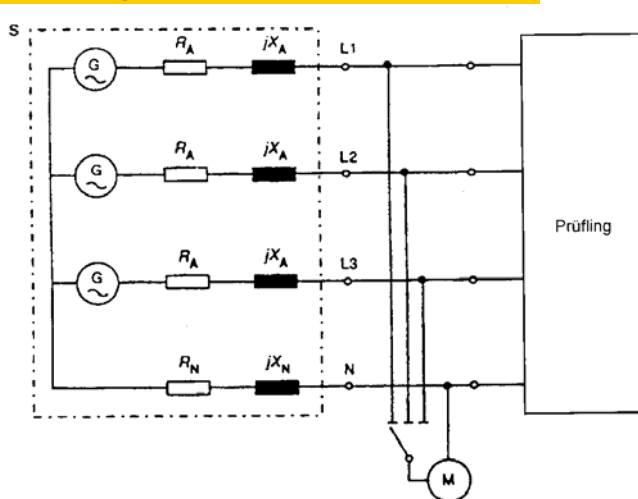


- Flickermessung = Bestimmung von AM Modulationen in Abhängigkeit von Modulationstiefe, Dauer und Häufigkeit der Spannungsänderung und Bewertung als P_{st} -Wert z.B. durch
 - analytische Berechnung aus Zeitverlauf
→ aufwendig
 - Flickermeter oder Poweranalyzer mit Flickeroption zur Messung (s.a. EN 60868, z.B. Xitron 2503 AH)

Messung



- Prüfaufbau aus
 - Prüf-Versorgungsspannung ($G=230\text{ V} \pm 2\%$, $50\text{ Hz} \pm 0,5\%$)
 - Bezugsimpedanz nach IEC 60725 (Netznachbildung)
 - Prüfling (EUT)
 - Vergleichsflickermeter nach EN 60868 (M)



$R_A = 0,24\ \Omega$	$jX_A = 0,15\ \Omega$ bei 50 Hz
$R_N = 0,16\ \Omega$	$jX_N = 0,10\ \Omega$ bei 50 Hz

Kalibrierung



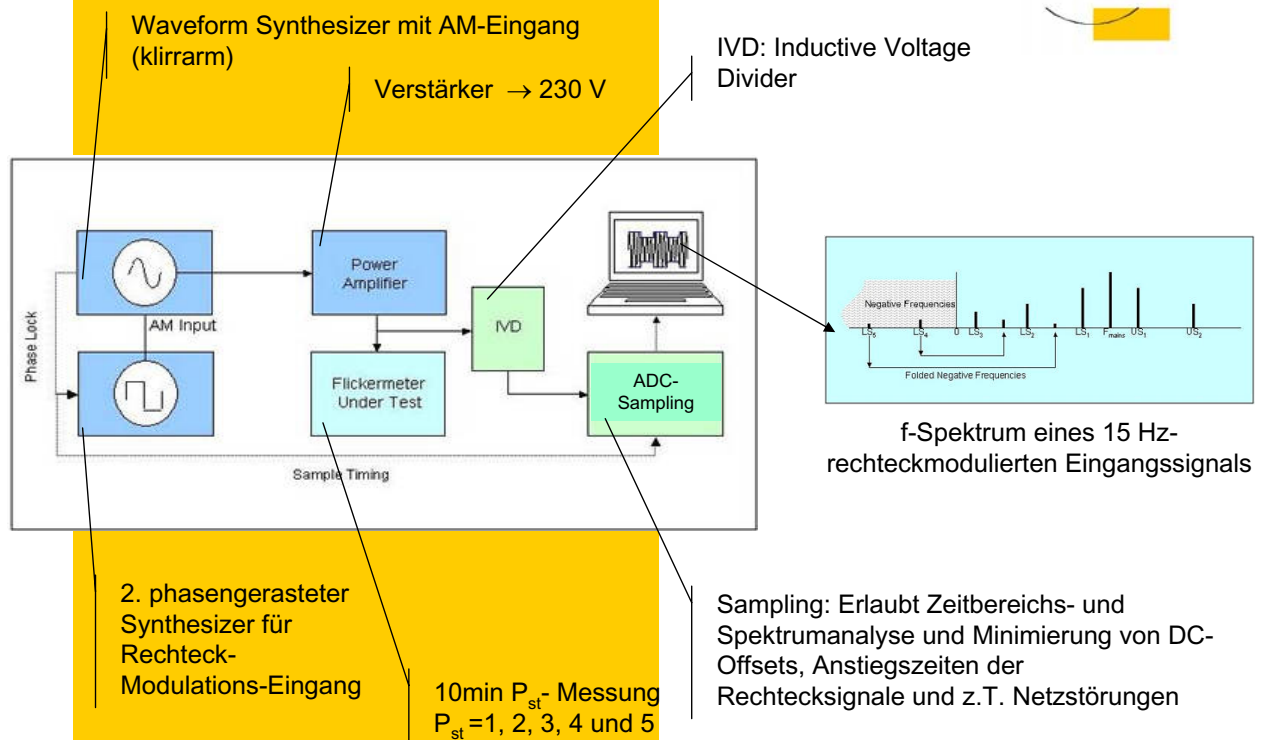
- Fluktuierende Netzspannung durch Verwendung von rechteckförmiger AM (230 V, 50 Hz)
- =Spezialfall mit Spezifikationen aus EN 61000-4-15:

Rechteckförmige Änderungen je Minute	Spannungsänderungen $\Delta U/U$ in %	
	120-V-Lampe 60-Hz Netz	230-V-Lampe 50-Hz-Netz
1	3,166	2,724
2	2,568	2,211
7	1,695	1,459
39	1,044	0,906
110	0,841	0,725
1 620	0,547	0,402
4 000	Prüfung nicht erforderlich	2,40
4 800	4,834	Prüfung nicht erforderlich

- 1620 Spannungsänderungen (13,5 Hz) zu $\delta V/V=0,402\%$ (0,925 V bei 230 V) ergibt $P_{st}=1$ (s. EN 61000-4-15)

Erzeugung des Kalibriersignals

esz



Erzeugung des Kalibriersignals

esz

- Oder: Netzqualitätsnormal (Flickerkalibrator Fluke 6100A) für
 - rechteckmodulierten Flicker
 - sinusmodulierten Flicker
 - und analytischen, applikationsangepassten Flicker (periodische „Dips“ und „Swells“)
- zusätzlich: PASS / FAIL –Check der Bewertungslogik für EN 61000-3-3 Grenzwerte



Back-up



Allgemeine Informationen und Download:

<http://www.esz-gmbh.de>

Normen:

<http://www.beuth.de>

weitere Quellen:

http://www.npl.co.uk/electromagnetic/dclf/harmonics_flicker.html



WEEE, RoHS, Bleiablösung: Weltweite schrittweise Umprofilierung der Elektro- und Elektronikindustrie in Richtung umweltgerechter Produkte und Prozesse

Dr. Hartmut Poschmann, Fachverband Elektronik-Design e.V. (FED)

E-Mail: h.poschmann@fed.de - www.fed.de

1. Vorwort

Diejenigen in der Elektronikindustrie, die mit den Begriffen WEEE und RoHS noch nichts anzufangen wissen, sind seit Dezember 2002 gut beraten, diese Abkürzungen offiziell zur Kenntnis zu nehmen und sich mit ihnen auseinander zu setzen. WEEE steht für „Waste from Electrical and Electronic Equipment“ (Elektro- und Elektronik-Altgeräte) und RoHS für „Reduction of Hazardous Substances“ (Beschränkung der Verwendung gefährlicher Substanzen). Insbesondere die WEEE-Richtlinie - oder ElektroV, wie das deutsche Äquivalent der Umsetzung beider EU-Richtlinien in nationales Recht heisst - berührt jeden von uns. Das ist unabhängig davon, ob er Elektronikgeräte erwirbt oder nutzt oder selbst entwickelt, und ob er dafür private oder berufliche Gründe hat.

Doch beide Richtlinien RoHS und WEEE sind lediglich Vorboten eines weltweit größeren, in dieser Massivität in der Elektro- und Elektronik- samt Zulieferindustrie bisher noch nicht da gewesenen Veränderungsprozesses der gesamten Entstehungs- und Nutzungskette von Produkten. Nachdem WEEE und RoHS von der EU-Kommission 2003 beschlossen wurden, werden sie 2004 in nationales Recht umgesetzt. Und am Horizont taucht schon die Fortsetzung der beiden EU-Erstlinge auf: die dritte EU-Richtlinie im Bunde, die EuP-Richtlinie (Energy-Using-Products). Sie liegt seit Juli 2004 als neuester Entwurf der EU-Kommission vor und skizziert die Methoden des zukünftig anzuwendenden Eco-Design (Öko-Design) für Elektro- und Elektronikprodukte. Der Grund: Fertigung der Ausgangsmaterialien, angewandte Herstellungsprozesse, notwendige Betriebsenergie der Produkte über ihre gesamte „Lebenszeit“ und die Energie für das Produktrecycling sind noch zu Energie-intensiv. Sie müssen von jedem Hersteller durchforstet, optimiert werden mittels spezieller „Eco-Design-Software“ auf Basis vieler noch von allen Beteiligten zu erstellenden Energiedaten. Man muss sich vergegenwärtigen, dass die Industrie mit Produktherstellung und –nutzung (vor allem der entwickelten Industrieländer) etwa 30% des Primär-Energieverbrauches und damit rund 40% Anteil der CO₂-Emissionen in die Atmosphäre verursacht. Hier setzt die EuP-Richtlinie massiv an, um den Anteil der Industrie zu verringern. Japan ist auf dem Gesamtweg zu umweltgerechterer Elektronik der übrigen Welt schon weit voraus. Die EU zieht nach, und im Gefolge dessen, gefördert durch die Globalisierung der Wirtschaft, alle weiteren Industrieländer. Die Auswirkungen in der Arbeitsweise der Unternehmen, ja der gesamten Wirtschaft, sind enorm. Letztlich sind so gut wie alle Struktureinheiten in den Elektronikunternehmen betroffen. In den nachfolgenden Folien des Vortrags sind diese Veränderungen skizziert. Gefragt ist in den kommenden Jahren viel Innovation. Wir wollen nachfolgend betrachten, was die schon beschlossenen neuen EU-Verordnungen WEEE und RoHS beinhalten.

2. Inhalt von WEEE und RoHS

Seit einigen Jahren bemühen sich die EU-Organe, Ordnung in den bisher recht chaotischen Umgang mit ausgesonderten Elektro- und Elektronikgeräten zu bringen und neue Denkweisen aus Umweltsicht in der Elektroindustrie in Gang zu setzen. Gleichzeitig sollte Einfluss darauf genommen werden, dass bestimmte Stoffe, die als umweltschädlich angesehen werden, ab einem bestimmten Zeitpunkt nicht mehr in Neugeräten verwendet werden dürfen. Nach vielem Hin und Her in den EU-Gremien, nationalen Lobbyverbänden der Wirtschaft und Umweltinstitutionen hat der Vermittlungsausschuss des EU-Parlamentes am 10. Oktober 2002 entsprechende Vorschläge bzw. Empfehlungen zur Annahme der Richtlinie zu Elektro- und Elektronikaltgeräten (WEEE) sowie der Richtlinie zu Verwendungsbeschränkungen für bestimmte gefährliche Stoffe in Elektro- und Elektronikgeräten (RoHS) unterbreitet. Der Rat der Europäischen Union und das Europäische Parlament bestätigten die Vorschläge des Vermittlungsausschusses am 16. bzw. 18. Dezember 2002. Eine schwere Geburt, betrachtet man die zunehmenden Elektronikschrottberge in Europas Häusern, Kellern und Mülldeponien als auch die teilweise „Entsorgung“ in Wald und Feld. Die Texte der Richtlinien liegen bereits in allen Sprachen der EU vor. Die Mitgliedstaaten haben 18 Monate Zeit für die Umsetzung in nationales Recht, d. h. spätestens bis Ende 2004 müssen in der BRD die entsprechenden nationalen Gesetze vorliegen in Form der ElektroV.

Und wann beginnt in der Praxis die allgemeine Umsetzung? Betrachtet man

- den in der Industrie notwendigen zeitlichen Vorlauf von Forschung und Entwicklung neuer Produkte sowie
- das erforderliche gedankliche als auch methodische Umschwenken in Richtung umweltgerechter Elektronik in den Firmen
- den Vorlauf der japanischen Unternehmen im Heimatland und in Europa sowie auch den Vorsprung mancher europäischer Firmen,

ist es offensichtlich unklug, mit der Umsetzung der WEEE und RoHS in den Betrieben bis nach 2004 zu warten. Fachverbände wie der FED bemühten sich bereits seit etwa drei Jahren, auf die bevorstehenden Veränderungen in Veranstaltungen, Arbeitskreisen und Veröffentlichungen aufmerksam zu machen.

2.1 Zwei EU-Richtlinienvorschläge – ein Ziel: bessere Umwelt

Auch wenn die beiden Richtlinienvorschläge in engem fachlichen Zusammenhang stehen und im Verfahren gemeinsam beraten wurden, wird es zumindest übergeordnet für die EU zwei eigenständige Richtlinien geben. Die Elektro-Altgeräte-Richtlinie (WEEE) stützt sich auf Artikel 175 EG-Vertrag (Bereich des Titels "Umwelt") und die Richtlinie zur Beschränkung der Verwendung bestimmter gefährlicher Stoffe in elektrischen und elektronischen Geräten (RoHS) auf Artikel 95 EG-Vertrag (Bereich des Titels "Gemeinsame Regeln betreffend Wettbewerb, Steuerfragen und Angleichung der Rechtsvorschriften").

Wesentliche Inhalte der Richtlinienvorschläge sind:

- die getrennte Sammlung, Behandlung und Verwertung von Elektro- und Elektronikaltgeräten sowie die Festlegung von Sammelzielen und Verwertungsquoten
- die kostenlose Rückgabemöglichkeit für private Haushalte und Vertreiber

- die Übernahme der Produktverantwortung für die Behandlung, Verwertung und umweltgerechte Beseitigung der Geräte durch die Hersteller/Vertreiber
- das Verbot bestimmter Schwermetalle und bromhaltiger Flammschutzmittel in elektrischen und elektronischen Geräten.

2.2 Produktverantwortung der Hersteller

Von zentraler Bedeutung ist in den Bestimmungen beider Richtlinienentwürfe die Produktverantwortung der Hersteller von Elektro- und Elektronikgeräten (und damit sind auch die Importeure bzw. Vertrieber gemeint). So haben die Mitgliedstaaten sicherzustellen, dass die Hersteller innerhalb bestimmter Fristen für die Behandlung und Verwertung (d. h. auch eventuelle Wiederverwendung von Teilen) der Altgeräte sorgen, bei Verwertung und Recycling die festgelegten Zielvorgaben (Quoten) erfüllen und bereits, wenn sie ein neues Gerät auf den Markt bringen, die Garantie für die Finanzierung der späteren umweltgerechten Entsorgung übernehmen.

2.3 Der aktuelle Richtlinienentwurf zu Altgeräten (WEEE) in Stichworten

Geräte Kategorien

Getrennte Sammlung, Behandlung und Verwertung von Elektro- und Elektronikaltgeräten sowie Festlegung von Sammelzielen und Verwertungsquoten für Geräte folgender Kategorien:

1. Große Haushaltsgeräte (Kühlschränke, Waschmaschinen etc.)
2. Kleine Haushaltsgeräte (Toaster, Uhren etc.)
3. IT- und Telekommunikationsgeräte (Computer, Drucker, Telefone etc.)
4. Unterhaltungselektronik (Fernsehgeräte, Hi-Fi-Anlagen etc.)
5. Beleuchtungskörper (Leuchtstoffröhren, Energiesparlampen, Natriumdampflampen etc.; ausgenommen sind Wohnraumleuchten und Glühbirnen)
6. Elektrische und elektronische Werkzeuge (Bohr-, Nähmaschinen etc.)
7. Spielzeug, Freizeit- und Sportgeräte (elektrische Eisenbahnen, Videospiele, Spielautomaten etc.)
8. Medizinische Ausrüstung (z. B. Dialysegeräte) mit Ausnahme implantierter oder infizierter Produkte
9. Überwachungs- und Kontrollinstrumente (z. B. Rauchmelder, Thermostate)
10. Automatische Ausgabegeräte (z. B. Getränkeautomaten).

Produktkonzeption

Geräte dürfen nicht so konzipiert sein, dass ihre Wiederverwendung oder von Teilen von ihnen verhindert wird, es sei denn, es sind übergeordnete Vorteile, beispielsweise für Umwelt und Gesundheit, damit verbunden.

Sammelstrukturen

- Bereitstellung von Sammelsystemen 30 Monate nach Inkrafttreten der Richtlinie
- Kostenlose Rückgabemöglichkeit für private Verbraucher und Vertrieber
- Grundsätzliche Rücknahmeverantwortung für Vertrieber mit Zulassung alternativer Sammelsysteme
- Möglichkeit individueller und/oder kollektiver Rücknahmesysteme der Hersteller.

Sammelziel

Erreichen des verbindlichen Sammelziels (4 kg/Einwohner und Jahr) bis zum 31. Dezember 2006. (Ausnahmen für Griechenland und Irland wegen besonderer Verhältnisse).

Verwertungs- und Recyclingquoten

Erreichen der angestrebten Verwertungs- und Recyclingquoten bis zum 31. Dezember 2006. Im Einzelnen:

- Für Kategorie 1 und 10 (s.o.) Verwertungsquote mindestens 80 %, Wiederverwendung- und Recyclingquote mindestens 75 % des Durchschnittsgewichts je Gerät.
- Für Kategorie 3 und 4 Verwertungsquote mindestens 75 %, Wiederverwendungs- und Recyclingquote mindestens 65 % des Durchschnittsgewichts je Gerät.
- Für Kategorie 2, 5, 6, 7, und 9 Verwertungsquote mindestens 70 %, Wiederverwendungs- und Recyclingquote 50 % des Durchschnittsgewichts je Gerät.

Quoten für die Wiederverwendung vollständiger Geräte sowie für Kategorie 8 werden Parlament und Rat auf der Basis eines Vorschlags der Kommission bis 31. Dezember 2008 festlegen.

Finanzierungsverantwortung

- Wirksamwerden der Finanzierungsverantwortung 30 Monate nach Inkrafttreten der Richtlinie
- Finanzierung der Sammlung mindestens ab der Rücknahmestelle, sowie der Behandlung, Verwertung und umweltgerechten Beseitigung der Geräte durch die Hersteller
- Individuelle Verantwortung der Hersteller für die Finanzierung der Entsorgung neuer Altgeräte mit Verpflichtung zu Garantien bei Markteintritt (Verhinderung von "Neuen Waisengeräten"). Möglichkeit der Erfüllung der individuellen Verantwortung durch Kooperation.
- Finanzierung bei Geräten, die vor Inkrafttreten der Richtlinie bereits auf dem Markt waren ("Historische Altgeräte"), oder deren Produzenten nicht mehr auf dem Markt sind, anteilig durch die auf dem Markt befindlichen Hersteller zu dem Zeitpunkt, zu dem die Kosten anfallen
- Möglichkeit für die Hersteller bis zu 8 Jahren (10 Jahre bei Kategorie 1) nach Inkrafttreten der Richtlinie die Kosten für die Entsorgung historischer Altgeräte auf ihren Produkten auszuweisen
- Anwendung der Finanzierungsbestimmungen auch auf Hersteller, die ihre Produkte über elektronischen Handel (E-Commerce) vertreiben
- Möglichkeit der Modifizierung der Finanzierung bei Geräten von Nutzern außerhalb privater Haushalte durch Heranziehung der Nutzer neben den Herstellern oder bilaterale Vereinbarungen zwischen Hersteller und gewerblichem Nutzer.

Weitere Regelungen

- Technische Anforderungen an die Lagerung und Behandlung von Altgeräten
- Bestimmungen zur Information und Erfolgskontrolle
- Kennzeichnungspflicht der Hersteller bei Geräten, die den Bestimmungen der Richtlinie unterliegen, 30 Monate nach Inkrafttreten

- Anpassung der Bestimmungen der Richtlinie an den technischen Fortschritt im Ausschussverfahren (Kommission mit Unterstützung eines Ausschusses aus nationalen Experten).

2.4 Der aktuelle Richtlinienentwurf zu gefährlichen Stoffen in Elektro- und Elektronikgeräten (RoHS) in Stichworten

Stoffe

Verbot der Verwendung von Blei, Quecksilber, Cadmium, sechswertigem Chrom und bromhaltigen Flammschutzmitteln (polybromierte Biphenyle oder polybromierte Diphenylether) in elektrischen und elektronischen Geräten ab 1. Juli 2006.

Ausnahmen

Ausnahme für Quecksilber in Lampen, mit Höchstmengenbegrenzungen bei Kompaktleuchtstofflampen und Leuchtstoffröhren für allgemeine Verwendungszwecke.

Ausnahmen für Blei:

- im Glas von Kathodenstrahlröhren
- in bestimmten elektronischen Bauteilen und Leuchtstoffröhren
- als Legierungselement für Stahl in bestimmten Zusammensetzungen
- in Lötmitteln mit hohem Schmelzpunkt
- in Lötmitteln für Server und Speichersysteme (Freistellung bis 2010)
- in Lötmitteln für Netzwerkinfrastrukturausrüstungen für bestimmte Anwendungen im Telekommunikationsbereich
- in keramischen Elektronikbauteilen.

Ausnahmen für Cadmium-Beschichtungen, soweit sie nicht nach anderen Richtlinien verboten sind, und Ausnahme für sechswertiges Chrom als Korrosionsschutzmittel in Absorptionskühlschränken.

Das bedeutet, dass bleihaltige Lote für alle normalen Einsatzfälle spätestens ab 1.7.2006 nicht mehr verwendet werden dürfen.

Geräte Kategorien

Geltung der Bestimmungen für die Kategorien der WEEE-Richtlinie mit Ausnahme der Kategorien 8 und 9, zusätzlich jedoch für Glühbirnen und Wohnraumleuchten.

Weitere Regelungen

Überprüfung der Maßnahmen der Richtlinie im Hinblick auf neue wissenschaftliche Erkenntnisse im Ausschussverfahren (Kommission mit Unterstützung eines Ausschusses aus nationalen Experten).

2.5 Umsetzung in Deutschland: eine gemeinsame Richtlinie – ElektroV

In Deutschland werden bereits seit Jahren rechtliche Regelungen für Elektro- und Elektronikschrott diskutiert. Nachdem es inzwischen auf europäischer Ebene die Einigung auf Vorschläge für eine Elektro- und Elektronik-Altgeräte-Richtlinie und eine Richtlinie zur Beschränkung bestimmter gefährlicher Stoffe in Elektrogeräten gibt, wird die Bundesregierung ihr Verordnungsvorhaben aus dem Jahre 1998 (vgl. Bundesrats-Drucksache 638/98) nicht weiterverfolgen. Vielmehr soll nach Inkrafttreten der EU-Richtlinien eine Umsetzungsverordnung vorgelegt werden, die die Produktverantwortung für den *gesamten* Bereich der Elektro- und Elektronikgeräte regelt, die ElektroV

Für die Rückführung von Altgeräten aus privaten Haushaltungen sollen in Deutschland die in der Regel bereits vorhandenen Erfassungsstrukturen der öffentlich-rechtlichen Entsorgungsträger genutzt werden. Die eingesammelten Geräte werden danach von den jeweiligen Herstellern übernommen und der Verwertung zugeführt, nicht verwertbare Geräte oder Geräteteile für eine gemeinwohlverträgliche Beseitigung vorgesehen.

2.6 Fachinformations-Auskunftsstellen

Das nachfolgende Verzeichnis enthält kompetente Konsultationsadressen für die Abfallwirtschaft bzw. für Auskünfte zu den Verordnungen zu Elektro- und Elektronik-Altgeräten. Ebenso sind Bezugsadressen für die zu erwartenden neuen Richtlinien aufgeführt.

- Zentralverband Elektrotechnik und Elektronikindustrie e.V.
Stresemannallee 19
60596 Frankfurt a.M.
Tel: 069 - 6302-0
Fax: 069 - 6302-317
E-mail: zvei@zvei.org
Internet: <http://www.zvei.de>
- Gesetzes und Verordnungstexte; Bundestags- und Bundesrats- Drucksachen
Internet: <http://www.parlamentsspiegel.de>
- European Union Document Delivery Service (EUDOR)
Internet: www.europa.eu.int/eur-lex/de
(Amtsblatt und sonstige Veröffentlichungen der EU)

2.7 Fachinformationen zu umweltgerechter Elektronik

Der Fachverband Elektronik-Design e.V. bietet eine Reihe von Seminaren zum Thema „Bleiablösung“ an. Die Termine und Inhalte sind im Internet zu erfahren: www.fed.de, Rubrik Terminkalender. Weiterhin informiert der FED in der Fachpresse über technische und organisatorische Details der Umsetzung von WEEE und RoHS. Die 12. FED-Konferenz 2004 im September in Neu-Ulm befasste sich ebenso wie die Konferenzen in 2002 und 2003 detailliert mit der Bleiablösung. Der Inhalt des Vortragsbandes 2004 ist unter www.fed.de, Rubrik Aktuelles, einzusehen und kann per eMail unter info@fed.de bestellt werden. In seinen zahlreichen Regionalgruppenveranstaltungen wird das Thema „Bleiablösung“ in Vorträgen und Diskussionen behandelt. Die Termine sind auch dem Internet zu entnehmen: www.fed.de, Rubrik Terminkalender.

Bleifrei-Technologie in der Elektronik

FED-Projekt „Design Bleifrei“

Erste Ergebnisse

Klaus Dingler, Mitglied im FED-Vorstand, Leiter des Arbeitskreises Bleifrei im Design des FED

Mit der Umstellung der Baugruppen auf die bleifreie Technologie stellt sich für jeden Hersteller die Frage, muss mein bestehendes Layout der Baugruppe geändert werden, um die gleichen Zuverlässigkeits- und Qualitätsdaten zu erreichen wie mit den bisherigen bleihaltigen Materialien? Müssen bei neuen Entwicklungen andere Voraussetzungen beachtet werden, neue Bibliothekseintragungen erstellt und berücksichtigt werden?

Glaut man den bisherigen Aussagen von Herstellern, die bereits Untersuchungen durchgeführt haben, und auch den Instituten, die sich mit der Verbindungstechnik befassen, so kann das Layout durchaus ohne Änderungen übernommen werden. Andererseits kann es Veränderungen in Vorgaben, Vorgehensweisen, Technologien, Fertigungsprozessen und Qualität und den Funktionen untereinander geben die bis zu einer totalen Neugestaltung des Leiterplattendesigns führen. Von „nichts verändern müssen“ bis zum völlig neuen LP-Design ist alles möglich.

Grundsätzlich ist zwischen dem Wellenlöt- und dem Reflowprozess zu unterscheiden. Während beim Reflowprozess die zu erwartenden Probleme gering sind können im Wellenlötprozess durchaus größere Änderungen notwendig werden. Baugruppen die bisher ohne Schwierigkeiten mit bleihaltigem Lot verarbeitet werden konnten, werden auch weiterhin ohne Schwierigkeiten zu verarbeiten sein. Bereits im bleihaltigen Prozess zu Problemen neigende Baugruppen werden in der Bleifrei-Technologie den Gegebenheiten angepasst werden müssen. Generell sind bei allen Baugruppen die im bleifreien Lötprozess verarbeitet werden, die höheren Prozesstemperaturen zu beachten, geht man von den zur Zeit als Standard propagierten Lotlegierungen SnAgCu und SnCu aus. Lotlegierungen mit Wismutanteil erreichen die Schmelztemperaturen des SnPb-Lotes, werden aber nur für spezifische Anwendungen nutzbar sein.

Zu den bestimmende Faktor bei der Umstellung gehören die Oberflächenspannung und die Benetzungszeit. Im Gegensatz zu den SnPb-Loten ist die Oberflächenspannung bei bleifreien Loten größer, abhängig ob unter Stickstoffatmosphäre oder in einer offenen Anlage gelötet wird, und die Benetzungszeit für bleifreie Lote um den Faktor 2 bis 3 länger.

In den Folien 7 bis 14 werden allgemeingültige Möglichkeiten der Auswirkung auf das Design im bleifreien Prozess genannt. So haben die verschiedenen bleifreien Leiterplattenoberflächen keinen Einfluss auf die Qualität der Lötung, sofern die Lagerzeiträume und Lagertemperaturen beachtet werden. Abstände der Bauelemente und die Größe der Pad's sind richtig zu wählen, um Abschattungen und Lötbrücken zu vermeiden. Weiterhin sind die Veränderungen im Service- und Reparaturbereich zu beachten. Als wichtiger Faktor muss ein ausgeglichenes Wärmemanagement betrachtet werden um Qualität und Zuverlässigkeit der Baugruppe zu gewährleisten und die gegebenen Möglichkeiten der neuen Lötanlagen optimal zu nutzen.

Alle die genannten Möglichkeiten werden in vielen Fällen eine besondere Bibliothekspflege benötigen und erhöhen damit den logistischen Aufwand.

Zur Untersuchung der eventuellen Änderungen im Design bleifreier Baugruppen wurden im FED-Arbeitskreis „Bleifrei im Design“ verschiedenen Testboards konzipiert und Untersuchungen mit verschiedenen Leiterplattenoberflächen in Verbindung mit unterschiedlichen bleifreien Lotlegierungen durchgeführt. Die Ergebnisse daraus sind in den Folien 16 bis 39 dargestellt. Dabei ist zu beachten, dass diese Aussagen nur Empfehlungen darstellen, da auf Grund der finanziellen Möglichkeiten des AK, alle Untersuchungen wurden durch Sponsoren ermöglicht, nur geringe Stückzahlen zur Untersuchung zur Verfügung standen. Einige wichtige Ergebnisse unserer Untersuchungen sind nachfolgend aufgeführt.

- Bei CMC's und ähnlichen Bauteilen sind die Pads an den Bauteilköpfen etwas größer zu gestalten, wobei zu große Abmessungen durch die höhere Kriechfestigkeit der bleifreien Lote zu Schäden an den Bauelementen führen können.
- Brückenbildung, bzw. Abschattung kann durch die Wahl geeigneter Abstände verhindert werden.
- Das Anbringen von Lötflanschen bei Vielpolbauteilen hat sich als vorteilhaft erwiesen.

Richtlinien für die Padgestaltung im bleifreien Lötprozess sind bisher noch nicht erschienen. Gründe dafür sind die noch nicht ausreichend durchgeführten Langzeituntersuchungen in Bezug auf Zuverlässigkeit und die Abhängigkeit von verschiedenen Parameter im Lötprozess selber, von der Wahl des Prozessfensters, dem Temperaturprofil, Durchlaufgeschwindigkeit, Einstellwinkel der Welle und die verwendeten Leiterplattenoberflächen in Verbindung mit den eingesetzten Lotlegierungen ab.

Das bedeutet, dass Versuche und Testläufe vorher notwendig sind, um die optimalen Bedingungen auf der Leiterplatte und die Prozessparameter der Lötanlage zu ermitteln.
Ein für alles geltendes „Kochrezept“ wird es nicht geben!

Als Schlussbetrachtung, siehe Folien 41 bis 45, ist festzustellen, dass die gesamte Produktkette von der Entwicklung bis zur Reparatur und Nacharbeit betrachtet werden muss um die Qualität des Produktes zu gewährleisten. Bei der Umsetzung der WEEE und der RoHS müssen alle Disziplinen rechtzeitig miteinander kommunizieren. Vor dem Designprozess sollten die aufgeführten Punkte Beachtung finden.

- Produktklassifizierung
- mechanische Gegebenheiten
- Einsatzumgebung
- Designrichtlinien
- Qualitätsrichtlinien
- EMV-Problematik
- thermische Gegebenheiten
- Bauteilekonfigurationen
- Leiterplattenmaterial
- Fertigungstechnologie
- Löt- und Bestückungstechnologie!
- Testtechnologien
- Kosten- und Zeitfaktoren
- Reparaturmöglichkeiten
- Entsorgung und Umweltschutz
- und nicht zuletzt auch die Funktion

jetzt auch unter den Gesichtspunkt „Bleifrei“ betrachtet werden.

Dem Designer der Baugruppe wird erhöhte Bedeutung zukommen, da Unzulänglichkeiten im Design in der Bleifrei-Technologie größere Auswirkungen haben werden als in der bisherigen Technik. Logistischer Aufwand ist in der Bibliothekspflege notwendig, aber auch der Einkauf ist maßgeblich an der Gestaltung der neuen Produkte durch die Beschaffung RoHS-konformer Bauelemente beteiligt.

Klaus Dingler

Bleifrei-Technologie in der Elektronik
FED-Projekt „Design Bleifrei“
Erste Ergebnisse

Vortrag auf der SEI-Herbsttagung 2004

Fachverband Elektronik-Design e.V.
Klaus Dingler / Leitung FED-Arbeitskreis „Design Bleifrei“

Oktober 04

Klaus Dingler, Fachverband Elektronik-Design e.V.

Bleifrei im Design

Gliederung

1. Allgemeine Gesichtspunkte
2. Ergebnisse der Testboardauswertungen
3. Schlußbetrachtung

Bleifrei im Design

1. Allgemeine Gesichtspunkte

Oktober 04

Klaus Dingler, Fachverband Elektronik-Design e.V.

Bleifrei im Design

Mögliche Auswirkungen auf das Design

Um es vorweg zu nehmen:

**Von „nichts verändern müssen“ bis zur Neugestaltung,
je nach Gegebenheit.**

Wellenlötprozess:

Bei Layouts von einfachen Baugruppen – einseitige Bestückung mit großen Abständen zwischen den Bauteilen- muss wahrscheinlich keine Änderung vorgenommen werden.

Layouts von komplexen Baugruppen – hohe Bestückungsdichte und feine Leiterzüge- müssen angepasst werden.

Reflowlötprozess:

Hier sind keine großen Schwierigkeiten zu erwarten.

**Generell gilt aber für alle Bauelemente die Berücksichtigung der höheren
Prozesstemperatur**

➤ **Aus diesem Grunde die Untersuchungen im AK-Bleifrei**

Oktober 04

Klaus Dingler, Fachverband Elektronik-Design e.V.

Mögliche Auswirkungen auf das Design

Dr. Reichelt
Elektroniktechnologie



Bedeutung der Oberflächenspannung für den Lötprozeß	Die Benetzung wird durch eine niedrige Oberflächenspannung erleichtert. Die Oberflächenspannung hat Einfluß auf die Lotbrückenbildung.
Messverfahren zur Bestimmung der Oberflächenspannung	Prinzipielle Verfahren: Bügelverfahren Steighöhenmethode Blasenmethode
Messprobleme:	- Wechselwirkung des Lotes mit der Prüfgerätoberfläche u/o Umgebungsatmosphäre - undefinierte Prüfungsatmosphären u/o -temperaturen

Oberflächenspannungswerte (beispielhaft, nach AbteW/SCI, Vortrag Nepcon West 2000):

mN/m Temperatur ?	SnPb 60/40	SnAgCu eut.	Sn-0.7Cu	Sn-3.5Ag	Sn-57Bi	Sn-9Zn
Oberflächenspannung: (unter Luft)	417	?	491	431	319	518
Oberflächenspannung: (unter Stickstoff <20 ppm O ₂)	464	?	461	493	349	487
Anmerkungen	Prüftemperatur von AbteW nicht genannt. Er bezieht sich auf eine Veröffentlichung von Vincent et al.					

Achtung: Beim Vergleich von Oberflächenspannungsdaten verschiedener Herkunft müssen alle Versuchsbedingungen kritisch einbezogen werden.

Bleifreie Elektroniklote: Oberflächenspannung des schmelzflüssigen Lotes

Quelle Vortragsband Bleifreie Verbindungstechnik in der Elektronik

Oktober 04

Klaus Dingler, Fachverband Elektronik-Design e.V.

Mögliche Auswirkungen auf das Design

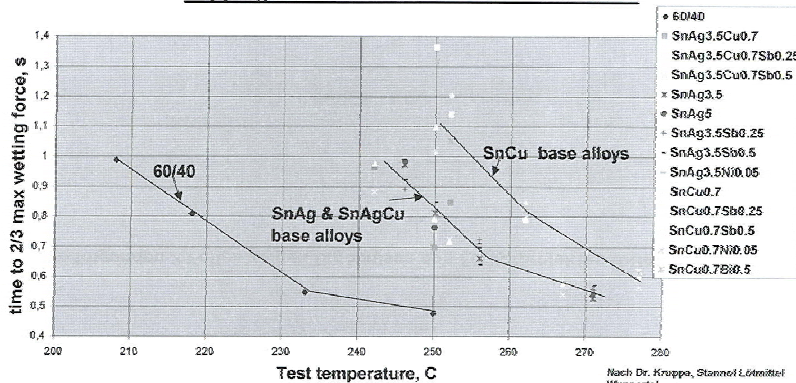
52

Dr. Reichelt
Elektroniktechnologie

Ergebnisse des Förderprojektes IDEALS



Wetting time vs test temperature, (Actic 5 flux, cleaned copper), for 60/40 Sn/Pb and Pb-free solders



Benetzungscharakteristik der Lote (5): Benetzungsdaten, EU-Projekt IDEALS

Quelle Vortragsband Bleifreie Verbindungstechnik in der Elektronik

Oktober 04

Klaus Dingler, Fachverband Elektronik-Design e.V.

Mögliche Auswirkungen auf das Design

Offensichtlich sind auch keine Veränderungen durch veränderte Leiterplattenoberflächen notwendig, wie aus diesem Testergebnis aus dem BFE-Arbeitskreis ersichtlich.

Brückenbildung

Auf allen Testboards konnten insgesamt nur 3 Lötbrücken festgestellt werden. Diese waren wie folgt verteilt:

Leiterplatten Oberfläche	Anzahl der gelöteten FBM26	Anzahl der Lötstellen gesamt	Anzahl der Lötbrücken auf der FBM26
Chem. Sn	36	$278 \cdot 36 = 10008$	1
NiAu	66	$278 \cdot 66 = 18348$	1
Entek+	29	$278 \cdot 29 = 8062$	1

Fazit:
Aus diesem Ergebnis lässt sich ableiten, dass das Leiterplattenlayout völlig unkritisch auf jegliche Parameter- und Flussmitteländerung reagierte.

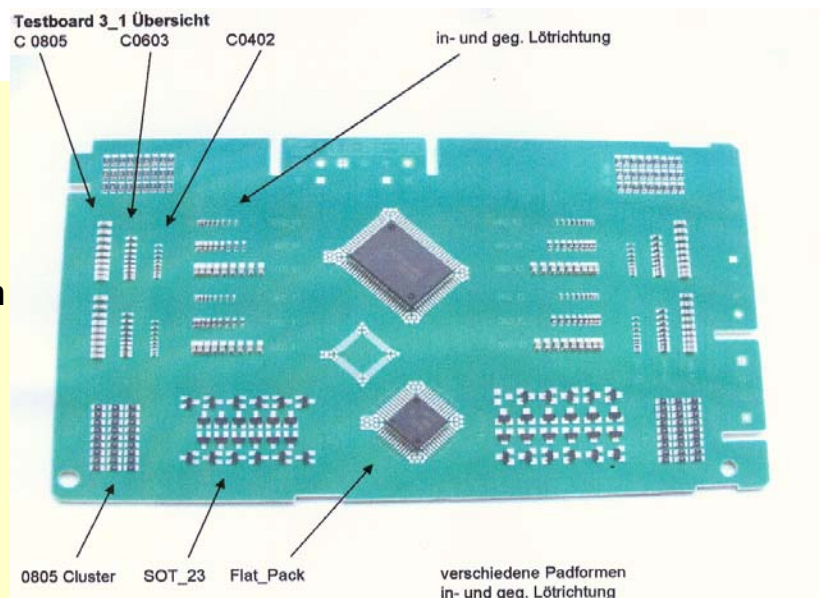
Oktober 04

Klaus Dingler, Fachverband Elektronik-Design e.V.

Mögliche Auswirkungen auf das Design

Aus den Testboarduntersuchungen des AK Bleifrei im FED:

Für den Wellenlötprozess werden durch die erhöhte Oberflächenspannung und längere Benetzungszeit größere Abstände und eine Verlängerung der Pads in Spitze oder BT-Kopf notwendig, um die Eigen- und Fremdschattenwirkung zu vermeiden.

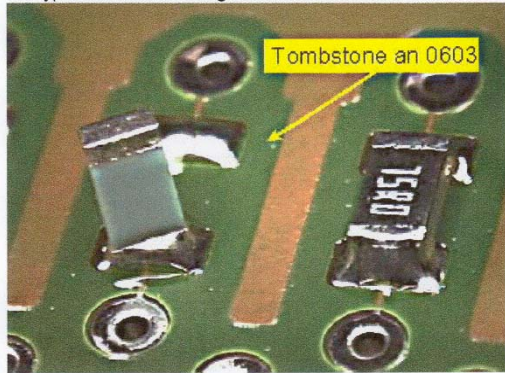


Oktober 04

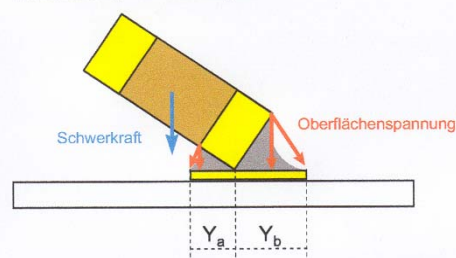
Klaus Dingler, Fachverband Elektronik-Design e.V.

Mögliche Auswirkungen auf das Design

Ein typisches Tombstoning an einem 0603-Bauelement:



Tombstoning / Kräfteanalyse



Das Verhältnis von Y_a / Y_b beeinflusst die Entstehung eines Tombstones!

Tombstoning entsteht durch die zu unterschiedlichen Zeiten aufschmelzenden Pastendepots auf der linken bzw. rechten Seite eines zweipoligen Bauelements. Die Nassklebekraft der Lotpaste und die Schwerkraft auf das Bauelement reichen bei weitem nicht aus, um wirksame Gegenkräfte gegen die auf der bereits aufgeschmolzenen Seite angreifenden Oberflächenspannung des Lotés zu entfalten.

Während beim Wellenlöten es erwünscht ist, das Pad in Y_b zu verlängern, muss beim Reflowlöten Y_b und Y_a gleich sein um vermehrtes Tombstoning zu vermeiden. Y_a darf dabei nicht unter BT vergrößert werden um Lotperlen zu vermeiden!

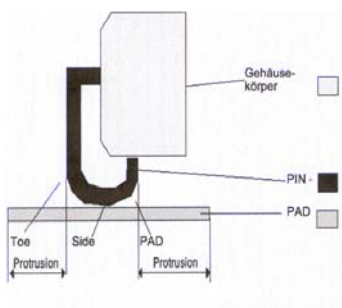
Oktober 04

Klaus Dingler, Fachverband Elektronik-Design e.V.

Mögliche Auswirkungen auf das Design

Ein und dieselben Pad-Geometrien für Reflowlöten und Wellenlöten gibt es nicht mehr. Verschiedene Prozesse erfordern eine Reihe von Anpassungen.

Die IEC (DIN) 61188-5-x erlaubt die Auswahl zwischen min und max:



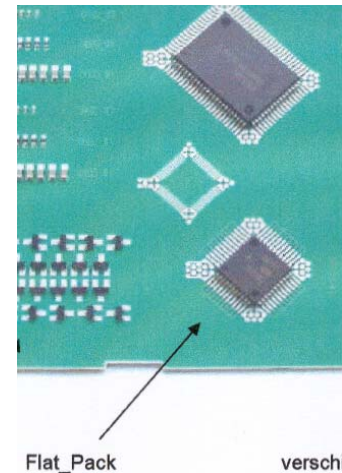
Pad Protrusions	Max	Nom	Min
Gullwings flat >0.5 pitch/<=0.5 pitch			
Toe	1.0/1.0	0.65/0.65	0.2/0.2
Heel	0.5/0.2	0.35/0.2	0.2/0.2
Side	0.1/0.05	0.05/0.03	0.03/0.0
Coutyard-excess	0.5	0.25	0.05
Round-off Factor	nearest 0.5	nearest 0.5	nearest 0.05
Gullwings round or Flattened (Coined) 0.5 pitch			
Toe	1.0	0.65	0.2
Heel	0.5	0.35	0.2
Side	0.1	0.05	0.03
Coutyard-excess	0.5	0.25	0.05
Round-off Factor	nearest 0.5	nearest 0.5	nearest 0.05
CMC, Resistors			
Toe	1.0	0.4	0.2
Heel	0.2	0.1	0.0
Side	0.2	0.1	0.0
Coutyard-excess	0.5	0.25	0.05
Round-off Factor	nearest 0.5	nearest 0.05	nearest 0.05

Oktober 04

Klaus Dingler, Fachverband Elektronik-Design e.V.

Mögliche Auswirkungen auf das Design

Wenn z.B. dieses Flat-Pack bisher diagonal versetzt im Wellenbad mitgelötet wurde, und dies durch die erhöhte Löt-Temperatur nicht mehr möglich ist, bedeutet das es, muss auf die andere Seite gesetzt werden um dort Reflow gelötet zu werden, dies bedarf einen anderen Fertigungsdurchlauf und ein völlig neues Design!



Oktober 04

Klaus Dingler, Fachverband Elektronik-Design e.V.

Mögliche Auswirkungen auf das Design

**Temperaturverträglichkeiten der Bauteile –
Abkündigungen der bisher eingesetzten Bauteile –
können ein Redesign notwendig machen.**

**Bei der Designstrategie sind weiterhin Veränderungen
durch Service- und Reparaturmöglichkeiten zu
beachten.**

**Die Veränderungen müssen den Abnahmekriterien
gemäß IPC-610 C oder IEC 61192-x entsprechen.**

Oktober 04

Klaus Dingler, Fachverband Elektronik-Design e.V.

Mögliche Auswirkungen auf das Design

Ein wichtiger Punkt, der bei den meisten SnPb-Assemblies eine geringere Rolle gespielt hat:

Wärmeübertragungstechnisch ist eine Baugruppe mit ihren zahlreichen Bauelementen sehr unterschiedlicher Größen (\approx Wärmemassen), eventuellen Lötwärmesenken, manchmal Abschirmgehäusen, ein sehr heterogenes Gebilde; hinzu kommt, dass die Leiterplatte auch je nach Lagenzahl, Dicke eine sehr variable Wärmekapazität haben kann auch ihrerseits mit Heterogenitäten (Cu-Verteilung, integrierte Bauelemente).

Erwärmungsverfahren mit geringer Leistungsdichte (z.B. das Konvektionsverfahren) liefern infolgedessen anfangs auch breite Objekttemperatur-Verteilungen, die sich erst allmählich ausgleichen.

Die Frage ist, inwieweit beim Board-Design diese Einflüsse mit dem Ziel der Minimierung der Temperaturspreizung im Lötprozeß berücksichtigt werden können. Dies gilt für Reflow und Vorwärmung/Welle.

Eine Anhebung des Vorwärmniveaus neben der Verlängerung der Lotkontaktzeit ist deshalb geboten!

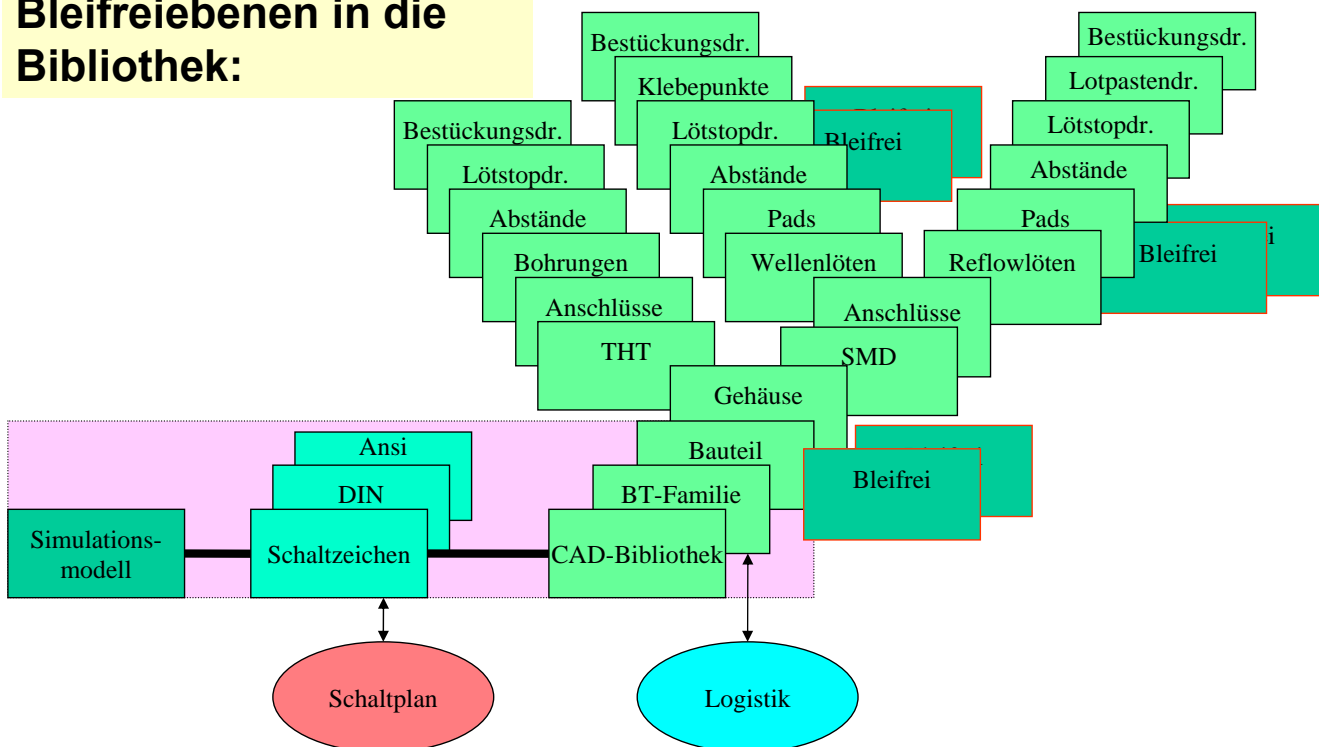
Oktober 04

Klaus Dingler, Fachverband Elektronik-Design e.V.

Bleifrei im Design

Mögliche Auswirkungen auf das Design

Einfügen von Bleifreiebenen in die Bibliothek:



Oktober 04

Klaus Dingler, Fachverband Elektronik-Design e.V.

2. Ergebnisse der Testboardauswertungen

Oktober 04

Klaus Dingler, Fachverband Elektronik-Design e.V.

Bleifrei im Design

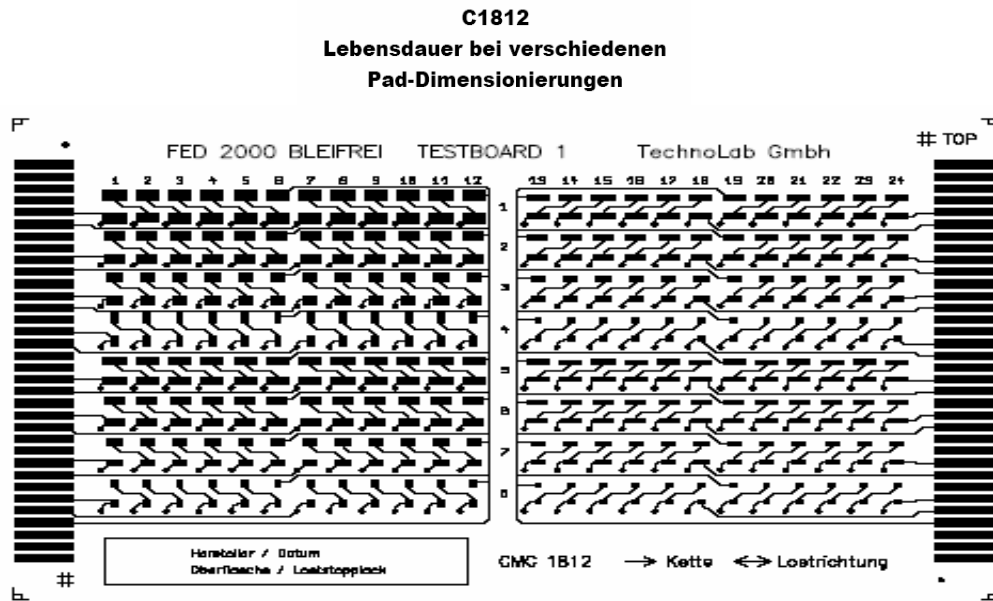


TB Nr.	Löt-verfahren	Ziel	Bauelemente	Anmerkungen
1	W,R	Stressability, Beispiel CMCs	C1812, abgeleitet aus früherem TB vom Projekt SMT-Reliability	1.Verzicht auf Varianten 17-20 2.evtl. auch Langversion für Dauerbiege
2	W	Eigenschaften, Abstände	SOT 23, Ta-Eikos Größen A und C	Verzicht auf B und D
3	W, R	1.Wellenlötfähigkeit der kleinsten Zweipoler, Abstände; 2.Verarbeitung im Reflow-Verfahren: Standup-Tendenz	W, R: 0201, 0402, 0603, R: zusätzlich m-Melf, 0805	
4	W	Lotfänger, Padbreiten; Abstände	SOIC 14	
5	W	HMT-Board: Fillet-lifting, Abstände HMD-SMD, Verhältnis Loch-/Pin-Durchmesser		
6	R	Lötung von BGAs		EURO-Förderprojekt Green RoSe
7	R	1.Kleinste Abstände SMD – SMD wegen der Konturenstabilität der Lotpasten 2.Pad für Gullwing-IC Finepitchbereich	TSOP QFP 0,5, 0,4, (0,3)	
8	R	Lötung von CSPs, FCs		Zum Überdenken HMP, ZAVT, Binder, TU-Dresden
9	RW	Reflow: Standup-Tendenz Tendenz zum Einnehmen der zentrischen Position (Bestücken, Löten) Welle: Tendenz zum Beading-Effekt ?	Zylindrische Zweipoler a)µ-melfs b)j-melfs c)j-melfs Pattern-Varianten Abstände → Minimum nach den Erfahrungen mit TB02, TB03	Unterstützung von BCComponents Heide zugesagt Finale Planung nach Vorliegen der prinzipiellen Erkenntnisse aus TB02, 03
10	W	Lötverhalten verschiedener bleifreier Lote	keine	keine
11	W	Lotentscheidung	Mixboard Standard SMD und -THT	BFE Lötikampagne W5

Oktober 04

Klaus Dingler, Fachverband Elektronik-Design e.V.

Mögliche Auswirkungen auf das Design Testboard 1



Oktober 04

Klaus Dingler, Fachverband Elektronik-Design e.V.

Bleifrei im Design

Übersicht Testboard TB 01

1. Temperaturwechsel-Zyklus:

Zweikammerschrank, vertikale Anordnung
+125 °C / -55 °C je 15 min netto (d.h. zuzügl. der schrankintern gemessenen Temperaturangleichzeiten)
Zyklusdauer ca. 39 min.

2. Ausfallkriterium:

Messung der C1812-Kennwerte Kapazität C und Gütefaktor Q
von Prüfpunkt zu Prüfpunkt

Abfall von C und/oder Q um mehr als 25 % gegen den Anfangswert
vor Beginn der Streß-Applikation.

3. Testboard-Anzahlen im Versuch:

LP-Finish / Lot	Testboardzahl	Rückstellboards	Durchläufer-Boards	BE je Pad-Variante, effektiv
chem. Sn / SnBi	10	3	7	
Ag / SnBi	10	3	7	84 .. 83 (Var. 16: 61)
NiAu / SnBi	10	3	7	84 .. 83
chem. Sn / SnAgCu	8	2	6	72 .. 45 (Var.16: 19)
Ag / SnAgCu	7	3	4	48
NiAu / SnAgCu	9	3	6	72 .. 71
NiAu / SnPb	2	0	2	24
chem. Sn / SnPb	3	1	2	24

Oktober 04

Klaus Dingler, Fachverband Elektronik-Design e.V.

Mögliche Auswirkungen auf das Design

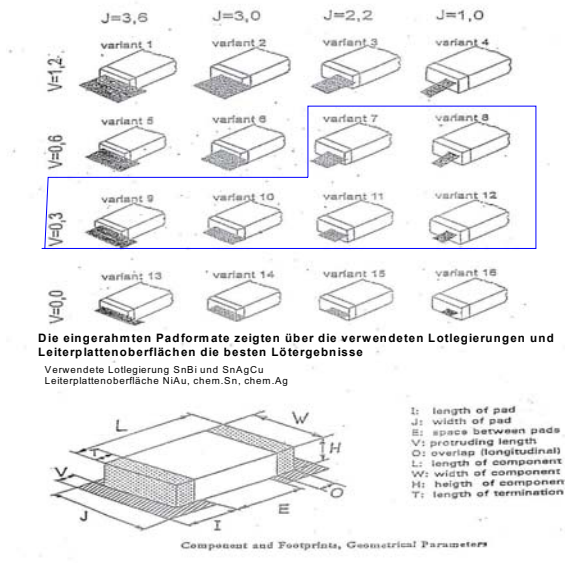
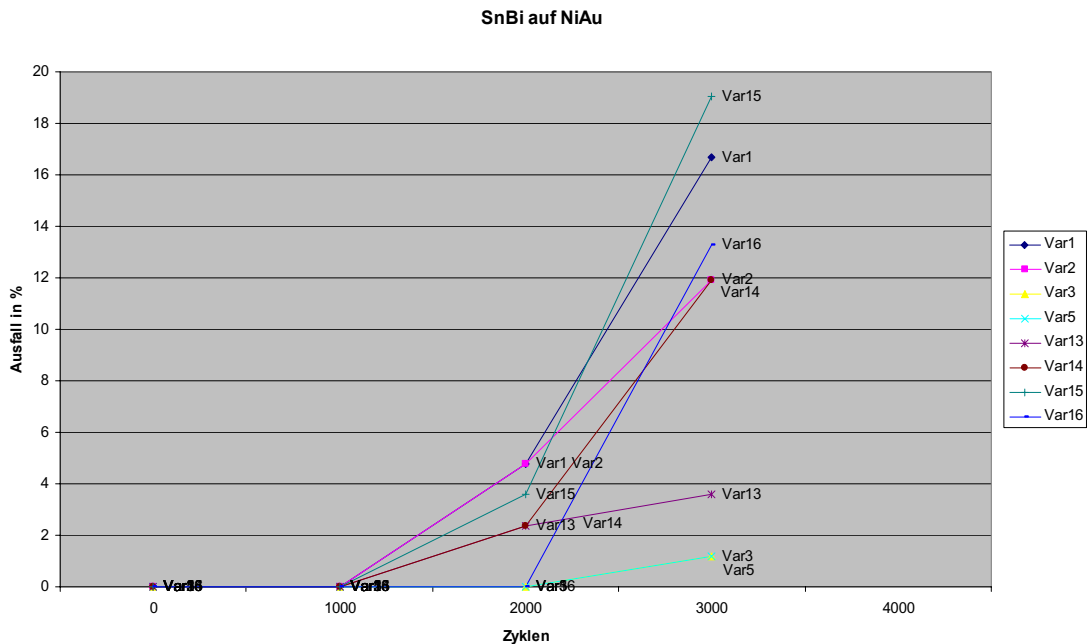


Figure 4: Investigated CMC1812-Footprints - geometric description

Oktober 04

Klaus Dingler, Fachverband Elektronik-Design e.V.

Mögliche Auswirkungen auf das Design

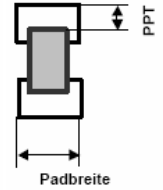


Oktober 04

Klaus Dingler, Fachverband Elektronik-Design e.V.

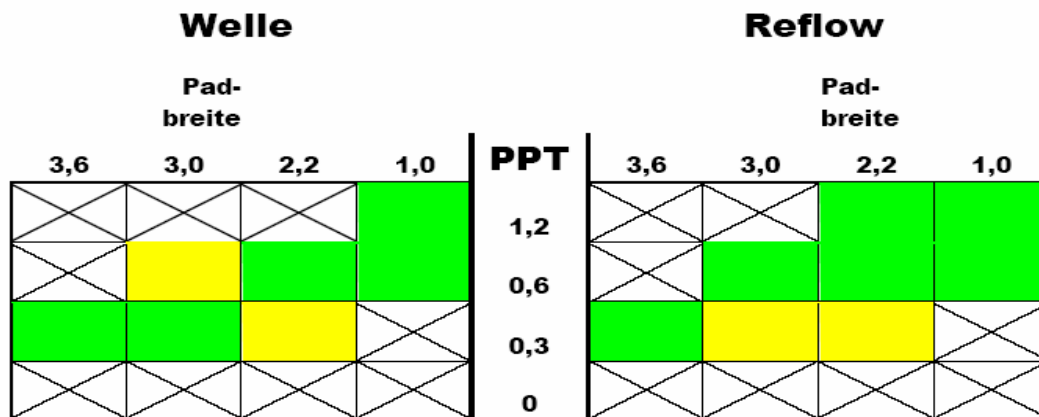
Padbreite [mm]				PPT	Padbreite [mm]			
3.6	3.0	2.2	1.0		3.6	3.0	2.2	1.0
SnAgCu auf FR4-Leiterplatte / Ag-Finish				1.2 0.6 0.3 0	SnBi auf FR4-Leiterplatte / Ag-Finish			
80	1100	1000	>4000		2000	2100	2200	2200
1500	1600	>4000	>4000		3500	3500	3500	3500
>4000	>4000	>4000	>4000		>4000	3500	3200	2200
3600	>4000	3600	>4000	0	1200	3100	2600	3200
SnAgCu auf FR4-Leiterplatte / Sn-Finish				1.2 0.6 0.3 0	SnBi auf FR4-Leiterplatte / Sn-Finish			
600	1500	1200	>3000		600	2500	>3000	>3000
2100	>3000	>3000	>3000		2500	2800	>3000	>3000
>3000	>3000	2500	2500		>3000	>3000	>3000	>3000
1400	1500	400	2300	0	1800	1600	1700	700
SnAgCu auf FR4-LP / NiAu-Finish				1.2 0.6 0.3 0	SnBi auf FR4-LP / NiAu-Finish			
600	1000	1300	>3000		1200	1300	2600	>3000
2500	1800	2800	>3000		2600	>3000	>3000	>3000
>3000	>3000	>3000	>3000		>3000	>3000	>3000	>3000
>3000	2800	>3000	2800	0	1600	1400	1200	2200

1-500	501-1000	1001-1500	1501-2000	2001-2500	2501-3000	3001-3500	3501-4000	>4000
-------	----------	-----------	-----------	-----------	-----------	-----------	-----------	-------



Oktober 04

Klaus Dingler, Fachverband Elektronik-Design e. V.



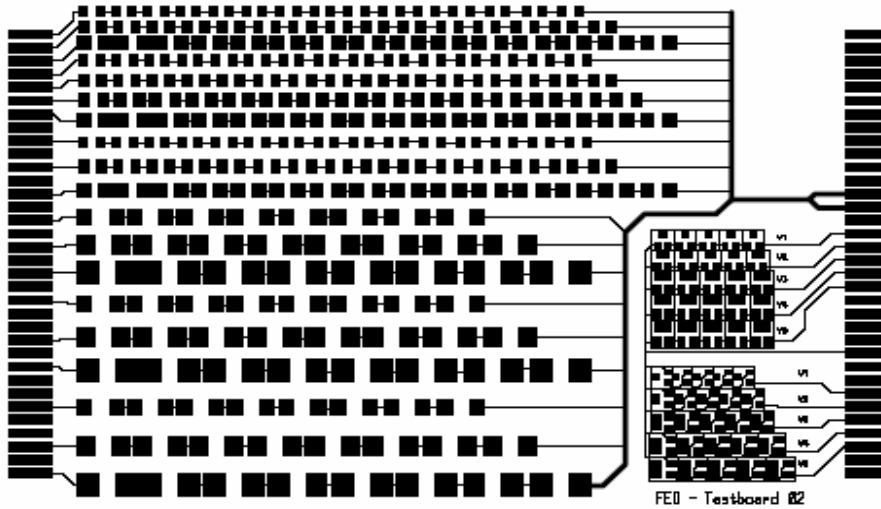
C1812, Paddimensionierung für SnAgCu, SnBi: Empfehlungen für günstige Bereiche bezüglich Temperaturwechsel-Streßresistenz

Oktober 04

Klaus Dingler, Fachverband Elektronik-Design e. V.

Mögliche Auswirkungen auf das Design Testboard 2

Ta-Elkos, Größen A, C ; SOT-23
Nichtlötungen und Lotbrücken
bei verschiedenen
Pad-Dimensionierungen und Abständen

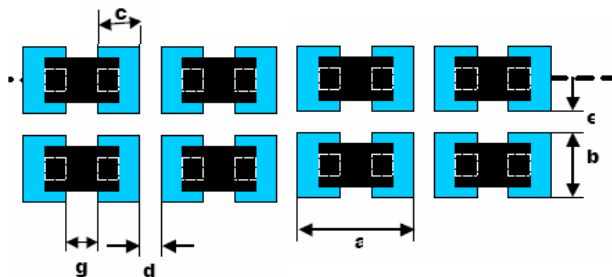


Oktober 04

Klaus Dingler, Fachverband Elektronik-Design e.V.

Bleifrei im Design

Wellenlötungen Tantal-C, Größe A und C



Untersuchte Oberflächen:	
-	HAL-SnCuNi (SN100C)
-	chem. Sn
-	chem. Ag
-	NiAu
-	OSP (Entec Plus)
-	HAL-SnPb für alle Referenzlötungen mit SnPb
Terminfolge:	
Herstellung der Leiterplatten:	November 2003
Erste Lötkampagne:	März 04 (SEHO - SnAgCu, SnCu)
Zweite Lötkampagne:	August (Zollner - SnPb)
Dritte Lötkampagne:	Sept. (SEHO - SnCuNi, SnAgCu)

typische Prozessbedingungen: Doppelwelle 260 °C, Vorwärmung =130 °C, Kontaktzeit 1s + 2s

Oktober 04

Klaus Dingler, Fachverband Elektronik-Design e.V.

Wellenlötergebnisse Tantal-C Größe A

Sn-0,7Cu										
Nichtlötung	sp	sp	med	med	stp	stp	bp	bp		
Brücken	sp	sp	med	med	stp	stp	bp	bp		
a	4,4	4,4	4,8	4,8	5,6	5,6	6,1	6,1		
b	2	2	2,2	2,2	2,3	2,3	2,5	2,5		
c	1,3	1,3	1,6	1,6	2,1	2,1	2,5	2,5		
d	0,7	1,3	0,7	1,3	0,7	1,3	0,7	1,3		
g	1,6	1,6	1,6	1,6	1,6	1,6	1,6	1,6		
Unabhängig von übrigen den Größen variiert										
e	1,4	0,9	1,4	2,3	2	1,6	2,2	3,1	2,6	2,5
Sn-37Pb (Referenzlötung)										
Nichtlötung	sp	sp	med	med	stp	stp	bp	bp		
Brücken	sp	sp	med	med	stp	stp	bp	bp		
a	4,4	4,4	4,8	4,8	5,6	5,6	6,1	6,1		
b	2	2	2,2	2,2	2,3	2,3	2,5	2,5		
c	1,3	1,3	1,6	1,6	2,1	2,1	2,5	2,5		
d	0,7	1,3	0,7	1,3	0,7	1,3	0,7	1,3		
g	1,6	1,6	1,6	1,6	1,6	1,6	1,6	1,6		
Unabhängig von übrigen den Größen variiert										
e	1,4	0,9	1,4	2,3	2	1,6	2,2	3,1	2,6	2,5

Sn-3,8Ag-0,7Cu										
Nichtlötung	sp	sp	med	med	stp	stp	bp	bp		
Brücken	sp	sp	med	med	stp	stp	bp	bp		
a	4,4	4,4	4,8	4,8	5,6	5,6	6,1	6,1		
b	2	2	2,2	2,2	2,3	2,3	2,5	2,5		
c	1,3	1,3	1,6	1,6	2,1	2,1	2,5	2,5		
d	0,7	1,3	0,7	1,3	0,7	1,3	0,7	1,3		
g	1,6	1,6	1,6	1,6	1,6	1,6	1,6	1,6		
Unabhängig von übrigen den Größen variiert										
e	1,4	0,9	1,4	2,3	2	1,6	2,2	3,1	2,6	2,5

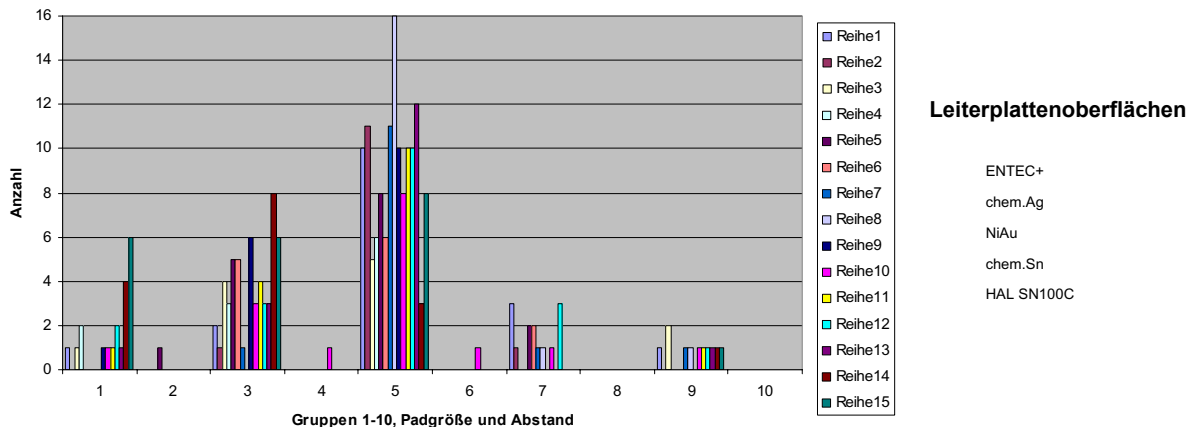
- Keine Fehler bei den TB-02-Wellenlötungen
- Vereinzelt Fehler aufgetreten
- fehleranfälliges Layout, nicht zu verwenden

Oktober 04

Klaus Dingler, Fachverband Elektronik-Design e.V.

Auswertungsbeispiel

Lötbrücken Tantal A, alle Leiterplattenoberflächen, 1.-3. Fünfer, Lotlegierung SnAgCu



Oktober 04

Klaus Dingler, Fachverband Elektronik-Design e.V.

Wellenlötergebnisse Tantal-C Größe C

Sn-3,8Ag-0,7Cu												
Nichtlötung	sp	sp	sp	sp	med	med	med	med	bp	bp	bp	bp
Brücken	sp	sp	sp	sp	med	med	med	med	bp	bp	bp	bp
a	8,4	8,4	8,4	8,4	9,6	9,6	9,6	9,6	11	11	11	11
b	2,8	2,8	2,8	2,8	3,2	3,2	3,2	3,2	4	4	4	4
c	2,6	2,6	2,6	2,6	3,2	3,2	3,2	3,2	3,8	3,8	3,8	3,8
d	0,5	0,7	1	1,4	0,5	0,7	1	1,4	0,5	0,7	1	1,4
g	3,2	3,2	3,2	3,2	3,2	3,2	3,2	3,2	3,2	3,2	3,2	3,2
Unabhängig von übrigen den Größen varriert												
e	2,5	1,8	3									

Sn-0,7Cu												
Nichtlötung	sp	sp	sp	sp	med	med	med	med	bp	bp	bp	bp
Brücken	sp	sp	sp	sp	med	med	med	med	bp	bp	bp	bp
a	8,4	8,4	8,4	8,4	9,6	9,6	9,6	9,6	11	11	11	11
b	2,8	2,8	2,8	2,8	3,2	3,2	3,2	3,2	4	4	4	4
c	2,6	2,6	2,6	2,6	3,2	3,2	3,2	3,2	3,8	3,8	3,8	3,8
d	0,5	0,7	1	1,4	0,5	0,7	1	1,4	0,5	0,7	1	1,4
g	3,2	3,2	3,2	3,2	3,2	3,2	3,2	3,2	3,2	3,2	3,2	3,2
Unabhängig von übrigen den Größen varriert												
e	2,5	1,8	3									

Oktober 04

Klaus Dingler, Fachverband Elektronik-Design e.V.

Wellenlötergebnisse Tantal-C Größe C

Sn-37Pb (Referenzlötung)												
Nichtlötung	sp	sp	sp	sp	med	med	med	med	bp	bp	bp	bp
Brücken	sp	sp	sp	sp	med	med	med	med	bp	bp	bp	bp
a	8,4	8,4	8,4	8,4	9,6	9,6	9,6	9,6	11	11	11	11
b	2,8	2,8	2,8	2,8	3,2	3,2	3,2	3,2	4	4	4	4
c	2,6	2,6	2,6	2,6	3,2	3,2	3,2	3,2	3,8	3,8	3,8	3,8
d	0,5	0,7	1	1,4	0,5	0,7	1	1,4	0,5	0,7	1	1,4
g	3,2	3,2	3,2	3,2	3,2	3,2	3,2	3,2	3,2	3,2	3,2	3,2
Unabhängig von übrigen den Größen varriert												
e	2,5	1,8	3									

	Keine Fehler bei den TB-02-Wellenlötungen
	Vereinzelt Fehler aufgetreten
	fehleranfälliges Layout, nicht zu verwenden

Oktober 04

Klaus Dingler, Fachverband Elektronik-Design e.V.

typische Prozessbedingungen: Doppelwelle 260 °C, Vorwärmung =130 °C, Kontaktzeit 1s + 2s

Untersuchte Oberflächen:

- HAL-SnCuNi (SN100C)
- chem. Sn
- chem. Ag
- NiAu
- OSP (Entec Plus)
- HAL-SnPb für alle Referenzlötungen mit SnPb

Terminfolge:
 Herstellung der Leiterplatten: November 2003
 Erste Lötkampagne: März 04 (SEHO - SnAgCu, SnCu)
 Zweite Lötkampagne: August (Zollner - SnPb)
 Dritte Lötkampagne: Sept. (SEHO - SnCuNi, SnAgCu)

SnPb/TB-02: Philips-Layout 1995	SnAgCu	SnCu	SnCuNi
Angaben gelten für Welle parallel und quer, volle Lötbarkeit			(HAL-SnCuNi, chem. Sn, chem. Ag, NiAu)
a: ≈3.2 mm	a: >/= 3.7	a: >/= 3.7	noch nicht ausgewertet
b: 1.1	b: 1.2	b: 1.2	
c: 1.2	c: um 3.0	c: um 3.0	
d: <1.0	d: um 1.0	d: um 1.0	
e: 0.5	e: 0.5	e: 0.5	

Oktober 04

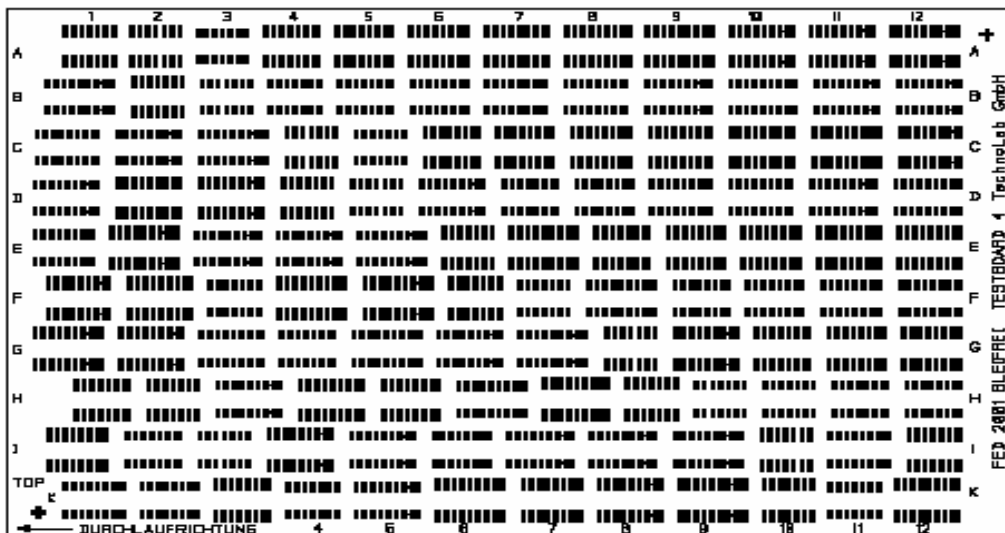
Klaus Dingler, Fachverband Elektronik-Design e.V.

Bleifrei im Design

Mögliche Auswirkungen auf das Design (4) Testboard 4

SOIC-14

Dimensionierung von Lotfängern



Oktober 04

Klaus Dingler, Fachverband Elektronik-Design e.V.

Bleifrei im Design



FED-Projekt "Design Bleifrei" (BFE-11)

Stand: 28.07.2003

Basis für das LP-Layout und Ergebnisse aus der ersten Löttrunde im Mai 2003

T8-04-Layout am 20.09.2001:

Bucke, Mithan, Euteneuer, Reichelt

Varianten-Nr.	1. Einbauplatz	Padbreite	Padlänge	G	letztes Pad verbreitert Padbreite	Padlänge	Lotdick separat, nicht angeb. Padbreite	Padlänge	Lotdick separat, angebunden Padbreite	Padlänge	
Variante A	1A	0,6	2,2	3,6	-	-	-	-	-	-	-
Variante B	2A	0,5	2,2	3,6	-	-	-	-	-	-	-
Variante C	3B	0,5	1,5	3,6	-	-	-	-	-	-	-
Variante D	3A	0,6	1,5	3,6	-	-	-	-	-	-	-
Variante E	4A	0,6	2,2	3,6	1,2	2,2	-	-	-	-	-
Variante F	5B	0,6	1,5	3,6	1,2	1,5	-	-	-	-	-
Variante G	5A	0,6	2,2	3,6	1,5	2,2	-	-	-	-	-
Variante H	6B	0,6	1,5	3,6	1,5	1,5	-	-	-	-	-
Variante J	6A	0,6	2,2	3,6	2,0	2,2	-	-	-	-	-
Variante K	7B	0,6	1,5	3,6	2,0	1,5	-	-	-	-	-
Variante L (=S)	7A	0,6	2,2	3,6	-	-	1,2	2,2	-	-	-
Variante M (=T)	8B	0,6	1,5	3,6	-	-	1,2	1,5	-	-	-
Variante N (=U)	8A	0,6	2,2	3,6	-	-	1,5	2,2	-	-	-
Variante O (=V)	9B	0,6	1,5	3,6	-	-	1,5	1,5	-	-	-
Variante P (=W)	9A	0,6	2,2	3,6	-	-	2,0	2,2	-	-	-
Variante R (=X)	10B	0,6	1,5	3,6	-	-	2,0	1,5	-	-	-
Variante S	10A	0,6	2,2	3,6	-	-	-	-	1,2	2,2	-
Variante T	11B	0,6	1,5	3,6	-	-	-	-	1,2	1,5	-
Variante U	11A	0,6	2,2	3,6	-	-	-	-	1,5	2,2	-
Variante V	12B	0,6	1,5	3,6	-	-	-	-	1,5	1,5	-
Variante W	12A	0,6	2,2	3,6	-	-	-	-	2,0	2,2	-
Variante X	1B	0,6	1,5	3,6	-	-	-	-	2,0	1,5	-

-> Varianten ohne abgesetzte Lötflinger

Varianten 5, 6A usw. sind alternierend jeweils in einer Reihe diagonal angeordnet.

Die 4 bis 8 ICs einer Variante sind über die Leiterplatte verteilt, um lokale Einflüsse beim Löten zu vermeiden.

Angebundene Lotdickle: Leiter-zentrisch: 0,2 mm

ist lötechnisch nicht wirksam, da Verbindungsleiter abgedeckt. Daher L=S usw.

Ergebnisse:

- starke Fehler
- einige Fehler
- diese Varianten waren fehlerfrei im ersten Versuchslauf (Mai 2003)
- geringe Fehler, jedoch nicht zu empfehlen wg. der kleinen Testboardzahl
- viele Scheinbrücken
- einige Scheinbrücken
- wenige Scheinbrücken
- keine Scheinbrücken

umrahmte Varianten insgesamt fehlerfrei unter Berücksichtigung der Variantengleichheit L=S usw. im Versuchslauf Mai 2003

Oktober 04

Klaus Dingler, Fachverband Elektronik-Design e.V.

Bleifrei im Design



Mögliche Auswirkungen auf das Design

Die Diskussion um die Lötflängergestaltung wird neu entfacht:

Völlig ohne Fehler im Test unabhängig vom Lot.

Abgesetzte Lötflinger

Lötflängerbreite mm	1,5	2,0	1,2...1,5
Lotflängerbreite mm	1,5	2,2	1,5...2,0
	bestes Ergebnis	noch gut	Scheinbrücken

Ein vergrößertes letztes Pad führt nicht immer zu brückenfreien Lötungen. Beste Ergebnisse mit

Lötflängerbreite	1,5mm
Lötflängerbreite	2,0mm

Oktober 04

Klaus Dingler, Fachverband Elektronik-Design e.V.

	<p>Unbrauchbar Konfigurationen ohne abgesetzte Lotfänger</p> <p>Padlänge: 1.5 od. 2.2 mm Padbreite: 0.5 od. 0.6 mm</p> <p><u>Lotfängermaße:</u> Länge: 1.5 oder 2.2 mm Breite: 1.2, 1.5 od. 2.2 mm Länge immer = Padlänge !! Brauchbar: l=1.5, b=2.2</p> <p>Die Varianten ganz ohne Vergrößerung der beiden letzten Pads hatten die überwiegend meisten Lotbrücken.</p>		<p>Optimale Konfiguration ohne abgesetzte Lotfänger</p> <p>Padlänge: 1.5 mm Padbreite: 0.6 mm</p> <p><u>Lotfängermaße:</u> Länge: 1.5 mm Breite: 2.0 mm</p> <p>Diese Variante war ganz ohne Lotbrücken, d.h. die kurze Padform in Verbindung mit der größten angewendeten Lotfängerbreite.</p>
	<p>häufige Scheinbrücken keine Brücken</p> <p>Lotfänger: b=1.2, 1.5 l=1.5, 2.2</p>		<p>wenig Scheinbrücken keine Brücken</p> <p>Lotfänger: b=1.5, 2.0 l=1.5, 2.2</p>

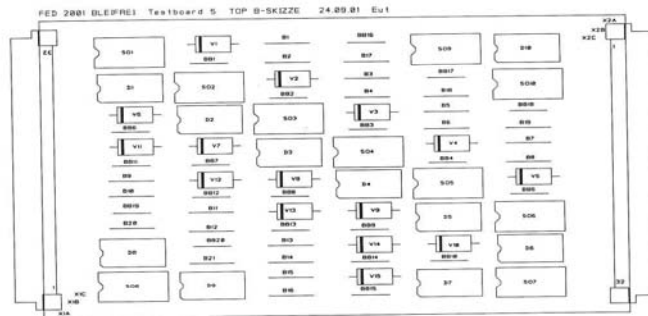
Oktober 04

Klaus Dingler, Fachverband Elektronik-Design e.V.

Bleifrei im Design

Mögliche Auswirkungen auf das Design Testboard 5

CAM350 V 6.0 : Tue Mar 12 11:40:35 2002 - test_5.cam : Test_5_ts.exg

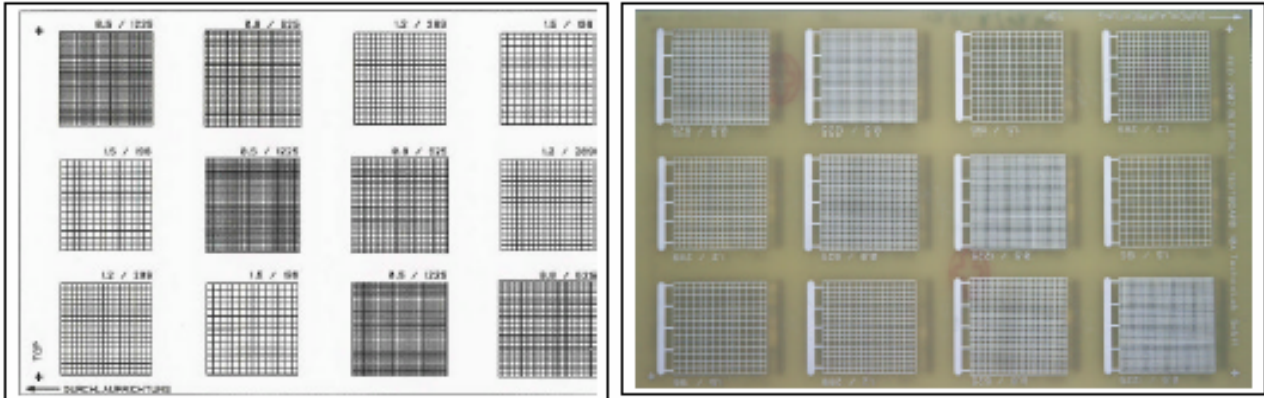


Oktober 04

Klaus Dingler, Fachverband Elektronik-Design e.V.

Mögliche Auswirkungen auf das Design Testboard 10

Benetzungs-Kreuzgitter (Prozeßindikator)



erste Lötversuche, großenteils mit SnPb	Hinzufügung von Loffängern, ansonsten Identität der Maße
Bestätigung der Gitterraster-Dimensionierung	weitere Lötversuche, auch mit bleifreien Loten

Vorläufiges Fazit: Teststruktur erscheint brauchbar zur Beurteilung von Wellenlötprozessen, weitere Erfahrungen werden noch benötigt.

Oktober 04

Klaus Dingler, Fachverband Elektronik-Design e.V.

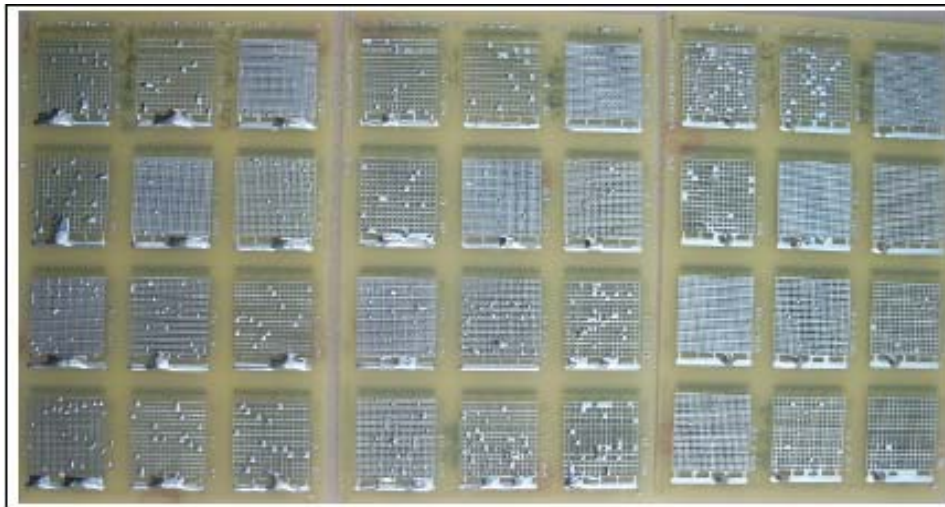


Fluxauftrag: 55 ml/min	55 ml/min	35 ml/min
1.5 m/min	1.5 m/min	1.2 m/min

Wörthmann-Welle SnAgCu	
Lotbad:	
Links:	260 °C
Mitte:	270 °C
Rechts:	280 °C
Geschw.:	1.2/1.5 m/min
Bahnwinkel:	9°
Flux:	Adlpinsäure 35-55 ml/min
Temperatureinfluß:	
260, 270 °C etwa gleichwertig, 280 °C ungünstiger (geringerer Fluxauf- trag, Flussmittlereak- tion nachlassend ?)	

Oktober 04

Klaus Dingler, Fachverband Elektronik-Design e.V.



Doppelwelle	
<u>Lotbad:</u>	
Links:	SnAgCu
Mitte:	SnCu
Rechts:	SnCuNi
Geschw.: 1.0 m/min	
Temperatur: 260 °C	
Bahnwinkel: 7°	
Flux: Emil Otto 2533	
40 ml/min	
<u>Loteinfluß:</u>	
Signifikante Unterschiede nicht erkennbar.	

SnAgCu - vollinert	SnCu – N ₂ -Abdeckung	SnCuNi – N ₂ -Abdeckung
--------------------	----------------------------------	------------------------------------

Oktober 04

Klaus Dingler, Fachverband Elektronik-Design e.V.

Bleifrei im Design

Mögliche Auswirkungen auf das Design

Zusammenfassung der Ergebnisse unserer Untersuchungen

Speziell bei CMC1812 und ähnlichen Bauformen, sind die Pads an den Bauteilköpfen größer zu gestalten. Bei zu großen Pads besteht Schadensgefahr an den Bauteilen (Bruch) durch die größere Kriechfestigkeit der bleifreien Lotlegierungen (SnAgCu). Wird die Padprotrusion (Padlänge am Bauteilkopf) zu Null so sind Lötfehler nicht zu vermeiden.

Brückenbildung von benachbarten Pads, bzw. Nichtlötung durch Abschattung , bedingt durch die größere Oberflächenspannung, ist durch ausreichende Abstände entgegen zu wirken.

Bei Vielpolbauteilen zeigt sich das zusätzliche Aufbringen von Lötflängern hinter dem letzten Pad in Durchlaufrichtung durch die Lötanlage als vorteilhaft. Das Lot sammelt sich hier beim Abriss der Welle und verhindert Brückenbildung.

Unter diesen Voraussetzungen sind in der Bauteilbibliothek Unterschiede zwischen den Pads für die Reflowtechnik und der Wellenlöttechnik festzulegen.

Oktober 04

Klaus Dingler, Fachverband Elektronik-Design e.V.

Mögliche Auswirkungen auf das Design

Grundsätzlich müssen bei den Veränderungen und Neufestlegungen für die Baugruppenfertigung vorhandenen Möglichkeiten im Produktionsprozess mit in Betracht gezogen werden.

Das bedeutet auch, dass Versuche und Testläufe vorher notwendig sind, um die optimalen Bedingungen auf der Leiterplatte und die Prozessparameter der Lötanlage zu ermitteln.

Ein für alles geltendes „Kochrezept“ wird es nicht geben!

Oktober 04

Klaus Dingler, Fachverband Elektronik-Design e.V.

Bleifrei im Design

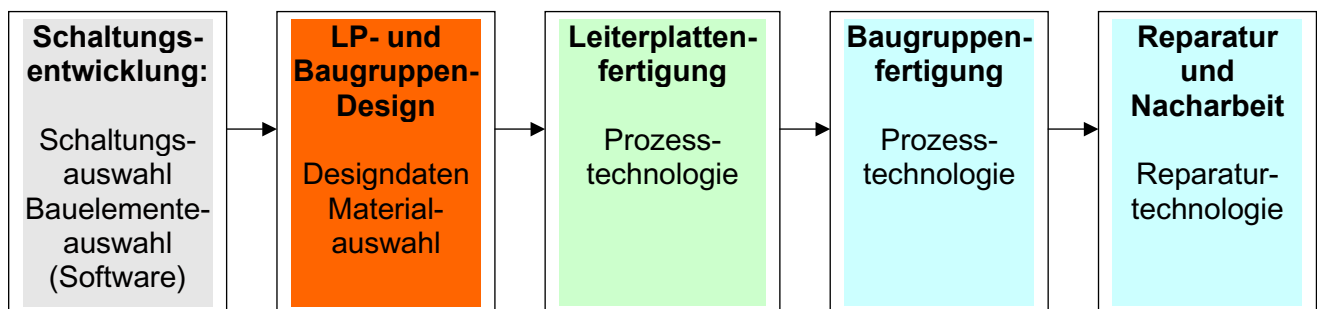
3. Schlussbetrachtung

Oktober 04

Klaus Dingler, Fachverband Elektronik-Design e.V.

Erinnerung: Die **Entstehungskette** von Elektronikprodukten muss fehlerfrei sein

- ▶ Die Endqualität eines Produktes summiert sich aus der „Teilqualität“ der einzelnen Entstehungs-Schritte – auch bei bleifrei.
- ▶ Jeder Entstehungs-Schritt kann neue Fehlerquellen hinzufügen.
- ▶ Unerkannte Fehler werden bis zum Endprodukt „weitergereicht“.
- ▶ Die Qualitätssicherung muss deshalb **möglichst früh** anfangen.
- ▶ Qualität ist ein **gesamtheitliches** Problem aller Beteiligten.
- ▶ Bei der Realisierung der WEEE und RoHS müssen alle **rechtzeitig** zusammenarbeiten Kunde und Dienstleister!



Oktober 04

Klaus Dingler, Fachverband Elektronik-Design e.V.

Anforderungen an LP/Baugruppendesigner wachsen deutlich!

- ▶ Die Bedeutung des Designers als **Effektivitäts-entscheidendes** Kettenglied wächst erheblich
- ▶ Bisherige **Design-Unzulänglichkeiten** mit negativen Fertigungsfolgen werden noch gravierendere Auswirkungen haben
- ▶ DfM – **Design for Manufacturing** nimmt eine noch wichtigere Stellung ein, denn die Fertigungen werden noch differenzierter, z. B. wegen unterschiedlicher Lote. Der Designer muss in die Fertigung gehen!
- ▶ Neues Wissen ist gefordert: DfE – Design for Environment, DfR – Design for Recycling usw.
- ▶ Der Aufwand für Bibliotheksarbeiten wird wahrscheinlich wachsen – differenziertere Bauelementeinformationen, vorübergehende doppelte Aufnahme bleifreier und bleihaltiger Bauelemente

Oktober 04

Klaus Dingler, Fachverband Elektronik-Design e.V.

Welche nationalen/ internationalen unterstützenden Richtlinien gibt es zur Bleiablösung?

Die internationale Normung nimmt sich der Bleifrei-Technologie intensiv an. Jedoch im Januar 2004:

IEC Noch nichts Fertiges (außer DIN IEC 60068-2-20)
IPC Noch nichts Fertiges (außer IPC/JEDEC J-STD-020B)

DIN EN Noch nichts Fertiges

Brauchbare Arbeitsunterlagen für die betriebliche Praxis vom IPC wie
- J-STD-001 Basisrichtlinie Löten

- IPC-A-600 Abnahmekriterien für Leiterplatten

- IPC-A-610 Abnahmekriterien für Baugruppen

- IPC-7711/IPC-7721 Rework/Reparatur

sind wahrscheinlich frühestens **2006** zu erwarten.

Oktober 04

Klaus Dingler, Fachverband Elektronik-Design e.V.

Wann soll man mit der Umsetzung beginnen?

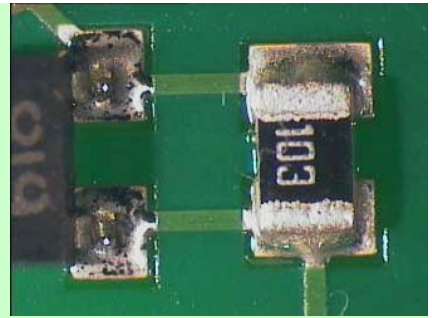
Sofort!

Es ist offensichtlich **unklug**, mit der Umsetzung der WEEE und RoHS in den Betrieben bis 2005 oder später zu warten, beachtet man

- den in der Industrie notwendigen zeitlichen Vorlauf von Forschung und Entwicklung neuer Produkte
- das erforderliche gedankliche als auch methodische Umschwenken in Richtung umweltgerechter Elektronik in den Firmen
- den Vorlauf der japanischen Unternehmen im Heimatland und in Europa sowie auch den Vorsprung mancher europäischer Firmen

Oktober 04

Klaus Dingler, Fachverband Elektronik-Design e.V.



Löten ohne Blei, umsteigen ohne Probleme ?

Dipl.-Ing. Rudolf Berg

Forschungszentrum Karlsruhe, Institut für Prozessdatenverarbeitung und Elektronik, SMT-Fertigung
Leiter: Prof. Dr. Hartmut Gemmeke

Die gängigen automatischen Lötverfahren

- Wellenlöten, gebräuchlich und notwendig für Baugruppen mit vielen bedrahteten Bauelementen.
- Reflowlöten im Durchlaufofen, mit Infrarot, Heissluft, oder kombiniert. Weit verbreitet.
- Dampfphasenlöten, noch die Ausnahme mit rasant steigender Akzeptanz

Kurze Vorstellung unserer Fertigung in FZK-IPE-SMT:



Der DIMA DYMAXION Bestückungsautomat



Die Dampfphasenlötanlage ASSCON VP 1000-53



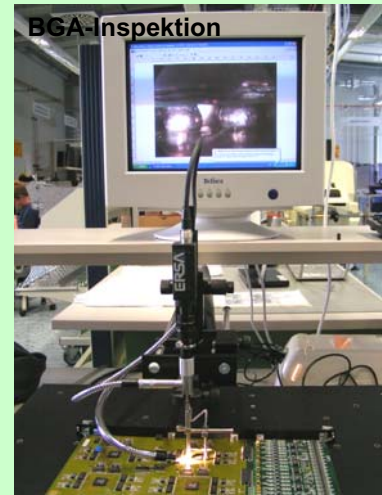
Der Prüfautomat SPEA Flying Probe Tester



Lotpastenauftrag



BGA-Inspektion



Diverses



Trockenlagerschränke

Selektivlöten



Warum Bleifrei ?

Blei ist ein gefährliches Umweltgift

Schädigung besonders des zentralen Nervensystems, der Fortpflanzungsorgane und der Nieren

Verboten ab 1. Juli 2006 gemäss der

RICHTLINIE 2002/95/EG DES EUROPÄISCHEN PARLAMENTS UND DES RATES

vom 27. Januar 2003

zur Beschränkung der Verwendung bestimmter gefährlicher Stoffe in Elektro- und Elektronikgeräten

Zunehmend höhere Temperaturanforderungen (> 150°C) an elektronische Baugruppen (z.B. im Automobilbereich)

Forderung erfüllt durch Lote mit höherem Schmelzpunkt

Richtlinie bis jetzt noch nicht in nationales Recht umgesetzt
Z. Zt. liegt in Deutschland vor:

Referentenentwurf vom 09.07.2004

**Gesetz über das Inverkehrbringen, die Rücknahme und die umweltverträgliche Entsorgung von Elektro- und Elektronikgeräten
(Elektro- und Elektronikgerätegesetz – ElektroG)**

In Auflistung in **Anwendungsbereich** in § 2:

**Sind Geräte aus dem wissenschaftlich-
technischen Bereich nicht eindeutig
zuzuordnen.**

**Kein zwingender Grund, solche Geräte ab dem
1. Juli 2006 bleifrei zu löten.**

**Gesetzlich definiert ist eine 4-jährige
Überprüfung des Anwendungsbereiches, also
zuerst in 2010.**

**Ein solches Verhalten ist aus
folgenden Gründen nicht
empfehlenswert!**

Betriebsstoffe, wie Lot, Lotpasten, etc. sind
bald nur noch bleifrei leicht erhältlich.

Bauelemente bald nur noch bleifrei erhältlich.

Folge: Bleifreie BGA-Balls schmelzen im
verbleiten Prozess nicht mehr um.

Alle Fertigungsparameter, das
„Fertigungsdenken“ wird sich schnell auf
Bleifrei als Standard umstellen.

**Also: Spätestens ab Anfang 2006 alle
Fertigungsparameter auf Bleifrei umstellen!
Achtung! Es könnte gelten:
Wer zu spät kommt, den bestraft das Leben!**

Sachverhalte/Entwicklungen, die die Umstellung erleichtern:

Verbindungsprozesse sowohl vorwärts- als auch rückwärtskompatibel!

Problempotential birgt das Löten von bleifreien Bauelementen mit verbleiten Loten im verbleiten Lötprozess. Letztere Situation droht, wenn man zu spät umsteigt.

Verbleite Lötstellen können Bleifrei nachgelötet werden und mit erhöhter Prozesstemperatur auch umgekehrt.

Schon jetzt sind sehr gute bleifreie Lote und Pasten in gleichbleibender Qualität erhältlich. Hersteller verbleiter Lote liefern unverbleite Lote in analoger Qualität.

Ab 2005 haben alle Bauelementehersteller auf Bleifrei umgestellt. Ab 2006/2007 Lieferprobleme für verbleite Bauelemente.

Welche neuen technischen Probleme birgt die Umstellung?

Gewagte Aussage ?

Bei langjähriger Fertigungserfahrung,
guter Vorbereitung, überlegter
Vorgehensweise, Flexibilität, ein wenig Mut
und etwas Glück:

KEINE !

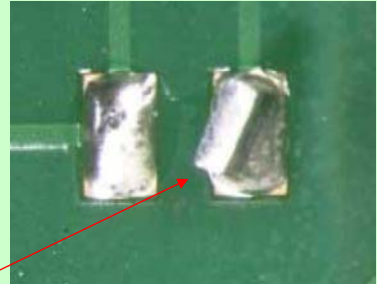
Beispiel: Unsere neue in 2003 beschaffte Dampfphasenlötanlage haben wir von Anfang an mit einem 230°C-Medium betrieben.

Besuch einschlägiger Lehrgänge am ZVE in Oberpfaffenhofen in 2002 und 2003
Fachgespräche auf Messen und mit anderen Fertigungsleitern

Erste Lötversuche im Oktober 2003 (Versuchsbaugruppen wie Muster)

nach Beschaffung von 4 Lotpastenmustern

- Heraeus F610 Sn95,5Ag4Cu0,5 Liqu. 219°C
- GLT 6-Sn96-278-E250-P Sn96Ag4 Liqu. 221°C
- Indium 241 Sn95,5Ag3,8Cu0,7 Liqu. 220°C
- Kester Liberty 910 Sn 95,5Ag3,8Cu0,7

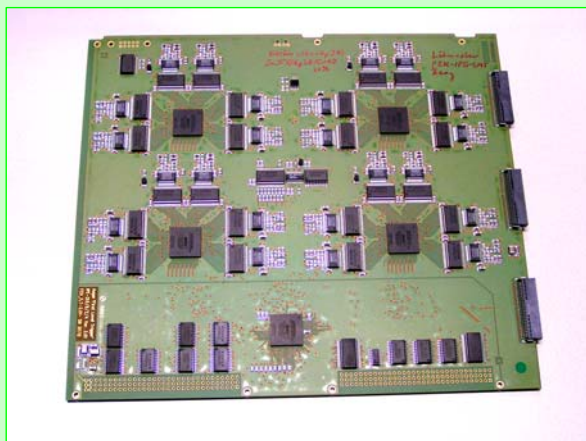


Kritische Punkte: BGA-Lötqualität und Tombstoning

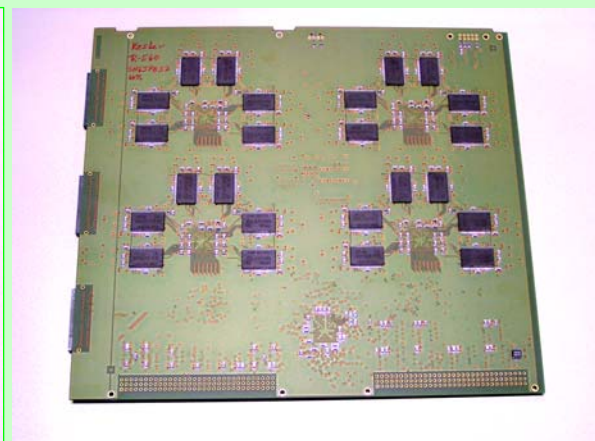
Gelötet wurden Standard-Bauelemente auf FR4-Leiterplattenmaterial

Geeignet für unseren Prozess: Kester Liberty 910 und Indium 241

Das Baugruppenmuster



Oberseite bleifrei mit Liberty 910



Unterseite verbleit mit Kester R-560

FLT-Board = In IPE u.a. entwickelt- und gefertigtes superschnelles **F**irst **L**evel **T**riigger-Board für das multinationale AUGER-Projekt (Kosmischer Strahlendetektor) in Argentinien

In Europa etablierte bleifreie Lotpasten gemäss Norm EN61190-1-3 vom Januar 2003:

- **Sn95,5Ag3,8Cu0,7** **217°C**
- **Sn96,5Ag3,5** **221°C**
- **Sn99,3Cu0,7(lowcost, auch nickeldotiert)** **227°C**

Nachteil Lowcost-Paste: Muss bei 240°C in der Dampfphase gelötet werden.

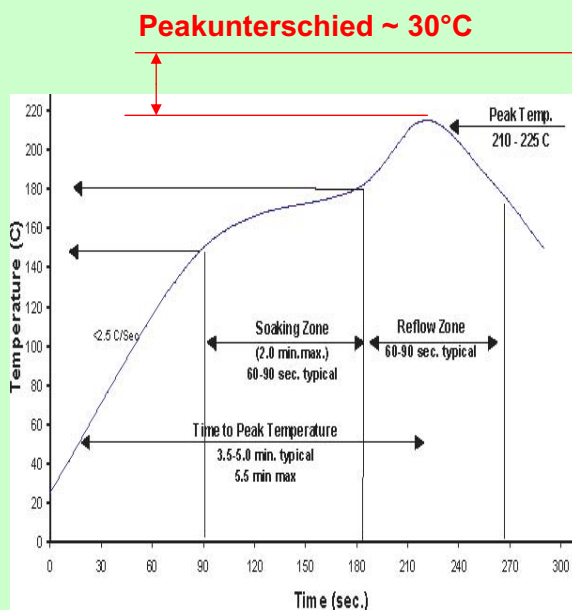
Erste beiden Legierungen können bei 230°C bauelementschonend gelötet werden.

Nach JEDEC-Norm J-STD-020B müssen kleine Bauelemente 250°C und grosse 245°C aushalten.

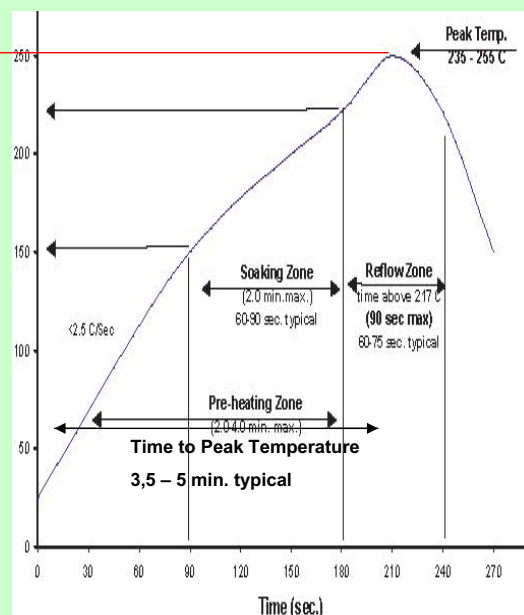
Bisherige IC-Packages müssen 240°C 40 Sekunden lang aushalten. Der Dampfphasen-Lötprozess belastet Bauelemente am geringsten.

Vergleich der empfohlenen Reflow-Lötprofile

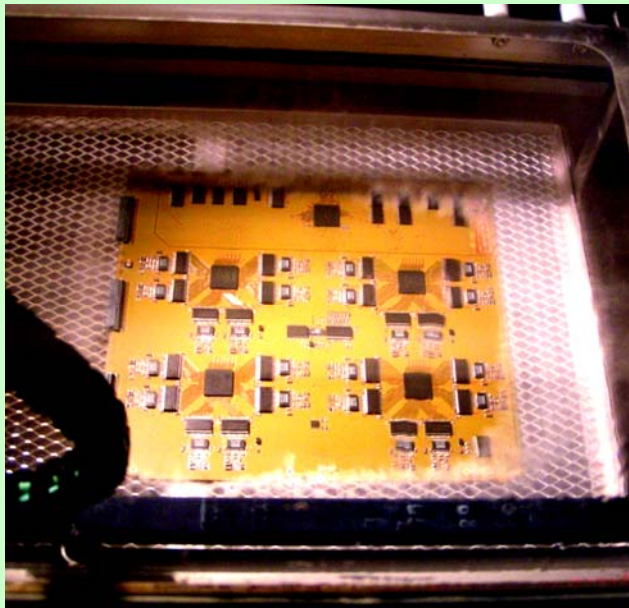
Kester R-560
Typisch für verbleit



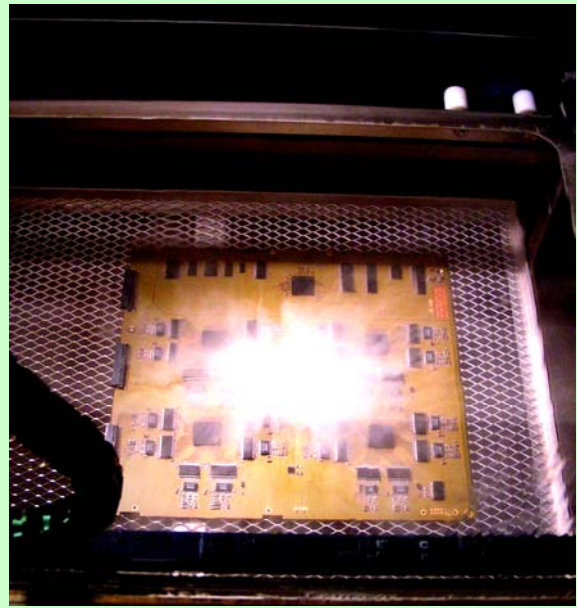
Kester Liberty 910
Typisch für bleifrei



Der in IPE-SMT verwendete Dampfphasen- (Kondensations-) Lötprozess

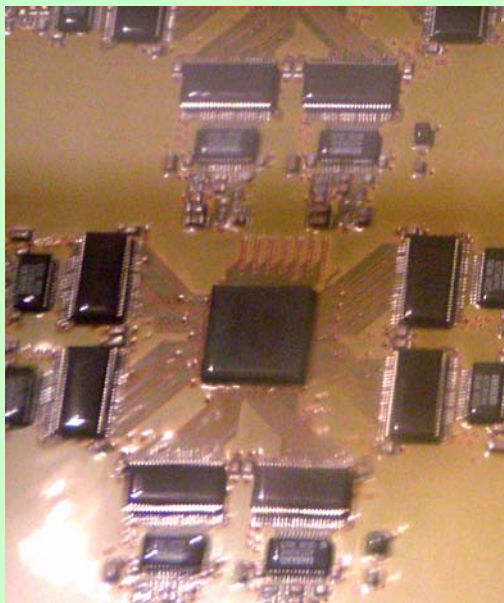


Die kalte Baugruppe taucht in die Dampfdecke ein

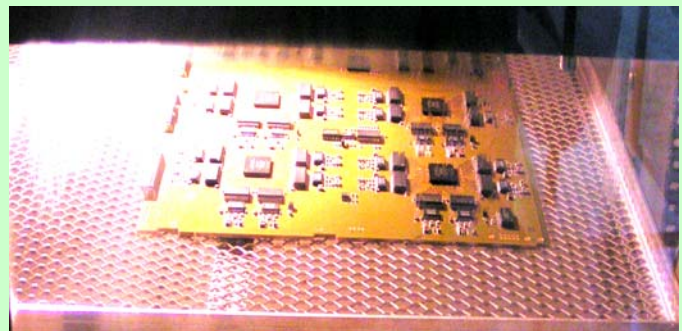


Über der Baugruppe schlägt eine Kondensationswolke zusammen

Haupt- und Endphase des Dampfphasenlötprozesses



Das kondensierende Medium überträgt Wärmeenergie auf Baugruppe. Bei ca. 220°C schmilzt Lotpaste um.



Auf oberster Position in der Prozesskammer dampft Medium von der Baugruppe ab



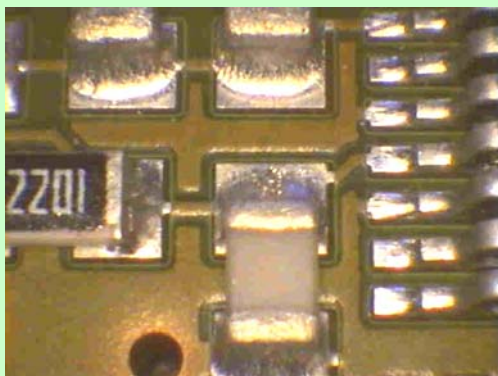
Nach Abkühlen hinter Ladetür kann Baugruppe entnommen werden.

Zur neuen „Sicht in Bleifrei“

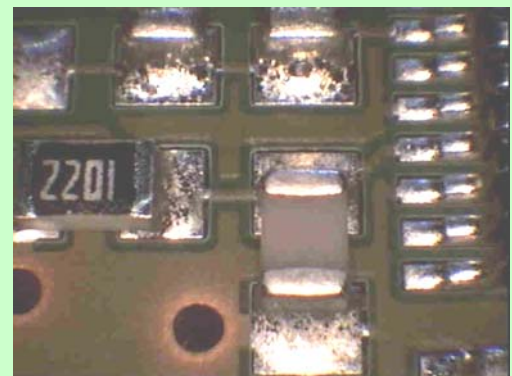
Optischer Vergleich von verbleiten mit bleifreien Lötstellen

- Aufnahmen auf der Musterbaugruppe bzw. einer gleichen verbleit gelöteten Baugruppe
- Lotpaste verbleit: Kester R-560 (Sn63Pb37, 10% Flussmittelanteil, Halogenarm)
- Lotpaste bleifrei: Kester Liberty 910 (Sn95.5Ag3.8Cu0.7, 11% Flussmittelanteil, Halogenfrei)

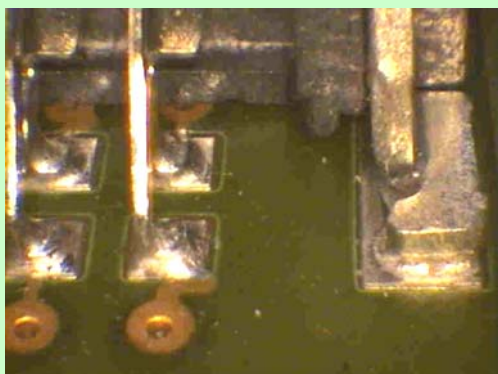
Verbleit



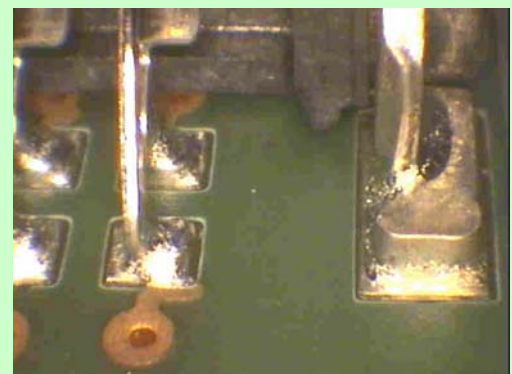
Bleifrei



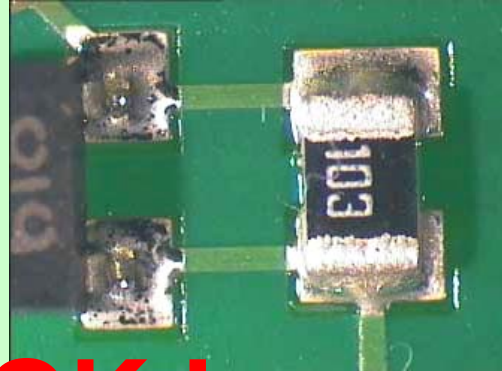
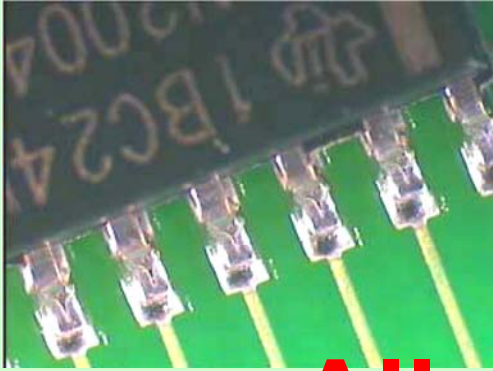
Bau-
elemente



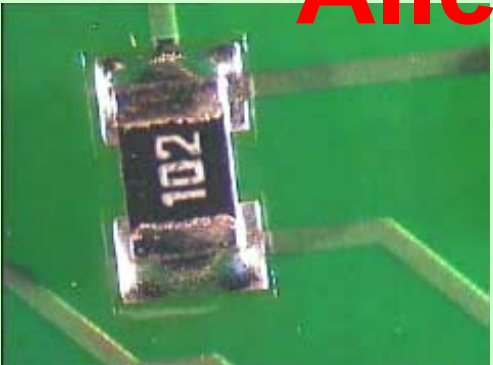
SMA-Stecker



Zum Vergleich: Bleifrei-Aufnahmen des ZVE



Alles OK !

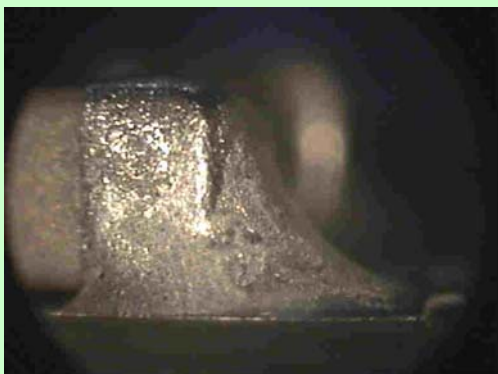
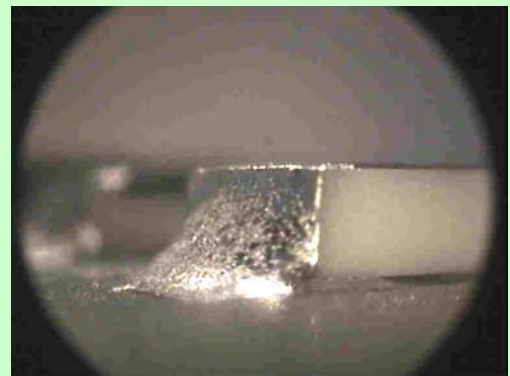


Verbleit

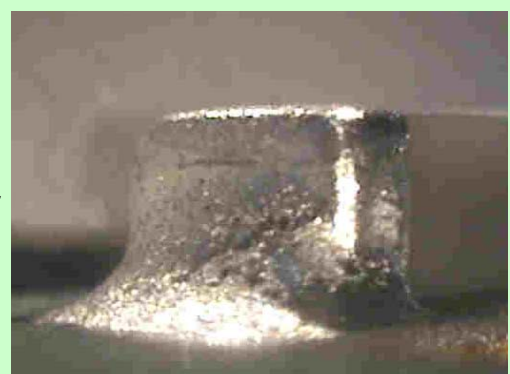
Bleifrei



Widerstand



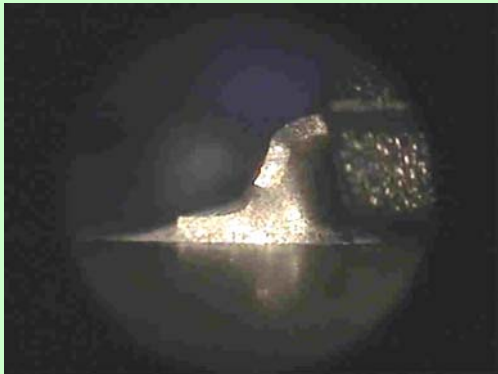
Kondensator



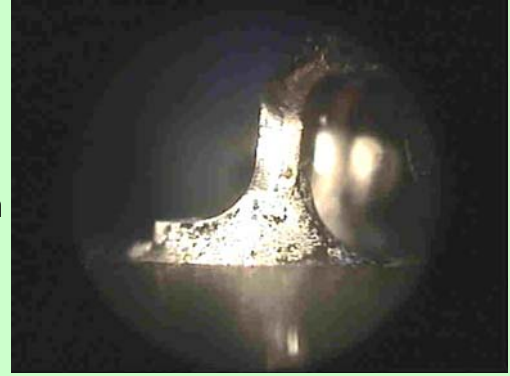
Verbleit



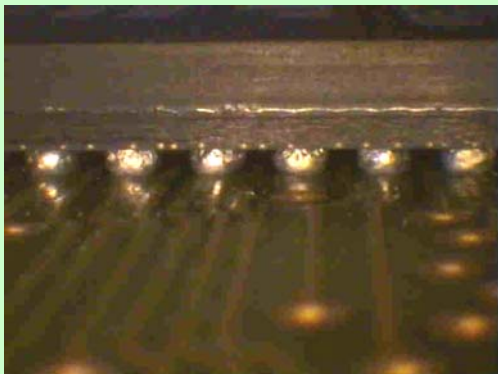
IC-Beinchen



Bleifrei



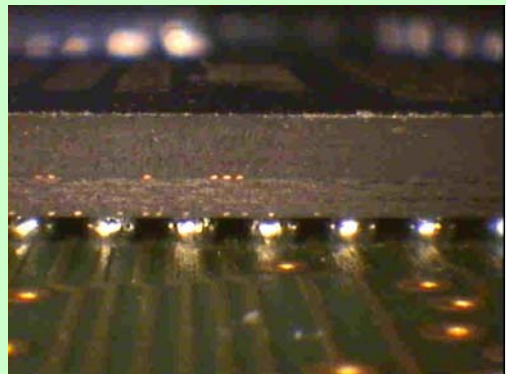
Verbleit



BGA-
Anschluss-
qualität



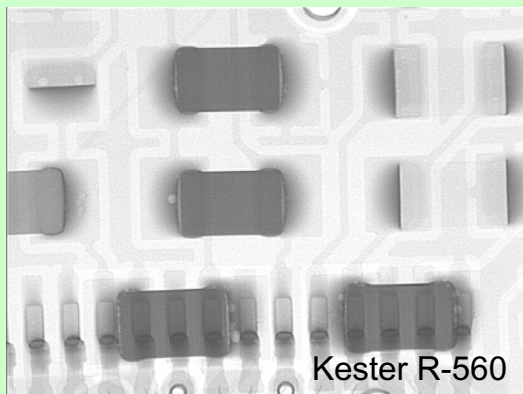
Bleifrei



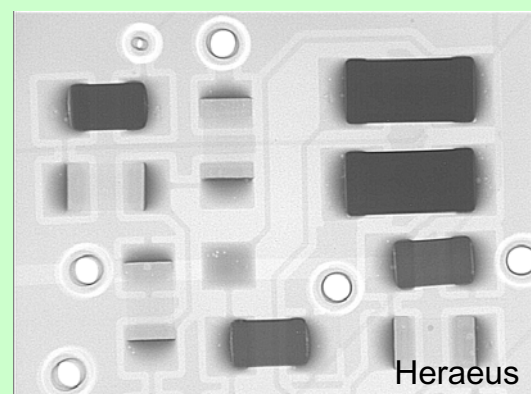
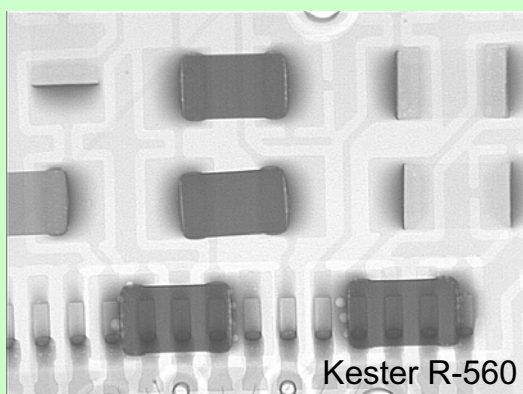
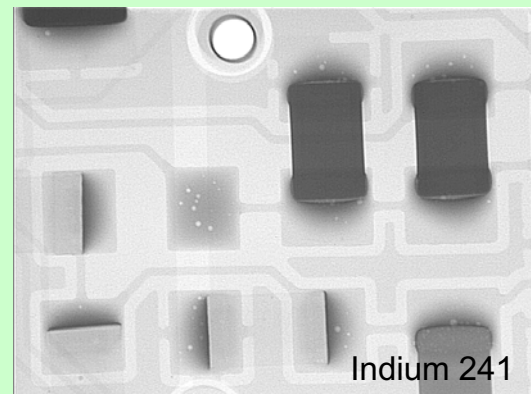
Röntgenaufnahmen von FLT-Baugruppen, bei denen folgende bleifreien Lotpasten verwendet wurden:

- Heraeus F610 Sn95,5Ag4Cu0,5 Liqu. 219°C
- GLT 6-Sn96-278-E250-P Sn96Ag4 Liqu. 221°C
- Indium 241 Sn95,5Ag3,8Cu0,7 Liqu. 220°C
- Alle Lotpasten 10 – 11% Flussmittelanteil, Körnung 24 – 45 µm

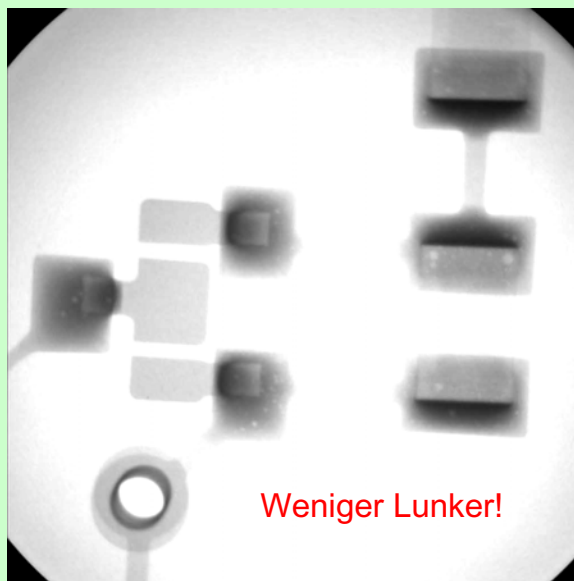
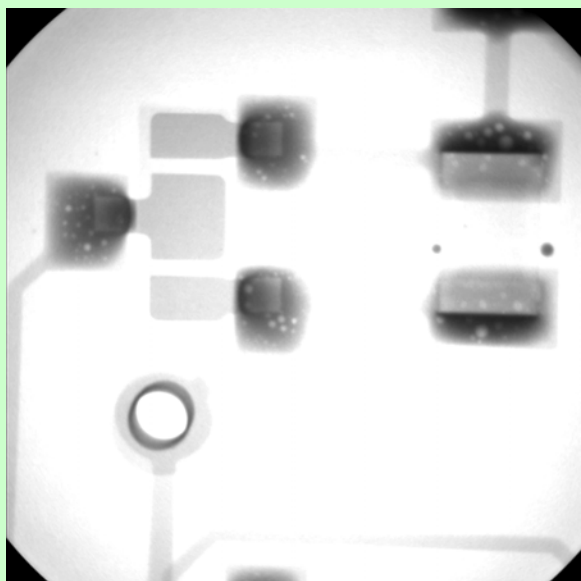
Verbleit



Bleifrei



Zum Vergleich: Bleifrei-Aufnahmen des ZVE

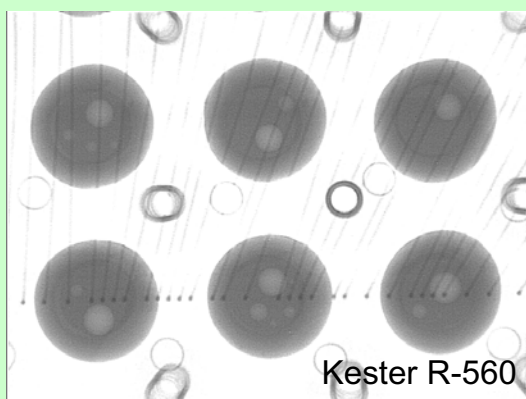


Reflow-Gelötet bei 237°C Peak-T

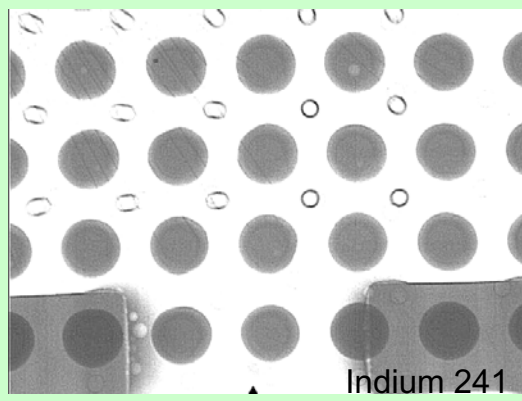
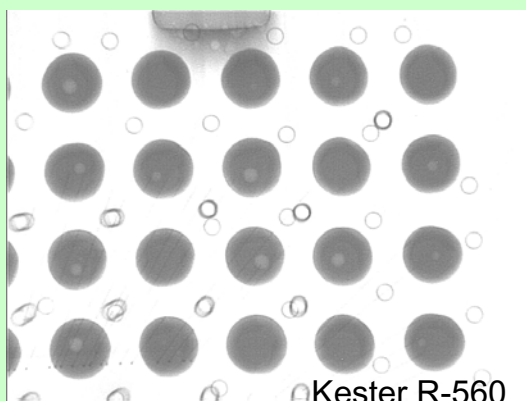
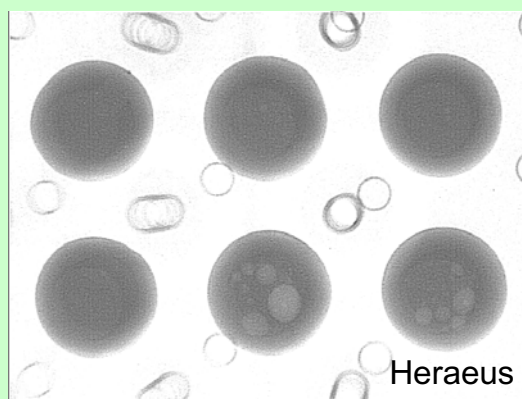
Reflow-Gelötet bei 247°C Peak-T

Gleiche Lotpaste

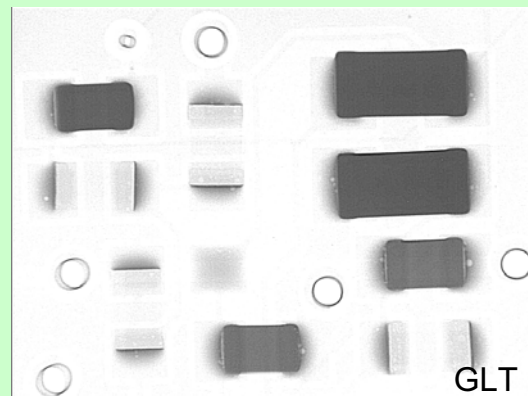
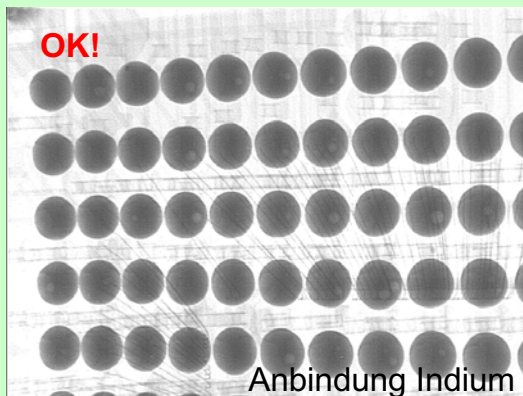
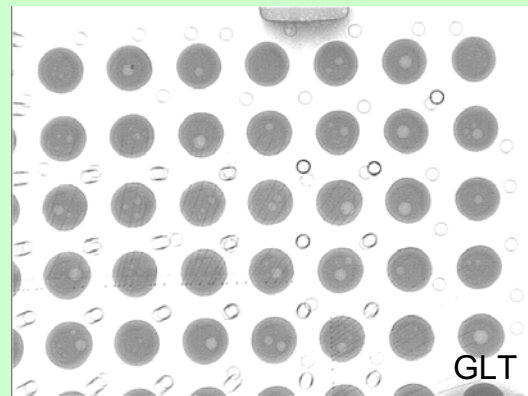
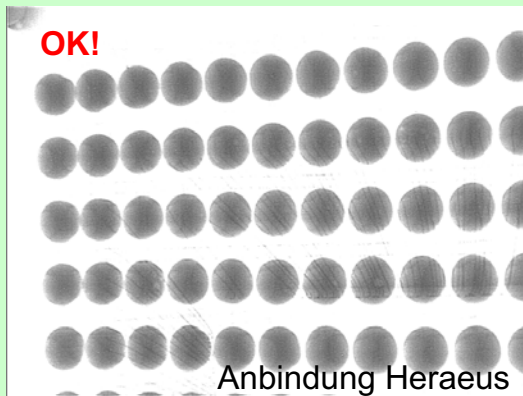
Verbleit



Bleifrei



Weitere Aufnahmen mit bleifreien Lotpasten



Schlussfolgerung

Im bleifreien Prozess ergeben sich keine gravierendem Unterschiede, geschweige denn Verschlechterungen zur bisherigen Verbindungsproblematik im verbleiten Prozess
Dies bezieht sich auf alle Verbindungsaspekte, wie

- Gefügeeigenschaften (Porosität, Verbindungsfestigkeit, Lunker, Intermetallische Effekte)
- Benetzung, Fließverhalten
- Lötfehler (Kurzschlüsse, Auflieger, „Grabsteine“, etc.)

Das temperaturbeständigere Gefüge ist eher belastbarer als im verbleiten Prozess und z.B. die Temperaturwechselbeständigkeit um einen Faktor >10 höher (ZVE)

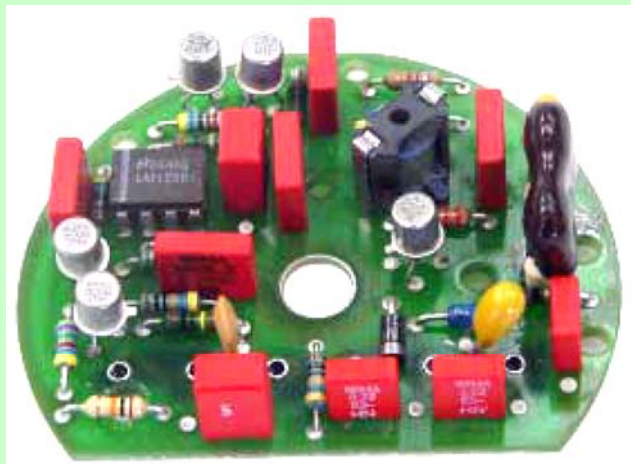
Aber: Durch die oft mattere und gröbere Oberflächenstruktur ergibt sich aus der langen sichtlichen Übung fälschlicherweise der Eindruck einer minderwertigeren Lötstelle.

Allerdings:

- **Nachlässiges CAD-Design, wie nicht prozess-optimierte Pads kritischer im bleifreien Lötprozess**
- **D.h. Fehlerrate wird höher sein**
- **Nach unseren Erfahrungen beste Ergebnisse mit von Bauelementherstellern empfohlenen Pad-Geometrien**

Beispiel von Langzeiterfahrungen mit bleifrei gelöteten Baugruppen (gemäß ZVE):

- Bei der Firma Endress + Hauser liegen seit mehr als 10 Jahren Fertigungs- und Felderfahrungen mit weit über 2 Millionen Baugruppen vor, wobei die mit Sn96,5Ag3,5 gelöteten Baugruppen bei Temperaturen bis 150°C bis heute zuverlässig funktionieren.



Meine Empfehlungen:

- **Informations- und Erfahrungsbeschaffung durch Praxislehrgänge (z.B. ZVE), Besichtigung von Bleifreierfertigungen, Fachgespräche**
- **Spätestens ab Mitte 2005 erste Lötversuche mit Parametermodifikationen (z.B. Löttemperaturerhöhung) im jetzigen Prozess unter Verwendung von bleifreien Lotpasten des bisherigen Lieferanten und 3 - 4 erfolgversprechender Konkurrenzprodukte**
- **Bei ungeeigneten Produktionsmitteln Geräteneuanschaffungen noch in 2005**
- **Ab Frühjahr 2006 nur noch im bleifreiem Prozess löten**
- **Während der Übergangsphase genau festhalten, welche Baugruppe wie gelötet wurde!**
- **Qualitätssicherung!**

Literatur:

- Normenwerk: Abnahmekriterien für elektronische Baugruppen, IPC-A-610C-DE, Stand: November 2001
- ZVE-Lehrgangsunterlagen „Qualitätssicherung in der Baugruppenfertigung“
- ZVE-Lehrgangsunterlagen „Bleifreie Baugruppen“
- ZVE-Lehrgangsunterlagen „Reparaturlöten von SMT-Baugruppen“
- ZVE-Lehrgangsunterlagen „Verarbeiten von Ball-Grid-Arrays“
(ZVE = Zentrum für Verbindungstechnik in der Elektronik, Oberpfaffenhofen-Wessling)
- Dr. Werner J. Maiwald - Lötfehler - EUGEN G. LEUZE VERLAG - Bad Saulgau
- Wolfgang Leider - Dampfphasenlöten - EUGEN G. LEUZE VERLAG - Bad Saulgau
- FZK-IPE-SMT Rudolf Berg – „SMT-Qualitätsinformationen“ im IPE-Intranet
- Productronic - FACHZEITSCHRIFT FÜR ELEKTRONIK-FERTIGUNG
- EPP – Elektronik Produktion & Prüftechnik - Fachzeitschrift
- Mailarchiv FED-Forum
- RoHS-Directive – Lead Special



Forschungszentrum Jülich
Zentralinstitut für Elektronik

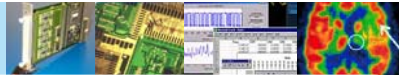
FPGA Programmierung mit LabView

Thomas Hombach
Forschungszentrum Jülich GmbH
Zentrallabor für Elektronik
Tel.: 02461 / 61 4512
Fax.: 02461 / 61 3990

Email: T.Hombach@fz-juelich.de
Internet: www.fz-juelich.de/zel/zel_hombach



Forschungszentrum Jülich
Zentralinstitut für Elektronik



Übersicht

- Von der Software zur Hardware
- Vorstellung von LabVIEW FPGA
- Beispiel
- RIO Zusatzmodule
- Zusammenfassung



Programmierungsumgebung

VHDL Programmierung



VHDL, Verilog

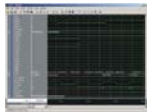
LabVIEW Programmierung



LabVIEW

Compiler, Synthese, Router

Simulation



optional



JTAG ...

Applikation



Um einen FPGA (Field Programmable Gate Array) zu programmieren gibt es verschiedene Möglichkeiten. Die klassische Programmierung ist die textbasierte Programmierung in VHDL, Verilog, ABEL usw. Um den erzeugten Code später im FPGA laufen zu lassen, sind weitere Schritte wie Synthese und Place&Route notwendig. Dafür müssen die entsprechenden Parameter eingestellt werden, was einige Kenntnisse über die verwendete Hardware voraussetzt.

Neu ist die graphische Programmierung mit LABView. Damit ergibt sich die Möglichkeit Windows-Programmierung und FPGA-Programmierung mit ein und der selben Software zu realisieren. Weiterhin ist der Ablauf vom Code bis zum Bit-File sehr einfach gehalten. Es müssen (können) nur wenige Parameter angegeben werden.

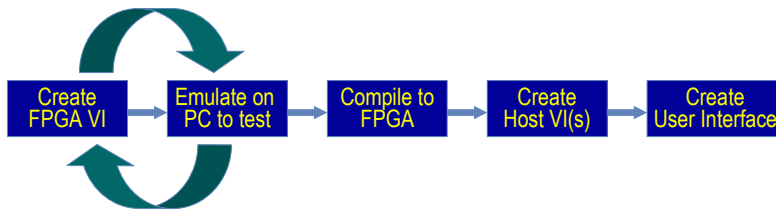


Warum LabVIEW FPGA ?

- Keine Kenntnisse in VHDL oder Verilog erforderlich
 - Es werden keine anderen Design Tools benötigt (Xilinx ISE bereits integriert)
 - Compilieren, Synthetisieren, Place&Route und Download voll automatisiert
 - Programmierung unterschiedlicher Hardware (FPGA, RT usw.) mit LabVIEW einfach zu realisieren
-
- Es werden keinerlei Kenntnisse einer Hardwarebeschreibungssprache benötigt. Es sollte allerdings die Architektur eines FPGAs bekannt sein, um ihn sinnvoll einsetzen zu können.
 - Es muss lediglich LABView FPGA installiert werden um eine komplette Entwicklungsumgebung zu erhalten.
 - Der Weg vom Programmcode bis zum Download ist sehr einfach gehalten. Nach betätigen des „Run“ Buttons läuft der Prozess vollkommen automatisch ab.
 - Über das HostVI (siehe weitere Folien) bindet man den FPGA in die Windowsumgebung mit ein. Dadurch ist es relativ leicht möglich mit weiterer Hardware (z.B. Realtime-Systemen) zu kommunizieren.



Entwicklungsablauf



- Nur 4 bis 5 Schritte bis zum „Endprodukt“
- Einfache Handhabung der einzelnen Schritte
- Synthese und Routen kann mehrere Minuten dauern

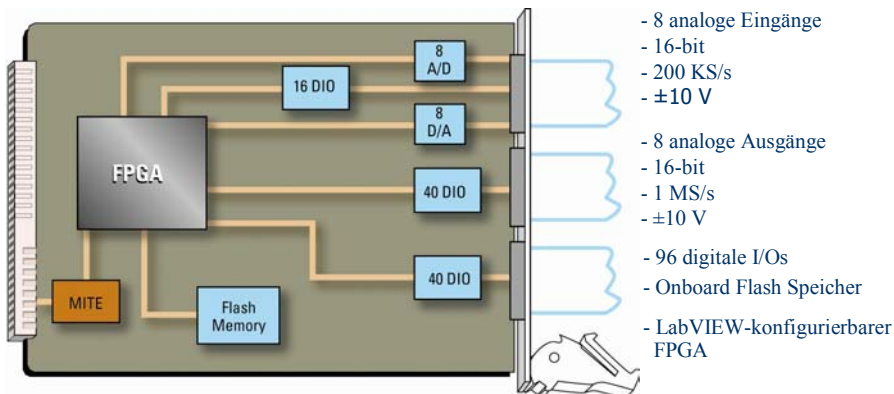
Quelle: National Instruments

Der Entwicklungsablauf beginnt mit erzeugen des FPGA VIs. Da vom Compilieren bis zum Download bei umfangreichem Code schnell 30 Minuten und mehr vergehen können, ist es sinnvoll das FPGA VI vorher auf dem PC zu emulieren. Ist das Ergebnis zufriedenstellend, wird der Code kompiliert und ins FPGA geschrieben.

Danach wird das HostVI und das User Interface erzeugt, wobei die FPGA-Signale in der Windowsumgebung weiterverarbeitet werden.



PXI-7831R-LabVIEW FPGA Karte

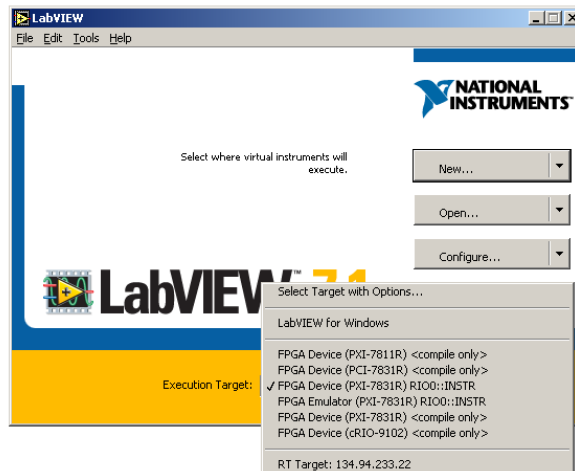


Quelle: National Instruments

- RIO-Karte (Reconfigurable Input Output) mit 8 Analogen und 96 Digitalen Ein- und Ausgängen.
- Kommunikation über den PCI-Bus (Spezieller MITE PCI-Controller)
- Flash Speicher um die FPGA Konfiguration dauerhaft zu sichern
- Virtex II-1000 mit 80K Speicher



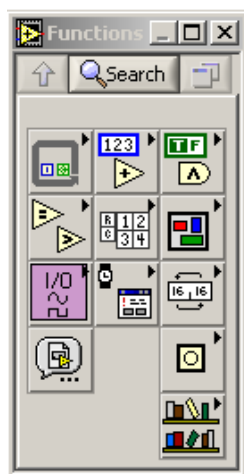
Auswahl des Targets



Zuerst wird das Target ausgewählt, also in diesem Fall das verwendete FPGA-Device. Wechselt man später zwischen FPGA-VI und HostVI hin und her, muss jedes mal das entsprechende Device ausgewählt werden.



Das LabVIEW FPGA Modul



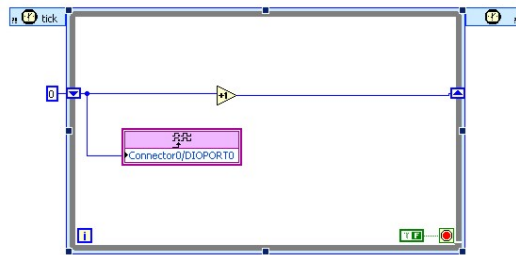
LabVIEW FPGA Funktionen:

- Schleifen (while,for,case,sequence)
- Boolean Operatoren
- Arrays, Cluster
- Timing, Ereignisse
- I/O Funktionen

Im FPGA Modul fallen einige Funktionen wie z.B. File I/O oder Floating Point Operationen aufgrund der FPGA-Architektur weg. Hinzugekommen ist z.B. die Single Cycle Loop, I/O-Funktionen, FPGA-Speicherverwaltung und die Möglichkeit VHDL in LabVIEW mit einzubinden. Darauf wird in den nächsten Folien weiter eingegangen.



Single Cycle Loop









- Alle Operationen einer Single Cycle Loop werden in einem Tick durchgeführt. (40 oder 80 MHz)
- Parallelisierung der Funktionen
- Nicht alle Kombinationen sind in einer Single Cycle Loop möglich

Die Single Cycle Loop ist eine While-Loop, die innerhalb eines Taktes abgearbeitet wird. Dadurch ist eine taktgenaue, parallele Verarbeitung der Daten möglich. Es sind allerdings nicht alle Kombinationen in einer Single Cycle Loop möglich. Kritisch sind beispielsweise Speicherzugriffe, bzw. alles was nicht innerhalb eines Taktes ausgeführt werden kann.



FPGA Device IOs

-  **Analog Input**
-  **Analog Output**
-  **Digital Input**
-  **Digital Output**
-  **Digital Port Input (8 Bit)**
-  **Digital Port Output (8 Bit)**

Die sechs wichtigsten IO Funktionen sind oben dargestellt. Über die analogen IOs werden Messdaten gelesen oder geschrieben. Samplerate und Auflösung hängen von der angeschlossenen Hardware ab. Mit den digitalen IOs werden einzelne Bits gelesen bzw. geschrieben. Sehr praktisch sind die Digital Port IOs. Hier sind immer 8 Bit zu einem Byte zusammengefasst. Dadurch lassen sich Bussysteme leichter und übersichtlicher realisieren.



FPGA Speicherzugriff



Memory Read/Write

- Zugriff auf internes FPGA Memory (80 KB beim Virtex II-1000)
- Aufteilung in 8K X 16 bit, oder Benutzerdefiniert mit dem FPGA Memory Extension Utility
- Direkter Zugriff nur über FPGA VI, Host VI Zugriff muss programmiert werden

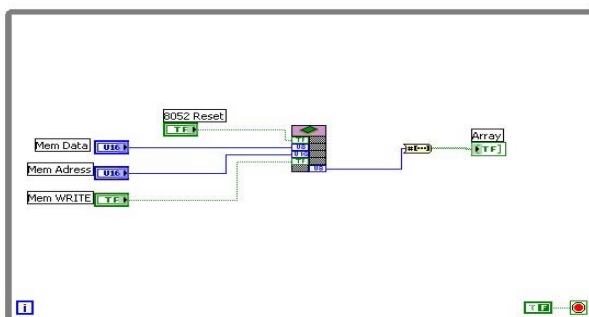


Auf den internen FPGA Speicher kann mit Hilfe der Memory Read/Write VIs zugegriffen werden. Es stehen beim Virtex II 1000 insgesamt 80 KB zur Verfügung, der in 8K X 16 Bit aufgeteilt ist. Um die Speicherblöcke selbst definieren zu können gibt es das „Memory Extension Utility“.

Direkter Zugriff auf den Speicher ist nur über das FPGA VI möglich. Um vom Host VI auf den Speicher zugreifen zu können, muss man grundsätzlich über das FPGA VI gehen, d.h. die Schnittstellen müssen dem Host VI übergeben werden.



Die HDL Interface Node

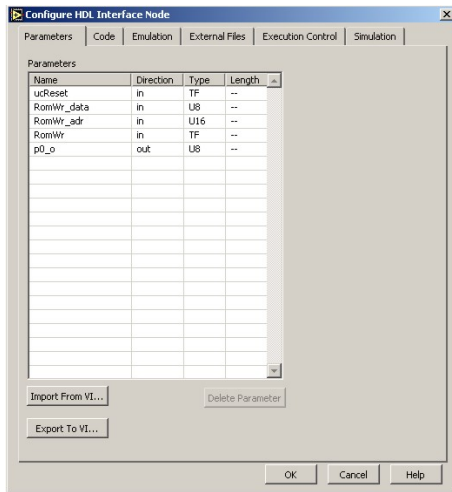


Mit Hilfe der HDL Interface Node ist es möglich, eigenen VHDL-Code in LabVIEW zu integrieren.

Mit der HDL Interface Node hat man die Möglichkeit VHDL-Code mit in LabVIEW FPGA zu integrieren. Dadurch können beispielsweise ein oder mehrere IP-Cores eingebunden werden. Die HDL Interface Node wird dann als eine Art SubVI in den graphischen Code mit eingebunden.



Die HDL Interface Node

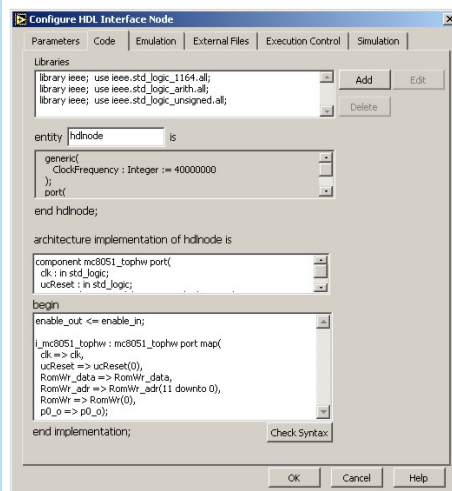


Parameterdefinition der HDL Interface Node IOs

In der Parameterdefinition werden die Ein- und Ausgänge der HDL Interface Node definiert. Das entspricht der Entity in einer VHDL Beschreibung. Diese bilden sozusagen die Schnittstellen nach außen.



Die HDL Interface Node

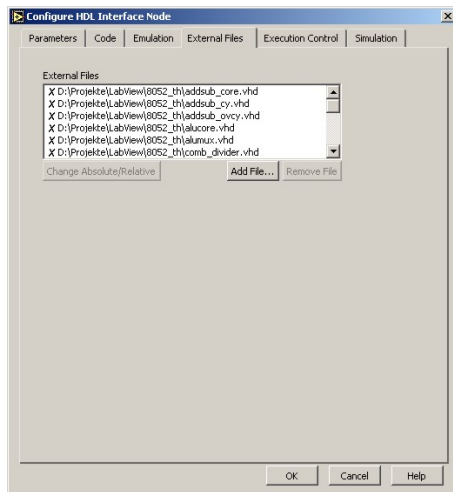


Direkte Implementierung von selbst geschriebenen VHDL Code

In dem Menüfeld „Code“ können oben die erforderlichen Libraries angegeben werden. Die Entity ist durch die Angaben der Parameter vorgegeben. Die Architecture wiederum ist frei definierbar. Hier können weitere VHDL-Files instantiiert und im Menüfeld „External Files“ eingebunden werden.



Die HDL Interface Node

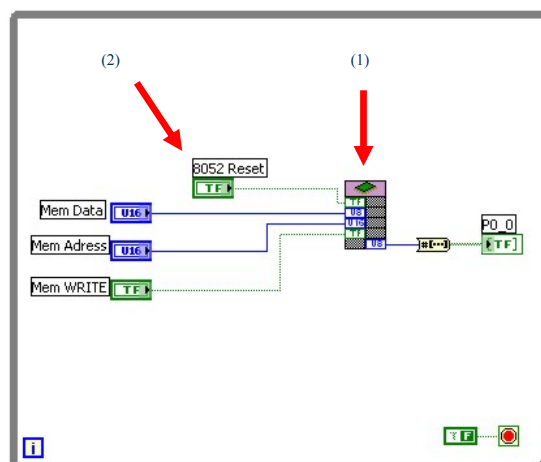


Einbinden externer VHDL Files

Im Menüfeld „External Files“ werden externe VHDL-Files eingebunden. Dadurch hat man die Möglichkeit, seinen Code beispielsweise im Xilinx ISE zu programmieren und zu simulieren und ihn später als externe Files in LabVIEW zu implementieren.



uC8051-Core



Als Beispiel wird nun die Implementierung eines 8051 IP Cores verwendet. Der Core wurde an der Universität Wien entwickelt und zur freien Verfügung kostenlos ins Netz gestellt. Weitere Informationen zum Core gibt es unter www.oregano.at.

Zuerst beginnt man mit dem Programmieren des FPGA VIs. Dazu muss das Target entsprechend ausgewählt werden. Der IP-Core wird mit Hilfe der HDL Integration Node in LabVIEW eingebunden (1). Die Schnittstellen werden mit Controls, oder Indikatoren verbunden um sie später im Host VI verwenden zu können (2).



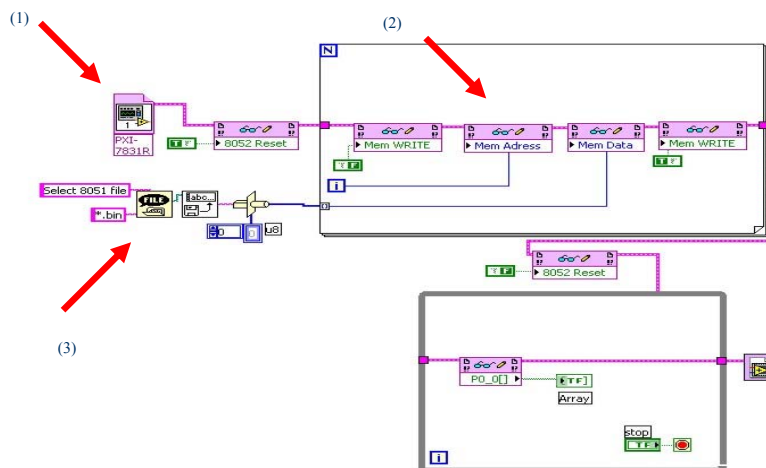
uC8051-Core

FPGA VI:

- VHDL Code wird mit Hilfe der HDL Interface Node eingebunden
- Schnittstellen zum Host VI werden definiert



uC8051-Core



Zuerst muss das Target wieder auf Windows umgeschaltet werden. Dann wird das zu implementierende FPGA VI und die verwendete Hardware ausgewählt (1). Um Zugriff auf den FPGA zu haben, werden die Schnittstellen nach oben geholt (2) und können nun weiterverdrahtet werden. Dazu steht nun die komplette LabVIEW Palette zur Verfügung. Durch die Implementierung des 8051 Core ist es nun möglich, Standard C-Code zu Compilieren. Dieser wird dann mit Hilfe des Host-VIs in den FPGA geladen (3). Durch die Einbindung des Cores können nun sogar FloatingPoint Operationen im FPGA durchgeführt werden.



uC8051-Core

Host VI:

- Die Hardware und das FPGA VI werden ausgewählt
- Die im FPGA VI definierten Schnittstellen werden nach oben geholt und können verdrahtet werden
- Der Code für den 8051 wird mit einem Standard C-Compiler erstellt.
- Der Code kann über das Host-VI in den FPGA geladen werden



Zusatzmodul ADC



- Aufsteckmodul für die PXI-7831R Karte
- 4-Kanal, 40 MHz ADC
- Beispiel Digitales Oszilloskop:
 - FPGA sucht analogen Triggerlevel
 - Abtastung des analogen Signals
- Anwendung: 2D - Detektoren

Um eine höhere Funktionalität der RIO Karte zu erhalten, hat unsere Arbeitsgruppe zwei Zusatzmodule entwickelt. Diese können einfach auf die IO Karte aufgesteckt werden.

Das ADC Modul verfügt über 4 Kanäle mit einer Samplefrequenz von 40 MHz. Zum Vergleich: Der ADC der RIO Karte hat eine Samplefrequenz von 200 kHz. Durch die schnellere Abtastung stehen einem neue Möglichkeiten zur Verfügung. Beispielsweise die Programmierung eines digitalen Oszilloskops.



Zusatzmodul RAM

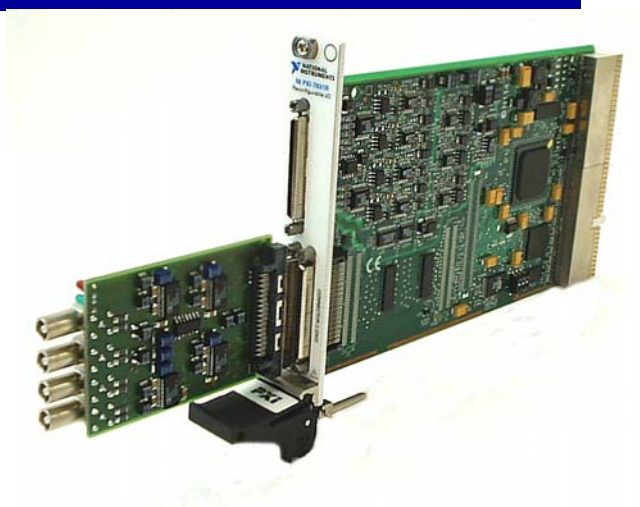


- Aufsteckmodul für die PXI-7831R Karte
- 512K x 32 Bit
- Speichererweiterung für FPGA
- Anwendung:
 - Große LUTs
 - Arbiträrer Funktionsgenerator

Ein weiteres Zusatzmodul ist die Speichererweiterung. Damit stehen zusätzlich zu den 80 K des FPGA weitere 512K zur Verfügung. Als mögliche Anwendung wäre ein Arbiträrer Funktionsgenerator, oder das abspeichern großer LUTs (Look Up Table) zu nennen.



Gesamtsystem



Bei dieser Darstellung des Gesamtsystems ist gut zu erkennen, wie die Zusatzmodule auf die RIO-Karte aufgebracht werden.



Zusammenfassung

- + Keine Kenntnisse einer höheren FPGA Beschreibungssprache notwendig
- + Standard VHDL Code im grafischen Ablauf integrierbar
- + Echte Taktgenaue parallele Abarbeitung
- + Einfache Systemintegration von LabVIEW Windows Programmen
- Standalone FPGA Programmierung wird zur Zeit noch nicht unterstützt
- Alle Boards sind ausschließlich mit Xilinx FPGAs bestückt (Virtex II)
- Nur wenige Parameter bei der Erzeugung des Bitfiles einstellbar

- + Keine Kenntnisse einer höheren FPGA Beschreibungssprache notwendig: VHDL oder Verilog Kenntnisse sind sicherlich nicht von Nachteil, mit LabVIEW FPGA ist es aber möglich ohne entsprechende Vorkenntnisse einen FPGA zu programmieren.
- + Standard VHDL Code im grafischen Ablauf integrierbar: Wer VHDL Kenntnisse hat, kann diese hier mit einbringen. Wie im Beispiel gezeigt, kann somit beispielsweise ein IP-Core implementiert werden.
- + Echte Taktgenaue parallele Abarbeitung: Durch die Architektur eines FPGAs ist es möglich, mehrere Operationen absolut parallel ablaufen zu lassen
- + Einfache Systemintegration von LabVIEW Windows Programmen: Über das Host-VI kann FPGA Programmierung und Windows Programmierung sehr einfach miteinander verknüpft werden.
- Standalone FPGA Programmierung wird zur Zeit noch nicht unterstützt: Zur Zeit ist es leider (ohne sehr großen Aufwand) noch nicht möglich, einen FPGA unabhängig von der RIO-Karte zu programmieren.
- Alle Boards sind ausschließlich mit Xilinx FPGAs bestückt (Virtex II): Wer seinen Schwerpunkt lieber bei einem anderen Hersteller als Xilinx setzen möchte, hat Momentan keine Möglichkeit seinen FPGA mit LabVIEW zu programmieren. Aber auch die Produktauswahl von Xilinx beschränkt sich zur Zeit auf den Virtex II.
- Nur wenige Parameter bei der Erzeugung des Bitfiles einstellbar: Dieser Punkt hat sowohl Vor-, als auch Nachteile. Wer keine Ahnung von FPGA Programmierung hat, ist dankbar wenn er möglichst wenig Einstellungen vornehmen muss. Will man aber eine optimale Leistungsfähigkeit erreichen, hat man keine Möglichkeiten in den Syntheseprozess einzugreifen.

Warteschlangentheorie

Dieter Notz

Deutsches Elektronen-Synchrotron, DESY, Hamburg, Germany

EMAIL:Dieter.Notz@desy.de

SEI Herbsttagung, Rossendorf 27. - 29. September 2004

Mit Hilfe der Warteschlangentheorie lassen sich Totzeiten in Systemen mit mehrere Prozessoren und Zwischenpuffern berechnen.

1. Queuing theory

The results of queuing theory can be used to answer the following questions which can be illustrated by Fig. 1 (Morse 1958; Allen 1978; Margenau and Murphy 1964) The events occur independently of each other and enter the system with a rate $\lambda=5$ events/second. These events are handled by computers with different rates and different buffer lengths.

- (1) What is the dead time of a system with an input rate λ and a processing rate $\mu=\lambda$?
- (2) What is the dead time of a system as before with 5 event buffers in front of the computer ?
- (3) How fast must be a computer with a single buffer to get the same dead time as in (2) ?
- (4) What is the average queue length of system (4) ?
- (5) What is the average queue length of system (5) ?

The answers to these questions will be given at the end of this subsection. The time a computer or a variable flow trigger processor needs to handle an event depends on event's complexity like number of tracks, the magnitude of energy deposited in clusters, background hits etc. . If one measures the time each event needs and arranges this sequence in order of decreasing length one can plot the number of events which need longer than a given time; and by dividing by the total number of cases one gets the curve for the probability $S_0(t)$ that the computation in this class will take longer than a certain time (Fig. 2) . The quantity

$$s(t) = -dS_0(t)/dt \quad (1)$$

is the *probability density* that an operation is completed at time t. It is a rate since its dimensions are probability divided by time. The average computing time is

$$T = \int_0^{\infty} S_0(t)dt \quad (2)$$

Irregular arrivals may be described in a manner quite analogous to service times. One measures the times between arrivals, and from these constructs a curve of probability $A_0(t)$ that the next arrival comes later than time t after the previous arrival. Similarly one defines the mean rate of arrivals as the reciprocal of the mean time between arrivals

$$T_a = 1/\lambda = \int_0^{\infty} A_0(t)dt \quad (3)$$

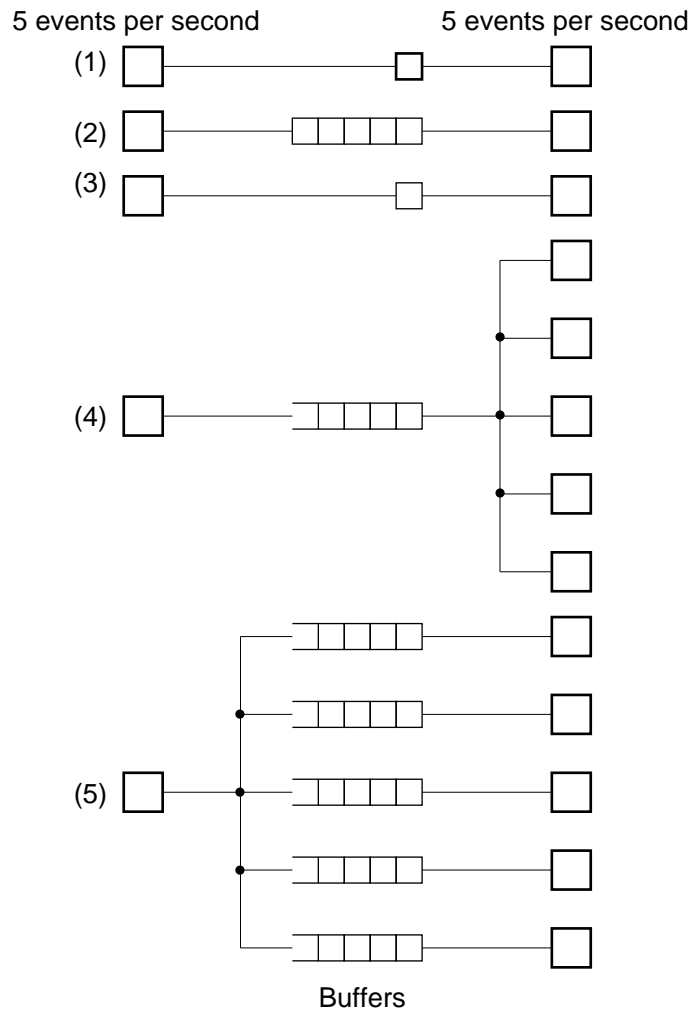


Fig. 1: Examples for queuing theory. Which system has little dead time and short waiting queues? Data enter from left with a rate of 5 events per second and are processed by one or several processors.

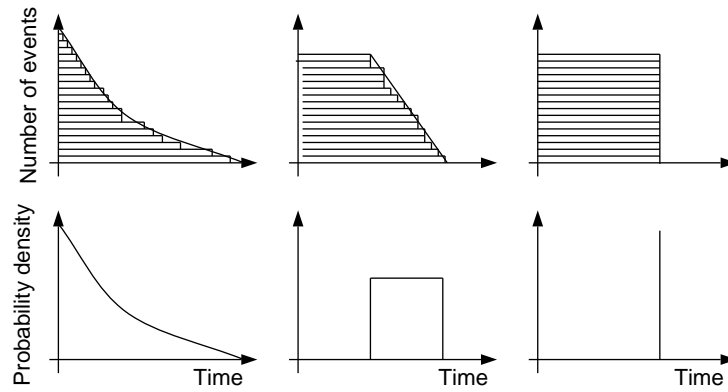


Fig. 2: Distributions of service times. The right hand distribution represents a system with constant service times; the left hand one represents a system with an exponential service time while the middle one needs fixed minimum and maximum service times. The lower diagrams show probability densities that an operation is completed at time t .

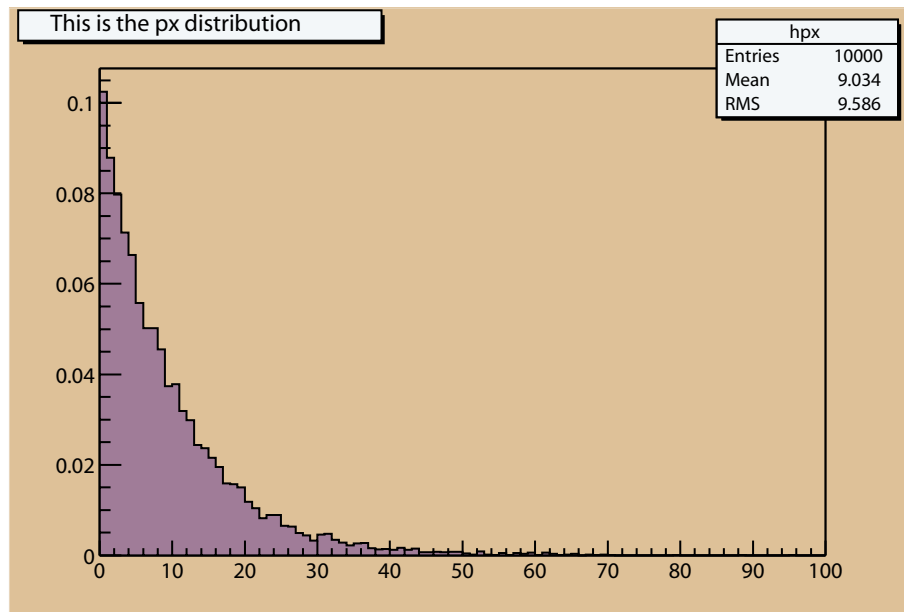


Fig. 3: Distributions of service times. Exponential service time with mean = 9 time units.

In the case where the chance of occurrence of the next arrival is independent of the time since the last arrival, the probability corresponds to

$$A_0(t) = e^{-\lambda t}.$$

The probability density $a(t)$ defines the chance that the next arrival comes between t and $t+dt$ after the previous one is $a(t)dt$:

$$a(t) = -dA_0(t)/dt \quad (4)$$

We sometimes wish to know the probability that n arrivals occur within an interval of duration t . The density that an event occurs between x and $x+dx$ is $a(x)$. The probability that A_{n-1} events occur then between x and t is $A_{n-1}(t-x)$ (going backwards from t to x). This probability is then

$$A_n(t) = \int_0^t a(x)A_{n-1}(t-x)dx \quad (5)$$

For exponential arrivals we have

$$a(t) = \lambda e^{-\lambda t}, \quad A_0(t) = e^{-\lambda t}$$

$$A_1(t) = \int_0^t \lambda e^{-\lambda x} e^{-\lambda(t-x)} dx = \lambda e^{-\lambda t} \int_0^t dx = \lambda t e^{-\lambda t} \quad (6)$$

$$A_2(t) = \int_0^t \lambda e^{-\lambda x} \lambda x e^{-\lambda(t-x)} dx = \lambda^2 e^{-\lambda t} \int_0^t x dx = \lambda^2 t^2 e^{-\lambda t} / 2 \quad (7)$$

$$A_n(t) = (\lambda t)^n e^{-\lambda t} / n! \quad (\text{Poisson distribution}) \quad (8)$$

Figs. 4, 5 and 6 show the expectations for one, two and five events.

We will now discuss a simple system with a single exponential service channel with a queue of maximum allowed length $N-1$ with Poisson distributed arrivals. The mean arrival rate should be $\lambda=(1/\tau_a)$ and the mean service rate $\mu=(1/\tau_s)$. The various states of this system can be characterized by the total number of units in the system, the number in service plus the number in the queue. We can expect that the system will settle down to a statistical steady-state so that for example the numbers of units in the queue is independent of time. To show the principle how one can solve this problem we write the conditions which are required to find one event in the queue in the time interval $(t,t+dt)$ (Fig. 7) :

- (1) At time t there was one event in the system. No new event came in, no event left the system in the time interval dt . The probability is

$$(1 - \lambda dt)(1 - \mu dt)P_1(t)$$

- (2) At time t there was one event in the system. One event entered and one event left the system. The probability is

$$\lambda dt \mu dt P_1(t).$$

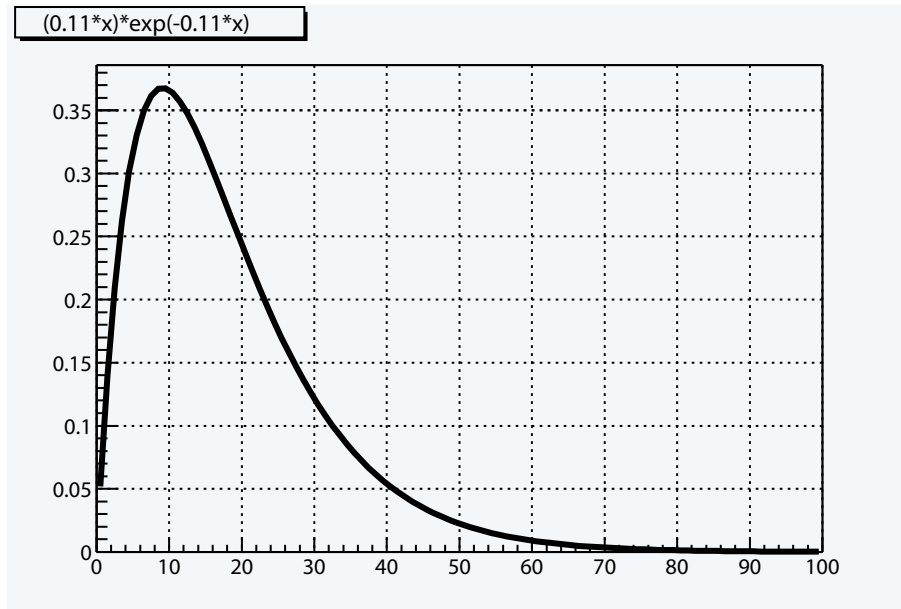


Fig. 4: Poisson distribution to expect one event between x and $x + dx$.

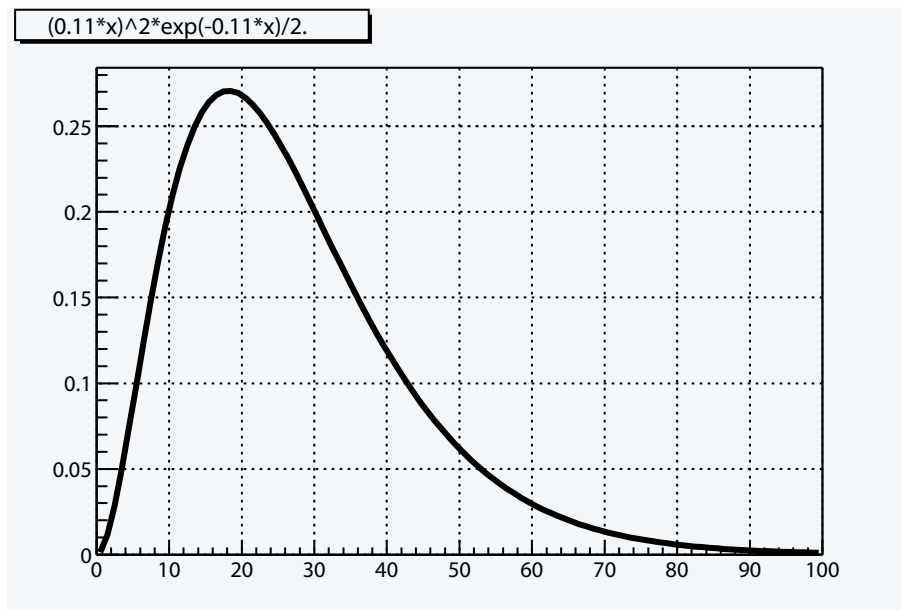


Fig. 5: Poisson distribution to expect two events between x and $x + dx$.

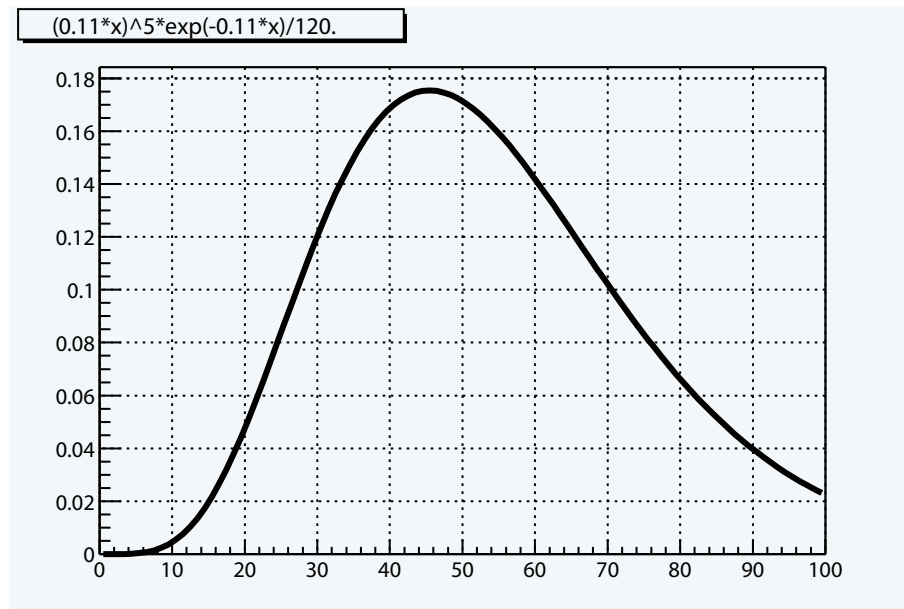


Fig. 6: Poisson distribution to expect five events between x and $x + dx$.

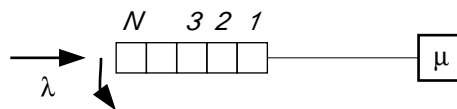


Fig. 7: Queue for a system with finite queue length. If the queue is full the system will cause dead time.

- (3) At time t was no event in the system. One event entered, no event left the system. The probability is

$$\lambda dt(1 - \mu dt)P_0(t).$$

- (4) At time t were two events in the system. One event left. The probability is

$$(1 - \lambda dt)\mu dt P_2(t).$$

The probability $P_1(t + dt)$ is the sum of all probabilities given above:

$$P_1(t + dt) = P_1(t) + dP_1 = P_1(t) - (\lambda + \mu)dtP_1(t) + \lambda dt P_0(t) + \mu dt P_2(t) + \text{high order terms.} \quad (9)$$

This leads to

$$dP_n = [\lambda P_{n-1} + \mu P_{n+1} - (\lambda + \mu)P_n]dt \quad (10)$$

If this is equal to zero then P_n will be independent of time. This gives

$$\mu P_{n+1} + \lambda P_{n-1} - (\lambda + \mu)P_n = 0, \text{ for } n > 1 \quad (11)$$

For $n=0$ this has a special form because there is no P_{-1} . Condition (1) needs to be modified and condition (3) is not possible. This leads to

$$\lambda P_0 - \mu P_1 = 0 \quad (12)$$

This set of equations can easily be solved. If we express all P 's in terms of P_0 we have

$$P_n = (\lambda/\mu)^n P_0 = \rho^n P_0 \quad (13)$$

$$\rho = \lambda/\mu = \tau_s/\tau_a \quad (14)$$

We now want to compute the dead time of a system with N buffers or an upper limit of the queue. The equations hold for n from 0 to $N-1$. For $n=N$ one gets

$$\lambda P_{N-1} - \mu P_N = 0 \quad (15)$$

and the solution $P_n = \rho^n P_0$ holds for $0 \leq n \leq N$. We can derive P_0 by adding all P_n and requiring that the sum of all P 's is unity:

$$1 = \sum_{n=0}^N P_n = P_0(1 + \rho + \dots + \rho^N) \quad (16)$$

Using

$$(1 + \rho + \rho^2 + \dots + \rho^N)(1 - \rho) = 1 - \rho^{N+1}$$

gives

$$P_0 = \frac{1 - \rho}{1 - \rho^{N+1}}$$

$$P_n = \frac{(1 - \rho)\rho^n}{1 - \rho^{N+1}} \quad (17)$$

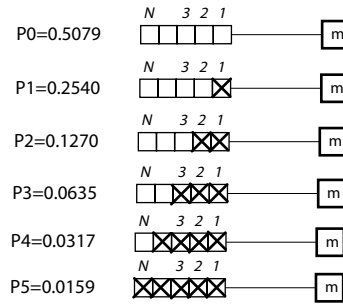


Fig. 8: Probability that there are zero to five events in the queue for $\rho = 0.5$. ρ is the ratio of service rate to arrival rate. The dead time of this system is 1.59 % , all five positions are full.

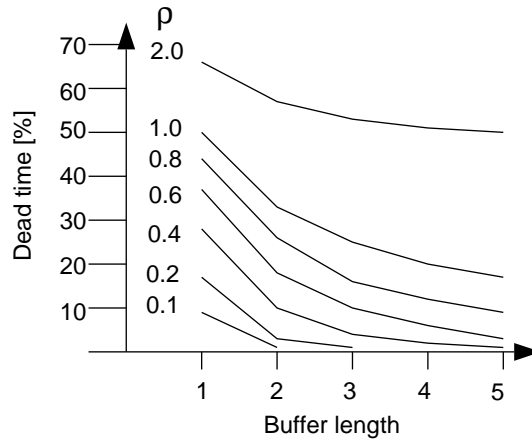


Fig. 9: Dead time as function of buffers and processor speed. ρ is the ratio of service rate to arrival rate. ρ equal 1 means arrival time equals service time. In this case the dead time drops from 50% to 16.6% if 5 buffers are used.

Fig. 8 shows the probability for zero to five events in the queue if a processor is twice as fast as the incoming rate ($\rho = 0.5$). The system cannot accept more events and will produce dead time if the queue is full. The dead time is therefore

$$\tau = \frac{1 - \rho)\rho^N}{(1 - \rho^{N+1})}, \rho = \lambda/\mu \neq 1, N = \text{number of buffers} \quad (18)$$

$$\tau = \frac{1}{N + 1}, \rho = 1. \quad (19)$$

The dead time for different buffer lengths and processor speeds is given in Fig. 9 . If one waits long enough there will be a steady state situation with an average *queue length* in the system of

$$L = \sum_{n=0}^N nP_n = \rho \frac{1 - (N + 1)\rho^N + N\rho^{N+1}}{(1 - \rho)(1 - \rho^{N+1})} \quad (20)$$

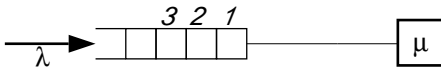


Fig. 10: Infinite queues. Each event enters the queue.

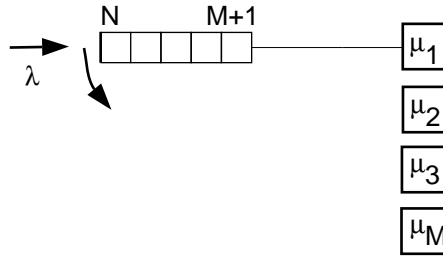


Fig. 11: Several servers are working on the queue. Queuing theory should answer the question whether several slow processors are better than a single fast processor.

which reduces to

$$L = \begin{cases} \rho + \rho^2 & \rho \ll 1 \\ N/2 + N(n+2)(\rho-1)/12 & \rho \rightarrow 1 \\ N - (1/\rho) & \rho \gg 1 \end{cases} \quad (21)$$

For $\rho \geq 1$ the solutions are not stable. The queue is increasing to infinity. From the queue length one can compute the average waiting time which is $W=L/\lambda$.

We will now discuss systems with an infinite number of buffers (infinite queue length). Each incoming event will enter the queue, there is no dead time (Fig. 10).

For an infinite queue the steady-state solutions are

$$P_n = (1 - \rho)\rho^n \quad (22)$$

$$L = \rho/(1 - \rho).$$

A system with $\rho = 1$, i.e. arrival rate = service rate will not give a stable solution. The queue length diverges to infinity. We will now discuss systems with one queue and several computers, let us say M computers (Fig. 11).

Condition (4) now changes. If there are two events in the system and one event leaves we get the probability

$$(1 - \lambda)dt2\mu dt P_2(t)$$

because two events are handled by two computers (if $M \geq 2$). The equations of detailed balance for steady-state operation are therefore

$$\mu P_1 - \lambda P_0 = 0$$

$$(n+1)\mu P_{n+1} + \lambda P_{n-1} - (n\mu + \lambda)P_n = 0, \quad 0 < n < M \quad (23)$$

$$M\mu P_{n+1} + \lambda P_{n-1} - (M\mu + \lambda)P_n = 0, \quad M \leq n$$

For a system with maximum queue length N the equation for $n=N$ is

$$\lambda P_{N-1} - (M\mu + \lambda)P_N = 0 \quad (24)$$

The solution for this system is

$$\begin{aligned} P_n &= (M\rho)^n P_0/n! & 0 \leq n < M \\ P_n &= M^M \rho P_0/M! & M \leq n \leq N \\ \rho &= \lambda/(M\mu) \end{aligned} \quad (25)$$

An experiment with 5 processors of processing reate μ and no extra buffer will then produce the following dead time:

$$\begin{aligned} M &= N = 5 \\ P_1 &= M\rho P_0/1, P_2 = (M\rho)^2 P_0/2!, P_3 = (M\rho)^3 P_0/3! \\ P_4 &= (M\rho)^4 P_0/4!, P_5 = (M\rho)^5 P_0/5! \end{aligned}$$

Normalizing

$$\begin{aligned} 1 &= \sum P_n \\ &= P_0[120 + 120M\rho + 60(M\rho)^2 + 20(M\rho)^3 + 5(M\rho)^4 + (M\rho)^5]/120 \end{aligned}$$

leads to dead time $P_5 = 5^5 \rho^5 P_0/5!$. For $\rho=0.6$ this gives 8.05%.

For a system with infinite queue length P_0 is given by

$$P_0 = \frac{1}{\sum_{n=0}^{M-1} [(M\rho)^n/n! + (M\rho)^M/M!(1-\rho)]} \quad (26)$$

The queue lengths for different systems are shown in Fig. 12.

We can now answer the questions from the beginning of this subsection.

- (1) For a system with one buffer and an arrival time which equals processing time i. e. $N = 1$ and $(\rho=\lambda)$ the dead time is:

$$\tau = 1/(N + 1) = 50\%$$

- (2) With five buffers the dead time drops to

$$\tau = 1/(N + 1) = 1/6 = 16.6\%$$

By using just derandomization the dead time drops by a factor of 3!

- (3) A fast processor with a single buffer should produce 16.6% dead time.

$$\tau = 16.6\% = (1 - \rho)\rho/(1 - \rho^2) = \rho/(1 + \rho) \quad \rho = 0.2$$

The processor must be five times faster than a processor in case 2. But buffers are much cheaper than fast processors.

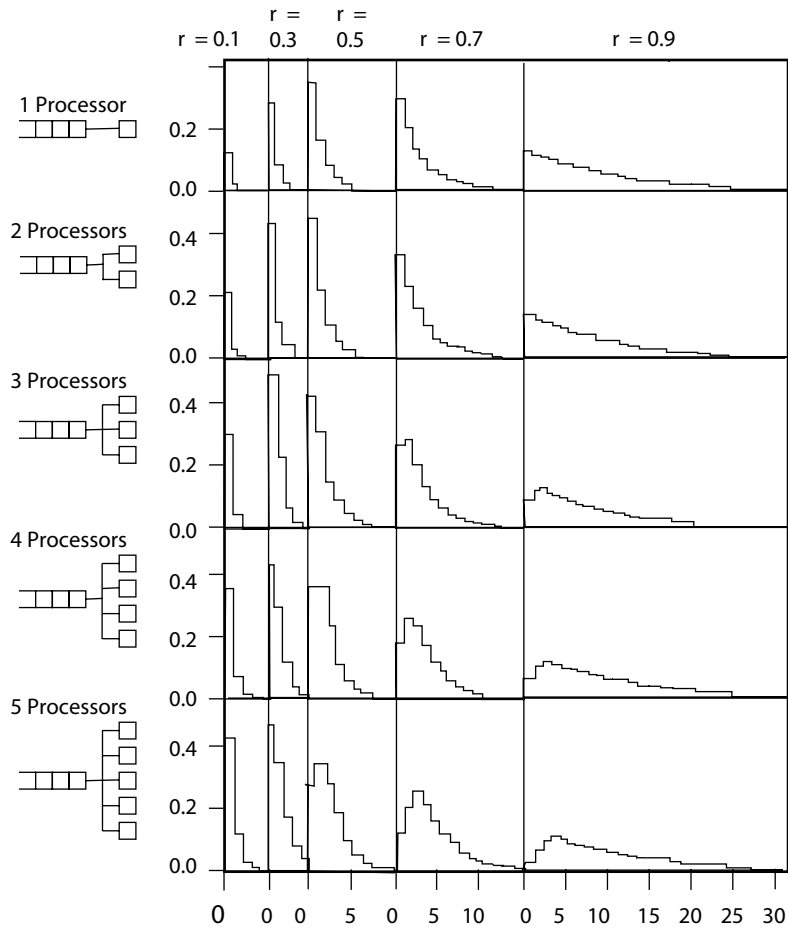


Fig. 12: Queue lengths for different systems. One to 5 processors are used to process data. From left to right the processors are slower or the input rate gets higher. One can imagine that the queue length goes to infinity if service rate is equal to the arrival rate.

- (4) The average queue length is $L = \sum nP_n$. In our example we have five processors with a processing power which is as high as the incoming rate, $\rho = 0.2$. Applying the formula mentioned above for P_0 and P_n with $M = 5$ gives

$$L = 0.36782 + 0.18391 \times 2 + 0.06130 \times 3 + 0.01533 \times 4 = 0.98084$$

For most of the time only one buffer is occupied. A system with five buffers will generate a dead time of $P_0 = 120 / (120 + 120 \times 1 + 60 \times 1^2 + 20 \times 1^3 + 5 \times 1^4 + 1^5) = 0.368$

$$\tau = 1^5 \times P_0 / 5! = 0.31\%$$

- (5) The average queue length of a single queue is $L = \rho / (1 - \rho)$. The input rate is divided equally among five queues. Each processor is then five times faster than the incoming rate, $\rho = 0.2$. The queue length in each queue is $L = 0.2 / 0.8 = 0.25$. Multiplying this by 5 gives $L = 1.25$. The queue length is a bit longer than in case 4 but the dead time is smaller because we have more buffers in the system. Dead time occurs if one queue is full.

$$\tau = (1 - \rho)\rho^5 / (1 - \rho^6) = 0.8 \times 0.2^5 / (1 - 0.2^6) = 0.026\%$$

2. Queuing simulation

It is not easy to derive a simple formula to describe the behaviour of queues in complicated read out systems with several levels of triggers and processors with a wide range of speed. These systems are often simulated in a computer to optimize speed, buffer length and cost (Dewdney 1985).

We have discussed in the previous subsection a system with average arrival (λ) and service (μ) rates.

We will now describe a simple program to generate exponential arrivals. The method can be illustrated by the following picture: Suppose we have a wall of 100m length with an opening of 5 m. In fixed time interval, say 1 s, somebody reaches the wall a random position along the wall. If he or she happens to arrive at the opening he or she may pass through. The time distance between arrivals then follows an exponential function and depends on the width of the opening (Fig. 13).

```

INTEGER FUNCTION ITDIST(W)
ITDIST=0
2 ITDIST=ITDIST+1
IF(RNDM(ITDIST).GT.W)GOTO 2
RETURN
END

```

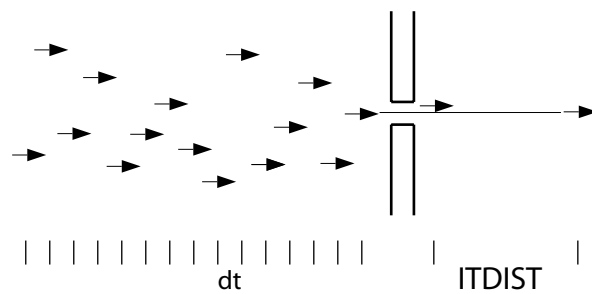


Fig. 13: Simulation of exponential arrivals. People arrive in fixed time intervals at a wall with an opening w . The time difference between people passing through the opening follows an exponential function.



Prozesssteuerung einer Molekular Beam Epitaxy Anlage

**Graphische Bedienoberfläche mit IDL.
Aufsetzen und Überwachen der Prozessrezepte
mittels graphischem Rezept-Editor.
Zugriff auf die Hardware über C-DLL und Profibus.**

**H. Heer, P. Kämmerling, H. Kleines, M. Wagener ZEL
R. Calarco, K.-H. Deussen, R. Meijers, K. Nicoll ISG1**

29. September 2004

Zentralinstitut für Elektronik (ZEL), Michael Wagener



Instrumentierung einer MBE Anlage

– Aufgaben der Anlage

*Epitaktisches Abscheiden dünner Schichten
für Grundlagen Physikkforschung und
Bauelementeanwendungen*

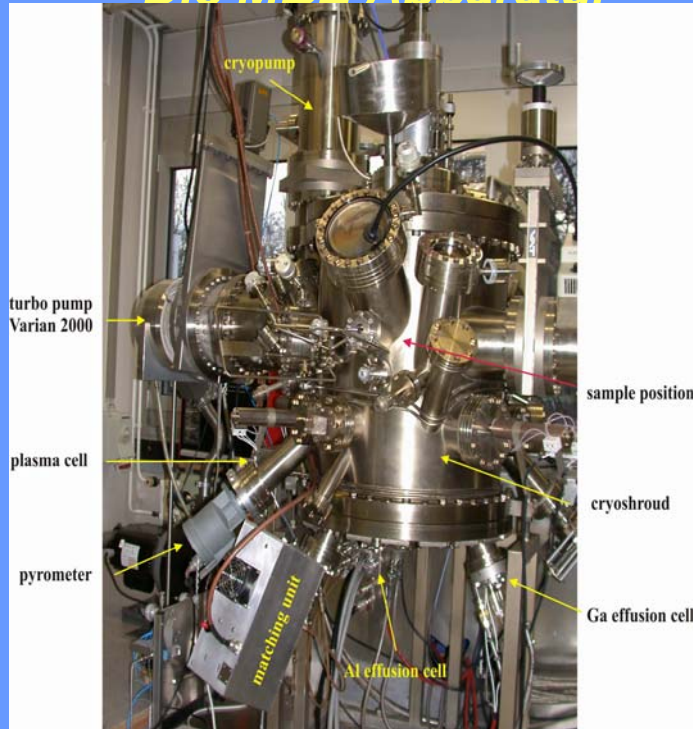
– Warum neue Instrumentierung?

*Moderner PC als PDP11 Ersatz
Graphisches Benutzer Interface
Rezepterstellung durch Menüführung
Integration des RHEED Bildes
Erweiterung der Messdatenerfassung
Protokollierung und Archivierung der Messdaten*

29. September 2004

Zentralinstitut für Elektronik (ZEL), Michael Wagener

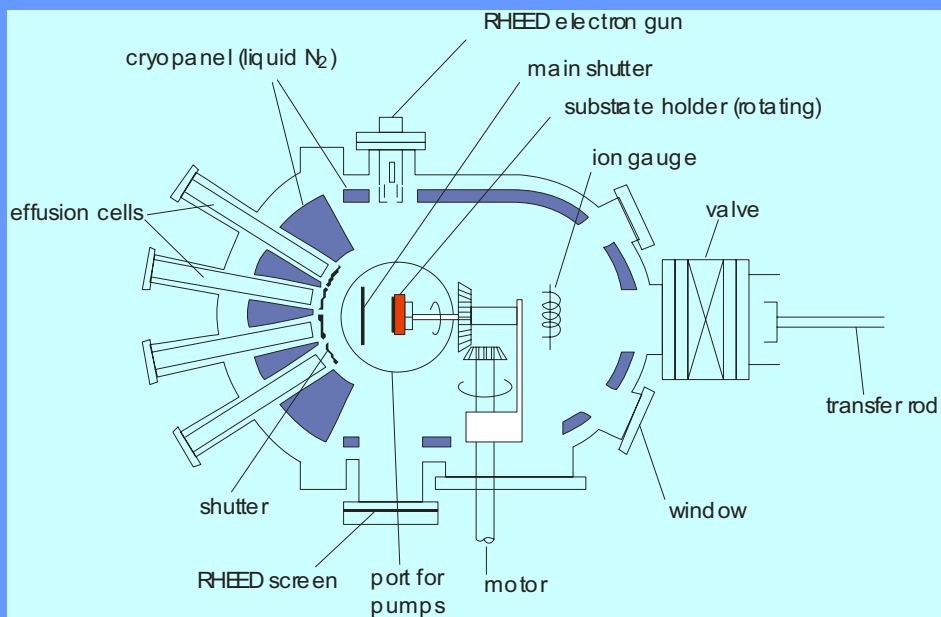
Die MBE Apparatur



29. September 2004

Zentralinstitut für Elektronik (ZEL), Michael Wagener

Molecular Beam Epitaxy

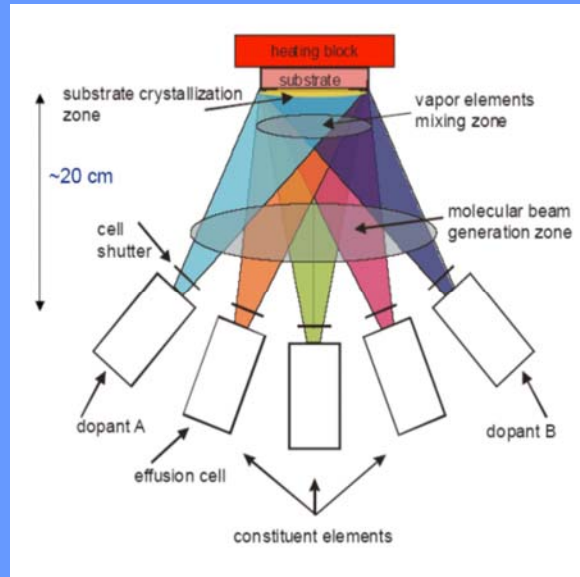


29. September 2004

Zentralinstitut für Elektronik (ZEL), Michael Wagener

Schema einer MBE Anlage

1. Die Molekularstrahlen werden in der **ersten Zone** erzeugt.
2. In der **Mischzone** überschneiden sich die Molekularstrahlen.
3. Das epitaxiale Wachsen geschieht in der Substrat **kristallisations Zone**, d.h. auf der Substrat Oberfläche.

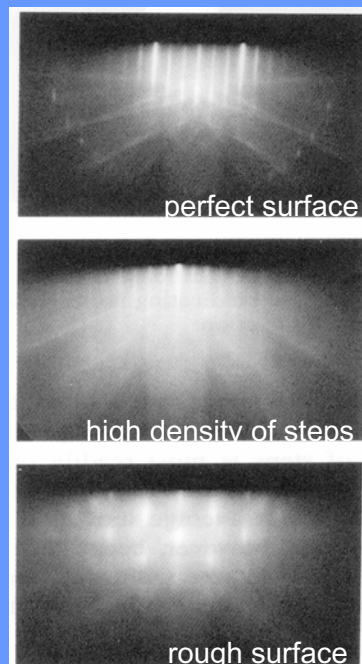


29. September 2004

Zentralinstitut für Elektronik (ZEL), Michael Wagener

Die RHEED Kamera

- **RHEED**
- **Reflection**
- **High**
- **Energy**
- **Electron**
- **Diffraction**



29. September 2004

Zentralinstitut für Elektronik (ZEL), Michael Wagener



Aufbau des Schaltschranks

- Eurotherm
- SPS
- Elektronik
- Sicherungen
- USV

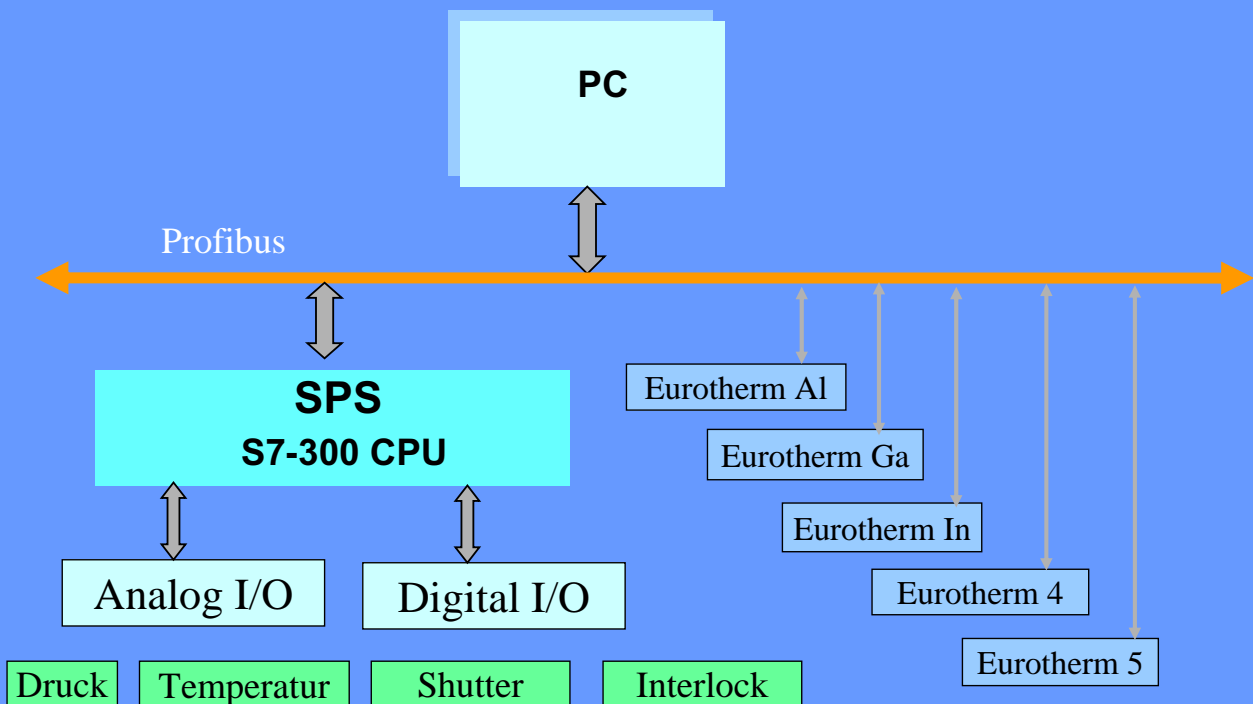


29. September 2004

Zentralinstitut für Elektronik (ZEL), Michael Wagener



Struktur des Kontrollsystems

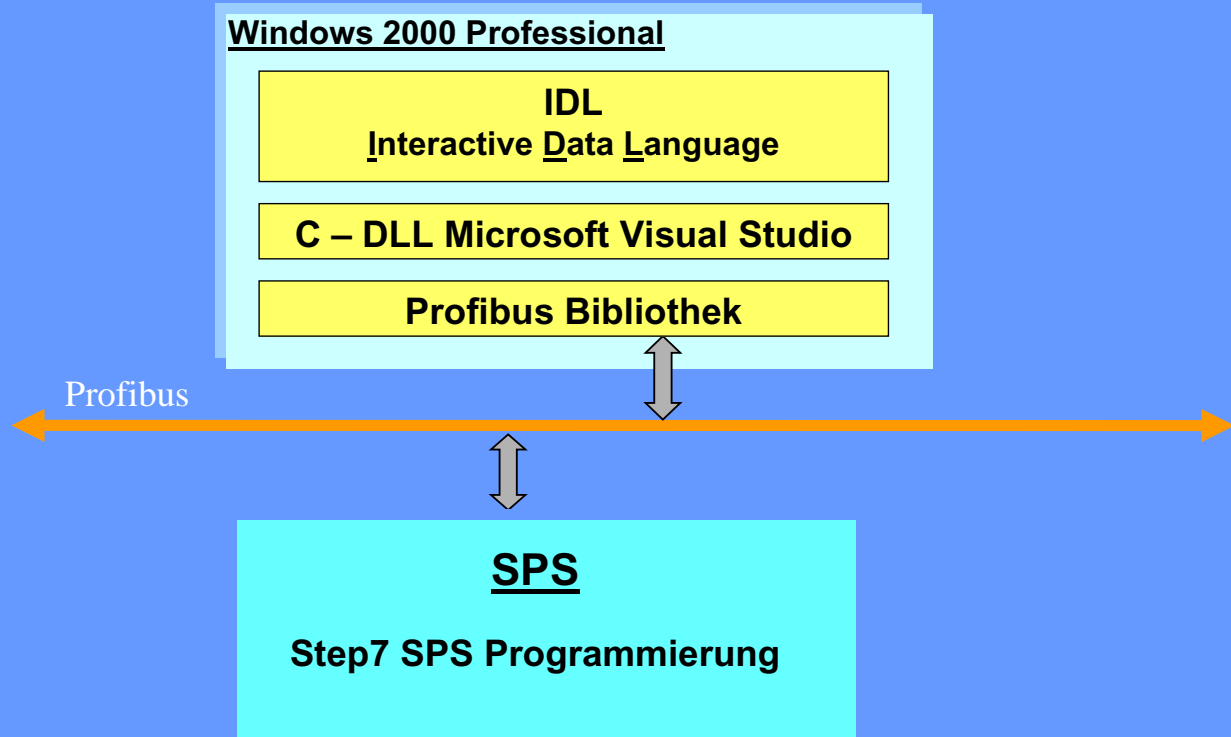


29. September 2004

Zentralinstitut für Elektronik (ZEL), Michael Wagener



Software-Hierarchie



29. September 2004

Zentralinstitut für Elektronik (ZEL), Michael Wagener



MBE Graphische Oberfläche GUI

The screenshot shows the MoBeE II GUI with the following sections:

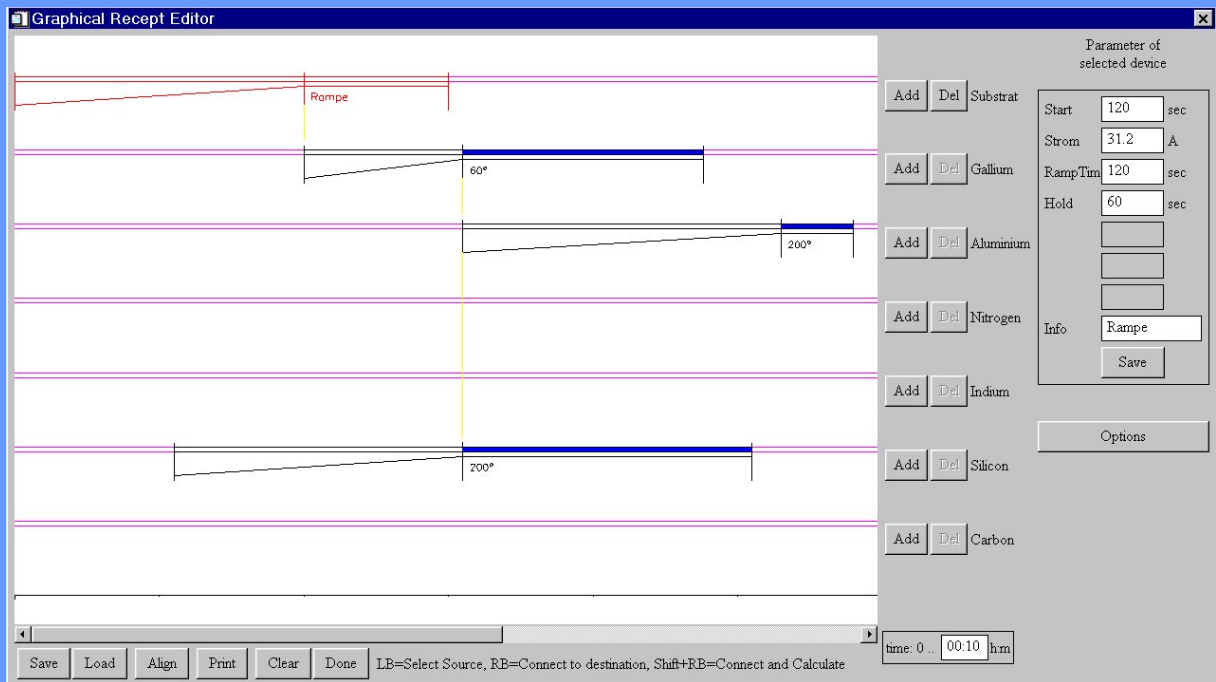
- System Receipt**: Title bar and user information (User: heer).
- RHEED**: Camera view and zoom controls.
- RFX 600 N - Plasma**: Parameter list with values (e.g., Identifier_1: Value_1).
- Pressure**: Gauges for Präpa (4.02e-009 mBar), 1 Depo (1.06e-009 mBar), and 2 Depo (2.06e-009 mBar).
- Interlocks**: Green buttons for Plasmaabkühlung, Al-Filament, Turbopumpe, Eisen, MBE-Kammer, and GA-Filament.
- Process Parameters**: Gallium, Indium, Aluminium, and Silizium (Eurotherm) settings including Fin. Temp., Rate, Holdtime, Calcul. Temp., Act. Temp., Oper. Power, and Shutter delay.
- Carbon**: Substrat (Amper) settings including Fin. Current, Duration, Holdtime, Act. Current, and Timer.
- Process protocol**: Log of system events and process steps, including "Start of MoBeE Process" and "Receipt manually aborted".

29. September 2004

Zentralinstitut für Elektronik (ZEL), Michael Wagener



Rezept Editor

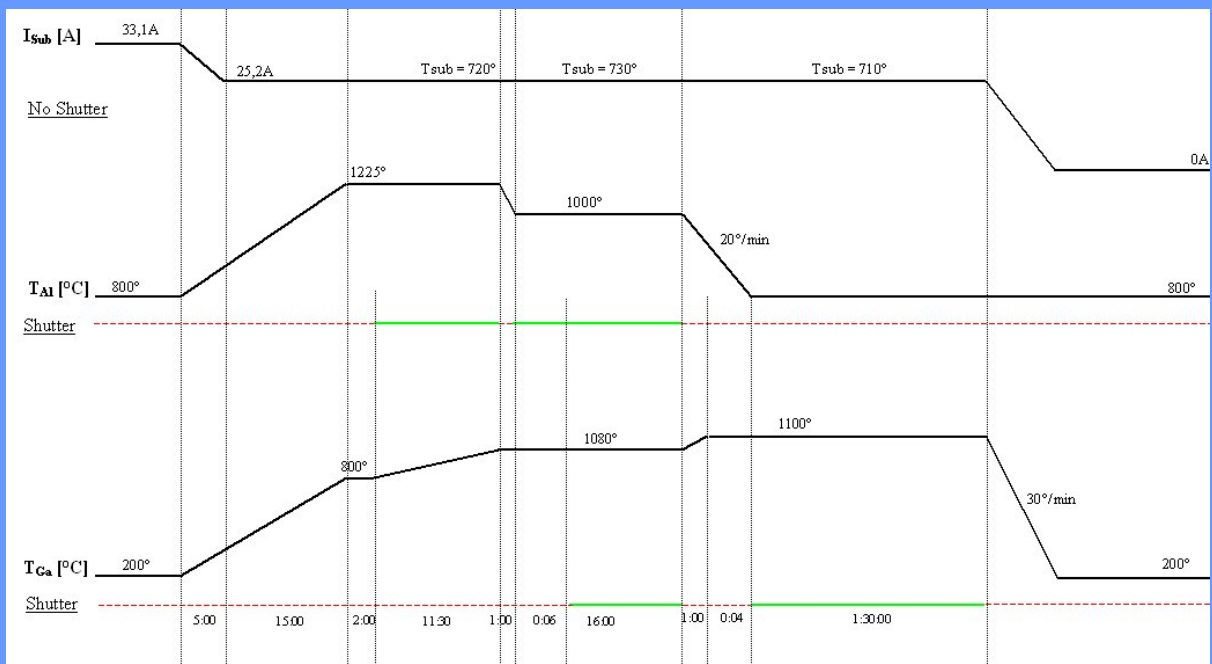


29. September 2004

Zentralinstitut für Elektronik (ZEL), Michael Wagener



Rezept Beispiel aus der Praxis

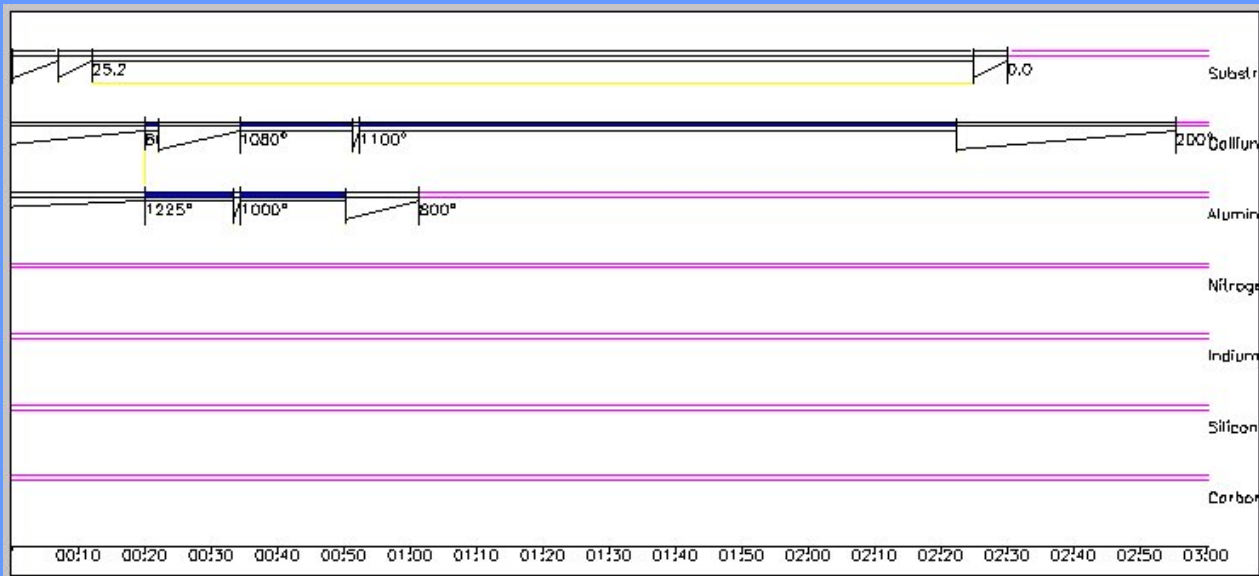


29. September 2004

Zentralinstitut für Elektronik (ZEL), Michael Wagener



Praxis Beispiel mit dem Rezept Editor



29. September 2004

Zentralinstitut für Elektronik (ZEL), Michael Wagener



Zusammenfassung und Ausblick

Wesentliche Ergebnisse

- Heizen der Zellen über Eurotherm
- Öffnen und Schließen der Shutter
- Erste Stufe des Interlock Systems
- Massnahmen bei Stromausfall

Status

- Ausbaustufe 1 erfolgreich getestet
- Zur Zeit Probebetrieb

In Zukunft

- Implementation Ausbaustufe 2
- Integration der Stickstoffzelle
- HF Generator, Flussregler
- Weitere Interlocks

29. September 2004

Zentralinstitut für Elektronik (ZEL), Michael Wagener

Schallanalyse und optimale elektronische Lautstärkekontrolle

Gerd Nowack

Labor für Präzisions- und Datenmesstechnik
c/o Lehrstuhl für Netz- und Datensicherheit
Fakultät für Elektrotechnik und Informationstechnik
Ruhr-Universität Bochum, IC 4/146, D-44780 Bochum

Abstracts

Bei öffentlichen Musikveranstaltungen müssen als Lärmschutz gesetzlich festgelegte Grenzwerte eingehalten werden. Gegenwärtig werden diese Grenzwerte z. B. dadurch eingehalten, dass Begrenzer fest installiert werden (z. B. in Diskotheken) oder eine Notabschaltung (Festsaal) für die Dauer von mehreren Minuten erfolgt, falls der Grenzwert innerhalb einer festgelegten Zeitspanne mehrmals überschritten wird. Auch ein guter Operator ist nicht in der Lage, diese Aufgabe ohne technische Hilfsmittel zu erfüllen, da das menschliche Gehör seine Empfindlichkeit der vorhandenen Lautstärke anpasst.

Das zu implementierte Gerät ermittelt aufgrund einer Frequenzanalyse des Schalls die Frequenzbereiche mit der größten Lautstärke und hält mit Hilfe eines digital steuerbaren Equalizers die Gesamtlautstärke unterhalb des erlaubten Grenzwertes. Diese Funktion übernimmt ein Mikrocontroller, da es sich nicht um eine Lautstärkeregelung auf einen Konstantwert handelt, die auch analog hätte realisiert werden können. Sind die Schallsignale wieder im erlaubten Bereich, wird die ursprüngliche Verstärkung wieder hergestellt. Zusätzlich zeigt das Gerät dem Operator die Analyseergebnisse an, so dass dieser die Möglichkeit hat, die Lautstärke selber zu ändern.

Das verwendete Verfahren hat im Gegensatz zu einem Begrenzer den Vorteil, dass keine Signalverzerrungen auftreten. Ein weiterer Vorteil ist die vom PA (Public Address)-System unabhängige Arbeitsweise, die bei der Änderung einzelner Komponenten die sonst notwendige erneute Kalibrierung des Begrenzers überflüssig macht.

1. Einleitung

Wir sind Tag und Nacht von Lärm umgeben. Dazu zählt auch laute Musik von Diskotheken oder Sonderveranstaltungen (Emission), wenn sie in Wohngebieten als störend (Immission) empfunden wird. Die nach außen abgestrahlte Lautstärke führt bei Überschreitung eines Grenzwertes der abgegebenen Lautsprecherleistung zur Totalabschaltung über einen definierten Zeitraum (meist 5 min.). Diese Lösung ist unbefriedigend, da die Veranstaltung damit unterbrochen wird. Ein Begrenzer ist ebenfalls unbefriedigend, da Verzerrungen auftreten, die bei Open-air-Konzerten oft störend zu hören sind.

Das aufgebaute Gerät hat drei Eingänge: Ein Stereosignal für die Musik und zwei Mikrophoneingänge für die Bestimmung der maximalen Lautstärke innerhalb und außerhalb des Vorführungsraumes. Die Mikrophone sind entsprechend zu positionieren. Die drei Signale werden zunächst mit einem dB(A)-Filter gewichtet und dann wird in sechs verschiedenen Frequenzbändern der jeweilige Effektivwert bestimmt. Ein Mikrocontroller übernimmt die Auswertung. Ist die abgestrahlte Lautstärke (außen) zu hoch, dann wird die Lautstärke in dem zugehörigen Frequenzband reduziert. Das geschieht mit einem digital gesteuerten Equalizer. Die Testmessungen haben gezeigt, dass die Lautstärkereduzierung normalerweise nur die tiefen Frequenzbänder betrifft. Der Eingriff des Mikrocontrollers auf die Lautstärkeeinstellungen wird in einem Display angezeigt, so dass der Anwender die Gesamtlautstärke selber solange reduzieren kann, bis alle Kanäle wieder „ungedrosselt“ arbeiten. Die Verwendung

von drei Kanälen ermöglicht es, die Begrenzungsfunktion auch auf andere Kriterien anzuwenden, wie z.B. Innenlautstärke oder Lautsprecherleistung (als Zerstörungsschutz). Die Außenmikrophon-Elektronik ist batteriebetrieben und überträgt das Signal im UHF-Band bei 434,200 MHz an die Empfangselektronik.

2. Grundlagen der Lautstärkebeurteilung

Bei der Schallausbreitung schwingen Moleküle in Schallrichtung (longitudinal) um ihre Ruhelage. Der Schalldruck verursacht eine lokale Dichteänderung. Betrachten wir einen sinusförmigen Dauerton (in Luft), so gilt für die mikroskopisch kleine Ortsbewegung der Luftmoleküle:

(1) Weg-Zeit-Verlauf: $s(t) = s_A \sin(2\pi f t)$

(2) Geschwindigkeits-Zeit-Verlauf (Schallschnelle):

$$v(t) = \frac{ds(t)}{dt} = 2\pi f s_A \cos(2\pi f t) = v_A \cos(2\pi f t)$$

(3) Schalldruck-Zeit-Verlauf: $p(t) = p_A \cos(2\pi f t + \varphi)$

Bei fortschreitender Welle ist die Phasenverschiebung: $\varphi = 0$

Bei stehender Welle ist die Phasenverschiebung: $\varphi = 90^\circ$

(4) Schallwellenwiderstand:

$$R_a = \frac{p(t)}{v(t)} = \rho c \quad \text{mit } \rho = \text{Dichte der Luft (g/cm}^3\text{)} \text{ und } c = \text{Schallgeschwindigkeit (cm/s)}$$

(5) Grundgleichung: $p(t) = R_a v(t) = \rho c v(t)$

(6) Schallstärke (Leistungsdichte): $J = p_{\text{eff}} v_{\text{eff}} = \frac{p_{\text{eff}}^2}{R_a} = v_{\text{eff}}^2 R_a$ Dimension: $[J] = 1 \frac{\text{W}}{\text{cm}^2}$

(7) Schallleistung: $P = F J = F \frac{p_{\text{eff}}^2}{R_a}$ mit $F = \text{Fläche}$ und $[P] = 1 \text{ W}$

(8) Weber-Fechner-Gesetz der Sinne: Die Empfindungsstärke der Sinnesorgane ist proportional dem Logarithmus der Reizstärke. $S = \text{Konst.} \lg(J/J_0)$

(9) Dezibel-Maßstab: „Dezi“ bedeutet: Es wurde Konst. = 10 gewählt, und „bel“ erinnert an den großen Alexander Bell, der 1876 das erste brauchbare Telefon entwickelte.

$$D = 10 \lg \frac{J_1}{J_2} = 20 \lg \frac{p_1}{p_2} = 20 \lg \frac{v_{A1}}{v_{A2}}$$

(10) Schwellwerte (als Grundlage der log. Messwerte):

(a) Schwellwert der Schallstärke (Hörschwelle bei 1 kHz):

$$J_{\text{th},0} = 10^{-16} \text{ W/cm}^2 \quad (\text{Vgl.: } 10^{-13} \text{ W/cm}^2 \text{ bei } 50 \text{ Hz})$$

(b) Schwellwert des Schalldrucks: $p_{\text{th},0} = 0,0002 \mu\text{bar} = 2 \cdot 10^{-4} \text{ dyn/cm}^2$

Dieser Schwellwert wurde mehrfach geändert:

$$p_{\text{th},0,\text{DIN}} = \sqrt{10} \cdot 10^{-4} \text{ dyn/cm}^2 = 3,162 \cdot 10^{-4} \text{ dyn/cm}^2$$

(11) Gebräuchliche Einheiten:

$$\text{Schalldruck } p: [p] = 1 \mu\text{bar} = 0,10 \text{ Pascal} = 1 \text{ dyn/cm}^2 = 1 \text{ g/(cm s}^2\text{)}$$

$$\text{Schallstärke } J: [J] = 1 \text{ erg/(cm}^2 \text{ s)} = 10^{-7} \text{ W/cm}^2$$

Zahlenbeispiele:

$$(1) \text{ Schallgeschwindigkeit } c: c = \sqrt{\frac{\kappa P_0}{\rho}} = 3,431 \cdot 10^4 \frac{\text{cm}}{\text{s}} = 343,1 \frac{\text{m}}{\text{s}}$$

mit: κ = Verhältnis der spezifischen Wärmen $c_p / c_v = 1,402$ (20 °C)

P_0 = Statischer Luftdruck = 760 Torr (0m über NN) = 1013,25 mbar

ρ = Dichte der Luft = $1,205 \cdot 10^{-3} \text{ g/cm}^3$ (760 Torr, 20 °C)

$$(2) \text{ Schallwellenwiderstand } R_a: R_a = \rho \cdot c = 41,34 \frac{\text{g}}{\text{cm}^2 \text{ s}} = 41,34 \Omega_a$$

(3) Geschwindigkeit der Luftmoleküle (Schallschnelle):

$$v_A = \frac{p_A}{R_a} = 0,0242 \frac{\text{cm}}{\text{s}} = 242 \frac{\mu\text{m}}{\text{s}} \quad \text{mit } p_A = 1 \mu\text{bar} = 0,1 \text{ Pascal}$$

(4) Amplitude der Luftmoleküle bei einem Schalldruck = 1 μbar und einer Frequenz = 1 kHz:

$$s_A = \frac{p_A}{\rho \cdot c \cdot 2\pi \cdot f} = 3,850 \cdot 10^{-6} \text{ cm} \quad \text{oder als bezogene Größengleichung: } \left(\frac{s_A}{\text{cm}}\right) = \frac{\left(\frac{p_A}{\mu\text{bar}}\right)}{260 \left(\frac{f}{\text{Hz}}\right)}$$

$$(5) \text{ Schallstärke } J \text{ bei einem Schalldruck von } 1 \mu\text{bar: } J = \frac{p_{\text{eff}}^2}{R_a} = 2,42 \cdot 10^{-9} \frac{\text{W}}{\text{cm}^2}$$

(Für die Einheitenumrechnung gilt: $1 \text{ bar} = 0,1 \frac{\text{Ws}}{\text{cm}^3}$)

$$(6) \text{ Lautstärke in Phon: } D = 10 \lg \frac{J}{J_{\text{th},0}} = 10 \lg \frac{2,42 \cdot 10^{-9} \text{ W/cm}^2}{10^{-16} \text{ W/cm}^2} = 73,84 \text{ phon}$$

(7) Lautstärke in dB unter Berücksichtigung des neuen Schwellwertes für den Schalldruck:

$$J_{\text{th},0,\text{neu}} = \sqrt{\frac{\sqrt{10}}{2}} J_{\text{th},0,\text{alt}} = 1,2574 * 10^{-16} \frac{\text{W}}{\text{cm}^2} \quad \text{damit: } D = 10 \lg \frac{J}{J_{\text{th},0,\text{neu}}} = 72,84 \text{ dB}$$

3. Gesetzliche Bestimmungen: Bundes-Immissionsschutzgesetz

Ein gutes Mikrofon hat einen konstanten Frequenzgang, das Ohr aber nicht. Er ist sogar noch lautstärkeabhängig. Von den drei definierten Filtern zur Nachbildung des Ohrfrequenzganges wird das A-Filter am häufigsten benutzt. Es besitzt einen Bandpasscharakter, der dem invertierten Hörschwellenfrequenzgang des Ohres entspricht. Zwischen 1 und 4 kHz liegt der ungestörte Durchlassbereich. Die mit dem Filter gewichtete Lautstärke wird mit dB(A) bezeichnet.

Zum Bundes-Immissionsschutzgesetz wurde eine Technische Anleitung zum Schutz gegen Lärm (TA-Lärm) erlassen, die als Grenzwerte sog. Beurteilungspegel verwendet, getrennt für „tags“ und „nachts“. Dadurch wird gewährleistet, dass die Lautstärke über eine Mittelwertbildung (DIN 45645-1) bestimmt wird:

$$L_r = 10 \lg \left[\frac{1}{T_r} \sum_{j=1}^N T_j \cdot 10^{0,1(L_{\text{Aeq},j} - C_{\text{met}} + K_{Tj} + K_{Lj} + K_{Rj})} \right] \quad \text{mit } T_r = \sum_{j=1}^N T_j$$

Darin bedeuten:

T_r = 16 für „tags“ oder 8 für „nachts“ oder 1 Std. (Std. der höchsten Lautstärke)

T_j = Teilzeit j (max. 16 für „tags“ oder max. 8 für „nachts“)

N = Anzahl der gewählten Teilzeiten

$L_{\text{Aeq},j}$ = Mittelungspegel während der Teilzeit T_j

C_{met} = Meteorologische Korrektur nach DIN ISO 9613-2

K_{Tj} = Zuschlag für Ton- und Informationshaltigkeit (je nach Stärke: 3 oder 6 dB)

K_{Ij} = Zuschlag für Impulshaltigkeit ($L_{Impuls} - L_{Aeq,j}$)

K_{Rj} = Zuschlag für Tageszeit mit erhöhter Empfindlichkeit in Teilzeit T_j

Die Technische Anleitung zum Schutz gegen Lärm gibt nun folgende Beurteilungspegel in Abhängigkeit von der Tageszeit und dem Standort an:

Standort	„tags“ Beurteilungspegel/dB(A)	„nachts“ Beurteilungspegel/dB(A)
Industriegebiet	70	70
Gewerbegebiet	65	50
Kerngebiet, z.B. Stadtmitte	60	45
Wohngebiet, allgemeines	55	40
Wohngebiet, reines	50	35
Kurgebiet, Krankenhaus	45	35

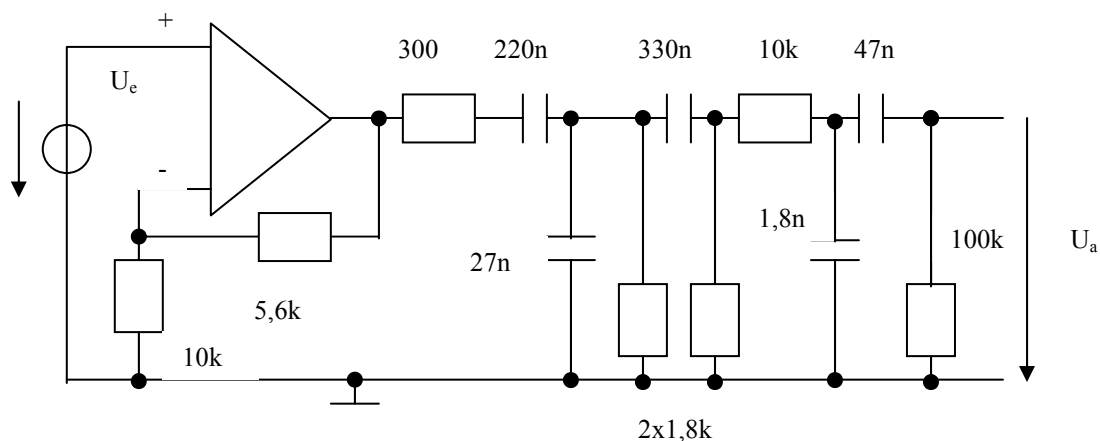
Diskotheekenbesucher werden in Deutschland nicht geschützt. Die Schweiz hat 93 dB(A) als Grenzwert beschlossen, der aber mit Genehmigung überschritten werden darf. Vom Bundesumweltamt gibt es einen Vorschlag (zusammen mit der Bundesärztekammer): 90 – 95 dB(A), gemessen an der lautesten Stelle. Dazu werden Begrenzer zwischen Mischpult und Endstufe geschaltet. Die Steuerung des Begrenzers erfolgt durch ein Messsystem für den Raumpegel. Die Addition der elektrischen Signale (Mehrkanalanlagen) ist nicht geeignet. Es müssten die Leistungen der Einzelkanäle addiert werden, damit sich Phasendifferenzen nicht mindernd auswirken.

4. Blockschaltbild des Gerätes zur Schallanalyse und optimalen Lautstärkekontrolle

Das Blockschaltbild der Gesamtanordnung zeigt die Abbildung auf der folgenden Seite.

Die Komponenten im Einzelnen:

- (1) dB(A)-Filter: Bandpass im Selbstbau: s.u. auf dieser Seite (aus der Lit.)
- (2) Filterbank: BA3830s der Fa. Rohm: Frequenzfilter mit 6 Frequenzbändern: 63Hz, 150Hz, 330Hz, 1kHz, 3,3kHz, 10kHz.
- (3) MPX: MAX4051: Multiplexer der Fa. Maxim (Steuerung über die Leitungen: INH, ADDA, ADDB, ADDC, RESET)
- (4) Funkübertragung: 70TX-M der Fa. HM-Funktechnik GmbH: UHF-Mini-Sender im ISM-Band, 410-510 MHz, 2 km Reichweite, 10 mW Sendeleistung
- (5) MSC1210Y5: TI-Mikrocontrollerboard der Fa. Texas Instr., incl. 24 Bit ADC (1LSB=300 nV)
- (6) 7-Band-Stereo-Equalizer: LMC835 der Fa. National Semiconductor, digitale Ansteuerung: 1. Byte: Kanalauswahl, 2. Byte: Verstärkung ± 12 dB, d.h. von $\frac{1}{4}$ bis 4-mal



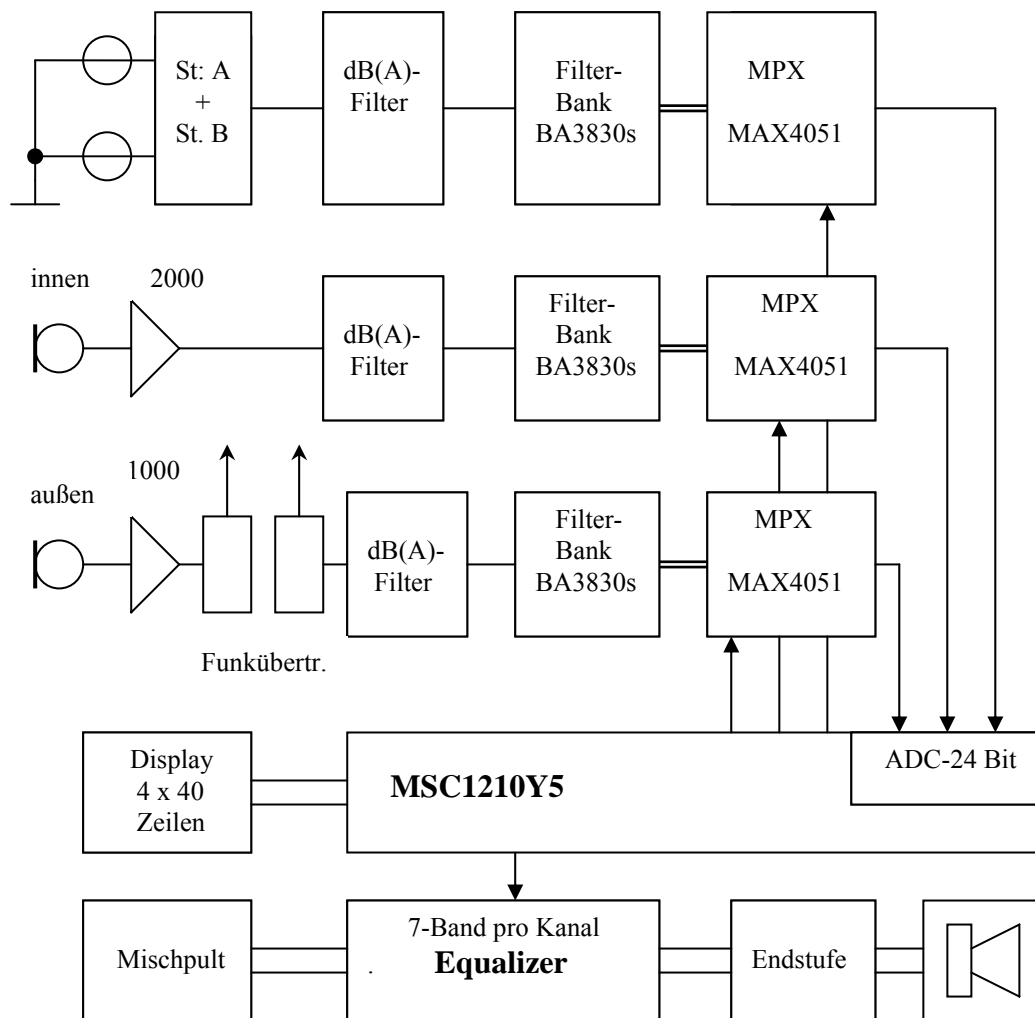


Abbildung: Blockschaltbild der Gesamtanordnung

Das IC: LMC835 ist das Kernstück des Equalizers, der seine volle Funktion erst mit einer entsprechenden Beschaltung bekommt. Insgesamt handelt es sich um einen analogen Equalizer, der dadurch digital steuerbar wird, dass die üblichen Potentiometer durch digital ansteuerbare „schrittvariable“ Widerstände ersetzt wurden. Durch äußere Beschaltung werden die Frequenzbänder fest eingestellt, wobei ihre Mittenfrequenzen bei den entscheidenden tiefen Frequenzen mit denen der Filterbank übereinstimmen sollten. In der implementierten Schaltung wurden folgende Mittenfrequenzen eingestellt: Die höchste Frequenz f_7 wurde im Weiteren außer Acht gelassen.

Modul	f_1/Hz	f_2/Hz	f_3/Hz	f_4/Hz	f_5/Hz	f_6/Hz	f_7/Hz
Filterbank	63	150	330	1000	3300	10 000	./.
Equalizer	63	160	400	1000	2500	6300	16000

Das Display kann in zwei Modi betrieben werden. Einmal stehen die Gesamtlautstärke und die tatsächlichen frequenzbandabhängigen Reduktionen der Lautstärke im Vordergrund und im anderen Fall die Ergebnisse der Frequenzbandanalyse.

Display: Modus 1

Mittelwert		Internes Mikrophon		Externes Mikrophon		Audiosig- nal
		xxx.xx		xxx.xx		xxx.xx
Frequenzband/Hz	63	150	330	1000	3300	10 000
Reduzier'g in dB	xxx.xx	xxx.xx	xxx.xx	xxx.xx	xxx.xx	xxx.xx

Display: Modus 2

Frequenzband/Hz	63	150	330	1000	3300	10 000
Internes Mikro	xxx.xx	xxx.xx	xxx.xx	xxx.xx	xxx.xx	xxx.xx
Externes Mikro	xxx.xx	xxx.xx	xxx.xx	xxx.xx	xxx.xx	xxx.xx
Audiosignal	xxx.xx	xxx.xx	xxx.xx	xxx.xx	xxx.xx	xxx.xx

5. Kalibrierung und Ergebnisse

Die Verstärkungen der Mikrophonverstärker wurden so eingestellt, dass bei gleichem Schalldruck alle Signale hinter den A-Filtern gleich groß sind. Um zur Berechnung der Lautstärke nicht die Höhe der Hörschwelle bei 1 kHz bestimmen zu müssen, wurde zur Kalibrierung das Schallpegelmessgerät Datalog332 von Fa. Voltkraft eingesetzt.

Der Praxistest ergab, dass bei „normaler“ Musik nur Lautstärkereduktionen in den Frequenzbändern 63 bis 1000 Hz auftreten. Das Außenmikrophon lieferte Bereichsüberschreitungen nur im tiefsten Bassbereich, da das Mauerwerk wie ein zusätzliches Tiefpassfilter wirkt. Frequenzen oberhalb 1 kHz könnte man zukünftig aus der Analyse herausnehmen. Das hätte den Vorteil, dass das Gerät schneller auf Bereichsüberschreitungen in tiefen Frequenzbereichen reagieren würde. Außerdem könnte das Außenmikrophon nicht durch vorhandene Umweltgeräusche im Bereich hoher Frequenzen gestört werden. Der interne ADC hat bei 10 Hz Wandlungsrate eine Auflösung von 22 Bit. Eine höhere Wandlungsrate (mit reduzierter effektiver Auflösung) könnte ebenfalls die Reaktionszeit des Systems bei Lautstärkesprüngen reduzieren. Ein 16 Bit ADC wäre für die Anwendung ausreichend gewesen. Das Gerät besitzt keine Tastatur (wohl aber ein PC-Interface), mit dem schnell Grenzwerte neu eingegeben werden könnten. Oft ist es wünschenswert kleinere Lautstärken (als die hohen Grenzwerte) vorzugeben, um die „Automatik“ der Lautstärkereduzierungen einsetzen zu können.

6. Danksagung

Mein besonderer Dank gilt Frau Simone Eißner, die im Rahmen ihrer Diplomarbeit dieses Thema bearbeitet hat. Wir standen in einem ständigen, produktiven Dialog, so dass die gestellte Aufgabe mit großer Zufriedenheit gelöst werden konnte. In der Implementierung wurden viele komplexe IC's eingesetzt, deren Funktion in den Datenblättern nicht immer leicht verständlich erklärt wurde. Im Rahmen der Arbeit wurden zwei Platinen entwickelt und die notwendigen Programme in C.

Gerd.Nowack@rub.de

Die elektrostatische Entladung (ESD) bei kleinen Abständen und Spannungen

Zusammenfassung

Dr. Sven Bönisch (HMI-Berlin)

Elektrostatische Entladungen mit Durchbruchspannungen $<2000\text{ V}$ bzw. Elektrodenabständen $<300\text{ }\mu\text{m}$ sind insbesondere beim ESD-Test von elektronischen Systemen und Bauelementen nach dem CDM-Modell von großer Bedeutung. Die Reproduzierbarkeit dieser Tests war bisher insbesondere im Spannungsbereich $<1000\text{ V}$ unzureichend. Die verschiedenen parallel auftretenden und konkurrierenden Durchbruchmechanismen konnten bis jetzt nicht untersucht und bestimmt werden. Eine Extrapolation von vorhandenen Daten war und ist aufgrund der extrem nichtlinearen Effekte ausgeschlossen. Während in den Spannungsbereichen zwischen etwa 2000 V und 10000 V vereinzelt Daten zu den Einflüssen wichtiger Parameter existieren, gab es bisher in den Spannungsbereichen $<2000\text{ V}$ und $>10000\text{ V}$ fast keine Informationen.

Wesentliche Aufgabe der vorliegenden Arbeit war deshalb die Erarbeitung von Grundlagen, die es ermöglichen, die elektrostatische Entladung mit Durchbruchspannungen $<2000\text{ V}$ bzw. Elektrodenabständen $<300\text{ }\mu\text{m}$ besser zu verstehen. Dabei war die Erarbeitung von Meßdaten zu Störintensität und Reproduzierbarkeit von ESD insbesondere im Spannungsbereich $<2000\text{ V}$ von Interesse. Die Einflüsse wichtiger Parameter auf die ESD, wie z.B. Elektrodenmaterial, Ladespannung, Annäherungsgeschwindigkeit, Luftdruck und klimatische Bedingungen konnte erstmalig untersucht werden. Konfigurationen mit hoher Reproduzierbarkeit der Entladungen konnten gefunden bzw. in den Fällen, die nur geringe Einflußmöglichkeiten bieten, die Reproduzierbarkeit quantitativ beschrieben werden. Damit ist es jetzt möglich, für ESD-Tests in diesem Spannungsbereich eine erheblich verbesserte Reproduzierbarkeit sicherzustellen.

Mit einem neuartigen, extrem breitbandigen Meßaufbau wurden Stromanstiege von elektrostatischen Entladungen untersucht und dabei verschiedene auftretende Entladungsmechanismen, wie z.B. Oberflächenprozesse- und Gasentladungsprozesse nachgewiesen. Die Parameterbereiche ihres Auftretens und ihre Signifikanz in bestimmten Parameterbereichen konnten erstmalig angegeben werden. Diese Ergebnisse wurden mit verschiedenen anderen Meßverfahren wie z.B. REM-Aufnahmen den Elektrodenoberflächen verifiziert. Dabei konnte auch festgestellt werden, daß der Materialtransport zwischen den Elektroden mit $<10\%$ fast vernachlässigbar ist. Der unterschiedliche Einfluß von Kathoden- und Anodenoberfläche auf die Entladungsentwicklung von ESD in Luft wurde erstmalig detailliert beschrieben. Es konnte herausgefunden werden, daß Oberflächenprozesse ähnlich den Prozessen bei gepulsten Vakuumdurchschlägen auftreten und daß das Anodenmaterial erst bei extrem hohen Durchbruchfeldstärken

(>75 kV/mm) die Entladungsentwicklung beeinflusst. Der Oberflächenprozeß bei ESD in Luft ist nach den vorliegenden Ergebnissen durch resistive Aufheizung der Elektrodenoberflächen infolge von Elektronenemissionsströmen und anschließender explosiver Ladungsträger- und Partikelemission gekennzeichnet. Die explosive Ladungsträgeremission aus den heißen Elektrodenoberflächen bei hohen Feldstärken erfolgt hauptsächlich nach dem Modell der Thermofeldelektronenemission.

Mit einem anderen Meßaufbau wurden der Einfluß von Elektrodenmaterialien sowie klimatischen Bedingungen auf Störintensität und Reproduzierbarkeit von ESD untersucht. Dabei konnten optimale Material- und Klimabereiche gefunden werden, die ESD-Tests mit größtmöglicher Reproduzierbarkeit ermöglichen. Es wurde herausgefunden, daß die Störintensität von ESD bei sinkenden Durchbruchspannungen bzw. sinkenden Elektrodenabständen aufgrund von signifikanten Oberflächenprozessen und damit einhergehender Erhöhung der relativen Lichtbogenlängen, stärker zurückgeht als bisher angenommen. Eine bislang theoretisch angenommene Abhängigkeit der Oberflächenprozesse von der Austrittsarbeit der Elektrodenmaterialien konnte in den hier durchgeführten Untersuchungen nicht bestätigt werden.

Da bisher keine Modelle für ESD für diesen Parameterbereich existierten, wurden zwei Modelle entwickelt, die die Simulation der Entladungsentwicklung ermöglichen. Ein einfaches phänomenologisches und ein komplizierteres physikalisches Modell gestatten die konsistente Simulation von gleichzeitig auftretenden Oberflächen- und Gasentladungsprozessen und ihren Beitrag zum Entladestrom. Die dargestellten Modelle können auch den Einfluß verschiedener Elektrodenmaterialien korrekt abbilden.

Anwendungen für ESD mit Durchbruchspannungen <2000 V bzw. Elektrodenabständen <300 µm sind breit gefächert. Neben ESD-Tests sind auch Funkenstrecken mit kleinen Elektrodenabständen zum Einsatz als ESD-Schutzbaustein in elektronischen Systemen von steigendem Interesse. Es konnte herausgefunden werden, daß aufgrund von Oberflächenprozessen eine signifikante Veränderung der Schutzparameter zu verzeichnen ist. Aus diesem Grunde ist eine Konditionierungsphase und eine maximale Lebensdauer bei einem Einsatz dieser Bauelemente zu berücksichtigen.

Die elektrostatische Entladung (ESD) bei kleinen Abständen und Spannungen

SEI-Tagung Rossendorf 2004

Dr.-Ing. Sven Bönisch
Hahn-Meitner-Institut Berlin

Hahn-Meitner-Institut Berlin in der Helmholtz-Gemeinschaft



Ziele der Arbeit

Untersuchung von ESD für Spannungen
<2000V bzw. Elektrodenabständen
<300 μ m

- 1. Stromverlauf**
- 2. Durchbruchmechanismen**
- 3. Parametereinfluß**
- 4. Modellierung**

Hahn-Meitner-Institut Berlin in der Helmholtz-Gemeinschaft



Inhalt

- Einleitung
- Durchbruchmechanismen bei ESD
- Parametereinfluß auf ESD
- Modellierung der Entladungsentwicklung
- Zusammenfassung



Einleitung – Was ist ESD?

Aufladung



Entladung



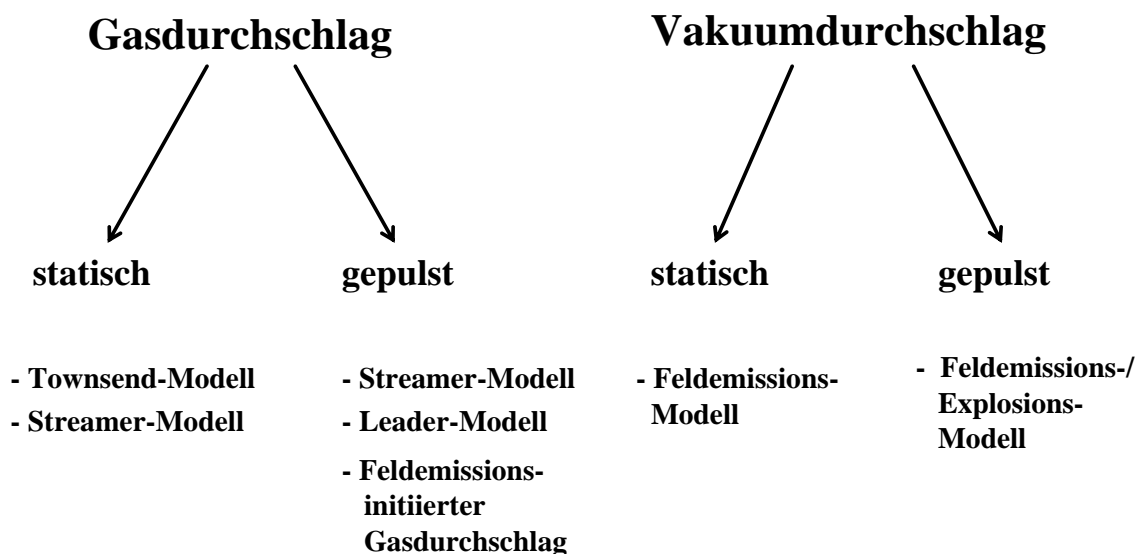
Aufladung - Triboelektrizität

Material	Aufladung
Luft	Stark positiv
Haut	
Glas	
Haar	Positiv
Wolle	
Pelz	
Papier	Neutral
Baumwolle	
Hartgummi	
Polyester	Negativ
Polyurethan	
PVC	
Teflon	Stark negativ

Hahn-Meitner-Institut Berlin in der Helmholtz-Gemeinschaft



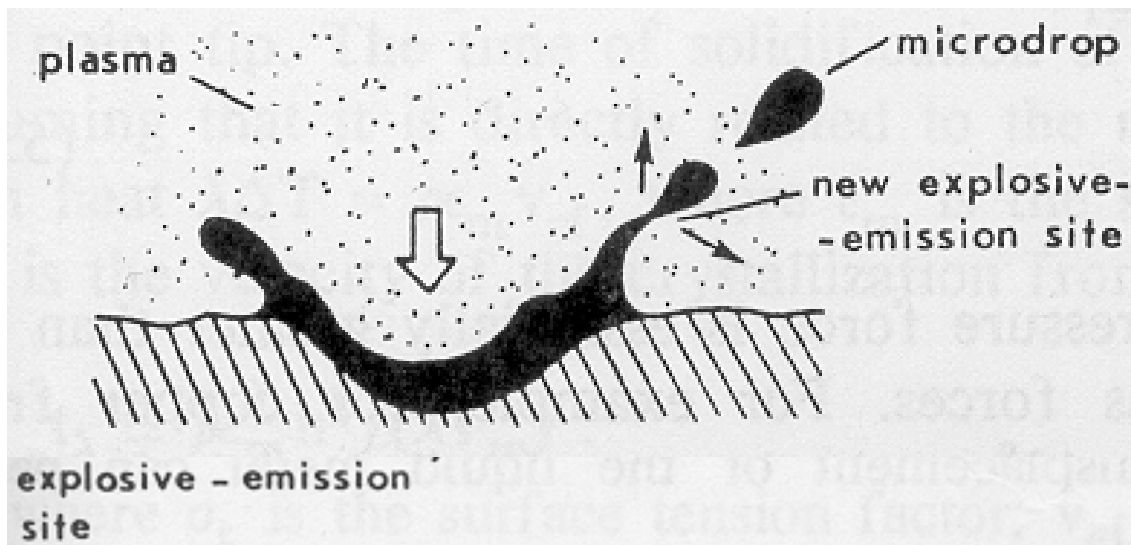
Bekannte Durchbruchmechanismen bei Spannungen >2000V



Hahn-Meitner-Institut Berlin in der Helmholtz-Gemeinschaft



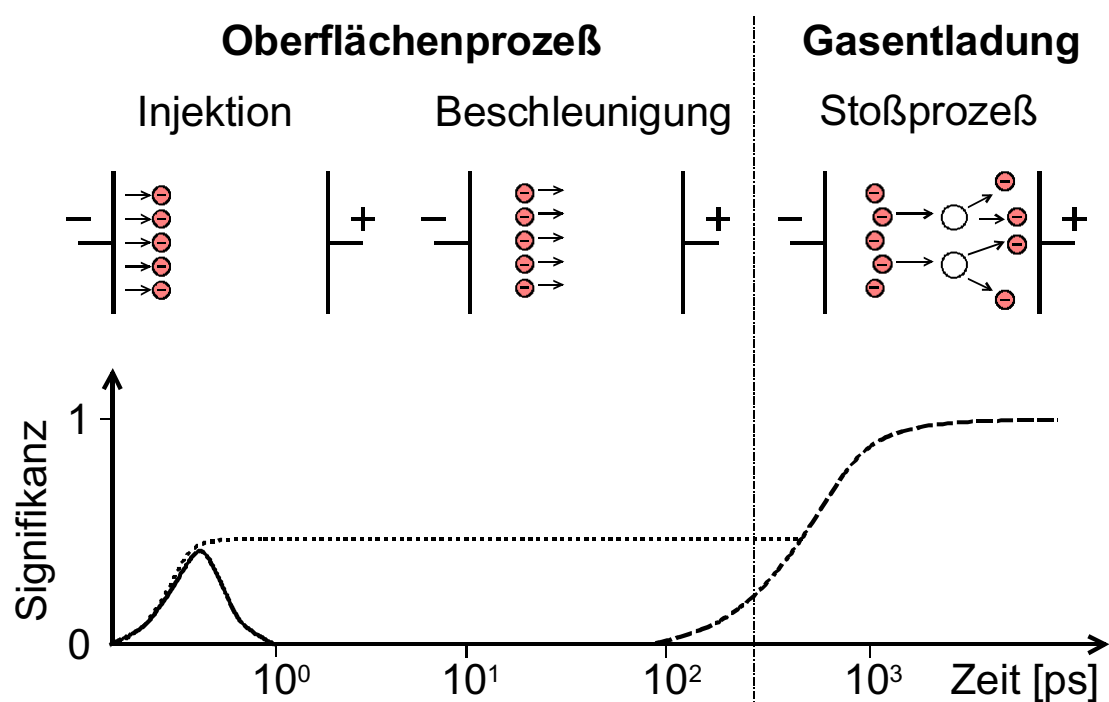
Oberflächenprozeß bei gepulsten Vakuumdurchschlägen (*Mesyats*)



Hahn-Meitner-Institut Berlin in der Helmholtz-Gemeinschaft



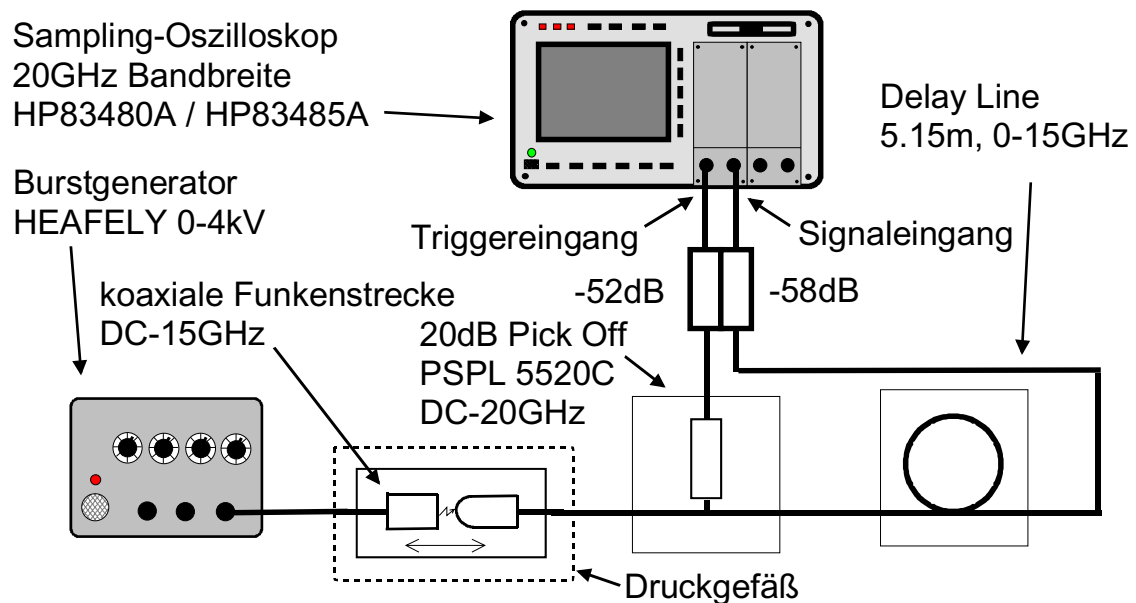
Gepulster Gasdurchschlag



Hahn-Meitner-Institut Berlin in der Helmholtz-Gemeinschaft



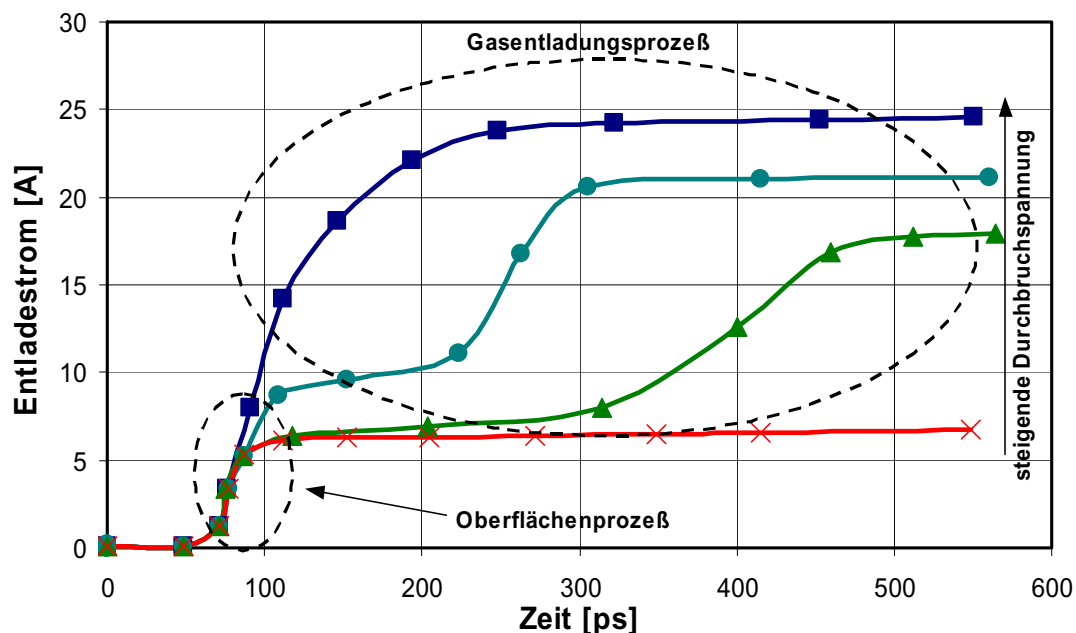
Meßaufbau zur Untersuchung von Durchbruchmechanismen



Hahn-Meitner-Institut Berlin in der Helmholtz-Gemeinschaft



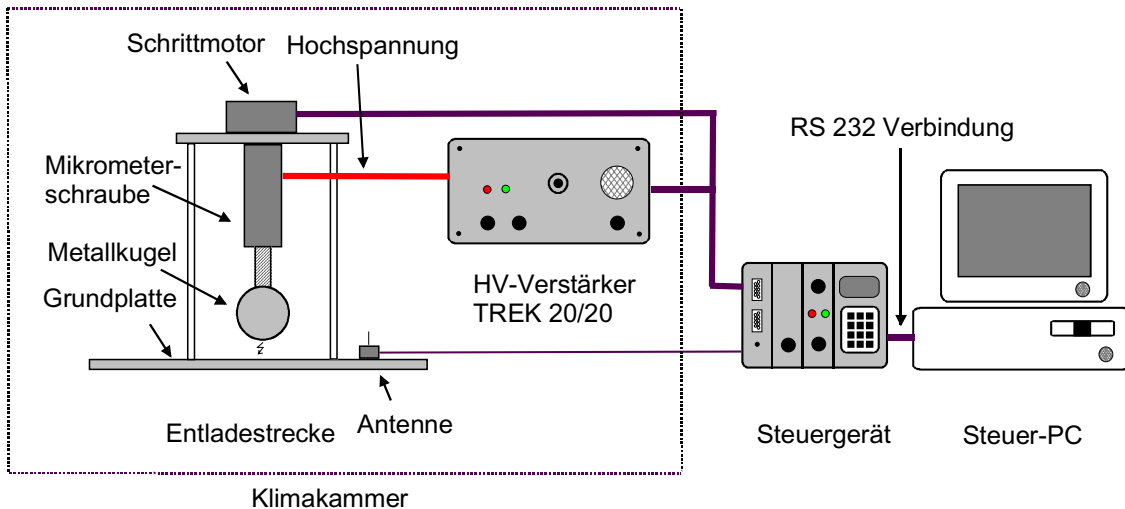
ESD bei Spannungen <2000V bzw. Elektrodenabständen <300µm



Hahn-Meitner-Institut Berlin in der Helmholtz-Gemeinschaft



Meßaufbau zur Untersuchung von Parametereinflüssen



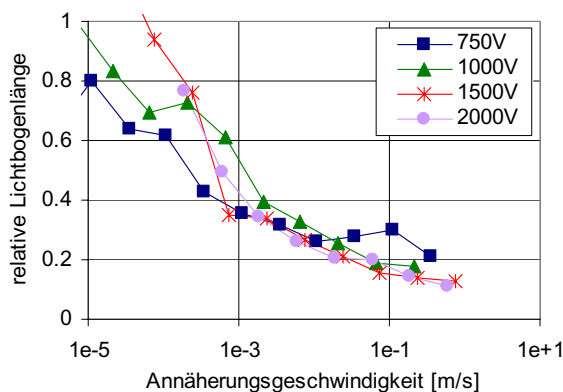
Hahn-Meitner-Institut Berlin in der Helmholtz-Gemeinschaft



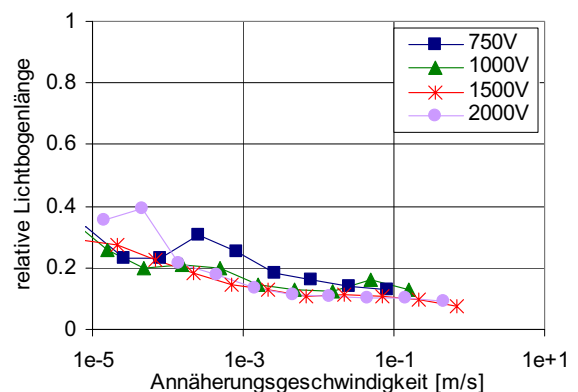
Relative Lichtbogenlänge

$$\text{relative Lichtbogenlänge} = \frac{\text{Lichtbogenlänge gemessen}}{\text{Lichtbogenlänge statisch}}$$

Kathode Aluminium
Anode Kupfer
Polierte Oberfläche



Kathode Kupfer
Anode Messing
Polierte Oberfläche



Hahn-Meitner-Institut Berlin in der Helmholtz-Gemeinschaft

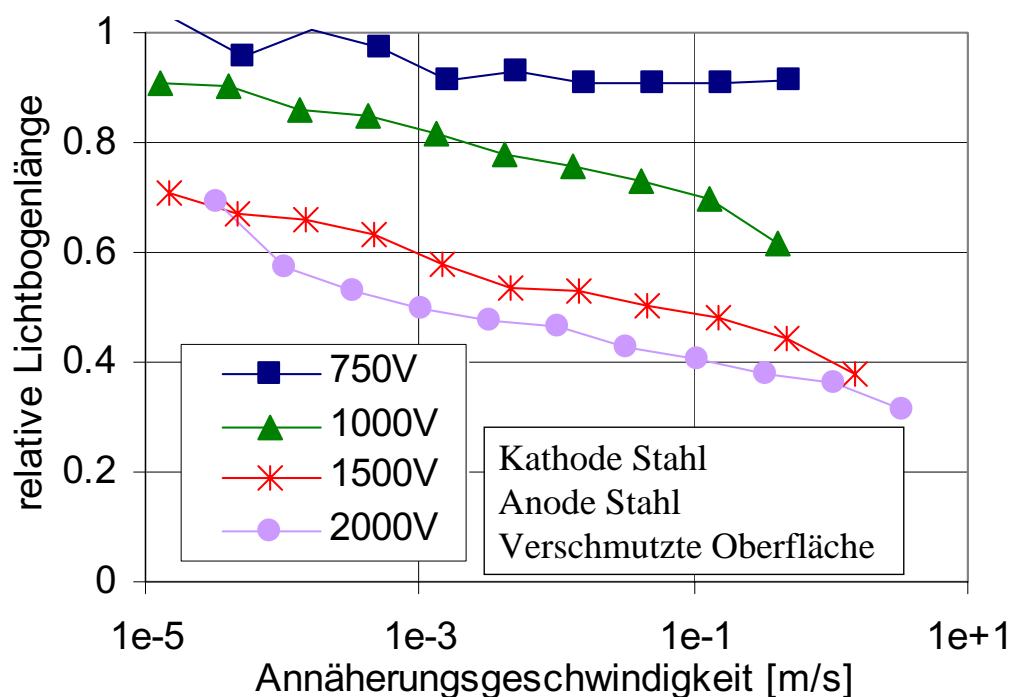


Reproduzierbarkeit

- Kathoden- und Anodeneinfluß
- Große Annäherungsgeschwindigkeit - hohe Reproduzierbarkeit (Oberflächenprozeß)
- Kleine Annäherungsgeschwindigkeit - kleine Reproduzierbarkeit (Oberflächenprozeß + Gasdurchschlag)
- Annäherungsgeschwindigkeit ohne Einfluß (Oberflächenprozeß)



Einfluß der Ladespannung

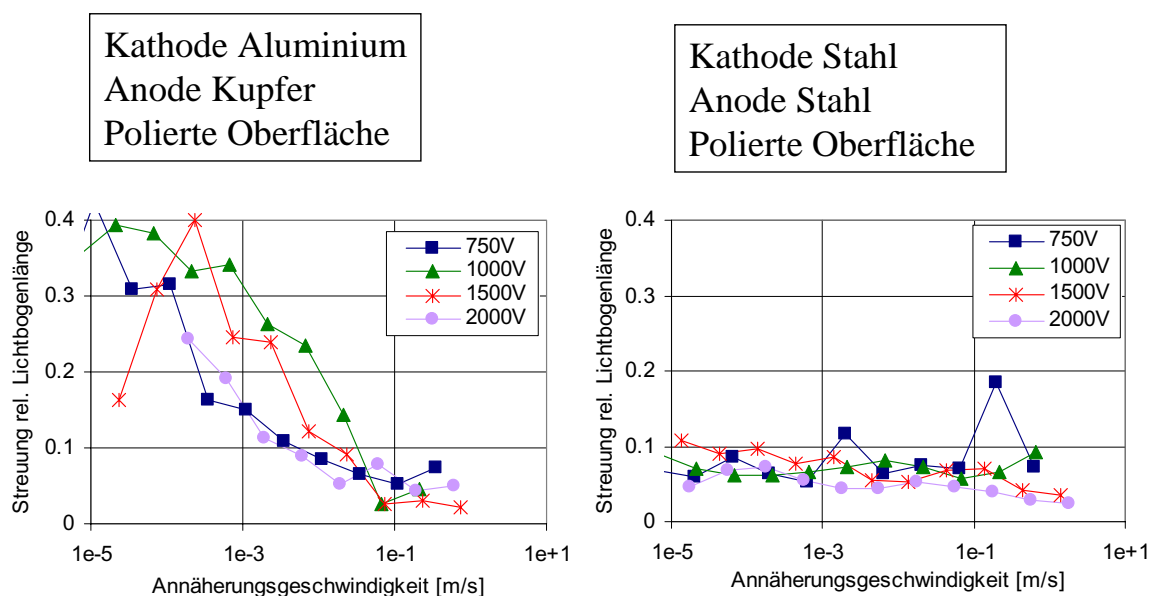


Störintensität

- Anodeneinfluß
- Große Annäherungsgeschwindigkeit – große Störintensität (Oberflächenprozeß)
- Kleine Annäherungsgeschwindigkeit – kleine Störintensität (Oberflächenprozeß + Gasdurchschlag)
- Verschmutzte Oberfläche – kleine Störintensität (Oberflächenprozeß + Gasdurchschlag)



Streuung der rel. Lichtbogenlänge



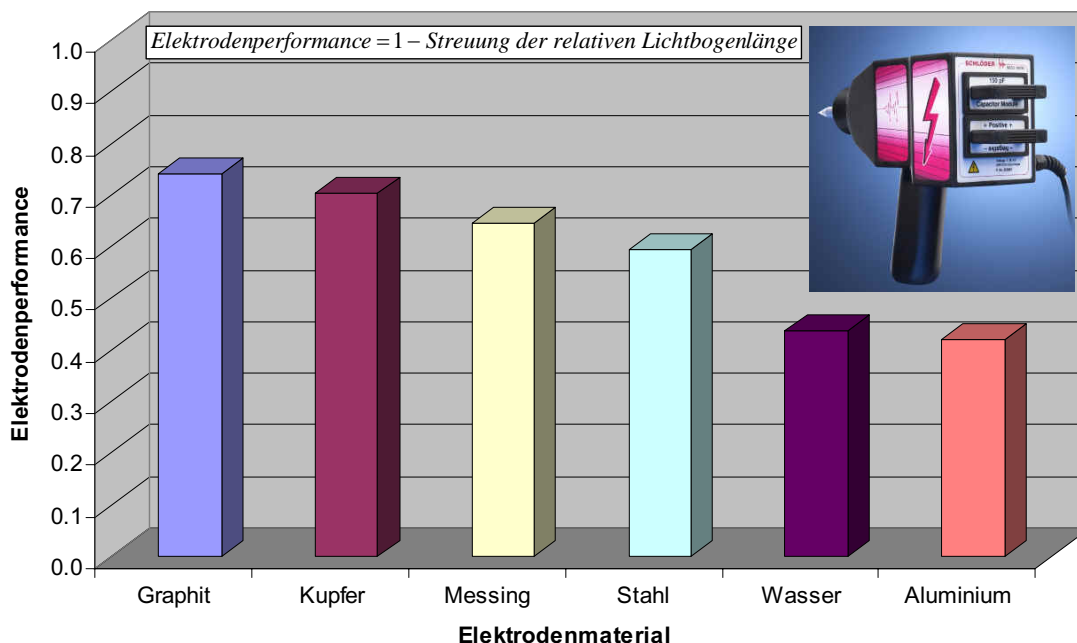
Einfluß des Oberflächenprozesses

- Anstieg der rel. Lichtbogenlänge bei Ladespannungen $<750-1500\text{V}$ bzw. Elektrodenabständen $<100-200\mu\text{m}$
 - Einfluß steigt bei kleinen Elektrodenabständen
 - Verringert die Durchschlagspannung
- ➔ „Spannungsabhängigkeit der rel. Lichtbogenlänge“

Hahn-Meitner-Institut Berlin in der Helmholtz-Gemeinschaft



Optimales Elektrodenmaterial – Hohe Reproduzierbarkeit der ESD



Hahn-Meitner-Institut Berlin in der Helmholtz-Gemeinschaft



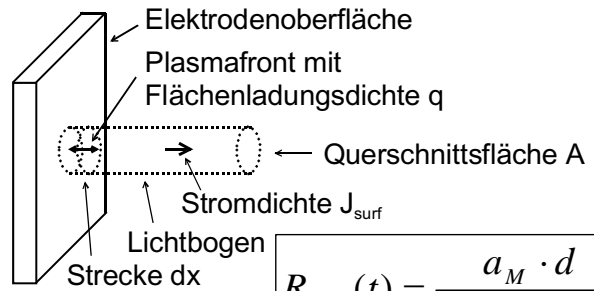
Modellierung von ESD

Gasentladung

Oberflächenprozeß

Toepler-Gesetz

$$R_{gas}(t) = \frac{a_T \cdot d}{\int_0^t I_{gas}(\xi) d\xi}$$



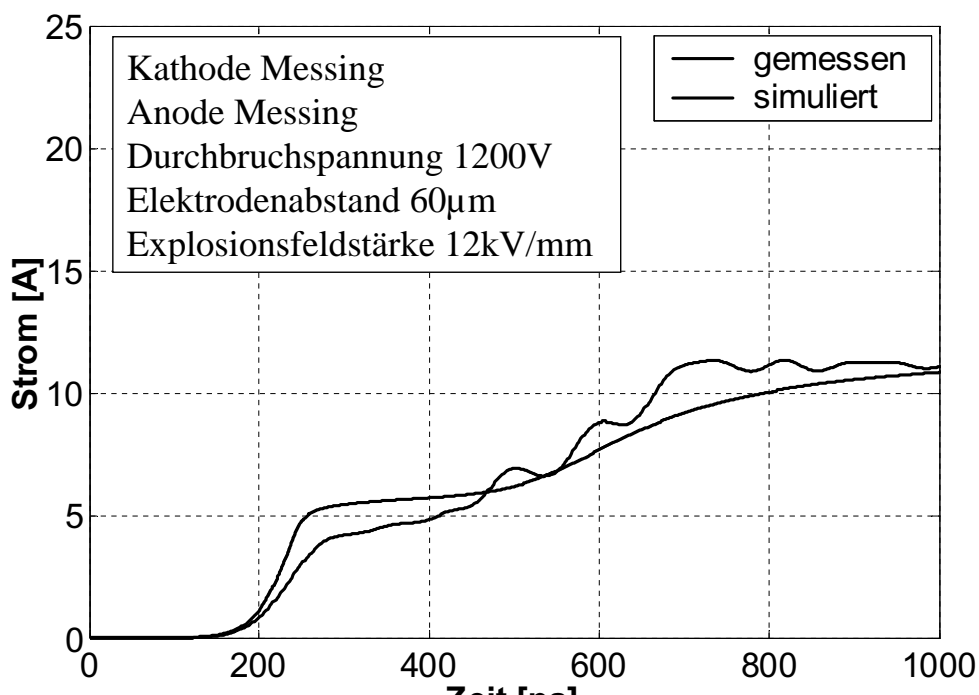
$$R_{surf}(t) = \frac{a_M \cdot d}{\int_0^t I_{surf}(\xi) d\xi}$$

$$R_{arc}(t) = \frac{1}{\frac{1}{a_M \cdot d} \cdot \int_0^t I_{surf}(\xi) d\xi + \frac{1}{a_T \cdot d} \cdot \int_0^t I_{gas}(\xi) d\xi}$$

Hahn-Meitner-Institut Berlin in der Helmholtz-Gemeinschaft



Simulation des Stromverlaufs



Hahn-Meitner-Institut Berlin in der Helmholtz-Gemeinschaft



Zusammenfassung

- Oberflächenprozeß bei Spannungen $<2000\text{V}$ erstmalig nachgewiesen
- Parameterbereich und Signifikanz des Oberflächenprozesses bestimmt
- Parametereinfluß auf ESD bei Spannungen $<2000\text{V}$ bzw. Elektrodenabständen $<300\mu\text{m}$ erstmals untersucht
- Optimale Parameterbereiche bestimmt
- Modellierung der Entladungsentwicklung von ESD bei kleinen Abständen und Spannungen

