

業績目録（亀山充隆）

著者	東北大学史料館
雑誌名	東北大学定年退職教員業績目録
号	2015-24
発行年	2016-03
URL	http://hdl.handle.net/10097/00134788

東北大学定年退職教員業績目録第 2015-24 号

亀山 充隆 教授 業績目録

平成 28 年 3 月
東北大学史料館

計算科学講座（知能集積システム学分野）

亀山 充隆

KAMEYAMA Michitaka

教授

生年月日 1950年5月12日

大学院情報科学研究科 情報基礎科学専攻 計算科学講座（知能集積システム学分野）

出身学校

東北大学・工学部・電子工学

1973年 卒業

出身大学院

東北大学・工学研究科・電子工学 博士課程

1978年 修了

取得学位

博士(工学) 東北大学

1978年

略歴

1978年—1981年 東北大学助手(工学部)
1981年—1991年 東北大学助教授(工学部)
1991年—1993年 東北大学教授(工学部)
1993年—2016年 東北大学教授(大学院情報科学研究科)

研究経歴

1978年—現在 知能集積システムに関する研究

所属学会

電子情報通信学会, 米国電気電子学会 (The Institute of Electrical and Electronics Engineers), 計測自動制御学会, 情報処理学会, 日本ロボット学会, 日本信頼性学会, 多値論理研究会, 信号処理学会

学会活動

多値論理研究会 庶務幹事	1981年 - 1983年
1983 IEEE Int. Symposium on Multiple-Valued Logic 出版委員長及びプログラム委員	1982年 - 1983年
電子通信学会 非線形問題研究会幹事	1982年 - 1986年
計測自動制御学会 会誌編集委員	1984年 - 1986年
1986 IEEE Int. Symposium on Multiple-Valued Logic アジア地区プログラム委員長	1985年 - 1986年
電子通信学会 会誌編集委員	1986年 - 1988年
日本ロボット学会 会誌編集委員	1987年 - 1988年
日本ロボット学会 評議員	1987年 - 1991年
計測自動制御学会 東北支部会計幹事	1988年 - 1989年
Symposium on VLSI Circuits プログラム委員	1988年 - 1992年
Journal of Robotics and Mechatronics 編集委員	1989年 - 2003年
電子情報通信学会 フォールトトレラントシステム研究会専門委員	1989年 - 2003年
電子情報通信学会 ポストディジタル LSI 研究会専門委員	1989年 - 1991年
計測自動制御学会 東北支部庶務幹事	1990年 - 1991年
電子情報通信学会 英文論文誌(C) 編集委員	1990年 - 1992年
電子情報通信学会 VLSI 設計技術研究会専門委員	1990年 - 1995年
1992 IEEE Int. Symposium on Multiple-Valued Logic 総務委員長及び組織委員	1991年 - 1992年
多値論理研究会 委員長	1991年 - 1993年
IEEE Technical Committee on Multiple-Valued Logic シンポジウム委員会委員	1991年 - 1993年
Int. Workshop on Post-Binary VLSI Systems 実行委員長	1992年 - 1993年
1993 IEEE Int. Symposium on Multiple-Valued Logic アジア地区プログラム委員長	1992年 - 1993年
IEEE Int. Symposium on Solid-State Circuits プログラム委員会委員	1993年 - 1998年
電子情報通信学会 論文誌(D) 編集委員会委員	1993年 - 1997年
電子情報通信学会 集積回路研究会専門委員	1993年 - 1997年
電子情報通信学会 「知能集積システム用スーパーチップ」英文論文小特集編集委員会委員長	1993年 - 1994年
1996 IEEE Int. Symposium on Fault-Tolerant Computing 会場委員長	1995年 - 1996年
電子情報通信学会 第2種研究会「多値論理とその応用」委員長	1995年 - 1997年
IEEE Asia Pacific Conference on Circuit and Systems '96 プログラム委員	1996年 - 1996年

1997 Asia and South Pacific Design Automation Conference 運営委員	1996年 - 1997年
米国電気電子学会 Chair of the Technical Committee on Multiple-Valued Logic	1996年 - 1997年
計測自動制御学会 論文集委員会副委員長	1996年 - 1997年
計測自動制御学会 常務理事	1996年 - 1998年
Pacific Rim International Symposium on Fault-Tolerant Systems プログラム委員	1996年 - 2000年
電子情報通信学会 「極限集積・超並列・超高速アーキテクチャ」小特集編集委員会委員長	1997年 - 1998年
計測自動制御学会 論文集委員会委員長	1997年 - 1998年
1998 IEEE Int. Symposium on Multiple-Valued Logic プログラム委員長	1997年 - 1998年
日本信頼性学会 評議員	1997年 - 1999年
電子情報通信学会 VLSI 設計教育研究専門委員会委員	1997年 - 1999年
計測自動制御学会 評議委員	1998年 - 2010年
SASIMI'98 会場委員長	1998年 - 1998年
電子情報通信学会 「多値論理とその応用」英文論文小特集編集委員会委員	1998年 - 1999年
電子情報通信学会 「集積化エレクトロニクスと新しいシステムパラダイム技術」英文論文小特集編集委員会委員	1998年 - 1999年
MVL Journal:Special Issue on Dreams of Innovative MVL Researches in the 21st Century 特別編集委員長	1999年 - 2000年
IEEE Intelligent Vehicles Symposium プログラム委員	1999年 - 2000年
計測自動制御学会 東北支部長	2000年 - 2001年
電子情報通信学会 集積回路研究会専門委員会副委員長	2001年 - 2002年
米国電気電子学会 Associate Editor, IEEE Transactions on Computers	2001年 - 2005年
Pacific Rim International Symposium on Fault-Tolerant Systems プログラム委員	2001年 - 2002年
電子情報通信学会 システム LSI ワークショップ実行委員会委員	2002年 - 2005年
電子情報通信学会 「システム LSI のための先進アーキテクチャ」特集編集委員会委員長	2002年 - 2003年
電子情報通信学会 「ディペンダブルコンピューティング」小特集編集委員会委員	2002年 - 2003年
Asia and South Pacific Design Automation Conference 2004 組織委員	2003年 - 2004年
電子情報通信学会 集積回路研究会専門委員会委員長	2003年 - 2005年
電子情報通信学会 論文誌 C 編集委員会英文アドバイザリィ	2003年 - 2005年
2005 IEEE International Symposium on Circuits and Systems 実行委員会委員	2003年 - 2005年
電子情報通信学会 東北支部評議委員	2004年 - 2006年
電子情報通信学会 集積回路研究会顧問	2005年 - 現在
IEEE Sendai Section 副支部長	2006年 - 2007年
電子情報通信学会英文論文誌(C)小特集「新市場フロンティアを目指したVLSI技術」編集委員会編集委員長	2006年 - 2007年
2009 IEEE Int. Symp. on Multiple-Valued Logic シンポジウム委員長	2007年 - 2009年
情報処理学会 東北支部長	2008年 - 2010年
電子情報通信学会 編集顧問	2009年 - 2014年
日本信頼性学会 評議委員	2009年 - 2012年
情報処理学会 東北支部評議委員	2010年 - 2012年
電子情報通信学会東北支部 評議員	2011年 - 2012年
情報処理学会全国大会 実行委員長	2012年 - 2013年
電子情報通信学会 東北支部長	2012年 - 2013年
電子情報通信学会 特別小特集編集委員会 委員長	2012年 - 2013年

専門分野

知能集積システム、計算機科学、電子デバイス・機器工学

研究課題

- ・リアルワールド応用知能集積システム
- ・VLSIアーキテクチャとハイレベルシンセシス
- ・多値VLSIコンピューティングと新概念VLSI

研究キーワード

リアルワールド応用知能集積システム、多値集積回路、VLSIプロセッサのハイレベルシンセシス

報道

- | | |
|-------------------------------------|---------|
| 再構成可能 VLSI プロセッサの提案（資料提供 新聞 日刊工業新聞） | 1995年6月 |
| 多値電流モード集積回路の開発（資料提供 新聞 日本経済新聞） | 1995年7月 |

東北大学開放講座「21世紀を拓くエレクトロニクス」第16回リアルワールド応用知能集積システム（出演・執筆 テレビ 東北放送）	1995年12月
多値連想メモリの開発（資料提供 新聞 日本経済新聞）	1996年4月
高安全自動車用 VLSI の開発（資料提供 雑誌 日経コンピュータ）	1996年4月
画像処理用多値連想メモリの開発（資料提供 新聞 日刊工業新聞）	1997年2月
ロジックインメモリ VLSI の開発（資料提供 新聞 日刊工業新聞）	1998年2月
衝突チェック VLSI プロセッサの開発（資料提供 新聞 日刊工業新聞）	1999年10月
強誘電体ロジックインメモリ VLSI の開発（資料提供 新聞 日本経済新聞）	2002年2月
ステレオビジョン VLSI の開発（資料提供 新聞 日刊工業新聞）	2004年6月
学外の社会活動	
大学評価・学位授与機構学位審査会専門委員（その他）	2002年4月 - 2010年3月
大学設置・学校法人審議会専門委員（その他）	2003年4月 - 2007年3月
栃木県立宇都宮高等学校スーパーサイエンスハイスクール運営指導委員（小中高との連携）	2004年4月 - 2008年3月
未来開拓学術推進事業研究評価委員会（その他）	2004年7月 - 2005年3月
特別講演（宇都宮高校）（講演会・セミナー）	2004年10月 - 2004年10月
「魅力ある大学院教育」イニシアティブ委員会分野別審査部会専門委員（その他）	2005年8月 - 2005年12月
海外先進研究実践支援におけるペーパーレフェリー（その他）	2006年2月 - 2006年3月
青葉工業会常任理事（その他）	2006年4月 - 2010年3月
NEDO 技術委員（その他）	2006年6月 - 2008年3月
日本学術振興会 特別研究員等審査会専門委員及び国際事業委員会書面審査委員（その他）	2006年8月 - 2007年7月
NEDO 研究評価委員会「半導体アプリケーションチッププロジェクト」分科会長代理（その他）	2006年9月 - 2006年12月
大学出張講義（山形南高校）（小中高との連携）	2006年9月 - 2006年9月
NEDO 研究評価委員会員（その他）	2006年10月 - 2006年10月
JST 産学官支援事業「シーズ発掘試験」査読委員（その他）	2008年3月 - 2009年3月
電気通信工学振興会監事（その他）	2008年4月 - 2009年3月
JST 産学官支援事業「地域ニーズ即応型」査読委員（その他）	2008年12月 - 2009年3月
東北大学出版会評議委員（その他）	2010年4月 - 2014年3月
東北工学教育協会常任理事・評議員（その他）	2010年4月 - 2014年3月
青葉工学振興会理事（その他）	2010年4月 - 2014年3月
青葉工業会副会長（その他）	2010年4月 - 2014年3月
電気通信工学振興会理事（その他）	2010年4月 - 2015年3月
みやぎ工業会特別会員（その他）	2010年5月 - 2014年3月
日本学術会議連携会員（その他）	2011年10月 - 現在
日本工学教育協会特別教育士（その他）	2011年11月 - 現在
東北地区電気教員懇談会会长（その他）	2012年9月 - 2014年8月
外部機関における活動	
Journal of Multiple-Valued Logic and Soft Computing ,Old City Publishing 編集委員	1994年09月 - 現在
行政機関・企業・NPO等参加	
宮城県（地方公共団体） みやぎ高度電子機械人材育成センター運営会議 副議長	2010年6月 — 2014年3月
宮城県（地方公共団体） みやぎ高度電子機械人材育成センター運営会議 議長	2014年4月 — 現在
オープンキャンパス・研究所公開等	
知能ロボットの頭脳を作るエレクトロニクス情報システム（公開授業・講演）	2005年7月 - 2005年7月
学内活動	
東北大学入学試験実施本部総務部電算集計班	1991年12月 - 1992年3月
情報工学科長	1993年4月 - 1994年3月
工学部入試検討委員会電算班班長	1993年4月 - 1996年3月
編集委員会	1994年4月 - 2008年3月
情報基礎科学専攻主任	1995年4月 - 1996年3月
学生生活協議会予備協議員	1996年10月 - 1997年3月
学生生活協議会委員	1997年4月 - 1998年3月
東北大学評価専門委員会委員	2000年4月 - 2002年3月
情報シナジーセンター情報教育システム学内共同利用委員会委員	2001年4月 - 2003年3月
研究推進審議会委員	2003年4月 - 2007年3月
情報基礎科学専攻長	2004年4月 - 2005年3月

研究企画委員会委員	2004年4月 - 2008年3月
研究倫理専門委員会委員	2006年7月 - 2008年3月
学際科学国際高等研究センター運営専門委員会委員	2007年4月 - 2009年3月
学務審議会	2008年4月 - 2010年3月
教務委員会委員長	2008年4月 - 2010年3月
入試委員会委員長	2008年4月 - 2010年3月
寄附講座運営委員会委員長	2008年4月 - 2010年3月
運営委員会委員	2008年4月 - 2010年3月
副研究科長（教育・入試担当）	2008年4月 - 2010年3月
教育研究評議会委員	2010年4月 - 2014年3月
情報科学研究科研究科長	2010年4月 - 2014年3月
入学試験審議会委員	2010年4月 - 2014年3月
環境・安全委員会委員	2010年4月 - 2014年3月
部局長連絡会議委員	2010年4月 - 2014年3月
全学情報化戦略会議委員	2010年4月 - 2014年3月
全学労使懇談会委員	2010年4月 - 2014年3月
東北大学萩友会代議員	2010年10月 - 2014年3月
数学連携推進室運営委員会委員長	2011年1月 - 2014年3月
災害科学国際研究所設置準備委員会委員	2011年9月 - 2013年3月
国際高研究教育院 デバイス・テクノロジー領域基盤長	2014年4月 - 2016年3月

学位授与数

博士	30人
修士	128人
学士	132人
法務博士（専門職）	0人
修士（専門職）	0人
短期大学士	0人
準学士	0人
専門士	0人
論文博士	5人

担当授業科目

(全学教育)

基礎ゼミ：コンピューティングと知能	2002年 - 2002年
基礎ゼミ：コンピューティングと知能	2005年 - 2005年
創造工学研修	2005年 - 2013年
基礎ゼミ：コンピューティングと知能	2007年 - 2007年
基礎ゼミ：コンピューティングと知能	2010年 - 2010年
基礎ゼミ：コンピューティングと知能	2014年 - 2014年
現代学問論：未来情報社会を拓くリアルワールド応用知能システム	2015年 - 2015年

(学部教育)

計算機アーキテクチャ	1987年 - 2004年
ディジタルコンピューティング	2005年 - 2014年
ロボット知能システム	2010年 - 2015年

(大学院教育)

高信頼システム	2009年 - 2015年
---------	---------------

国際会議 発表・講演

Multiple-Valued Logic and Special-Purpose Processors — Overview and Future [IEEE International Symposium on Multiple-Valued Logic]	
(1982年5月 -- 1982年5月, France, Paris) 口頭(招待・特別)	
Dedicated Processor for Real-Time Applications [1989 Symposium on VLSI Circuits, Rump Session R5]	
(1989年5月 -- 1989年5月, Japan, Kyoto) 口頭(招待・特別)	
Toward the Age of Beyond-Binary Electronics and Systems [IEEE International Symposium on Multiple-Valued Logic]	
(1990年5月 -- 1990年5月, USA, Charlotte) 口頭(招待・特別)	
Beyond-Binary Circuits for Signal Processing [1993 IEEE International Solid-State Circuits Conference]	
(1993年2月24日 -- 1993年2月26日, USA, San Francisco) 口頭(招待・特別)	
Highly Parallel Logic Design for Ultra-Binary ULSI Systems [The 2nd International Workshop on Post-Binary ULSI Systems]	
(1993年5月27日 -- 1993年5月27日, USA, Sacramento) 口頭(招待・特別)	

- Prospects of Multiple-Valued Associative VLSI Processors [IEEE Midwest Symposium on Circuits and Systems]
 (1993年8月16日 -- 1993年8月18日, USA, Detroit) 口頭(招待・特別)
- International Conference on Industrial Electronics, Control, and Instrumentation
 (1993年11月19日 -- 1993年11月19日, USA, Hawaii) 口頭(招待・特別)
- Prospects of Multiple-Valued ULSI Processors [International Conference on Advanced Microelectronic Devices and Processing]
 (1994年3月3日 -- 1994年3月5日, Japan, Sendai) 口頭(招待・特別)
- Application of Multiple-Valued Intelligent Integrated Systems [The 3rd International Workshop on Post-Binary ULSI Systems]
 (1994年5月27日 -- 1994年5月27日, USA, Boston) 口頭(招待・特別)
- Design of High Performance Digital System Based on Linearity [The 4th International Workshop on Post-Binary ULSI Systems]
 (1995年5月22日 -- 1995年5月22日, USA, Bloomington) 口頭(招待・特別)
- New Architecture for Multiple-Valued VLSI Systems [The 6th International Workshop on Post-Binary ULSI Systems]
 (1997年5月27日 -- 1997年5月27日, Canada, Nova Scotia) 口頭(招待・特別)
- Innovation of Intelligent Integrated System Architecture [International Symposium on Future of Intellectual Integrated Electronics]
 (1999年3月16日 -- 1999年3月16日, Japan, Sendai) 口頭(招待・特別)
- Innovation of Intelligent Integrated Systems Architecture —Future Challenge— [The 8th International Workshop on Post-Binary ULSI Systems]
 (1999年5月19日 -- 1999年5月19日, Germany, Freiburg) 口頭(招待・特別)
- Innovation of Beyond-Binary VLSI Architecture [The 11th International Workshop on Post-Binary ULSI Systems]
 (2002年5月 -- 2002年5月, USA, Boston) 口頭(招待・特別)
- Intelligent Integrated Systems for Human-Oriented Information Society [GSIS International Symposium on Information Sciences of New Era]
 (2005年9月26日 -- 2005年9月26日, 日本国, 仙台) 口頭(招待・特別)
- Advanced VLSI Architecture for Intelligent Integrated Systems [2006 Asia-Pacific Workshop on Fundamentals and Applications of Advanced Semiconductor Devices]
 (2006年7月3日 -- 2006年7月5日, 日本国, 仙台) 口頭(招待・特別)
- Prospects of Intelligent Integrated Systems for Real-World Applications [IEEE International Conference on Computers and Devices for Communication]
 (2006年12月18日 -- 2006年12月18日, India, Kolkata) 口頭(招待・特別)
- Prospects of Post-Binary ULSI Systems and Novel Reconfigurable VLSI Architectures [The 20th International Workshop on Post-Binary ULSI Systems]
 (2011年5月22日 -- 2011年5月22日, Finland, Tuusula) 口頭(招待・特別)
- Novel VLSI Architectures for Real-World Intelligent Systems [IEEE International Symposium on Multiple-Valued Logic]
 (2015年5月20日 -- 2015年5月20日, Canada, Waterloo) 口頭(招待・特別)
- Prospects of Computing Platform for Real-World Intelligent Systems [IEEE International Conference on Information and Digital Technologies 2015]
 (2015年7月8日 -- 2015年7月8日, Slovakia, Zilina) 口頭(一般)

国内会議 発表・講演

- ロボット技術とマイクロプロセッサ [電子通信学会東北支部専門講習会「ロボット技術」]
 (1983年9月 -- 1983年9月, 仙台) 口頭(招待・特別)
- 離散と連続 [計測自動制御学会制御部門特別セッション]
 (1986年7月 -- 1986年7月, 東京) 口頭(招待・特別)
- ロボット制御とマイクロエレクトロニクス [日本機械学会精密情報機械委員会企画]
 (1987年1月 -- 1987年1月, 東京) 口頭(招待・特別)
- マルチプロセッサシステムとその応用 [計測自動制御学会自動化機器部会]
 (1987年6月 -- 1987年6月, 東京) 口頭(招待・特別)
- 多値バイオ情報処理の展望 [昭和62年電気・情報関連学会連合大会「多値情報処理とポストバイナリエクタロニクス」]
 (1987年9月 -- 1987年9月, 東京) 口頭(招待・特別)
- VLSIに基づくロボットエレクトロニクス技術の展望 [第30回自動制御連合講演会特別セッション「知能ロボット実現へのブレークスルー」]
 (1987年10月 -- 1987年10月, 仙台) 口頭(招待・特別)
- デジタル制御のための知的フォールトレントシステム [軽井沢回路とシステムワークショップ]
 (1988年5月 -- 1988年5月, 軽井沢) 口頭(招待・特別)

多値情報処理とその応用 [応情研シンポジウム]

(1989年2月 -- 1989年2月, 仙台) 口頭(招待・特別)

メカトロニクスシステムの知能情報処理 [電子情報通信学会「情報通信とメカトロニクス」専門講習会]

(1989年11月 -- 1989年11月, 盛岡) 口頭(招待・特別)

多値情報処理 [電子情報通信学会春季全国大会パネル討論「高速化・大規模化に適したアーキテクチャ・アルゴリズムを用いたLSI」]

(1990年3月 -- 1990年3月, 東京) 口頭(招待・特別)

ロボット用VLSIプロセッサ [機械学会「マイクロプロセッサの基礎とロボットメカトロニクス制御」]

(1990年7月 -- 1990年7月, 東京) 口頭(招待・特別)

ロボットエレクトロニクス [情報処理学会東北支部特別講演]

(1990年11月 -- 1990年11月, 八戸) 口頭(招待・特別)

メカトロニクス用コンピュータシステム [計測自動制御学会SICE'91講習会]

(1991年7月 -- 1991年7月, 米沢) 口頭(招待・特別)

ロボットエレクトロニクスシステム [通研シンポジウム]

(1993年3月3日 -- 1993年3月4日, 仙台) 口頭(招待・特別)

多値情報処理システムと次世代集積デバイスへの期待 [電子情報通信学会電子デバイス研究会]

(1993年4月23日 -- 1993年4月23日, 東京) 口頭(招待・特別)

多値情報処理に基づく次世代知能集積システム [第9回京都賞記念ワークショップ先端技術部門]

(1993年11月12日 -- 1993年11月12日, 京都) 口頭(招待・特別)

知能集積システムと安全性 [第30回FTC研究会]

(1994年1月28日 -- 1994年1月29日, 会津) 口頭(招待・特別)

多値情報処理システムと次世代集積デバイスへの期待 [電子情報通信学会]

(1994年9月26日 -- 1994年9月29日, 仙台) 口頭(招待・特別)

知能集積システム用スーパーチップアーキテクチャ [NTT LSI研究所特別講演会]

(1994年12月1日 -- 1994年12月1日, 厚木) 口頭(招待・特別)

階層的障害物表現に基づく高安全自動車用VLSIプロセッサの構成 [電子情報通信学会]

(1996年9月21日 -- 1996年9月21日, 金沢) 口頭(招待・特別)

知能集積システムの新しいパラダイムを目指して [第13回京都賞記念ワークショップ先端技術部門]

(1997年11月13日 -- 1997年11月13日, 京都) 口頭(招待・特別)

新概念に基づく知能集積システムの構築 [第17回新機能素子技術シンポジウム]

(1998年11月4日 -- 1998年11月4日, 東京) 口頭(招待・特別)

知能集積システムの展望 [東電記念財団研究助成同窓会]

(1998年11月25日 -- 1998年11月25日, 東京) 口頭(招待・特別)

知能集積システムの応用開発 [「高専におけるLSI設計教育高度化」研究会]

(1999年2月12日 -- 1999年2月12日, 豊橋) 口頭(招待・特別)

知能集積システムとその応用 [情報処理学会コンピュータビジョンとイメージメディア研究会]

(1999年7月15日 -- 1999年7月15日, 仙台) 口頭(招待・特別)

知能集積システムとその応用 [会津大学課外プロジェクト特別講演]

(2000年1月31日 -- 2000年1月31日, 会津若松) 口頭(招待・特別)

人にやさしい情報社会を実現する知能集積システム [平成12年度東北大学教育開放講座: IT技術をささえる最先端研究と近未来社会]

(2001年1月30日 -- 2001年1月30日, 仙台) 口頭(招待・特別)

未来情報社会を創る知能集積システム [電気通信研究所21世紀シンポジウム]

(2001年5月11日 -- 2001年5月11日, 仙台) 口頭(招待・特別)

未来情報社会を創る知能集積システム [名古屋産業科学研究所講演会]

(2001年11月22日 -- 2001年11月22日, 名古屋) 口頭(招待・特別)

知能ロボット応用を指向したシステムLSI技術 [電子情報通信学会総合全国大会パネル討論—ロボット用半導体の技術動向]

(2003年3月 -- 2003年3月) 口頭(招待・特別)

知能ロボットとVLSIコンピューティング [JSTフォーラム]

(2007年3月2日 -- 2007年3月2日) 口頭(招待・特別)

ユニバーサルな知能集積システムの構築を目指して [第30回多値論理研究会]

(2007年8月21日 -- 2007年8月21日) 口頭(招待・特別)

リアルワールド応用知能集積システム 自律適応性を有する知能処理VLSIの実現を目指してー [静岡大学第38回COE先端研究セミナー]

(2008年3月7日 -- 2008年3月7日) 口頭(招待・特別)

未来情報社会を拓くリアルワールド応用知能システム [岡山大学通信ネットワークコース特別講演会]

(2014年6月11日 -- 2014年6月11日) 口頭(一般)

未来社会に貢献するリアルワールド応用知能システム [栃木青葉会特別講演会]

(2015年2月11日 -- 2015年2月11日) 口頭(一般)

- リアルワールド応用知能システムとその VLSI コンピューティングプラットフォームの展望 [電子情報通信学会集積回路研究会]
 (2015年10月27日 -- 2015年10月27日, 仙台) 口頭 (招待・特別)
- 新しい概念のVLSIコンピューティングとその応用を目指して [第29回多値論理とその応用研究会]
 (2016年1月9日 -- 2016年1月9日, 仙台) 口頭 (招待・特別)
- VLSI コンピューティングが拓くリアルワールド応用知能システム [計測自動制御学会東北支部 第300回研究集会]
 (2016年2月19日 -- 2016年2月19日, 仙台) 口頭 (招待・特別)

学術受賞

Award for an Outstanding Paper [IEEE Technical Committee on Multiple-Valued Logic]	1984年
Award for Excellence [IEEE Technical Committee on Multiple-Valued Logic]	1985年
計測自動制御学会技術賞 [計測自動制御学会]	1986年
Distinctive Contribution Award [IEEE Technical Committee on Multiple-Valued Logic]	1987年
Outstanding Paper Award [IEEE Technical Committee on Multiple-Valued Logic]	1987年
Outstanding Paper Award [IEEE Technical Committee on Multiple-Valued Logic]	1989年
電子情報通信学会論文賞 [電子情報通信学会]	1989年
日本ロボット学会技術賞 [日本ロボット学会]	1990年
IEEE Fellow Award [IEEE]	1997年
日本工業新聞社 助成財団賞 [日本工業新聞社]	1997年
第9回 LSI デザイン・オブ・ザ・イヤー デバイス部門 審査員特別賞 [半導体産業新聞]	2002年
Long Service Award for Outstanding Contributions to Multiple-Valued Logic Since 1975 (IEEE Technical Committee on Multiple-Valued Logic) [IEEE Technical Committee on Multiple-Valued Logic]	2004年
電子情報通信学会フェロー [電子情報通信学会]	2006年
Award for Poster Presentation Contest (IEEE International Conference on Computers and Devices for Communication) [IEEE International Conference on Computers and Devices for Communication]	2006年
情報処理学会フェロー リアルワールド応用知能集積システムの先駆的研究 [情報処理学会]	2012年
Outstanding Paper Award [IADIS International Conference on Theory and Practice in Modern Computing 2013]	2013年
多値論理フォーラム奨励賞 [多値論理研究会]	2014年
In honor of Prof. Michitaka Kameyama for his outstanding career and dedication to the multiple-valued logic community [IEEE Computer Society Technical Committee on Multiple-Valued Logic]	2015年

特許

- (公開中)
 2線式電流モード回路
 1999年5月17日出願(平11-136349) 2000年11月30日公開(特開2000 332579)

論理演算回路、論理演算装置および論理演算方法

2003年2月6日出願(特願2003-29165) 2004年9月24日公開(特開2004-264896)
(登録済)

論理演算回路および論理演算方法

2003年1月22日出願(特願2003-565049) 2008年4月4日登録(特許第4105099号)
論理演算回路および論理演算方法

2003年1月22日出願(特願2003-565050) 2008年4月4日登録(特許第4105100号)

科学研究費補助金獲得実績(文科省・学振)

科学研究費補助金国際学術研究(共同研究) [ポストバイナリVLSIシステムに関する研究]	1993年4月 - 1994年3月
科学研究費補助金試験研究(B)(2) [演算遅れ時間最小化を指向したロボット制御VLSIプロセッサの開発]	1993年4月 - 1995年3月
科学研究費補助金一般(B) [超高並列演算システムと次世代多値集積化に関する研究]	1994年4月 - 1997年3月
科学研究費補助金試験研究(B)(2) [高安全知能自動車用多値VLSIプロセッサに関する研究]	1995年4月 - 1997年3月
科学研究費補助金重点領域研究(1) [極限集積超並列・超高速アーキテクチャ]	1995年4月 - 1998年3月
基盤研究(B) [瞬時応答性を有する知能集積システム用VLSIプロセッサのハイレベルシンセシス]	1997年4月 - 2000年3月
基盤研究(B) [超高並列多値演算集積回路チップファミリの試作とその応用に関する研究]	1997年4月 - 2000年3月
特定領域研究 [極限集積超並列・超高速アーキテクチャ]	1998年4月 - 1999年3月
基盤研究(B) [配線ボトルネックフリー2線式多値ディジタルコンピューティングVLSIシステム]	2000年4月 - 2003年3月
基盤研究(B) [最適構成理論に基づく高安全知能自動車用VLSIプロセッサチップファミリの開発]	2000年4月 - 2003年3月
(挑戦的)萌芽研究 [超並列リコンフィギュラブル多値VLSIコンピューティング]	2004年4月 - 2006年3月
基盤研究(B) [システムインテグレーション理論に基づく高安全知能自動車用VLSIの最適設計]	2005年4月 - 2008年3月
(挑戦的)萌芽研究 [自律適応制御を指向したプログラマブルロジックインメモリVLSI]	2006年4月 - 2008年3月
(挑戦的)萌芽研究 [ロジックインコントロール多値リコンフィギュラブルVLSI]	2009年4月 - 2011年3月
(挑戦的)萌芽研究 [適応自律動作に基づく多値リコンフィギュラブルVLSI]	2011年4月 - 2013年3月
基盤研究(B) [高安全知能システム応用ユニバーサルVLSIプラットフォームの構築]	2013年4月 - 2016年3月
基盤研究(S) [転送ボトルネックフリー不揮発ロジックインメモリ多値VLSIの開発]	2014年4月 - 2016年3月
その他の競争資金獲得実績	
一般受託研究 [マルチメディア応用3次元画像処理VLSIプロセッサの開発に関する研究]	1999年10月 - 2003年3月
一般受託研究 [リコンフィギュラブルプロセッサのITSへの応用に関する研究]	2004年12月 - 2005年3月
その他寄附金 [知能集積システムの研究助成]	2006年4月 - 2007年3月

その他寄附金
[実世界サービス応用 LSI アーキテクチャの研究]

2006年4月 - 2013年3月

著書

- 1) A New Scaling Algorithm in Symmetric Residue Number System Based on Multiple-Valued Logic in Residue Number System Arithmeitc:Modern Applications in Digital Signal Processing. [IEEE Press, (1986)]
M.A.Soderstrand, W.K.Jenkins, G.A.Jullien and F.J.Taylor Ed., Authors : M. Kameyama et. al.
- 2) マイクロプロセッサ応用開発と開発システム. [啓学出版, (1986)3月]
樋口龍雄, 亀山充隆 訳
- 3) 多値情報処理 一ポストバイナリエレクトロニクス. [昭晃堂, (1989)6月]
樋口龍雄, 亀山充隆
- 4) ノーベルコンピューティグへの挑戦(執筆担当部分)ロボティクスとVLSI プロセッサ(第7章). [三田出版会, (1990)9月]
相機秀夫, 亀山充隆, 他10名
- 5) Special Issue on Computer Architecture for Robotics (執筆担当部分) Journal of Robotics and Mechatronics. [富士技術出版, (1990)12月]
Michitaka Kameyama
- 6) Highly Parallel Residue Arithmetic Chip Based on Multiple-Valued Bidirectional Current-Mode Logic. [IEEE Press, (1991)6月]
Jon T. Butler Ed. , Authors: M. Kameyama et. al.
- 7) ASIC 技術の基礎と応用(執筆担当部分)ロボットエレクトロニクス(第8章). [コロナ社, (1994)1月]
今井正治, 亀山充隆, 他15名
- 8) ディジタルコンピューティングシステム. [昭晃堂, (1999)11月]
亀山充隆
- 9) 東北大学大学院電気・情報系および電気通信研究所編：個性の輝くコミュニケーション 21世紀への夢 . [(2001)12月]
亀山充隆 他13名
- 10) Towards Green ICT (執筆担当部分) pp.265-274: Interconnect-Aware High-Level Design Methodologies for Low-Power VLSIs. [River Publishers Series in Communications, (2010)]
M.Kameyama , M.Hariyama
- 11) Interconnect-Aware High-Level Design Methodologies for Low-Power VLSIs(執筆担当部分)pp.265-274. [River Publishers Series in Communications, (2010)6月]
M.Kameyama and M.Hariyama
- 12) GPU Computing with Applications in Digital Logic (執筆担当部分) Chapter 4: GPU Acceleration Methods of Representations for Quantum Circuits. [Tampere University of Technology, Tampere Internation Center for Signal Processing, TICSP Series, (2012)]
Martin Lukac, Marek Perkowski, Pawel Kerntopf, Michitaka Kameyama

研究論文

- 1) Ternary Logic System Based on T-Gate. [IEEE Int. Symp. on Multiple-Valued Logic, (1975), 290-304]
Tatsuo Higuchi, Michitaka Kameyama
- 2) Tゲートに基づく3値論理系. [電子通信学会論文誌, 58-D (6), (1975), 306-313]
樋口龍雄、亀山充隆
- 3) 3値Tゲート回路網の合成理論. [電子通信学会論文誌, J59-D (3), (1976), 204-211]
亀山充隆，樋口龍雄
- 4) Synthesis of Multiple-Valued Logic Networks Based on Tree-Type Universal Logic Module. [IEEE Transactions on Computers, C-26 (12), (1977), 1297-1302]
Michitaka Kameyama and Tatsuo Higuchi
- 5) Practical State Assignment for Multiple-Valued Synchronous Sequential Circuits. [IEEE Int. Symp. on Multiple-Valued Logic, (1977), 70-76]
Michitaka Kameyama, Tatsuo Higuchi
- 6) Static-Hazard-Free T-Gate for Ternary Memory Element and Its Application to Ternary Counters. [IEEE Transactions on Computers, C-26 (12), (1977), 1212-1221]
Tatsuo Higuchi, Michitaka Kameyama
- 7) Synthesis of Multiple-Valued Logic Networks Based on Tree-Type Universal Logic Module. [IEEE Transactions on Computers, C-26 (12), (1977), 1297-1302]
Michitaka Kameyama, Tatsuo Higuchi
- 8) Synthesis of Optimal T-Gate Networks in Multiple-Valued Logic. [IEEE Int. Symp. on Multiple-Valued Logic, (1979), 190-195]
Michitaka Kameyama, Tatsuo Higuchi
- 9) Design of Multiple-Valued Arithmetic Circuit Based on Residue Number System and Its Application to Digital Filter. [IEEE Int. Symp. on Multiple-Valued Logic, (1979), 274-280]
Michitaka Kameyama, Tatsuo Higuchi
- 10) A New Scaling Algorithm in Symmetric Residue Number System Based on Multiple-Valued Logic. [IEEE Int. Symp. on Circuits and Systems, (1979), 189-192]
Michitaka Kameyama, Tatsuo Higuchi
- 11) Design of Dependent-Failure-Tolerant Microcomputer System Using Triple-Modular Redundancy. [IEEE Transactions on Computers, C-29 (2), (1980), 202-206]
Michitaka Kameyama, Tatsuo Higuchi
- 12) Design of Radix 4 Signed-Digit Arithmetic Circuits for Digital Filtering. [IEEE Int. Symp. on Multiple-Valued Logic, (1980), 272-277]
Michitaka Kameyama, Tatsuo Higuchi
- 13) Signed-Digit Arithmetic Circuits Based on Multiple-Valued Logic and Its Applications. [IEEE Int. Symp. on Multiple-Valued Logic, (1981), 41-47]
M. Kameyama and T. Higuchi
- 14) Highly Reliable Digital Signal Processor with Simultaneous-Failure Tolerance. [Int. Conf. on Fault-Tolerant System and Diagnostics, (1981), 26-31]
M. Kameyama and T. Higuchi
- 15) 剰余数系に基づくパルス列演算回路とディジタルフィルタへの応用. [電子通信学会論文誌, J65-D (2), (1982), 147-154]
苦米地 宣裕，亀山充隆，樋口龍雄

- 16) 整数計画法を用いた多値 T ゲート回路網の合成. [電子通信学会論文誌, J65-D (3), (1982), 410-417]
亀山充隆 , 樋口龍雄
- 17) A New Digital Image Processor Using Multiple-Valued Logic. [IEEE Int. Symp. on Multiple-Valued Logic, (1982), 8-16]
M. Kameyama and T. Higuchi
- 18) Efficient Residue Arithmetic Circuit Using Multiple-Valued Ring Counters and Its Application to Digital Signal Processing. [IEEE Int. Symp. on Multiple-Valued Logic, (1982), 107-112]
N. Tomabechi, M. Kameyama and T. Higuchi
- 19) Multiple-Valued Logic and Special-Purpose Processors: Overview and Future. [IEEE Int. Symp. on Multiple-Valued Logic, (1982), 289-292]
M. Kameyama and T. Higuchi
- 20) Real-Time AE Spectrum Analyzer Using a New Pipelined FFT Processor. [Acoustic Emission Symposium, (1982), 144-154]
H. Niitsuma, N. Chubachi, M. Kameyama, T. Higuchi and J. Konno
- 21) パルス列剰余数演算回路を用いたディジタル信号処理システムの高信頼化. [電子通信学会論文誌, J66-D (3), (1983), 340-347]
苦米地 宣裕 , 亀山充隆 , 樋口龍雄
- 22) Pulse-Train Residue Arithmetic Circuit Using Mutiple-Valued Charge-Coupled Devices and Its Application to Digital Filter. [IEEE Int. Symp. on Multiple-Valued Logic, (1983), 146-151]
N. Tomabechi, M. Kameyama and T. Higuchi
- 23) Image Processing Algorithms for a Multiple-Valued Array Processor. [IEEE Int. Symp. on Multiple-Valued Logic, (1983), 236-241]
M. Kameyama, K. Suzuki and T. Higuchi
- 24) Automatic AE Spectrum Analyzer Using a New Pipelined FFT Processor. [Acoustic Emission from Reinforced Composites, (1983), 1-8]
H. Niitsuma, N. Chubachi, M. Kameyama, T. Higuchi and H. Sekine
- 25) 多値論理に基づくパルス列剰余数演算回路とディジタル信号処理への応用. [電子通信学会論文誌, J66-D (8), (1983), 939-946]
苦米地 宣裕 , 亀山充隆 , 樋口龍雄
- 26) A New Architecture of a Pipelined Image Processor Based on Quaternary Logic Circuits. [IEEE Int. Symp. on Multiple-Valued Logic, (1984), 92-97]
M. Kameyama and T. Higuchi
- 27) 4 値 T ゲートの NMOS 集積回路. [電子通信学会論文誌, J67-D (9), (1984), 1064-1065]
亀山充隆 , 樋口龍雄 , 江刺正喜 , 羽生貴弘
- 28) A VLSI-Oriented Digital Signal Processor Based on Pulse-Train Residue Arithmetic Circuit with a Multiplier. [Trans. of IECE, E68 (1), (1985), 14-21]
M. Kameyama, O. Adegbienro and T. Higuchi
- 29) An NMOS Pipelined Image Processor using Quaternary Logic. [IEEE Int. Solid-State Circuits Conf., (1985), 86-87,315]
M. Kameyama, T. Hanyu, M. Esashi and T. Higuchi
- 30) Design of New Low-Power Quaternary CMOS Logic Circuits Based on Multiple Ion Implants. [IEEE Int. Symp. on Multiple-Valued Logic, (1985), 84-90]
C. Zukeran, C. Afuso, M. Kameyama and T. Higuchi

- 31) Implementation of Quaternary NMOS Integrated Circuits for Pipelined Image Processing. [IEEE Int. Symp. on Multiple-Valued Logic, (1985), 226-232]
M. Kameyama, T. Hanyu, M. Esashi, T. Higuchi and T. Ito
- 32) 低消費電力4値CMOS論理回路の構成. [電子通信学会論文誌, J68-D (6), (1985), 1234-1241]
瑞慶覧 長定, 安富祖 忠信, 亀山充隆, 樋口龍雄
- 33) An Efficient Pipelined Digital Signal Processor Based on New Pulse-Train Residue Arithmetic Circuits. [IEEE Int. Symp. on Circuits and Systems, (1985), 1391-1394]
O. Adegbienro, M. Kameyama and T. Higuchi
- 34) 超高速パイプラインFFTプロセッサの構成. [計測自動制御学会論文集, 21 (7), (1985), 725-732]
亀山充隆, 樋口龍雄, 今野淳一, 高須賀 馨
- 35) パルス列剩余数演算回路に基づくLSI向きデジタル信号処理システムの構成法. [電子通信学会論文誌, J68-D (8), (1985), 1457-1464]
苦米地 宣裕, 亀山充隆, 樋口龍雄
- 36) A VLSI-Oriented Pipeline Digital Signal Processor Using Shift Register Based Residue Arithmetic Circuits. [Int. Conf. on Very Large Scale Integration, (1985), 119-128]
O. Adegbienro, M. Kameyama and T. Higuchi
- 37) 4値論理に基づくnMOS画像処理プロセッサの構成と試作. [電子通信学会論文誌, J69-D (5), (1986), 667-678]
羽生貴弘, 亀山充隆, 樋口龍雄
- 38) VLSI向き4進Signed-Digit数多値演算回路の構成. [電子通信学会論文誌, J69-D (5), (1986), 679-689]
川人祥二, 亀山充隆, 樋口龍雄
- 39) VLSI-Oriented Bi-Directional Current-Mode Arithmetic Circuits Based on the Radix-4 Signed-Digit Number System. [IEEE Int. Symp. on Multiple-Valued Logic, (1986), 70-77]
S. Kawahito, M. Kameyama and T. Higuchi
- 40) 微小電力CMOS4値記憶回路の構成. [電子情報通信学会論文誌, J70-D (1), (1987), 42-49]
瑞慶覧 長定, 安富祖 忠信, 亀山充隆, 樋口龍雄
- 41) 操作量に振幅制限がある場合の最短時間デジタル制御システムの構成法. [計測自動制御学会論文集, 23 (2), (1987), 123-128]
亀山充隆, 黄 席越, 中村利孝, 樋口龍雄
- 42) 高速パターンマッチング用4値ゲートアレーの構成. [電子情報通信学会論文誌, J70-D (2), (1987), 493-496]
羽生貴弘, 亀山充隆, 樋口龍雄
- 43) Design and Implementation of Quaternary NMOS Integrated Circuits for Pipelined Image Processing. [IEEE Jour. of Solid-State Circuits, SC-22 (1), (1987), 20-27]
M. Kameyama, T. Hanyu and T. Higuchi
- 44) 駆動電圧および電流に振幅制限がある場合の直流サーボモータの最短時間デジタル制御システムの構成. [計測自動制御学会論文集, 23 (3), (1987), 260-267]
黄 席越, 佐藤正喜, 亀山充隆, 樋口龍雄
- 45) 振幅制限がある場合の直流サーボモータの最短時間デジタル制御システムの構成法. [電子情報通信学会論文誌, J70-D (3), (1987), 610-618]
黄 席越, 亀山充隆, 樋口龍雄
- 46) A 32x32 Bit Multiplier Using Multiple-Valued MOS Current-Mode Circuits. [Symp. on VLSI Circuits, (1987), 99-100]
S. Kawahito, M. Kameyama, T. Higuchi and H. Yamada

- 47) Design of a Complementary Pass Gate Network for a Multiple-Valued Logic System. [IEEE Int. Symp. on Multiple-Valued Logic, (1987), 142-149]
 K. Horie, K. I. Sohng, M. Kameyama and T. Higuchi
- 48) A High-Speed Compact Multiplier Based on Multiple-Valued Bi-Directional Current Model Circuits. [IEEE Int. Symp. on Multiple-Valued Logic, (1987), 172-180]
 S. Kawahito, M. Kameyama, T. Higuchi and H. Yamada
- 49) Quaternary Gate Array for Pattern Matching and Its Application to Knowledge Information Processing System. [IEEE Int. Symp. on Multiple-Valued Logic, (1987), 181-187]
 T. Hanyu, M. Kameyama and T. Higuchi
- 50) 知識工学的手法に基づくフォールトトレラントシステムの構成とディジタル制御への応用. [電子情報通信学会論文誌, J70-D (12), (1987), 2697-2707]
 亀山充隆, 鄭立, 樋口龍雄
- 51) ロボット制御用超高速座標逆変換プロセッサの構成. [日本ロボット学会誌, 6 (1), (1988), 3-13]
 亀山充隆, 江上秀樹, 樋口龍雄
- 52) A 32 x 32 Bit Multiplier Using Multiple-Valued MOS Current-Mode Circuits. [IEEE Jour. of Solid-State Circuits, SC-23 (1), (1988), 124-132]
 S. Kawahito, M. Kameyama, T. Higuchi and H. Yamada
- 53) VLSI 向き 4 値相補型バスゲート回路網の構成. [電子情報通信学会論文誌, J71-D (4), (1988), 636-643]
 亀山充隆, 堀江一宏, 樋口龍雄
- 54) A Multiplier Chip with Multiple-Valued Bidirectional Current-Mode Logic Circuits. [IEEE Computer, 21 (4), (1988), 43-56]
 M. Kameyama, S. Kawahito and T. Higuchi
- 55) Design of Highly Parallel Residue Arithmetic Circuits Based on Multiple-Valued Bidirectional Current-Mode MOS Technology. [IEEE Int. Symp. on Multiple-Valued Logic, (1988), 6-13]
 M. Kameyama, T. Sekibe and T. Higuchi
- 56) Prospects of Multiple-Valued Bio-Information Processing Systems. [IEEE Int. Symp. on Multiple-Valued Logic, (1988), 237-242]
 M. Kameyama and T. Higuchi
- 57) Signed-Digit 数系に基づく双方向電流モード多値基本演算回路とその評価. [電子情報通信学会論文誌, J71-D (7), (1988), 1189-1198]
 亀山充隆, 川人祥二, 樋口龍雄
- 58) Synthesis of a Complementary Pass Gate Network for a Quaternary Logic Function and Its Application. [Joint Technical Conf. on Circuits/Systems, Computers and Communications, (1988), 282-286]
 K. I. Song, M. Kameyama and T. Higuchi
- 59) 安全性を考慮した知的誤り検出に基づく高信頼化ディジタル制御システム. [計測自動制御学会論文集, 24 (8), (1988), 867-874]
 鄭立, 亀山充隆, 樋口龍雄
- 60) Multiple-Valued Bidirectional Current-Mode MOS Technology and Its Applications. [Int. Workshop on Fuzzy System Application, (1988), 112-113]
 S. Kawahito, M. Kameyama and T. Higuchi
- 61) Quaternary Complementary Pass Gate Network and Its Application to Image Processing. [Int. Workshop on Fuzzy System Application, (1988), 117-118]
 K. I. Sohng, M. Kameyama and T. Higuchi

- 62) Signed-Digit 数多値演算回路に基づく RSA 暗号処理プロセッサの構成. [電子情報通信学会論文誌, J71-D (12), (1988), 2659-2668]
魏 書剛 , 亀山充隆 , 樋口龍雄
- 63) 多値情報処理システムと VLSI 化. [電子情報通信学会論文誌, J72-A (2), (1989), 198-207]
亀山充隆 , 樋口龍雄
- 64) 双方向電流モード多値並列乗算器の高性能化. [電子情報通信学会論文誌, J72-C-II (5), (1989), 434-441]
川人祥二 , 亀山充隆 , 樋口龍雄
- 65) High-Performance Multiple-Valued Radix-2 Signed-Digit Multiplier and Its Application. [Symp. on VLSI Circuits, (3), (1989), 125-126]
S.Kawahito, M.Kameyama and T.Higuchi
- 66) Ultra-Highly Parallel Residue Arithmetic VLSI System. [Symp. on VLSI Circuits, (3), (1989), 127-128]
M.Kameyama, T.Sekibe and T.Higuchi
- 67) Implementation of a High Performance LSI for Inverse Kinematics Computation. [IEEE Int. Conf. on Robotics and Automation, (1989), 757-762]
M.Kameyama, T.Matsumoto, H.Egami and T.Higuchi
- 68) Design of a Highly Parallel Set Logic Network Based on a Bio-Device Model. [IEEE Int. Symp. on Multiple-Valued Logic, (1989), 360-367]
T.Aoki, M.Kameyama and T.Higuchi
- 69) 知的誤り検出に基づくデジタル制御システムの安全性評価. [電子情報通信学会論文誌, J72-D-I (6), (1989), 498-506]
鄭 立 , 亀山充隆 , 樋口龍雄
- 70) 分散的符号化に基づくフォールトトレラント演算回路の構成とその評価. [電子情報通信学会論文誌, J72-D-I (6), (1989), 516-525]
春日健 , 亀山充隆 , 樋口龍雄
- 71) バイオ素子モデルに基づく超多値・高並列論理回路網の構成. [電子情報通信学会論文誌, J72-D-I (7), (1989), 535-544]
亀山充隆, 青木孝文, 樋口龍雄
- 72) Highly Parallel Residue Arithmetic Chip Based on Multiple-Valued Bidirectional Current-Mode Logic. [IEEE Jour. of Solid-State Circuits, SC-24 (5), (1989), 1404-1411]
M.Kameyama, T.Sekibe and T.Higuchi
- 73) New Communication Network Protocol for Cell Level Factory Automation and Its LSI Implementation. [The IFIP Conf. on Computer Application in Production and Engineering, (3), (1989), 565-572]
K.Kobayashi, M.Kameyama and T.Higuchi
- 74) 相補型パスゲートに基づく4値順序回路の構成. [電子情報通信学会論文誌, J72-D-I (12), (1989), 837-844]
宋 奎翼 , 亀山充隆 , 樋口龍雄
- 75) Design of a Matrix Multiply-Addition VLSI Processor for Robot Control. [Jour. of Robotics and Mechatronics, 2 (6), (1990), 424-430]
S. Kittichaikoonkit, M. Kameyama and T. Higuchi
- 76) ロバストフォールトトレラント乗算器の構成. [電子情報通信学会論文誌, J73-D-I, (1990), 141-147]
春日健 , 亀山充隆 , 樋口龍雄
- 77) Multiple-Valued Radix-2 Signed-Digit Arithmetic Circuits for High-Performance VLSI Systems. [IEEE Jour. of Solid-State Circuits, SC-25, (1990), 125-131]
S. Kawahito, M. Kameyama and T. Higuchi

- 78) 多値 RSA 暗号処理 VLSI の性能評価. [電子情報通信学会論文誌, J73-D-I, (1990), 484-491]
 魏 書剛, 亀山充隆, 樋口龍雄
- 79) Design of Robust Fault-Tolerant Arithmetic Circuits and Their Application. [IEEE Int. Symp. on Circuits and Systems, (1990), 2748-2751]
 T. Kasuga, M. Kameyama and T. Higuchi
- 80) Toward the Age of Beyond-Binary Electronics and Systems. [IEEE Int. Symp. on Multiple-Valued Logic, (1990), 162-166]
 M. Kameyama
- 81) Modular Design of Multiple-Valued Arithmetic VLSI System Using Signed-Digit Number System. [IEEE Int. Symp. on Multiple-Valued Logic, (1990), 355-362]
 M. Kameyama, M. Nomura and T. Higuchi
- 82) Interconnection-Free Set Logic Network Based on a Bio-Device Model. [IEE Electronics Letters, 26, (1990), 1015-1016]
 T. Aoki, M. Kameyama and T. Higuchi
- 83) 離散時間ニューラルネットワークに基づく連立1次方程式求解並列処理システム. [計測自動制御学会論文集, 26 (12), (1990), 1443-1448]
 三浦真樹, 亀山充隆, 樋口龍雄
- 84) Design of a Parallel Collision Detection Check VLSI Processor for Robot Manipulator. [Jour. of Robotics and Mechatronics, 2 (6), (1990), 418-423]
 T. Amada, M. Kameyama and T. Higuchi
- 85) Interconnection-Free Biomolecular Computing System Based on a Set-Theoretic Switching Algebra. [Int. Symp. on Bioelectronic and Molecular Electronic Devices, (1990), 69-70]
 T. Aoki, M. Kameyama and T. Higuchi
- 86) Signed-Digit 数演算多値モジュールアレーの構成. [電子情報通信学会論文誌, J74-A (2), (1991), 296-303]
 亀山充隆, 野村昌弘, 樋口龍雄
- 87) Highly Parallel Collision Detection VLSI Processor for Intelligent Robots. [Symp. on VLSI Circuits, (1991), 29-30]
 M. Kameyama, T. Amada and T. Higuchi
- 88) Arithmetic Semicustom VLSI Based on Module Array Structure. [Symp. on VLSI Circuits, (1991), 101-102]
 M. Kameyama, M. Nomura and T. Higuchi
- 89) Design of Interconnection-Free Biomolecular Computing System. [IEEE Int. Symp. on Multiple-Valued Logic, (1991), 173-180]
 T. Aoki, M. Kameyama and T. Higuchi
- 90) 耐同時フォールト性を有する多重化冗長システムの最適設計. [電子情報通信学会論文誌, J74-D-I (9), (1991), 675-682]
 阿部茂樹, 亀山充隆, 樋口龍雄
- 91) 集合論理回路網に基づく超多値バイオ情報処理システムの構成. [電子情報通信学会論文誌, J74-D-I (9), (1991), 604-612]
 青木孝文, 亀山充隆, 樋口龍雄
- 92) High-Performance VLSI Processor for Robot Inverse Dynamics Computation. [IEEE Int. Conf. on Computer Design, (1991), 608-611]
 S. Kittichaikoonkit, M. Kameyama and T. Higuchi

- 93) Design of a Matrix Multiply-Addition VLSI Processor for Robot Inverse Dynamics Computation. [IEICE Trans. on Communications, Electronics, Information and Systems, **E74** (11), (1991), 3819-3828]
S. Kittichaikoonkit, M. Kameyama and T. Higuchi
- 94) A Special-Purpose LSI for Inverse Kinematics Computation. [IEICE Trans. on Communications, Electronics, Information and Systems, **E74** (11), (1991), 3829-3837]
M. Kameyama, T. Matsumoto, H. Egami and T. Higuchi
- 95) Highly Parallel Collision Detection Processor for Intelligent Robots. [IEEE Jour. of Solid-State Circuits, **27** (4), (1992), 500-506]
M. Kameyama, T. Amada and T. Higuchi
- 96) ロバストフォールトレラント並列演算回路の構成. [計測自動制御学会論文集, **28** (4), (1992), 528-535]
春日健, 亀山充隆, 樋口龍雄
- 97) 冗長正デジット数表現に基づく多値電流モード高速並列乗算器. [電子情報通信学会論文誌, **J75-D-I** (5), (1992), 270-279]
川人祥二, 水野健太朗, 石田誠, 中村哲郎, 亀山充隆, 樋口龍雄
- 98) Code Assignment Algorithm for Highly Parallel Multiple-Valued Combinational Circuits. [IEEE Int. Symp. on Multiple-Valued Logic, (1992), 382-388]
S. Tamaki, M. Kameyama and T. Higuchi
- 99) Residue Arithmetic Based Multiple-Valued VLSI Image Processor. [IEEE Int. Symp. on Multiple-Valued Logic, (1992), 330-336]
M. Honda, M. Kameyama and T. Higuchi
- 100) Design of a Multiple-Valued VLSI Processor for Digital Control. [IEEE Int. Symp. on Multiple-Valued Logic, (1992), 322-329]
K. Shimabukuro, M. Kameyama and T. Higuchi
- 101) Parallel VLSI Processors for Robotics Using Multiple Bus Interconnection Networks. [IEICE Trans. on Inf. & Syst., **E75-A** (6), (1992), 712-719]
B. Kim, M. Kameyama and T. Higuchi
- 102) VLSI-Oriented 3-D Object Recognition Algorithm Based on Chain Code Matching. [Joint Technical Conf. on Circuits/Systems, Computers and Communications, (1992), 36-40]
S. Choi, T. Hanyu, M. Kameyama and T. Higuchi
- 103) Unified Scheduling of High Performance Parallel VLSI Processors for Robotics. [Joint Technical Conf. on Circuits/Systems, Computers and Communications, (1992), 776-781]
B. Kim, M. Kameyama and T. Higuchi
- 104) Design of a Multiple-Valued VLSI Processor for Digital Control. [IEICE Trans. on Information and Systems, **E75-D** (5), (1992), 709-717]
K. Shimabukuro, M. Kameyama and T. Higuchi
- 105) 冗長マニピュレータ制御用座標変換 VLSI プロセッサ. [電子情報通信学会論文誌, **J75-D-I** (10), (1992), 909-916]
藤岡与周, 亀山充隆, 樋口龍雄
- 106) 240MOPS Reconfigurable Parallel VLSI Processor for Robot Control. [IEEE Int. Conf. on Industrial, Electronics, Control, Instrumentation and Automation, **3** (3), (1992), 1385-1390]
Y. Fujioka, M. Kameyama and T. Higuchi
- 107) Interconnection-Free Biomolecular Computing. [IEEE Computer, **25** (11), (1992), 41-50]
T. Aoki, M. Kameyama and T. Higuchi

- 108) Design of Robust-Fault-Tolerant Multiple-Valued Arithmetic Circuits for Highly Safe Digital System. [IEEE Asia-Pacific Conf. on Circuits and Systems, (1992), 59-63]
 T. Kasuga, M. Kameyama and T. Higuchi
- 109) Beyond-Binary Circuits for Signal Processing. [IEEE Int. Solid-State Circuits Conf., (1993), 134-135,277]
 T. Hanyu, M. Kameyama and T. Higuchi
- 110) Prospects of Multiple-Valued VLSI Processors. [IEICE Trans. on Electronics, **E76-C** (3), (1993), 383-392]
 T. Hanyu, M. Kameyama and T. Higuchi
- 111) Design of Robust-Fault-Tolerant Multiple-Valued Arithmetic Circuits and Their Evaluation. [IEICE Trans. on Electronics, **E76-C** (3), (1993), 428-435]
 T. Kasuga, M. Kameyama and T. Higuchi
- 112) Multiple-Valued VLSI Image Processor Based on Residue Arithmetic and Its Evaluation. [IEICE Trans. on Electronics, **E76-C** (3), (1993), 455-462]
 M. Honda, M. Kameyama and T. Higuchi
- 113) Architecture of a Parallel Multiple-Valued Arithmetic VLSI Processor Using Adder-Based Processing Elements. [IEICE Trans. on Electronics, **E76-C** (3), (1993), 463-471]
 K. Shimabukuro and M. Kameyama
- 114) Code Assignment Algorithm for Highly Parallel Multiple-Valued Combinational Circuits Based on Partition Theory. [IEICE Trans. Informations and Systems, **E76-D** (5), (1993), 548-554]
 S. Tamaki, M. Kameyama and T. Higuchi
- 115) 2400-MFLOPS Reconfigurable Parallel VLSI Processor for Robot Control. [IEEE Int. Conf. on Robotics and Automation, **3**, (1993), 149-154]
 Y. Fujioka and M. Kameyama
- 116) Design of Multiple-Valued Linear Digital Circuits for Highly Parallel Unary Operations. [IEEE Int. Symp. on Multiple-Valued Logic, (1993), 283-288]
 M. Nakajima and M. Kameyama
- 117) 3-D Object Recognition System Based on 2-D Chain Code Matching. [IEICE Trans. on Inf. & Syst., **E76-A** (6), (1993), 917-923]
 T. Hanyu, S. Choi, M. Kameyama and T. Higuchi
- 118) Unified Scheduling of High Performance Parallel VLSI Processors for Robotics. [IEICE Trans. on Fundamentals, **E76-A** (6), (1993), 904-910]
 B. Kim, M. Kameyama and T. Higuchi
- 119) A Minimum-Latency Linear Array FFT Processor for Robotics. [IEICE Trans. on Information and Systems, **E76-D** (6), (1993), 680-688]
 S. Kittichaikoonkit and M. Kameyama
- 120) Multiple-Valued Code Assignment Algorithm for VLSI-Oriented Highly Parallel K-Ary Operation Circuits. [IEICE Trans. on Electronics, **E76-C** (7), (1993), 1112-1118]
 S. Tamaki and M. Kameyama
- 121) Design of Highly Parallel Linear Digital System for ULSI Processors. [IEICE Trans. on Electronics, **E76-C** (7), (1993), 1119-1125]
 M. Nakajima and M. Kameyama
- 122) Multiple-Valued Programmable Logic Array Based on a Resonant-Tunneling Diode Model. [IEICE Trans. on Electronics, **E76-C** (7), (1993), 1126-1132]
 T. Hanyu, Y. Yabe and M. Kameyama

- 123) A Parallel Collision Detection VLSI Processor for Robotics Using a Content-Addressable Memory. [IEEE Int. Conf. on Industrial Electronics, Control, and Instrumentation, (1993), 1512-1516]
M. Hariyama and M. Kameyama
- 124) Model-Based Robot Vision VLSI Processor for 3-D Instrumentation and Object Recognition. [IEEE Int. Conf. on Industrial Electronics, Control, and Instrumentation, (1993), 1724-1729]
Y. Sasaki and M. Kameyama
- 125) A Collision Detection Processor for Intelligent Vehicles. [IEICE Trans. on Electronics, **E76-C** (12), (1993), 1804-1811]
M. Hariyama and M. Kameyama
- 126) High-Speed Area-Efficient Multiplier Design Using Multiple-Valued Current-Mode Circuits. [IEEE Trans. Computers, **43** (1), (1994), 34-42]
S. Kawahito, M. Ishida, T. Nakamura, M. Kameyama and T. Higuchi
- 127) Prospects of Multiple-Valued ULSI Processors. [Int. Conf. on Advanced Microelectronic Devices and Processing, (1994), 777-784]
M. Kameyama and T. Higuchi
- 128) Design of an Intelligent Fault-Tolerant System for Real-World Applications. [Jour. of Robotics and Mechatronics, **6** (2), (1994), 150-154]
S. Abe, M. Kameyama and T. Higuchi
- 129) Multiple-Valued Current-Mode MOS Integrated Circuits Based on Dual-Rail Source-Coupled Logic. [IEEE Int. Symp. on Multiple-Valued Logic, (1994), 19-26]
T. Hanyu, A. Mochizuki and M. Kameyama
- 130) Design of Multiple-Valued Linear Digital Circuits for Highly Parallel k-Ary Operations. [IEEE Int. Symp. on Multiple-Valued Logic, (1994), 223-230]
M. Nakajima and M. Kameyama
- 131) High-Level Synthesis of VLSI Processors for Intelligent Integrated Systems. [IEICE Trans. on Electronics, **E77-C** (7), (1994), 1101-1107]
Y. Sawano, B. Kim and M. Kameyama
- 132) Design of a CAM-Based Collision Detection VLSI Processor for Robotics. [IEICE Trans. on Electronics, **E77-C** (7), (1994), 1108-1115]
M. Hariyama and M. Kameyama
- 133) A VLSI-Oriented Model-Based Robot Vision Processor for 3-D Instrumentation and Object Recognition. [IEICE Trans. on Electronics, **E77-C** (7), (1994), 1116-1122]
Y. Sasaki and M. Kameyama
- 134) Design of a Reconfigurable Parallel Processor for Digital Control Using FPGAs. [IEICE Trans. on Electronics, **E77-C** (7), (1994), 1123-1130]
Y. Fujioka, M. Kameyama and N. Tomabechi
- 135) A Collision Detection Multiprocessor for Intelligent Vehicles Using a High-Density CAM. [IEEE Intelligent Vehicles Symp., (1994), 143-148]
M. Hariyama, T. Hanyu and M. Kameyama
- 136) Rule-Based Highly-Safe Intelligent Vehicle Using a New Content-Addressable Memory. [IEEE Intelligent Vehicles Symposium, (1994), 467-472]
T. Hanyu, S. Abe, M. Kameyama and T. Higuchi
- 137) Design and Evaluation of a Current-Mode Multiple-Valued PLA Based on a Resonant Tunnelling Transistor Model. [IEE Proc.-Circuits Devices Syst., **141** (6), (1994), 445-450]

X. Deng, T. Hanyu and M. Kameyama

- 138) A 1.5V-Supply 200MHz Pipelined Multiplier Using Multiple-Valued Current-Mode MOS Differential Logic Circuits. [IEEE Int. Solid-State Circuits Conf., **38**, (1995), 314-386]
 T.Hanyu, A.Mochizuki and M.Kameyama
- 139) Quantum Device Model Based Super Pass Gate for Multiple-Valued Digital Systems. [IEEE Int. Symp. on Multiple-Valued Logic, **25**, (1995), 92-97]
 X.Deng, T.Hanyu and M.Kameyama
- 140) Multiple-Valued Arithmetic Integrated Circuits Based on 1.5V-Supply Dual-Rail Source-Coupled Logic. [IEEE Int. Symp. on Multiple-Valued Logic, **25**, (1995), 64-69]
 T.Hanyu, A.Mochizuki and M.Kameyama
- 141) Design of a Highly Parallel Multiple-Valued Linear Digital System for k-Ary Operations Based on Extended Representation Matrices. [IEEE Int. Symp. on Multiple-Valued Logic, **25**, (1995), 20-25]
 M.Ryu and M.Kameyama
- 142) 広範囲なフォールトに対する高安全性を指向したリアルワールドコンピューティング用知的フォールトレジストリシステムの構成. [計測自動制御学会論文集, **31** (6), (1995), 789-796]
 阿部茂樹, 亀山充隆, 橋口龍雄
- 143) Quantum-Device-Oriented Multiple-Valued Logic System Based on a Super Pass Gate. [IEICE Trans. on Information and Systems, **E78-D** (8), (1995), 951-958]
 X.Deng, T.Hanyu and M.Kameyama
- 144) Design of Highly Parallel Circuits Using EXOR Gates for Symmetrical Logic Operations. [IFIP WG 10.5 Workshop on Applications of the Reed-Muller Expansion in Circuit Design, (1995), 308-313]
 M.Nakajima and M.Kameyama
- 145) モデルベーストロボットビジョン 3 次元計測 VLSI プロセッサの構成と性能評価. [計測自動制御学会論文集, **31** (8), (1995), 1203-1210]
 佐々木慶文, 亀山充隆
- 146) 再構成可能並列プロセッサと知能ロボット制御への応用. [日本ロボット学会誌, **13** (6), (1995), 846-853]
 藤岡与周, 亀山充隆, 苫米地宣裕
- 147) Multiple-Valued Logic Network Using Quantum-Device-Oriented Superpass Gates and Its Minimisation. [IEE Proc.-Circuits Devices Syst., **142** (5), (1995), 299-306]
 X.Deng, T.Hanyu and M.Kameyama
- 148) On-Chip Hardware Accelerator for Model-Based 3-D Instrumentation Using Run-Length Matching. [IEEE Int. Conf. on Industrial Electronics, Control, and Instrumentation, **21**, (1995), 1319-1323]
 M.Kamoshida, T.Hanyu and M.Kameyama
- 149) A 200 MHz Pipelined Multiplier Using 1.5 V-Supply Multiple-Valued MOS Current-Mode Circuits with Dual-Rail Source-Coupled Logic. [IEEE Jour. of Solid-State Circuits, **30** (11), (1995), 1239-1245]
 T.Hanyu and M.Kameyama
- 150) Synthesis of Multiple-Valued Logic Networks Based on Super Pass Gates. [Multiple-Valued Logic-International Journal, **1**, (1996), 161-183]
 X. Deng, T. Hanyu and M. Kameyama
- 151) Design of a Rule-Based Highly-Safe Intelligent Vehicle Using a Content-Addressable Memory. [Trans. of the Society of Instrument and Control Engineers, **32** (1), (1996), 114-121]
 T. Hanyu, S. Abe, M. Kameyama and T. Higuchi
- 152) Reconfigurable Parallel VLSI Processor for Dynamic Control of Intelligent Robots. [IEE Proc. -Comput. Digit. Tech., **143** (1), (1996), 23-29]

Y. Fujioka, M. Kameyama and N. Tomabechi

- 153) One-Transistor-Cell Multiple-Valued CAM for a Collision Detection VLSI Processor. [IEEE Int. Solid-State Circuits Conf., (1996), 264-265]

T. Hanyu, N. Kanagawa and M. Kameyama

- 154) Design of a One-Transistor-Cell Multiple-Valued CAM. [IEEE Jour. of Solid-State Circuits, **SC-31** (11), (1996), 1669-1674]

T. Hanyu, N. Kanagawa and M. Kameyama

- 155) 3次元物体直方体表現用ロボットビジョン VLSI プロセッサ. [電子情報通信学会論文誌, **J79-D** (5), (1996), 245-252]

張山昌論，荒海雄一，亀山充隆

- 156) Design of Highly Parallel Linear Digital Circuits Based on Symbol-Level Redundancy. [IEEE Int. Symp. on Multiple-Valued Logic, (1996), 104-109]

M. Nakajima and M. Kameyama

- 157) Quaternary Universal-Literal CAM for Cellular Logic Image Processing. [IEEE Int. Symp. on Multiple-Valued Logic, (1996), 224-229]

T. Hanyu, M. Arakaki and M. Kameyama

- 158) Collision Detection VLSI Processor for Intelligent Vehicles Based on Efficient Coordinate Transformation Scheme. [IEEE Int. Conf. on Industrial Electronics, Control, and Instrumentation, (1996), 755-760]

M. Hariyama and M. Kameyama

- 159) Non-Volatile One-Transistor-Cell CAM and Its Applications. [Int. Conf. on Soft Computing, (1996), 101-104]

T. Hanyu, N. Kanagawa and M. Kameyama

- 160) 読出し専用型連想メモリに基づく高安全自動車用衝突チェック VLSI プロセッサ. [電子情報通信学会論文誌, **J79-C-II** (11), (1996), 698-705]

張山昌論，亀山充隆

- 161) High-Performance VLSI Architecture for Three-Dimensional Instrumentation Based on a New Concurrent Memory-Access Scheme. [IEEE Asia Pacific Conf. on Circuits and Systems, (1996), 500-503]

L. Seung, M. Hariyama and M. Kameyama

- 162) Design and Evaluation of a Multiple-Valued Arithmetic Integrated Circuit Based on Differential Logic. [IEE Proc. -Circuits, Devices and Systems, **143** (6), (1996), 331-336]

T. Hanyu, A. Mochizuki and M. Kameyama

- 163) Code Assignment Algorithm for Highly Parallel Multiple- Valued k-Ary Circuits Using Partition Theory. [Interdisciplinary Information Sciences, Tohoku University, **3** (1), (1997), 13-24]

M. Kameyama and S. Tamaki

- 164) Non-Volatile One-Transistor-Cell Multiple-Valued CAM with a Digit-Parallel-Access Scheme and Its Applications. [Computers Elect. Engng., **23** (6), (1997), 407-414]

T. Hanyu, N. Kanagawa and M. Kameyama

- 165) Low-Power Multiple-Valued Current-Mode Integrated Circuit with Current-Source Control and Its Application. [IEEE Asia and South Pacific Design Automation Conf., (1997), 413-418]

T. Hanyu, S. Kazama and M. Kameyama

- 166) 2-Transistor-Cell 4-Valued Universal-Literal CAM for a Cellular Logic Image Processor. [IEEE Int. Solid-State Circuits Conf., **TP2.5**, (1997), 46-47]

T. Hanyu, M. Arakaki and M. Kameyama

- 167) 空間的・時間的並列構造融合形 VLSI プロセッサの最適設計. [電子情報通信学会論文誌, **J80-A** (3), (1997), 449-508]

亀山充隆, 佐々木正行

- 168) One-Transistor-Cell 4-Valued Universal-Literal CAM for Cellular Logic Image Processing. [IEEE Int. Symp. on Multiple-Valued Logic, (1997), 175-180]
 T. Hanyu, M. Arakaki and M. Kameyama
- 169) Communication Network Protocol for Real-Time Distributed Control and Its LSI Implementation. [IEEE Trans. on Industrial Electronics, **44** (3), (1997), 418-426]
 K. Kobayashi, M. Kameyama and T. Higuchi
- 170) Design and Implementation of a Low-Power Multiple-Valued Current-Mode Integrated Circuit with Current-Source Control. [IEICE Trans. Electron., **E80-C** (7), (1997), 941-947]
 T. Hanyu, S. Kazama and M. Kameyama
- 171) Design and Evaluation of a 4-Valued Universal-Literal CAM for Cellular Logic Image Processing. [IEICE Trans. Electron., **E80-C** (7), (1997), 948-955]
 T. Hanyu, M. Arakaki and M. Kameyama
- 172) Design of a VLSI Processor Chip for Three-Dimensional Instrumentation. [SICE'97, (1997), 951-954]
 S. Lee, M. Hariyama and M. Kameyama
- 173) A Three-Dimensional Instrumentation VLSI Processor Based on a Concurrent Memory-Access Scheme. [IEICE Transaction, **E80-C** (11), (1997), 1491-1498]
 S. Lee, M. Hariyama and M. Kameyama
- 174) Collision Detection VLSI Processor for Intelligent Vehicles Based on a Hierarchical Obstacle Representation. [Proc. IEEE Conf. on Intelligent Transportation(CD-ROM), (1997)]
 M. Hariyama and M. Kameyama
- 175) ディジットパラレル多値 CAM の構成と評価. [電子情報通信学会論文誌 D-I, **J81-D-I** (2), (1998), 151-156]
 羽生貴弘, 寺西要, 亀山充隆
- 176) 電流モードディープサブミクロン多値集積回路の最適設計とその応用. [電子情報通信学会論文誌 D-I, **J81-D-I** (2), (1998), 157-164]
 斎藤敬弘, 羽生貴弘, 亀山充隆
- 177) Multiple-Valued Logic-in-Memory VLSI Based on a Floating-Gate-MOS Pass-Transistor Network. [IEEE Int. Solid-State Circuits Conf., (1998), 194-195]
 T. Hanyu, K. Teranishi and M. Kameyama
- 178) ビットシリアルアーキテクチャに基づくロボット制御用再構成可能 VLSI プロセッサの構成. [電子情報通信学会論文誌 D-I, **J81-D-I** (2), (1998), 85-93]
 藤岡与周, 亀山充隆
- 179) 行列変換に基づく Reed-Muller 展開と高性能論理演算回路への応用. [電子情報通信学会論文誌 D-I, **J81-D-I** (2), (1998), 126-132]
 霜觸謙介, 亀山充隆
- 180) Design of a Collision Detection VLSI Processor Based on Minimization of Area-Time Products. [IEEE Int. Conf. on Robotics and Automation, (1998), 3691-3696]
 M. Hariyama and M. Kameyama
- 181) Multiple-Valued Floating-Gate-MOS Pass Logic and Its Application to Logic-in-Memory VLSI. [IEEE Int. Symp. on Multiple-Valued Logic, (1998), 270-275]
 T. Hanyu, K. Teranishi and M. Kameyama
- 182) Asynchronous Multiple-Valued VLSI System Based on Dual-Rail Current-Mode Differential Logic. [IEEE Int. Symp. on Multiple-Valued Logic, (1998), 134-139]
 T. Hanyu, T. Saito and M. Kameyama

- 183) Optimal Design of a Parallel VLSI Processor Based on Minimization of Area-Time Products and Its Application. [Proc. the Workshop on Synthesis and System Integration of Mixed Technologies, (1998), 179-185]
M. Hariyama and M. Kameyama
- 184) Collision Detection VLSI Processor for Highly-Safe Intelligent Vehicles Using a Multiport Content-Addressable Memory. [Interdisciplinary Information Sciences, **5** (2), (1999), 109-115]
Masanori Hariyama, Michitaka Kameyama
- 185) Multiple-Valued Content-Addressable Memory Using Metal-Ferroelectric-Semiconductor FETs. [IEEE Int. Symp. on Multiple-Valued Logic, (1999), 30-35]
Takahiro Hanyu, Hiromitsu Kimura and Michitaka Kameyama
- 186) Self-Chekking Multiple-Valued Circuit Based on Dual-Rail Current-Mode Differential Logic. [IEEE Int. Symp. on Multiple-Valued Logic, (1999), 275-279]
Takahiro Hanyu, Tsukasa Ike and Michitaka Kameyama
- 187) Innovation of Intelligent Integrated System Architecture. [Int. Symp. on Future of Intellicetual Integrated Electronics, (1999), 231-247]
Michitaka Kameyama, Takahiro Hanyu and Masanori Hariyama
- 188) Collision Detection VLSI Processor for Intelligent Vehicles Using a Hierarchically-Content-Addressable Memory. [IEICE Trans. Electron., **E82-C** (9), (1999), 1722-1729]
Masanori Hariyama, Kazuhiro Sasaki, Michitaka Kameyama
- 189) Multiple-Valued Logic-in-Memory VLSI Based on Floating-Gate-MOS Pass-Transistor Logic. [IEICE Trans. Electron., **E82-C** (9), (1999), 1662-1668]
Takahiro Hanyu and Michitaka Kameyama
- 190) 2線式電流モード多値論理に基づくセルフチェックングVLSIシステム. [電子情報通信学会論文誌C, **J83-C** (4), (2000), 318-325]
池司, 羽生貴弘, 亀山充隆
- 191) 転送ボトルネックのないセンサ・メモリアーキテクチャに基づくモーションステレオVLSIプロセッサの構成. [電気学会論文誌, **120-E** (5), (2000), 237-244]
張山昌論, 李昇桓, 亀山充隆
- 192) Arithmetic-Oriented Multiple-Valued Logic-in-Memory VLSI Based on Current-Mode Logic. [IEEE Int. Symp. on Multiple-Valued Logic, **30**, (2000), 438-443]
S. Kaeriyama, T. Hanyu and M. Kameyama
- 193) Low-Power Dual-Rail Multiple-Valued Current-Mode Logic Circuit Using Multiple Input-Signal Levels. [IEEE Int. Symp. on Multiple-Valued Logic, **30**, (2000), 382-387]
T. Hanyu, H. Kimura and M. Kameyama
- 194) DRAM-Cell-Based Multiple-Valued Logic-in-Memory VLSI with Charge Addition and Charge Storage. [IEEE Int. Symp. on Multiple-Valued Logic, **30**, (2000), 423-429]
T. Hanyu, H. Kimura and M. Kameyama
- 195) 2色2線式符号化に基づく非同期電流モード多値VLSIシステム. [電子情報通信学会論文誌C, **J83-C** (6), (2000), 463-470]
羽生貴弘, 亀山充隆
- 196) 強誘電体デバイスを用いたロジックインメモリVLSIとその応用. [電子情報通信学会論文誌C, **J83-C** (8), (2000), 749-756]
木村啓明, 羽生貴弘, 亀山充隆
- 197) Reliable Stereo Matching for Highly-Safe Intelligent Vehicles and Its VLSI Implementation. [IEEE Intelligent Vehicles Symposium, (2000)]

Masanori Hariyama, Toshiki Takeuchi and Michitaka Kameyama

- 198) Stereo Vision VLSI Processor Based on Pixel-Serial and Window-Parallel Architecture. [Jour. of Robotics and Mechatronics, **12** (5), (2000), 521-526]

Masanori Hariyama, Michitaka Kameyama

- 199) Path Planning Based on Distance Transformation and Its VLSI Implementation. [Jour. of Robotics and Mechatronics, **12** (5), (2000), 527-533]

Masanori Hariyama, Michitaka Kameyama

- 200) Design of a VLSI Processor Based on an Immediate Output Generation Scheduling for Ball-Trajectory Prediction. [Jour. of Robotics and Mechatronics, **12** (5), (2000), 534-540]

Hideki Kazama, Masanori Hariyama, Michitaka Kameyama

- 201) VLSI Processor for Hierarchical Template Matching and Its Application to a Ball-Catching Robot System. [Proc. IEEE Int. Symp. on Intelligent Signal Processing and Communication Systems, **2**, (2000), 613-618]

Masanori Hariyama, Hideki Kazama and Michitaka Kameyama

- 202) VLSI-Oriented Algorithm for Reliable Stereo Matching. [IEEE Int. Symp. on Intelligent Signal Processing and Communication Systems, **2**, (2000), 625-630]

Masanori Hariyama, Toshiki Takeuchi and Michitaka Kameyama

- 203) ロジックインメモリアーキテクチャに基づく道路抽出 VLSI プロセッサの構成. [計測自動制御学会論文集, **36** (11), (2000), 1009-1018]

工藤隆男, 羽生貴弘, 亀山充隆

- 204) An FPGA-Oriented Motion-Stereo Processor with a Simple Interconnection Network for Parallel Memory Access. [IEICE Trans. Information & Systems, **E83-D** (12), (2000), 2122-2130]

Masanori Hariyama, Seunghwan Lee, Michitaka Kameyama

- 205) Integration of Asynchronous and Self-Checking Multiple-Valued Current-Mode Circuits Based on Dual-Rail Differential Logic. [IEEE Pacific Rim Int. Symp. on Dependable Computing, (2000), 27-33]

T. Hanyu, T. Ike and M. Kameyama

- 206) Highly-Parallel Stereo Vision VLSI Processor Based on an Optimal Parallel Memory Access Scheme. [IEICE Trans. Electron, **E84-C** (3), (2001), 382-389]

Masanori Hariyama, Seunghwan Lee, Michitaka Kameyama

- 207) 読み出し専用連想メモリを用いた超高速軌道計画 VLSI プロセッサ. [計測自動制御学会論文集, **37** (3), (2001), 235-241]

張山昌論, 山口文武, 亀山充隆

- 208) VLSI Processor for Reliable Stereo Matching Based on Adaptive Window-Size Selection. [IEEE Int. Conf. on Robotics and Automation, (2001), 1168-1173]

Masanori Hariyama, Toshiki Takeuchi, Michitaka Kameyama

- 209) Dual-Rail Multiple-Valued Current-Mode VLSI with Biasing Current Sources. [IEEE Int. Symp. on Multiple-Valued Logic, (2001), 21-26]

T. Ike, T. Hanyu, and M. Kameyama

- 210) Multiple-Valued Mask-Programmable Logic Array Using One-Transistor Universal-Literal Circuits. [IEEE Int. Symp. on Multiple-Valued Logic, (2001), 167-172]

T. Hanyu, M. Kameyama, K. Shimabukuro and C. Zukerman

- 211) 障害物の階層的表現に基づく高安全自動車用衝突チェック VLSI プロセッサの設計. [電気学会論文誌, **121-C** (6), (2001), 1016-1025]

張山昌論, 亀山充隆

- 212) 最適アロケーションに基づく道路抽出 VLSI プロセッサとその高安全知能自動車への応用. [電子情報通信学会論文誌, J84-D-I (6), (2001), 531-539]
　　張山昌論, 工藤隆男, 亀山充隆
- 213) Dynamic-Storage-Based Multiple-Valued Logic-in-Memory Circuit and Its Application. [Korea-Japan Joint Symp. on Multiple-Valued Logic, (2001), 147-151]
　　Hiromitsu Kimura, Takahiro Hanyu and Michitaka Kameyama
- 214) Design Methodology for Human-Oriented Intelligent Integrated Systems. [Interdisciplinary Information Sciences, 7 (2), (2001), 279-287]
　　Michitaka Kameyama, Masanori Hariyama
- 215) Pixel-Serial and Window-Parallel VLSI Processor for Stereo Matching Using a Variable Window Size. [Interdisciplinary Information Sciences, 7 (2), (2001), 289-297]
　　Masanori Hariyama, Michitaka Kameyama
- 216) Dynamic-Storage-Based Logic-in-Memory Circuit and Its Application to a Fine-Grain Pipelined System. [IEICE Trans. Electron, E85-C, (2002), 288-296]
　　H.Kimura, T.Hanyu and M.Kameyama
- 217) Implementation of a DRAM-Cell Based Multiple-Valued Logic-in-Memory Circuit. [IEICE Trans. Electron, (2002), 1814-1823]
　　H.Kimura, T.Hanyu and M.Kameyama
- 218) Ferroelectric-Based Functional Pass-Gate for Fine-Grain Pipelined VLSI Computation. [IEEE Int. Solid-State Circuits Conf. (ISSCC) Dig. Tech. Papers, (2002), 208-209]
　　T.Hanyu, H.Kimura, M.Kameyama, Y.Fujimori, T.Nakamura and H.Takasu
- 219) High-Performance Field Programmable VLSI Processor Based on a Direct Allocation of a Control/Data Flow Graph. [IEEE Computer Society Annual Symp. on VLSI, (2002), 95-100]
　　Naotaka Ohsawa, Masanori Hariyama, Michitaka Kameyama
- 220) Arithmetic-Oriented Logic-in-Memory VLSI Using Floating-Gate MOS Transistors. [Multiple-Valued Logic, 8(1), (2002), 33-51]
　　S. Kaeriyama, T. Hanyu and M. Kameyama
- 221) コントロール/データフローグラフの直接アロケーションに基づくフィールドプログラマブル VLSI プロセッサ. [電子情報通信学会論文誌, J85-C (5), (2002), 384-392]
　　大澤尚学, 張山昌論, 亀山充隆
- 222) Multiple-Valued Logic-in-Memory VLSI Based on Ferroelectric Capacitor Storage and Charge Addition. [IEEE Int. Symp. on Multiple-Valued Logic, (2002), 161-166]
　　H.Kimura, T.Hanyu and M.Kameyama
- 223) Fully Source-Coupled Logic Based Multiple-Valued VLSI. [IEEE Int. Symp. on Multiple-Valued Logic, (2002), 270-275]
　　T. Ike, T. Hanyu, and M. Kameyama
- 224) Ferroelectric-Based Functional Pass-Gate for Low-Power VLSI. [IEEE Symp. VLSI Circuits , Dig. Tech. Papers, (2002), 196-199]
　　H.Kimura, T.Hanyu, M.Kameyama, Y.Fujimori, T.Nakamura and H.Takasu
- 225) Optical Flow Extraction Based on Reuse of Intermediate Results and VLSI Implementation. [SICE2002, (2002), 2366-2369]
　　M. Hariyama, M. Kameyama
- 226) Architecture of a Field-Programmable VLSI Processor Using Memory-Based Cells. [SICE2002, (2002), 2370-2373]

N. Ohsawa, M. Hariyama, M. Kameyama

- 227) VLSI Computing and System Integration for Real-World Applications. [Int. Symp. on New Paradigm VLSI Computing, (2002), 13-16]
 Michitaka Kameyama and Masanori Hariyama
- 228) VLSI System Based on Ferroelectric Logic-in-Memory Architecture. [Int. Symp. on New Paradigm VLSI Computing, (2002), 60-65]
 Hiromitsu Kimura, Takahiro Hanyu and Michitaka Kameyama
- 229) Complementary Ferroelectric-Capacitor Logic and Its Application. [IEEE Int. Solid-State Circuits Conf., Dig. Tech. Papers, (2003), 160-161]
 H.Kimura, T.Hanyu, M.Kameyama, Y.Fujimori, T.Nakamura and H.Takasu
- 230) Multiple-Valued Logic-in-Memory VLSI Using MFSFETs and Its Applications. [Jour. of Multiple-Valued Logic & Soft Computing, 9 (1), (2003), 23-42]
 Hiromitsu Kimura, Takahiro Hanyu and Michitaka Kameyama
- 231) Optimal Design of a Dual-Rail Multiple-Valued Current-Mode Integrated Circuit Based on Voltage Swing Minimization. [Jour. of Multiple-Valued Logic & Soft Computing, 9 (1), (2003), 5-21]
 Tsukasa Ike, Takahiro Hanyu and Michitaka Kameyama
- 232) ウィンドウサイズの適応的選択に基づく高信頼ステレオマッチングとVLSI化. [計測自動制御学会論文集, 39 (3), (2003), 225-233]
 張山昌論, 竹内俊樹, 亀山充隆
- 233) ウィンドウ演算のための周期的メモリアロケーションと画像処理VLSIプロセッサへの応用. [電子情報通信学会論文誌, J86-C (5), (2003), 524-533]
 張山昌論, 工藤隆男, 亀山充隆
- 234) 遺伝的アルゴリズムを用いたロジックインメモリ構造VLSIプロセッサのハイレベルシンセシス. [情報処理学会論文集, 44 (5), (2003), 1206-1215]
 工藤隆男, 張山昌論, 亀山充隆
- 235) Multiple-Valued Dynamic Source-Coupled Logic. [IEEE Int. Symp. on Multiple-Valued Logic, (2003), 207-212]
 T. Hanyu, A. Mochizuki and M. Kameyama
- 236) Bidirectional Data Transfer Based Asynchronous VLSI System Using Multiple-Valued Current Mode Logic. [IEEE Int. Symp. Multiple-Valued Logic, (2003), 99-104]
 T. Hanyu, T. Takahashi and M. Kameyama
- 237) 再帰的計算に基づくステレオマッチングとVLSI化. [電子情報通信学会論文誌, J86-C (8), (2003), 752-759]
 三浦清志, 張山昌論, 亀山充隆
- 238) 強誘電体デバイスを用いたロジックインメモリVLSIの構成. [電子情報通信学会論文誌, J86-C (8), (2003), 886-893]
 木村啓明, 羽生貴弘, 亀山充隆, 藤森敬和, 中村孝, 高須秀視
- 239) 階層的並列メモリアクセスに基づくボール軌道予測用VLSIプロセッサの構成. [電子情報通信学会論文誌, J86-C (8), (2003), 760-770]
 張山昌論, 風間英樹, 亀山充隆
- 240) ロジックインメモリ構造に基づく知能集積システム用VLSIプロセッサのハイレベルシンセシス. [電気学会論文誌 C, 123 (8), (2003), 1374-1381]
 工藤隆男, 亀山充隆
- 241) Chip Design of a Field Programmable VLSI Processor Using Memory-Based Cells. [SICE Annual Conference, TAI-II-13-1, (2003), 2225-2229]

N. Ohsawa, O. Sakamoto, M. Hariyama, M.Kameyama

- 242) Stereo Vision VLSI Processor Based on a Recursive Computation Algorithm. [SICE Annual Conf., **TAI-13-3**, (2003), 2338-2341]

K. Miura, M. Hariyama, M. Kameyama

- 243) 双方向同時制御に基づく非同期データ転送方式とそのVLSI実現. [電子情報通信学会論文誌C, **J87-C** (5), (2004), 459-468]

高橋知宏, 羽生貴弘, 亀山充隆

- 244) 最適スケジューリングに基づくステレオビジョンVLSIプロセッサの構成. [電子情報通信学会論文誌, **J87-A** (5), (2004), 672-680]

張山昌論, 竹内俊樹, 亀山充隆

- 245) Low-Power Field-Programmable VLSI Processor Using Dynamic Circuits. [IEEE Computer Society Annual Symp. on VLSI, (2004), 243-250]

Weisheng Chong, Masanori Hariyama, Michitaka Kameyama

- 246) Program-Counter-Less Bit-Serial Field-Programmable VLSI Processor with Mesh-Connected Cellular Array Structure. [IEEE Computer Society Annual Symp. on VLSI, (2004), 258-259]

Naotaka Ohsawa, Osamu Sakamoto, Masanori Hariyama, Michitaka Kameyama

- 247) Ultra-Fine-Grain Field-Programmable VLSI Using Multiple-Valued Source-Coupled Logic. [IEEE Int. Symp. on Multiple-Valued Logic, (2004), 26-30]

Haque Mohammad Munirul and Michitaka Kameyama

- 248) Multiple-Valued Source-Coupled Logic VLSI Based on Adaptive Threshold Control and Its Applications. [IEEE Int. Symp. on Multiple-Valued Logic, (2004), 328-333]

Haque Mohammad Munirul and Michitaka Kameyama

- 249) Complementary Ferroelectric-Capacitor Logic for Low-Power Logic-in-Memory VLSI. [IEEE Journal of Solid-State Circuits, **39** (6), (2004), 919-926]

H.Kimura, T.Hanyu, M.Kameyama, Y.Fujimori, T.Nakamura and H.Takasu

- 250) VLSI Processor for Reliable Stereo Matching Based on Window-Parallel Logic-in-Memory Architecture. [Digest of Technical Paper 2004 Symp. on VLSI Circuits VLSI Symp., (2004), 166-169]

Masanori Hariyama, Michitaka Kameyama

- 251) Architecture of a Stereo Matching VLSI Processor Based on Hierarchically Parallel Memory Access. [IEEE Int. Midwest Symp. on Circuits and Systems, (2004), 245-247]

Masanori Hariyama, Haruka Sasaki, and Michitaka Kameyama,

- 252) Field-Programmable VLSI Based on a Bit-Serial Fine-Grain Architecture. [IEICE Trans. Electron, **E87-C** (11), (2004), 1897-1902]

Masanori Hariyama, Weisheng Chong, Michitaka Kameyama

- 253) Architecture of a Fine-Grain Filed-Programmabel VLSI Based on Multiple-Valued Source-Coupled Logic. [IEICE Transactions on Electronics, **E87-C** (11), (2004), 1869-1875]

Md. Munirul HAQUE, Michitaka KAMEYAMA

- 254) Novel Switch-Block Architecture Using Reconfigurable Context Memory for Multi-Context FPGAs. [Int. Workshop on Applied Reconfigurable Computing, Portugal, (2005)]

W. Chong, M. Hariyama, and M. Kameyama

- 255) Architecture of a Multi-Context FPGA Using Reconfigurable Context Memory. [Int. Parallel and Distributed Processing Symp., (2005)]

Weisheng Chong, Sho Ogata, Masanori Hariyama and Michitaka Kameyama

- 256) Novel Switch Block Architecture Using Non-Volatile Functional Pass-Gate for Multi-Context FPGAs. [IEEE Computer Society Annual Conf. on VLSI, (2005), 46-50]
 Masanori Hariyama, Weisheng Chong, Sho Ogata, Michitaka Kameyama
- 257) Implementation and Evaluation of a Fine-Grain Multiple-Valued Field-Programmable VLSI Based on Source-Coupled Logic. [IEEE Int. Symp. on Multiple-Valued Logic, (2005), 120-125]
 Haque Mohammad Munirul, Tomoaki Hasegawa and Michitaka Kameyama
- 258) Multiple-Valued VLSI Architecture for Intra-Chip Packet Data Transfer. [IEEE Int. Symp. on Multiple-Valued Logic, (2005), 114-119]
 Tomoaki Hasegawa, Yuya Homma and Michitaka Kameyama
- 259) VLSI Architecture Based on Packet Data Transfer Scheme and Its Application. [IEEE Int. Symp. on Circuits and Systems, (2005), 1786-1789]
 Y.Homma, M.Kameyama,Y.Fujioka and N.Tomabechi
- 260) Genetic Approach to Minimizing Energy Consumption of VLSI Processors Using Multiple Supply Voltages. [IEEE Transaction on Computers, **54** (6), (2005), 642-650]
 Masanori Hariyama, Tetsuya Aoyama, and Michitaka Kameyama
- 261) Architecture of a Stereo Matching VLSI Processor Based on Hierarchically Parallel Memory Access. [IEICE Trans. Inf. & Syst., **E88-D** (7), (2005), 1486-1491]
 Masanori Hariyama, Haruka Sasaki, and Michitaka Kameyama
- 262) Real-Time Threshold-Voltage Control Scheme for Low-Power VLSI Under Fluctuation of a Supply Voltage. [IEEE Int. Symp. on Signals, Circuits and Systems, (2005), 15-18]
 Ahmed Shaheer and Michitaka Kameyama
- 263) Intelligent Integrated Systems for Human-Oriented Information Society. [GSIS Int. Symp. on Information Sciences of New Era, (2005), 77-103]
 M.Kameyama
- 264) Design of Multi-Context FPGA Using a Floating-Gate-MOS Functional Pass-Gate. [IEEE Asian Solid-State Circuits Conf. (A-SSCC), (2005), 421-424]
 Masanori Hariyama, Sho Ogata, Michitaka Kameyama, Yasutoshi Morita
- 265) Derivation of Performance Specification of Intelligent Integrated Systems in Environment of Human-Computer Interaction. [The IASTED Int. Conf. on Huma-Computer Interaction, (2005), 161-166]
 Y. Sakai and M. Kameyama
- 266) Design of a Low-Power Multiple-Valued Integrated Circuit Based on Dynamic Source-Coupled Logic. [Jour. of Multiple-Valued Logic & Soft Computing, **11** (Nos.5-6), (2005), 481-497]
 Akira Mochizuki, Takahiro Hanyu and Michitaka Kameyama
- 267) Logic-In-Memory VLSI Circuit for Fully Paralle Nearest Pattern Matching Based on Floating-Gate-MOS Pass-Transistor Logic. [Jour. of Multiple-Valued Logic & Soft Computing, **11** (Nos.5-6), (2005), 619-632]
 Takahiro Hanyu, Shunichi Kaeriyama and Michitaka Kameyama
- 268) FPGA Implementation of a Stereo Matching Processor Based on Window-Parallel-and-Pixel-Parallel Architecture. [IEICE Trans.Fundamentals, **E88-A** (12), (2005), 3516-3522]
 Masanori Hariyama, Yasuhiro Kobayashi, Haruka Sasaki, Michitaka Kameyama
- 269) Low-Power Field-Programmable VLSI Using Multiple Supply Voltages. [IEICE Trans.Fundamentals, **E88-A** (12), (2005), 3298-3305]
 Weisheng Chong,Masanori Hariyama, Michitaka Kameyama
- 270) Optimal Periodical Memory Allocation for Logic-in-Memory Image Processors. [IEEE Computer Society Anual Symp. on VLSI, (2006), 193-198]

Masanori Hariyama, Michitaka Kameyama, Yasuhiro Kobayashi

- 271) Architecture of a Multi-Context FPGA Using a Hybrid Multiple-Valued/Binary Context Switching Signal. [Reconfigurable Architectures Workshop, (2006)]
Yoshihiro Nakatani, Masanori Hariyama, Michitaka Kameyama
- 272) Switch Block Architecture for Multi-Context FPGAs Using Hybrid Multiple-Valued Binary Context Switching Signals. [IEEE Int. Symp. on Multiple-Valued Logic, (2006)]
Yoshihiro Nakatani, Masanori Hariyama, Michitaka Kameyama
- 273) Fine-Grain Cell Design for Multiple-Valued Reconfigurable VLSI Using a Single Differential-Pair Circuit. [IEEE Int. Symp. on Multiple-Valued Logic, (2006)]
Haque Mohammad Munirul, Michitaka Kameyama
- 274) Evaluation of Multiple-Valued Packet Multiplexing Scheme for Network-on-Chip Architecture. [IEEE Int. Symp. on Multiple-Valued Logic, (2006)]
Haque Mohammad Munirul, Tomoaki Hasegawa, Michitaka Kameyama
- 275) Bayesian-Networks-Based Motion Estimation for a Highly-Safe Intelligent Vehicle. [SICE-ICASE Int. Joint Conf., (2006), 6023-6026]
Nguyen Van Dan and Michitaka Kameyama
- 276) Processor Architecture for Road Extraction Based on Projective Transformation. [SICE-ICCAS, (2006), 1446-1450]
Sunggae Lee, Masanori Hariyama and Michitaka Kameyama
- 277) Minimizing Energy Consumption Based on Dual-Supply-Voltage Assignment and Interconnection Simplification. [IEICE Trans. Electron, E89-C (11), (2006), 1551-1558]
Masanori Hariyama, Shigeo Yamadera, Michitaka Kameyama
- 278) A Multi-Context FPGA Using Floating-Gate-MOS Functional Pass-Gates. [IEICE Trans. Electron., E89-C (11), (2006), 1655-1661]
Masanori Hariyama, Sho Ogata, Michitaka Kameyama
- 279) Dynamically Reconfigurable Gate Array Based on Fine-Grained Switch Elements and Its CAD Environment. [Asian Solid-State Circuits Conf., (2006), 155-158]
Masanori Hariyama, Waidyasoorya Hasitha Muthumala, Michitaka Kameyama
- 280) 1000 frame/sec Stereo Matching VLSI Processor with Adaptive Window-Size Control. [Asian Solid-State Circuits Conf., (2006), 123-126]
Masanori Hariyama, Naoto Yokoyama and Michitaka Kameyama
- 281) A Multi-Context FPGA Using a Floating-Gate-MOS Functional Pass-Gate and Its CAD Environment. [IEEE Asia Pacific Conf. on Circuits and Systems, (2006), 1805-1808]
Masanori Hariyama, Michitaka Kameyama
- 282) GA-Based Assignment of Supply and Threshold Voltages and Interconnection Simplification for Low Power VLSI Design. [IEEE Asia Pacific Conf. on Circuits and Systems, (2006), 1266-1269]
Waidyasoorya Hasitha Muthumala, Masanori Hariyama, Michitaka Kameyama
- 283) Prospects of Intelligent Integrated Systems for Real-World Applications. [IEEE Int. Conf. on Computers and Devices for Communication, CDROM, (2006)]
Michitaka Kameyama
- 284) Real-Time Register-Transfer-Level Optimization for a Dynamically Reconfigurable VLSI Processor. [IEEE Int. Conf. on Computers and Devices for Communication, CDROM, (2006)]
Yonanda Adhitama and Michitaka Kameyama

- 285) Functional-Unit-Level Packet Data Transfer Scheme for a Highly Parallel VLSI Processor. [IEEE Int. Conf. on Computers and Devices for Communication, **CDROM**, (2006)]
 Yoshichika Fujioka, Nobuhiro Tomabechi and Michitaka Kameyama
- 286) Low-Power Multiple-Valued Reconfigurable VLSI Using Series-Gating Differential-Pair Circuits. [Jour. of Multiple-Valued Logic and Soft Computing, **13** (4-6), (2007), 619-631]
 Nobuaki Okada and Michitaka Kameyama
- 287) Universal VLSI Based on a Redundant Multiple-Valued Sequential Logic Operation. [Jour. of Multiple-Valued Logic and Soft Computing, **13** (4-6), (2007), 553-567]
 Tasuku Ito and Michitaka Kameyama
- 288) ウィンドウ演算のための最適スケジューリング・メモリアロケーション. [電子情報通信学会論文誌, **J90-D** (5), (2007), 1178-1193]
 小林康浩, 張山昌論, 亀山充隆
- 289) Low-Power Multiple-Valued Reconfigurable VLSI Using Series-Gating Differential-Pair Circuits. [IEEE Int. Symp. on Multiple-Valued Logic, **CDROM**, (2007)]
 Nobuaki Okada, Michitaka Kameyama
- 290) Universal VLSI Based on a Redundant Multiple-Valued Sequential Logic Operation. [IEEE Int. Symp. on Multiple-Valued Logic, **CD-ROM**, (2007)]
 Tasuku Ito and Michitaka Kameyama
- 291) A Field-Programmable VLSI Based on an Asynchronous Bit-Serial Architecture. [IEEE Asian Solid-State Circuits Conf., (2007), 380-383]
 Masanori Hariyama, Shota Ishihara, Chang Chia Wei and Michitaka Kameyama
- 292) Design of a Multi-Context FPVLSI Based on an Asynchronous Bit-Serial Architecture. [Sixth IEEE Dallas Circuits and Systems Workshop, (2007), 59-62]
 Waidyasooriya Hasitha Muthumala, Masanori Hariyama and Michitaka Kameyama
- 293) FPGA Implementation of a Vehicle DetectionAlgorithm Using Three-Dimensional Information. [Reconfigurable Architectures Workshop, **CDROM**, (2008)]
 Masanori Hariyama, Kensaku Yamashita and Michitaka Kameyama
- 294) Design of a Trinocular-Stereo-Vision VLSI Processor Based on Optimal Scheduling. [IEICE Transaction on Electronics, **E91-C** (4), (2008), 479-486]
 Masanori Hariyama, Naoto Yokoyama and Michitaka Kameyama
- 295) Multi-Context FPGA Using Fine-Grained Interconnection Blocks and Its CAD Environment. [IEICE Transactions on Electronics, **E91-C** (4), (2008), 517-525]
 Hasitha Muthumala Waidyasooriya, Chong Wei Sheng, Masanori Hariyama and Michitaka Kameyama
- 296) Fine-Grain Multiple-Valued Reconfigurable VLSI Using Universal-Literal-Based Cells. [Proc. IEEE Int. Symp. on Multiple-Valued Logic, **CDROM**, (2008), 180-185]
 Nobuaki Okada and Michitaka Kameyama
- 297) Bayesian-Network-Based Intention Estimation for a User Support System of an Information Appliance. [Int. Conf. on Information Technology and Applications, **CDROM**, (2008), 71-76]
 Shuhei Chizuwa and Michitaka Kameyama
- 298) Non-Volatile Multi-Context FPGAs Using Hybrid Multiple-Valued/Binary Context Switching Signals. [Int. Conf. on Engineering of Reconfigurable Systems and Algorithms, (2008), 309-310]
 Masanori Hariyama, Shota Ishihara, Noriaki Idobata and Michitaka Kameyama
- 299) Implementation of a Multi-Context FPGA Based on Flexible-Context-Partitioning. [Int. Conf. on Engineering of Reconfigurable Systems and Algorithms, (2008), 201-207]

Waidyasooriya Hasitha Muthumala, Masanori Hariyama and Michitaka Kameyama

- 300) Image Processing VLSI Architecture Based on Data Compression. [IEEE Int. Midwest Symp. on Circuits and Systems, (2008), 430-433]
Masanori Hariyama, Hisashi Yoshida, Michitaka Kameyama and Yasuhiro Kobayashi
- 301) A Low-Power Field-Programmable VLSI Based on a Fine-Grained Power-Gating Scheme. [IEEE Int. Midwest Symp. on Circuits and Systems, (2008), 702-705]
Masanori Hariyama, Shota Ishihara and Michitaka Kameyama
- 302) Evaluation of a Field-Programmable VLSI Based on an Asynchronous Bit-Serial Architecture. [IEICE Transactions Electronics, E91-C (9), (2008), 1416-1426]
Masanori Hariyama, Shota Ishihara and Michitaka Kameyama
- 303) Fine-Grain Multiple-Valued Reconfigurable VLSI Using Series-Gating Differential-Pair Circuits and Its Evaluation. [IEICE Transactions Electronics, E91-C (9), (2008), 1437-1443]
Nobuaki Okada and Michitaka Kameyama
- 304) Memory Allocation for Multi-Resolution Image Processing. [IEICE Transaction on Information and Systems, E91-D (10), (2008), 2386-2397]
Yasuhiro Kobayashi, Masanori Hariyama and Michitaka Kameyama
- 305) Evaluation of Interconnect-Complexity-Aware Low-Power VLSI Design Using Multiple Supply and Threshold Voltages. [IEICE Transaction on Fundamentals, E91-A (12), (2008), 3596-3606]
Hasitha Muthumala Waidyasooriya, Masanori Hariyama and Michitaka Kameyama
- 306) A Low-Power FPGA Based on Autonomous Fine-Grain Power-Gating. [Proc. the Asia and South Pacific Design Automation Conf., (2009), 119-120]
Shota Ishihara, Masanori Hariyama and Michitaka Kameyama
- 307) Optimal Periodic Memory Allocation for Image Processing With Multiple Windows. [IEEE Transactions on Very Large Scale Integration Systems, 17 (3), (2009), 403-416]
Yasuhiro Kobayashi, Masanori Hariyama and Michitaka Kameyama
- 308) Implementation of a Partially Reconfigurable Multi-Context FPGA Based on Asynchronous Architecture. [IEICE Transaction on Electron, E92-C (4), (2009), 539-549]
Hasitha Muthumala Waidyasooriya, Masanori Hariyama and Michitaka Kameyama
- 309) Multiple-Valued Reconfigurable VLSI Processor Based on Superposition of Data and Control Signals. [IEEE Int. Symp. on Multiple-Valued Logic, (2009), 54-59]
Nobuaki Okada, Michitaka Kameyama
- 310) Evaluation of the Hierarchical Temporal Memory as Soft Computing Platform and Its VLSI Architecture. [IEEE Int. Symp. on Multiple-Valued Logic, (2009), 233-238]
Wim J.C. Melis, Shuhei Chizuwa, Michitaka Kameyama
- 311) Acceleration of Optical-Flow Extraction Using Dynamically Reconfigurable ALU Arrays. [Int. Conf. on Engineering of Reconfigurable Systems and Algorithms, (2009), 291-294]
Hasitha Muthumala Waidyasooriya, Masanori Hariyama and Michitaka Kameyama
- 312) A Fine-Grain SIMD Architecture Based on Flexible Ferroelectric-Capacitor Logic. [Int. Conf. on Engineering of Reconfigurable Systems and Algorithms, (2009), 271-274]
Shota Ishihara, Noriaki Idobata, Masanori Hariyama, Michitaka Kameyama
- 313) FPGA Implementation of a High-Speed Stereo Matching Processor Based on Recursive Computation. [Int. Conf. on Engineering of Reconfigurable Systems and Algorithms, (2009), 263-266]
Masanori Hariyama, Keita Tanji, and Michitaka Kameyama

- 314) An Asynchronous Field-Programmable VLSI Using LEDR/4-Phase-Dual-Rail Protocol Converters. [Proc. Int. Conf. on Engineering of Reconfigurable Systems and Algorithms, (2009), 145-150]
 Shota Ishihara, Yoshiya Komatsu, Masanori Hariyama, Michitaka Kameyama
- 315) Interconnect-Aware High-Level Design Methodologies for Low-Power VLSIs. [Int. Symp. on Wireless Personal Multimedia Communications, (2009)]
 Michitaka Kameyama and Masanori Hariyama
- 316) Design of a Fine-Grain Reconfigurable VLSI Based on Logic-In-Control Architecture. [Int. SoC Design Conf., (2009), 278-281]
 Nobuaki Okada, Michitaka Kameyama
- 317) Architecture of a Low-Power FPGA Based on Self-Adaptive Voltage Control. [Int. SoC Design Conf., (2009), 274-277]
 Shota Ishihara, Zhengfan Xia, Masanori Hariyama and Michitaka Kameyama
- 318) Evaluation of a Self-Adaptive Voltage Control Scheme for Low-Power FPGAs. [Jour. of Semiconductor Technology and Science, **10** (3), (2010), 165-175]
 Shota Ishihara, Zhengfan Xia, Masanori Hariyama, Michitaka Kameyama
- 319) Group Testing Based Detection of Web Service DDoS Attackers. [IEICE, Trans Communications, **E93-B** (5), (2010), 1113-1121]
 Dalia Nashat, Xiaohong Jiang and Michitaka Kameyama
- 320) Low-Power Multiple-Valued Reconfigurable VLSI Based on Superposition of Bit-Serial Data and Current-Source Control Signals. [Proc. IEEE Int. Symp. on Multiple-Valued Logic, (2010), 179-184]
 Akitaka Ishikawa, Nobuaki Okada, Michitaka Kameyama
- 321) Architecture of an FPGA-Oriented Heterogeneous Multi-Core Processor with SIMD-Accelerator Cores. [Proc. Int. Conf. on Engineering of Reconfigurable Systems and Algorithms(ERSA), (2010), 179-186]
 Hasitha Muthumala Waidyasooriya, Masanori Hariyama, and Michitaka Kameyama
- 322) Mapping for a Heterogeneous Multi-Core Media Processor Considering the Data Transfer Time. [Int. Conf. on Engineering of Reconfigurable Systems and Algorithms, (2010), 281-282]
 Hasitha Muthumala Waidyasooriya, Daisuke Okumura, Masanori Hariyama, and Michitaka Kameyama
- 323) A Field-Programmable VLSI Based on Synchronous/Asynchronous Hybrid Architecture. [Int. Conf. on Engineering of Reconfigurable Systems and Algorithms, (2010), 271-274]
 Masanori Hariyama, Ryoto Tsuchiya, Shota Ishihara, and Michitaka Kameyama
- 324) Adaptive Selection of Intelligent Processing Modules and its Applications. [Int. Conf. on Artificial Intelligence WORLDCOMP'10, (2010), 513-520]
 M.Lukac, M.Kameyama, M.Perkowski
- 325) GPU Library Based Approach to Quantum Logic Synthesis. [2nd Workshop on Reversible Computation, (2010), 101-104]
 M.Perkowski, M.Lukac, P.Kerntopf, M.Kameyama
- 326) Evolutionary Quantum Logic Synthesis of Boolean Reversible Logic Circuits Embedded in Ternary Quantum Space Using Structural Restrictions. [WCCI, CD ROM, (2010)]
 M.Lukac, M.Perkowski, M.Kameyama
- 327) A Switch Block Architecture for Multi-Context FPGAs Based on Ferroelectric-Capacitor Functional Pass-Gate UsingMultiple/Binary Valued Hybrid Signals. [IEICE Transaction on Information and Systems, **E93-D** (8), (2010), 2134-2144]
 Shota Ishihara, Noriaki Idobata, Masanori Hariyama, Michitaka Kameyama
- 328) An Asynchronous FPGA Based on LEDR/4-Phase-Dual-Rail Hybrid Architecture. [IEICE Transactions on Electronics, **E93-C** (8), (2010), 1338-1348]

Shota Ishihara, Yoshiya Komatsu, Masanori Hariyama, Michitaka Kameyama

- 329) Logic-In-Control-Architecture Based Reconfigurable VLSI Using Multiple-Valued Differential-Pair Circuits. [IEICE Transactions on Information and Systems, **E93-D** (8), (2010), 2126-2133]
 Nobuaki Okada and Michitaka Kameyama
- 330) Synchronising Logic Gates for Wave-Pipelining Design. [Electronics Letters, **46** (16), (2010), 1116-1117]
 Zhengfan Xia, Shota Ishihara, Masanori Hariyama, Michitaka Kameyama,
- 331) Emotion Aware Probabilistic Robotics. [Int. Symp. on Aware Comuting, (2010), 136-141]
 M.Lukac, M.Kameyama
- 332) Task Allocation with Algorithm Transformation for Reducing Data-Transfer Bottlenecks in Heterogeneous Multi-Core Processors: A Case Study of HOG Descriptor Computation. [IEICE Trans. Fundamentals, **E93-A** (12), (2010), 2570-2580]
 Waidyasooriya Hasitha Muthumala, Daisuke Okumura, Masanori Hariyama, Michitaka Kameyama
- 333) Memory Allocation for Window-Based Image Processing on Multiple Memory Modules with Simple Addressing Functions. [IEICE Trans. Fundamentals, **E94-A** (1), (2011), 342-351]
 Hasitha Muthumala Waidyasooriya, Masanori Hariyama, Michitaka Kameyama
- 334) An Implementation of an Asynchronous FPGA Based on LEDR/Four-Phase-Dual-Rail Hybrid Architecture. [Asia and South Pacific Design Automation Conf., (2011), 89-90]
 Yoshiya Komatsu, Shota Ishihara, Masanori Hariyama, Michitaka Kameyama
- 335) Adaptive Group-Based Job Scheduling for High Performance and Reliable Volunteer Computing. [Transactions of Information Processing, **19**, (2011), 39-51]
 Kan Watanabe, Masaru Fukushi and Michitaka Kameyama
- 336) Information-Preserving Logic Based on Logic Reversibility to Reduce the Memory Data Transfer and Heat Dissipation. [IEEE Int. Symp. on Multiple-Valued Logic, (2011), 131-138]
 M.Lukac, B.Shuai, M. Kameyama and D.M.Miller
- 337) Decomposition of Reversible Logic Function Based on Cube-Reordering. [Reed-Muller 2011 Workshop, (2011), 63-70]
 Martin Lukac, Michitaka Kameyama, Marek Perkowski and Pawel Kerntopf
- 338) Prospects of Post-Binary ULSI Systems and Novel Reconfigurable VLSI Architectures. [Int. Workshop on Post-Binary ULSI Systems, (2011), 1-3]
 Michitaka Kameyama
- 339) A Switch Block for Multi-Context FPGAs Based on Floating-Gate-MOS Functional Pass-Gates Using Multiple/Binary Valued Hybrid Signals. [Jour.of Multiple-Valued Logic and Soft Computing, **17**, (2011), 553-580]
 Shota Ishihara, Noriaki Idobata, Yoshihiro Nakatani, Masanori Hariyama and Michitaka Kameyama
- 340) High Performance Tag Singulation for Memory-Less RFID Systems. [IEEE Int. Conf. on Communications, (2011)]
 K.Kashkouli Nejad, X.Jiang and M.Kameyama
- 341) An FPGA Based on Synchronous/Asynchronous Hybrid Architecture with Area-Efficient FIFO Interfaces. [Int. Conf. on Engineering of Reconfigurable Systems and Algorithms, (2011), 331-334]
 Masanori Hariyama, Yoshiya Komatsu, Shota Ishihara, Ryoto Tsuchiya, Michitaka Kameyama
- 342) Data-Transfer-Aware Memory Allocation for Dynamically Reconfigurable Accelerators in Heterogeneous Multicore Processors. [Int. Conf. on Engineering of Reconfigurable Systems and Algorithms, (2011), 282-288]
 Yosuke Ohbayashi, Hasitha Muthumala Waidyasooriya, Masanori Hariyama, Michitaka Kameyama

- 343) A Low-Power FPGA Based on Autonomous Fine-Grain Power Gating. [IEEE Transactions on Very Large Scale Integration Systems, **19** (8), (2011), 1394-1406]
 Shota Ishihara, Masanori Hariyama, Michitaka Kameyama
- 344) Adaptive Functional Module Selection Using Machine Learning: Framework for Intelligent Robotics. [SICE Annual Conf., (2011), 2480-2483]
 Martin Lukac and Michitaka Kameyama
- 345) Memory Allocation Exploiting Temporal Locality for Reducing Data-Transfer Bottlenecks in Heterogeneous Multicore Processors. [IEEE Transactions on Circuits and Systems for Video Technology, **21** (10), (2011), 1453-1466]
 Hasitha Muthumala Waidyasoorya, Yosuke Ohbayashi, Masanori Hariyama, Michitaka Kameyama
- 346) Implementation of a Low-Power FPGA Based on Synchronous/Asynchronous Hybrid Architecture. [IEICE Transaction on Electron, **E-94-C** (10), (2011), 1669-1679]
 Shota Ishihara, Ryoto Tsuchiya, Yoshiya Komatsu, Masanori Hariyama and Michitaka Kameyama
- 347) Driver's Intention Estimation Based on Bayesian Networks for a Highly-Safe Intelligent Vehicle. [Jour. of Robotics and Mechatronics, **24** (1), (2012), 219-225]
 B. Sun, M. Kameyama
- 348) Memory-Access-Driven Context Partitioning for Window-Based Image Processing on Heterogeneous Multicore Processors. [IEICE Trans. Inf. and Syst., **E95-D** (2), (2012), 354-363]
 Hasitha Muthumala Waidyasoorya, Yosuke Ohbayashi, Masanori Hariyama, Michitaka Kameyama
- 349) Platform and Mapping Methodology for Heterogeneous Multicore Processors. [Interdisciplinary Information Sciences, **18** (2), (2012), 175-184]
 Masanori Hariyama, Hasitha Muthumala Waidyasoorya, Yasuhiro Takei, Michitaka Kameyama
- 350) Machine Learning Based Adaptive Contour Detection Using Algorithm Selection and Image Splitting. [Interdisciplinary Information Sciences, **18** (2), (2012), 123-134]
 Martin Lukac, Michitaka Kameyama
- 351) Minimization of Quantum Circuits using Quantum Operator Forms. [Int. Workshop on Post-Binary ULSI Systems, (2012), 88-95]
 M. Lukac, M. Kameyama, M. Perkowski, P. Kerntopf
- 352) Current-Source-Sharing Differential-Pair Circuits for a Low-Power Fine-Grain Reconfigurable VLSI Architecture. [IEEE Int. Symp. on Multiple-Valued Logic, (2012), 208-213]
 Xu Bai, Michitaka Kameyama
- 353) Unified Current-Source Control for Low-Power Current-Mode-Logic Bit-Serial Circuits. [IEEE Int. Symp. on Multiple-Valued Logic, (2012), 104-109]
 Shogo Kisara, Michitaka Kameyama
- 354) Dual-Rail/Single-Rail Hybrid Logic Design for High-Performance Asynchronous Circuit. [IEEE Int. Symp. on Circuits and Systems, (2012), 3017-3020]
 Zhengfan Xia, Shota Ishihara, Masanori Hariyama, Michitaka Kameyama
- 355) FPGA Implementation of Heterogeneous Multicore Platform with SIMD/MIMD Custom Accelerators. [IEEE Int. Symp. on Circuits and Systems, (2012), 1339-1342]
 Hasitha Muthumala Waidyasoorya, Yasuhiro Takei, Masanori Hariyama, Michitaka Kameyama
- 356) Architecture of an Asynchronous FPGA for Handshake-Component-Based Design. [Int. Conf. on Engineering of Reconfigurable Systems and Algorithms, (2012), 113-118]
 Yoshiya Komatsu, Masanori Hariyama, Michitaka Kameyama
- 357) Area-Efficient Design of Asynchronous Circuits Based on Balsa Framework for Synchronous FPGAs. [Int. Conf. on Engineering of Reconfigurable Systems and Algorithms, (2012), 133-136]

Yoshiya Komatsu, Masanori Hariyama, Michitaka Kameyama

- 358) Low-Power Heterogeneous Platform for High Performance Computing and Its Application to 2D-FDTD Computation. [Int. Conf. on Engineering of Reconfigurable Systems and Algorithms, (2012), 147-150]
Hasitha Muthumala Waidyasooriya, Yasuhiro Takei, Masanori Hariyama, Michitaka Kameyama
- 359) An Asynchronous FPGA Based on Dual/Single-Rail Hybrid Architecture. [Int. Conf. on Engineering of Reconfigurable Systems and Algorithms, (2012), 139-142]
Zhengfan Xia, Shota Ishihara, Masanori Hariyama, Michitaka Kameyama
- 360) Hybrid Single/Double Precision Floating-Point Computation on GPU Accelerators for 2-D FDTD. [Int .Conf. on Parallel and Distributed Processing Techniques and Applications, **CD ROM**, (2012)]
Hasitha Muthumala Waidyasooriya, Yasuhiro Takei, Masanori Hariyama, Michitaka Kameyama
- 361) Design of High-performance Asynchronous Pipeline Using Synchronizing Logic Gates. [IEICE Transaction on Electron, **E95-C** (8), (2012), 1434-1443]
Xia Zhengfan, Shota Ishihara, Masanori Hariyama, Michitaka Kameyama
- 362) Configuration Memory Size Reduction of a Dynamically Reconfigurable Processor Based on a Register-Transfer-Level Packet Data Transfer Scheme. [Int. SoC Design Conf., (2012), 235-238]
Yoshichika Fujioka, Michitaka Kameyama
- 363) Acceleration of Block Matching on a Low-power Heterogeneous Multi-Core Processor Based on DTU Data-Transfer with Data Re-allocation. [IEICE Trans. Elec., **E95-C** (12), (2012), 1872-1882]
Yoshitaka Hiramatsu, Hasitha Muthumala Waidyasooriya, Masanori Hariyama, Toru Nojiri, Kunio Uchiyama, Michitaka Kameyama
- 364) An Algorithm Selection based Platform for Image Understanding Using High-Level Symbolic Feedback and Machine Learning. [Int. Jour. of Machine Learning and Cybernetics (Springer), (2013), 1-18]
M.Lukac, M.Kameyama
- 365) A Digit-Serial Reconfigurable VLSI Based on Quaternary Inter-Cell Data Transfer Scheme. [Jour. of Multiple-Valued Logic and Soft Computing, **20** (1), (2013), 1-18]
Xu Bai, Nobuaki Okada, Michitaka Kameyama
- 366) High-Speed Generic Algorithms in Quantum Logic Synthesis: Low Level Parallelization vs. Representation. [Jour. of Multiple-Valued Logic and Soft Computing, **20** (1), (2013), 89-120]
Martin Lukac, Michitaka Kameyama, Michael Miller, Marek Perkowski
- 367) VLSI platform for Real-World Intelligent Integrated Systems based on Algorithm Selection. [IADIS Int. Jour. on Computer Science and Information Systems, **8** (2), (2013), 72-90]
Martin Lukac, Michitaka Kameyama and Yoshichika Fujioka
- 368) Natural Image Understanding Using Algorithm Selection and High-Level Feedback. [SPIE-IS&T, **8662**, (2013), 86620D1-86620D10]
Martin Lukac, Michitaka Kameyama, Kosuke Hiura
- 369) Quantum Finite State Machines - a Circuit Based Approach. [Int. Jour. of Unconventional Computing, **9** (3-4), (2013), 267-301]
M. Lukac, M. Kameyama, M. Perkowski
- 370) Flexible Ferroelectric-Capacitor Element for Low Power and Compact Logic-in-Memory Architectures. [Jour. of Multiple-Valued Logic and Soft Computing, **20** (5-6), (2013), 595-623]
Shota Ishihara, Noriaki Idobata, Masanori Hariyama, Michitaka Kameyama
- 371) An Area-Efficient Multiple-Valued Reconfigurable VLSI Architecture Using an X-Net. [IEEE Int. Symp. on Multiple-Valued Logic, (2013), 272-277]
Xu Bai, Michitaka Kameyama

- 372) Low-Power Multiple-Valued Source-Coupled Logic Circuits Using Dual-Supply Voltages for a Reconfigurable VLSI. [IEEE Int. Symp. on Multiple-Valued Logic, (2013), 164-169]
 Xu Bai, Michitaka Kameyama
- 373) Logic-in-Memory Architecture for a Multiple-Valued Reconfigurable VLSI Based on Packet Data Transfer Scheme. [Int. Workshop on Post-Binary ULSI Systems, (2013), 65-68]
 Shintaro Harada, Xu Bai, Yoshichika Fujioka, Michitaka Kameyama
- 374) Voltage-Mode/Current-Mode Hybrid Logic Circuit for a Low-Power Fine-Grain Reconfigurable VLSI. [Int. Workshop on Post-Binary ULSI Systems, (2013), 62-64]
 Xu Bai, Michitaka Kameyama
- 375) Multiple-Valued Reversible Benchmarks and Extensible Quantum Specification (XQS) Format. [IEEE Int. Symp. on Multiple-Valued Logic, (2013), 41-46]
 Maher Hawash, Martin Lukac, Michitaka Kameyama, Marek Perkowski
- 376) Analysis of Reversible and Quantum Finite State Machines Using Homing, Synchronizing and Distinguishing Input Sequences. [IEEE Int. Symp. on Multiple-Valued Logic, (2013), 322-327]
 Martin Lukac, Michitaka Kameyama, Marek Perkowski, Pawel Kerntopf
- 377) A Bit-Serial Reconfigurable VLSI Based on a Multiple-Valued X-Net Data Transfer Scheme. [IEICE Transactions on Information and Systems, **E96-D** (7), (2013), 1449-1456]
 Xu Bai, Michitaka Kameyama
- 378) Implementation of a Custom Hardware-Accelerator for Short-Read Mapping Using Burrows-Wheeler Alignment. [Int. Conf. of the IEEE Engineering in Medicine and Biology Society, (2013), 651-654]
 Hasitha Muthumala Waidyasooriya, Masanori Hariyama, Michitaka Kameyama
- 379) VLSI Platform for Real-World Intelligent Integrated Systems Based on Algorithm Selection. [IADIS Theory and Practice in Modern Computing, (2013), 27-34]
 Martin Lukac, Michitaka Kameyama, Yoshichika Fujioka
- 380) Heterogeneous Multicore Platform with Accelerator Templates and Its Implementation on an FPGA with Hard-core CPUs. [Int. Conf. on Engineering of Reconfigurable Systems and Algorithms, (2013), 47-50]
 Yasuhiro Takei, Hasitha Muthumala Waidyasooriya, Masanori Hariyama, Michitaka Kameyama
- 381) Reducing Floating-Point Error Based on Residue-Preservation and Its Evaluation on an FPGA. [Int. Conf. on Engineering of Reconfigurable Systems and Algorithms, (2013), 55-58]
 Hasitha Muthumala Waidyasooriya, Hirokazu Takahashi, Yasuhiro Takei, Masanori Hariyama, Michitaka Kameyama
- 382) An Area-Efficient Asynchronous FPGA Architecture for Handshake-Component-Based Design. [Int. Conf. on Engineering of Reconfigurable Systems and Algorithms, (2013), 15-18]
 Yoshiya Komatsu, Masanori Hariyama, Michitaka Kameyama
- 383) A Multiple-Valued Reconfigurable VLSI Architecture Using Binary-Controlled Differential-Pair Circuits. [IEICE Transactions on Electronics, **E96-C** (8), (2013), 1083-1093]
 Xu Bai, Michitaka Kameyama
- 384) Architecture of an Asynchronous FPGA for Handshake-Component-Based Design. [IEICE Transactions on Information and Systems, **E96-D** (8), (2013), 1632-1644]
 Yoshiya Komatsu, Masanori Hariyama, Michitaka Kameyama
- 385) Bayesian Network for Algorithm Selection: Real-World Hierarchy for Nodes Reduction. [Int. Conf. on Awareness Science and Technology, (2013), 69-74]
 M. Lukac, M. Kameyama
- 386) Design and Evaluation of a Voltage-Mode/Current-Mode Hybrid Logic Circuit for a Low-Power Fine-Grain Reconfigurable VLSI. [Int. SoC Design Conf., (2013), 384-387]

Xu Bai, Michitaka Kameyama

- 387) A Low-Power FPGA Based on Self-Adaptive Multi-Voltage Control. [Int. SoC Design Conf., (2013), 166-169]
Zhengfan Xia, Masanori Hariyama, Michitaka Kameyama
- 388) Evaluation of an FPGA-Based Heterogeneous Multicore Platform with SIMD/MIMD Custom Accelerators. [IEICE Transaction on Fundamentals, **E96-A** (12), (2013), 2576-2586]
Yasuhiro Takei, Hasitha Muthumala Waidyasooriya, Masanori Hariyama, Michitaka Kameyama
- 389) FDTD Acceleration for Cylindrical Resonator Design Based on the Hybrid of Single and Double Precision Floating-Point Computation. [Jour. of Computational Engineering, **2014** (Article ID 634269), (2014)]
Hasitha Muthumala Waidyasooriya, Masanori Hariyama, Yasuhiro Takei, Michitaka Kameyama
- 390) FDTD Acceleration for Cylindrical Resonator Design Based on the Hybrid of Single and Double Precision Floating-Point Computation. [Jour. of Computational Engineering, **2014**, (2014)]
Hasitha Muthumala Waidyasooriya, Masanori Hariyama, Yasuhiro Takei, Michitaka Kameyama
- 391) Reversible, Information-Preserving Logic and Its Application. [Jour. of Multiple-Valued Logic and Soft Computing, **23** (3-4), (2014), 379-406]
Martin Lukac, Ben Shuai, Michitaka Kameyama, Michael Miller
- 392) Bayesian-Network-Based Algorithm Selection with High Level Representation Feedback for Real-World Information Processing. [IT in Industry, **2** (Issue.3), (2014)]
M.Lukac, M.Kameyama
- 393) Analysis of Faults in Reversible Computing. [Int. Symp. on Multiple-Valued Logic, (2014), 115-120]
Martin Lukac, Michitaka Kameyama, Marek Perkowski, Pawel Kerntopf, Claudio Moraga
- 394) Design of a Logic-in-Memory Reconfigurable VLSI Based on a Bit-Serial Packet Data Transfer Scheme. [IEEE Int. Symp. on Multiple-Valued Logic, (2014), 214-219]
Shintaro Harada, Xu Bai, Michitaka Kameyama, Yoshichika Fujioka
- 395) Automatic Algorithm Selection for Real-World Intelligent Systems Platform. [Int. Workshop on Post-Binary ULSI Systems, (2014), 7-14]
Martin Lukac, Michitaka Kameyama, Yoshichika Fujioka
- 396) FPGA-Accelerator for DNA Sequence Alignment Based on an Efficient Data-Dependent Memory Access Scheme. [Int. Symp. on Highly-Efficient Accelerators and Reconfigurable Technologies, (2014), 127-130]
Hasitha Muthumala Waidyasooriya, Masanori Hariyama, Michitaka Kameyama
- 397) An Asynchronous High-Performance FPGA Based on LEDR/Four-Phase-Dual-Rail Hybrid Architecture. [Int. Symp. on Highly-Efficient Accelerators and Reconfigurable Technologies, (2014), 111-114]
Yoshiya Komatsu, Masanori Hariyama, Michitaka Kameyama
- 398) Design of an FPGA-Based FDTD Accelerator Using Open CL. [Int. Conf. on Parallel and Distributed Processing Techniques and Applications, (2014), 371-375]
Yasuhiro Takei, Hasitha Muthumala Waidyasooriya, Masanori Hariyama, Michitaka Kameyama
- 399) An SIMD Architecture for Shortest-Path Search and Its FPGA Implementation. [Int. Conf. on Parallel and Distributed Processing Techniques and Applications, (2014), 53-56]
Yasuhiro Takei, Masanori Hariyama, Michitaka Kameyama
- 400) Bayesian-Network-Based Algorithm Selection with High Level Representation Feedback for Real-World Intelligent Systems. [Int. Conf. on Information Technology and Applications, (2014)]
Martin Lukac, Michitaka Kameyama
- 401) Multiple-Valued Fine-Grain Reconfigurable VLSI Using a Global Tree Local X-Net Network. [IEICE Transactions on Information & Systems, **E97-D** (9), (2014), 2278-2285]
Xu Bai, Michitaka Kameyama

- 402) Synthesis of Quantum Arrays from Kronecker Functional Lattice Diagrams. [IEICE Transactions on Information & Systems, **E97-D** (9), (2014), 2262-2269]
 Martin Lukac, Dipal Shar, Msrek Perkowski, Michitaka Kameyama
- 403) Implementation of Voltage-Mode/Current-Mode Hybrid Circuits for a Low-Power Fine-Grain Reconfigurable VLSI. [IEICE Transactions on Electronics, **E97-C** (10), (2014), 1028-1035]
 Xu Bai, Michitaka Kameyama
- 404) Efficient Data Transfer Scheme Using Word-Pair-Encoding-Based Compression for Large-Scale Text-Data Processing. [IEEE Asia Pacific Conf. on Circuits and Systems (APCCAS), (2014), 639-642]
 Hasitha Muthumala Waidyasoorya, Daisuke Ono, Masanori Hariyama, Michitaka Kameyama
- 405) Novel VLSI Architectures for Real-World Intelligent Systems. [IEEE Int. Symp. on Multiple-Valued Logic, (2015), 132]
 Michitaka Kameyama
- 406) Bayesian-Network-Based Algorithm Selection with High Level Representation Feedback for Real-World Intelligent Systems. [IT in Industry, **3** (1), (2015), 10-15]
 M.Lukac, M.Kameyama
- 407) Asynchronous Domino Logic Pipeline Design Based on Constructed Critical Data Path. [IEEE Transactions on Very Large Scale Integration Systems, **23** (4), (2015), 619-630]
 Zhengfan Xia, Masanori Hariyama, Michitaka Kameyama
- 408) Symbolic Segmentation Using Algorithm Selection and Semantic Feedback. [Scene Understanding Workshop 2015, (2015)]
 Martin Lukac, Kamila Abdiyeva, Michitaka Kameyama
- 409) Evaluation of Algorithm Selection Approach for Semantic Segmentation Based on High-Level Information Feedback. [Int. Conf. on Information and Digital Technologies, (2015), 212-218]
 Martin Lukac, Kamila Abdiyeva, Michitaka Kameyama
- 410) Prospects of Computing Platform for Real-World Intelligent Systems. [Int. Conf. on Information and Digital Technologies 2015, (2015)]
 Michitaka Kameyama
- 411) An FPGA Architecture for Text Search Using a Wavelet-Tree-Based Succinct-Data-Structure. [Int. Conf. on Parallel and Distributed Processing Techniques and Applications, (2015), 354-359]
 Hasitha Muthumala Waidyasoorya, Daisuke Ono, Masanori Hariyama, Michitaka Kameyama
- 412) FPGA-Oriented Design of an FDTD Accelerator Based on Overlapped Tiling. [Int. Conf. on Parallel and Distributed Processing Techniques and Applications, (2015), 72-77]
 Yasuhiro Takei, Hasitha Muthumala Waidyasoorya, Masanori Hariyama, Michitaka Kameyama
- 413) Evaluation of an FPGA-Based Shortest-Path-Search Accelerator. [Int. Conf. on Parallel and Distributed Processing Techniques and Applications, (2015), 613-617]
 Yasuhiro Takei, Masanori Hariyama, Michitaka Kameyama
- 414) Algorithm Selection Platform in Real-World Intelligent Systems. [Int. Conf. on Computer Applications in Industry and Engineering, (2015), 227-234]
 Martin Lukac, Kamila Abdiyeva, Yoshichika Fujioka, Michitaka Kameyama
- 415) Data-Transfer-Aware Design of an FPGA-Based Heterogeneous Multicore Platform with Custom Accelerators. [IEICE Transaction on Fundamentals, **E98-A** (12), (2015), 2658-2669]
 Yasuhiro Takei, Hasitha Muthumala Waidyasoorya, Masanori Hariyama, Michitaka Kameyama

総説・解説記事

- 1) マイクロコンピュータシステムの高信頼化. [計測と制御, 23 (4), (1985), 319-324]
亀山充隆, 橋口龍雄
- 2) 多値論理システムとその応用. [電子通信学会誌, E-68 (5), (1985), 515-521]
亀山充隆, 橋口龍雄
- 3) LSI 向きロボット制御用プロセッサ. [計測と制御, 25 (1), (1986), 30-36]
亀山充隆, 橋口龍雄
- 4) 多値演算回路と符号化. [計測と制御, 25 (6), (1986), 535-539]
亀山充隆, 橋口龍雄
- 5) ロボットと VLSI コンピュータ. [日本ロボット学会誌, 6 (4), (1988), 332-338]
亀山充隆, 橋口龍雄
- 6) 多値情報処理とその応用. [システムと制御, 32 (10), (1988), 575-583]
亀山充隆, 橋口龍雄
- 7) 知能ロボットとスーパーチップ. [日本ロボット学会誌, 8 (1), (1990), 105-107]
亀山充隆
- 8) 知的フォールトトレランス. [電子情報通信学会誌, 73 (11), (1990), 1233-1236]
亀山充隆, 橋口龍雄
- 9) Robot Electronics System. [Jour. of Robotics and Mechatronics, 2 (6), (1990), 471-473]
T. Higuchi, M. Kameyama
- 10) 多値情報処理に基づく VLSI システム PART 1. [Computer Design, (1991), 117-123]
亀山充隆, 橋口龍雄
- 11) 多値情報処理に基づく VLSI システム PART 2. [Computer Design, (1991), 155-160]
亀山充隆, 橋口龍雄
- 12) 多値情報処理に基づく VLSI システム PART 3. [Computer Design, (1991), 117-123]
亀山充隆、橋口龍雄
- 13) 無配線バイオコンピューティングシステム. [サイエンス社数理科学, (344), (1992), 33-39]
亀山充隆, 橋口龍雄
- 14) ポストバイナリー VLSI システム. [電子情報通信学会誌, 75 (4), (1992), 400-406]
亀山充隆, 青木孝文, 橋口龍雄
- 15) 多値情報処理に基づく次世代知能集積システム. [リアライズ社 Break Through, (1994), 16-20]
亀山充隆
- 16) ギガスケールシステムオンチップに向けての知能集積システムの展望. [電子情報通信学会誌, 78 (2), (1995), 187-194]
亀山充隆, 羽生貴弘
- 17) ロボット用 VLSI プロセッサシステム. [日本ロボット学会誌, 14 (1), (1996), 22-25]
亀山充隆, 藤岡与周
- 18) Special Issue on Integration of Intelligence in VLSI Chips. [Jour. of Robotics and Mechatronics, (1996)]
Michitaka Kameyama

- 19) ディジタル信号処理とコンピューティング 第2回黎明期のVLSIコンピューティング . [Journal of Signal Processing, 5 (2), (2001), 95-104]
亀山充隆, 樋口龍雄
- 20) リアルワールド応用知能集積システムの展望. [計測と制御, 40 (12), (2001), 841-847]
亀山充隆, 張山昌論
- 21) Multiple-Valued Logic as New Computing Paradigm- A Brief Survey of Higuchi's Research on Multiple-Valued Logic. [Journal of Multiple-Valued Logic & Soft Computing, 11 (Nos. 5-6), (2005), 407-436]
Michitaka Kameyama, Takahiro Hanyu, Takafumi Aoki
- 22) 書評 : Decision Diagram Techniques for Micro- and Nanoelectronic Design HANDBOOK. [電子情報通信学会誌, 89 (12), (2006), 1102]
亀山充隆
- 23) 次世代リアルワールド応用知能システムとメディアプロセッサへの要求. [映像メディア学会誌, 63 (9), (2009), 1182-1184]
亀山充隆 , 張山昌論
- 24) 次世代リアルワールド応用知能システムとメディアプロセッサへの要求. [映像メディア学会誌, 63 (9), (2009), 1182-1184]
亀山充隆 , 張山昌論