

**UNIVERSIDADE FEDERAL DE ITAJUBÁ
PROGRAMA DE PÓS-GRADUAÇÃO EM
ENGENHARIA ELÉTRICA**

Uma arquitetura de modulação sigma-delta
assíncrona em ultra-baixa potência para
aplicações biomédicas.

Gustavo Della Colletta

Itajubá, Junho de 2015

UNIVERSIDADE FEDERAL DE ITAJUBÁ
PROGRAMA DE PÓS-GRADUAÇÃO EM
ENGENHARIA ELÉTRICA

Gustavo Della Colletta

Uma arquitetura de modulação sigma-delta
assíncrona em ultra-baixa potência para
aplicações biomédicas.

Tese submetida ao Programa de Pós-Graduação
em Engenharia Elétrica como parte dos requisitos
para obtenção do Título de Doutor em Ciências em
Engenharia Elétrica.

Área de Concentração: Microeletrônica

Orientador: Dr. Luís Henrique de Carvalho Ferreira
Coorientador: Dr. Tales Cleber Pimenta

Junho de 2015
Itajubá

UNIVERSIDADE FEDERAL DE ITAJUBÁ
PROGRAMA DE PÓS-GRADUAÇÃO EM
ENGENHARIA ELÉTRICA

Uma arquitetura de modulação sigma-delta
assíncrona em ultra-baixa potência para
aplicações biomédicas.

Gustavo Della Colletta

Tese aprovada por banca examinadora em 05 de
junho de 2015, conferindo ao autor o título de
Doutor em Ciências em Engenharia Elétrica.

Banca Examinadora:

Prof. Dr. Luís Henrique de Carvalho Ferreira
Prof. Dr. Tales Cleber Pimenta
Prof. Dr. Samuel Euzédice de Lucena
Prof. Dr. José Feliciano Adami
Prof. Dr. Leonardo Breseghello Zoccal
Prof. Dr. Robson Luiz Moreno
Prof. Dr. Paulo César Crepaldi

**Itajubá
2015**

*A todos aqueles que de alguma forma estiveram e estão
próximos de mim, fazendo esta vida valer cada vez mais a pena.*

Agradecimentos

Agradeço a Deus pelas oportunidades na minha vida.

À minha amada companheira, Letícia, aos meus pais, Domingos e Ana Rosa e a todos os meus familiares, por seu incondicional incentivo e amor.

Aos orientadores, Prof. Luís Henrique e Prof. Tales, pela ajuda na realização desse trabalho.

Ao Prof. Odilon e aos colegas do Grupo de Microeletrônica da Unifei, pelas discussões, sugestões e contribuições dadas a esse trabalho.

Aos amigos, que vivenciaram a realização desse projeto, por seu incontestável apoio, pelos momentos de descontração e paciência.

Por fim, agradeço ao CNPq, CAPES, FAPEMIG e MOSIS, por promover o suporte financeiro necessário para o desenvolvimento deste trabalho.

Meus mais sinceros agradecimentos.

“Os que se encantam com a prática sem a ciência são como os timoneiros que entram no navio sem timão nem bússola, nunca tendo certeza do seu destino”.
(Leonardo da Vinci)

Resumo

Esse trabalho apresenta o projeto e a fabricação de um circuito integrado modulador Σ - Δ assíncrono especialmente projetado para aplicações biomédicas. Desenvolvido em processo Digital IBM 130-nm, utiliza técnicas de polarização em inversão fraca e leiaute distribuído de transistores halo-implantados, opera com alimentação de 0,25-V e consome 15-nW de potência. O projeto foi guiado pela teoria clássica que modela o modulador Σ - Δ assíncrono segundo uma malha realimentada constituída de um elemento linear e de um elemento não-linear. Um circuito amplificador operacional de transcondutância é utilizado em conjunto com um arranjo capacitivo para construir um integrador G_m -C, elemento linear. O elemento não-linear é realizado por um circuito oscilador de relaxação que opera comutando um arranjo capacitivo através de uma cadeia de inversores CMOS e não envolve polarização adicional, reduzindo o consumo energético. Foram desenvolvidos dois modelos que descrevem a sua operação e fornecem as condições necessárias para que o circuito opere como um modulador Σ - Δ assíncrono além de análises de descasamento que mostram que o circuito é passível de calibração, quando necessário. A caracterização do protótipo comprova as características de frequência e histerese de tensão descritas na modelagem e mostra que alimentado com 0,25-V, consome 15-nW, alcançando 9 bits de resolução em uma banda de 30-Hz, que se traduzem em aproximadamente 300- μ V de resolução de tensão para o sinal de 150-mV_{PP} aplicado. Esses resultados são condizentes com aplicações biomédicas portáteis ou mesmo implantáveis, uma vez que requerem baixo consumo energético e resolução moderada trabalhando em bandas reduzidas de frequência.

Palavras-chaves: ASDM. Modulador Σ - Δ assíncrono. Modulação Σ - Δ Assíncrona.

Abstract

This work presents an ultra-low power Asynchronous Σ - Δ Modulator (ASDM) suitable to biomedical applications. It was implemented in IBM 130-nm Digital CMOS process and operates in weak inversion, consuming 15-nW when powered at 0.25-V. The development was guided by classical theory which models the ASDM as feed back loop composed of both linear and non-linear elements. The linear one has been implemented as a G_m -C continuous time integrator while the non-linear stage is an oscillator, which switches a capacitive array through a CMOS inverter chain, thus eliminating additional biasing. Two models were derived to explain the circuit operation and additional mismatch analysis shows that the circuit can be calibrated when necessary. The prototype characterization proves the hysteresis and frequency behavior described by the models. It also shows that it consumes 15-nW when powered at 0.25-V, achieving 9 bits resolution in a 30-Hz bandwidth, which translates to approximately 300- μ V of voltage resolution for a 150-mV_{PP} input signal. These results are suitable to mobile or wearable biomedical application once they require low energy consumption and moderate resolution operating in reduced bandwidth range.

Key-words: ASDM. Asynchronous Σ - Δ Modulator. Asynchronous Σ - Δ Modulation.

Lista de ilustrações

Figura 1 – Espectro de sinais analógicos e amostrados.	24
Figura 2 – Resposta em frequência de filtros anti-aliasing analógicos.	26
Figura 3 – Diagrama de blocos de um modulador Σ - Δ genérico.	26
Figura 4 – Entrada e saída de um modulador Σ - Δ de primeira ordem.	28
Figura 5 – Diagrama ilustrativo da classificação dos SDMs e ASDMs.	28
Figura 6 – Diagrama de blocos do ASDM.	29
Figura 7 – Comparativo entre os espectros de saída de ASDM e SDMs de primeira e segunda ordens.	30
Figura 8 – Processo de amostragem do sinal de saída do modulador Σ - Δ	32
Figura 9 – Definição de canal curto em (a), efeito de estrangulamento do canal em (b) e inclinação nas curvas i_D x v_{DS} devido à modulação de canal em (c).	34
Figura 10 – Curva característica I_{DS} x V_{GS} do transistor MOSFET com eixo das ordenadas em escala logarítmica.	37
Figura 11 – (a) Transistor sem halo-implantes; (b) Transistor com halo na fonte; (c) Transistor com halo nas regiões de fonte e dreno (utilizado nesse trabalho) e (d) Arranjo m x p de transistores unitários nMOS halo-implantados na esquerda e sua simbologia na direita.	40
Figura 12 – Comparativo entre as curvas I_D x V_{DS} do leiaute distribuído 4x4 (b) e seu transistor unitário equivalente (a).	41
Figura 13 – Comparativo entre as curvas I_D x V_{DS} do leiaute distribuído 8x8 (b) e seu transistor unitário equivalente (a).	42
Figura 14 – Comparativo entre as curvas I_D x V_{DS} do leiaute distribuído 16x16 (b) e seu transistor unitário equivalente (a).	43
Figura 15 – Modelo do ASDM proposto, composto pelo integrador G_m -C e pelo oscilador de relaxação.	46
Figura 16 – Comportamento ideal do sinal de tensão presente no ponto P do modelo simplificado. Na parte superior está ilustrada a saída $y(t)$	47
Figura 17 – Modelos das etapas de carga T_1 e descarga T_2	48
Figura 18 – Histerese de tensão no ponto P e saída $y(t)$ do modulador.	51
Figura 19 – Modelos das etapas de carga T_1 e descarga T_2 do modulador.	52
Figura 20 – Processo de amostragem do sinal quadrado.	60
Figura 21 – Probabilidade de ocorrência de um erro.	61
Figura 22 – Topologia do OTA simétrico acionado através do substrato realizada com matrizes de transistores halo-implantados unitários.	64

Figura 23 – Aumento da amplitude do sinal de entrada v_{dm} para uma distorção máxima de sinal de 1 % do OTA proposto ao longo da evolução do processo CMOS.	65
Figura 24 – Configuração utilizada na caracterização da transcondutância do OTA em (a) e correlação de 96 % entre a função trigonométrica secante hiperbólica e a corrente medida do OTA proposto em (b).	67
Figura 25 – Configuração utilizada para a caracterização do integrador G_m -C em (a) e medida da resposta transiente de um integrador de constante de tempo de 5-ms com um sinal quadrado de 100-mV _{pp} aplicado à sua entrada em (b).	68
Figura 26 – Leiaute do OTA simétrico proposto.	70
Figura 27 – Circuito esquemático do oscilador de relaxação implementado. As cargas auxiliares utilizadas na comutação dos transistores Q_1 e Q_2 não foram representadas para simplificar o esquemático.	71
Figura 28 – Configuração utilizada para a caracterização do oscilador de relaxação em (a) e medidas da histerese de tensão e sinal quadrado de saída realizadas com alimentação de 0,25-V e polarização de corrente de 5-nA em (b).	72
Figura 29 – Leiaute do oscilador de relação utilizado.	73
Figura 30 – Configurações utilizadas para a caracterização do ASDM. Em (a) foram ligados sinais DC ao ASDM, enquanto em (b) foi aplicado um sinal senoidal à entrada do ASDM.	74
Figura 31 – Sinais de entrada, histerese de tensão e saída do modulador para uma profundidade de modulação nula em (a), $u=-0,5$ em (b) e $u=0,5$ em (c). Em (d) foi aplicada uma entrada senoidal $v_{in}(t)$ de 250-mV _{PP} de amplitude e 125-mV de modo comum com frequência 100-Hz.	76
Figura 32 – Sinal de saída do ASDM integrado com profundidade de modulação nula em (a), $u=-0,25$ em (b) e $u=0,25$ em (c).	78
Figura 33 – Espectro do sinal de saída do ASDM integrado para as profundidades de modulação $u(t)$ nula, -0,5 e 0,5, obtido através de uma FFT de 25-Hz de resolução e 25-MHz de taxa de amostragem.	79
Figura 34 – Espectro do sinal de saída do ASDM integrado na banda de interesse de 30-Hz, obtido através de uma FFT de 0,5-Hz de resolução e 500-kHz de taxa de amostragem.	79
Figura 35 – (a) Curava de resposta do algoritmo de recuperação de informação rodando em um hardware Arduino Uno a partir do sinal de um ASDM e (b) Medida da radiação solar do dia 16/03/2015 realizada na cidade de Itajubá-MG.	83
Figura 36 – Sinal quadrado estático.	85

Lista de tabelas

Tabela 1 – Características principais do SDM e ASDM.	33
Tabela 2 – Geometrias dos arranjos de transistores unitários.	63
Tabela 3 – Comparativo entre simulações e medidas.	66
Tabela 4 – Referências para o desempenho do OTA simétrico proposto.	69
Tabela 5 – Geometrias dos dispositivos realizados em leiaute distribuído.	73
Tabela 6 – Indicadores de desempenho do ASDM.	80

Lista de símbolos

ω_{0C}	Frequência angular natural do modelo completo
σ_e^2	Potência do ruído de quantização
β_1 e β_2	Coefficientes de Bessel
χ_{aS} e χ_{aD}	Regiões de fonte e dreno
δ_L	Espalhamento da região de depleção na fronteira do dreno
κ	Acoplamento do <i>gate</i> ao potencial de superfície
P_N	Potência do ruído
μ	Frequência do sinal de entrada
$\omega_C(t)$	Frequência angular instatânea do modelo completo
Ψ_s	Potencial de superfície
B	Número de bits
C_1, C_2 e C_3	Arranjo capacitivo
C_{dep}	Capacitância da região de depleção
C_{ox}	Capacitância do óxido
$e(n)$	Erro de quantização
f	Frequência
f_0	Frequência natural de oscilação
f_B	Banda base
f_N	Taxa de Nyquist
f_s	Frequência de amostragem
g_m	Transcondutância
H	Histerese de tensão
H_C	Histerese de tensão do modelo completo
i_D	Corrente de saturação

I_{off}	Corrente de <i>leakage</i>
$i_{D_{sat}}$	Corrente de saturação no dreno
K	Fator de sobreamostragem
k	Constante de Boltzmann
k'_n e λ	Parâmetros do processo de fabricação
L	Comprimento de canal
L_{eff}	Comprimento efetivo de canal
n	Numero inteiro
$N(f)$	Nível de densidade espectral de potência do ruído
q	Nível de quantização
Q_i	Camada de inversão
R_0	Resistência de saída do transistor
s_0	Banda base do sinal modulado
s_1	Primeira componente harmônica do sinal modulado
T	Periodo
t	Tempo
T_1 e T_2	Etapas de carga e descarga do arranjo capacitivo
$T_C(t)$	Período instantâneo do modelo completo
T_s	Período de amostragem
T_{0C}	Período natural de oscilação do modelo completo
T_{1C} e T_{2C}	Etapas de carga e descarga no modelo completo
$u_i(t)$	Sinal de entrada
u_m	Amplitude normalizada
u_m	Valor de pico de um sinal senoidal
U_T	Tensão térmica
V_1	Tensão ao final da etapa de descarga

V_2	Tensão ao final da etapa de carga
V_A	Tensão Early
v_B	Barreira para a injeção de elétrons no canal
v_D	Tensão de polarização do dreno
v_G	tensão de polarização do <i>gate</i>
V_T	Tensão de limiar
V_{CM}	Tensão de modo comum
v_{DS}	Tensão dreno-fonte
v_{GS}	Tensão <i>gate</i> -fonte
$v_{IN}(t)$	Tensão na entrada do ASDM proposto
W	Espessura do transistor
$x(n)$	Sinal digital
$x(t)$	Sinal analógico
$x^*(t)$	Sinal discreto
$y(n)$	Sinal de saída amostrado
ASDM	Modulador sigma-delta assíncrono
CMOS	Complementary Metal Oxide Semiconductor
DIBL	<i>Drain-induced Barrier Lowering</i>
DSP	Processador de sinais digitais
E	Expectativa estatística
ECG	Eletrocardiograma
EEG	Eletroencefalograma
GSM	<i>Global System for Mobile Communications</i>
LSB	Bit menos significativo
MOSFET	<i>metal-oxide semiconductor field-effect transisto</i>
OCR	Taxa de sobreciclo

OSR Taxa de sobreamostragem

OTA Amplificador operacional de transcondutância

PSW *Prolate spheroidal wave functions*

SCE Efeitos de canal curto

SDM Modulador sigma-delta síncrono

SNDR Relação sinal-ruído mais distorção harmônica

SNR Relação sinal-ruído

TDC *Time-to-digital converter*

Sumário

1	Introdução	18
1.1	Visão geral	18
1.2	Justificativas	19
1.3	Objetivos	20
1.4	Organização do trabalho	21
1.5	Notação	21
2	Revisão teórica	22
2.1	Conversores analógico-digitais convencionais	22
2.2	Ruído de quantização na conversão analógico-digital	23
2.3	Sobreamostragem e decimação	25
2.4	Modulação Σ - Δ	26
2.5	Efeitos de canal curto em transistores MOSFET	33
2.5.1	Modulação de comprimento de canal	33
2.5.2	DIBL	35
2.5.3	<i>Punch-Through</i>	35
2.6	Inversão fraca	36
2.6.1	Acionamento pelo substrato	39
2.6.2	Leiaute distribuído	39
3	O modulador Σ-Δ assíncrono proposto	45
3.1	Funcionamento	45
3.2	Modelo simplificado	46
3.3	Modelo completo	50
3.4	Análise de descasamento	57
3.5	Análise quase-estática	58
3.6	Relação sinal-ruído	59
4	Protótipo em processo digital IBM 130-nm	62
4.1	Amplificador operacional simétrico de transcondutância	62
4.2	Oscilador de relaxação	70
4.3	Modulador completo	71
5	Conclusões e trabalhos futuros	81
5.1	Conclusão	81
5.2	Trabalhos futuros	82
5.2.1	Recuperação de dados	82
5.2.2	Sensor de radiação solar	82

5.2.3	Sistema de transmissão de dados	82
	APÊNDICE A – Análise quase-estática	84
	APÊNDICE B – Artigos publicados em congressos e revistas	88
B.1	Artigos publicados em revista	88
B.2	Atigos publicados em congressos	88
B.2.1	Diretamente relacionados	88
B.2.2	Indiretamente relacionados	88
	Referências	90

1 Introdução

1.1 Visão geral

A tendência do mercado de aplicações biomédicas é o desenvolvimento de dispositivos móveis ou vestíveis, uma vez que proporcionam maior conforto e comodidade ao paciente. Estes dispositivos permitem, portanto, a realização de um simples monitoramento de rotina ou mesmo um exame mais detalhado de longa duração sem a necessidade de locomoção até uma clínica ou hospital, melhorando a qualidade de vida do paciente (1).

As principais aplicações são monitores portáteis de eletrocardiograma (ECG) (2, 3), eletroencefalograma (EEG) (4, 5, 6) e sensores ativos (7, 8, 9) que possuem as etapas de condicionamento do sinal biomédico em questão, conversão analógico-digital e transmissão dos dados (10). O advento das tecnologias de comunicação sem fio GSM ("*Global System for Mobile Communications*"), Bluetooth e Wi-fi permitiu que tais dispositivos utilizem a tecnologia embarcada atual dos *smartphones* ou *tablets* explorando seu poder de processamento para mostrar os resultados de um monitoramento ou mesmo enviá-los até uma central médica remota, reduzindo o tempo necessário para obtenção de um diagnóstico (11, 12).

Dentro desse contexto, o modulador Sigma-Delta Assíncrono (ASDM) pode ser utilizado tanto na etapa de conversão analógico-digital como na etapa de transmissão de dados. No primeiro caso os ASDMs são utilizados em conjunto com circuitos capazes de converter informação temporal em código binário (*TDC-Time Domain Converter*) para a realização de circuitos conversores analógico-digitais completos (13, 14, 15). No segundo caso, o sinal biomédico previamente condicionado passa por uma modulação de ciclo de trabalho característica do ASDM e é transmitido com ou sem fio (11). A recuperação da informação presente no sinal modulado pode ser realizada de forma analógica utilizando-se um simples filtro RC passa baixas (16) ou diretamente no domínio discreto através de algoritmos computacionais em processadores digitais de sinais (DSP) (13).

O ASDM estudado no presente trabalho converte a informação de um sinal analógico aplicado à sua entrada, através de variações no ciclo de trabalho, e na frequência de um sinal digital em sua saída. Não introduz ruído de quantização no sinal modulado uma vez que o processo de modulação assíncrona não requer sinais de sincronismo; apresenta um comportamento plano dentro da banda de interesse, ou seja, não apresenta a característica de *noise shaping* comum em moduladores $\Sigma\text{-}\Delta$ síncronos; e possui simples implementação (16).

Outra característica importante do ASDM é que implementações simples de primeira ordem apresentam desempenho equivalente ou até mesmo superior às de ordens superiores e mais complexas. Assim, uma arquitetura simples e que consome menos energia é naturalmente a melhor implementação do ASDM (17).

Outro aspecto importante é a recuperação da informação presente no sinal modulado que pode ser realizada através de algoritmos que utilizam apenas eventos temporais (18), ou dos que utilizam funções PSW ("*Prolate spheroidal wave functions*") (19), otimizados para aplicações biomédicas. Uma vez que os biopotenciais estão situados em uma faixa estreita de frequências que se inicia em algumas unidades de mHz e se estende até poucas centenas de Hz, uma banda larga não é necessária (10). Isso possibilita que aplicações biomédicas se beneficiem das características dos ASDMs acima mencionadas para a realização de sistemas de consumo energético extremamente baixos onde a informação ocorre na forma de picos rápidos.

Mesmo possuindo tantas características favoráveis à sua utilização, o sinal digital modulado através de um ASDM necessita ser amostrado em frequências muito altas para se obter alto desempenho nas figuras de mérito relacionadas à conversão analógica-digital, como relação sinal-ruído (SNR) e relação sinal-ruído mais distorção harmônica (SNDR) (16, 17). Essa particularidade se torna um grande problema em aplicações que necessitam de bandas largas (16, 17, 18), pois requerem que o ASDM trabalhe em frequências muito altas.

Assim, diferentes topologias de ASDMs vem sendo desenvolvidas na tentativa de reduzir a taxa de amostragem do sinal modulado (20). Outra abordagem para o problema consiste em realizar-se implementações de circuitos TDC que trabalhem em frequências inferiores mantendo alta resolução (13).

1.2 Justificativas

Os dispositivos móveis requerem baixo consumo energético e dimensões reduzidas a fim de serem alimentados através de baterias. Para tanto, tais dispositivos podem se beneficiar da utilização de processos modernos de fabricação de circuitos integrados em escala sub-micrométrica, nos quais, área e tensão de limiar dos transistores são reduzidos, acarretando na diminuição de sua tensão de polarização e no aumento de sua velocidade de operação. Essas características são muito interessantes para circuitos digitais, pois permitem o aumento da resolução temporal (operação em altas frequências) ao custo de um baixo consumo. Entretanto para os circuitos analógicos, a redução da tensão de alimentação representa uma diminuição da resolução disponível dentro da sua faixa de amplitude (21).

Uma maneira de se contornar o problema e ainda se beneficiar do aumento da

resolução temporal é a utilização de circuitos moduladores, como o ASDM, que são capazes de converter a informação contida na amplitude da tensão de um dado sinal analógico em uma informação temporal de um sinal digital. Como os biopotenciais estão situados em uma faixa estreita de frequências que se inicia em algumas unidades de mHz e se estende até poucas centenas de Hz (10), as aplicações biomédicas em geral não necessitam de bandas largas, permitindo a utilização de um ASDM com desempenho moderado.

As implementações de ASDMs em circuito integrado são baseadas em uma topologia de malha realimentada que envolve um filtro contínuo no tempo e um elemento *Schmitt-trigger* (16, 17, 18) e apresenta não-idealidades que prejudicam o desempenho do ASDM de maneira geral, como atraso de propagação de sinal (22) e distorção harmônica (23). Assim, o ASDM proposto apresenta uma nova topologia que substitui o *Schmitt-trigger* por um oscilador de relaxação baseado em inversores CMOS para minimizar tais efeitos, além de reduzir o consumo energético, uma vez que não requer polarização.

1.3 Objetivos

Dentro desse contexto, o presente trabalho comprova a tese de que *é possível realizar uma arquitetura de modulação Σ - Δ assíncrona sem comparador histerético, em ultra baixa potência para aplicações biomédicas*, em circuito integrado, que utiliza um processo de fabricação CMOS otimizado para circuitos digitais, a fim de se beneficiar de sua reduzida tensão de alimentação e grande resolução temporal.

Para tanto, se faz necessário:

- apresentar a teoria clássica da modulação assíncrona proposta em (16),
- discutir sobre o processo CMOS digital IBM de 130-nm, mostrando suas características e seu impacto no projeto de circuitos analógicos como o ASDM proposto;
- justificar a utilização das técnicas de polarização de transistores em inversão fraca, pares diferenciais acionados pelo substrato e leiaute distribuído em arranjo matricial para transistores halo-implantados utilizadas no protótipo do ASDM proposto;
- realizar a modelagem de uma topologia de circuito ASDM que opera segundo (16), e difere da topologia clássica apresentada em (17, 18, 22) a fim de proporcionar menor consumo energético;
- verificar a operação do protótipo em circuito integrado em conformidade com a modelagem desenvolvida;
- comprovar que o desempenho do protótipo do ASDM desenvolvido permite a utilização em aplicações biomédicas que requerem baixo consumo energético e resolução moderada em bandas de frequências reduzidas.

1.4 Organização do trabalho

O presente trabalho encontra-se organizado em cinco capítulos. No Capítulo 2 é feita uma revisão bibliográfica contendo os principais aspectos teóricos necessários para uma boa compreensão da tese proposta. Inicia-se com uma breve revisão sobre teoria da amostragem, seguindo com modulação Σ - Δ , onde são estudados os moduladores síncrono e assíncrono. Por fim, mostra os impactos dos efeitos de canal curto intrínsecos aos processos de fabricação CMOS sub-micrométricos e as técnicas de projeto utilizadas para superar ou minimizar tais efeitos.

O Capítulo 3 introduz o circuito proposto capaz de realizar um ASDM. Sua modelagem é descrita e são realizadas considerações acerca do efeito causado pelo descasamento de alguns componentes devido às variações comuns durante o processo de fabricação.

No Capítulo 4 é abordada a implementação em nível de circuito, mostrando os sub-circuitos utilizados, as montagens realizadas na caracterização e os principais indicadores de desempenho.

O Capítulo 5 resume as conclusões principais e propõe trabalhos futuros que podem ser realizados utilizando o ASDM proposto como base. Além disso são mostrados alguns resultados iniciais desses possíveis trabalhos obtidos em nível de iniciação científica.

1.5 Notação

Essa seção apresenta a notação utilizada no trabalho. Os sinais, que consistem de componentes DC+AC, são grafados em caixa baixa com índices em caixa alta, conforme, v_{IN} . As grandezas D.C. são grafadas em caixa alta com índices também em caixa alta, exemplo, V_{CM} . As componentes AC são grafadas em caixa baixa com índices também em caixa baixa, segundo o exemplo, $v_{in}(t)$.

Na modelagem do Capítulo 3 são calculadas várias tensões que ocorrem em intervalos distintos, representados pelas letras a,b,c,d,e,f,g,h e i; e constituem o sinal de tensão v_p de histerese. Essas tensões são grafadas em caixa alta com índices em caixa baixa, exemplo, V_{ab} .

2 Revisão teórica

Nesse capítulo são apresentados os tópicos teóricos necessários para uma boa compreensão do desenvolvimento deste trabalho. Inicia-se com uma breve revisão sobre teoria da amostragem, seguindo com modulação Σ - Δ , abordando os moduladores síncrono e assíncrono. Por fim, mostra-se o impacto dos efeitos de canal curto intrínsecos aos processos de fabricação CMOS sub-micrométricos e as técnicas de projeto utilizadas para superar ou minimizar tais efeitos.

2.1 Conversores analógico-digitais convencionais

Sinais, de maneira geral, podem ser classificados em duas categorias; sinais analógicos, $x(t)$, que podem ser definidos no domínio do tempo contínuo e sinais digitais, $x(n)$, que podem ser representados como uma sequência de números no domínio discreto. O índice temporal n de um sinal discreto $x(n)$ é um número inteiro definido por um intervalo de amostragem T .

Assim, um sinal discreto, $x^*(t)$ pode ser representado em termos da amostragem de um sinal contínuo $x(t)$ conforme

$$x^*(t) = \sum_{n=-\infty}^{\infty} x(t)\delta(t - nT), \quad (2.1)$$

em que $\delta(t) = 1$ para $t = 0$ e $\delta(t) = 0$ para os demais valores.

Um conversor analógico-digital transforma o sinal contínuo $x(t)$ em um sinal digital discreto, $x^*(t)$, em que cada amostra possui uma precisão finita. Cada amostra é então aproximada por um código digital, ou seja, $x(t)$ é transformado em amostras quantizadas $x(n)$. O processo de quantização introduz erros que são conhecidos por erros de quantização ou ruído de quantização.

O processo de conversão pode ser realizado segundo o critério da taxa de amostragem de Nyquist, f_N ou em sobreamostragem. Ambos amostram sinais analógicos que possuem frequência máxima inferior à metade da taxa de amostragem, ou seja, $f \leq f_s/2$, em que f_s representa a taxa de amostragem. Entretanto, os conversores sobreamostrados realizam o processo de amostragem à uma taxa muito superior, Kf_s , em que K representa o fator de sobreamostragem do conversor.

Analisando-se (2.1), nota-se que o termo $\delta(t - nT)$ é uma função periódica com período T , permitindo representar (2.1) através da série de Fourier segundo

$$x^*(t) = \frac{1}{T} \sum_{n=-\infty}^{\infty} x(t)e^{j2\pi f_s n t}. \quad (2.2)$$

A equação (2.2) mostra que a amostragem equivale a uma modulação do sinal de entrada por portadoras de frequências múltiplas da taxa de amostragem. Assim, o sinal amostrado pode ser representado no domínio da frequência como uma somatória do sinal original e sinais modulados em frequências múltiplas inteiras da taxa de amostragem, conforme mostrado nas Figuras 1a e 1b.

Dessa forma, sinais que possuem frequências superiores à de Nyquist não podem ser convertidos de maneira apropriada, pois dão origem a novos sinais na banda base que não estão presentes no sinal original. Esse fenômeno não-linear, conhecido como *aliasing* representa uma distorção no sinal original, conforme ilustrado na Figura 1b. Para evitar essa distorção deve-se utilizar um filtro passa baixas, conhecido como filtro anti-*aliasing* que deve possuir uma resposta plana ao longo da banda de frequências de interesse (banda base) e atenuar frequências superiores à de Nyquist de maneira que permaneçam abaixo do nível de ruído, conforme ilustrado nas Figuras 1c e 1d.

Os conversores convencionais também devem possuir um circuito de *sample-hold*. Mesmo que o sinal analógico de entrada seja alterado no tempo, a saída do circuito de *sample-hold* permanece constante entre duas amostragens consecutivas, de modo que o sinal possa ser quantizado adequadamente, pois permite que o conversor tenha o tempo necessário para comparar o sinal amostrado com um conjunto de níveis de referências internas.

2.2 Ruído de quantização na conversão analógico-digital

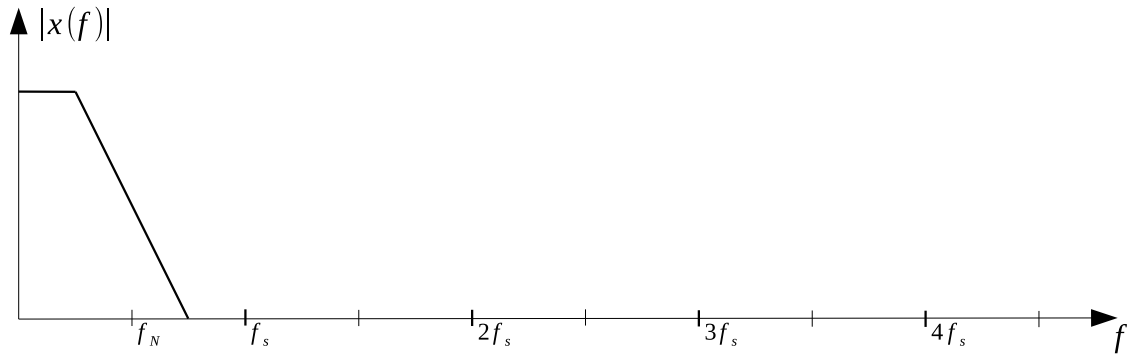
O processo de conversão de um sinal analógico, que por definição possui resolução infinita, em uma faixa finita de numeração é conhecido como quantização e introduz um erro que depende de como o sinal é aproximado. Geralmente, a amplitude desse erro é da ordem do bit menos significativo (LSB), muito pequeno quando comparado a sinais de fundo de escala. Entretanto, diminuindo-se a amplitude do sinal entrada, o erro de quantização se torna uma porção significativa do sinal total.

Quando o sinal de entrada é amostrado para se obter a sequência $x(n)$, cada valor é codificado utilizando-se palavras de tamanhos finitos de B bits. Assim, o número total de níveis disponíveis para a quantização $x(n)$ é 2^B e o intervalo entre níveis sucessivos, q , é dado por

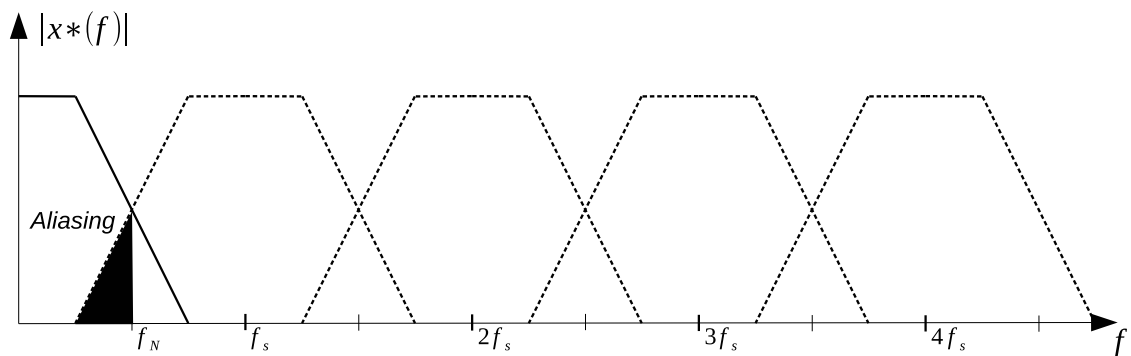
$$q = \frac{1}{2^B - 1}, \quad (2.3)$$

que é conhecido como nível de quantização. O valor de entrada amostrado $x^*(t)$ é então arredondado para o nível de quantização mais próximo. Assim, a saída de um conversor analógico-digital pode ser representada pela somatória do sinal amostrado atual $x^*(t)$ com o erro de quantização $e(n)$,

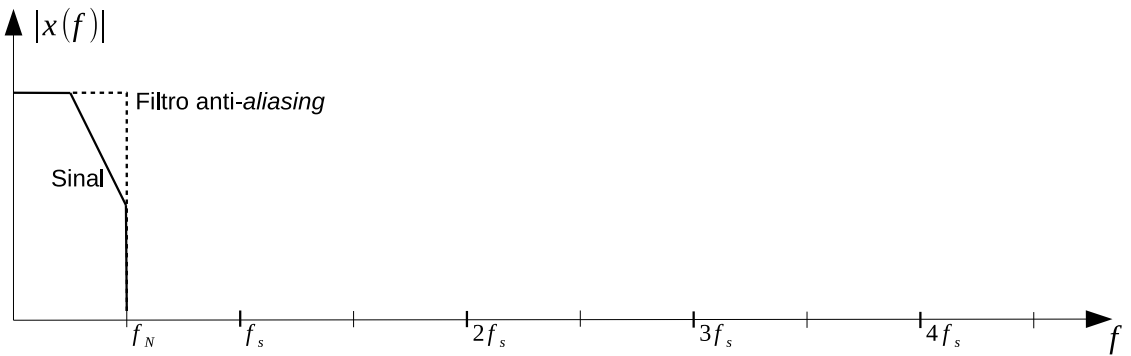
$$x(n) = x^*(t) + e(n). \quad (2.4)$$



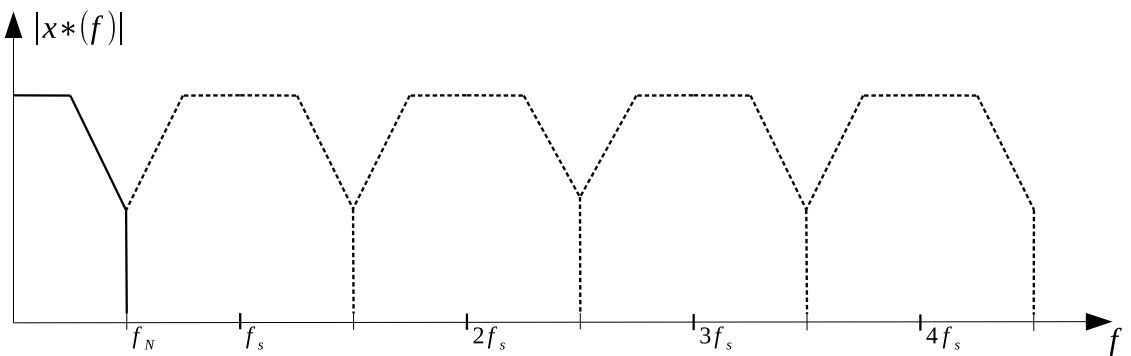
(a) Espectro de um sinal analógico não limitado em banda.



(b) Espectro da amostragem de um sinal não limitado em banda.



(c) Espectro de um sinal analógico com banda limitada.



(d) Espectro da amostragem de um sinal com banda limitada.

Figura 1 – Espectro de sinais analógicos e amostrados.

Para um sinal de entrada considerado grande quando comparado ao nível de quantização do bit menos significativo, o termo $e(n)$ é uma quantidade aleatória dentro do intervalo $(-q/2, q/2)$ com igual probabilidade. Assim, a potência do ruído (variância), σ_e^2 é dada por

$$\sigma_e^2 = \mathbf{E}[e^2] = \frac{1}{q} \int_{-q/2}^{q/2} e^2 de = \frac{q^2}{12}, \quad (2.5)$$

em que \mathbf{E} representa a expectativa estatística. Como a potência do ruído de quantização está igualmente distribuída ao longo de toda a faixa de frequências, o nível da densidade espectral de potência do ruído pode ser representado por $N(f)$,

$$N(f) = \frac{q^2}{12f_s}, \quad (2.6)$$

mostrando que o ruído de quantização se torna menor com o aumento da frequência de amostragem f_s .

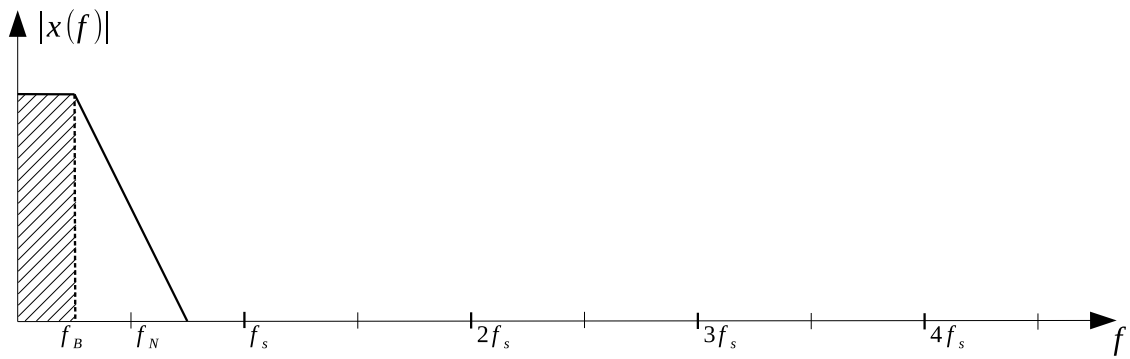
2.3 Sobreamostragem e decimação

O processo de amostragem realizado por um conversor analógico-digital operando à taxa de Nyquist é diferente do realizado por um conversor que opera em sobreamostragem. Enquanto o primeiro realiza a quantização com a precisão máxima em uma única amostragem, o segundo utiliza uma sequência de dados grosseiramente quantizados a uma alta taxa de amostragem Kf_s , seguida por um processo de decimação no domínio digital que possui a finalidade de melhorar a precisão estimada do valor amostrado em uma taxa da amostragem inferior f_s .

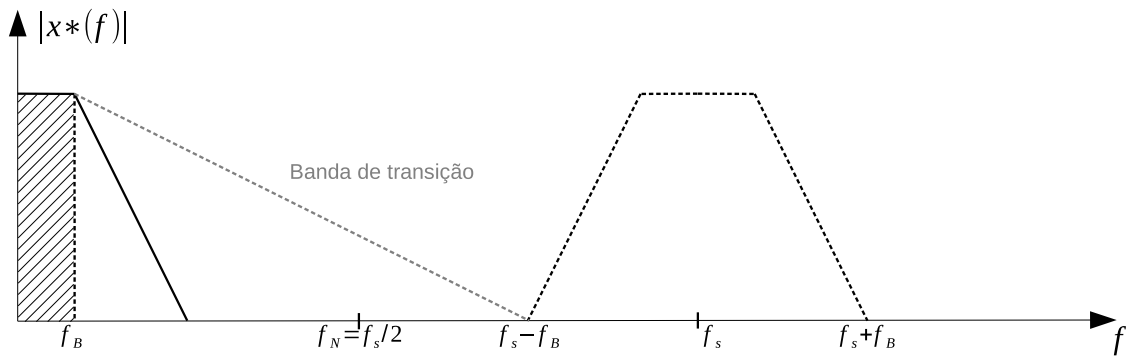
Independentemente do processo de quantização, a sobreamostragem apresenta benefícios diretos para o filtro anti-aliasing. A Figura 2 compara os requisitos dos filtros anti-aliasing para conversores analógicos-digitais operando com fatores de sobreamostragem unitário e K vezes superior. A amostragem segundo a taxa de Nyquist implica na utilização de filtros anti-aliasing com banda de transição estreita para proporcionar proteção sem comprometer a banda de interesse f_B , como ilustrado na Figura 2a. A sobreamostragem permite a utilização de filtro anti-aliasing com banda de transição mais larga, pois a proteção se faz necessária para a banda de frequências situadas entre $f_s - f_B$ e $f_s + f_B$, conforme mostrado na Figura 2b.

Como a complexidade do filtro anti-aliasing é uma função tanto de sua banda de transição quanto de sua banda de passagem, os conversores sobreamostrados necessitam de filtros mais simples que os conversores que operam à taxa de Nyquist.

Os benefícios da sobreamostragem se estendem além da simplificação das especificações do filtro anti-aliasing. Através da decimação, que representa uma redução da



(a) Conversor operando à taxa de Nyquist



(b) Conversor operando em sobreamostragem

Figura 2 – Resposta em frequência de filtros anti-aliasing analógicos.

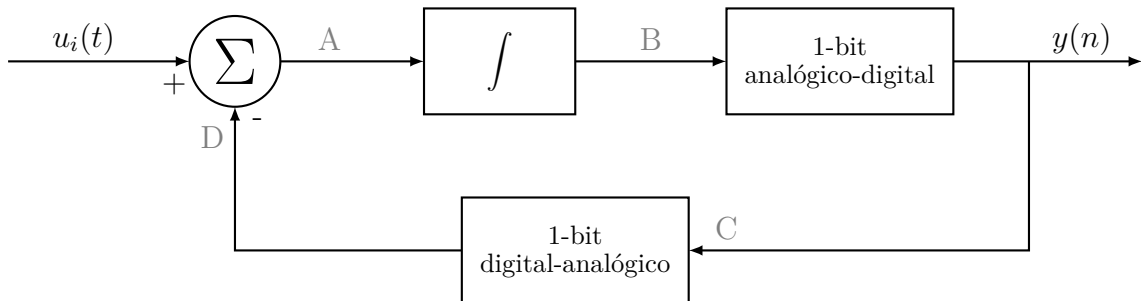


Figura 3 – Diagrama de blocos de um modulador Σ - Δ genérico.

frequência de amostragem, obtém-se um aumento de resolução pois o ruído presente nas frequências superiores à de Nyquist, f_N , é descartado.

2.4 Modulação Σ - Δ

A Figura 3 mostra o diagrama de blocos de um modulador Σ - Δ genérico, representado como uma malha realimentada contendo um elemento integrador (Σ), um elemento somador (Δ), um estágio de conversão analógico-digital e outro de conversão digital-analógico.

Assumindo um sinal DC $u_i(t)$ na entrada do modulador, o ponto A computa a

diferença entre o sinal de entrada e o sinal $y(n)$ de saída. Na situação em que o sinal de entrada é maior que o sinal de saída, o integrador cria uma rampa crescente no ponto B que é então convertida em um nível lógico alto (ponto C). Na situação em que o sinal de saída é superior ao sinal de entrada, o integrador gera uma rampa decrescente no ponto B que é convertida em um nível lógico baixo (ponto C). O sinal presente na saída (ponto C) passa por uma conversão digital-analógica e é então realimentado no elemento somador (ponto D).

A saída $y(n)$ do modulador é um sinal quadrado composto por uma sequência de níveis lógicos baixos (zeros digitais) e altos (uns digitais) que carrega a informação do valor médio do sinal de entrada $u_i(t)$.

A Figura 4 mostra os sinais de entrada $u_i(t)$ e saída $y(n)$ de um modulador Σ - Δ de primeira ordem. Enquanto o sinal senoidal de entrada $u_i(t)$ se aproxima do valor máximo de fundo de escala, a saída do modulador $y(n)$ é positiva. O oposto ocorre quando o sinal senoidal de entrada $u_i(t)$ se aproxima do valor mínimo de fundo de escala. Em ambos os casos, a média local do sinal de saída $y(n)$ do modulador segue o sinal analógico de entrada $u_i(t)$. Quando o sinal de entrada $u_i(t)$ possui valor próximo a zero, o sinal de saída $y(n)$ varia rapidamente entre os valores mínimo e máximos de fundo de escala.

Os moduladores Σ - Δ podem ser classificados em síncronos SDMs, ou assíncronos ASDMs, segundo a implementação da etapa de conversão analógico-digital. Nos SDMs a conversão analógico-digital ocorre através de um elemento comparador síncrono em que a conversão é sobreamostrada e ocorre a uma taxa Kf_s . Nos ASDMs a conversão analógico-digital é realizada através de um comparador que possui uma dada histerese, conhecido como *Schmitt trigger*, que não necessita de sinal de sincronismo.

Com relação à construção, os SDMs podem ser de tempo contínuo, CT, em que o integrador é realizado através de um filtro contínuo, ou discreto, DT, em que o integrador é realizado através de capacitores chaveados. Os ASDMs podem ser apenas de tempo contínuo, conforme ilustrado na Figura 5 que resume a classificação dos moduladores Σ - Δ .

De acordo com (24), o ruído de quantização de um modulador síncrono de primeira ordem é dado por

$$q_{rms}^2 = \frac{\pi^2 e_{rms}^2}{3(OSR)^3}, \quad (2.7)$$

em que e pode ser aproximado pelo ruído branco de valor $e_{rms}^2 = \Delta^2/12$, em que Δ é o passo do quantizador. A taxa de sobreamostragem OSR é representada por

$$OSR = \frac{f_s}{f_B}, \quad (2.8)$$

em que f_B é a frequência máxima do sinal de entrada e f_s é a frequência de amostragem do modulador.

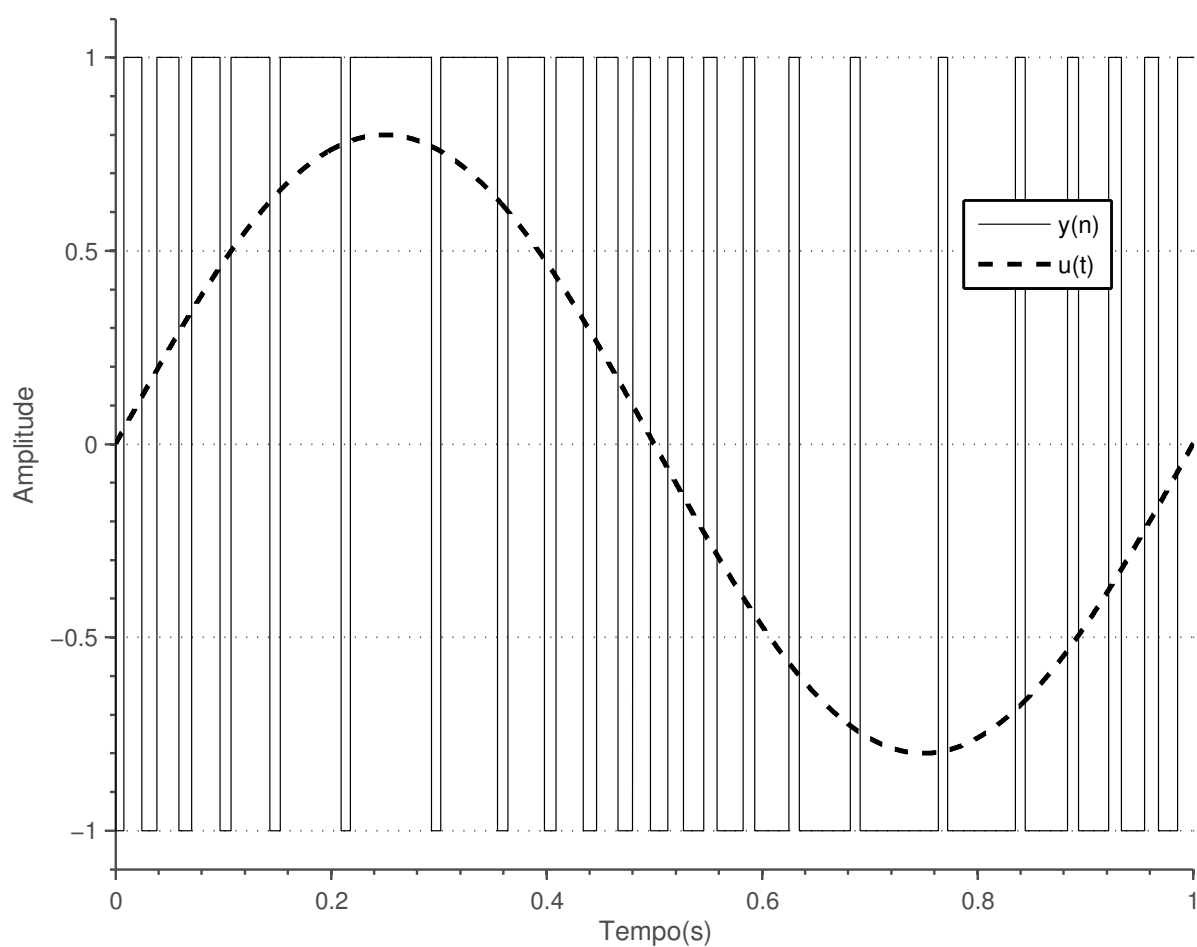


Figura 4 – Entrada e saída de um modulador Σ - Δ de primeira ordem.

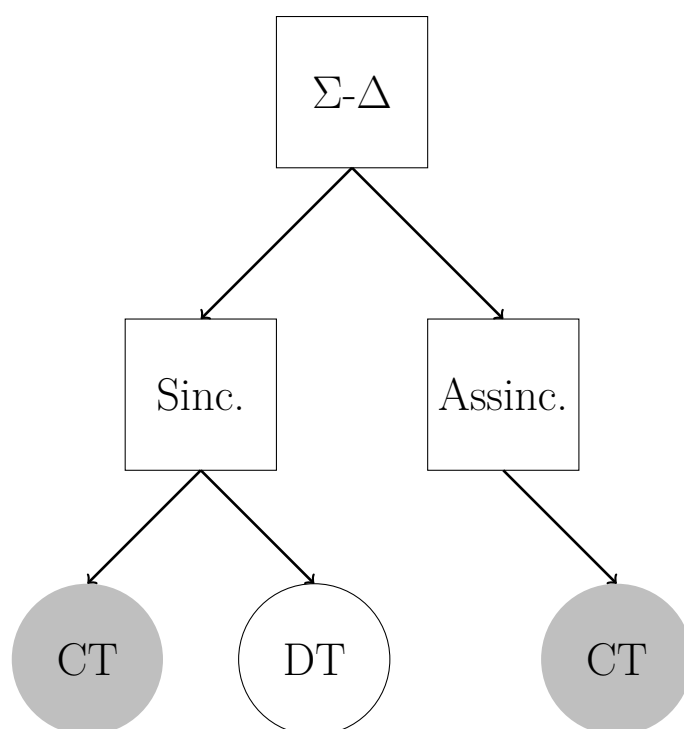


Figura 5 – Diagrama ilustrativo da classificação dos SDMs e ASDMs.

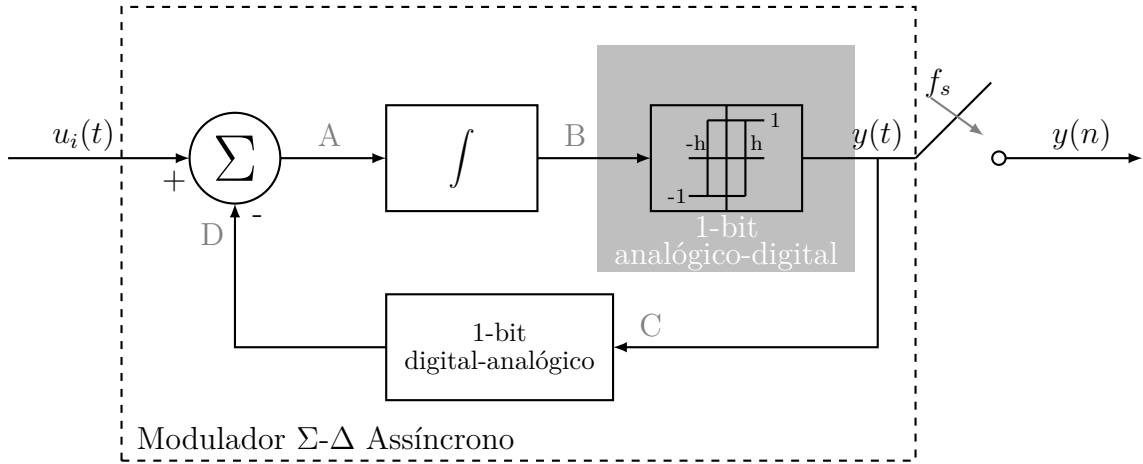


Figura 6 – Diagrama de blocos do ASDM.

Ainda segundo (24), a relação sinal-ruído SNR de um modulador síncrono de primeira ordem é definida por

$$\text{SNR} = \frac{9u_m^2(\text{OSR})^3}{2\pi^2}, \quad (2.9)$$

em que u_m é o valor de pico de um sinal senoidal de entrada. A equação (2.9) mostra que a relação sinal-ruído aumenta em 9-dB quando OSR é dobrado, exigindo altos valores de OSR para aumentar a SNR.

Nos ASDMs, o integrador é geralmente implementado através de um filtro contínuo no tempo e o estágio de conversão analógico-digital é realizado por um *Schmitt trigger* que não necessita de sinal de sincronismo, conforme ilustrado no diagrama de blocos da Figura 6.

A grande diferença com relação ao SDM é que não há amostragem na malha realimentada do ASDM, ou seja, o sinal de saída $y(t)$ não apresenta ruído de quantização. Na prática isso faz com que o espectro do sinal de saída amostrado $y(n)$ não apresente *noise shaping*. A Figura 7 ilustra os espectros de saída de um ASDM de primeira ordem e de SDMs de primeira e segunda ordens. Nota-se que no ASDM a banda apresenta um comportamento plano e livre de ruído de quantização, enquanto os SDMs apresentam o efeito de *noise shaping* devido ao ruído de quantização presente no processo de modulação.

Os ASDMs apresentam dois tipos de modulação, uma de ciclo de trabalho

$$\frac{\alpha(t)}{T} = \frac{u(t) + 1}{2}, \quad (2.10)$$

e outra em frequência,

$$\frac{\omega}{\omega_0} = 1 - u^2(t), \quad (2.11)$$

em que α/T representa o ciclo de trabalho, ω representa a frequência angular instantânea, ω_0 representa a frequência angular central de oscilação e $u(t) = u_i(t)/y(t)$ representa a

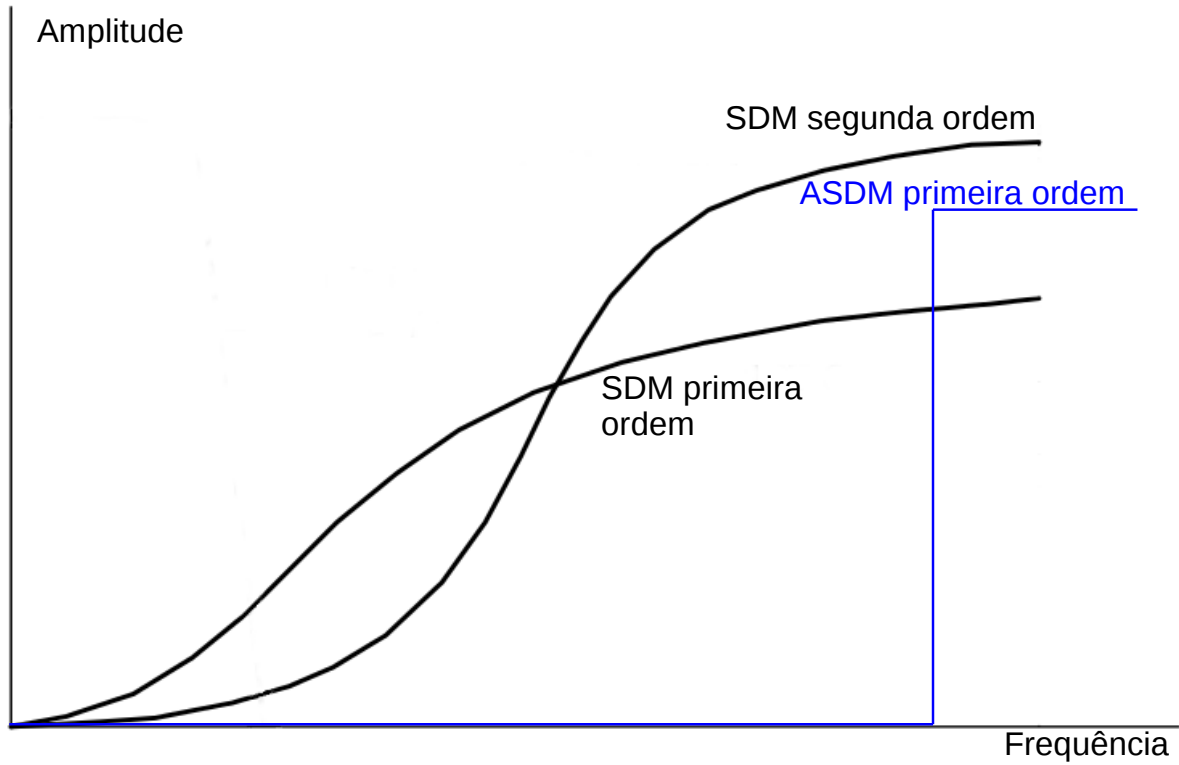


Figura 7 – Comparativo entre os espectros de saída de ASDM e SDMs de primeira e segunda ordens.

profundidade de modulação (16). Além disso, (16) mostra que aplicando-se um sinal

$$u(t) = u_m \cos(\mu t) \quad (2.12)$$

à entrada do ASDM, seu sinal modulado apresenta uma banda base

$$s_0(t) = 1 - 2\frac{\alpha}{T} \quad (2.13)$$

em que ocorre a recuperação do sinal de entrada no termo α/T . O sinal modulado também apresenta componentes harmônicas de ordem superior, em que o pior caso ocorre na primeira harmônica

$$s_1(t) = \frac{2}{\pi} \sum_{-\infty}^{\infty} \sum_{-\infty}^{\infty} J_m(\beta_1) J_{2n}(\beta_2) \cos\left(m\frac{\pi}{2}\right) \times \cos(\omega'_0 t + (2n + m)\mu t), \quad (2.14)$$

na qual,

$$\omega = \left(1 - \frac{u_m^2}{2}\right) \omega_0$$

e

$$\beta_1 = u_m \frac{\pi}{2}, \quad \beta_2 = \frac{\omega_0 u_m^2}{4\mu}.$$

A equação (2.14) mostra que a primeira componente harmônica contém componentes espectrais distribuídas ao redor de uma frequência central ω_0 cujas amplitudes são

funções de Bessel. Dessa maneira, um bom projeto deve possuir um valor de ω_0 grande o suficiente para separar as componentes significativas de $s_1(t)$ da banda base $s_0(t)$.

Nota-se também que a frequência de oscilação ω é deslocada em função da amplitude do sinal modulante u_m e que apenas as componentes harmônicas pares do sinal modulante $u(t)$ contribuem para o espectro de potência.

Conforme discutido anteriormente, o sinal de saída $y(t)$ do ASDM não apresenta ruído de quantização, uma vez que o mesmo não utiliza o processo de amostragem em sua operação. Entretanto, em diversos tipos de aplicações, como por exemplo um conversor analógico-digital, o sinal de saída $y(t)$ do modulador assíncrono será amostrado a uma taxa f_s , causando portanto um erro $e(n)$ no sinal amostrado, como mostrado na Figura 8. Na parte superior está ilustrado o sinal de saída do modulador $y(t)$. O sinal amostrado $y(n)$ está representado na parte central, e o erro $e(n) = y(n) - y(t)$ está mostrado na parte inferior.

Conforme discutido na Seção 2.2, o erro pode ser entendido como um ruído de quantização causado pelo processo de amostragem do sinal de saída $y(t)$. Entretanto, para se realizar uma estimativa do valor desse ruído de quantização dentro de uma banda de frequências de interesse, devem ser respeitadas as seguintes considerações:

1. A área dos pulsos do sinal de erro $e(t)$ é uma quantidade aleatória e está distribuída de maneira uniforme entre 0 e $2T_s$, pressupondo que não exista correlação entre a frequência de amostragem $1/T_s$ e as frequências modulantes.
2. O formato exato dos pulsos de erro é irrelevante, sendo relevante somente a área dos mesmos. Essa simplificação é justificada pelo fato de a banda de frequências de interesse ser muito inferior comparada à taxa de repetição dos pulsos de erro.

Conforme mostrado na Figura 8, o sinal de erro é um trem de pulsos com polaridades alternadas. De acordo com a segunda consideração, dois pulsos de erro consecutivos, que definem o erro máximo possível, podem ser combinados em um único pulso de erro de área uniformemente distribuída entre $-2T_s$ e $2T_s$.

Assumindo as considerações anteriores, (16) mostra que a potência total P_N do ruído de quantização ao longo de uma banda de interesse f_B é dada por

$$P_N = \frac{8}{3} f_0 T_s^2 f_B \quad (2.15)$$

e que a relação sinal-ruído é expressa por

$$\text{SNR} = \frac{3(2f_B T_0)}{8(2f_B T_s)^2} \quad (2.16)$$

para um sinal $u_m = 1$ na entrada.

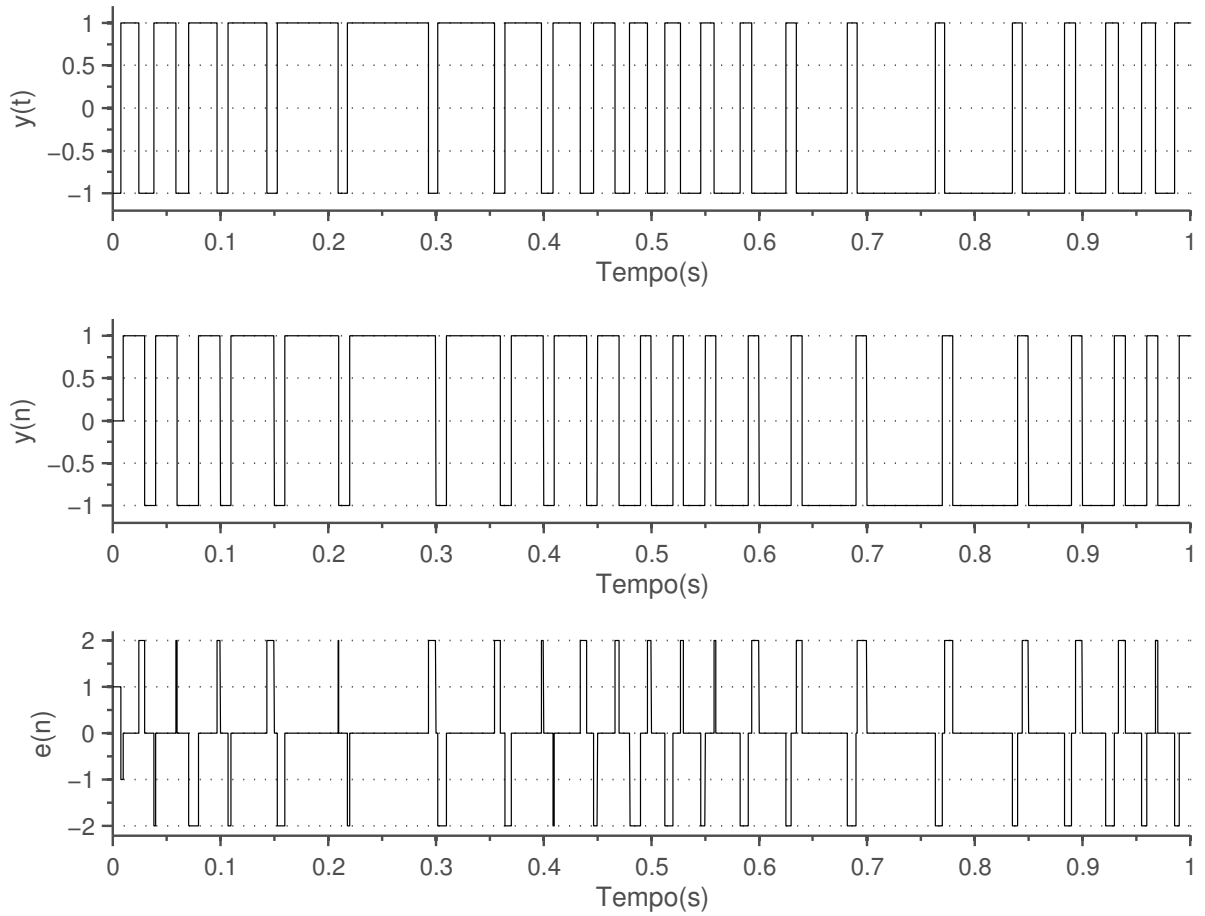


Figura 8 – Processo de amostragem do sinal de saída do modulador Σ - Δ .

Considerando-se o parâmetro de sobre-ciclo OCR dado por f_0/f_B mostrado em (13), e reagrupando os termos, a relação sinal-ruído pode ser reescrita conforme

$$\text{SNR} = \frac{3}{8} \frac{f_s^2}{f_B^2 \text{OCR}}, \quad (2.17)$$

mostrando que a SNR do ASDM pode ser controlada diretamente através da frequência de amostragem f_s .

A Tabela 1 resume as características principais do SDM e ASDM, mostrando que, diferente do SDM, a SNR do ASDM pode ser melhorada através do aumento da frequência de amostragem f_s sem alterar sua característica de OCR. Assim, não é necessário alterar as características de operação do ASDM. Essa característica é discutida em (17), mostrando que um ASDM de primeira ordem pode obter desempenho semelhante ou até mesmo superior ao de um ASDM de segunda ordem através do aumento da frequência de amostragem f_s do sinal modulado, concluindo que ASDMs de ordens superiores não são necessários. Uma vez que um ASDM de primeira ordem apresenta maior simplicidade e, portanto, menor consumo energético, melhor desempenho dinâmico, não apresentando *noise shaping*, será desenvolvido nesse trabalho um circuito capaz de realizar um ASDM de primeira ordem.

Conforme discutido em (16, 17, 18), aplicações que possuem bandas de interesse f_B largas, necessitam amostrar o sinal do ASDM em uma frequência muito alta, inviabilizando sua utilização. Entretanto em aplicações biomédicas de bandas de interesse estreitas, o ASDM pode ser utilizado aproveitando-se sua simplicidade e baixo consumo de potência, justificando, portanto sua escolha no presente trabalho.

Tabela 1 – Características principais do SDM e ASDM.

	SDM	ASDM
<i>Noise Shaping</i>	Sim	Não
OSR / OCR	f_s/f_B	f_0/f_B
SNR	$\frac{9u_m^2(\text{OSR})^3}{2\pi^2}$	$\frac{3f_s^2}{8f_B^2\text{OCR}}$

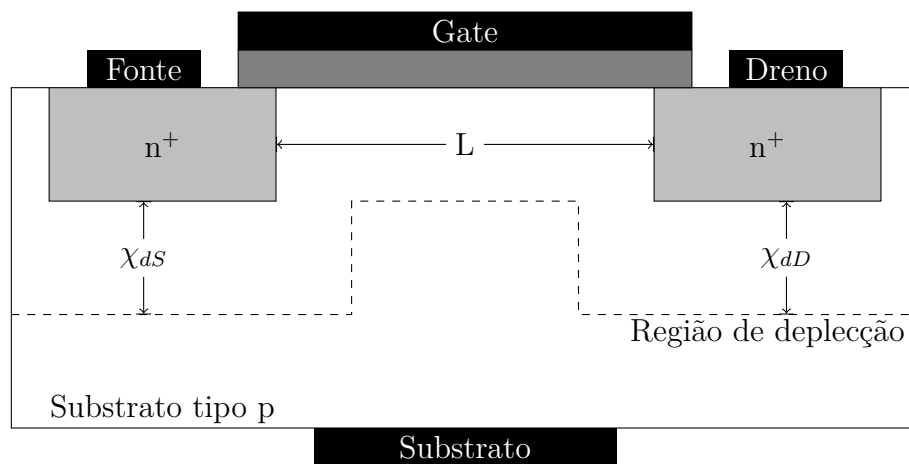
2.5 Efeitos de canal curto em transistores MOSFET

O canal de um transistor é considerado curto quando seu comprimento L possui a mesma ordem de magnitude das espessuras das camadas de depleção das regiões de fonte χ_{dS} e dreno χ_{dD} , conforme ilustrado na Figura 9a (25). A redução do comprimento de canal, que possibilita tanto o aumento da velocidade de operação do dispositivo como o aumento da quantidade de dispositivos por circuito integrado, também dá origem aos efeitos de canal curto, conhecidos por SCE (*Short Channel Effects*). Esses efeitos afetam a operação dos transistores de canal curto quando comparada a dos dispositivos de canais longos, podendo muitas vezes degradá-la (21).

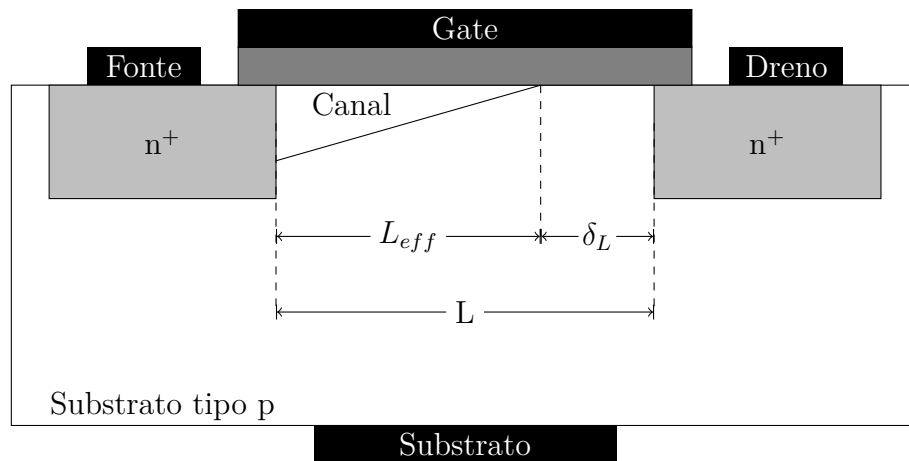
2.5.1 Modulação de comprimento de canal

Para canais longos, a condutância de saturação é próxima de zero, assumindo que o espalhamento da região de depleção na fronteira do dreno, δ_L , pode ser desconsiderada quando comparada ao comprimento total do canal. Nos dispositivos de canal curto, δ_L constitui uma fração considerável do comprimento de canal, como ilustrado na Figura 9b. Uma vez que os portadores de carga se deslocam através da região de depleção na velocidade de saturação, a contribuição de δ_L para a resistência de canal é mínima, podendo ser desconsiderada.

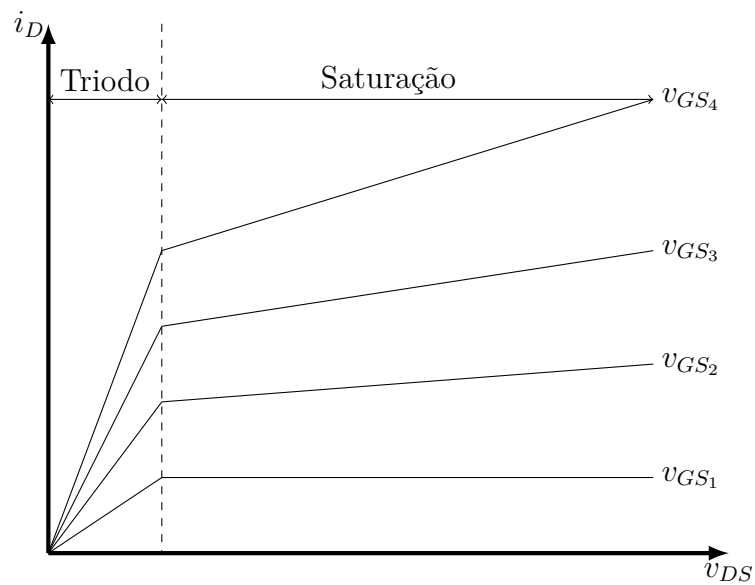
Dessa maneira, pode ser definido um comprimento de canal efetivo, L_{eff} , que se estende desde a região de fonte até o ponto de estrangulamento (*pinch-off*). Uma vez que δ_L aumenta com o aumento da tensão de polarização do dreno v_D , L_{eff} diminui e a



(a)



(b)



(c)

Figura 9 – Definição de canal curto em (a), efeito de estrangulamento do canal em (b) e inclinação nas curvas $i_D \times v_{DS}$ devido à modulação de canal em (c).

corrente de saturação i_D aumenta, conforme

$$i_D = \frac{1}{2} k'_n \frac{W}{L} (v_{GS} - V_T)^2 (1 + \lambda v_{DS}), \quad (2.18)$$

para um transistor nMOS, em que W representa a espessura do transistor, v_{GS} a tensão entre *gate* e fonte, v_{DS} a tensão entre dreno e fonte, V_T a tensão de limiar, k'_n e λ representam parâmetros do processo de fabricação e λv_{DS} é diretamente proporcional a δ_L . Esse efeito se manifesta através de um aumento na inclinação das curvas características i_D x v_{DS} com uma tensão de *gate*-fonte, v_{GS} , constante (26), conforme mostrado na Figura 9c.

2.5.2 DIBL

O aumento de tensão de dreno v_D em um transistor de canal curto faz com que as linhas de campo elétrico que saem da região do dreno se estendam até a região da fonte, reduzindo a barreira para a injeção de portadores minoritários na região da fonte, diminuindo assim a tensão de limiar V_T . Esse efeito é conhecido como DIBL (*Drain-induced Barrier Lowering*).

A junção dreno-substrato representa uma barreira v_B para a injeção de elétrons na região do canal. Em transistores de canal longo, a barreira v_B é plana ao longo da maior parte do canal de modo que o campo elétrico na região do dreno não interfere na região da fonte. Dessa maneira, o transistor passa a ser controlado pela tensão de *gate*. Aumentando-se gradualmente a tensão de *gate*, a barreira v_B diminui também de maneira gradativa, ativando o transistor na condição em que a tensão de *gate* supera a tensão de limiar.

A redução do comprimento de canal faz com que o campo elétrico presente na região do dreno alcance a barreira v_B na região do substrato, diminuindo-a de maneira a permitir a injeção de elétrons da região da fonte para o canal. Assim, um transistor de canal curto não é controlado exclusivamente pela tensão presente em seu *gate*. A corrente de dreno i_D aumenta exponencialmente com a tensão de dreno v_D fazendo com que uma menor tensão de *gate* seja necessária para ativar o dispositivo, ou seja, ocorre uma redução da tensão de limiar do dispositivo.

2.5.3 Punch-Through

O mesmo mecanismo que reduz a tensão de limiar é o responsável pelo efeito de *punch-through*. A diferença entre eles está no comportamento do *gate*. Como a tensão de limiar V_t é reduzida, a corrente de *leakage* I_{off} aumenta, conforme esperado de sua relação exponencial com V_t . Na situação de canais muito curtos e aumento da tensão de polarização do dreno, v_D , cargas positivas presentes na região do dreno são refletidas diretamente para a região da fonte, induzindo o transporte de elétrons da região da fonte

em direção ao dreno sem a contribuição do *gate*. Isso faz com que uma corrente adicional conhecida por corrente de *punch-through* seja superposta à corrente I_{off} . A condição de ocorrência do *punch-through* pode ser definida como a polarização que faz com que as regiões de depleção da fonte χ_{dS} e do dreno χ_{dD} se meschem.

Com a finalidade de combater os efeitos de canal curto, várias técnicas de engenharia de canal são aplicadas em nível de processo de fabricação. A técnica de halo-implantes ou *pocket implants* será discutida devido sua utilização no processo CMOS IBM cmrf8sf utilizado nesse trabalho.

2.6 Inversão fraca

Essa seção explora o comportamento do transistor MOSFET no regime sub-limiar, no qual o canal se encontra fracamente invertido. Possibilitando modelar o comportamento de transistores operando com pequenas tensões no *gate* v_G , situação na qual o modelo de inversão forte erroneamente prevê uma corrente de dreno i_D nula.

O modelo de inversão forte do transistor MOSFET assume que a carga da camada de inversão Q_i possui valor nulo quando a tensão do gate v_G é inferior a tensão de limiar V_t , conforme mostrado em linhas contínuas na Figura 10. Entretanto isso não é verdade, pois abaixo da tensão de limiar, a carga da camada de inversão Q_i do canal diminui exponencialmente com a diminuição da tensão de *gate* v_G , conforme ilustrado em linhas tracejadas no eixo secundário da Figura 10.

Como a carga Q_i é muito pequena, não ocorre a formação do canal entre as regiões de dreno e fonte do transistor. Dessa maneira a corrente de dreno i_{DS} do transistor flui através do processo de difusão dos portadores de carga e não pelo processo de deriva que caracteriza a operação em inversão forte.

A carga da camada de inversão no canal Q_i é uma função exponencial do potencial de superfície Ψ_s que possui um comportamento plano, ou seja, não varia ao longo do comprimento de canal. O potencial de superfície Ψ_s pode ser modelado de acordo com o divisor capacitivo entre a capacitância do óxido C_{ox} e a capacitância da região de depleção C_{dep} , segundo

$$\Psi_s = \kappa v_G \quad (2.19)$$

em que

$$\kappa = \frac{C_{ox}}{C_{ox} + C_{dep}}$$

representa o acoplamento do *gate* ao potencial de superfície.

Como a capacitância da região de depleção C_{dep} se mantém relativamente constante na inversão fraca, o coeficiente de acoplamento κ também é considerado constante. Nos processos CMOS modernos, κ varia entre 0,6 e 0,8 e pode possuir valores ligeiramente

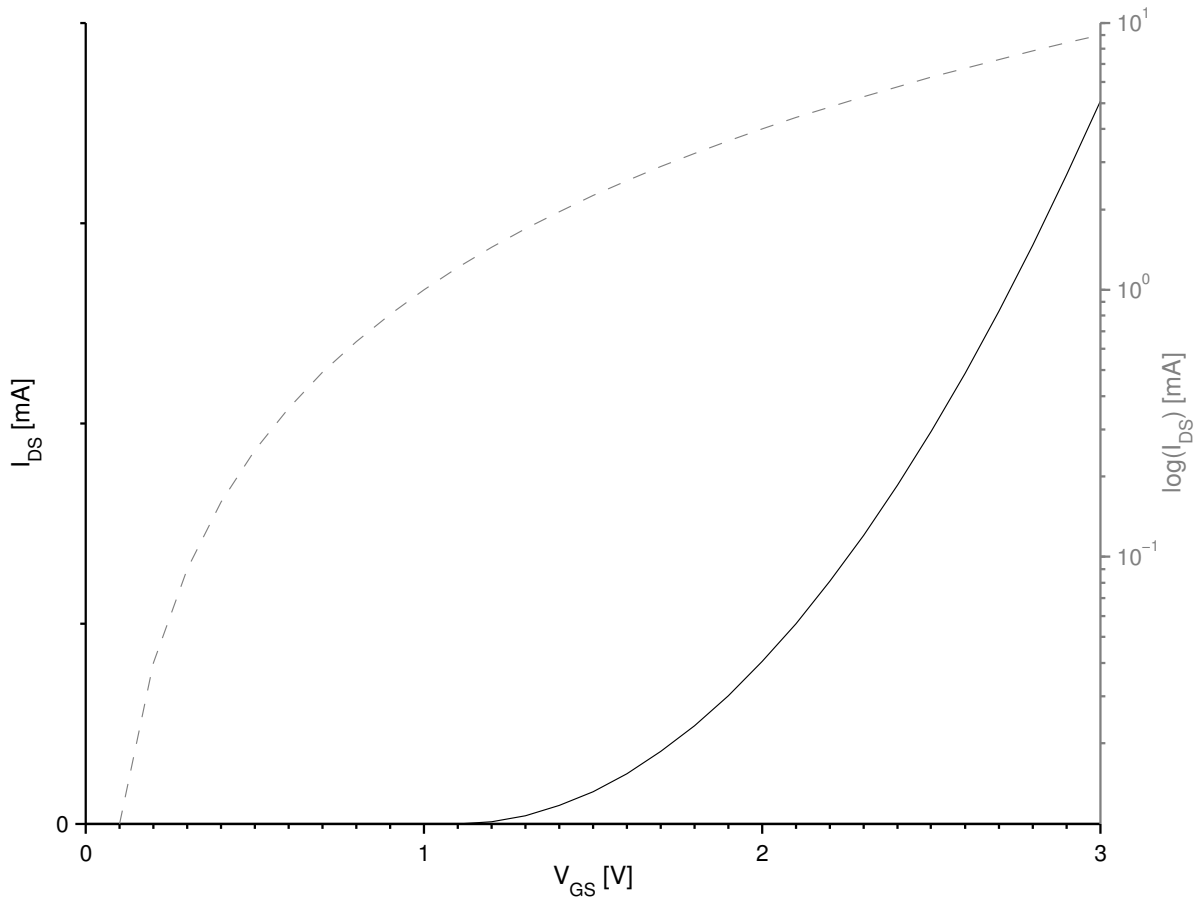


Figura 10 – Curva característica $I_{DS} \times V_{GS}$ do transistor MOSFET com eixo das ordenadas em escala logarítmica.

diferentes para transistores pMOS e nMOS. Uma boa aproximação para κ quando não se possui o valor exato é dada por $\kappa \cong 0,7$. Alguns textos utilizam a n ou ζ invés de κ , em que $n = \zeta = (1/\kappa) \cong 1,4$.

Considerando-se o caso em o transistor opera com $v_{DS} > 0$, a concentração de portadores é maior na região em que a fonte encontra o canal e menor na região em que o dreno encontra o canal. Dessa maneira a corrente flui no sentido da fonte para o dreno do transistor. As concentrações de carga nas regiões de fonte e dreno são dadas por

$$|Q'_{iS}| \propto \exp\left(\frac{v_S - \kappa v_G}{U_T}\right) \quad \text{e} \quad |Q'_{iD}| \propto \exp\left(\frac{v_D - \kappa v_G}{U_T}\right), \quad (2.20)$$

em que U_T representa a tensão térmica que na temperatura ambiente é expressa por

$$U_T = \frac{kT}{q} \cong 26\text{mV}.$$

Uma vez que o movimento das partículas é proporcional ao gradiente de concentração, e que a concentração de elétrons diminui de maneira linear a partir da fonte até o dreno, a corrente de dreno pode ser expressa de maneira genérica segundo

$$i_D = -\frac{W}{L} \mu_n U_T (Q'_{iS} - Q'_{iD}), \quad (2.21)$$

em que μ_n representa a mobilidade dos elétrons em um transistor nMOS. Considerando a operação na região de inversão fraca, a corrente que flui no dreno é representada por

$$i_D = I_S \frac{W}{L} \exp\left(\frac{\kappa V_G}{U_T}\right) \left[\exp\left(\frac{-V_S}{U_T}\right) - \exp\left(\frac{-V_D}{U_T}\right) \right], \quad (2.22)$$

em que I_S é uma constante dependente do processo de fabricação. Para transistores nMOS é representada por

$$I_{Sn} \equiv \frac{2\mu_n C_{ox} U_T^2}{\kappa} \exp\left(\frac{-\kappa V_t}{U_T}\right). \quad (2.23)$$

A equação (2.22) pode ser reescrita de maneira simplificada em termos do fator de inclinação n , segundo

$$i_D = I_S \frac{W}{L} \exp\left(\frac{qv_{GS} - v_t}{nkT}\right) \left[1 - \exp\left(\frac{-qv_{DS}}{kT}\right) \right]. \quad (2.24)$$

A saturação em inversão fraca ocorre quando $v_{DS} > 3U_T \cong 80$ mV, ou seja, o segundo termo exponencial da equação (2.24) se torna muito próximo de zero, podendo ser desconsiderado. Dessa maneira (2.24) se torna

$$i_D = I_S \frac{W}{L} \exp\left(\frac{qv_{GS} - V_t}{nkT}\right). \quad (2.25)$$

A equação (2.25) mostra que é relativamente simples polarizar um transistor MOSFET na região de saturação operando em inversão fraca, pois o v_{DS} necessário para tanto independe de v_{GS} como na inversão forte.

A transcondutância g_m de um transistor MOSFET operando em inversão fraca pode ser modelada segundo

$$g_m = \frac{qI_D}{nkT}. \quad (2.26)$$

Nota-se que na inversão fraca a transcondutância g_m além de ser linearmente dependente da corrente i_D , independe da geometria do dispositivo e de sua polarização. Além disso, se mostra superior quando comparada à de um transistor operando na inversão forte (27).

A resistência de saída R_o do transistor, outro parâmetro importante, é dada por

$$R_o = \frac{V_A}{i_{D_{sat}}}, \quad (2.27)$$

em que V_A é a tensão Early e $i_{D_{sat}}$ é a corrente de saturação no dreno. Como $i_{D_{sat}}$ é muito pequena na inversão fraca, fica claro que R_o deve ser muito maior comparado à operação em inversão forte.

O ganho intrínseco de um transistor é representado por

$$g_m R_o = \frac{g_m V_A}{i_{D_{sat}}}, \quad (2.28)$$

mostrando que o ganho intrínseco de um transistor depende da relação $g_m/i_{D_{sat}}$ e de V_A . Conforme discutido, na inversão fraca, a relação $g_m/I_{D_{S_{sat}}}$ é muito maior do que na inversão forte. Dessa maneira, são esperados ganhos maiores para circuitos analógicos operando em inversão fraca.

Os aumentos da resistência de saída R_o e ganho intrínseco do transistor $g_m R_o$ justificam a utilização da técnica de polarização de transistores em inversão fraca, utilizada no protótipo do ASDM proposto.

2.6.1 Acionamento pelo substrato

A tensão de limiar V_T pode ser expandida em função da tensão de substrato v_{BS} segundo:

$$V_T = V_{TO} - (n - 1)v_{BS}. \quad (2.29)$$

em que V_{TO} representa a tensão de limiar na condição em que fonte e substrato encontram-se no mesmo potencial. Dessa maneira, substituindo-se (2.29) em (2.25) encontra-se a corrente de dreno i_{DS} referenciada ao substrato, conforme

$$i_{DS} = I_S \frac{W}{L} \exp\left(\frac{qv_{GS} - V_{TO} + (n - 1)v_{BS}}{nkT}\right). \quad (2.30)$$

A partir de (2.25) e (2.30) é possível obter

$$i_{DS} \propto \exp\left(q\frac{v_{GS}}{nkT}\right) \exp\left(q\frac{(n - 1)v_{BS}}{nkT}\right), \quad (2.31)$$

na qual nota-se que a corrente de dreno i_{DS} é proporcional tanto à tensão entre gate e fonte v_{GS} quanto à tensão entre substrato e fonte v_{BS} . Entretanto, o termo $(n - 1)$ faz com que seja necessária uma tensão v_{BS} superior à tensão v_{GS} para causar o mesmo efeito na corrente de dreno i_{DS} , proporcionando um aumento da faixa linear de entrada em topologias acionadas através do substrato.

2.6.2 Leiaute distribuído

Os implantes *halo* ou *pocket*, mostrados nas Figuras 11b e 11c, são utilizados em processos CMOS sub-micrométricos para reduzir os efeitos de DIBL e *punch-through* discutidos na Seção 2.5. Entretanto essa técnica resulta em transistores com resistência de saída R_o reduzida, mesmo em dispositivos de canal longo (27, 28). A tensão Early é reduzida, uma vez que um aumento na tensão de dreno acima da saturação deplete lateralmente parte do implante *halo*, reduzindo a tensão de limiar local e aumentando a corrente de dreno. O efeito prático é uma diminuição da resistência de saída, como pode ser observado em (2.27), acarretando uma diminuição do ganho intrínseco do dispositivo, conforme (2.28).

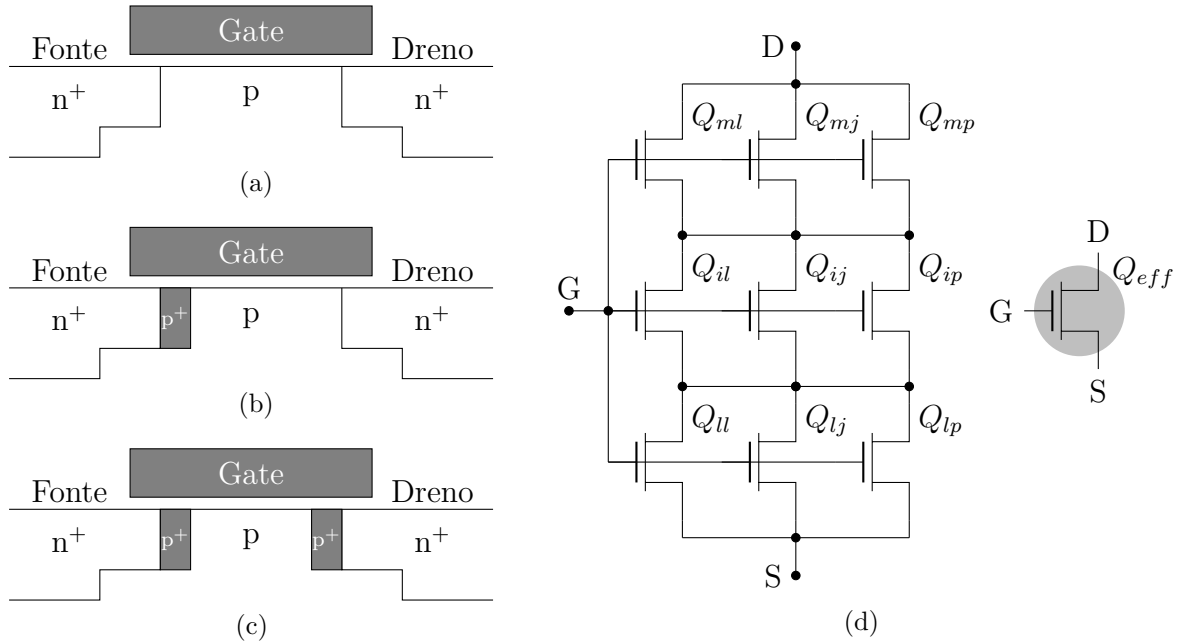


Figura 11 – (a) Transistor sem halo-implantes; (b) Transistor com halo na fonte; (c) Transistor com halo nas regiões de fonte e dreno (utilizado nesse trabalho) e (d) Arranjo $m \times p$ de transistores unitários nMOS halo-implantados na esquerda e sua simbologia na direita.

Esse efeito é similar à modulação de comprimento de canal que ocorre em transistores de canal curto, exceto pela sua ocorrência em dispositivos de canais longos. Além disso, o descasamento da tensão de limiar é aumentado devido à flutuação do dopante *halo* (27, 28). Uma solução elegante para esses problemas é a utilização da técnica de leiaute distribuído apresentada em (29) que minimiza a redução da resistência de saída utilizando um arranjo matricial de transistores halo-implantados unitários. A tensão de limiar de transistores de canais longos é ajustada segundo a de um transistor unitário, permitindo que a resistência de saída possa ser ajustada de maneira independente através da geometria das matrizes de transistores unitários.

De fato, um arranjo $m \times p$ de transistores unitários apresenta a tensão de limiar de um único transistor halo-implantado que foi ajustada utilizando-se o parâmetro de comprimento de canal de acordo com o efeito reverso de canal curto introduzido pelo implante *halo* (21). Sua resistência de saída é aumentada m vezes em relação à resistência de saída de um transistor unitário halo-implantado no caso em que todos os transistores do arranjo não se encontram saturados. Na região de saturação, a resistência de saída será ligeiramente menor, mais ainda muito superior à de um transistor unitário (30). A Figura 11d ilustra a ligação do arranjo de transistores bem como a simbologia utilizada para representá-lo. A razão de aspecto do arranjo é dada por

$$\left(\frac{W}{L}\right)_{efetivo} = \frac{p}{m} \left(\frac{W}{L}\right)_{unitario}. \quad (2.32)$$

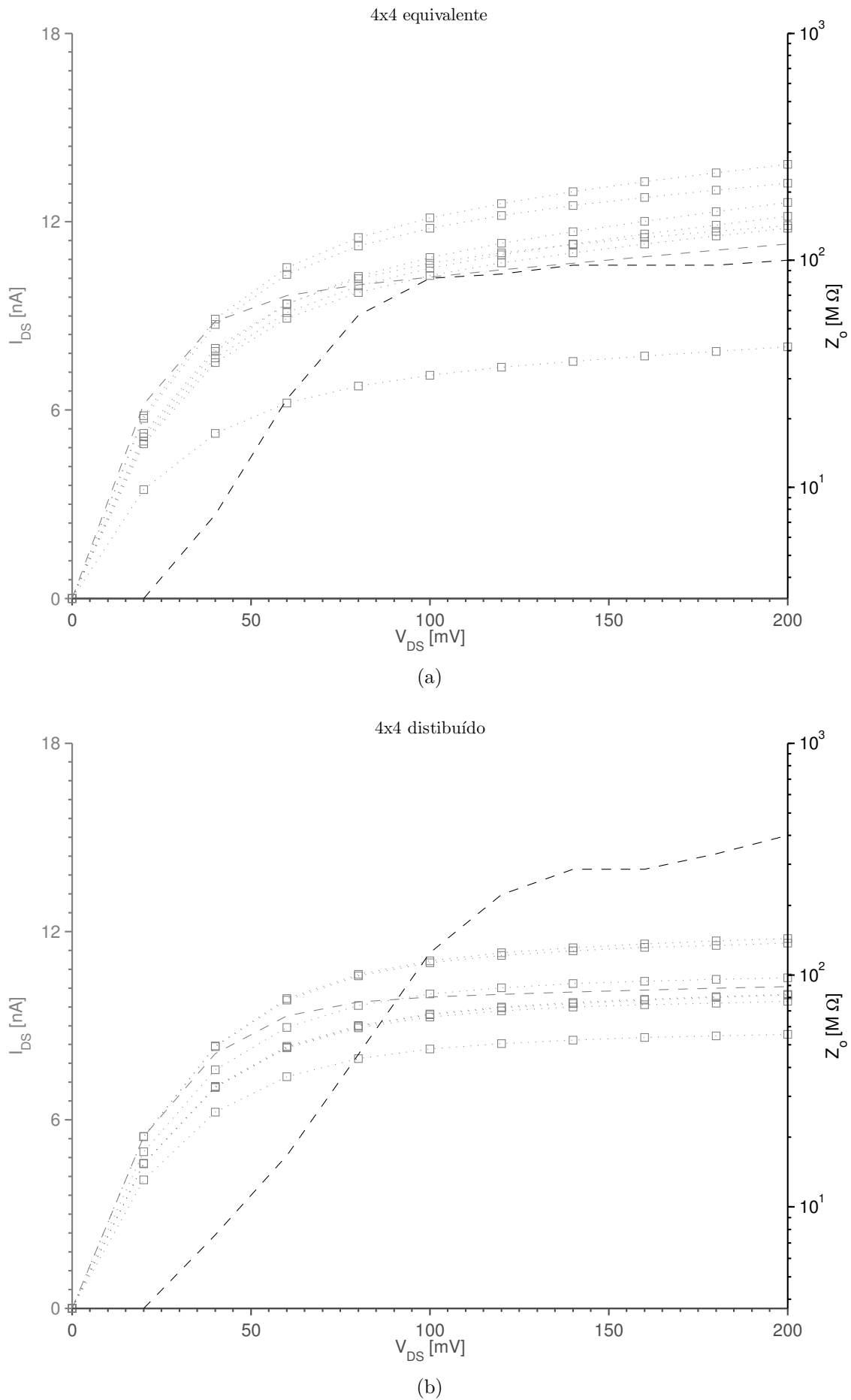


Figura 12 – Comparativo entre as curvas I_D x V_{DS} do leiaute distribuído 4x4 (b) e seu transistor unitário equivalente (a).

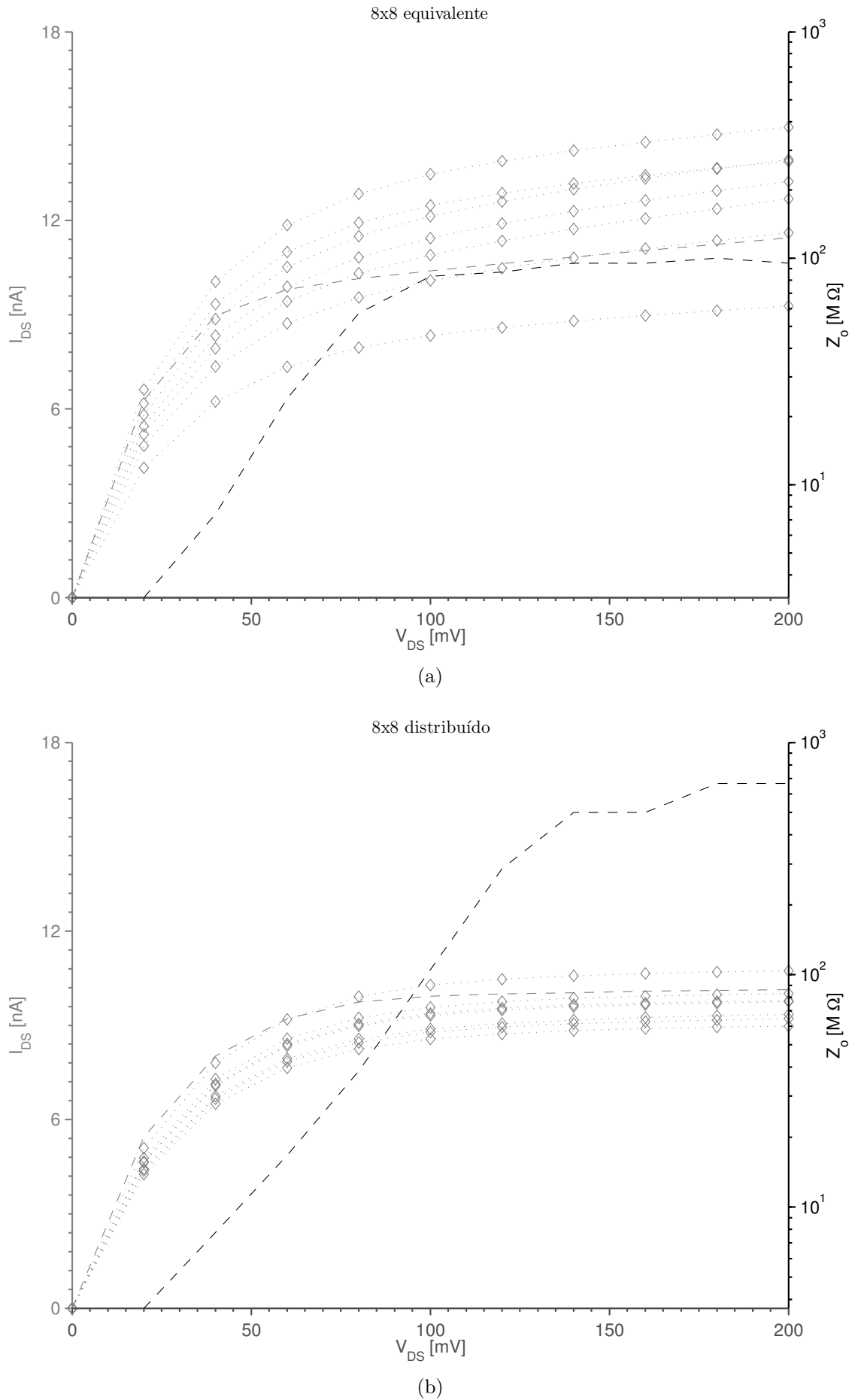


Figura 13 – Comparativo entre as curvas I_D x V_{DS} do leiaute distribuído 8x8 (b) e seu transistor unitário equivalente (a).

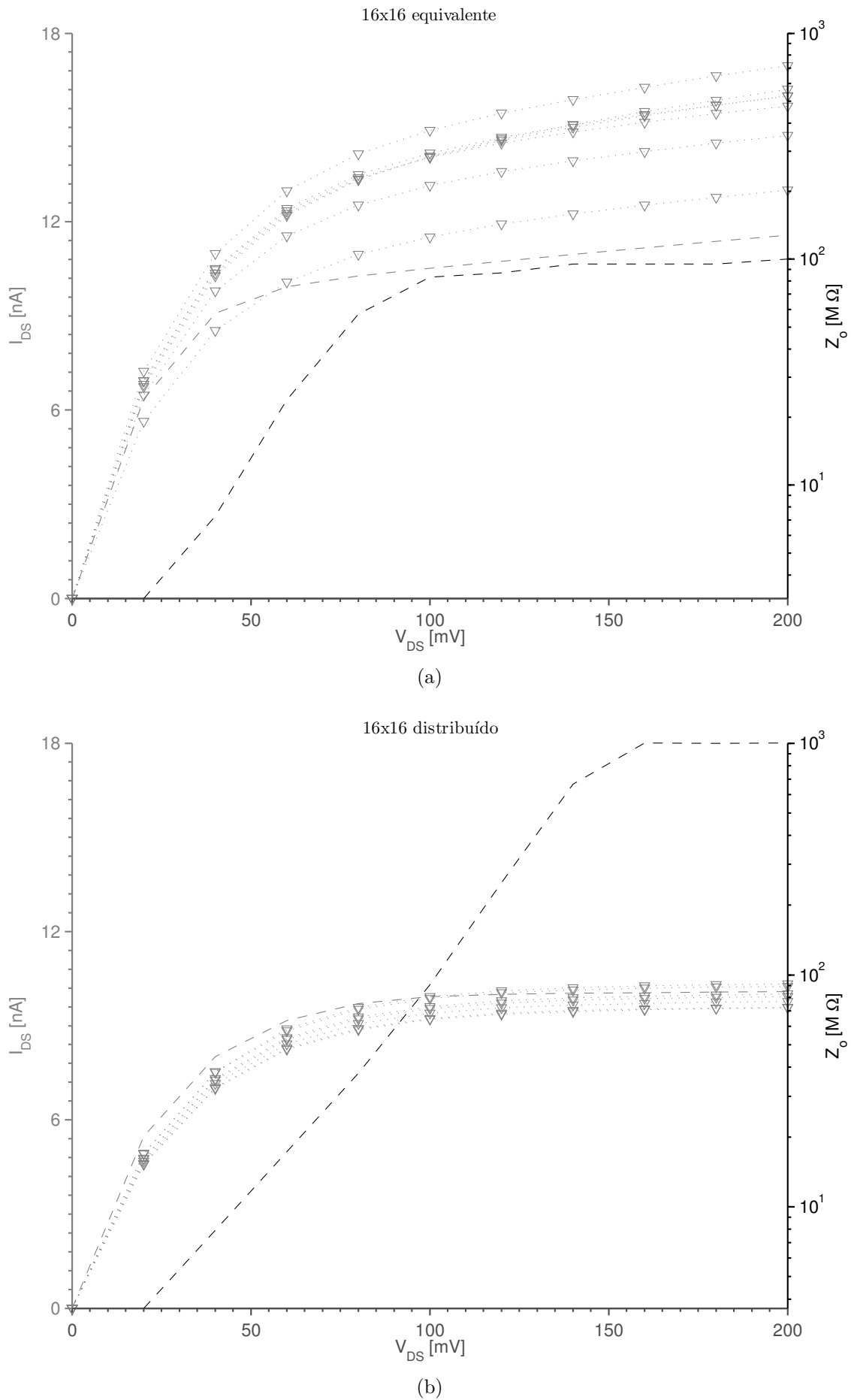


Figura 14 – Comparativo entre as curvas $I_D \times V_{DS}$ do leiaute distribuído 16x16 (b) e seu transistor unitário equivalente (a).

Nas Figuras 12,13 e 14 estão ilustradas as medidas das curvas $i_D \times v_{DS}$ de transistores nMOS realizados utilizando-se a técnica de leiaute distribuído e seus equivalentes unitários em geometria, ligados na configuração espelho de corrente, com uma corrente de referência de 10-nA aplicada. Nas Figuras 12a, 13a e 14a são mostradas as curvas dos transistores unitários equivalentes aos leiautes distribuídos 4x4 12b, 8x8 13b e 16x16 14b, respectivamente. A linha tracejada mostra a característica da impedância de saída de cada dispositivo.

Fica claro que o leiaute distribuído apresenta impedância de saída superior ao seu equivalente unitário e que um aumento de ordem promove um aumento ainda maior na impedância de saída. No caso de uma matriz de leiaute distribuído 16x16, a impedância é aumentada em aproximadamente 10 vezes. Também nota-se que as curvas das correntes estão mais próximas, minimizando portanto o espalhamento estatístico. Dessa forma, as mesmas matrizes apresentadas em (29), cujas curvas medidas de $i_D \times v_{DS}$ são mostradas na Figura 14 serão utilizadas no desenvolvimento do protótipo do ASDM proposto.

3 O modulador Σ - Δ assíncrono proposto

Neste capítulo é apresentada a modelagem do circuito proposto capaz de realizar um ASDM. A modelagem é desenvolvida a partir de um modelo simplificado que possui a finalidade de validar inicialmente o ASDM proposto. Posteriormente, um modelo de maior complexidade é descrito para explicar em detalhes o comportamento observado durante a etapa de caracterização. Também são realizadas considerações acerca do efeito causado pelo descasamento de alguns componentes do circuito devido as variações no processo de fabricação.

3.1 Funcionamento

O modelo do ASDM proposto está ilustrado na Figura 15. Diferente das implementações (16, 17, 18), o modulador proposto não utiliza um comparador *Schmitt trigger* como elemento histerético. A histerese necessária para seu funcionamento provém de um oscilador de relaxação que funciona por meio da redistribuição de cargas do arranjo capacitivo C_1 , C_2 e C_3 que ocorre durante as transições entre as etapas de carga T_1 e descarga T_2 , controladas através das fontes de corrente I_{REF} que completam a realimentação do modulador através do acionamento ou corte dos transistores Q_1 e Q_2 pela saída $y(t)$. Uma vez que a implementação de tal oscilador não envolve consumo quiescente, sua utilização proporciona economia de energia.

O sinal de tensão a ser modulado $v_{IN}(t)$, é convertido em uma corrente $i_o(t)$ de módulo $g_m v_{IN}(t)$ que é somada às demais correntes no ponto P através de um integrador G_m -C composto por um transcondutor G_m e pela capacitância equivalente do arranjo capacitivo C_1 , C_2 e C_3 do oscilador de relaxação.

Durante a etapa de carga T_1 , a saída do modulador $y(t)$ vale zero, acionando o transistor Q_1 e cortando o transistor Q_2 . Isso faz com que a corrente $i_o + I_{REF}$ seja adicionada ao ponto P, carregando o arranjo capacitivo C_1 , C_2 e C_3 até que alcance uma tensão de módulo $V_{DD}/2$. Nesse momento ocorre uma redistribuição de carga através do capacitor C_3 e a saída $y(t)$ passa a valer V_{DD} , iniciando a etapa de descarga.

Nessa etapa, o transistor Q_1 entra em corte enquanto o transistor Q_2 é acionado, fazendo com que uma corrente I_{REF} seja drenada do ponto P. Uma corrente de módulo $i_o - I_{REF}$ descarrega o arranjo capacitivo C_1 , C_2 e C_3 até o valor de tensão $V_{DD}/2$ quando ocorre nova redistribuição de cargas através do capacitor C_3 e a saída $y(t)$ passa a valer zero novamente, reiniciando a etapa de carga T_1 .

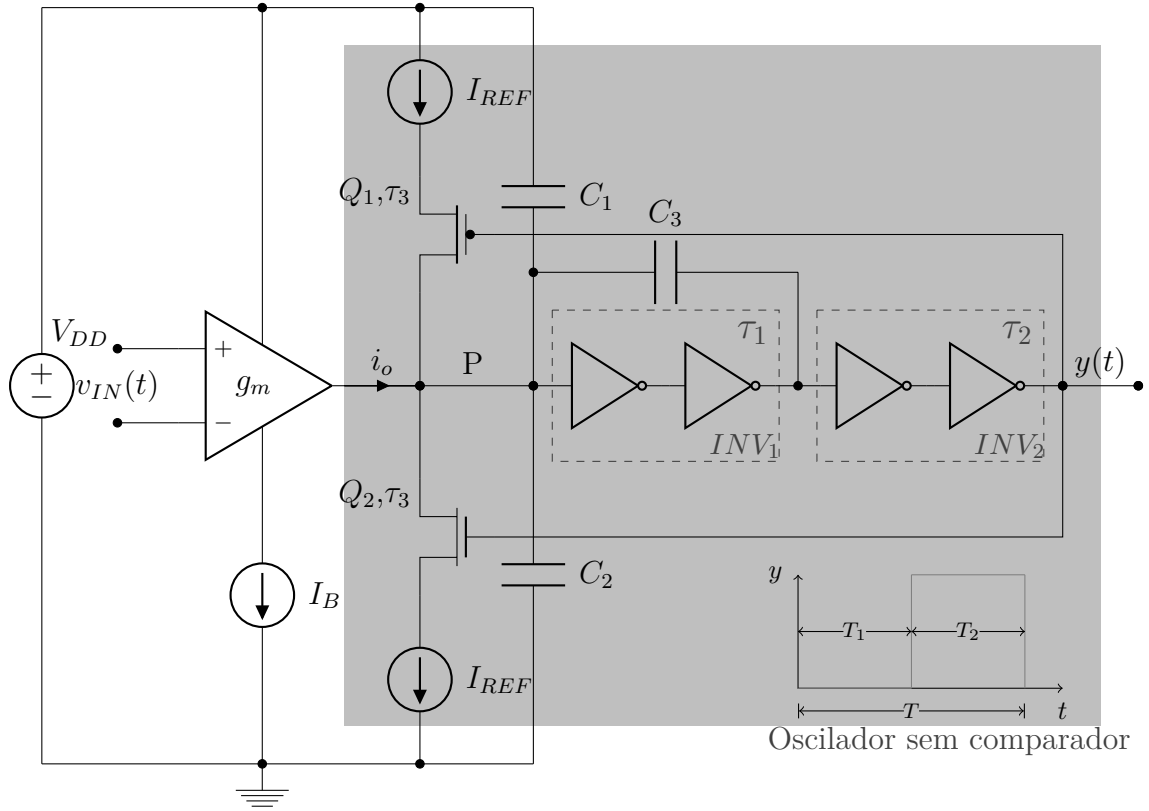


Figura 15 – Modelo do ASDM proposto, composto pelo integrador G_m - C e pelo oscilador de relaxação.

3.2 Modelo simplificado

O modelo simplificado considera nulos os atrasos de propagação de sinal τ_1 , τ_2 e τ_3 mostrados na Figura 15, assumindo que tanto a redistribuição de cargas que se dá entre as etapas de carga T_1 e descarga T_2 e a realimentação da saída $y(t)$ através das fontes de corrente I_{REF} ocorrem de maneira instantânea. A Figura 16 mostra o comportamento ideal do sinal de tensão presente no ponto P quando o modulador é modelado nas condições acima definidas.

Fica claro que no modelo considerado, a redistribuição de cargas ocorre de maneira instantânea, fazendo com que a tensão no ponto P varie instantaneamente de um valor $V_{DD}/2$ até um valor V_2 no final da etapa de carga T_1 . No final da etapa de descarga T_2 , a tensão no ponto P varia de $V_{DD}/2$ até um valor V_1 , produzindo uma histerese de tensão $H = V_2 - V_1$ no ponto P.

A Figura 17 mostra em detalhes os comportamentos de tensão e corrente no ponto P durante os instantes de carga T_1 e descarga T_2 . As tensões iniciais V_1 e V_2 no ponto P durante as etapas de carga T_1 e descarga T_2 ocorrem de acordo com o divisor capacitivo obtido após as redistribuições de carga, conforme

$$V_1 = \frac{C_1 V_{DD}}{(C_1 + C_2 + C_3)} \quad \text{e} \quad V_2 = \frac{(C_1 + C_3) V_{DD}}{(C_1 + C_2 + C_3)}. \quad (3.1)$$

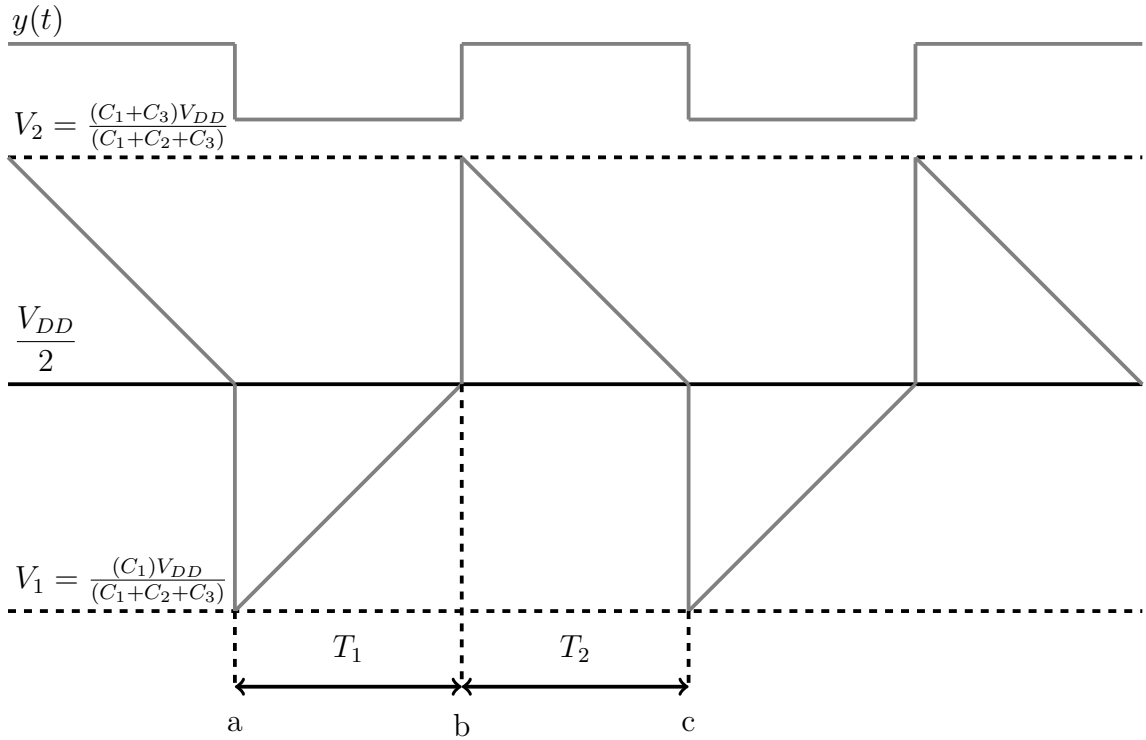


Figura 16 – Comportamento ideal do sinal de tensão presente no ponto P do modelo simplificado. Na parte superior está ilustrada a saída $y(t)$.

A histerese de tensão H pode ser calculada em conformidade com

$$H = V_2 - V_1 = \frac{C_3 V_{DD}}{(C_1 + C_2 + C_3)}. \quad (3.2)$$

Aplicando-se a lei de *Kirchhoff* das correntes no ponto P durante a etapa de carga T_1 , obtém-se

$$i_o + I_{REF} + i_1 = i_2 + i_3. \quad (3.3)$$

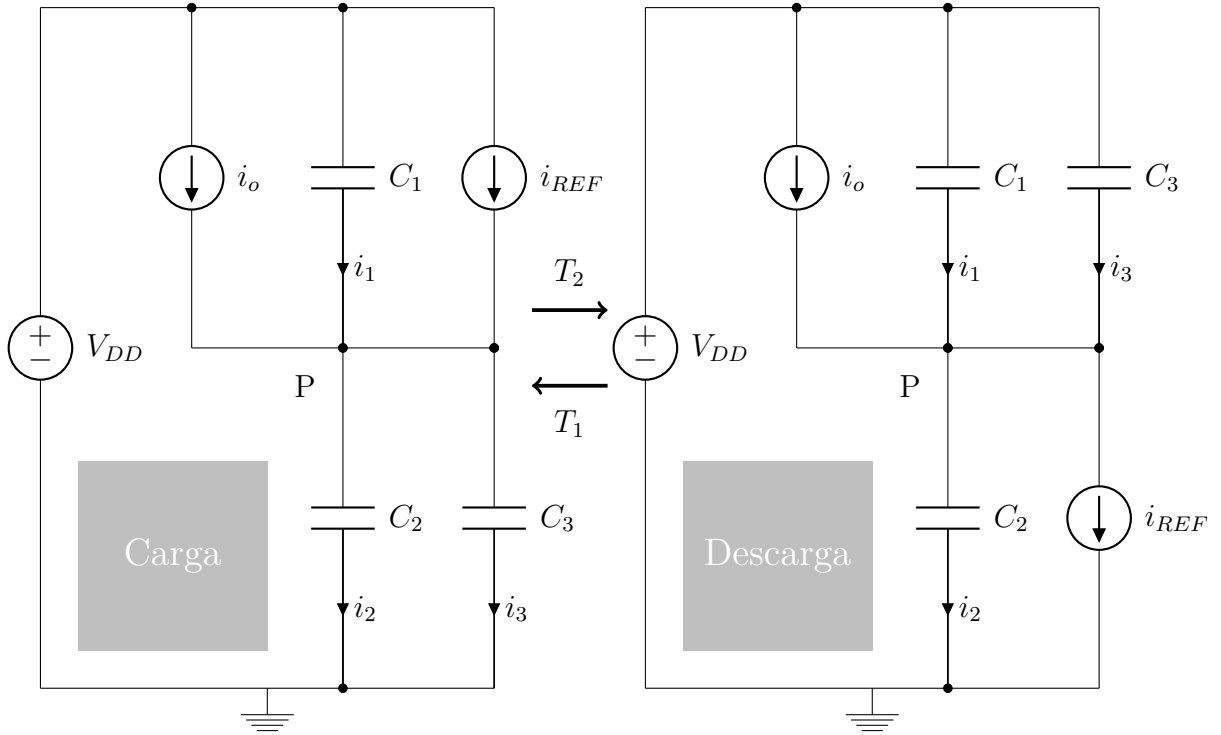
Sabendo-se que a corrente i_o de saída do integrador G_m -C vale $g_m v_{IN}(t)$ e modelando as correntes i_1 , i_2 e i_3 como variações de carga no tempo dq/dt , a equação (3.3) pode ser reescrita segundo

$$g_m v_{IN}(t) + I_{REF} = \frac{dq_2}{dt} + \frac{dq_3}{dt} - \frac{dq_1}{dt}. \quad (3.4)$$

Uma vez que a carga no capacitor é definida como sua capacitância vezes a tensão entre seus terminais, conforme $q = CV$; e que as tensões nos capacitores do modelo valem $V_{C1} = (V_{DD} - v_P)$, $V_{C2} = v_P$ e $V_{C3} = v_P$, a equação (3.4) se torna

$$g_m v_{IN}(t) + I_{REF} = (C_1 + C_2 + C_3) \frac{dv_P}{dt}. \quad (3.5)$$

A Figura 16 mostra que durante a etapa de carga T_1 , a tensão no ponto P varia de V_1 até V_2 . Assim, o intervalo de tempo T_1 pode ser calculado isolando-se dt na equação


 Figura 17 – Modelos das etapas de carga T_1 e descarga T_2 .

(3.5) e integrando a tensão no intervalo de tempo entre a até b sobre os limites V_1 e V_2 , conforme

$$T_1 = \frac{(C_1 + C_2 + C_3)}{g_m v_{IN}(t) + I_{REF}} \int_{V_1}^{V_2} dv_P = \frac{C_3 V_{DD}}{I_{REF} + g_m v_{IN}(t)}. \quad (3.6)$$

De maneira análoga, a lei de *Kirchhoff* das correntes no ponto P na etapa de descarga T_2 é dada por

$$i_o + i_1 + i_3 = I_{REF} + i_2. \quad (3.7)$$

Considerando-se novamente que $i_o = g_m v_{IN}(t)$ e também que $i = dq/dt$, a equação (3.7) pode ser reorganizada em

$$g_m v_{IN}(t) - I_{REF} = -\frac{dq_1}{dt} + \frac{dq_2}{dt} - \frac{dq_3}{dt}. \quad (3.8)$$

Como na etapa de descarga T_2 já ocorreu a redistribuição de cargas, as tensões sobre os capacitores valem $V_{C1} = (V_{DD} - v_P)$, $V_{C2} = v_P$ e $V_{C3} = (V_{DD} - v_P)$. Aplicando-se $q = CV$ na equação (3.8) resulta em

$$g_m v_{IN}(t) - I_{REF} = (C_1 + C_2 + C_3) \frac{dv_P}{dt}. \quad (3.9)$$

A Figura 16 mostra que durante a etapa de descarga T_2 , a tensão no ponto P varia de V_2 até V_1 . Assim, o intervalo de tempo T_2 pode ser calculado isolando-se dt na equação

(3.9) e integrando a tensão no intervalo de tempo entre b até c sobre os limites V_2 e V_1 , de acordo com

$$T_2 = \frac{(C_1 + C_2 + C_3)}{g_m v_{IN}(t) - I_{REF}} \int_{V_2}^{V_1} dv_P = -\frac{C_3 V_{DD}}{g_m v_{IN}(t) - I_{REF}} = \frac{C_3 V_{DD}}{I_{REF} - g_m v_{IN}(t)}. \quad (3.10)$$

O período instantâneo $T(t)$ pode ser calculado somando-se T_1 e T_2 , em conformidade com

$$T(t) = T_1 + T_2 = \frac{C_3 V_{DD}}{I_{REF} + g_m v_{IN}(t)} + \frac{C_3 V_{DD}}{I_{REF} - g_m v_{IN}(t)}. \quad (3.11)$$

Aplicando-se uma tensão de modo comum $V_{CM} = V_{DD}/2$ em ambas entradas do integrador G_m -C, ou seja, $V_{in} = 0$, obtém-se o período central de oscilação T_0 do modulador proposto,

$$T_0 = 2 \frac{C_3 V_{DD}}{I_{REF}}. \quad (3.12)$$

Nota-se que o período central T_0 coincide com o período de oscilação do oscilador de relaxação. A modulação em frequência $\omega(t)/\omega_0$ é calculada substituindo-se (3.12) em (3.11) e usando-se $\omega = 2\pi/T$,

$$\frac{\omega(t)}{\omega_0} = 1 - \left(\frac{g_m v_{IN}(t)(t)}{I_{REF}} \right)^2. \quad (3.13)$$

A modulação de densidade de pulsos é calculada utilizando-se o conceito de ciclo de trabalho $\alpha/T = T_{alto}/T$. Como o período em nível lógico alto na saída $y(t)$ do modulador corresponde à etapa de descarga T_2 do arranjo capacitivo, a densidade de pulsos é obtida segundo

$$\frac{\alpha}{T} = \frac{T_2}{T(t)} = \frac{1}{2} \left(1 + \frac{g_m v_{IN}(t)(t)}{I_{REF}} \right). \quad (3.14)$$

Uma comparação correta com o trabalho (16) exige a definição de um parâmetro de normalização $u(t)$ que representa a profundidade de modulação. Uma vez que o modelo proposto utiliza um integrador G_m -C que converte a tensão de entrada $v_{IN}(t)$ na corrente $i_o(t)$ e que a realimentação é realizada em termos da corrente I_{REF} , é razoável definir $u(t)$ em função de $i_o(t)$ e I_{REF} , conforme

$$u(t) = \frac{g_m v_{IN}(t)(t)}{I_{REF}}. \quad (3.15)$$

A profundidade de modulação $u(t)$ pode ser escrita em função das etapas de carga T_1 e descarga T_2 do arranjo capacitivo, segundo

$$u(t) = \frac{T_2 - T_1}{T_1 + T_2} = \frac{g_m v_{IN}(t)}{I_{REF}}, \quad (3.16)$$

mostrando que a informação $v_{IN}(t)$ é recuperada conhecendo-se os períodos de carga T_1 e descarga T_2 , e os parâmetros de projeto g_m e I_{REF} .

Uma análise de (3.13) e (3.14) em termos de (3.15) leva às mesmas equações obtidas no Capítulo 2, comprovando que do ponto de vista D.C. o modelo proposto realiza um ASDM no qual o principal parâmetro de projeto é g_m/I_{REF} . Entretanto, o modelo simplificado não explica diversos efeitos observados na caracterização do protótipo desenvolvido.

3.3 Modelo completo

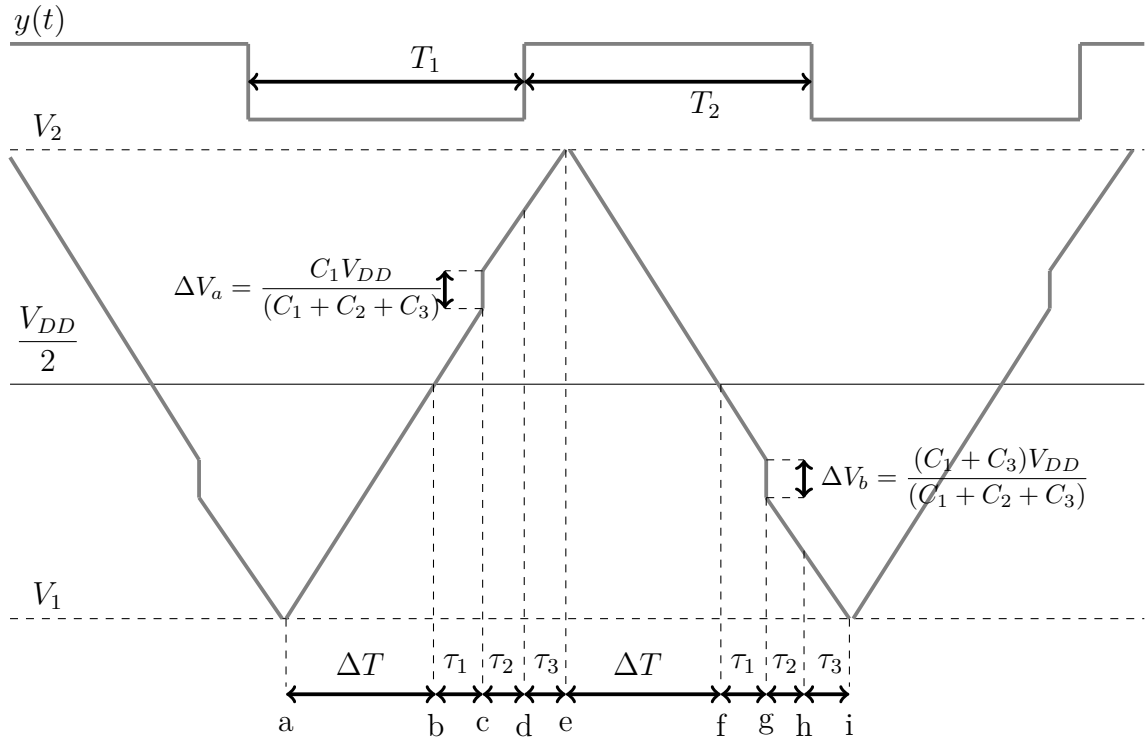
O modelo completo considera os atrasos de propagação de sinal τ_1 , τ_2 e τ_3 , mostrados na Figura 15. Os atrasos τ_1 e τ_2 são característicos dos blocos INV_1 e INV_2 , realizados como uma cadeia de inversores de quantidade par, também mostrado na Figura 15. Por questão de simplificação, o atraso de propagação devido ao integrador G_m -C também está contemplado em τ_1 . O atraso de propagação devido a malha de realimentação é modelado segundo τ_3 e representa os tempos necessários para ligar e desligar os transistores Q_1 e Q_2 , considerados iguais para simplificar o modelo.

O sinal de tensão no ponto P e da saída $y(t)$ do modulador estão ilustrados na Figura 18. A comparação entre as respostas dos modelos simplificado (Figura 16) e completo (Figura 18) mostra que os atrasos de propagação de sinal τ_1 , τ_2 e τ_3 considerados no modelo completo influenciam diretamente a histerese de tensão $H = V_2 - V_1$ e frequência de oscilação do modulador. Também está mostrado na Figura 18 que saída $y(t)$ do modulador está deslocada de τ_3 em relação ao sinal de tensão no ponto P.

Fica claro que a redistribuição de carga não ocorre no exato momento em que a tensão alcança o valor $V_{DD}/2$ (instantes b e f), e sim após o atraso τ_1 (instantes c e g) necessário para a propagação do sinal através da cadeia de inversores INV_1 . Durante o instante T_1 o arranjo capacitivo C_1 , C_2 e C_3 continua sendo carregado ou descarregado, alcançando uma tensão superior a $V_{DD}/2$ na etapa de carga e inferior a $V_{DD}/2$ na etapa de descarga. Uma vez que a redistribuição de cargas independe de atrasos de propagação, a variação de tensão ΔV é a mesma considerada no modelo simplificado e vale $C_3 V_{DD}/(C_1 + C_2 + C_3)$.

Em seguida, o sinal se propaga através da cadeia de inversores INV_2 , necessitando de um tempo τ_2 para chegar à saída $y(t)$ do modulador (instantes d e h). Como as fontes de corrente I_{REF} são controladas pela realimentação da saída $y(t)$, sofrem um atraso τ_3 para que comutem. Durante os instantes τ_2 e τ_3 o arranjo capacitivo C_1 , C_2 e C_3 continua sendo carregado até atingir uma tensão V_2 ou descarregado até que possua uma tensão V_1 (instantes e e i).

Nota-se ainda que quanto maiores os atrasos de propagação de sinal τ_1 , τ_2 e τ_3 , o sinal de tensão no ponto P se aproxima da forma de onda triangular.


 Figura 18 – Histerese de tensão no ponto P e saída $y(t)$ do modulador.

A Figura 19 mostra os comportamentos da tensão e corrente no ponto P durante o funcionamento do modulador.

A tensão V_{bc} devido ao atraso de propagação τ_1 pode ser calculada aplicando-se a Lei de *Kirchhoff* das correntes ao ponto P, conforme:

$$i_o + I_{REF} + i_1 = i_2 + i_3 \quad (3.17)$$

Considerando-se $i_o = g_m v_{IN}(t)$, $i = dq/dt$ e reorganizando os termos, obtém-se

$$g_m v_{IN}(t) + I_{REF} = \frac{dq_2}{dt} + \frac{dq_3}{dt} - \frac{dq_1}{dt}. \quad (3.18)$$

Nesse instante, as tensões sobre os capacitores valem $V_{C1} = (V_{DD} - V_{bc})$, $V_{C2} = V_{bc}$ e $V_{C3} = V_{bc}$. Aplicando-se $q = VC$ em (3.18), obtém-se

$$g_m v_{IN}(t) + I_{REF} = (C_1 + C_2 + C_3) \frac{dV_{bc}}{dt}. \quad (3.19)$$

A tensão V_{bc} pode ser calculada isolando dV_{bc} e integrando entre os instantes b e c , conforme

$$V_{bc} = \frac{g_m v_{IN}(t) + I_{REF}}{(C_1 + C_2 + C_3)} \int_b^c dt = \frac{g_m v_{IN}(t) + I_{REF}}{(C_1 + C_2 + C_3)} \tau_1. \quad (3.20)$$

A Figura 18 mostra que no instante c ocorre a redistribuição de cargas no arranjo capacitivo C_1 , C_2 e C_3 e o circuito equivalente é alterado conforme mostrado na Figura

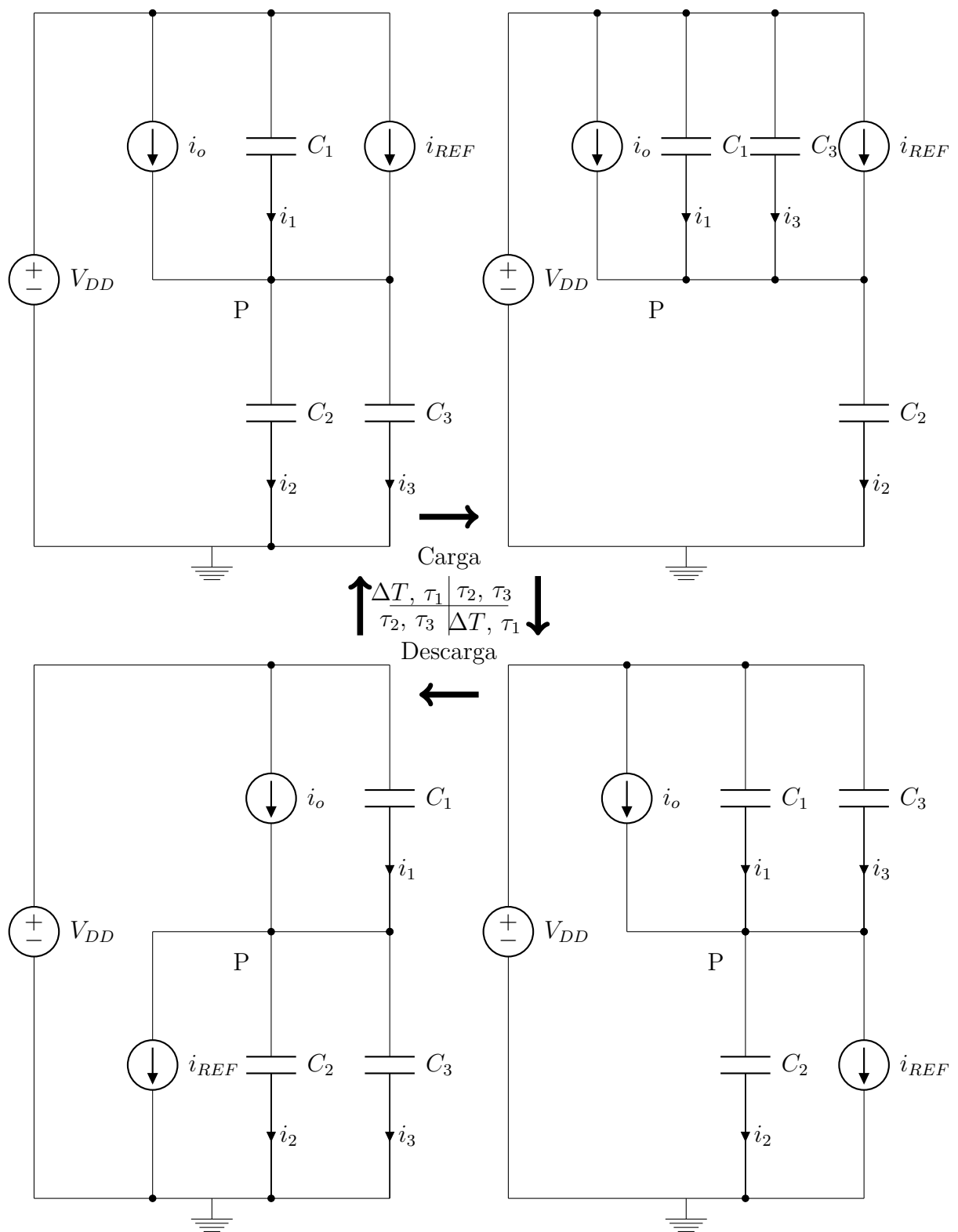


Figura 19 – Modelos das etapas de carga T_1 e descarga T_2 do modulador.

19. A tensão V_{cd} devido ao atraso de propagação τ_2 pode então ser calculada aplicando-se a Lei de *Kirchhoff* das correntes ao nó P,

$$i_o + I_{REF} + i_1 + i_3 = i_2. \quad (3.21)$$

Aplicando-se novamente $i_o = g_m v_{IN}(t)$ e $i = dq/dt$, obtém-se

$$g_m v_{IN}(t) + I_{REF} = \frac{dq_2}{dt} - \frac{dq_1}{dt} - \frac{dq_3}{dt}. \quad (3.22)$$

Após a redistribuição de cargas, as tensões nos capacitores C_1 , C_2 e C_3 são $V_{C1} = (V_{DD} - V_{cd})$, $V_{C2} = V_{cd}$ e $V_{C3} = (V_{DD} - V_{cd})$, respectivamente. Aplicando-se novamente $q = VC$, obtém-se

$$g_m v_{IN}(t) + I_{REF} = (C_1 + C_2 + C_3) \frac{dV_{cd}}{dt}. \quad (3.23)$$

A tensão V_{cd} pode ser calculada segundo

$$V_{cd} = \frac{g_m v_{IN}(t) + I_{REF}}{(C_1 + C_2 + C_3)} \int_c^d dt = \frac{g_m v_{IN}(t) + I_{REF}}{(C_1 + C_2 + C_3)} \tau_2. \quad (3.24)$$

Entre os instantes d e e não ocorre redistribuição de cargas nem a comutação das fontes de corrente I_{REF} , ou seja, o circuito equivalente permanece o mesmo. Assim a tensão V_{de} pode ser calculada segundo

$$V_{de} = \frac{g_m v_{IN}(t) + I_{REF}}{(C_1 + C_2 + C_3)} \int_d^e dt = \frac{g_m v_{IN}(t) + I_{REF}}{(C_1 + C_2 + C_3)} \tau_3. \quad (3.25)$$

No instante e as fontes de corrente I_{REF} comutam e o circuito equivalente é alterado, segundo a Figura 19. A tensão V_{fg} devido a τ_1 também pode ser calculada aplicando-se a Lei de *Kirchhoff* das correntes ao nó P, conforme

$$i_o + i_1 + i_3 = i_2 + I_{REF}. \quad (3.26)$$

Aplicando-se $i_o = g_m v_{IN}(t)$ e $i = dq/dt$, obtém-se

$$g_m v_{IN}(t) - I_{REF} = \frac{dq_2}{dt} - \frac{dq_1}{dt} - \frac{dq_3}{dt}. \quad (3.27)$$

Nessa configuração as tensões sobre capacitores valem $V_{C1} = (V_{DD} - V_{fg})$, $V_{C2} = V_{fg}$ e $V_{C3} = (V_{DD} - V_{fg})$. Aplicando-se novamente $q = CV$, obtém-se

$$g_m v_{IN}(t) - I_{REF} = (C_1 + C_2 + C_3) \frac{dV_{fg}}{dt}. \quad (3.28)$$

A tensão V_{fg} pode ser calculada de acordo com

$$V_{fg} = \frac{g_m v_{IN}(t) - I_{REF}}{(C_1 + C_2 + C_3)} \int_f^g dt = \frac{g_m v_{IN}(t) - I_{REF}}{(C_1 + C_2 + C_3)} \tau_1. \quad (3.29)$$

No instante g ocorre a nova redistribuição de cargas no arranjo capacitivo C_1 , C_2 e C_3 e, portanto, o circuito equivalente possui nova configuração, conforme mostrado na Figura 19. A tensão V_{gh} devido ao atraso de propagação τ_2 pode então ser calculada aplicando-se a Lei de *Kirchhoff* das correntes ao nó P, conforme

$$i_o + i_1 = I_{REF} + i_2 + i_3. \quad (3.30)$$

Conforme descrito anteriormente, fazendo-se $i_o = g_m v_{IN}(t)$ e $i = dq/dt$ em (3.30), obtém-se

$$g_m v_{IN}(t) - I_{REF} = \frac{dq_2}{dt} + \frac{dq_3}{dt} - \frac{dq_1}{dt}. \quad (3.31)$$

As tensões sobre os capacitores são $V_{C1} = (V_{DD} - V_{gh})$, $V_{C2} = V_{gh}$ e $V_{C3} = V_{gh}$. Aplicando-se $q = VC$ em (3.31), obtém-se

$$g_m v_{IN}(t) - I_{REF} = (C_1 + C_2 + C_3) \frac{dV_{gh}}{dt}. \quad (3.32)$$

A tensão V_{gh} pode então ser calculada, conforme

$$V_{gh} = \frac{g_m v_{IN}(t) - I_{REF}}{(C_1 + C_2 + C_3)} \int_g^h dt = \frac{g_m v_{IN}(t) - I_{REF}}{(C_1 + C_2 + C_3)} \tau_2. \quad (3.33)$$

Uma vez que entre os instantes h e i não ocorre redistribuição de carga nem comutação das fontes de corrente I_{REF} , o circuito equivalente permanece inalterado e a tensão V_{hi} pode ser calculada segundo

$$V_{hi} = \frac{g_m v_{IN}(t) - I_{REF}}{(C_1 + C_2 + C_3)} \int_h^i dt = \frac{g_m v_{IN}(t) - I_{REF}}{(C_1 + C_2 + C_3)} \tau_3. \quad (3.34)$$

Observando-se a Figura 18, nota-se que o limite inferior da histerese de tensão V_1 pode ser calculada de acordo com

$$\begin{aligned} V_1 &= \frac{V_{DD}}{2} - V_{fg} - \Delta V_a - V_{gh} - V_{hi} \\ &= \frac{V_{DD}}{2} - \frac{g_m v_{IN}(t) - I_{REF}}{(C_1 + C_2 + C_3)} (\tau_1 + \tau_2 + \tau_3) - \frac{C_1 V_{DD}}{(C_1 + C_2 + C_3)}. \end{aligned} \quad (3.35)$$

De maneira análoga, o limite superior da histerese de tensão V_2 pode ser calculado conforme

$$\begin{aligned} V_2 &= \frac{V_{DD}}{2} + V_{bc} + \Delta V_b + V_{cd} + V_{de} \\ &= \frac{V_{DD}}{2} + \frac{g_m v_{IN}(t) + I_{REF}}{(C_1 + C_2 + C_3)} (\tau_1 + \tau_2 + \tau_3) + \frac{(C_1 + C_3) V_{DD}}{(C_1 + C_2 + C_3)}. \end{aligned} \quad (3.36)$$

Conhecendo os limites da histerese de tensão V_1 e V_2 , a histerese total de tensão H_C pode ser obtida segundo

$$H_C = V_2 - V_1 = \frac{C_3 V_{DD}}{(C_1 + C_2 + C_3)} + 2 \frac{(g_m v_{IN}(t) + I_{REF})}{(C_1 + C_2 + C_3)} (\tau_1 + \tau_2 + \tau_3), \quad (3.37)$$

mostrando que a histerese do modelo completo H_C se torna igual à histerese do modelo simplificado H quando os atrasos de propagação τ_1 , τ_2 e τ_3 são considerados nulos. Dessa maneira, (3.37) pode ser rescrita em termos de (3.2), segundo

$$H_C = H + 2 \frac{(g_m v_{IN}(t) + I_{REF})}{(C_1 + C_2 + C_3)} (\tau_1 + \tau_2 + \tau_3), \quad (3.38)$$

mostrando de forma muito clara que os atrasos de propagação de sinal τ_1 , τ_2 e τ_3 promovem um aumento da histerese de tensão no nó P. Aplicando-se um sinal dinâmico $V_{in} = V_{CM} + v_{IN}(t)$ à entrada do modulador, a histerese fica

$$H_C = H + \left[2 \frac{(g_m V_{CM} + I_{REF})}{(C_1 + C_2 + C_3)} + 2 \frac{g_m v_{IN}(t)}{(C_1 + C_2 + C_3)} \right] (\tau_1 + \tau_2 + \tau_3) \quad (3.39)$$

em que o segundo termo dentro dos colchetes mostra que além do aumento na histerese de tensão, ocorre também uma flutuação da mesma em sincronismo com o sinal de entrada $v_{IN}(t)$.

A Figura 18 mostra ainda que, mesmo deslocada de τ_3 em relação ao sinal de tensão no ponto P, a etapa de carga T_{1C} pode ser calculada considerando que a mesma ocorre do instante a até o instante e . Como não ocorre comutação das fontes de corrente I_{REF} durante esse instante, a corrente I_{REF} entra no ponto P, conforme mostrado na Figura 19. Além disso, uma análise de (3.19) e (3.23) mostra que a Lei de *Kirchhoff* das correntes não se altera com a redistribuição de carga ocorrida no ponto c . Portanto, a etapa de carga T_{1C} pode ser calculada segundo

$$T_{1C} = \frac{(C_1 + C_2 + C_3)}{g_m v_{IN}(t) + I_{REF}} \int_{V_1}^{V_2} dv = \frac{C_3 V_{DD}}{I_{REF} + g_m v_{IN}(t)} + 2(\tau_1 + \tau_2 + \tau_3). \quad (3.40)$$

De forma semelhante, a etapa de carga T_{2C} pode ser considerada do instante e até o instante i . Uma vez que durante esse intervalo não ocorre comutação das fontes de corrente I_{REF} e que segundo (3.28) e (3.32) a Lei de *Kirchhoff* das correntes no ponto P independe da redistribuição de cargas ocorrida no instante g , a etapa de descarga T_{2C} pode ser equacionada conforme

$$T_{2C} = \frac{(C_1 + C_2 + C_3)}{g_m v_{IN}(t) - I_{REF}} \int_{V_2}^{V_1} dv = \frac{C_3 V_{DD}}{I_{REF} - g_m v_{IN}(t)} + 2(\tau_1 + \tau_2 + \tau_3). \quad (3.41)$$

O período instantâneo $T_C(t)$ pode ser calculado somando-se T_{1C} e T_{2C} , em conformidade com

$$T_C(t) = T_{1C} + T_{2C} = \frac{C_3 V_{DD}}{I_{REF} + g_m v_{IN}(t)} + \frac{C_3 V_{DD}}{I_{REF} - g_m v_{IN}(t)} + 4(\tau_1 + \tau_2 + \tau_3). \quad (3.42)$$

Aplicando-se uma tensão de modo comum $V_{CM} = V_{DD}/2$ em ambas entradas do integrador G_m-C, ou seja, $V_{in} = 0$, obtém-se o período central de oscilação T_{0C} do modulador proposto,

$$T_{0C} = 2 \frac{C_3 V_{DD}}{I_{REF}} + 4(\tau_1 + \tau_2 + \tau_3). \quad (3.43)$$

Analisando-se (3.40), (3.41), (3.42) e (3.43), nota-se que todas as equações retomam os valores calculados no modelo simplificado quando os atrasos de propagação τ_1 , τ_2 e τ_3 são anulados. Reescrevendo (3.43) e (3.42) em função de (3.12) e (3.11), nota-se que os atrasos de propagação τ_1 , τ_2 e τ_3 aumentam o período de oscilação do modulador, conforme

$$T_C(t) = T(t) + 4(\tau_1 + \tau_2 + \tau_3) \quad (3.44)$$

e

$$T_{0C} = T_0(t) + 4(\tau_1 + \tau_2 + \tau_3). \quad (3.45)$$

A modulação em frequência $\omega_C(t)/\omega_{0C}$ é calculada substituindo-se (3.43) em (3.42) e usando-se $\omega = 2\pi/T$, conforme

$$\frac{\omega_C(t)}{\omega_{0C}} = 1 - \left(\frac{g_m v_{IN}(t)}{I_{REF}} \right)^2. \quad (3.46)$$

Uma análise em (3.46) em termos de (3.13) mostra que os atrasos de propagação de sinal τ_1 , τ_2 e τ_3 não afetam o efeito da modulação em frequência, embora diminuam a frequência central de oscilação ω_{0C} .

A modulação de densidade de pulsos é calculada utilizando-se novamente o conceito de ciclo de trabalho $\alpha/T = T_{alto}/T$. Como o período em nível lógico alto na saída $y(t)$ do modulador corresponde à etapa de descarga T_{2C} do arranjo capacitivo, a densidade de pulsos é obtida segundo

$$\left(\frac{\alpha}{T} \right)_C = \frac{1}{2} \left[\frac{\left(1 + \frac{g_m v_{IN}(t)}{I_{REF}} \right) + \left(\frac{2(\tau_1 + \tau_2 + \tau_3)(I_{REF}^2 - g_m^2 V_{in}^2)}{C_3 V_{DD} I_{REF}} \right)}{1 + \frac{2(\tau_1 + \tau_2 + \tau_3)(I_{REF}^2 - g_m^2 V_{in}^2)}{C_3 V_{DD} I_{REF}}} \right]. \quad (3.47)$$

Uma inspeção em (3.47) revela que na situação em que

$$\frac{2(\tau_1 + \tau_2 + \tau_3)(I_{REF}^2 - g_m^2 V_{in}^2)}{C_3 V_{DD} I_{REF}} \ll 1, \quad (3.48)$$

o termo todo pode ser desprezado tanto no numerador quanto no denominador, fazendo com que o efeito de modulação de densidade de pulsos não se altere, conforme

$$\left(\frac{\alpha}{T} \right)_C = \frac{T_{2C}}{T_C(t)} \approx \frac{1}{2} \left(1 + \frac{g_m v_{IN}(t)}{I_{REF}} \right). \quad (3.49)$$

Uma análise de (3.49) em termos de (3.14) mostra que o efeito de modulação de densidade de pulsos não é influenciado pelos atrasos de propagação de sinal τ_1 , τ_2 e τ_3 . Assim, a profundidade de modulação $u(t)$ também permanece inalterada e o modelo completo apresenta o mesmo funcionamento do modelo simplificado mostrado anteriormente. Em resumo, o modelo completo explica o aumento e flutuação da histerese de tensão H_C e também a diminuição da frequência central de oscilação ω_{0C} observados na caracterização do protótipo.

O modelo completo também permite concluir que a topologia de circuito proposta não distorce o sinal de entrada V_{in} desde que a transcondutância g_m seja constante e que a condição (3.48) seja respeitada. Dessa maneira se faz necessário o projeto de um amplificador operacional de transcondutância de alta linearidade.

3.4 Análise de descasamento

O descasamento é um efeito inerente aos circuitos integrados que ocorre devido à variações em seu processo de fabricação. Dependendo de sua intensidade pode ocasionar pequenas alterações em algumas características do circuito integrado ou até mesmo fazer com que o mesmo não funcione, inutilizando o protótipo. Assim, se faz necessário conhecer o impacto do descasamento no circuito projetado e proporcionar mecanismos para minimizá-lo.

É possível avaliar o desempenho do circuito modulador Σ - Δ assíncrono proposto através da profundidade de modulação $u(t)$, uma vez que é um parâmetro comum em ambas modulações de frequência e densidade de pulsos características. Uma análise nos modelos desenvolvidos mostra que a profundidade de modulação $u(t)$ é dependente dos parâmetros de transcondutância g_m , da fonte de corrente de referência I_{REF} , além do próprio sinal de entrada V_{in} .

Uma vez que a topologia do circuito utiliza de duas fontes de corrente I_{REF} casadas, e que a profundidade de modulação $u(t)$ depende de I_{REF} , um descasamento dessas fontes produz efeitos que não foram considerados nos modelos apresentados anteriormente.

Um descasamento nas fontes de corrente I_{REF} utilizadas na realimentação do circuito proposto faz com que elas possuam valores diferentes ($i_A \neq i_B \neq I_{REF}$), alterando portanto os períodos das fases de carga T_1 e descarga T_2 , conforme

$$T_{1_{mis}} = \frac{C_3 V_{DD}}{g_m v_{IN}(t) + I_A} + 2(\tau_1 + \tau_2 + \tau_3) \quad (3.50)$$

e

$$T_{2_{mis}} = \frac{C_3 V_{DD}}{I_B - g_m v_{IN}(t)} + 2(\tau_1 + \tau_2 + \tau_3). \quad (3.51)$$

Dessa maneira, o período central de oscilação ω_0 do modulador também sofre alteração. Entretanto, não compromete a operação do circuito, conforme

$$T_{c_{mis}} = \frac{C_3 V_{DD} (I_A + I_B)}{I_A I_B} + 4(\tau_1 + \tau_2 + \tau_3). \quad (3.52)$$

O impacto do descasamento nas modulações de frequência e densidade de pulsos pode ser avaliado através da profundidade de modulação $u(t)$ aplicando-se a condição de descasamento $I_A \neq I_B \neq I_{REF}$ em (3.16), conforme

$$u(t)_{mis} = \frac{I_B - I_A}{I_A + I_B} + \frac{g_m v_{IN}(t)(t)}{\frac{I_A + I_B}{2}}, \quad (3.53)$$

em que o primeiro termo da equação representa um *offset* na profundidade de modulação $u(t)$ e o segundo termo é a própria profundidade de modulação $u(t)$. Uma vez descasadas as fontes de corrente I_{REF} , a profundidade de modulação $u(t)$ se torna inversamente proporcional à corrente média que flui através do arranjo capacitivo.

O efeito de *offset* oriundo do descasamento das fontes de corrente I_{REF} degrada a modulação, uma vez que introduz um erro no sinal aplicado à entrada $v_{IN}(t)$. Entretanto, pode ser corrigido aplicando-se um nível de tensão D.C. próprio V_{CM} à entrada do modulador, conforme

$$v_{IN}(t) = V_{CM} + v_{IN}(t). \quad (3.54)$$

Substituindo-se (3.54) em (3.16), a profundidade de modulação se torna

$$u(t)_{mis} = \left(\frac{I_B - I_A}{I_A + I_B} + \frac{2g_m V_{CM}}{I_A + I_B} \right) + \frac{2g_m v_{IN}(t)(t)}{I_A + I_B}. \quad (3.55)$$

Nota-se que dentro dos parênteses ocorre um segundo termo de *offset* correspondente à tensão V_{CM} aplicada à entrada do modulador. Dessa maneira, a tensão V_{CM} que corrige o *offset* causado pelo descasamento das fontes de corrente é encontrado igualando-se o primeiro termo ao oposto do segundo termo. Isolando-se V_{CM} ,

$$V_{CM} = \frac{I_B - I_A}{2g_m}. \quad (3.56)$$

A Equação (3.56) mostra que o modulador proposto é calibrável, uma vez que o efeito devido ao descasamento das fontes de corrente I_{REF} pode ser facilmente corrigido aplicando-se um nível D.C. próprio à entrada do circuito.

3.5 Análise quase-estática

A análise quase-estática é realizada considerando-se o sinal $v_{IN}(t)$ como um sinal cossenoidal de frequência μ muito inferior à frequência central ω_0 do modulador. Assim, o sinal de entrada $v_{IN}(t)$ é dado por

$$v_{IN}(t) = V_{CM} + V_{AC} \cos(\mu t). \quad (3.57)$$

Definindo-se

$$u(t) \triangleq u_m \cos(\mu t) \quad \text{e} \quad u_m = \frac{g_m V_{AC}}{I_{REF}}, \quad (3.58)$$

onde $|u_m| \leq 1$ é a amplitude normalizada do sinal AC e representa a profundidade de modulação. Baseado na análise de um modulador alimentado com fontes simétricas de tensão descrita em (16), pode-se representar a saída do modulador proposto que possui alimentação assimétrica através da expansão em série de Fourier com uma banda baseada por

$$s_0(t) = \frac{V_{DD}}{2} + \frac{V_{DD}}{2} u_m \cos(\mu t), \quad (3.59)$$

e a primeira componente harmônica dada por

$$s_1(t) = \frac{V_{DD}}{\pi} \sum_{i=-\infty}^{\infty} \sum_{k=-\infty}^{\infty} J_i(\beta_1) J_k(\beta_2) \frac{1 + (-1)^k}{2} \cos\left(\omega_0 t - \frac{\omega_0 u_m^2 t}{2} + (2i + k)\mu t\right), \quad (3.60)$$

em que $J_i(\beta_1)$ e $J_k(\beta_2)$ são funções de Bessel do tipo 1 (16) e

$$\beta_1 = \frac{\omega_0}{4\mu} u_m^2 \quad \text{e} \quad \beta_2 = \frac{\pi}{2} u_m. \quad (3.61)$$

As equações (3.59) e (3.60) mostram que aplicando-se um sinal cossenoidal à entrada do modulador, o mesmo sinal aparece na banda base adicionado de componentes harmônicas a partir da frequência

$$\omega_0 \left(1 - \frac{u_m^2}{2}\right). \quad (3.62)$$

Assim, é possível obter um espectro livre de componentes harmônicas dentro da largura de banda do ASDM escolhendo-se frequência central ω_0 e profundidade de modulação apropriadas (16, 17, 13). O desenvolvimento detalhado de (3.59), (3.60) e (3.62) se encontra no apêndice A.

3.6 Relação sinal-ruído

No Capítulo 2 a relação sinal-ruído de um modulador alimentado com fontes simétricas foi introduzida. Utilizando-se as mesmas aproximações relacionadas ao erro de quantização anteriormente descritas, pode-se realizar uma análise similar para o ASDM proposto alimentado de forma assimétrica.

A Figura 20 ilustra o processo de amostragem do sinal quadrado do ASDM proposto, onde a primeira linha representa o sinal do modulador. Na segunda linha, as setas representam os instantes em que são tomadas as amostras do sinal quadrado, ou seja, a cada período T_s . O sinal resultante amostrado é mostrado na terceira linha. É importante notar que o sinal amostrado é ligeiramente diferente do sinal original proveniente

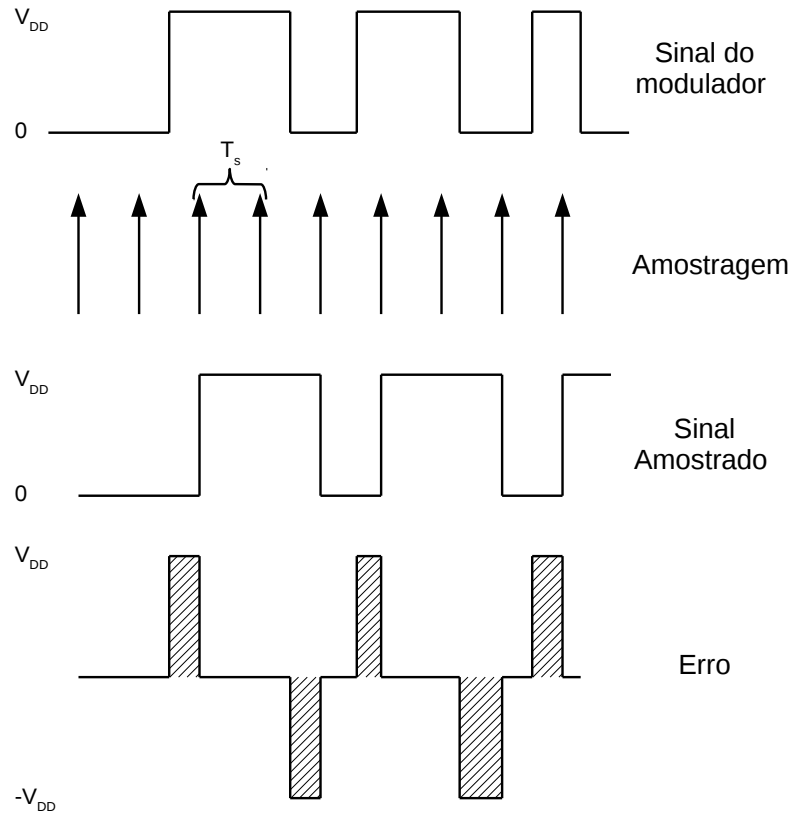


Figura 20 – Processo de amostragem do sinal quadrado.

do modulador. Essa diferença é o erro introduzido pela amostragem, que está ilustrado na quarta linha da Figura 20. Nota-se que o erro é um sinal quadrado que alterna entre os valores $-V_{DD}$ e $+V_{DD}$.

Considerando-se que o formato exato da área dos pulsos de erro pode ser desprezado e que o mesmo pode estar uniformemente distribuído ao longo de duas amostragens consecutivas, a Figura 21 ilustra a distribuição do erro ao longo do intervalo $2T_s$ que caracteriza duas amostragens consecutivas. Além disso, a área máxima de um pulso de erro positivo é dada por $V_{DD}T_s$ e a de um pulso negativo é $-V_{DD}T_s$, e que dentro de um período T_s há a probabilidade de ocorrência de apenas uma delas.

Dessa maneira, pode-se calcular a potência eficaz do erro de quantização PN através de:

$$PN = \sqrt{\left(\frac{1}{T} \int_0^T [f(t)^2] dt\right)} = \sqrt{\left(\frac{1}{2T_s} \int_0^{2T_s} (V_{DD}t - V_{DD}T_s)^2 dt\right)} = \sqrt{\frac{V_{DD}^2 T_s^2}{3}}. \quad (3.63)$$

Calculando a potência dentro da banda de interesse f_B em um ciclo de ω_0 , obtém-se

$$P_N = \sqrt{\frac{V_{DD}^2 T_s^2 f_B}{3T_0}}. \quad (3.64)$$

A potência eficaz do sinal PS pode ser calculada utilizando-se o segundo termo da

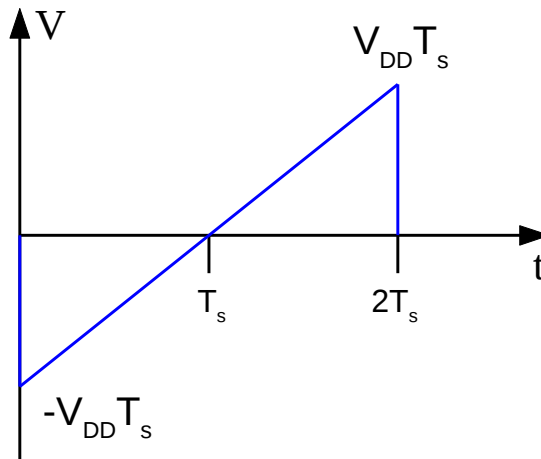


Figura 21 – Probabilidade de ocorrência de um erro.

equação (3.59), conforme

$$P_S = \sqrt{\frac{V_{DD}^2}{4} u_m^2}. \quad (3.65)$$

A relação sinal-ruído SNR pode então ser calculada segundo

$$\text{SNR} = \frac{P_S}{P_N} = \frac{3 u_m^2 f_s^2}{4 f_B f_0} = \frac{3 f_s^2}{4 f_B^2} \frac{u_m^2}{\text{OCR}}, \quad (3.66)$$

em que f_s é a frequência de amostragem e f_0 é a frequência central do ASDM, mostrando que a SNR do ASDM pode ser controlada diretamente pela frequência de amostragem f_s , como visto no Capítulo 2.

4 Protótipo em processo digital IBM 130-nm

Conforme discutido anteriormente, o ASDM proposto é composto de um integrador G_m -C em sua entrada que atua como um conversor tensão - corrente capaz de variar a corrente de referência de um oscilador de relaxação baseado em uma topologia de arranjo capacitivo e inversores CMOS. Nesse capítulo são detalhados os projetos e os leiautes do circuito oscilador de relaxação e do amplificador operacional de transcondutância de alta linearidade utilizado no integrador G_m -C. Uma vez que a linearidade da transcondutância G_m do OTA é o fator de maior impacto na operação do modulador, a maior parte desse capítulo é dedicada ao seu projeto.

4.1 Amplificador operacional simétrico de transcondutância

As duas maiores restrições quanto ao projeto de um integrador G_m -C são o consumo energético e a integração de grandes valores de capacitância, no caso de aplicações de baixa frequência (31).

A redução do consumo energético pode ser conseguida através da polarização de transistores em inversão fraca, permitindo a operação na região de *subthreshold*. Outra solução é realização de circuitos em processos de fabricação modernos que se beneficiem da redução da tensão de limiar.

Devido à impossibilidade de se integrar grandes capacitâncias, a solução para o projeto de integradores G_m -C é a utilização de amplificadores operacionais (OTA) de baixa transcondutância. Uma das alternativas é topologia simétrica acionada através do substrato que naturalmente apresenta baixa transcondutância e excursão simétrica de sinal (32, 33).

Baixos valores de fatores de inclinação n aumentam a linearidade de um OTA simétrico acionado pelo substrato que opera em inversão fraca (33). Como a transcondutância é definida segundo $g_m = g_{m_b}/(n - 1)$, baixos fatores de inclinação n promovem um aumento em sua linearidade.

Considerando-se que topologias halo-implantadas apresentam menores valores de fator de inclinação n e que a evolução natural do processo CMOS implica na diminuição do mesmo. Uma topologia de OTA simétrico acionado pelo substrato realizada utilizando-se transistores halo-implantados operando em inversão fraca se beneficia tanto da redução do consumo energético quanto da alta linearidade. Além disso, apresentará melhor desempenho de maneira geral através de uma simples atualização no processo de fabricação.

O grande empecilho para tal topologia é que os transistores halo-implantados apre-

sentam impedâncias de saída reduzidas, que podem degradar o desempenho de circuitos analógicos (34, 21). Uma maneira inteligente de minimizar os efeitos indesejados dos halo-implantes é a utilização do leiaute distribuído (29), que aumenta a impedância de saída.

A topologia simétrica e acionada através do substrato dos transistores do par diferencial é uma alteração da topologia tradicional acionada através do *gate* dos transistores do par diferencial (35). Assumindo que os transistores do par diferencial possuam tensão V_{GS} suficiente para estarem sempre ativos, o acionamento através do substrato possibilita um aumento na faixa linear de entrada do OTA, conforme mostrado em 2.6.1.

A topologia acionada pelo substrato apresenta maior nível de ruído quando comparada à topologia acionada pelo *gate*, uma vez que a transcondutância do substrato é inferior à do *gate*. Entretanto, esse ruído adicional é totalmente compensado pelo aumento natural da faixa linear de entrada e não causa impacto em sua relação sinal ruído (33).

A Figura 22 ilustra o esquemático do OTA proposto, mostrando que cada transistor comum foi substituído por uma matriz de transistores halo-implantados unitários. Ambos dispositivos nMOS e pMOS foram implementados utilizando-se um arranjo de transistores halo-implantados com dimensões 16x16. Além disso, os transistores Q_1 e Q_2 são acionados pelo substrato, característica disponível apenas aos transistores pMOS, uma vez que são construídos sobre um poço com dopagem negativa. A geometria detalhada de cada um está descrita na Tabela 2.

O sinal de entrada consiste de uma tensão de modo comum V_{CM} e de uma tensão em modo diferencial v_{dm} , conforme

$$v_{IN} = V_{CM} \pm v_{dm}. \quad (4.1)$$

Assumindo Q_1 e Q_2 saturados em inversão fraca e que todos os transistores estão casados, a corrente de saída i_o pode ser encontrada substituindo-se v_{BS} por (4.1) em (2.30), conforme

$$i_o = 2I_B \tanh\left(q(n-1)\frac{v_{dm}}{nkT}\right), \quad (4.2)$$

Tabela 2 – Geometrias dos arranjos de transistores unitários.

Transistor ($\frac{W}{L}$)[μm]	Multiplicidade	Transistor ($\frac{W}{L}$)[μm]	Multiplicidade		
Q_1	$\frac{2,0}{2,0}$	1	Q_6	$\frac{0,4}{0,6}$	6
Q_2	$\frac{2,0}{2,0}$	1	Q_7	$\frac{2,0}{2,0}$	2
Q_3	$\frac{0,4}{0,6}$	5	Q_8	$\frac{2,0}{2,0}$	1
Q_4	$\frac{0,4}{0,6}$	5	Q_9	$\frac{2,0}{2,0}$	1
Q_5	$\frac{0,4}{0,6}$	6	Q_{10}	$\frac{2,0}{2,0}$	2

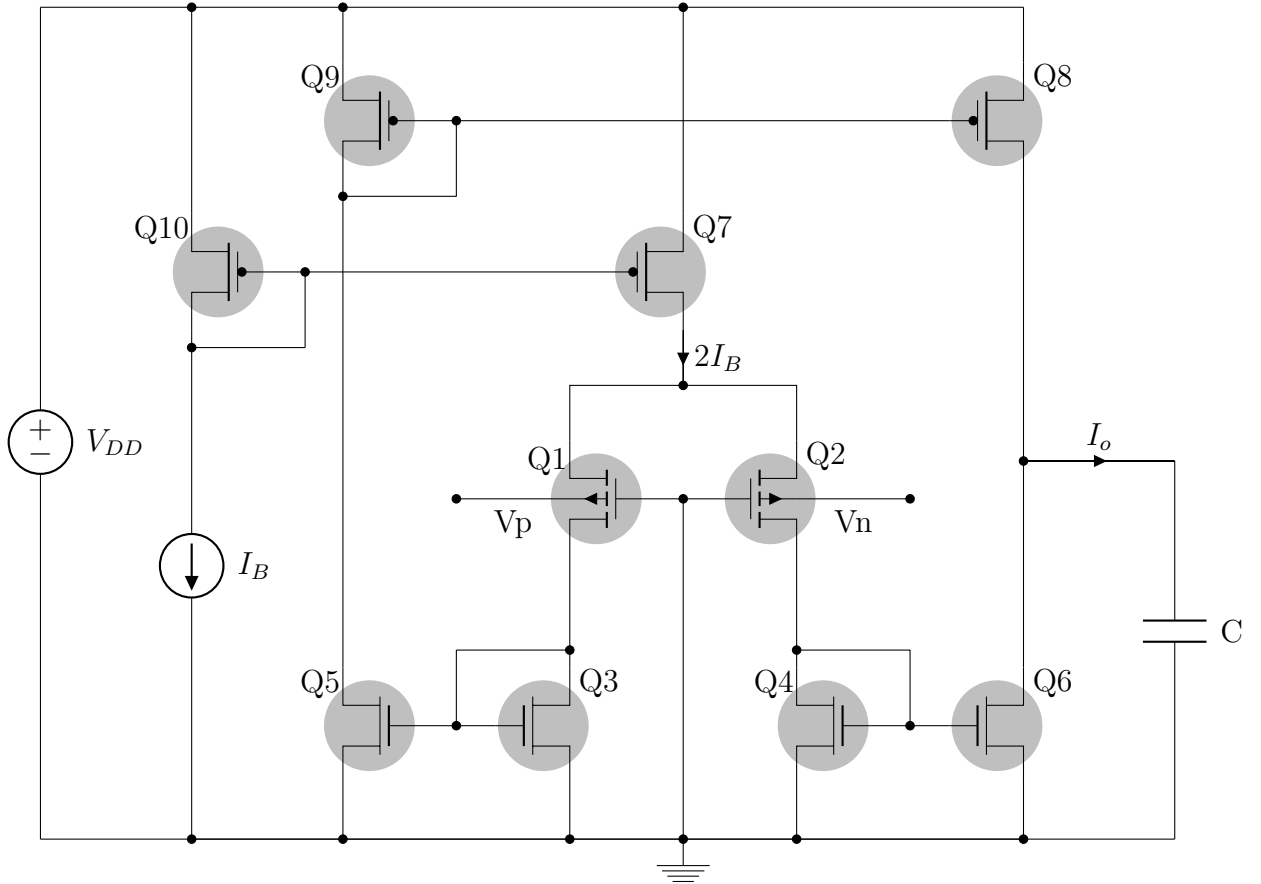


Figura 22 – Topologia do OTA simétrico acionado através do substrato realizada com matrizes de transistores halo-implantados unitários.

em que I_B é a corrente de polarização. A transcondutância g_m do OTA pode ser encontrada derivando-se (4.2) em relação a v_{dm} , segundo

$$g_m = \frac{\partial i_o}{\partial v_{dm}} = 2I_B \operatorname{sech}^2 \left(q(n-1) \frac{v_{dm}}{n k T} \right). \quad (4.3)$$

De acordo com (4.3), na inversão fraca, a transcondutância g_m independe de parâmetros geométricos ou de tensões de polarização, mostrando que qualquer distorção de sinal ocorre devido à função sech e que uma redução na tensão de alimentação não acarreta perda de desempenho. Também nota-se que a transcondutância g_m é menor em implementações halo-implantadas, característica desejada em aplicações G_m -C de baixas frequências.

Conforme mostrado em (33), o valor máximo de pico do sinal senoidal de entrada v_{dm} para a condição $\text{HD}_3 \leq 1\%$ é

$$v_{dm} = \frac{n}{n-1} \frac{kT}{q} \sqrt{12 \text{HD}_3}. \quad (4.4)$$

A equação (4.4) é fundamental para compreender que a topologia proposta para o OTA apresentará melhoria na linearidade ao longo da evolução do processo CMOS, uma

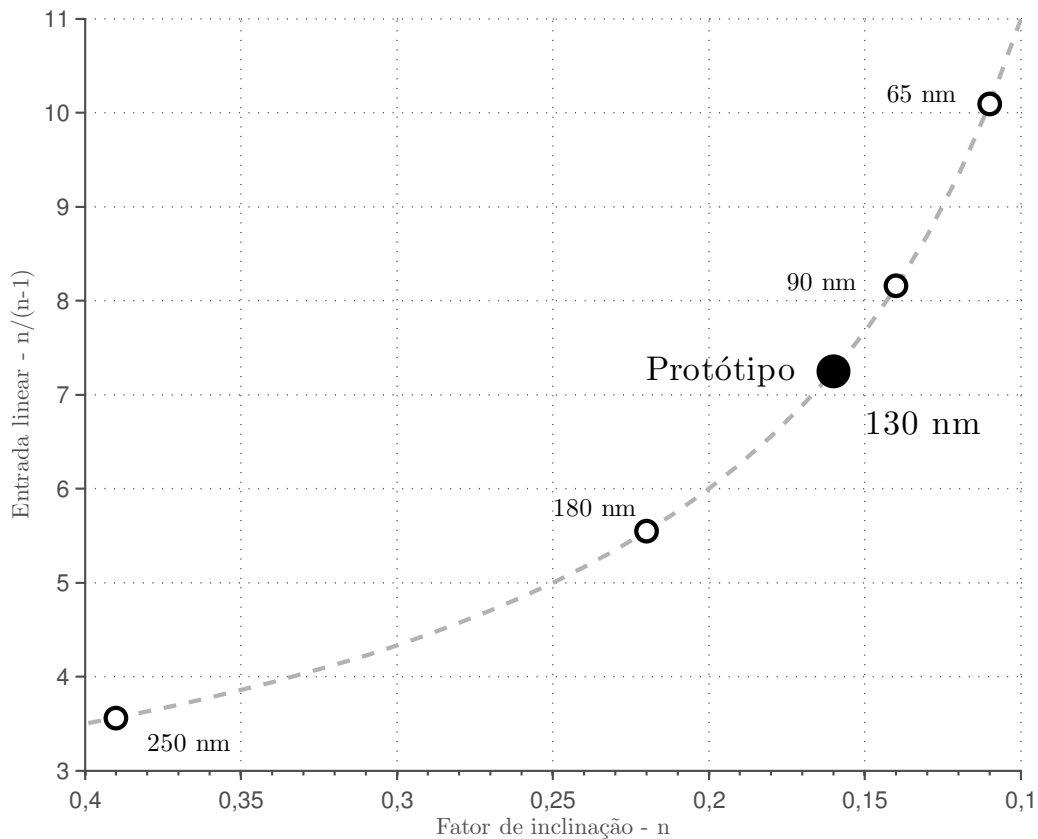


Figura 23 – Aumento da amplitude do sinal de entrada v_{dm} para uma distorção máxima de sinal de 1 % do OTA proposto ao longo da evolução do processo CMOS.

vez que o fator de inclinação n diminui naturalmente. Isso possibilita a aplicação de um sinal maior à entrada para a condição de 1% de distorção de terceira harmônica. A Figura 23 descreve o comportamento de $n/(n - 1)$ ao longo da evolução do processo CMOS, evidenciando que a topologia proposta apresentará melhor desempenho atualizando-se o processo de fabricação, uma vez que o fator de inclinação n decresce naturalmente.

O OTA proposto foi projetado e simulado na ferramenta Spectre utilizando-se o processo de fabricação CMOS halo-implantado IBM de 130-nm de comprimento de canal com auxílio de modelos BSIM 4 e kit de desenvolvimento disponibilizados pela organização MOSIS. O projeto contempla uma corrente de polarização de 10-nA que é condizente com a operação em inversão fraca e também uma capacitância de carga de 20-pF. A tensão mínima de alimentação permitida é de 250-mV, levando a um consumo de potência de 10-nW. A Tabela 3 resume os resultados das especificações simuladas e medidas. Os resultados medidos são muito próximos aos simulados, demonstrando a boa aproximação do modelo BSIM4 e estabelecendo que a utilização do leiaute distribuído possibilita a construção de um OTA simétrico funcional sem a necessidade de utilizar-se técnicas complexas.

A Figura 24a mostra a configuração utilizada para a medida da transcondutância do OTA utilizado, em que a *source meter* A, SM_A , foi configurada como fonte de tensão e

Tabela 3 – Comparativo entre simulações e medidas.

	Simulação	Medida
Temperatura (°C)	27	27
Corrente máxima de entrada (pA)	5,15	2,00
THD@100mV _{pp} (%)	0,27	0,53
Slew-rate (V/ μ s)	108,60	94,60
Consumo de potência (nW)	7,50	7,50
Transcondutância (nS)	23,60	22
Faixa de ruído (Hz)	0,2-200	0,2-200
Ruído referenciado à entrada (μ V _{RMS})	87,69	100,00
Constante de tempo do integrador (ms)	5,00	5,02
Tensão de offset (mV)	–	$\pm 10,82$

variada de 0-V até 0,25-V com passo de 0,01-V e a *source meter* B, SM_B, foi configurada como leitura de corrente. A Figura 24b ilustra a curva da transcondutância medida, mostrando a sua similaridade com a função trigonométrica secante hiperbólica (correlação de 96 %), conforme demonstrado em (4.3). Ela também indica que um sinal de entrada de 100-mV_{pp} de excursão causa uma flutuação da transcondutância de aproximadamente 0,3%. Entretanto, a medida da distorção harmônica total realizada nas mesmas condições resulta em 0,53 %, atestando que o leiaute distribuído proporciona alta linearidade.

Com a finalidade de verificar a sua linearidade, o OTA proposto foi configurado como um simples integrador G_m -C, conforme indicado na Figura 25a. Um sinal quadrado oriundo de um gerador de funções foi aplicado à entrada não inversora enquanto a entrada inversora foi utilizada para ajustar a tensão de modo comum. A tensão sobre o capacitor foi medida e armazenada utilizando-se um osciloscópio. A Figura 25b mostra a forma de onda da saída do integrador que possui uma constante de tempo de 5-ms quando um sinal quadrado de 100-mV_{pp} é aplicado à sua entrada. Note que o valor de modo comum do sinal de entrada foi corrigido para eliminar o efeito DC da polarização.

Na Tabela 4 estão listadas algumas referências que permitem a avaliação de desempenho do OTA proposto. O OTA simétrico proposto exibe a menor tensão de alimentação e o menor consumo de potência enquanto a sua transcondutância de 22-nS e o seu ruído referenciado à entrada de 100-mV_{RMS} são compatíveis com os valores dos outros trabalhos. O protótipo do OTA simétrico está mostrado na Figura 26, em que seu leiaute encontra-se em destaque, providenciando detalhes sobre os arranjos de leiaute distribuído. O circuito possui uma razão de aspecto de 265- μ m x 260- μ m incluindo o anel de guarda em seu entorno. A característica de alta linearidade do OTA projetado é essencial para o funcionamento do ASDM, uma vez que será utilizado como um elemento integrador.

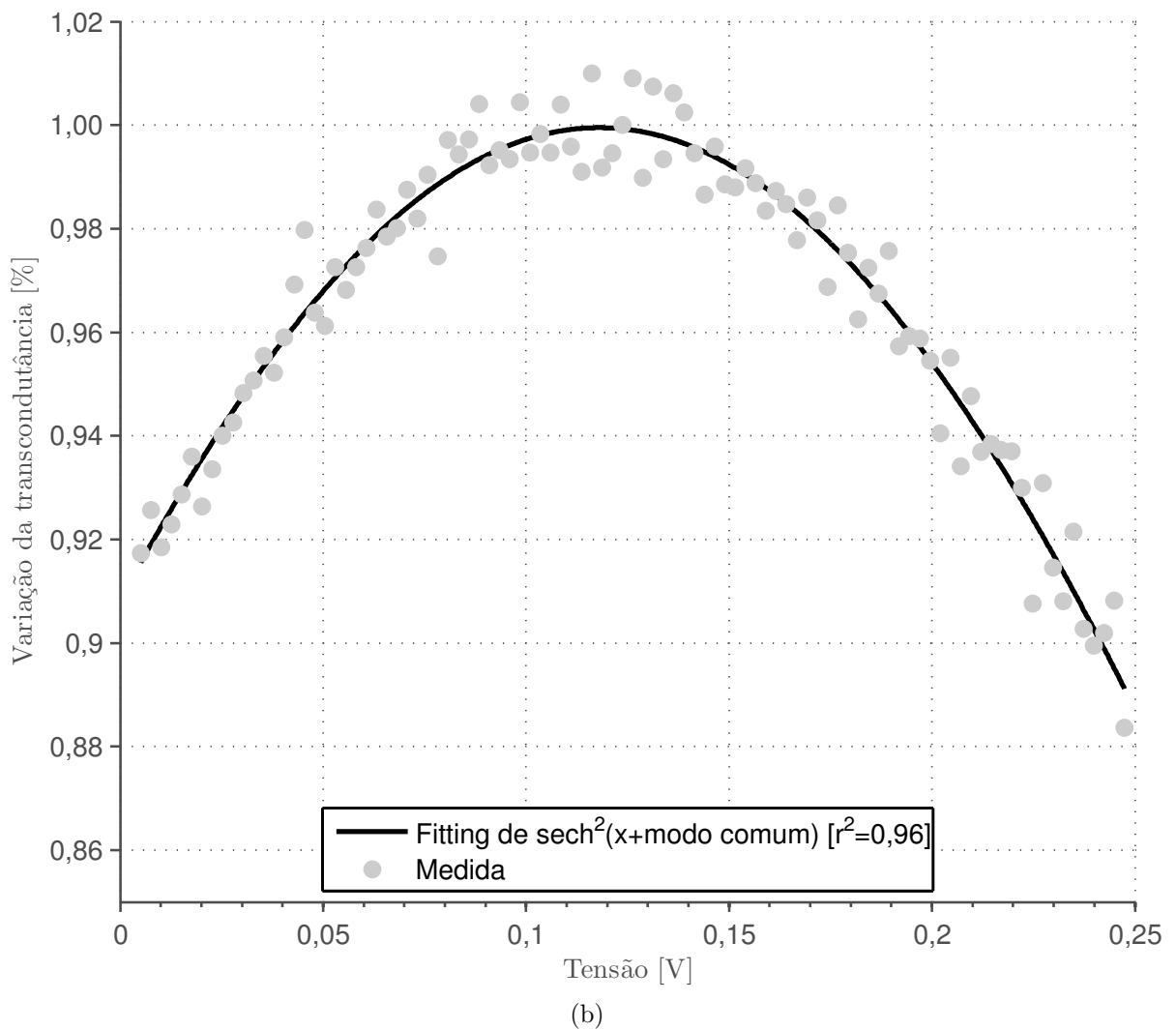
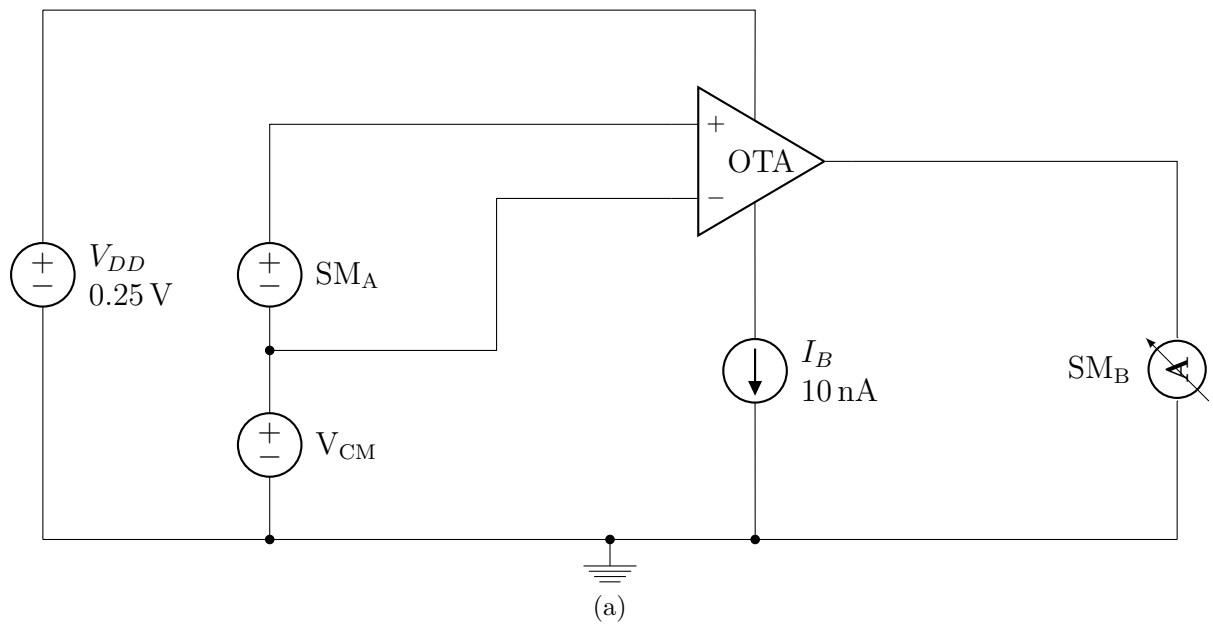


Figura 24 – Configuração utilizada na caracterização da transcondutância do OTA em (a) e correlação de 96 % entre a função trigonométrica secante hiperbólica e a corrente medida do OTA proposto em (b).

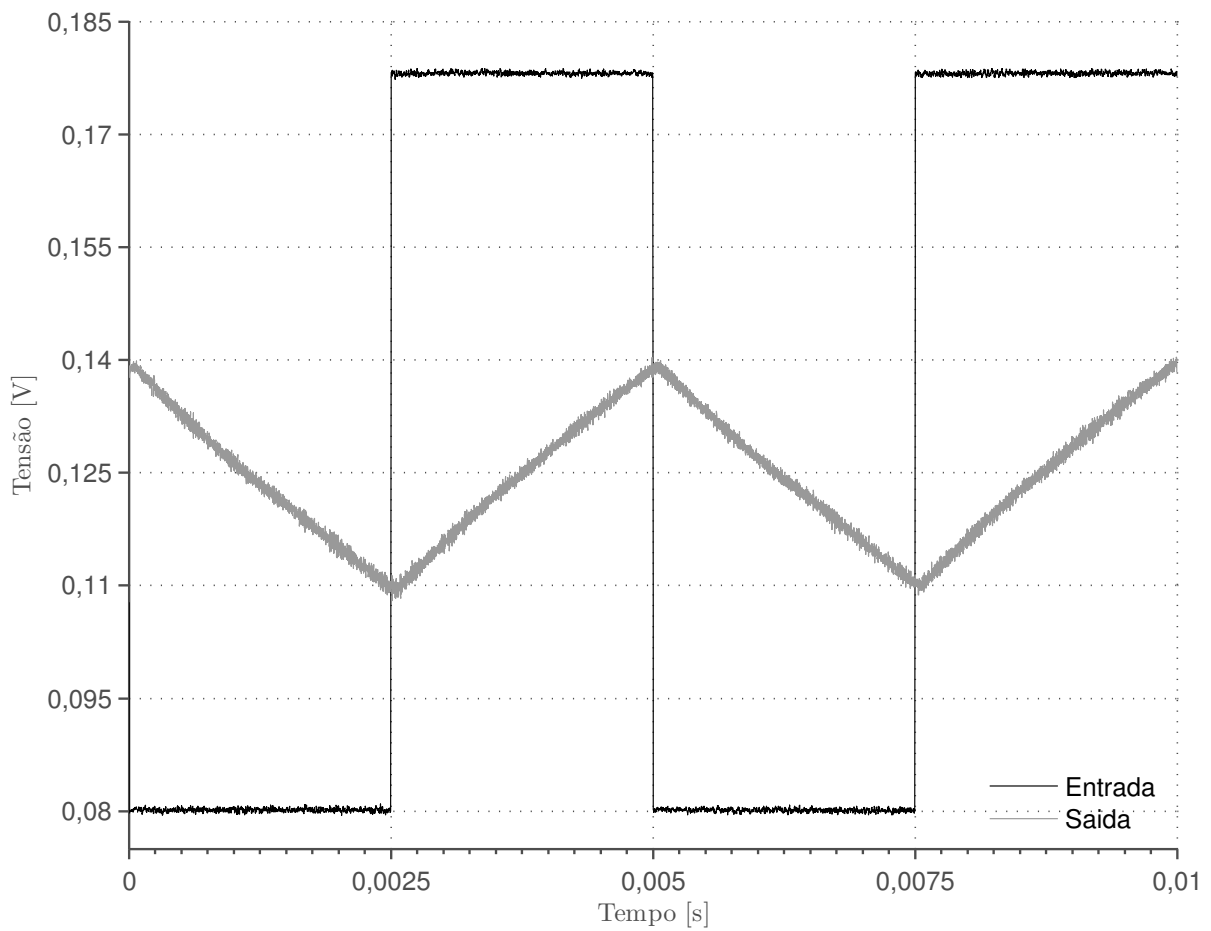
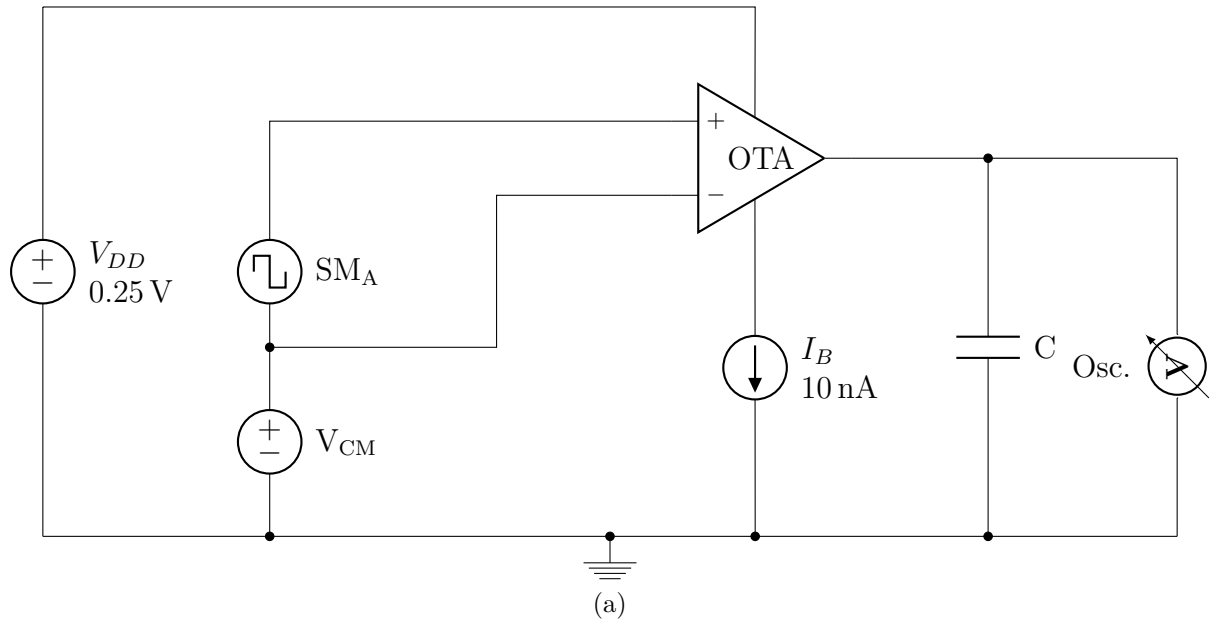


Figura 25 – Configuração utilizada para a caracterização do integrador G_m -C em (a) e medida da resposta transiente de um integrador de constante de tempo de 5-ms com um sinal quadrado de 100-mV_{pp} aplicado à sua entrada em (b).

Tabela 4 – Referências para o desempenho do OTA simétrico proposto.

	OTA Proposto	Cotrim (33) (2012)	Mourabit (36) (2005)	Veeravalli (31) (2002)	Villegas (37) (2011)	Veeravalli (38) (2002)
Tecnologia CMOS (μm)	0,13	0,35	0,8	1,2	0,35	1,2
Acionamento do par diferencial	Substrato	Substrato	Gate flutuante	Substrato	Doublet	Gate
Alimentação (V)	0,25	0,8	1,5	2,7	1	1,5
Consumo de potência (μW)	0,01	0,04	1	4	5	6,97 ^a
Transcondutância (nS)	22	66	82	10	–	1
Faixa linear de entrada [$\text{HD}_3 \leq 1\%$](V_{pp})	–	0,1	1,1	0,9	–	2 ^b
Faixa de ruído (Hz)	0,2-200	0,2-200	1-100	0,01-10	0,02-1	0-1
Ruído referenciado à entrada (V_{RMS})	100	80	110	105	32	110
Área (mm^2)	0,053	0,04	0,04	0,22	0,07	3,61 ^c
THD(%>@entrada(mV_{pp}))	0,53@100	0,39@600	–	–	0,96@140	–

^a Filtro passa banda de quarta ordem e um oscilador de relaxação.^b Entrada diferencial.^c Inclui circuito de realimentação.

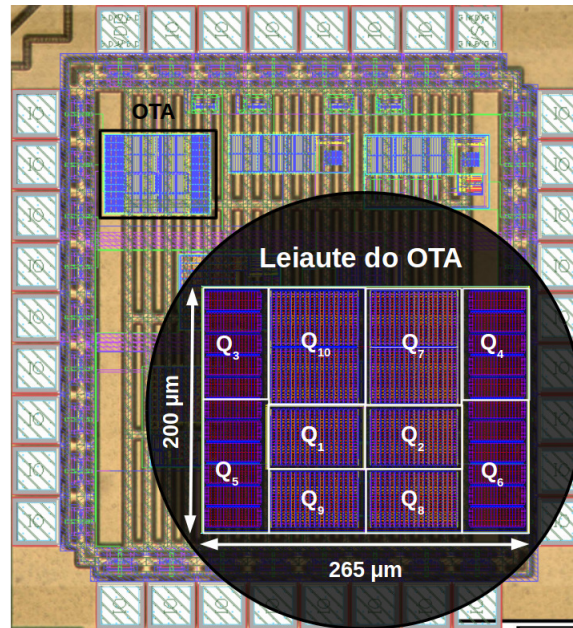


Figura 26 – Leiaute do OTA simétrico proposto.

4.2 Oscilador de relaxação

A Figura 27 ilustra o circuito oscilador utilizado na implementação do ASDM. É importante notar que o mesmo não utiliza amplificadores operacionais em seu projeto, minimizando, portanto, seu consumo energético. As fontes de corrente foram implementadas utilizando-se a técnica de leiaute distribuído, em que os transistores foram ligados na configuração de espelhos de corrente. Os capacitores foram todos integrados no *chip* e os inversores utilizam transistores halo-implantados comuns.

Por questão de simplicidade a Figura 27 não mostra as cargas auxiliares que são conectadas às fontes de corrente I_{REF} no momento em que comutam. Tais cargas são importantes para que os transistores Q_3 e Q_4 dos espelhos de corrente não tenham sua região de operação alterada durante o período de comutação. A Tabela 5 mostra as geometrias dos arranjos de transistores halo-implantados de dimensão 16x16 utilizados no circuito oscilador.

O oscilador de relaxação foi caracterizado conforme a configuração mostrada da Figura 28a, mostrando que sua entrada foi mantida flutuando e o canal de um osciloscópio foi conectado para visualizar a histerese de tensão. Outro canal de osciloscópio foi conectado à saída do oscilador para visualizar o sinal quadrado. A Figura 28b mostra as medidas dos canais do osciloscópio, sendo o sinal superior a histerese no ponto P e o sinal inferior a saída. Nota-se que o sinal de histerese de tensão é muito semelhante ao modelo completo desenvolvido no capítulo 3, percebendo-se o efeito dos atrasos de propagação de sinal. Nota-se ainda que sua amplitude é de 11,23-mV. Mesmo distorcido pela capacitância

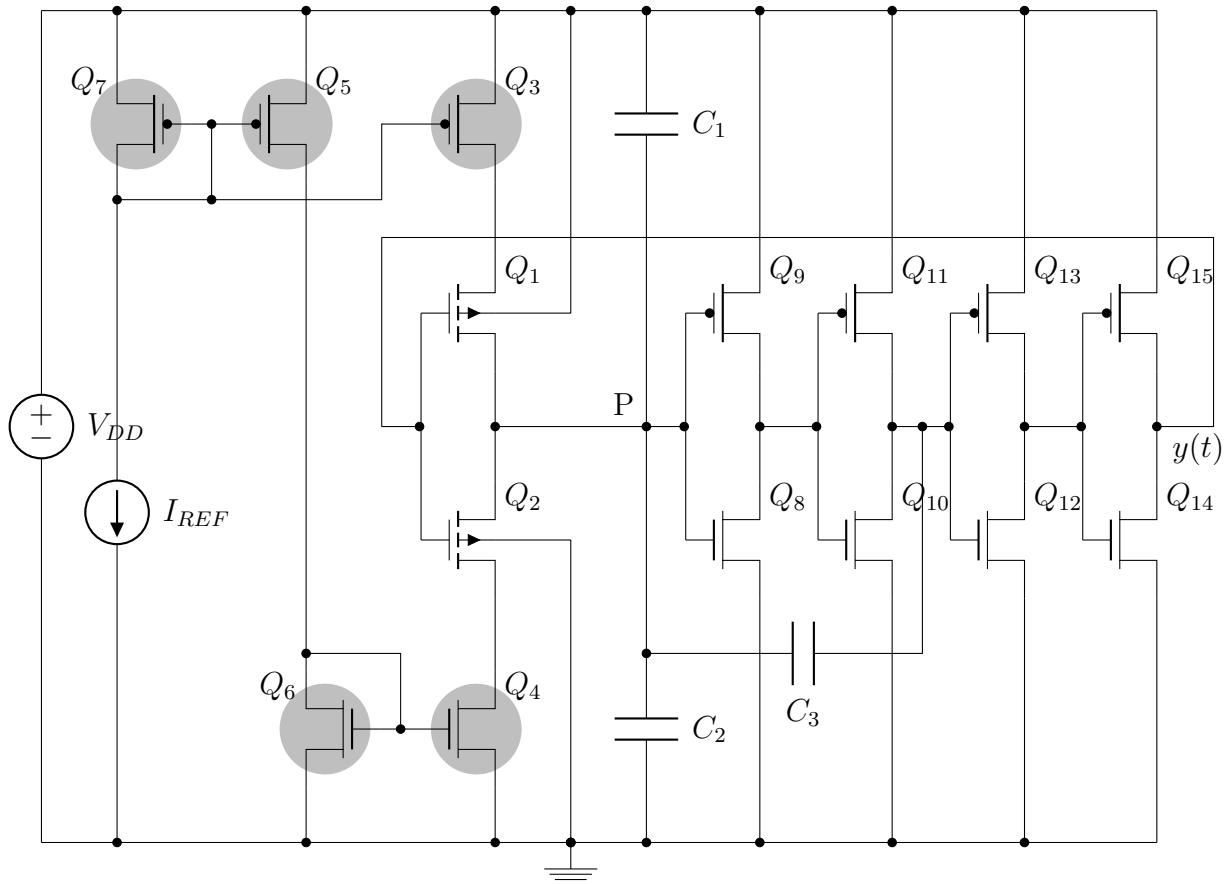


Figura 27 – Circuito esquemático do oscilador de relaxação implementado. As cargas auxiliares utilizadas na comutação dos transistores Q_1 e Q_2 não foram representadas para simplificar o esquemático.

da matriz de contatos utilizada na caracterização, o sinal de saída apresenta ciclo de trabalho de 49,52% sem calibração alguma e frequência de 11,11-kHz. É importante lembrar que nessa caracterização o amplificador operacional de transcondutância não está conectado à entrada do oscilador. O protótipo que possui uma razão de aspecto de $314\text{-}\mu\text{m} \times 186\text{-}\mu\text{m}$ está mostrado na Figura 29. A operação baseada na cadeia de inversores permite uma redução no consumo energético, uma vez que não envolve consumo quiescente. Além disso não necessita de polarização como os *Schmitt triggers*, simplificando o projeto do ASDM.

4.3 Modulador completo

O amplificador operacional simétrico de transcondutância foi conectado à entrada do circuito oscilador de relaxação, realizando o ASDM proposto, conforme ilustrado na Figura 30a que também mostra a configuração utilizada na calibração inicial do ASDM.

Inicialmente, foram aplicadas tensões D.C. de modo comum $V_{CM_1} = V_{DD}/2$ e

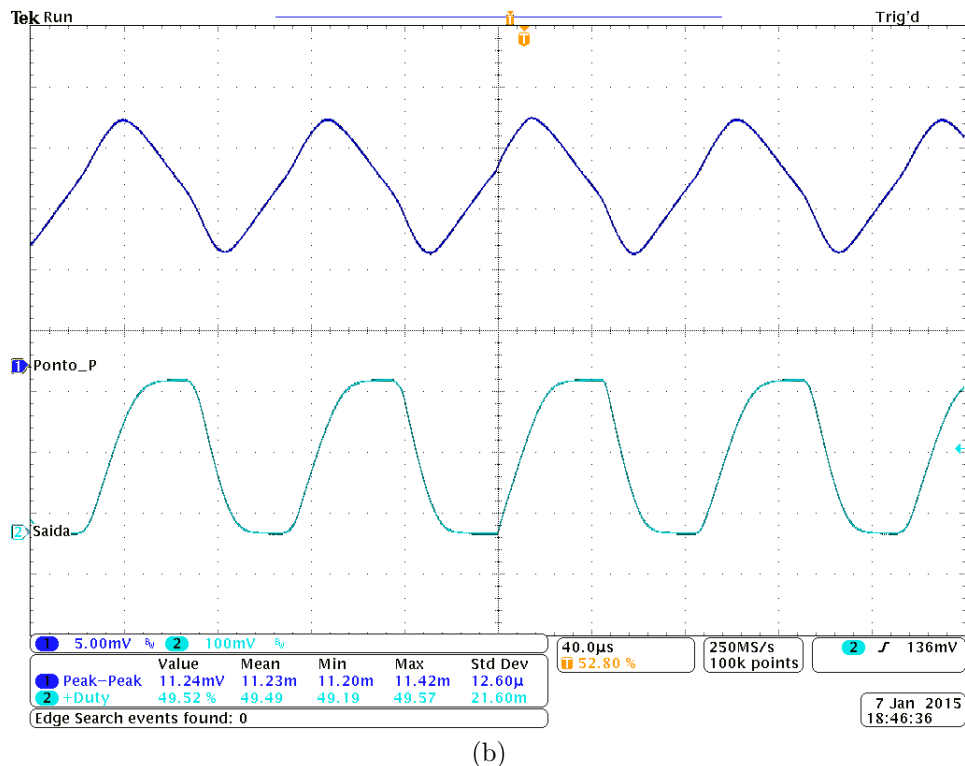
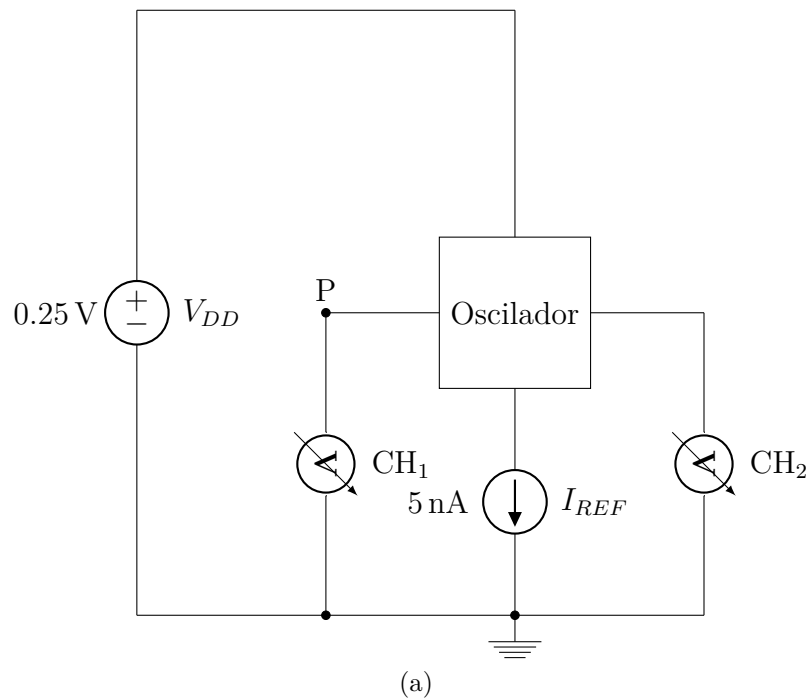


Figura 28 – Configuração utilizada para a caracterização do oscilador de relaxação em (a) e medidas da histerese de tensão e sinal quadrado de saída realizadas com alimentação de 0,25-V e polarização de corrente de 5-nA em (b).

Tabela 5 – Geometrias dos dispositivos realizados em leiaute distribuído.

Transistor	$(\frac{W}{L})[\mu\text{m}]$	Multiplicidade
Q_3	$\frac{2,0}{2,0}$	1
Q_4	$\frac{0,4}{0,4}$	1
Q_5	$\frac{2,0}{2,0}$	5
Q_6	$\frac{0,4}{0,6}$	5
Q_7	$\frac{2,0}{2,0}$	6

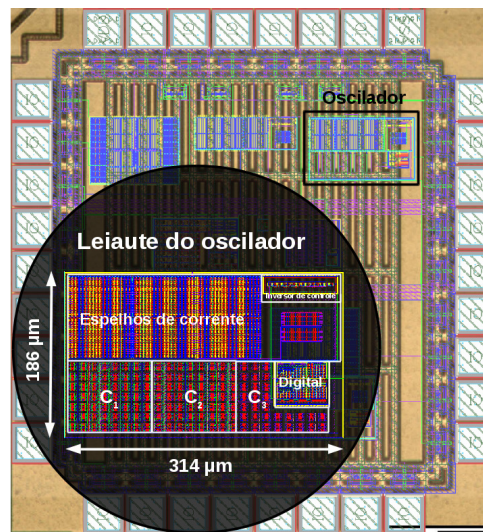
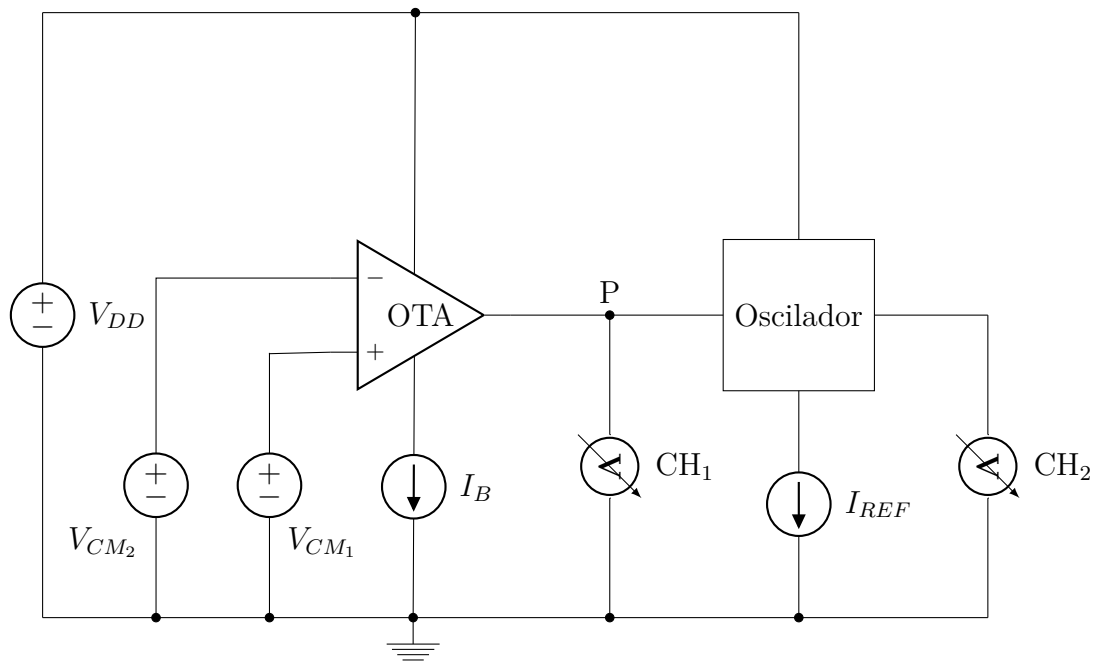


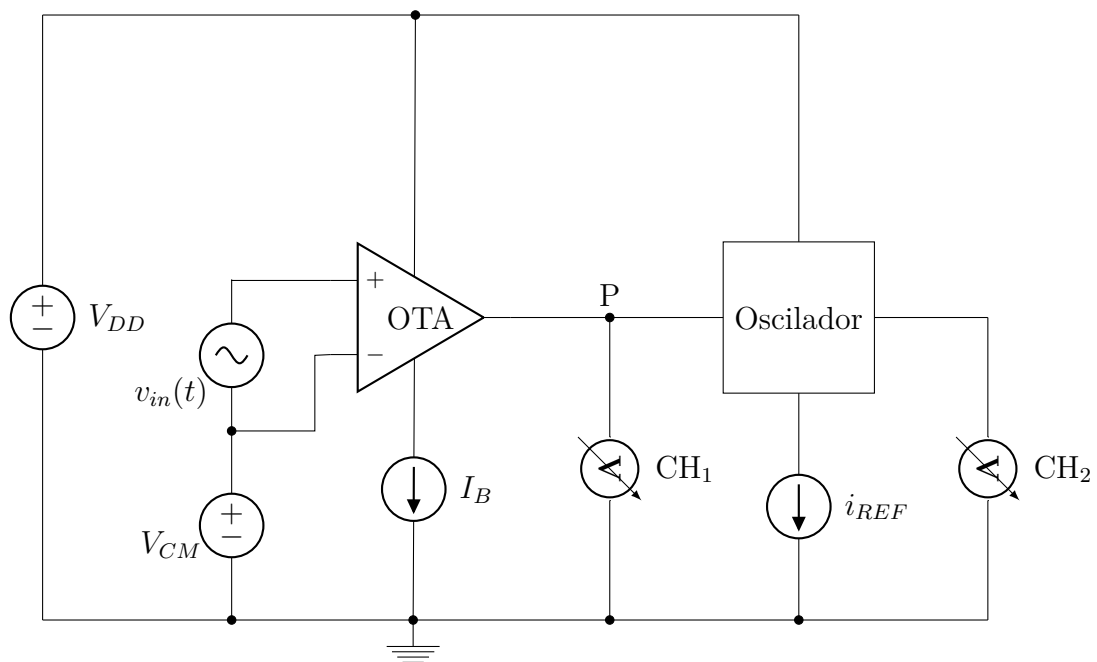
Figura 29 – Leiaute do oscilador de relação utilizado.

$V_{CM_2} = V_{DD}/2$ às entradas positiva e negativa do ASDM. A medida de sua saída, ilustrada na Figura 31a mostra um sinal quadrado de frequência 5,6-kHz e ciclo de trabalho de 50%. Também são mostradas as medidas das tensões na entrada e no ponto P de conexão entre o OTA e o oscilador. Essa medida está de acordo com as equações (3.14) e (3.49) que representam os modelos simplificado e completo, desenvolvidas no Capítulo 3, uma vez que nessa configuração tem-se uma profundidade de modulação $u(t)$ nula que corresponde a um ciclo de trabalho de 50% no sinal de saída do ASDM. Além disso, a medida também mostra que o ASDM está naturalmente calibrado em seu ponto ótimo, ou seja, não houve a necessidade de variar a tensão D.C. de modo comum V_{CM} das entradas a fim de se obter um sinal quadrado perfeito na saída.

Segundo (16, 17), ASDMs possuem melhor desempenho quando operam com profundidades de modulação $u(t)$ mínima e máxima de -0,5 e 0,5, que correspondem a sinais quadrados de ciclo de trabalho de 25% e 75%, respectivamente. Dessa maneira, o ASDM foi caracterizado nessas situações, mantendo-se $V_{CM_2} = V_{DD}/2$ e variando V_{CM_1} até a obtenção dos ciclos de trabalho desejados. As Figuras 31b e 31c mostram as medidas do sinal de saída do ASDM operando com profundidades de modulação $u = -0,5$ e $u = 0,5$,



(a)



(b)

Figura 30 – Configurações utilizadas para a caracterização do ASDM. Em (a) foram ligados sinais DC ao ASDM, enquanto em (b) foi aplicado um sinal senoidal à entrada do ASDM.

respectivamente.

Uma característica do ASDM proposto é que suas entradas acionadas pelo substrato permitem operação com tensões superiores à tensão de alimentação V_{DD} . Caso se deseje trabalhar com tensões máximas iguais a V_{DD} na entrada, se faz necessário calibrar a corrente I_{REF} de polarização do oscilador. Nas medidas apresentadas anteriormente, o ASDM foi polarizado com uma corrente $I_{REF}=7,1\text{-nA}$ que equivale a uma tensão D.C. nula em V_{CM_1} no caso de uma profundidade de modulação $u(t)=-0,5$; $V_{CM_1}=0,125\text{-V}$ no caso em que a profundidade de modulação $u(t)$ nula; e $V_{CM_1}=0,25\text{-V}$ para uma profundidade de modulação $u(t)=0,5$.

Analisando-se a tensão no ponto P que liga o OTA ao oscilador mostrada nas Figuras 31a, 31b e 31c, nota-se um comportamento similar à histerese de tensão H do modelo completo desenvolvido no Capítulo 3. Após a validação da operação D.C. do ASDM proposto, foi aplicado à sua entrada positiva um sinal senoidal $v_{IN}(t)$ de 250-mV_{PP} de amplitude e 125-mV de modo comum com frequência 100-Hz , conforme mostrado na Figura 30b.

As medidas na Figura 31d mostram que o sinal de histerese de tensão flutua em fase com o sinal de entrada $v_{IN}(t)$ devido aos atrasos de propagação de sinal τ_1 , τ_2 e τ_3 , conforme demonstrado em (3.39) no modelo completo desenvolvido no Capítulo 3. Na parte inferior está mostrada a saída do modulador, em que notam-se as variações de frequência e densidade de pulsos no sinal quadrado, em conformidade com a modelagem realizada no Capítulo 3.

As medidas mostradas até o momento foram realizadas ligando-se externamente os blocos funcionais integrador $G_m\text{-C}$ e oscilador de relaxação de modo a proporcionar um ponto de monitoramento do sinal de histerese de tensão para validar o modelo desenvolvido no Capítulo 3. Entretanto, esse tipo de ligação introduz capacitâncias parasitas tanto dos pinos do encapsulamento do próprio circuito integrado como da matriz de contatos em que a caracterização foi realizada, resultando em uma ligeira deformação no sinal de histerese de tensão e também em uma diminuição da frequência central de oscilação f_0 do ASDM. Dessa maneira, as medidas de desempenho do ASDM foram realizadas em uma versão completa integrada, na qual, o sinal de histerese de tensão não está disponível para monitoramento, minimizando os efeitos indesejados. A calibração do ASDM integrado também foi verificada seguindo-se a mesma metodologia apresentada anteriormente.

As Figuras 32a, 32b e 32c mostram o sinal de saída do ASDM integrado para as profundidades de modulação $u(t)$ nula, $-0,5$ e $0,5$, respectivamente. Nota-se que a frequência central f_0 do ASDM integrado é muito superior, cerca de 60-kHz . Além disso, o ASDM também opera entre os ciclos de trabalho de 25% e 75% . A Figura 33 mostra o espectro do sinal de saída do ASDM integrado para as profundidades de modulação $u(t)$ nula, $-0,5$ e $0,5$, obtido através de uma FFT de 25-Hz de resolução e 25-MHz de taxa de

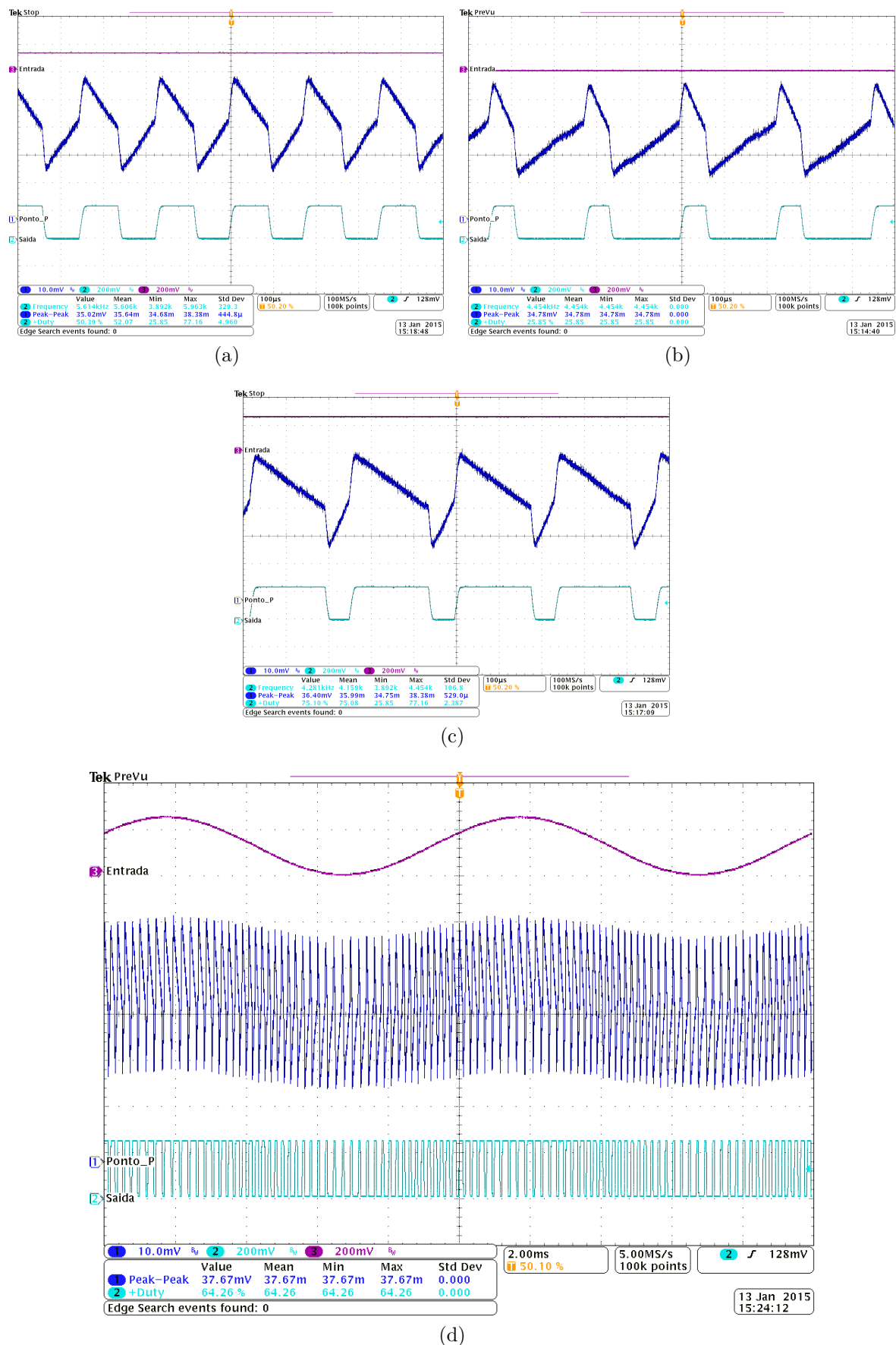


Figura 31 – Sinais de entrada, histerese de tensão e saída do modulador para uma profundidade de modulação nula em (a), $u=-0,5$ em (b) e $u=0,5$ em (c). Em (d) foi aplicada uma entrada senoidal $v_{in}(t)$ de 250-mV_{PP} de amplitude e 125-mV de modo comum com frequência 100-Hz.

amostragem. Nota-se o deslocamento da frequência central f_0 de 59-kHz para 48-kHz e também a simetria do ASDM proposto, uma vez que nos casos em que a profundidade de modulação $u(t)$ vale -0,5 e 0,5 a frequência central f_0 foi deslocada para 48-kHz.

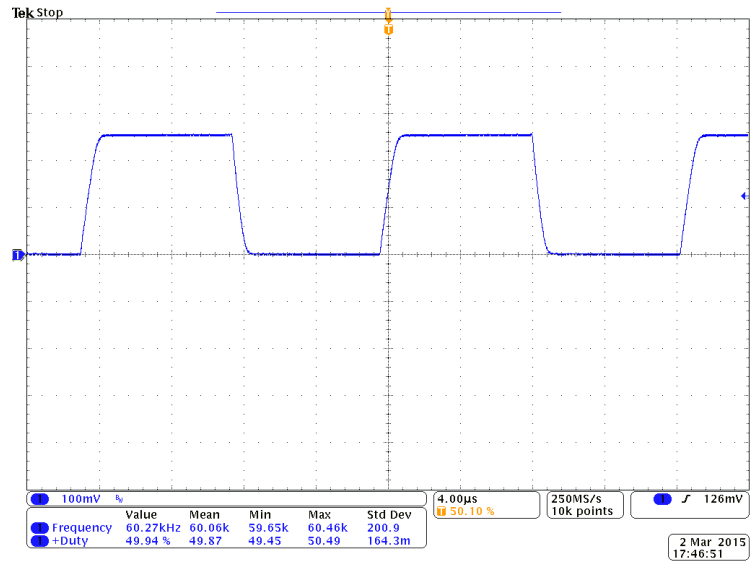
Em seguida os parâmetros dinâmicos do ASDM foram caracterizados em uma banda de 30-Hz condizente com aplicações biomédicas. Para tanto, foi aplicado à entrada positiva do ASDM um sinal senoidal de 10-Hz de frequência, 150-mV_{PP} de amplitude e 125-mV de modo comum, enquanto à entrada negativa foi aplicado um nível D.C. de 125-mV, caracterizando uma operação em configuração *single-ended*.

A Figura 34 mostra o espectro do sinal de saída do ASDM na banda de interesse que se estende de 5-Hz até 35-Hz juntamente com os resultados calculados para os parâmetros de distorção harmônica total (THD), relação sinal-ruído (SNR), relação sinal- ruído mais distorção harmônica (SNDR) e número efetivo de bits (ENOB). O espectro foi obtido através de uma FFT de 0,5-Hz de resolução e 500-kHz de taxa de amostragem. Nota-se que ocorre uma distorção de segunda harmônica em 20-Hz, característica da operação *single-ended* (39) e também uma distorção de terceira harmônica em 30-Hz devida ao integrador G_m -C. Uma análise nos parâmetros dinâmicos de SNR e SNDR mostra que ambos possuem valores próximos, 57,3-dB e 56,3-dB, evidenciando o predomínio do ruído sobre a distorção harmônica total THD, característica do OTA de baixa distorção harmônica utilizado.

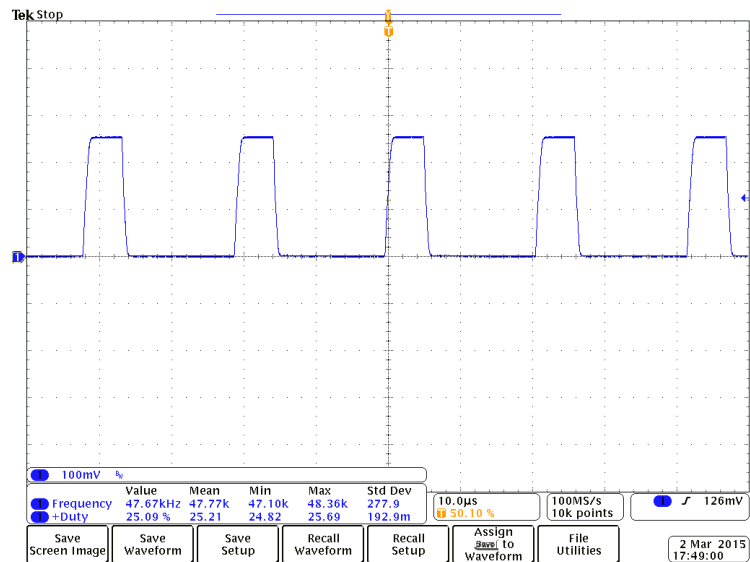
A Tabela 6 traz um comparativo entre os parâmetros indicadores de desempenho do ASDM proposto e outros moduladores de baixo consumo energético. Entretanto para uma comparação justa se faz necessária a definição de duas figuras de mérito, conforme

$$FoM_1 = DR + 10 \log \left(\frac{BW}{P} \right) \quad \text{e} \quad FoM_2 = \frac{P}{2^{\text{ENOB}} 2BW}, \quad (4.5)$$

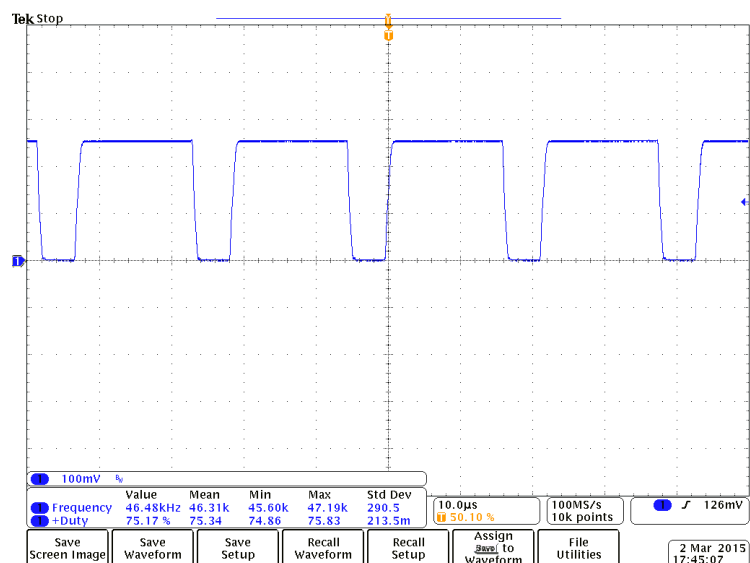
nas quais, BW é a banda do sinal e P é a potência dissipada. A FoM_1 favorece moduladores de baixa resolução enquanto a FoM_2 beneficia moduladores de grande faixa dinâmica (40). As figuras de mérito calculadas são compatíveis com as dos moduladores sigma-delta síncronos com topologia de capacitores chaveados (SC-DSM), mostrando que o ASDM proposto pode ser utilizado em aplicações biomédicas caracterizadas por sinais de bandas curtas e média resolução. A caracterização mostra uma frequência central f_0 próxima de 60-kHz, SNDR de 56-dB e consumo de 25-nW quando alimentado com 0,25-V. Portanto, apropriado para sistemas de aquisição biomédicos de 9-bits de resolução que se traduzem em aproximadamente 300- μ V de resolução quando aplicado um sinal de 150-mV_{PP}.



(a)



(b)



(c)

Figura 32 – Sinal de saída do ASDM integrado com profundidade de modulação nula em (a), $u=-0,25$ em (b) e $u=0,25$ em (c).

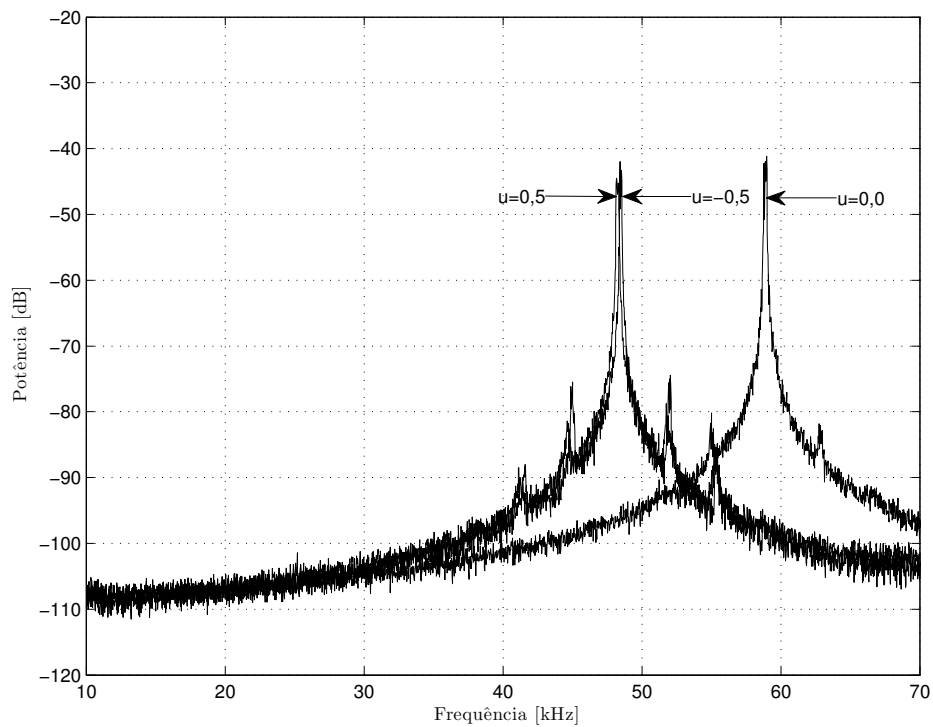


Figura 33 – Espectro do sinal de saída do ASDM integrado para as profundidades de modulação $u(t)$ nula, -0,5 e 0,5, obtido através de uma FFT de 25-Hz de resolução e 25-MHz de taxa de amostragem.

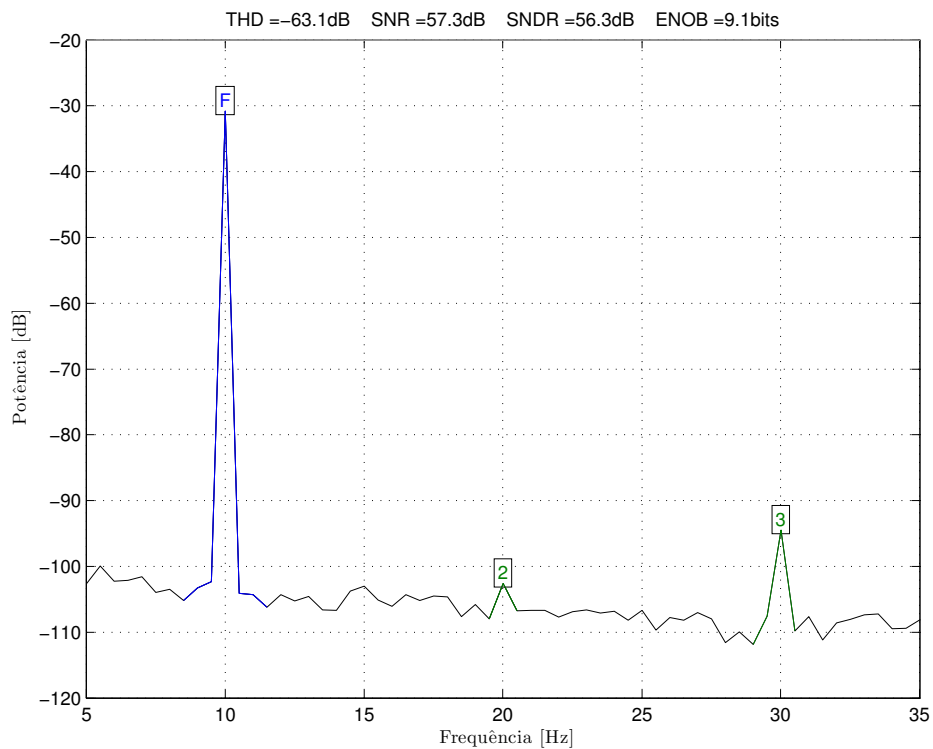


Figura 34 – Espectro do sinal de saída do ASDM integrado na banda de interesse de 30-Hz, obtido através de uma FFT de 0,5-Hz de resolução e 500-kHz de taxa de amostragem.

Tabela 6 – Indicadores de desempenho do ASDM.

	Este trabalho	TVLSIS (41)	TCAS 2013 ⁽¹⁾ (40)	TCAS 2013 ⁽²⁾ (40)	TBCAS 2008 (42)	JSSC 2009 (43)
Alimentação	0,25 V	0,25 V	0,7 V	0,9 V	1,2 V	1,5 V
Tecnologia	130 nm	130 nm	65 nm	65 nm	500 nm	350 nm
Topologia	ASDM	ASDM	SC-DSM	SC-DSM	SC-DSM	SC-DSM
Ordem	1	1	2	2	2	3
Tipo da entrada	Single-ended	single-ended	diferencial	diferencial	diferencial	Single-ended
Frequência do moulador	60 kHz	630 Hz	500 kHz	250 kHz	3,2KHz	10 Khz
Largura de banda	30 Hz	30 Hz	500 Hz	500 Hz	25 Hz	120 Hz
SNR	57 dB	62 dB	68 dB	80 dB	67 dB	72 dB
SNDR	56 dB	58 dB	65 dB	76 dB	63 dB	65 dB
Faixa dinâmica	56 dB	58 dB	53 dB	75 dB	67 dB	75 dB
Consumo	15 nW	28 nW	430 nW	2100 nW	140 nW	730 nW
Área	0,11 mm ²	0,141 ⁽³⁾ mm ²	0,125 mm ²	0,033 mm ²	0,60 mm ²	0,35 mm ²
FoM ₁	149	148	144	159	150	157
FoM ₂	0,5 pJ/step	0,8 pJ/step	0,3 pJ/step	0,4 pJ/step	2,4 pJ/step	2,1 pJ/step

⁽¹⁾ Dois integradores passivos.⁽²⁾ Dois integradores ativos.⁽³⁾ Excluindo os componentes externos passivos.

5 Conclusões e trabalhos futuros

5.1 Conclusão

Este trabalho apresentou a tese de que é possível desenvolver um ASDM de ultra-baixa potência (que é um circuito analógico) utilizando-se um processo CMOS padrão otimizado para a fabricação de circuitos digitais cujas características permitem sua utilização em aplicações biomédicas de baixa frequência. Para tanto, foi desenvolvido um protótipo que opera em inversão fraca utilizando-se o processo CMOS IBM cmr8sf de 130-nm de comprimento de canal que disponibiliza transistores halo-implantados otimizados para circuitos digitais.

Dessa forma, o protótipo desenvolvido pode ser alimentado com tensões mais baixas, uma vez que os transistores do processo digital possuem menor tensão de limiar. Entretanto, tais transistores sofrem os efeitos de canal curto que são minimizados através dos halo-implantes, que, por sua vez, reduzem consideravelmente a impedância de saída dos dispositivos, tornando-os inadequados para a realização de circuitos analógicos, como mostrado na Seção 2.5. Para solucionar esse problema, foi utilizada a técnica de leiaute distribuído mostrada em 2.6.2, capaz de aumentar a impedância de saída do transistor em torno de dez vezes em uma distribuição de transistores unitários dispostos em forma matricial de 16 linhas por 16 colunas. A técnica de leiaute distribuído também foi aplicada em outros tipos de circuitos analógicos possibilitando a publicação dos artigos intitulados *A Sub-Threshold Halo Implanted MOS Implementation of Izhikevich Neuron Model* e *A Sub-Threshold Halo Implanted MOS Implementation of an Electronic Neuron*, listados no Apêndice B.

Foram desenvolvidas simulações preliminares em nível de transistores utilizando o software Spectre e modelos BSIM4v4 que além de validar a topologia de circuito do ASDM proposto, também deram origem ao artigo intitulado *An Ultra-Low-Power First-Order Asynchronous Sigma-Delta Modulator for Biomedical Applications*, publicado no congresso *IEEE SOI-3D-Subthreshold Microelectronics Technology Unified Conference*, também descrito no Apêndice B.

No capítulo 3 foram desenvolvidos dois modelos (baseados na malha realimentada composta por um elemento linear e outro não linear) que representam o ASDM proposto. No primeiro, chamado simplificado, não foram levados em conta os atrasos de propagação de sinal. Já o segundo, nomeado completo, conta com os atrasos de propagação de sinal e explica de forma assertiva os efeitos observados durante a caracterização do protótipo, conforme descrito no Capítulo 4.

O protótipo foi realizado através de um integrador G_m -C que representa o elemento linear da malha e de um circuito oscilador de relaxação representando o elemento não-linear da malha que é realimentada através do próprio oscilador. A necessidade de alta linearidade no integrador G_m -C foi satisfeita através do projeto de um OTA de baixa distorção harmônica acionado pelo substrato que foi também descrito no artigo intitulado *A 0.25-V 22-nS symmetrical bulk-driven OTA for low-frequency G_m -C applications in 130-nm digital CMOS process* publicado na revista *Analog Integrated Circuits and Signal Processing*, como mostrado no Apêndice B.

O protótipo do ASDM foi então caracterizado conforme descrito no Capítulo 4, mostrando que alimentado com 0,25-V, consome 15-nW, alcançando 9 bits de resolução em uma banda de 30-Hz, que se traduzem em aproximadamente 300- μ V de resolução de tensão para o sinal de 150-mV_{PP} aplicado. Esses resultados são condizentes com aplicações biomédicas vestíveis ou móveis, uma vez que requerem baixo consumo energético e precisão moderada trabalhando em bandas reduzidas de frequência.

5.2 Trabalhos futuros

Em paralelo com a realização desse trabalho, estão em desenvolvimento duas iniciativas científicas envolvendo aplicações de ASDMs que mostraram resultados bastantes promissores, permitindo sua continuidade em nível de pós-graduação.

5.2.1 Recuperação de dados

Sugere-se a implementação de algoritmos computacionais para a recuperação dos dados modulados, uma vez que (44) obteve resultados promissores em realizando a recuperação dos dados de um sinal modulado através de um hardware Arduino Uno, conforme mostrado na Figura 35a, na qual nota-se alta linearidade do seu algoritmo.

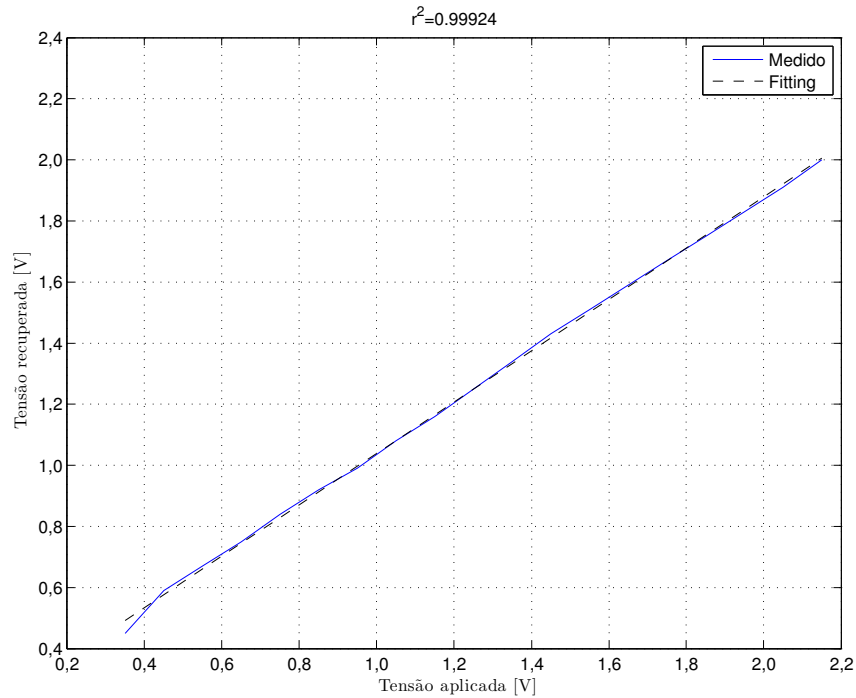
5.2.2 Sensor de radiação solar

Também é sugerida a realização de um sensor de radiação solar integrado baseado em termistores, uma vez que seu funcionamento foi verificado em (45), conforme mostrado na Figura 35b que ilustra a medida de radiação solar do dia 16 de março de 2015 na cidade de Itajubá.

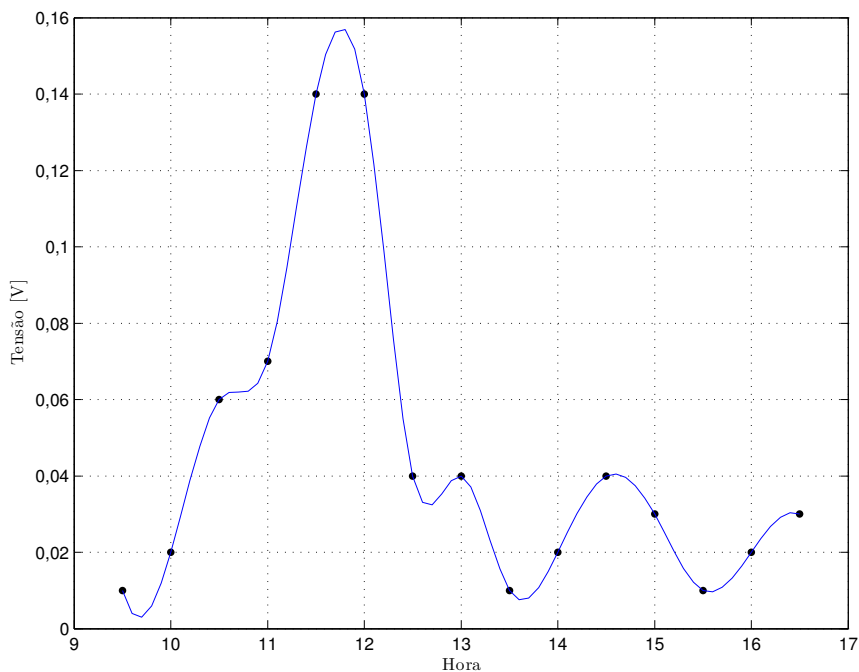
5.2.3 Sistema de transmissão de dados

Por fim, propõe-se também a realização de um sistema de transmissão de dados para aplicações biomédicas móveis ou implantáveis de aquisição de biopotenciais baseadas em *smartphones* e ou *tablets*. Uma vez que os dados sejam recuperados através de

algoritmos computacionais rodando diretamente nos dispositivos mencionados, o projeto analógico do sistema de aquisição pode ser simplificado, uma vez que a natureza assíncrona do ASDM dispensa sinais de sincronismo na recepção dos dados.



(a)



(b)

Figura 35 – (a) Curava de resposta do algoritmo de recuperação de informação rodando em um hardware Arduino Uno a partir do sinal de um ASDM e (b) Medida da radiação solar do dia 16/03/2015 realizada na cidade de Itajubá-MG.

APÊNDICE A – Análise quase-estática

Para se realizar um projeto prático de um ASDM é necessário conhecer as características dinâmicas do sinal modulado. Dessa forma, se faz necessária uma análise espectral que permitirá uma avaliação do comportamento tanto da frequência central ω_0 de oscilação do ASDM como da poluição harmônica no espectro do sinal modulado. Essa análise já foi mostrada anteriormente em (16) para um circuito ASDM alimentado com fontes simétricas de tensão. Como o ASDM proposto é alimentado de forma assimétrica se faz necessário comprovar os resultados anteriores. Nessa análise será considerado um sinal harmônico de entrada, conforme

$$v_{IN}(t) = V_{CM} + V_{AC}\cos(\mu t). \quad (\text{A.1})$$

Definindo-se

$$u(t) \triangleq u_m \cos(\mu t) \quad \text{e} \quad u_m = \frac{g_m V_{AC}}{I_{REF}}, \quad (\text{A.2})$$

onde $|u_m| \leq 1$ é amplitude normalizada do sinal AC e representa a profundidade de modulação. A Figura 36 mostra um sinal quadrado estático $s(t)$ que possui uma frequência ω_0 e um ciclo de trabalho $\frac{a}{T}$. O tempo em que o sinal permanece em nível alto é chamado de t_{alto} e o tempo em que o sinal permanece em nível baixo é chamado de t_{baixo} . Entretanto, no decorrer do equacionamento, são tratados como t_a e t_b , respectivamente. Sua representação em série de Fourier é dada por

$$s(t) = \frac{a_0}{2} + \sum_{n=1}^{\infty} a_n \cos(n\omega_0 t) + b_n \text{sen}(n\omega_0 t) \quad (\text{A.3})$$

onde,

$$a_0 = \frac{2}{T} \int_T f(t) dt, \quad a_n = \frac{2}{T} \int_T f(t) \cos(n\omega_0 t) \quad \text{e} \quad b_n = \frac{2}{T} \int_T f(t) \text{sen}(n\omega_0 t).$$

A Figura 36 mostra que a função do sinal quadrado em questão pode ser representada por

$$f(t) = \begin{cases} V_{DD}; & \text{durante } t_a \\ 0; & \text{durante } t_b \end{cases}, \quad (\text{A.4})$$

onde t_a representa o tempo em nível alto e t_b representa o tempo em nível baixo. Além disso, a função $f(t)$ pode ser descrita utilizando-se uma simetria par, facilitando a análise espectral, uma vez que os termos b_n da série de Fourier são nulos em uma função par. Calculando-se o termo a_0 , tem-se

$$a_0 = \frac{2}{T} \int_T f(t) dt = \frac{2}{T_0} \left[\int_{t_a} V_{DD} dt + \int_{t_b} 0 dt \right] = \frac{2V_{DD}t_a}{T_0}. \quad (\text{A.5})$$

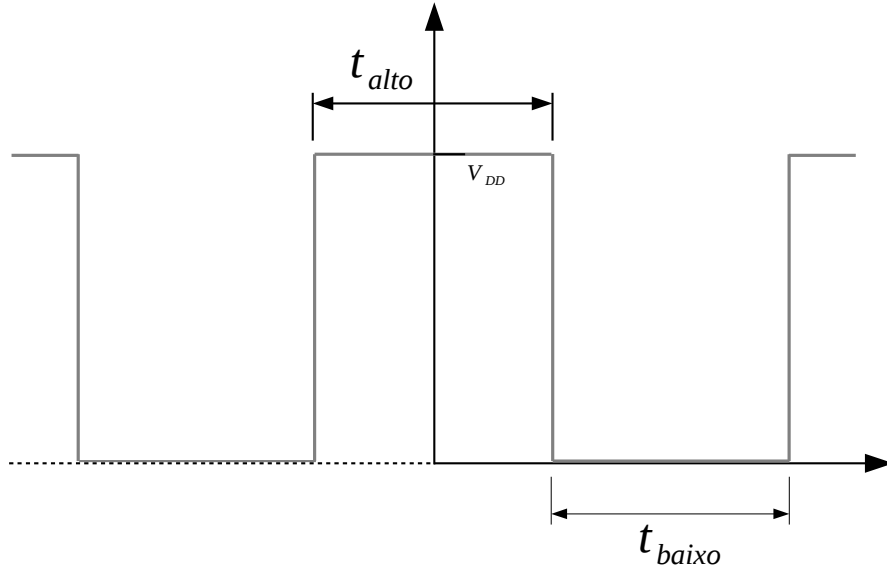


Figura 36 – Sinal quadrado estático.

Uma vez que o ciclo de trabalho α de um sinal quadrado é definido como a parcela de tempo em que o sinal permanece em nível alto em relação ao seu período T , (A.5) se torna

$$a_0 = 2\alpha V_{DD}, \quad (\text{A.6})$$

onde α denota o ciclo de trabalho característico do sinal quadrado. Calculando-se os termos a_n em função do ciclo de trabalho, tem-se

$$\begin{aligned} a_n &= \frac{2}{T} \int_T f(t) \cos(n\omega_0 t) dt = \frac{2}{T_0} \left[\int_{t_a} V_{DD} \cos(n\omega_0 t) dt + \int_{t_b} 0 \cos(n\omega_0 t) dt \right] \\ a_n &= \frac{2}{T_0} \frac{V_{DD}}{2n\pi f_0} \text{sen}(2n\pi f_0 t_a) = \frac{V_{DD}}{nT_0\pi f_0}. \end{aligned} \quad (\text{A.7})$$

Usando-se $\omega = \frac{2\pi}{T}$ e $f = \frac{1}{T}$, (A.7) pode ser reescrita na forma

$$a_n = \frac{V_{DD}}{n\pi} \text{sen}(2n\pi\alpha). \quad (\text{A.8})$$

Como $\text{sen}(2n\pi x) = \text{sen}(n\pi x)$, (A.8) toma a forma

$$a_n = \frac{V_{DD}}{n\pi} \text{sen}(n\pi\alpha). \quad (\text{A.9})$$

Substituindo-se (A.6) e (A.9) em (A.3), o sinal quadrado pode ser representado em termos da série de Fourier conforme

$$s(t) = \alpha V_{DD} + \sum_{n=1}^{\infty} \frac{V_{DD}}{n\pi} \text{sen}(n\pi\alpha) \cos(n\omega_0 t). \quad (\text{A.10})$$

Conforme mostrado na modelagem do ASDM no Capítulo 2, ocorre uma modulação do ciclo de trabalho α dada por

$$\alpha = \frac{1+u}{2} \quad (\text{A.11})$$

e uma modulação em frequência ω dada por

$$\omega = \omega_0(1 - u^2). \quad (\text{A.12})$$

A modulação do ciclo de trabalho pode ser percebida de maneira direta na banda base do sinal modulado, conforme o termo αV_{DD} de (A.10) que indica a recuperação do sinal de entrada $u(t)$. Ela também introduz de forma indireta uma modulação em amplitude nas harmônicas de ordem superior à banda base, conforme visto no termo $\frac{V_{DD}}{n\pi} \text{sen}(n\pi\alpha)$ de (A.10). Substituindo-se (A.2) em (A.11), obtém-se

$$\alpha(m) = \frac{1}{2} + \frac{u_m}{2} \text{sen}(\mu t). \quad (\text{A.13})$$

A modulação em frequência é obtida substituindo-se (A.2) em (A.12), conforme

$$\omega = \omega_0(1 - u_m^2) = \omega_0(1 - u_m^2 \text{sen}^2(\mu t)) = \omega_0 - \omega_0 u_m^2 \text{sen}^2(\mu t). \quad (\text{A.14})$$

Utilizando-se a identidade $\text{sen}^2(x) = \frac{1 - \cos(2x)}{2}$, (A.14) pode ser reescrita conforme

$$\omega = \omega_0 - \omega_0 u_m^2 \left(\frac{1 - \cos(2\mu t)}{2} \right) = \omega_0 - \frac{\omega_0 u_m^2}{2} + \frac{\omega_0 u_m^2}{2} \cos(2\mu t). \quad (\text{A.15})$$

O sinal modulado é obtido substituindo-se (A.13) e (A.15) em (A.10) e consiste de uma banda base dada por

$$\frac{a_0}{2} = \alpha V_{DD} = \frac{V_{DD}}{2} + \frac{u_m V_{DD}}{2} \text{sen}(\mu t), \quad (\text{A.16})$$

e também de harmônicas de ordem superior. Uma análise em (A.16) revela que a banda base do sinal modulado é composta por um nível D.C. correspondente à metade da tensão de alimentação acrescido de um termo proporcional ao sinal modulante $u(t)$. Ou seja, a recuperação do sinal modulante $u(t)$ ocorre na banda base.

Para calcular a influência das harmônicas de ordem superior é necessário encontrar a fase instantânea de (A.15) (16), conforme

$$\theta = \int \omega_0 - \frac{\omega_0 u_m^2}{2} + \frac{\omega_0 u_m^2 \cos(2\mu t)}{2} dt = \omega_0 t - \frac{\omega_0 u_m^2 t}{2} + \frac{\omega_0 u_m^2 \text{sen}(2\mu t)}{4\mu}. \quad (\text{A.17})$$

Uma análise em (A.17) mostra que a modulação em frequência pode ser compreendida como um desvio angular instantâneo $\theta_i = \frac{\omega_0 u^2 t}{2} + \frac{\omega_0 u^2 \text{sen}(2\mu t)}{4\mu}$ além da fase inicial $\omega_0 t$. Substituindo-se (A.17) no segundo termo de (A.10), as harmônicas de ordem superior podem ser representadas segundo

$$s_n(t) = a_n \cos \left(n\omega_0 t - \frac{n\omega_0 u_m^2 t}{2} + n\beta_1 \text{sen}(2\mu t) \right) \quad (\text{A.18})$$

onde $a_n = \frac{V_{DD}}{n\pi} \text{sen}(n\pi\alpha)$ representa a amplitude dessas harmônicas e $\beta_1 = \frac{\omega_0 u_m^2}{4\mu}$ representa o índice de modulação.

A equação (A.18) pode ser simplificada utilizando-se a função de Bessel do tipo 1 (46), conforme

$$J_i(\beta) = \frac{1}{2\pi} \int_{-\pi}^{\pi} \exp[j(\beta \text{sen}(x) - ix)] dx. \quad (\text{A.19})$$

Considerando-se $\omega_0 \gg \mu$, tomando-se a transformada de Fourier de (A.18) e utilizando-se a função de Bessel, as componentes harmônicas de ordem superior podem ser representadas segundo

$$s_n(t) = a_n \sum_{i=-\infty}^{\infty} J_i(n\beta_1) \cos\left(n\omega_0 t - \frac{n\omega_0 u_m^2 t}{2} + 2i\mu t\right). \quad (\text{A.20})$$

Considerando-se agora a modulação em amplitude das componentes harmônicas de ordem superior, substituindo-se (A.13) no termo a_n de (A.20), e realizando-se algum desenvolvimento, as mesmas são representadas por

$$\begin{aligned} s_n(t) = & \frac{V_{DD}}{n\pi} \text{sen}\left(\frac{n\pi}{2}\right) \sum_{i=-\infty}^{\infty} J_i(n\beta_1) \cos\left(n\beta_2 \text{sen}(\mu t) \cos\left(n\omega_0 t - \frac{n\omega_0 u_m^2 t}{2} + 2i\mu t\right)\right) \\ & + \frac{V_{DD}}{n\pi} \cos\left(\frac{n\pi}{2}\right) \sum_{i=-\infty}^{\infty} J_i(n\beta_1) \text{sen}\left(n\beta_2 \text{sen}(\mu t)\right) \cos\left(n\omega_0 t - \frac{n\omega_0 u_m^2 t}{2} + 2i\mu t\right), \end{aligned} \quad (\text{A.21})$$

onde $\beta_2 = \frac{\pi u_m}{2}$ representa a sensibilidade da modulação. Aplicando-se novamente a simplificação através da função de Bessel de tipo 1 e realizando-se algum desenvolvimento, (A.21) pode ser reescrita conforme

$$\begin{aligned} s_n(t) = & \frac{V_{DD}}{n\pi} \sum_{i=-\infty}^{\infty} \sum_{k=-\infty}^{\infty} \frac{J_i(n\beta_1) J_k(n\beta_2)}{2} \left[\text{sen}\left(\frac{n\pi}{2} + n\omega_0 t - \frac{n\omega_0 u_m^2 t}{2} + (2i+k)\mu t\right) \right. \\ & \left. + (-1)^k \text{sen}\left(\frac{n\pi}{2} - n\omega_0 t + \frac{n\omega_0 u_m^2 t}{2} - (2i+k)\mu t\right) \right]. \end{aligned} \quad (\text{A.22})$$

Dessa maneira, (A.22) expressa de forma geral o comportamento das harmônicas de ordem superior. Entretanto para a análise de pior caso é interessante estudar o comportamento da primeira harmônica seguinte à banda base. Dessa maneira, fazendo-se $n = 1$ em (A.22), obtém-se a expressão da primeira harmônica segundo

$$s_1(t) = \frac{V_{DD}}{\pi} \sum_{i=-\infty}^{\infty} \sum_{k=-\infty}^{\infty} J_i(\beta_1) J_k(\beta_2) \frac{1 + (-1)^k}{2} \cos\left(\omega_0 t - \frac{\omega_0 u_m^2 t}{2} + (2i+k)\mu t\right). \quad (\text{A.23})$$

Uma análise em (A.23) mostra que apenas as componentes pares contribuem no espectro de frequências e também que o pior caso de *aliasing* ocorre quando $u = 1$, poluindo o espectro à partir de

$$\omega_0 \left(1 - \frac{u_m^2}{2}\right) = \frac{\omega_0}{2}. \quad (\text{A.24})$$

APÊNDICE B – Artigos publicados em congressos e revistas

Até o momento, o presente trabalho possibilitou a publicação dos seguintes artigos em congressos e revistas internacionais.

B.1 Artigos publicados em revista

Publicação na revista *Analog Integrated Circuits and Signal Processing - Springer*, de Qualis A-2 de um artigo relacionado ao amplificador de transcondutância de alta linearidade que é um sub-circuito essencial do ASDM proposto.

- 1 Gustavo D. Colletta, Luís H. C. Ferreira, Tales C. Pimenta.
A 0.25-V 22-nS Symmetrical Bulk-driven OTA for Low-frequency G_m -C Applications in 130-nm Digital CMOS Process.
Analog Integrated Circuits and Signal Processing - Springer

B.2 Artigos publicados em congressos

B.2.1 Diretamente relacionados

Publicação de simulações preliminares em nível de transistores utilizando o software Spectre e modelos BSIM4v4 que validaram a topologia de circuito do ASDM proposto, mostrando que sua integração era possível.

- 2 G. D. Colletta, O.O. Dutra, L.H. Ferreira and T.C. Pimenta.
An Ultra-Low-Power First-Order Asynchronous Sigma-Delta Modulator for Biomedical Applications
IEEE SOI-3D-Subthreshold Microelectronics Technology Unified Conference.

B.2.2 Indiretamente relacionados

Também foram realizadas duas publicações de trabalhos relacionados à técnica de leiaute distribuído utilizada no ASDM proposto, mostrando sua aplicação em outros tipos de circuitos analógicos.

- 3 O.O. Dutra, G.D. Colleta, L.H.C. Ferreira and T.C. Pimenta.
A Sub-Threshold Halo Implanted MOS Implementation of Izhikevich Neuron Model.
IEEE SOI-3D-Subthreshold Microelectronics Technology Unified Conference.
- 4 O.O. Dutra, G.D. Colleta, L.H.C. Ferreira and T.C. Pimenta.
A Sub-Threshold Halo Implanted MOS Implementation of an Electronic Neuron.
The International Conference on Microelectronics – ICM 2013.

Referências

- 1 PARK, S.; JAYARAMAN, S. Enhancing the quality of life through wearable technology. *IEEE Engineering in Medicine and Biology Magazine*, v. 22, n. 3, p. 41–48, May 2003. ISSN 0739-5175. [18](#)
- 2 CHAI, J. The design of mobile ECG monitoring system. In: *2013 IEEE 4th International Conference on Electronics Information and Emergency Communication (ICEIEC)*. [S.l.: s.n.], 2013. p. 148–151. [18](#)
- 3 CHEN, C. et al. WE-CARE: A wearable efficient telecardiology system using mobile 7-lead ECG devices. In: *2013 IEEE International Conference on Communications (ICC)*. [S.l.: s.n.], 2013. p. 4363–4367. ISSN 1550-3607. [18](#)
- 4 CASSON, A. et al. Wearable Electroencephalography. *IEEE Engineering in Medicine and Biology Magazine*, v. 29, n. 3, p. 44–56, May 2010. ISSN 0739-5175. [18](#)
- 5 WATERHOUSE, E. New horizons in ambulatory electroencephalography. *IEEE Engineering in Medicine and Biology Magazine*, v. 22, n. 3, p. 74–80, May 2003. ISSN 0739-5175. [18](#)
- 6 XU, J. et al. A 160 μ w 8-Channel Active Electrode System for EEG Monitoring. *IEEE Transactions on Biomedical Circuits and Systems*, v. 5, n. 6, p. 555–567, Dec 2011. ISSN 1932-4545. [18](#)
- 7 CHI, Y.; JUNG, T.-P.; CAUWENBERGHS, G. Dry-Contact and Noncontact Biopotential Electrodes: Methodological Review. *IEEE Reviews in Biomedical Engineering*, v. 3, p. 106–119, 2010. ISSN 1937-3333. [18](#)
- 8 CHI, Y. M.; MAIER, C.; CAUWENBERGHS, G. Ultra-High Input Impedance, Low Noise Integrated Amplifier for Noncontact Biopotential Sensing. *IEEE Journal on Emerging and Selected Topics in Circuits and Systems*, v. 1, n. 4, p. 526–535, Dec 2011. ISSN 2156-3357. [18](#)
- 9 HA, S. et al. Integrated Circuits and Electrode Interfaces for Noninvasive Physiological Monitoring. *IEEE Transactions on Biomedical Engineering*, v. 61, n. 5, p. 1522–1537, May 2014. ISSN 0018-9294. [18](#)
- 10 INIEWSKI, K. (Ed.). *CMOS Biomicrosystems - Where electronics meet biology*. [S.l.]: Wiley, 2011. [18](#), [19](#), [20](#)
- 11 OZOLS, K.; GREITANS, M.; SHAVELIS, R. EEG data acquisition system based on asynchronous sigma-delta modulator. In: *2012 13th Biennial Baltic Electronics Conference (BEC)*. [S.l.: s.n.], 2012. p. 183–186. ISSN 1736-3705. [18](#)
- 12 ALIVE COR. *AliveCor Heart Monitor User Manual*. [S.l.], 2014. [18](#)
- 13 DANIELS, J. et al. A/D Conversion Using Asynchronous Delta-Sigma Modulation and Time-to-Digital Conversion. *IEEE Transactions on Circuits and Systems I: Regular Papers*, v. 57, n. 9, p. 2404–2412, sept. 2010. ISSN 1549-8328. [18](#), [19](#), [32](#), [59](#)

- 14 KOSCIELNIK, D.; MISKOWICZ, M. Designing Time-to-Digital Converter for Asynchronous ADCs. In: *IEEE Design and Diagnostics of Electronic Circuits and Systems, 2007. DDECS '07*. [S.l.: s.n.], 2007. p. 1 –6. [18](#)
- 15 KURIBAYASHI, K. et al. Time-Domain Multi-bit DeltaSigma Analog-to-Digital Converter. In: *2011 41st IEEE International Symposium on Multiple-Valued Logic (ISMVL)*. [S.l.: s.n.], 2011. p. 254 –258. ISSN 0195-623X. [18](#)
- 16 ROZA, E. Analog-to-digital conversion via duty-cycle modulation. *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, v. 44, n. 11, p. 907 –914, nov 1997. ISSN 1057-7130. [18](#), [19](#), [20](#), [30](#), [31](#), [33](#), [45](#), [49](#), [59](#), [73](#), [84](#), [86](#)
- 17 OUZOUNOV, S. et al. Analysis and design of high-performance asynchronous sigma-delta Modulators with a binary quantizer. *IEEE Journal of Solid-State Circuits*, v. 41, n. 3, p. 588 – 596, march 2006. ISSN 0018-9200. [19](#), [20](#), [32](#), [33](#), [45](#), [59](#), [73](#)
- 18 WEI, D.; GARG, V.; HARRIS, J. An asynchronous delta-sigma converter implementation. In: *Proceedings. 2006 IEEE International Symposium on Circuits and Systems, 2006. ISCAS 2006*. [S.l.: s.n.], 2006. p. 4 pp. [19](#), [20](#), [33](#), [45](#)
- 19 SENAY LUIS F. CHAPARRO, M. S. S.; SCLABASSI, R. J. Adaptative level-crossing sampling and reconstruction. In: *Proceedings of 18th European Signal Processing Conference (EUSIPCO-2010)*. [S.l.: s.n.], 2010. p. 1296–1300. [19](#)
- 20 ROZA, E. Poly-phase sigma-delta modulation. *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, v. 44, n. 11, p. 915–923, Nov 1997. ISSN 1057-7130. [19](#)
- 21 EL-KAREH, B. *Silicon Devices and Process Integration: Deep submicron and nano-scale technologies*. [S.l.]: Springer US, 2009. ISBN 978-0-387-69010-0. [19](#), [33](#), [40](#), [63](#)
- 22 MATIC, T.; SVEDEK, T.; HERCEG, M. A Method for the Schmitt-Trigger Propagation-Delay Compensation in Asynchronous Sigma-Delta Modulator. *IEEE Transactions on Circuits and Systems II: Express Briefs*, v. 59, n. 7, p. 404–408, 2012. ISSN 1549-7747. [20](#)
- 23 BABAIE-FISHANI, A.; KEYMEULEN, B. V.; ROMBOUTS, P. Analytical Expressions for the Distortion of Asynchronous Sigma-Delta Modulators. *IEEE Transactions on Circuits and Systems II: Express Briefs*, v. 60, n. 8, p. 472–476, 2013. ISSN 1549-7747. [20](#)
- 24 SCHREIER, R.; TEMES, G. C. *Understanding Delta-Sigma Data Converters*. [S.l.]: John Wiley & sons, INC., 2004. [27](#), [29](#)
- 25 KANG, S.-M. S.; LEBLEBICI, Y. *CMOS Digital Integrated Circuits Analysis and Design*. Second. [S.l.: s.n.], 2003. [33](#)
- 26 SEDRA, A. S. *Microelectronics*. 5 th edition. ed. [S.l.]: Pearson Prentice Hall, 2007. ISBN 978-85-7605-022-3. [35](#)
- 27 CHAKRABORTY, S. et al. Impact of Halo Doping on the Subthreshold Performance of Deep-Submicrometer CMOS Devices and Circuits for Ultralow Power Analog/Mixed-Signal Applications. *IEEE Transactions on Electron Devices*, v. 54, n. 2, p. 241–248, 2007. ISSN 0018-9383. [38](#), [39](#), [40](#)

- 28 CAO, K. M. et al. Modeling of pocket implanted MOSFETs for anomalous analog behavior. In: *Technical Digest. International Electron Devices Meeting, 1999. IEDM '99*. [S.l.: s.n.], 1999. p. 171–174. [39](#), [40](#)
- 29 FERREIRA, L. H. C.; SONKUSALE, S. R. A 60-dB Gain OTA Operating at 0.25-V Power Supply in 130-nm Digital CMOS Process. *IEEE Transactions on Circuits and Systems I: Regular Papers*, PP, n. 99, p. 1–9, 2014. ISSN 1549-8328. [40](#), [44](#), [63](#)
- 30 GALUP-MONTORO, C.; SCHNEIDER, M.; LOSS, I. Series-parallel association of FET's for high gain and high frequency applications. *IEEE Journal of Solid-State Circuits*, v. 29, n. 9, p. 1094–1101, 1994. ISSN 0018-9200. [40](#)
- 31 VEERAVALLI, A.; SANCHEZ-SINENCIO, E.; SILVA-MARTINEZ, J. A CMOS transconductance amplifier architecture with wide tuning range for very low frequency applications. *IEEE Journal of Solid-State Circuits*, v. 37, n. 6, p. 776–781, Jun 2002. ISSN 0018-9200. [62](#), [69](#)
- 32 SOLIS-BUSTOS, S. et al. A 60-dB dynamic-range CMOS sixth-order 2.4-Hz low-pass filter for medical applications. *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, v. 47, n. 12, p. 1391–1398, Dec 2000. ISSN 1057-7130. [62](#)
- 33 COTRIM, E. D.; FERREIRA, L. H. C. An Ultra-low-power CMOS Symmetrical OTA for Low-frequency G_m -C Applications. *Analog Integrated Circuits and Signal Processing*, Kluwer Academic Publishers, Hingham, MA, USA, v. 71, n. 2, p. 275–282, maio 2012. ISSN 0925-1030. [62](#), [63](#), [64](#), [69](#)
- 34 NARASIMHULU, K.; RAO, V. R. Forward Body-biased Single Halo MOS Devices for Low Voltage Analog Circuits. In: *International Conference on Simulation of Semiconductor Processes and Devices, 2005. SISPAD 2005*. [S.l.: s.n.], 2005. p. 255–258. [63](#)
- 35 ALLEN P. E. & HOLBERG, D. R. *CMOS analog circuits design*. 2nd. ed. [S.l.]: Oxford University Press, Inc., 2002. [63](#)
- 36 MOURABIT, A.; LU, G.-N.; PITTEP, P. Wide-Linear-Range Subthreshold OTA for Low-Power, Low-Voltage, and Low-Frequency Applications. *IEEE Transactions on Circuits and Systems I: Regular Papers*, v. 52, n. 8, p. 1481–1488, Aug 2005. ISSN 1549-8328. [69](#)
- 37 RODRIGUEZ-VILLEGAS, E.; CASSON, A.; CORBISHLEY, P. A Subhertz Nanopower Low-Pass Filter. *IEEE Transactions on Circuits and Systems II: Express Briefs*, v. 58, n. 6, p. 351–355, June 2011. ISSN 1549-7747. [69](#)
- 38 VEERAVALLI, A.; SANCHEZ-SINENCIO, E.; SILVA-MARTINEZ, J. Transconductance amplifier structures with very small transconductances: a comparative design approach. *IEEE Journal of Solid-State Circuits*, v. 37, n. 6, p. 770–775, Jun 2002. ISSN 0018-9200. [69](#)
- 39 COTRIM, E. D. C. *Um amplificador de Transcondutância CMOS em Ultra Baixa-Tensão e Ultra Baixa-Potência para Aplicações G_m -C em Baixa Frequência*. Tese (Doutorado) — Unifei, 2011. [77](#)
- 40 YEKNAMI, A.; QAZI, F.; ALVANDPOUR, A. Low-Power DT Delta Sigma Modulators Using SC Passive Filters in 65 nm CMOS. *IEEE Transactions on Circuits and Systems I: Regular Papers*, v. 61, n. 2, p. 358–370, Feb 2014. ISSN 1549-8328. [77](#), [80](#)

-
- 41 FERREIRA, L.; SONKUSALE, S. A 0.25-V 28-nW 58-dB Dynamic Range Asynchronous Delta Sigma Modulator in 130-nm Digital CMOS Process. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, PP, n. 99, p. 1–1, 2014. ISSN 1063-8210. [80](#)
- 42 LOPEZ-MORILLO, E. et al. A 1.2-V 140-nW 10-bit Sigma Delta Modulator for Electroencephalogram Applications. *IEEE Transactions on Biomedical Circuits and Systems*, v. 2, n. 3, p. 223–230, Sept 2008. ISSN 1932-4545. [80](#)
- 43 CHAE, Y.; HAN, G. Low Voltage, Low Power, Inverter-Based Switched-Capacitor Delta-Sigma Modulator. *IEEE Journal of Solid-State Circuits*, v. 44, n. 2, p. 458–472, Feb 2009. ISSN 0018-9200. [80](#)
- 44 CANELA, L. H. R. *Recuperação digital da informação analógica em moduladores sigma delta assíncronos*. [S.l.], 2014. [82](#)
- 45 PEREIRA, J. G. de S. *Transdutor linear de radiação solar com modulador sigma delta térmico*. [S.l.], 2014. [82](#)
- 46 LATHI, B. P. *Modern Digital and Analog Communication Systems*. 2nd. ed. New York, NY, USA: Oxford University Press, Inc., 1995. ISBN 0030284074. [87](#)