

UNIVERSIDADE FEDERAL DE ITAJUBÁ  
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA

DISSERTAÇÃO DE MESTRADO

**Uma Referência de Tensão e Corrente CMOS  
utilizando SCCTs e com VDD de 0,85 V**

Por

**Thainann Henrique Pereira de Castro**

**Orientador:** Robson Luiz Moreno, D.Sc.

**Co-Orientador:** Dalton Martini Colombo, D.Sc.

Dissertação submetida ao Programa de Pós-Graduação em Engenharia Elétrica como parte dos requisitos para obtenção do Título de Mestre em Ciências em Engenharia Elétrica.

Área de concentração: Microeletrônica

**Dezembro de 2021**

**Itajubá - MG**

*À minha esposa e aos meus pais, dedico este trabalho.*

*“...Bem-aventurado o homem que Nele confia”.*

*Salmos 34,8-b*

## *Agradecimentos*

Primeiramente agradeço a Deus pela força que me tem dado para chegar até aqui e pelas oportunidades que me foram dadas por Ele.

A minha esposa Érica que sempre me apoiou e incentivou, aos meus pais Paulo e Rosângela que sempre lutaram por minha educação, e minha irmã Bianca, que sempre acreditou em mim.

Aos orientadores, Prof. Robson Luiz Moreno e Prof. Dalton Martini Colombo, que sempre me ajudaram e apoiaram na realização deste trabalho, sempre pacientes e solícitos quando precisava, meus sinceros agradecimentos.

Aos professores da Microeletrônica, Prof. Luiz, Prof. Gabriel, Prof. Gustavo e Prof. Tales, pelas dúvidas que foram tiradas e pelas sugestões para esse trabalho.

Aos amigos, em especial, Paulo e César, que sempre me apoiaram e ajudaram ao longo deste trabalho, ao Christel Enock pelas dicas na hora da escrita, e aos amigos Luiz e Marcelo, que sempre me apoiaram. Não poderia esquecer também, de agradecer pelos inúmeros momentos que passamos os finais da tarde na Padoca, conversando e descontraindo.

A empresa onde trabalho, Datapool Eletrônica, em especial ao Eric, que sempre foi compreensível e que me apoiou nos momentos em que tive que ficar ausente.

Por último, não menos importante, ao Prof. Paulo César Crepaldi, responsável por me apresentar e por me guiar nos primeiros passos no universo da microeletrônica.

Meus sinceros agradecimento.

## ***Resumo***

Este trabalho apresenta uma topologia de uma referência de tensão e corrente pouco sensível em relação à temperatura de operação, tensão de alimentação e aos efeitos dos processos de fabricação CMOS. Para alcançar a compensação térmica, é utilizado uma configuração *self-cascode composite transistor* (SCCT), que é responsável pela geração das tensões *PTAT* (*proportional to absolute temperature*) e *CTAT* (*complementary to absolute temperature*), que são somadas através do auxílio de amplificadores operacionais (AmpOp) e espelhos de corrente.

O circuito fornece uma referência de tensão e corrente média, dos valores medidos, de 483,58 mV e 1,317  $\mu$ A com coeficientes de temperatura (TC) de 25 ppm/  $^{\circ}$ C e 77 ppm/  $^{\circ}$ C respectivamente, operando em uma faixa de temperatura de -30  $^{\circ}$ C a 100  $^{\circ}$ C, com uma tensão mínima de 850 mV e PSR médio, em 50 Hz, de -15,2 dB e -16,36 dB em 1.8 V para  $V_{REF}$  e  $I_{REF}$  respectivamente. A área do circuito desenvolvido é 269  $\mu$ m x 654  $\mu$ m.

São apresentadas nesta dissertação, a descrição do projeto, e simulações pertinentes do circuito pós leiaute da topologia proposta e sua caracterização elétrica. O circuito foi desenvolvido usando um processo CMOS padrão de 180 nm.

## *Abstract*

This work presents a topology of a voltage and current reference with little sensitivity in relation to operating temperature, supply voltage and the effects of CMOS fabrication processes. To achieve thermal compensation, a self-cascode composite transistor (SCCT) configuration is used, which is responsible for the generation of PTAT (proportional to absolute temperature) and CTAT (complementary to absolute temperature) voltages, which are summed through the aid of amplifiers operational (AmpOp) and current mirrors.

The circuit provides an average voltage and current reference, measured values, of 483.58 mV and 1.317  $\mu$ A with temperature coefficients (TC) of 25 ppm/ $^{\circ}$ C and 77 ppm/ $^{\circ}$ C respectively, operating in a temperature range from -30  $^{\circ}$ C to 100  $^{\circ}$ C, with a minimum voltage of 850 mV and average PSR at 50 Hz, -15.2 dB and -16.36 dB at 1.8 V for VREF and IREF respectively. The developed circuit area is 269  $\mu$ m x 654  $\mu$ m.

It is presented in this dissertation, the project description, and pertinent simulations of the post-layout circuit of the proposed topology and its electrical characterization. The circuit was developed using a standard 180 nm CMOS process.

# Índice

<b>Capítulo 1</b> .....	1
<b>Introdução</b> .....	1
<b>1.1 Considerações Gerais</b> .....	1
<b>1.2 Objetivo</b> .....	4
<b>1.3 Organização</b> .....	5
<b>Capítulo 2</b> .....	7
<b>Referência de Tensão e Análise dos SCCTs</b> .....	7
<b>2.1 Considerações Gerais</b> .....	7
<b>2.2 O transistor MOS Operando em Inversão Fraca</b> .....	8
<b>2.3 Circuito PTAT</b> .....	9
<b>2.4 Tensão CTAT</b> .....	12
<b>2.5 Referência de Tensão Bandgap</b> .....	12
<b>2.6 Transistor Composto SCCT</b> .....	14
<b>2.7 Referência de Tensão utilizando SCCT</b> .....	19
<b>Capítulo 3</b> .....	21
<b>Referência de Tensão e corrente Proposta</b> .....	21
<b>3.1 Equacionamento</b> .....	22
<b>3.2 Amplificador Operacional</b> .....	24
<b>3.3 Circuito Inicializador</b> .....	26
<b>3.4 Circuito de Calibragem</b> .....	27
<b>Capítulo 4</b> .....	29
<b>Simulações de <math>V_{REF}</math> e <math>I_{REF}</math> do Circuito Proposto</b> .....	29
<b>4.1 Simulações de <math>V_{REF}</math> e <math>I_{REF}</math> em função da temperatura</b> .....	29
<b>4.2 Simulações de <math>I_{PTAT}</math> e <math>I_{CTAT}</math> em função da temperatura</b> .....	31
<b>4.3 Simulações de <math>V_{REF}</math> e <math>I_{REF}</math> em função da tensão de alimentação</b> .....	32
<b>4.4 Simulações em função dos modelos de <i>Corners</i></b> .....	34
<b>4.5 Simulação transiente</b> .....	36
<b>4.6 Simulação Monte Carlo</b> .....	37
<b>4.7 Simulação Pós Leiaute</b> .....	40
<b>Capítulo 5</b> .....	43
<b>Medida das Amostras</b> .....	43
<b>5.1 Medida de <math>V_{REF}</math> e <math>I_{REF}</math> em função do tempo</b> .....	44

<b>5.2 Medida de <math>I_{PTAT}</math> e <math>I_{CTAT}</math> em função do tempo</b> .....	50
<b>5.3 Medida de <math>V_{REF}</math> e <math>I_{REF}</math> em função da tensão de alimentação</b> .....	52
<b>5.4 Medida transiente</b> .....	53
<b>5.5 Medidas de <math>V_{REF}</math> e <math>I_{REF}</math> em função da temperatura</b> .....	55
<b>5.6 Medidas de <math>I_{PTAT}</math> e <math>I_{CTAT}</math> em função da temperatura</b> .....	61
<b>5.7 Medidas de Rejeição do Ruído da Linha de Alimentação</b> .....	63
<b>5.8 Comparação com outros trabalhos</b> .....	65
<b>Capítulo 6</b> .....	67
<b>Conclusões e Trabalhos Futuros</b> .....	67
<b>Referências Bibliográficas</b> .....	69



## *Lista de Figuras*

Figura 1 - Diagrama básico de uma Referência de tensão. ....	3
Figura 2 - Polarização do transistor NMOS. ....	8
Figura 3 - Topologias PTAT. ....	10
Figura 4 - Referência de tensão Bandgap. ....	13
Figura 5 - Transistor Composto SCCT: (a) NMOS e (b) PMOS. ....	14
Figura 6 – Matriz de SCCTs. ....	16
Figura 7 – Comportamento PTAT. ....	16
Figura 8 – Matriz de SCCTs. ....	18
Figura 9 – Comportamento CTAT. ....	18
Figura 10 – Referência de Tensão com transistor SCCT. ....	19
Figura 11 – Referência Proposta. ....	22
Figura 12 – Amplificador Operacional. ....	25
Figura 13 – Ganho em malha aberta do amplificador. ....	25
Figura 14 – Circuito Inicializador. ....	27
Figura 15 – Circuito Trimming. ....	28
Figura 16 – Variação de $V_{REF}$ em função da temperatura e do código binário. ....	30
Figura 17 – Variação de $I_{REF}$ em função da temperatura e do código binário. ....	31
Figura 18 – Variação de $I_{PTAT}$ e $I_{CTAT}$ em função da temperatura. ....	32
Figura 19 – Variação de $V_{REF}$ em função de $V_{DD}$ e do código binário. ....	33
Figura 20 – Variação de $I_{REF}$ em função de $V_{DD}$ e do código binário. ....	33
Figura 21 – PSR de $I_{REF}$ e $V_{REF}$ para 0,85 V e 1,8 V. ....	34
Figura 22 – Variação de $V_{REF}$ em função da temperatura e modelo de corners. ....	35
Figura 23 – Variação de $I_{REF}$ em função da temperatura e modelo de corners. ....	36
Figura 24 – Inicialização do circuito. ....	37
Figura 25 – Histograma de $V_{REF}$ . ....	38
Figura 26 – Histograma de $I_{REF}$ . ....	39
Figura 27 – Histograma do TC de $V_{REF}$ . ....	39
Figura 28 – Histograma do TC de $I_{REF}$ . ....	39
Figura 29 – Layout da topologia. ....	40
Figura 30 – Simulação pós-layout de $V_{REF}$ . ....	41
Figura 31 – Simulação pós-layout de $I_{REF}$ . ....	41
Figura 32 – Microfotografia do circuito integrado. ....	44
Figura 33 – Analisador de semiconductor B1500A . ....	44
Figura 34 – Amostra 1, $V_{REF}$ em função do tempo. ....	45
Figura 35 – Amostra 2, $V_{REF}$ em função do tempo. ....	45
Figura 36 – Amostra 3, $V_{REF}$ em função do tempo. ....	46
Figura 37 – Amostra 4, $V_{REF}$ em função do tempo. ....	46
Figura 38 – Amostra 1, $I_{REF}$ em função do tempo. ....	48
Figura 39 – Amostra 2, $I_{REF}$ em função do tempo. ....	48
Figura 40 – Amostra 3, $I_{REF}$ em função do tempo. ....	49
Figura 41 – Amostra 4, $I_{REF}$ em função do tempo. ....	49
Figura 42 – $I_{PTAT}$ em função do tempo. ....	51
Figura 43 – $I_{CTAT}$ em função do tempo. ....	51

Figura 44 – $V_{REF}$ em função de $V_{DD}$ .....	52
Figura 45 – $I_{REF}$ em função de $V_{DD}$ . ....	53
Figura 46 – Inicialização de $V_{REF}$ .....	54
Figura 47 – Inicialização de $I_{REF}$ . ....	54
Figura 48 – Equipamentos utilizados na caracterização em temperatura.....	55
Figura 49 – Amostra 1, $V_{REF}$ em função da temperatura. ....	56
Figura 50 – Amostra 2, $V_{REF}$ em função da temperatura. ....	56
Figura 51 – Amostra 3, $V_{REF}$ em função da temperatura. ....	57
Figura 52 – Amostra 4, $V_{REF}$ em função da temperatura. ....	57
Figura 53 – $V_{REF}$ em função da temperatura e do bit 101. ....	58
Figura 54 – Amostra 1, $I_{REF}$ em função da temperatura. ....	59
Figura 55 – Amostra 2, $I_{REF}$ em função da temperatura. ....	59
Figura 56 – Amostra 3, $I_{REF}$ em função da temperatura. ....	60
Figura 57 – Amostra 3, $I_{REF}$ em função da temperatura. ....	60
Figura 58 – $I_{REF}$ em função da temperatura e do bit 100.....	61
Figura 59 – $I_{PTAT}$ em função da temperatura. ....	62
Figura 60 – $I_{CTAT}$ em função da temperatura.....	62
Figura 61 – Equipamentos utilizados. ....	63
Figura 62 – Filtro Passa Alta. ....	64
Figura 63 – PRS de $V_{REF}$ . ....	64
Figura 64 – PRS de $I_{REF}$ .....	65

## *Lista de Tabelas*

Tabela 1 – Dimensões dos SCCTs NMOS.....	15
Tabela 2 - Dimensões dos SCCTs PMOS. ....	17
Tabela 3 - Dimensões da topologia proposta.....	24
Tabela 4 - Dimensões do AmpOp. ....	26
Tabela 5 - Dimensões do circuito Startup. ....	27
Tabela 6 - Dimensões do circuito calibragem. ....	28
Tabela 7 – Resultados das simulações de $V_{REF}$ em relação a temperatura e o número de bits. ....	29
Tabela 8 – Resultados das simulações de $I_{REF}$ em relação a temperatura e o número de bits. ....	30
Tabela 9 – Resultados das simulações com modelos de corners para $V_{REF}$ . ....	34
Tabela 10 – Resultados das simulações com modelos de corners para $I_{REF}$ . ....	35
Tabela 11 – Média e desvio da simulação de Monte Carlo. ....	40
Tabela 12 – Valores medidos de $V_{REF}$ . ....	47
Tabela 13 – Valores medidos de $I_{REF}$ . ....	50
Tabela 14 – Valores medidos de $I_{PTAT}$ e $I_{CTAT}$ . ....	52
Tabela 15 – Valores medidos de $V_{REF}$ . ....	58
Tabela 16 – Valores medidos de $I_{REF}$ . ....	61
Tabela 17 – Valores medidos de $I_{PTAT}$ e $I_{CTAT}$ . ....	63
Tabela 18 – Valores medidos da PSR de $V_{REF}$ e $I_{REF}$ . ....	65
Tabela 19 – Comparação com trabalhos recentes. ....	66

## *Lista de Abreviação e Siglas*

*MOS* Semicondutor óxido-metal (*Metal Oxide Semiconductor*)

*PMOS* Transistor de canal P

*NMOS* Transistor de canal N

*TC* Coeficiente térmico (*Temperature Coefficient*)

*PTAT* Proporcional à temperatura absoluta (*Proportional to Absolute Temperature*)

*CTAT* Complementar à temperatura absoluta (*Complementary to Absolute Temperature*)

*BJT* *Bipolar junction transistor*

*SCCT* *Self-cascode composite transistor*

*SMU* *Source-measure unit*

*PSR* *Power-supply rejection*

## *Lista de Símbolos*

$V_{REF}$	Referência de tensão
$I_{REF}$	Referência de corrente
$T$	Temperatura
$I_{PTAT}$	Corrente proporcional a temperatura
$I_{CTAT}$	Corrente complementar a temperatura
$V_{TH}$	Tensão de limiar ( <i>threshold</i> ) do transistor MOS
$T_{MAX}$	Temperatura Máxima
$T_{MIN}$	Temperatura Mínima
$V_{BE}$	Tensão base-emissor
$V_{GS}$	Tensão porta-fonte ( <i>gate-source</i> )
$I_C$	Corrente de coletor
$I_D$	Corrente de dreno ( <i>drain</i> )
$U_T$	Tensão térmica
$I_{DS}$	Corrente dreno-fonte ( <i>drain-source</i> )
$Q$	Densidade de carga na banda de inversão
$\Phi_S$	Potencial de superfície
$n$	Fator de inclinação
$\mu_0$	Mobilidade dos portadores
$W$	Largura do canal do transistor MOS
$L$	Comprimento do canal do transistor MOS
$V_{BG}$	Tensão de <i>bandgap</i> do silício
$K$	Constante de Boltzmann
$q$	Carga do elétron
$V_{DS}$	Tensão de dreno-fonte ( <i>drain-source</i> )
$S$	Razão de aspecto do transistor MOS
$V_o$	Tensão de saída do <i>self-cascode composite transistor</i>
$V_{DD}$	<i>Tensão de alimentação</i>
$GND$	Terra ( <i>ground</i> )



# ***Capítulo 1***

## ***Introdução***

### **1.1 Considerações Gerais**

Em pleno século XXI é imprescindível não ser notada a imensa presença da eletrônica no cotidiano. A demanda por dispositivos eletrônicos é grande em diversas áreas, tais como indústria, medicina, automobilismo, aplicações militares, computadores entre outros, e na vida dos seres humanos através de portáteis como celulares, laptops, tablets e dispositivos inteligentes como *smartwatch*. A busca por aparelhos mais complexos, que consumam menos energia e que sejam mais eficazes faz com que haja uma busca por topologias mais eficientes energeticamente de circuitos integrados.

Os circuitos integrados (CI) consistem em um conjunto de circuitos eletrônicos somados em um material semicondutor que após serem encapsulados estão aptos para serem utilizados nos dispositivos eletrônicos. Desde meados da década de 70, a maioria dos CI's são confeccionados utilizando tecnologia CMOS (*Complementary Metal oxide Silicon*) que permite a confecção de circuitos complexos, pequenos na escala de nanômetros.

Devido a escala nanométrica empregada nos processos atuais, é de se esperar uma quantidade imensa de transistores MOS que podem ser utilizados de maneira simultânea na mesma pastilha de silício, podendo gerar um consumo excessivo de energia [1]. Um exemplo onde o consumo é um fator extremamente relevante é em aplicações biomédicas, na qual os CIAEs (*Circuito Integrado de Aplicações Específicas*) devem possuir um baixo consumo de energia, de tal forma a reduzir a frequência em que um paciente é submetido a cirurgias para substituição da bateria, um exemplo típico seria a troca da bateria de um Marca-Passo.

Para mitigar esse efeito, diversas pesquisas focam no estudo de circuitos que possam operar em baixa tensão de alimentação e consumo de corrente, com potência nas unidades de  $\mu\text{W}$  e  $\text{nW}$ . As referências de Tensão [2-5] são circuitos que apresentam as características antes mencionadas, sendo presentes na maioria dos blocos analógicos de sinais mistos, como exemplo, Unidades de Gerenciamento de Potência (PMU).

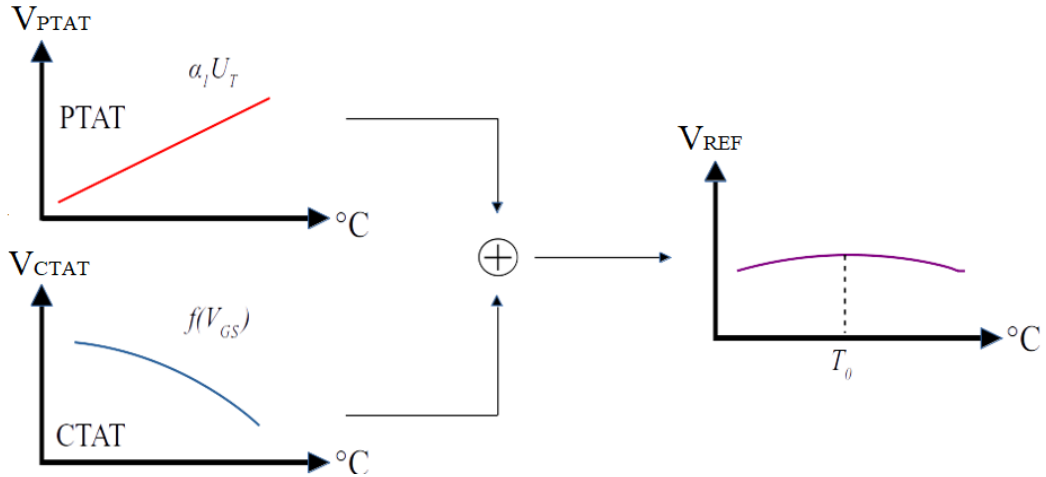
As referências de tensão são circuitos eletrônicos que, teoricamente, fornecem uma tensão de saída precisa que independe da tensão da fonte de alimentação ( $V_{DD}$ ), processo de fabricação e principalmente da temperatura. Em algumas aplicações, a referência de tensão deve ser também robusta contra efeitos de radiação [6] ou serem de baixo ruído [7]. Em circuitos analógicos, digitais e mistos, tais como conversores analógico-digital e digital-analógico, comparadores, memórias, amplificadores, LDO's (*Low-DropOut*) entre outros, utilizam-se modelos de referência com baixa sensibilidade aos parâmetros já mencionados.

A primeira referência de tensão relatada foi a *Bandgap*, proposta por Widlar [8], utilizada em um regulador de tensão, LM113, essa mesma topologia recebeu melhorias posteriores por Kuijk e Brokaw [9-10]. Sua implementação consiste em aproveitar o comportamento decrescente, com a temperatura, da tensão de limiar  $V_{TH}$  (*Tensão Threshold*) dos transistores bipolares BJT, de efeito de campo MOSFET, ou a tensão de joelho nos diodos. Para obter a tensão de referência  $V_{REF}$ , devem ser somadas tensões com comportamento distintos, uma proporcional a temperatura absoluta denominada *PTAT*, e outra complementar a temperatura absoluta *CTAT*, em outras palavras, a soma de tensões com coeficientes térmicos opostos. A Figura 1 ilustra o conceito básico da concessão de uma tensão de referência.

O coeficiente térmico (TC) que possui notação  $\text{ppm}/^\circ\text{C}$ , é um indicador utilizado para mensurar o quanto a referência de tensão varia com a temperatura, dada pela Equação (1):



$$TC = \frac{V_{REFmax} - V_{REFmin}}{T_{Max} - T_{Min}} \frac{1}{V_{REF(27^{\circ}C)}} \times 10^6 \quad (1)$$



**Figura 1** - Diagrama básico de uma Referência de tensão.  
**Fonte:** Retirada de [13].

Os termos  $V_{REFmax}$  e  $V_{REFmin}$  da Equação (1) são referentes aos valores máximos e mínimos que a tensão de referência atinge na faixa de temperatura pelo qual foi projetada,  $T_{Max}$  e  $T_{Min}$  que são os limites superior e inferior desta faixa de temperatura. As tensões  $PTAT$  e  $CTAT$  possuem TCs opostos, que quando somadas resultam em uma tensão compensada na temperatura, com um valor de TC muito baixo. Ainda da Figura 1, deduz-se que a saída de tensão  $V_{REF}$  pode ser dada por (2), onde  $f(V_{GS})$  caracteriza um comportamento quadrático  $CTAT$  e  $\alpha_1 U_T$ , o comportamento proporcional  $PTAT$ .

$$V_{REF} = f(V_{GS}) + \alpha_1 U_T \quad (2)$$

O desafio básico no projeto de uma referência de tensão está na estratégia utilizada para gerar as tensões  $PTAT$  e  $CTAT$  e de como serão somadas para obter a tensão devidamente compensada com a temperatura. A topologia *Bandgap* gera a tensão  $CTAT$  através da tensão base-emissor ( $V_{BE}$ ) de um transistor bipolar de junção ( $BJT$ ), a tensão  $PTAT$  é dada pela diferença de  $V_{BE}$ , ( $\Delta V_{BE}$ ), de dois transistores.

A referência proposta por Widlar possui uma tensão máxima de saída de 1.2 V<sub>DC</sub>, devido a tensão de *Bandgap* do silício ser próxima a esse valor, mais o valor de tensão necessário para manter a topologia em funcionamento. Este tipo de topologia pode ser inapropriada para aplicações que precisam operar com uma tensão de alimentação de baixo valor, por exemplo,

menor que 1 V. Devido a essa limitação novas topologias foram propostas, fazendo a substituição dos BJT's pelo transistor MOS.

Uma maneira de se gerar a tensão *PTAT* é utilizar transistores NMOS em série denominado *self-cascode composite transistor*, *SCCT*, configuração que depende apenas do dimensionamento e polarização dos transistores, para se obter uma tensão com TC positivo, [11-14].

Para gerar a tensão *CTAT*, alguns trabalhos utilizam técnicas como a inserção de diodos *schottky* [12-13 e 15] ou a diferença da *threshold* ( $V_{TH}$ ) de transistores distintos [16], entre outras técnicas. Para obter a tensão *CTAT* neste trabalho, foi utilizado a mesma configuração acima citada [11-14], *SCCT*, porém com transistores PMOS.

## 1.2 Objetivo

Este trabalho tem como objetivo propor uma nova topologia de circuito integrado referência de tensão e corrente utilizando a tecnologia CMOS 180nm da TSMC (*Taiwan Semiconductor Manufacturing Company*), com saídas que são pouco sensíveis em relação à fonte de alimentação, ao processo de fabricação e à temperatura de operação, além de apresentar um baixo consumo energético.

No escopo da dissertação consta:

- Apresentação da topologia proposta;
- Equacionamento de  $V_{REF}$  e  $I_{REF}$ ;
- Apresentação de circuitos auxiliares, *start-up* e polarização;
- Simulações necessárias para validação;
- *Layout* e;
- Medidas elétricas.

## 1.3 Organização

O trabalho é organizado da seguinte maneira

- Capítulo 2: É apresentado uma breve explicação da referência de tensão *Bandgap*, transistor MOS operando em inversão fraca e dedução das referências *PTAT* e *CTAT* com transistores *SCCT*;
- Capítulo 3: Apresenta a topologia proposta e circuitos auxiliares para o funcionamento do circuito;
- Capítulo 4: Resultados simulados, e análises dos dados;
- Capítulo 5: Resultados medidos, e análises dos dados;
- Capítulo 6: Conclusão do trabalho e trabalhos futuros.



## ***Capítulo 2***

### ***Referência de Tensão e Análise dos SCCTs***

A referência de tensão proposta pelo Widlar na década de 70 foi o ponto inicial para o estudo das tensões compensadas na temperatura. Desde então, a necessidade por circuitos de baixo consumo energético impulsionou a pesquisa por novas topologias. Outro ponto relevante é a estabilidade da tensão de saída perante variações da fonte de alimentação e processo de fabricação [12].

Nesta seção serão apresentados os conceitos do transistor MOS operando na região de inversão fraca, algumas topologias *PTAT* encontradas na literatura, conceito de tensão *CTAT*, topologia *Bandgap* para referências de tensão e simulações do transistor composto.

#### **2.1 Considerações Gerais**

A Figura 2 ilustra a vista lateral do transistor NMOS, com suas respectivas tensões de operação tomando como referência seu substrato [13]-[17].

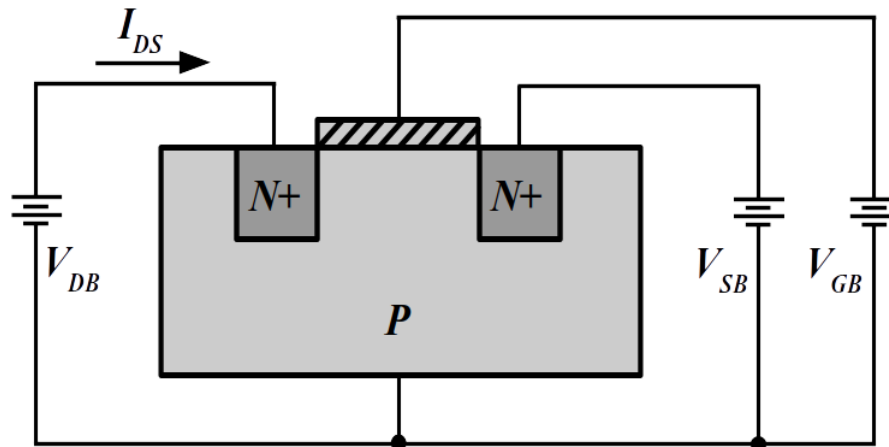


Figura 2 - Polarização do transistor NMOS.

**Fonte:** Retirada de [13].

O transistor MOS foi implementado em 1962 por Steven R. Hofstein e Frederic P. Heiman, sendo sua idealização proposta por Julius E. Lilienfeld em 1926. Seu funcionamento opera segundo dois princípios físicos de condução elétrica, a deriva e a difusão dos portadores (elétrons e lacunas) ao longo do canal, o que origina a corrente que percorre o dreno e a fonte. Considerando o transistor MOS de canal longo, a corrente  $I_{DS}$  pode ser expressa por (3) [13], onde  $\mu$  é a mobilidade elétrica dos portadores,  $W$  a largura do canal,  $Q$  a densidade de carga na camada de inversão,  $\Phi_s$  o potencial de superfície,  $K$  a constante de Boltzmann,  $T$  a temperatura absoluta em Kelvin e  $q$  a carga elementar (lacuna ou elétrons). O termo  $KT/q$  é conhecido como tensão térmica na literatura, com abreviatura  $U_T$ .

$$I_{DS} = \mu W \left( -Q \frac{d\Phi_s}{dx} + \frac{KT}{q} \frac{dQ}{dx} \right) \quad (3)$$

Conforme a intensidade da tensão aplicada no porta-substrato, um dos princípios de condução se torna predominante, fazendo com que sejam criadas as regiões de operação: inversão forte, inversão moderada e inversão fraca.

## 2.2 O transistor MOS Operando em Inversão Fraca

O transistor NMOS quando opera na inversão fraca, se baseia na corrente de difusão ao longo do canal, e sua corrente  $I_{DS}$  pode ser modelada por (4):

$$I_{DS} = I_0 \cdot \exp\left(\frac{V_{GS} - V_{TH}}{n \cdot U_T}\right) \left(1 - \exp\left(-\frac{V_{DS}}{U_T}\right)\right) \quad (4)$$

Onde  $I_0$  é expresso por (5):

$$I_0 = \mu_0 \cdot C_{OX} \cdot \frac{W}{L} (n - 1) U_T^2 \quad (5)$$

O fator de inclinação  $n$  é definido pela equação (6), que depende da razão da capacitância na região de depleção  $C_B$  pela capacitância intrínseca do óxido  $C_{OX}$ , ambas expressas por unidade de área. O fator de inclinação pode ser considerado uma constante caso seja garantido o funcionamento do transistor na região de inversão fraca, podendo ser modelado na expansão linear do efeito do corpo ao redor do ponto de operação quiescente do substrato[13].

$$n = 1 + \frac{C_B}{C_{OX}} \quad (6)$$

De acordo com a equação (4), o transistor de canal longo entrará na região de saturação caso a tensão  $V_{DS}$  seja maior ou igual  $3KT/q$  [13], eliminando a segunda parcela exponencial, e que  $V_{GS}$  seja menor ou igual a  $2V_{TH}/3$  [17].

## 2.3 Circuito *PTAT*

O termo *PTAT* é utilizado quando uma grandeza, neste caso elétrica, possui um comportamento crescente, proporcional à temperatura. Nas literaturas atuais, existe uma grande variedade de circuitos capazes de gerar esta grandeza com o comportamento *PTAT*. A Figura 3 ilustra algumas topologias com este comportamento [18-20].

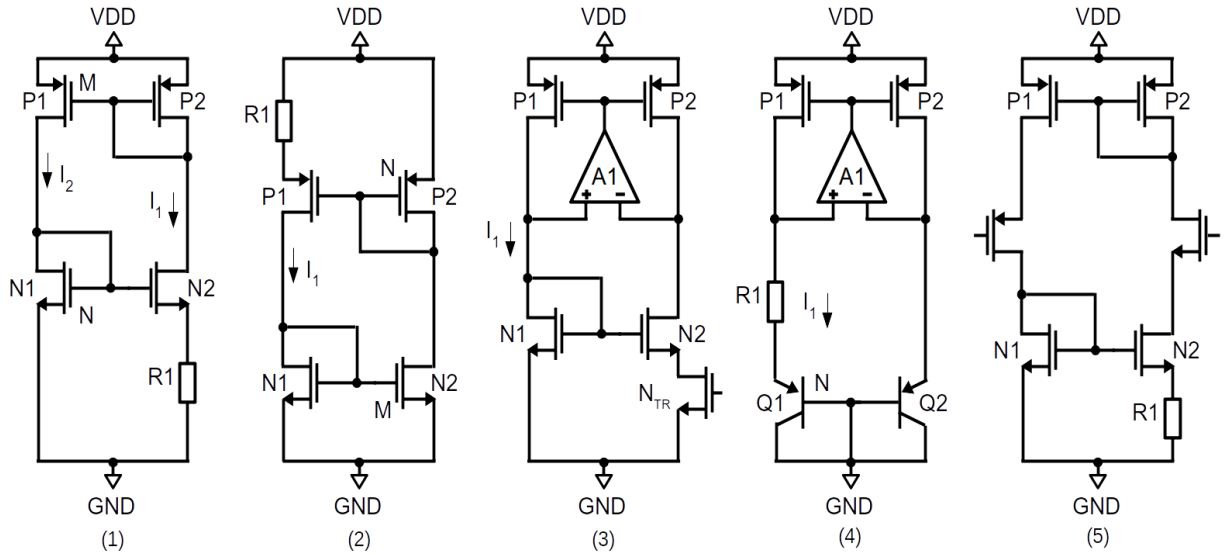


Figura 3 - Topologias *PTAT*.  
**Fonte:** Retirada de [21].

A Figura 3.1 ilustra uma topologia composta por um espelho de corrente PMOS, um espelho de corrente degenerado NMOS e um resistor. Para o correto funcionamento, os transistores  $N_1$  e  $N_2$  devem operar na região de inversão fraca regida pela equação (4). A tensão *PTAT* depende da corrente  $I_1$ , que por sua vez depende do resistor  $R_1$  e das tensões porta-fonte  $V_{GSN1}$  e  $V_{GSN2}$ , dada por (7):

$$I_1 = \frac{V_{GSN1} - V_{GSN2}}{R_1} \quad (7)$$

Lembrando que a corrente  $I_2$  e  $M$  (multiplicidade do transistor  $P_1$ ) vezes maior que a corrente  $I_1$ , e  $N$  é a multiplicidade do transistor  $N_1$ . Isolando o termo  $V_{GS}$  da equação (4), a corrente  $I_1$  é reescrita por (8) [21]:

$$I_1 = \frac{1}{R_1} n \cdot U_T \cdot \ln\left(\frac{M}{N}\right) \quad (8)$$

Como  $U_T$  é um termo diretamente proporcional a temperatura, citado na seção anterior, conclui-se que a corrente  $I_1$  possui um comportamento crescente com a temperatura, sendo  $V_{PTAT}$  a multiplicação da corrente  $I_1$  pelo resistor  $R_1$ .

A topologia da Figura 3.2 é similar à anterior, entretanto, é utilizado um espelho degenerado PMOS operando na inversão fraca. A corrente que passa pela resistência possui o mesmo equacionamento final de (7).



Na topologia proposta na Figura 3.3, o resistor  $R_I$  é substituído pelo transistor  $N_{TR}$ , pois caso seja aplicado uma tensão em sua porta garantindo o funcionamento na região de operação tríodo, o mesmo pode ser comparado com um resistor de impedância elevada, que ocupa uma menor região no silício. A conexão porta-dreno é substituída por um amplificador operacional, com a finalidade de reduzir o efeito de modulação de canal, garantia que só é válida caso as tensões no par diferencial sejam próximas, garantindo uma corrente  $I_I$  com uma dependência menor em relação a tensão de alimentação.

A próxima topologia, Figura 3.4, utiliza transistores bipolares de junção (BJT) como espelho de corrente. Conforme descrito no parágrafo anterior, as tensões no par diferencial do amplificador operacional são próximas, portanto a corrente  $I_I$  que passa pelo BJT é:

$$I_1 = \frac{V_{BEQ2} - V_{BEQ1}}{R_1} \quad (9)$$

A tensão  $V_{BE}$  é a tensão entre a base e o emissor do *BJT*, que também pode ser reescrita em função da temperatura dada por (10):

$$V_{BE}(T) = V_{BG}(T) - V_{BG}(T_R) \left( \frac{T}{T_R} \right) + V_{BE}(T_R) \left( \frac{T}{T_R} \right) - \eta \left( \frac{KT}{q} \right) \ln \left( \frac{T}{T_R} \right) + \left( \frac{KT}{q} \right) \ln \left( \frac{I_C(T)}{I_C(T_R)} \right) \quad (10)$$

Onde  $T_R$  é a temperatura de referência,  $V_{BG}$  a tensão de *bandgap* do silício,  $I_C$  a corrente que circula pelo coletor e  $\eta$  a constante de mobilidade referente a temperatura. Substituído (10) em (9) e considerando o transistor  $Q_1$  com uma maior área do que  $Q_2$  em  $N$  vezes, e que  $I_C$  possui um comportamento exponencial similar a  $I_D$ , na região de inversão fraca, obtemos (11) [21]:

$$I_1 = \frac{1}{R_1} U_T \cdot \ln(N) \quad (11)$$

Da mesma forma que a primeira topologia, a tensão *PTAT* se dá pelo produto da resistência  $R_I$  pela corrente  $I_I$ . A Equação (11) se assemelha bastante com a Equação (8), entretanto uma se origina por meio de um BJT e a outra por um transistor MOS.

A última topologia, Figura 3.5, se difere apenas dos transistores *cascode*, pois quando são devidamente polarizados na região de saturação, atenuam a influência que o circuito possui com a tensão de alimentação, deixando-o menos dependentes.

## 2.4 Tensão *CTAT*

A tensão *CTAT* possui um comportamento contrário da tensão *PTAT* descrita na seção anterior. Essa tensão pode ser gerada a partir da tensão base-emissor,  $V_{BE}$ , dos *BJT* ou da tensão porta-fonte,  $V_{GS}$ , dos transistores MOS, sendo este operando na região de fraca inversão [19-20].

A demonstração do comportamento decrescente de  $V_{BE}$  é dada pela Equação (10), considerando  $U_T$  muito pequeno e  $V_{BG}(T) \approx V_{GO} + \varepsilon T$ , sendo  $V_{GO}$  a tensão de *bandgap* em 0K e  $\varepsilon$  a derivada de  $V_{GS}$  em função de T [22], obtendo a equação (12):

$$V_{BE}(T) \approx V_{GO}(T) - T \left( \frac{V_{GO} - V_{BE}(T_r)}{T_r} \right) \quad (12)$$

O valor de  $V_{BE}$  é próximo a 0.6V e  $V_{GO}$  próximo a 1.2V, isso faz com que a Equação (12) possua um comportamento decrescente com a temperatura, tornando a uma tensão *CTAT*.

A tensão  $V_{GS}$ , em inversão fraca, é definida pelas Equações (13) e (14), onde as variáveis  $K_{TI}$  e  $V_{OFF}$  são parâmetros BSIM4V4 (família de modelo do transistor MOS) para o TC de  $V_{TH}$  e tensão de deslocamento na região do sublimiar, considerando o comprimento ( $L$ ) e largura ( $W$ ) muito grandes, respectivamente [21] e [23]:

$$|V_{GS}| \approx |V_{GS}|(T_0) + K_G \left[ \left( \frac{T}{T_0} \right) - 1 \right] \quad (13)$$

$$K_G \cong K_{T1} + |V_{GS}|(T_0) - |V_{TH}|(T_0) - V_{OFF} \quad (14)$$

Com os valores típicos de  $K_{TI}$ ,  $V_{OFF}$ ,  $V_{GS}(T_0)$  e  $V_{TH}(T_0)$ , a constante  $K_G$  se torna negativa, fazendo com que a Equação (13) decresça linearmente com a temperatura, tornando a uma tensão *CTAT*.

## 2.5 Referência de Tensão *Bandgap*

Como mencionado, as referências de tensão se dão pela soma ponderada de duas tensões com naturezas distintas, denominada *PTAT* e *CTAT*. As primeiras referências propostas na

literatura são do tipo *bandgap*, nome dado quando se obtém a CTAT através do  $V_{BE}$  dos *BJT* [24].

A Figura 4 ilustra uma topologia *bandgap* proposta por [25]. Neste circuito a relação de aspecto dos transistores  $P_1$  e  $P_2$  são a mesma, assim como os resistores  $R_1$  e  $R_2$ .

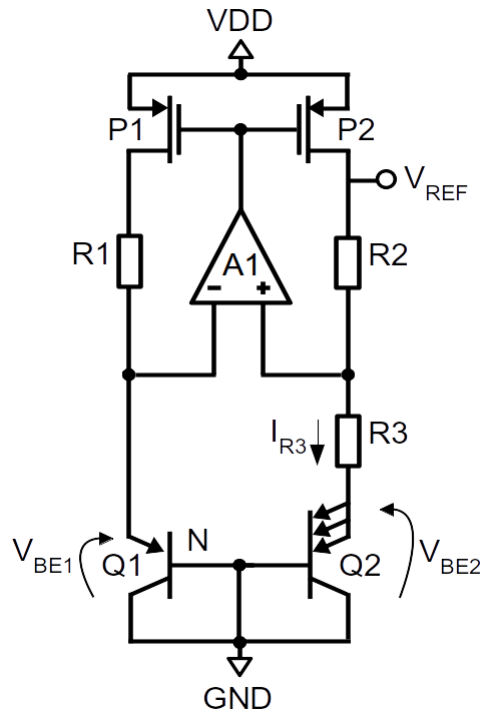


Figura 4 - Referência de tensão *Bandgap*.

**Fonte:** Retirada de [16].

A tensão no nó entre as resistências  $R_2$  e  $R_3$  é a própria tensão  $V_{BE1}$ , pois como mencionado, a presença do amplificador força a tensão do par diferencial ser a mesma, portanto, a tensão  $V_{REF}$  pode ser escrita como (15):

$$V_{REF} = V_{BE1} + R_2 I_{R3} \quad (15)$$

A corrente  $I_{R3}$  é gerada pelo  $\Delta V_{BE}$  dos transistores  $Q_1$  e  $Q_2$ , semelhante a Equação (9), portanto a Equação (15) pode ser reescrita como:

$$V_{REF} = V_{BE1} + \frac{R_2}{R_3} U_T \cdot \ln(N) \quad (16)$$

A Equação (16) mostra que a tensão  $V_{REF}$  é formada por uma componente *CTAT* e uma *PTAT*, primeiro e segundo termo respectivamente, com base no referencial teórico já citado. As

resistências são responsáveis pelo ajuste da tensão  $CTAT$  assim como a quantidade  $N$  dos  $BJT$  pela tensão  $PTAT$ .

As topologias *bandgap* normalmente possuem uma restrição devida a sua mínima tensão de alimentação, pois para se obter um cancelamento dos efeitos, TC muito baixo, a soma das tensões  $PTAT$  e  $CTAT$  se aproxima de  $1.2 V_{DC}$  [13], tornando a sua tensão de alimentação uma restrição em projetos que precisam operar com  $V_{DD} > 1.5 V$ .

## 2.6 Transistor Composto SCCT

O transistor composto SCCT possui uma configuração de conexão conforme a Figura 5 [14], (a) NMOS e (b) PMOS, que é capaz de gerar referências de tensão proporcional a temperatura  $PTAT$  e sua complementar a temperatura  $CTAT$ .

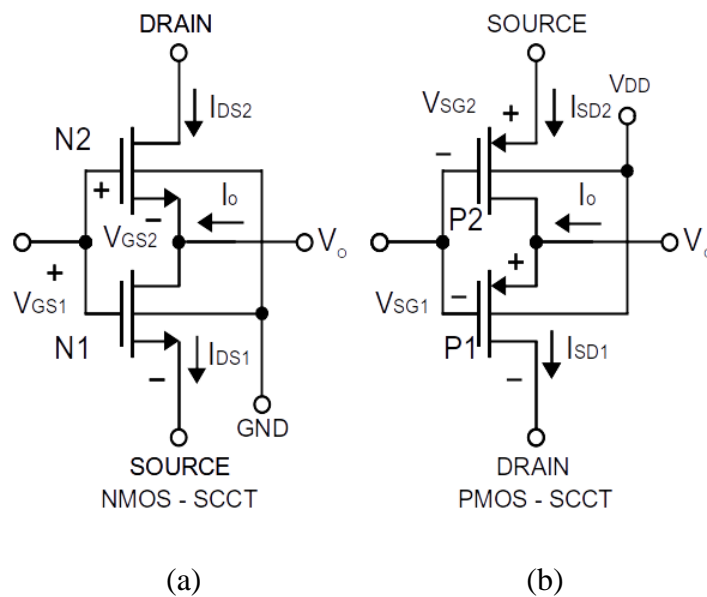


Figura 5 - Transistor Composto SCCT: (a) NMOS e (b) PMOS.

**Fonte:** Autor.

Os SCCTs são circuitos de configuração simples, capazes de gerar uma tensão de saída  $V_o$  com dependência direta com a temperatura, amplamente utilizados em topologias cuja finalidade é obter tensões ou corrente compensada com a temperatura [11-13] e [26-28]. Uma aplicação bastante interessante para o transistor composto apresentada em [13] é sua capacidade de atuar como um sensor de temperatura, semelhante a um termistor. A tensão  $PTAT$  é gerada pelo circuito ilustrado na Figura 5 (a), configuração que utiliza transistores NMOS. A tensão

$V_O$  do SCCT em questão é a própria tensão  $V_{DSN1}$ , que é obtida pela diferença das tensões porta-fonte:

$$V_0 = \Delta V_{GS} = V_{DS1} = V_{GSN1} - V_{GSN2} \quad (17)$$

Das Equações (4) e (5) é possível isolar a tensão  $V_{GS}$ , obtendo (18) sendo  $S$  a relação de aspecto:

$$V_{GS} = n \cdot U_T \cdot \ln \left( \frac{I_D}{\mu_0 \cdot C_{OX} \cdot S \cdot U_T^2 \left( 1 - \exp \left( -\frac{V_{DS}}{U_T} \right) \right)} \right) \quad (18)$$

Substituindo a Equação (18) em (17), obtém-se:

$$V_0 = \Delta V_{GS} = V_{DS1} = n \cdot U_T \cdot \ln \left( \frac{I_{DS1} \cdot S_{N2} \left( 1 - \exp \left( -\frac{V_{DS2}}{U_T} \right) \right)}{I_{DS2} \cdot S_{N1} \left( 1 - \exp \left( -\frac{V_{DS1}}{U_T} \right) \right)} \right) \quad (19)$$

Como mencionado, o transistor MOS na inversão fraca precisa de um  $V_{DS} \geq 4U_T$  para ser saturado, utilizando este conceito a Equação (19) pode ser simplificada obtendo:

$$V_0 = \Delta V_{GS} = V_{DS1} = n \cdot U_T \cdot \ln \left( \frac{I_{DS1} \cdot S_{N2}}{I_{DS2} \cdot S_{N1}} \right) \quad (20)$$

Para o correto funcionamento do SCCT, o transistor superior,  $N_2$  da Figura 5(a), deve operar na região de inversão franca e saturado, o que não se aplica para o transistor inferior  $N_1$  [12], podendo este operar na região linear. Outra condição para o funcionamento é que o transistor  $N_2$  seja  $M$  vezes maior que o transistor  $N_1$  [13]. Da Equação (20) conclui-se que a expressão possui um comportamento *PTAT*, pois a tensão  $V_O$  possui um comportamento proporcional devido a sua dependência com a tensão térmica  $U_T$ .

Para demonstrar esse comportamento, foi feito um esquemático elétrico no ambiente de simulação Synopsys, a Figura 6 ilustra o circuito e a Tabela 1 as dimensões dos transistores dos SCCT1 ao SCCT4.

Tabela 1 – Dimensões dos SCCTs NMOS.

	<b>SCCT1</b>	<b>SCCT2</b>	<b>SCCT3</b>	<b>SCCT4</b>
Largura (W)	3 $\mu$	3 $\mu$	3 $\mu$	3 $\mu$
Comprimento(L)	3 $\mu$	3 $\mu$	3 $\mu$	3 $\mu$
Multiplicidade ( $N_2$ )	5	10	15	20

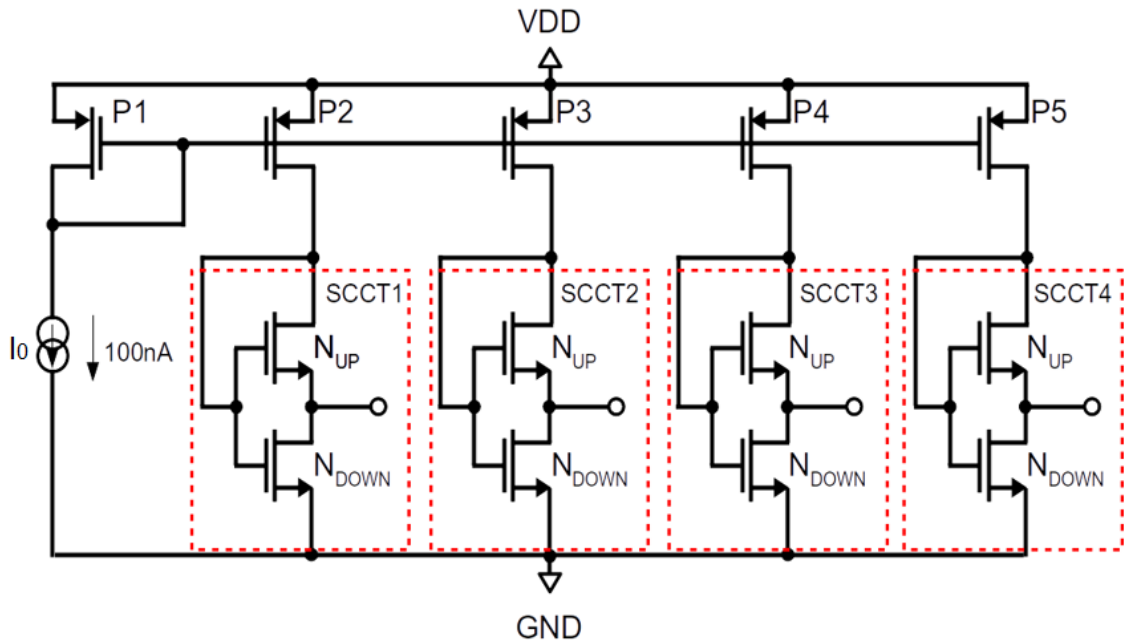


Figura 6 – Matriz de SCCTs.  
**Fonte:** Modificada de [12].

Para a simulação foi utilizado uma alimentação  $V_{DD}$  de 1.8 V e uma fonte de corrente  $I_0$  de 100 nA. A Figura 7 ilustra o comportamento *PTAT* do SCCT com transistores NMOS:

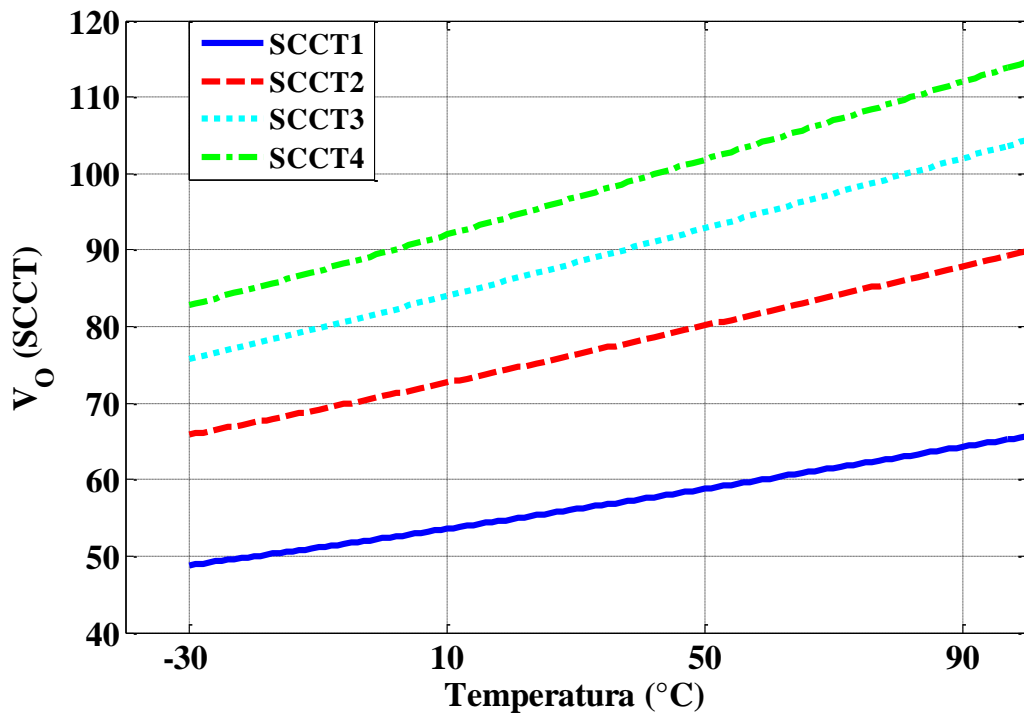


Figura 7 – Comportamento *PTAT*.  
**Fonte:** Autor.

Da Figura 7, nota-se que a tensão de saída do *SCCT* com transistor NMOS se comporta de maneira linear com a temperatura. O coeficiente angular da curva é diretamente proporcional à relação de aspecto dos transistores assim como o módulo da tensão de saída [12]. Vale ressaltar que a tensão de saída também possui uma dependência direta com a corrente de polarização  $I_0$ .

A tensão *CTAT* é gerada pelo circuito ilustrado na Figura 5 (b), quando o mesmo é referenciado ao dreno. A operação do *SCCT* com transistor PMOS é análoga à da versão NMOS, entretanto as conexões dos terminais de porta estão conectadas no dreno de  $P_1$  e ao GND. A tensão proporcional à tensão térmica aparece como a tensão fonte-dreno de  $P_2$ ,  $V_{SDP2}$ . Entretanto nota-se que a tensão de saída ( $V_O$ ), neste caso, é dada por  $V_{SGP2}$  menos  $V_{SD2}$ , conforme descrito pela equação (21).

$$V_O = V_{SD1P} \approx V_{SGP2} - n \cdot U_T \cdot \ln\left(\frac{I_{SD2}S_{P1}}{I_{SD1}S_{P2}}\right) \quad (21)$$

O primeiro termo da Equação (21) é uma tensão *CTAT*. Quando o transistor MOS é polarizado com uma corrente abaixo de um determinado valor da tecnologia, seu  $|V_{SG}|$  diminui com a temperatura de maneira linear. Este comportamento ocorre quando a diminuição da tensão  $V_{TH}$ , causada pelo aumento da temperatura, supera os efeitos causados pela redução da mobilidade da portadora [29]. O segundo termo, por sua vez, é *PTAT*, no entanto, como é um termo logarítmico, sua contribuição é mínima em comparação com o primeiro.

Da mesma maneira feita para a simulação *PTAT*, foi feito em paralelo um esquemático ilustrado na Figura 8 para simular o comportamento da tensão. A Tabela 2 mostra as dimensões dos transistores.

Tabela 2 - Dimensões dos *SCCTs* PMOS.

	<b>SCCT5</b>	<b>SCCT6</b>	<b>SCCT7</b>	<b>SCCT8</b>
Largura (W)	10 $\mu$	10 $\mu$	10 $\mu$	10 $\mu$
Comprimento(L)	5 $\mu$	5 $\mu$	5 $\mu$	5 $\mu$
Multiplicidade ( $P_1$ )	5	10	15	20

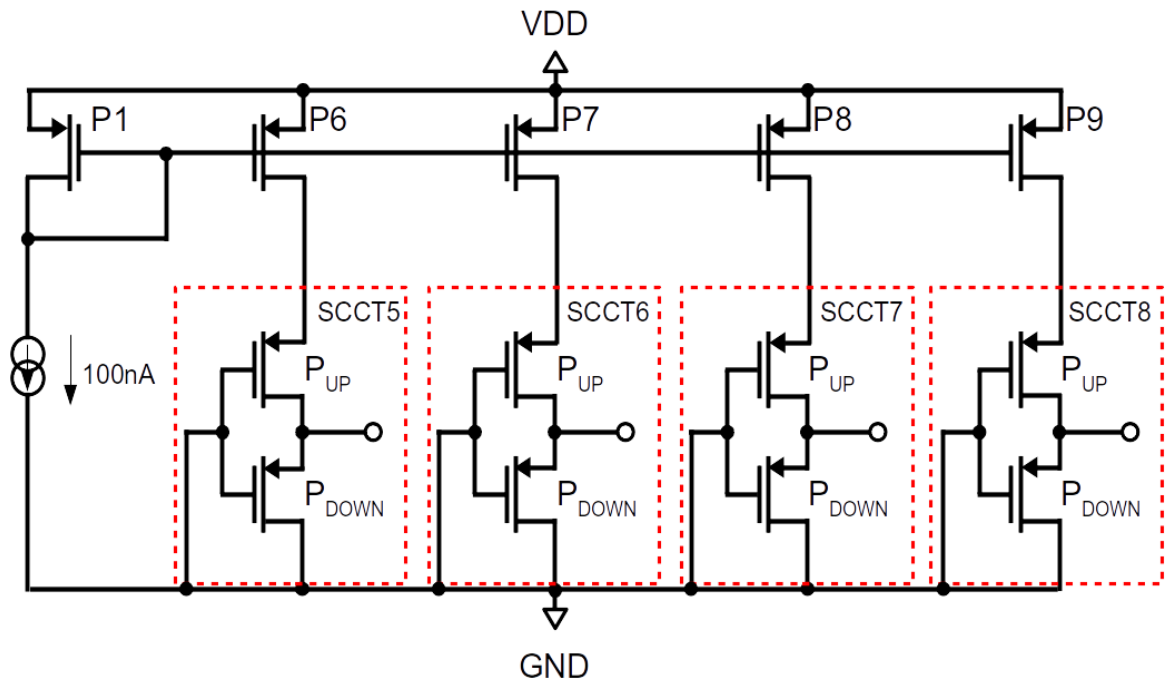


Figura 8 – Matriz de *SCCTs*.  
**Fonte:** Autor.

Para simular, foi utilizado o mesmo  $V_{DD}$  de 1.8 V e corrente  $I_0$  de 100 nA. A Figura 9 ilustra o comportamento *CTAT* do *SCCT* com transistores PMOS:

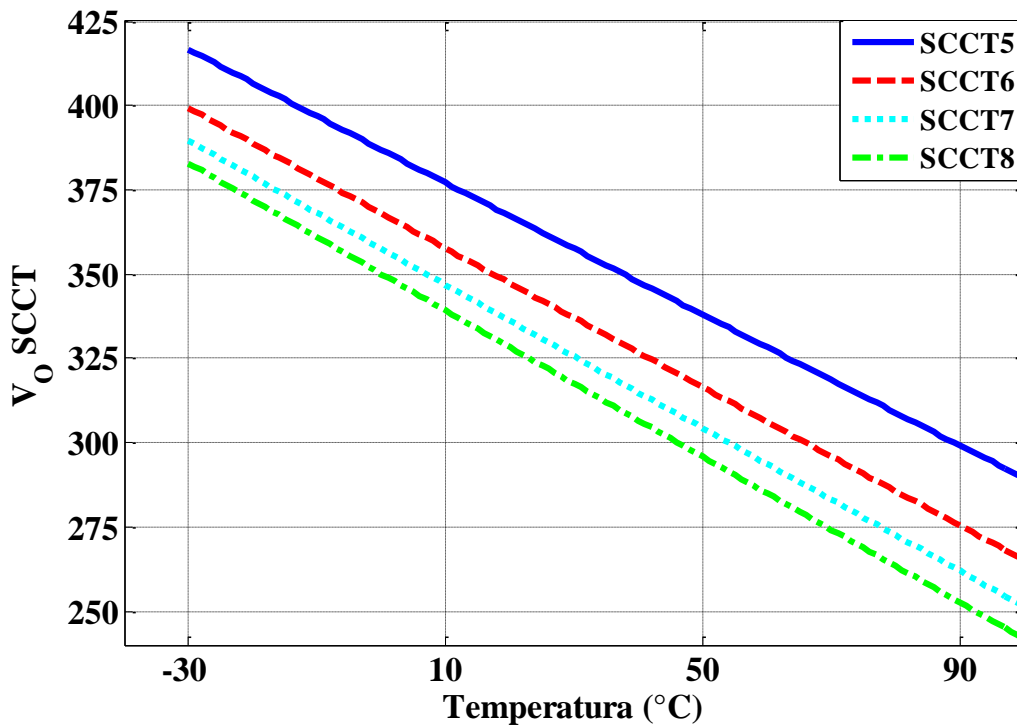


Figura 9 – Comportamento *CTAT*.  
**Fonte:** Autor.



Da Figura 9 nota-se que o *SCCT* com transistor PMOS se comporta de maneira inversamente proporcional com a temperatura. Diferente do circuito *PTAT*, o coeficiente angular decresce com o aumento da relação de aspecto assim como o módulo da tensão de saída. O único comportamento idêntico se refere à corrente de polarização, sendo proporcional à tensão de saída do *SCCT*.

## 2.7 Referência de Tensão utilizando SCCT

A última referência de tensão, utilizando *SCCT*, reportada da literatura, é proposta por FAKHARYAN [28], ilustrada na Figura 10. Nesta topologia o autor utiliza os *SCCT* para gerar a tensão *PTAT* e um transistor conectado em diodo para gerar a tensão *CTAT*. O coeficiente térmico da tensão *CTAT*, comparado ao *PTAT*, é maior, pois a *PTAT* depende da tensão térmica  $U_T$ . Para compensar o TC final, o autor utiliza três *SCCT* em série.

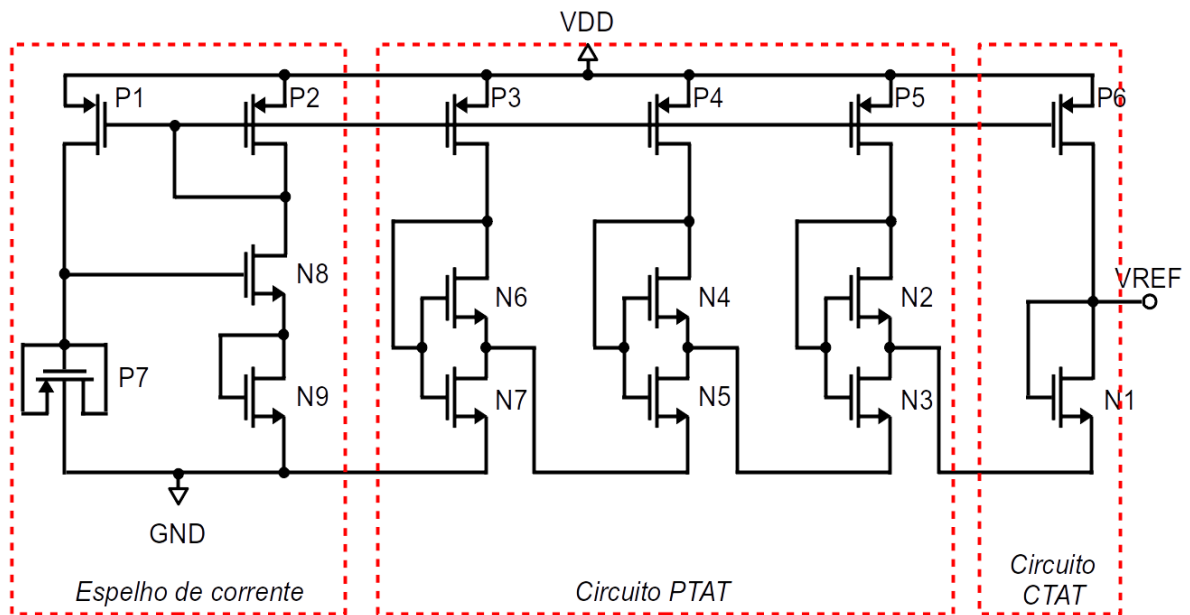


Figura 10 – Referência de Tensão com transistor *SCCT*.

**Fonte:** Retirada de [28].

A tensão de saída  $V_{REF}$  da topologia proposta é dada por:

$$V_{REF} = V_{GS1} + V_{DSN3} + V_{DSN5} + V_{DSN7} \quad (22)$$

A topologia proposta por [28] possui um  $V_{REF}$  de 0.625 V, com um TC de 13 ppm/°C e consumo de 16.2 nW



## ***Capítulo 3***

### ***Referência de Tensão e corrente Proposta***

O Capítulo 2 desta dissertação apresentou o transistor composto *SCCT*, responsável por gerar as tensões *PTAT* e *CTAT*, dado pela diferença entre a tensão dreno-fonte de dois MOSFET's. Conforme apresentado, as configurações com transistores NMOS e PMOS possui o resultado esperado de uma tensão proporcional e complementar a temperatura. A topologia proposta é ilustrada na Figura 11, que utiliza os conceitos dos *SCCTs* somados a outros circuitos eletrônicos que serão explicados neste capítulo.

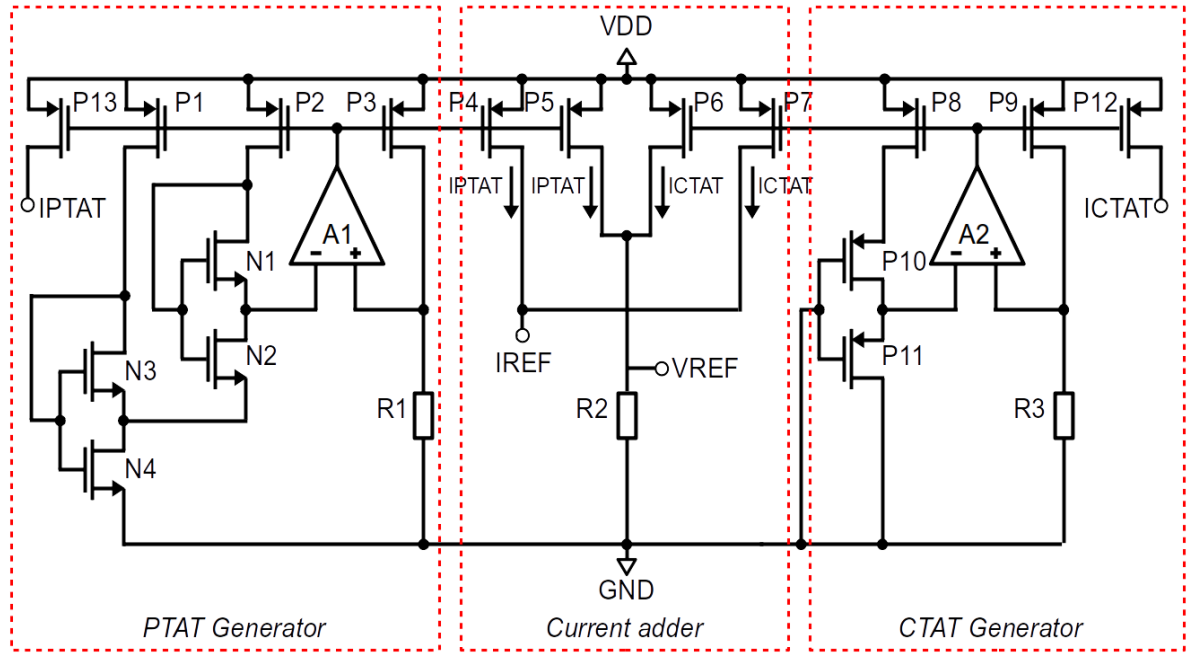


Figura 11 – Referência Proposta.

Fonte: Autor.

### 3.1 Equacionamento

Como mencionado anteriormente, a referência compensada se dá pela soma de duas tensões ou correntes com TC opostos. Na topologia, o transistor composto NMOS é responsável por gerar a tensão  $PTAT$ . Através da realimentação formada pelo espelho  $P_2$  e  $P_3$  e da resistência  $R_1$ , a corrente  $I_{PTAT}$  é dada por:

$$I_{PTAT} = \frac{V_{DSN2} + V_{DSN4}}{R_1} \quad (23)$$

Substituindo a Equação (20) em (23) obtém-se  $I_{PTAT}$  em função de  $U_T$ :

$$I_{PTAT} = \frac{nU_T \left( \ln \left( \frac{I_{DS2} S_{N1}}{I_{DS1} S_{N2}} \right) + \ln \left( \frac{I_{DS4} S_{N3}}{I_{DS3} S_{N4}} \right) \right)}{R_1} \quad (24)$$

De maneira semelhante, o transistor composto PMOS gera a tensão  $CTAT$ , e através da realimentação formada pelo espelho  $P_8$  e  $P_9$  e a resistência  $R_3$ ,  $I_{CTAT}$  é dado por:

$$I_{CTAT} = \frac{V_{SGP10} - V_{SDP10}}{R_3} \quad (25)$$

Substituindo a Equação (20) em (25) obtém-se  $I_{CTAT}$  em função de  $U_T$ :

$$I_{CTAT} = \frac{V_{SGP10} - nU_T \ln\left(\frac{I_{SD10}S_{P11}}{I_{SD11}S_{P10}}\right)}{R_3} \quad (26)$$

Da Figura 11, nota-se que a corrente  $I_{REF}$  é dada pela soma das correntes que percorrem os transistores  $P_4$  e  $P_7$ . Levando em consideração as relações de aspecto dos transistores  $P_3$ ,  $P_4$ ,  $P_7$  e  $P_8$  e as Equações (24) e (26), a corrente de saída,  $I_{REF}$ , é obtida conforme descrito pelas Equações (27) e (28):

$$I_{REF} = I_{PTAT} \left(\frac{S_{P4}}{S_{P3}}\right) + I_{CTAT} \left(\frac{S_{P7}}{S_{P8}}\right) \quad (27)$$

$$I_{REF} = \frac{V_{DSN2} + V_{DSN4}}{R_1} \left(\frac{S_{P4}}{S_{P3}}\right) + \frac{V_{SGP10} - V_{SDP11}}{R_3} \left(\frac{S_{P7}}{S_{P8}}\right) \quad (28)$$

Considerando as relações de aspecto dos transistores  $P_3$ ,  $P_5$ ,  $P_6$  e  $P_8$ , a referência de tensão  $V_{REF}$  é obtida injetando  $I_{REF}$  no resistor  $R_2$ , resultando nas Equações (29) e (30):

$$V_{REF} = \left( I_{PTAT} \left(\frac{S_{P5}}{S_{P3}}\right) + I_{CTAT} \left(\frac{S_{P6}}{S_{P8}}\right) \right) \cdot R_2 \quad (29)$$

$$V_{REF} = \left( \frac{V_{DSN2} + V_{DSN4}}{R_1} \left(\frac{S_{P5}}{S_{P3}}\right) + \frac{V_{SGP10} - V_{SDP11}}{R_3} \left(\frac{S_{P6}}{S_{P8}}\right) \right) \cdot R_2 \quad (30)$$

Note-se que a resistência  $R_2$  pode ser escolhida para ajustar o valor necessário de  $V_{REF}$  sem danificar a compensação de temperatura. A Equação (30) pode ser reescrita como uma função da tensão térmica  $U_T$ . Considerando  $\gamma$  é a razão entre a resistência  $R_1$  e  $R_3$ , ou  $R_1$  e  $R_2$ , e  $\alpha$  e  $\beta$  as razões de aspecto de  $(S_{P5}/S_{P3})$  e  $(S_{P6}/S_{P8})$ , respectivamente, a Equação (30) pode ser reescrita como:

$$V_{REF} = \gamma U_T \ln \left( \frac{\left(\frac{I_{DS2}S_{N1}}{I_{DS1}S_{N2}}\right)^{\alpha n} \left(\frac{I_{DS4}S_{N3}}{I_{DS3}S_{N4}}\right)^{\alpha n}}{\left(\frac{I_{Dsp10}S_{p11}}{I_{Dsp11}S_{p10}}\right)^{\beta n}} \right) + \gamma \beta V_{SGP10} \quad (31)$$

Substituímos todos os parâmetros que multiplicam a tensão térmica por uma constante "A", e o termo  $\gamma \cdot \beta$  por uma constante "B", a Equação (31) pode ser reescrita como (32):

$$V_{REF} = AU_T + BV_{SGP10} \quad (32)$$

Observe que a compensação de temperatura pode ser realizada através da concepção de valores apropriados das constantes A e B, que são dados pelas relações de aspecto de SP<sub>3</sub>, SP<sub>5</sub>, SP<sub>6</sub>, SP<sub>8</sub>, SP<sub>10</sub>, SP<sub>11</sub>, SN<sub>1</sub>, SN<sub>2</sub>, SN<sub>3</sub> e SN<sub>4</sub>.

Além disso, a tensão de alimentação mínima de operação ( $VDD_{min}$ ) da referência proposta é dada por:

$$VDD_{min} = V_{DSN4} + V_{GSN2} + V_{SDP2} \quad (33)$$

Se N<sub>4</sub>, N<sub>2</sub> e P<sub>2</sub> operarem na inversão moderada ou fraca, o valor esperado de  $VDD_{min}$  pode ser inferior a 800 mV no processo típico CMOS de 180 nm usado. Todas as resistências utilizadas são de polissilício devido a sua baixa variação em relação a temperatura e sua menor tolerância. A Tabela 3 mostra os valores dos transistores da topologia principal ilustrado na Figura 11:

Tabela 3 - Dimensões da topologia proposta.

	<b>P<sub>1</sub></b>	<b>P<sub>2</sub></b>	<b>P<sub>3</sub></b>	<b>P<sub>6</sub></b>	<b>P<sub>7</sub></b>	<b>P<sub>8</sub></b>	<b>P<sub>9</sub></b>	<b>P<sub>10</sub></b>	<b>P<sub>11</sub></b>	<b>P<sub>12</sub></b>	<b>P<sub>13</sub></b>
Largura (W)	12μ	12μ	12μ	12μ	12μ	12μ	12μ	22.14μ	22.14μ	12μ	18μ
Comprimento(L)	8μ	8μ	8μ	8μ	8μ	8μ	8μ	1μ	1μ	8μ	8μ
Multiplicidade	2	10	4	4	4	4	4	1	14	8	4

	<b>N<sub>1</sub></b>	<b>N<sub>2</sub></b>	<b>N<sub>3</sub></b>	<b>N<sub>4</sub></b>	<b>Resistência</b>	
Largura (W)	10u	10u	10u	10u	R <sub>1</sub>	450,058KΩ
Comprimento(L)	4u	4u	4u	4u	R <sub>2</sub>	279,98 KΩ
Multiplicidade	20	1	20	1	R <sub>3</sub>	450,058KΩ

### 3.2 Amplificador Operacional

Amplificadores simples, A1 e A2, mostrados na Figura 12, são utilizados para forçar as tensões de saída dos SCCT's a serem iguais às tensões nos resistores R<sub>1</sub> e R<sub>3</sub>, além de melhorar a regulação de linha, que consiste no quanto a referência, seja de tensão ou corrente, varia conforme variação da fonte de alimentação  $V_{DD}$  [30].

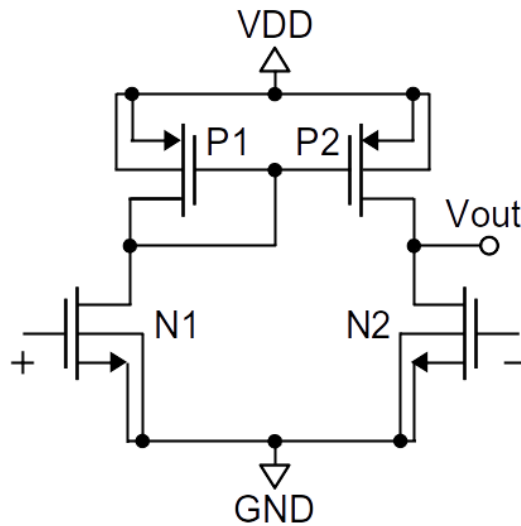


Figura 12 – Amplificador Operacional.  
**Fonte:** Autor.

O ganho nominal em malha aberta do amplificador é de 45.6 dB, e sua configuração dispensa uma fonte de corrente para polarizá-lo. A Figura 13 ilustra o ganho em malha aberta do amplificador e a Tabela 4 as dimensões dos transistores.

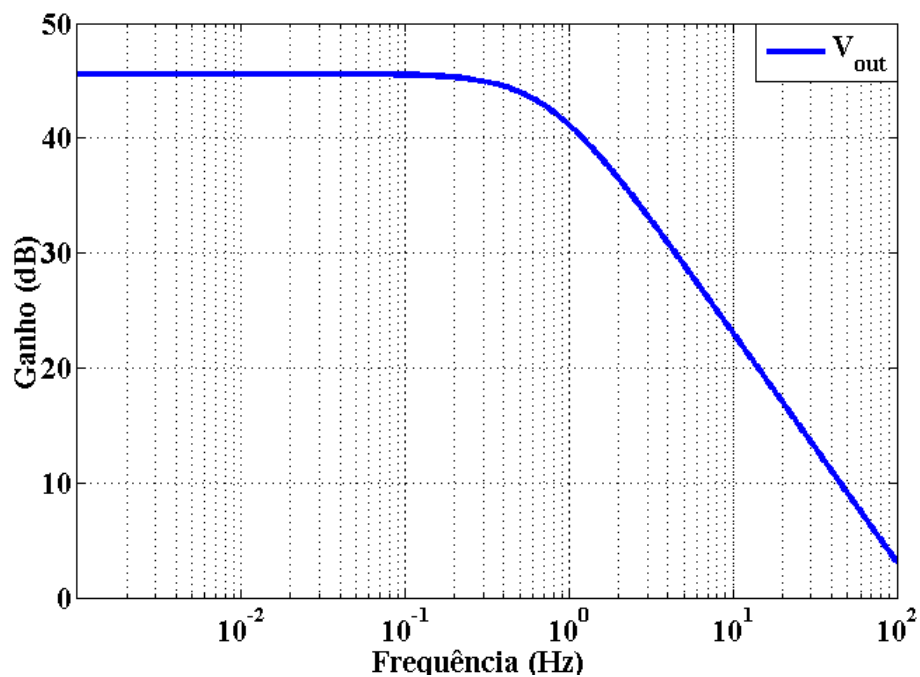


Figura 13 – Ganho em malha aberta do amplificador.  
**Fonte:** Autor.

Tabela 4 - Dimensões do AmpOp.

	<b>P<sub>1</sub></b>	<b>P<sub>2</sub></b>	<b>N<sub>1</sub></b>	<b>N<sub>2</sub></b>
Largura (W)	6 $\mu$	6 $\mu$	4 $\mu$	4 $\mu$
Comprimento(L)	19.995 $\mu$	19.995 $\mu$	19.995 $\mu$	19.995 $\mu$
Multiplicidade	4	4	4	4

### 3.3 Circuito Inicializador

Ao inicializar o circuito, no instante  $t = 0^+$ , pode ocorrer que as correntes de dreno dos transistores P<sub>2</sub>, P<sub>3</sub>, P<sub>8</sub> e P<sub>9</sub> da Figura 11 se estabilizem em zero [31]. Para evitar que isso ocorra, foi inserido um circuito de *Startup* na saída dos amplificadores A1 e A2, para forçar o circuito a sair desse ponto estável com correntes nulas.

O circuito inicializador utilizado, nomeado de *Startup* na literatura, é ilustrado na Figura 14, sua saída *V<sub>out</sub>* é conectada na porta dos transistores PMOS citados anteriormente. Seu funcionamento ocorre da seguinte maneira: No instante  $t = 0^+$  a tensão de porta do transistor N<sub>1</sub> é igual a zero, fazendo com que a tensão de saída do inversor formado pelos transistores P<sub>2</sub> e N<sub>2</sub> se aproxime de  $V_{DD}$ , tensão suficiente para ligar o transistor N<sub>3</sub>. Estando este ligado, o mesmo irá drenar todo potencial existente no gate dos transistores P<sub>2</sub>, P<sub>3</sub>, P<sub>8</sub> e P<sub>9</sub>, Figura 11, forçando-os a operar até que seja estabilizado na corrente de operação do circuito. Com o decorrer do tempo o capacitor formado por N<sub>1</sub> terá uma tensão o suficiente para levar a saída do inversor para zero, desligando o transistor N<sub>3</sub>. O transistor N<sub>4</sub> também opera como um capacitor, ajudando a estabilizar a tensão nas portas dos transistores PMOS. A Tabela 5 mostra as dimensões dos transistores do circuito inicializador.



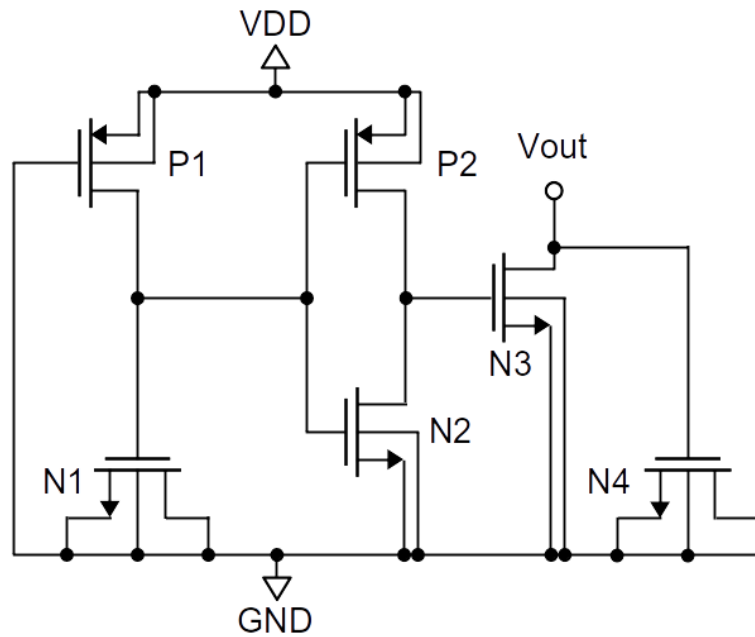


Figura 14 – Circuito Inicializador.  
**Fonte:** Autor.

Tabela 5 - Dimensões do circuito *Startup*.

	P <sub>1</sub>	P <sub>2</sub>	N <sub>1</sub>	N <sub>2</sub>	N <sub>3</sub>	N <sub>4</sub>
Largura (W)	1 $\mu$	3 $\mu$	20 $\mu$	1 $\mu$	0.5 $\mu$	20 $\mu$
Comprimento(L)	19.995 $\mu$	0.3 $\mu$	19.995 $\mu$	0.3 $\mu$	19.955 $\mu$	19.955 $\mu$
Multiplicidade	1	1	1	1	1	8

### 3.4 Circuito de Calibragem

O circuito de calibração, conhecido como *trimming*, é utilizado com a finalidade de mitigar os efeitos dos impactos que podem ocorrer no processo de fabricação do CI e também para compensar o coeficiente térmico positivo ou negativo da topologia proposta. O circuito projetado é ilustrado na Figura 15. Nas Figuras 7 e 9 é possível notar que a magnitude e o TC do circuito *CTAT* são maiores do que o circuito *PTAT*. O princípio deste circuito consiste em dividir os transistores P<sub>4</sub> e P<sub>5</sub> da Figura 11 em um conjunto de transistores, sendo três conectados como chave e controlados por bits externos. Desta maneira, é possível controlar o TC dos *SCCT* composto pelos transistores N<sub>1</sub>-N<sub>2</sub> e N<sub>3</sub>-N<sub>4</sub>. A Tabela 6 mostra as dimensões dos circuitos de calibração, ambos compartilham as mesmas chaves.

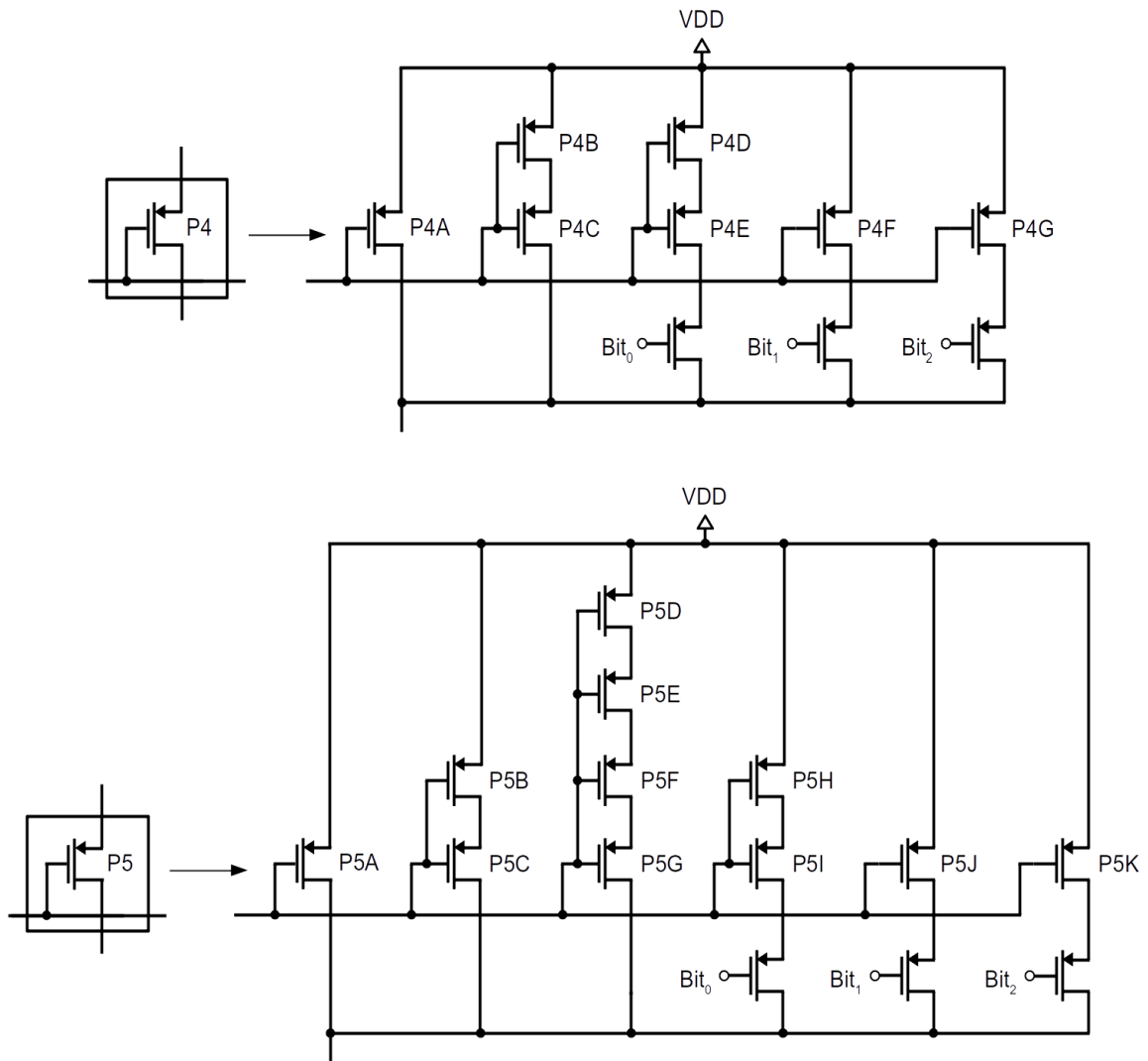


Figura 15 – Circuito *Trimming*.

Fonte: Autor.

Tabela 6 - Dimensões do circuito calibragem.

	P4A	P4B	P4C	P4D	P4E	P4F	P4G	Bit0	Bit1	Bit2
Largura (W)	12 $\mu$	12 $\mu$	12 $\mu$	12 $\mu$	12 $\mu$	12 $\mu$	12 $\mu$	1.5 $\mu$	1.5 $\mu$	1.5 $\mu$
Comprimento(L)	8 $\mu$	8 $\mu$	8 $\mu$	8 $\mu$	8 $\mu$	8 $\mu$	8 $\mu$	0.5 $\mu$	0.5 $\mu$	0.5 $\mu$
Multiplicidade	3	1	1	1	1	1	2	1	1	1

	P5A	P5B	P5C	P5D	P5E	P5F	P5G	P5H	P5I	P5J	P5K
Largura (W)	12 $\mu$	12 $\mu$	12 $\mu$	12 $\mu$	12 $\mu$	12 $\mu$	12 $\mu$	12 $\mu$	12 $\mu$	12 $\mu$	12 $\mu$
Comprimento(L)	8 $\mu$	8 $\mu$	8 $\mu$	8 $\mu$	8 $\mu$	8 $\mu$	8 $\mu$	8 $\mu$	8 $\mu$	8 $\mu$	8 $\mu$
Multiplicidade	6	1	1	1	1	1	1	1	1	1	2

## Capítulo 4

### *Simulações de $V_{REF}$ e $I_{REF}$ do Circuito Proposto*

#### 4.1 Simulações de $V_{REF}$ e $I_{REF}$ em função da temperatura

A Figura 16 ilustra a simulação de  $V_{REF}$  em função da temperatura, de  $-30\text{ }^{\circ}\text{C}$  a  $100\text{ }^{\circ}\text{C}$ , e dos *bits* do circuito de calibragem. Na figura nota-se que a saída  $V_{REF}$  é compensada caso o código binário 100 esteja acionado, com um valor de  $V_{REF}$  de 540 mV em uma temperatura de  $27\text{ }^{\circ}\text{C}$ .

A Tabela 7 apresenta os valores de  $V_{REF}$  em  $27\text{ }^{\circ}\text{C}$  e do TC para cada código binário do circuito de calibração, assim como qual o comportamento da referência.

Tabela 7 – Resultados das simulações de  $V_{REF}$  em relação a temperatura e o número de *bits*.

<b>BIT2</b>	<b>BIT1</b>	<b>BIT0</b>	<b><math>V_{REF}</math> (mV)</b>	<b>TC (ppm/ <math>^{\circ}\text{C}</math>)</b>	<b>Performance em temperatura</b>
0	0	0	624,20	338,70	PTAT
0	0	1	602,185	275,19	PTAT
0	1	0	582,32	179,87	PTAT

0	1	1	560,30	106,09	PTAT
1	0	0	540,50	20	Compensada
1	0	1	518,48	92,41	CTAT
1	1	0	498,62	218,44	CTAT
1	1	1	476,59	324,74	CTAT

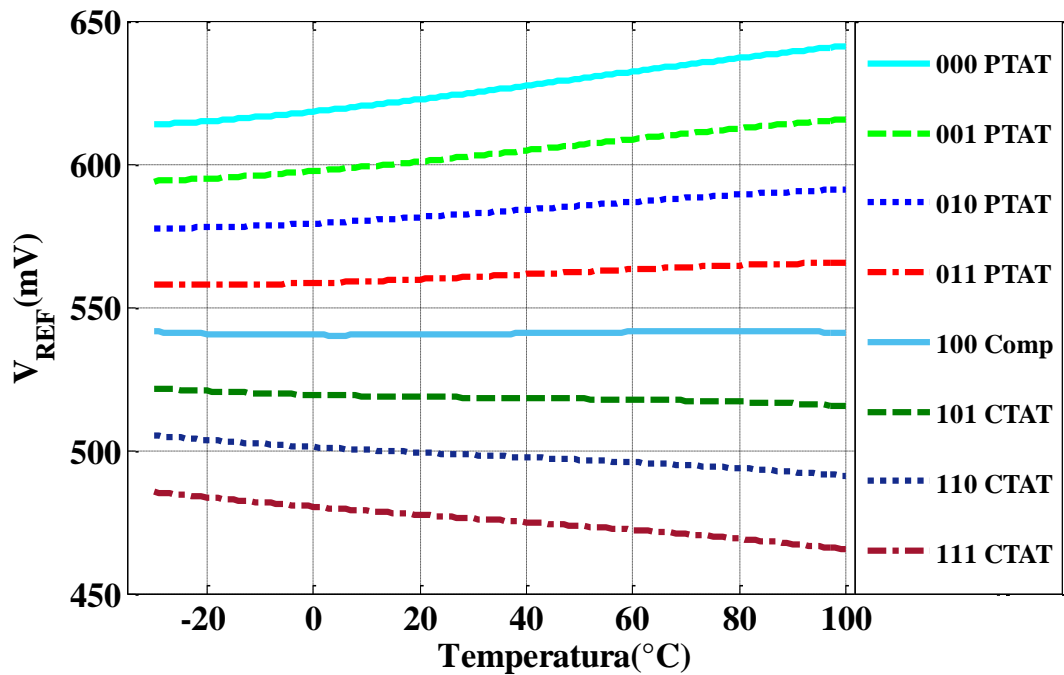


Figura 16 – Variação de  $V_{REF}$  em função da temperatura e do código binário.

Fonte: Autor.

O valor de  $I_{REF}$  para o mesmo setup de simulação anterior foi feito, seu comportamento é ilustrado na Figura 17 assim como seus valores de TC na Tabela 8. Em 27 °C o valor de  $I_{REF}$  com o código binário 100 é de 1,451  $\mu$ A.

Tabela 8 – Resultados das simulações de  $I_{REF}$  em relação a temperatura e o número de bits.

BIT2	BIT1	BIT0	$I_{REF}$ (mV)	TC (ppm/ °C)	Performance em temperatura
0	0	0	1,7541	615,5	PTAT
0	0	1	1,6443	502,1	PTAT
0	1	0	1,6022	345,57	PTAT
0	1	1	1,5091	220,1	PTAT

1	0	0	1,4513	75	Compensada
1	0	1	1,3592	166,5	CTAT
1	1	0	1,2874	383,1	CTAT
1	1	1	1,2081	1.034,8	CTAT

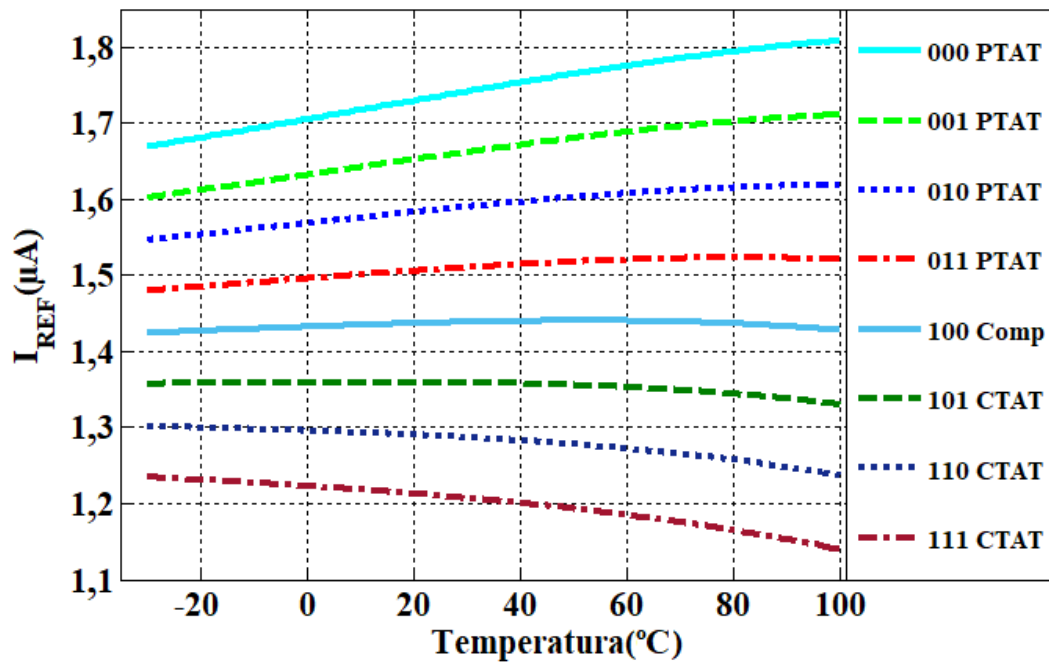


Figura 17 – Variação de  $I_{REF}$  em função da temperatura e do código binário.  
**Fonte:** Autor.

Analisando os resultados das Figuras 16 e 17 e das Tabelas 7 e 8 nota-se a eficiência do circuito de calibragem para a compensação das referências com a temperatura. Quando o código binário 100 é estabelecido, uma corrente é somada a  $I_{PTAT}$ , fazendo com que o seu TC se aproxime de um valor tal que seja possível compensar o efeito oposto de  $I_{CTAT}$ . Os valores de  $\Delta V_{REF}$  e  $\Delta I_{REF}$  compensado com a temperatura são de 1,34 mV e 14 nA dentro da faixa de operação.

## 4.2 Simulações de $I_{PTAT}$ e $I_{CTAT}$ em função da temperatura

A Figura 18 ilustra a simulação de  $I_{PTAT}$  e  $I_{CTAT}$  em função da temperatura, de -30 °C a 100 °C. Os valores da simulação, para uma temperatura de 27 °C, são de 0,5432 µA e 1,3539 µA para  $I_{PTAT}$  e  $I_{CTAT}$ , com seus respectivos TC de 3337 ppm/ °C e 3800 ppm/ °C.

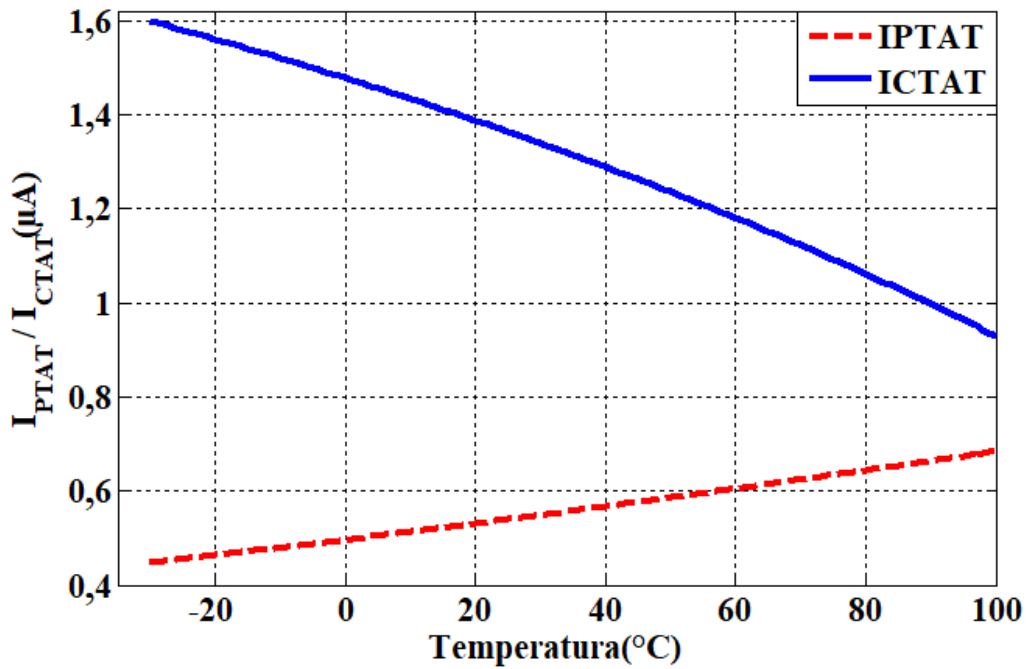


Figura 18 – Variação de  $I_{PTAT}$  e  $I_{CTAT}$  em função da temperatura.  
**Fonte:** Autor.

### 4.3 Simulações de $V_{REF}$ e $I_{REF}$ em função da tensão de alimentação

O comportamento da saída  $V_{REF}$  em função da variação da alimentação  $V_{DD}$  e do número de *bits* é ilustrado na Figura 19. O  $V_{DD}$  mínimo para correto funcionamento do circuito com sua saída compensada é de 0,85 V, variando a fonte até 1,8 V mantendo uma boa estabilidade dentro da faixa de operação. O valor da regulação de linha obtida para  $V_{REF}$  é de 0,074 mV/V.

Para a saída  $I_{REF}$  foi utilizado o mesmo setup da simulação anterior, e seu comportamento é mostrado na Figura 20. O  $V_{DD}$  mínimo para  $I_{REF}$  se mantém o mesmo, o circuito opera corretamente a partir de 0,85 V podendo variar até 1,8V. O valor obtido para a regulação de linha de  $I_{REF}$  é de 0,002 µA/V.

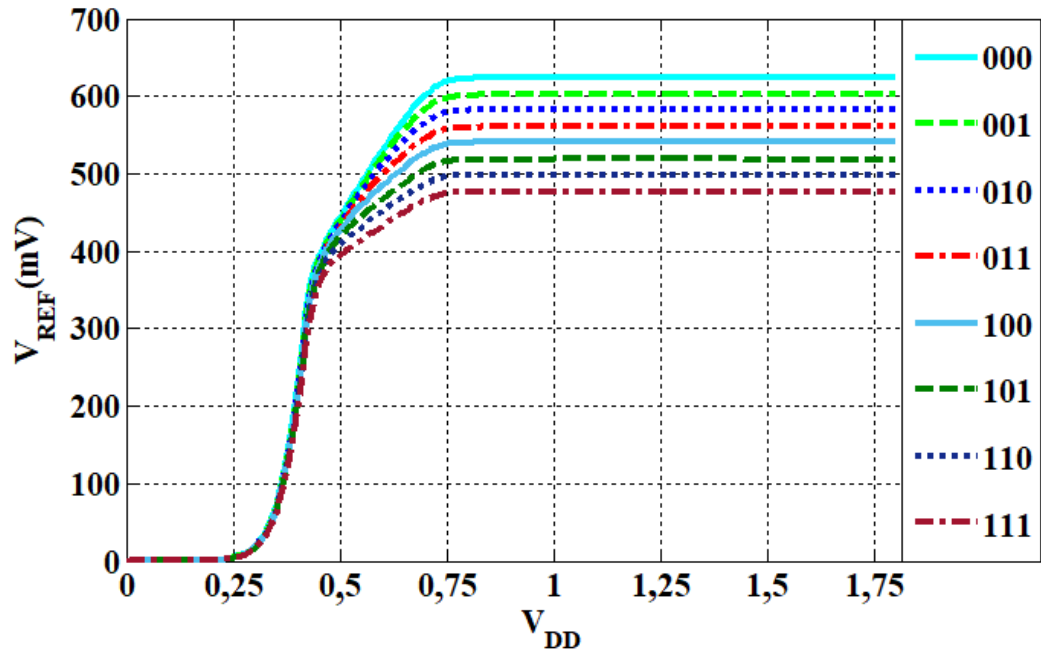


Figura 19 – Variação de  $V_{REF}$  em função de  $V_{DD}$  e do código binário.  
**Fonte:** Autor.

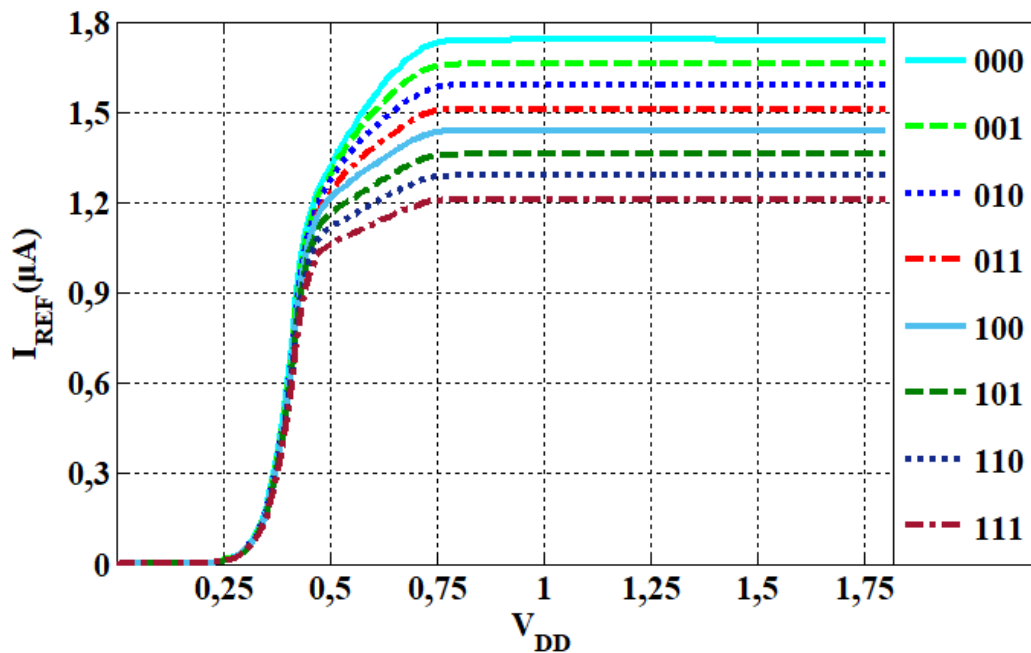


Figura 20 – Variação de  $I_{REF}$  em função de  $V_{DD}$  e do código binário.  
**Fonte:** Autor.

Analisando as Figuras 19 e Figura 20 nota-se que ambas as referências começam a funcionar com uma tensão de 0,8 V. O valor de 0,85 V foi adotado, pois a partir deste ponto, há uma melhora significativa no desempenho de regulação de linha. Considerando o mínimo de  $V_{DD}$ , o circuito consome uma corrente de 9,1 µA, resultando em um consumo de 7,7 µW.

O PSR (*Power Supply Rejection*  $20\log(\Delta V_O/\Delta V_{DD})$ ) simulado do circuito para uma  $V_{DD}$  de 0,85 V é de -47 dB para  $V_{REF}$  e -50dB para  $I_{REF}$ , para 1,8 V o valor é de -59 dB para  $V_{REF}$  e -60dB para  $I_{REF}$ . A Figura 21 ilustra o comportamento da PSR.

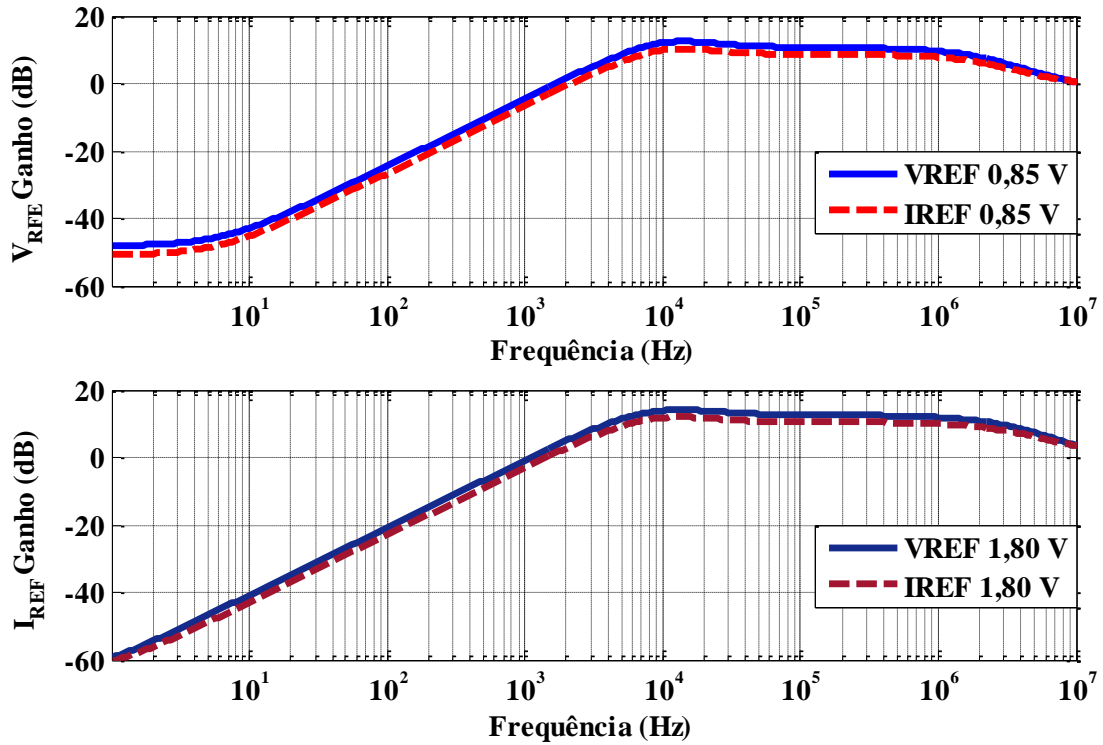


Figura 21 – PSR de  $I_{REF}$  e  $V_{REF}$  para 0,85 V e 1,8 V.

Fonte: Autor.

#### 4.4 Simulações em função dos modelos de *Corners*

A simulação com os modelos de *corners* foi realizada tanto para  $V_{REF}$  e  $I_{REF}$ , as Figuras 22 e 23 ilustram as curvas em relação ao modelo de *corners* e da temperatura, e as Tabelas 9 e 10 seus respectivos valores para TC.

Tabela 9 – Resultados das simulações com modelos de *corners* para  $V_{REF}$ .

Modelo	$V_{REF}$ (mV)	TC (ppm/ °C)
<i>TT</i>	540	20
<i>FF</i>	522	26,6
<i>SS</i>	559	25,4
<i>SF</i>	524	79,9
<i>FS</i>	557	55,23



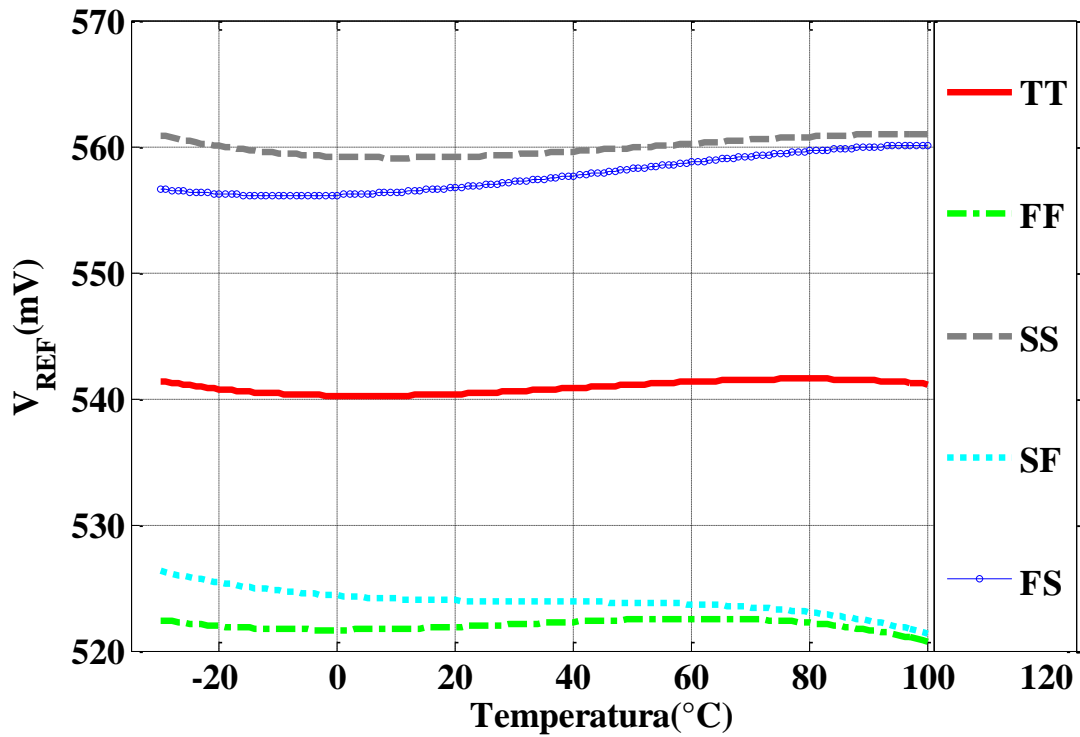


Figura 22 – Variação de  $V_{REF}$  em função da temperatura e modelo de *corners*.  
**Fonte:** Autor.

Tabela 10 – Resultados das simulações com modelos de *corners* para  $I_{REF}$ .

<b>Modelo</b>	<b><math>I_{REF}</math> (<math>\mu A</math>)</b>	<b>TC (ppm/ °C)</b>
<i>TT</i>	1,451	75
<i>FF</i>	1,380	145
<i>SS</i>	1,523	104
<i>SF</i>	1,390	149
<i>FS</i>	1,512	128

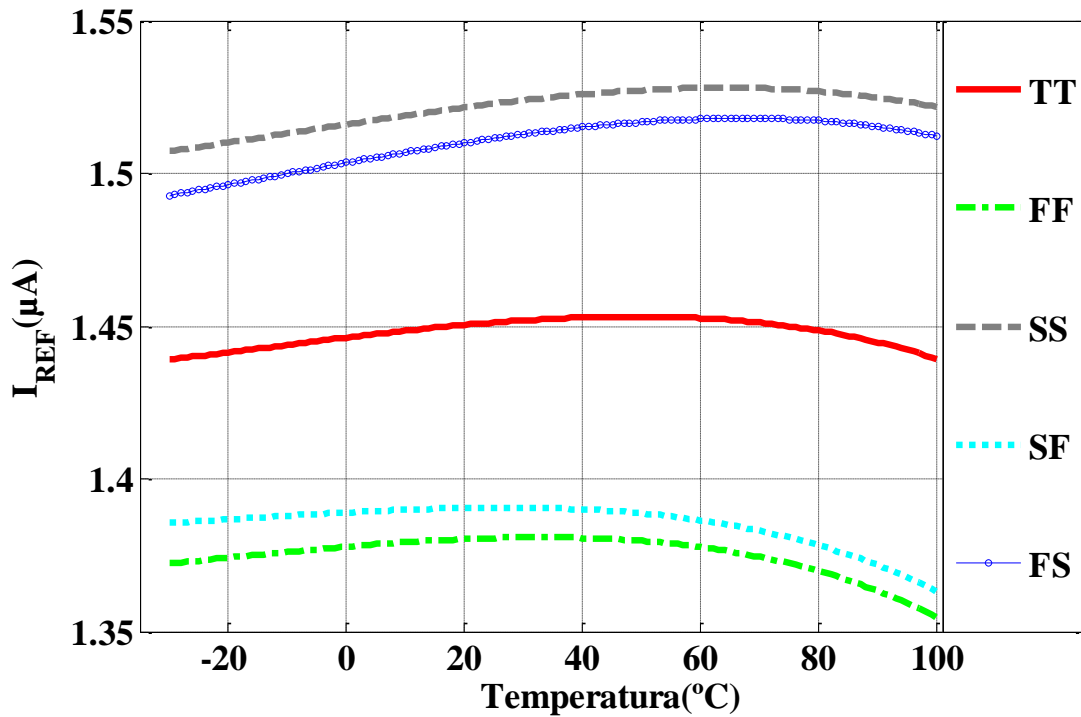


Figura 23 – Variação de  $I_{REF}$  em função da temperatura e modelo de *corners*.

**Fonte:** Autor.

Nas Figuras 22 e Figura 23 nota-se que ambas as referências, em temperatura de 27 °C, não são gravemente afetadas pelo uso dos diferentes modelos, o uso do circuito de calibração, com uma quantidade maior de bits, atenuaria a discrepância em relação ao modelo típico. A variação máxima, considerando todos os modelos de *corners*, é de 37,2 mV e 0,14 µA para  $V_{REF}$  e  $I_{REF}$  respectivamente.

## 4.5 Simulação transiente

O circuito inicializador mencionado no capítulo anterior tem como finalidade garantir a inicialização do circuito instantes depois do mesmo ser polarizado. Para validar a inicialização do circuito, foi feita uma simulação transiente que é ilustrada na Figura 24, observa-se que ambas as referências alcançam o regime permanente depois de um intervalo de 8 ms.

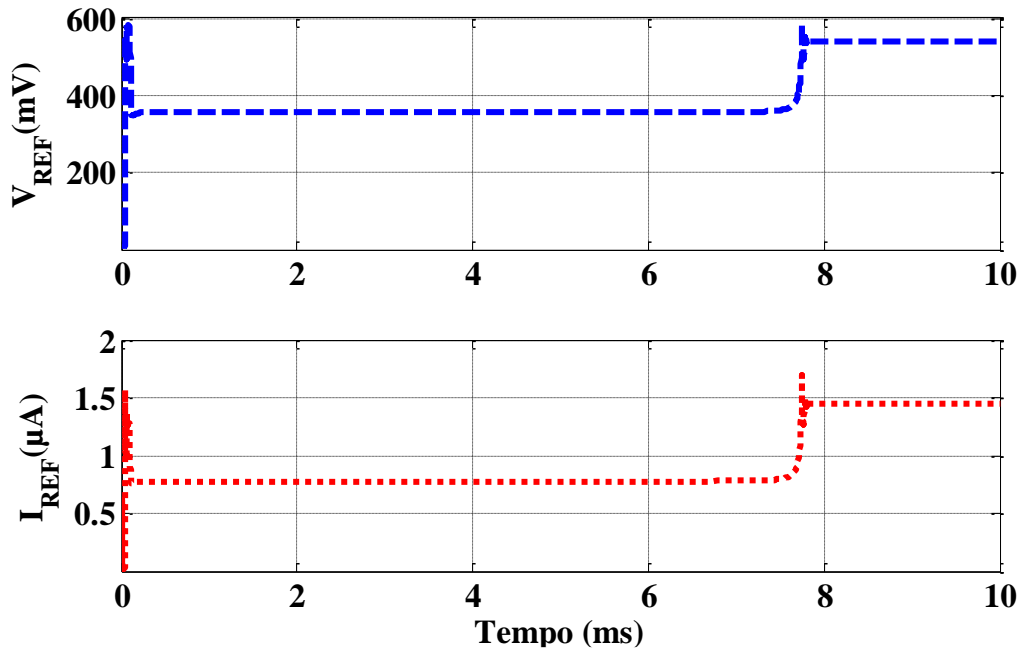


Figura 24 – Inicialização do circuito.

Fonte: Autor.

## 4.6 Simulação Monte Carlo

Em capítulos anteriores, foi discutido que as referências têm como característica manter seu resultado com variações de temperatura e alimentação, entretanto o processo de fabricação pode afetar o resultado final de maneira que a compensação possa não ser alcançada, assim como variações elevadas nos resultados esperados.

No processo de fabricação do circuito integrado, variações aleatórias podem ocorrer durante o processo de desenvolvimento do chip, o que resulta em diferenças comportamentais entre circuitos que possuem o mesmo design. Essas variações ou incompatibilidade entre os chips são difíceis de prever de maneira analítica, pois depende da complexidade do circuito. Entretanto, os aspectos físicos são compreendidos e possuem modelos quantitativos que preveem com precisão a incompatibilidade entre todos os dispositivos de maneira individual. A simulação de Monte Carlo é utilizada para investigar como as incompatibilidades durante o processo de fabricação podem afetar o circuito por um todo.

Na fabricação de circuito integrado, os dispositivos básicos utilizados, como resistor, capacitor e o transistor estão sujeitos a essas variações. No caso dos resistores ou capacitores,

eles são sujeitos a dois tipos de variações, a primeira é o Deslocamento Sistemático, pois essa variação assume que todos os dispositivos são criados com o mesmo erro, portanto muda a distribuição dos valores dos elementos por um valor fixo, e a segunda variação é a denominada Aleatória, pois assume que cada dispositivo varia sob uma distribuição gaussiana.

No caso dos transistores MOS a modelagem da variação é mais difícil devido à sua natureza não linear. Os MOSFET possuem vários parâmetros que podem ser variados, tais como polarização, corrente que percorre o semiconductor e também a área que ocupa no silício, tornando a modelagem mais complexa [32].

A simulação é feita através da análise de um grande conjunto de instanciações prévia do modelo utilizado, na qual cada componente do circuito é randomizado, simulado e posteriormente comparado entre as demais amostras, retornando os valores médios e desvio padrão da simulação.

O impacto causado pelo processo pode ser previsto com a simulação de Monte Carlo mencionada acima, que consiste em uma série de cálculo probabilístico que estima a chance de um evento acontecer, se baseando em parâmetros de processo. A análise é ilustrada nas Figuras 25 a 28, e utilizou-se uma quantidade típica de 1000 amostras considerando apenas variações do processo. A Tabela 11 apresenta os valores da média e desvio das simulações.

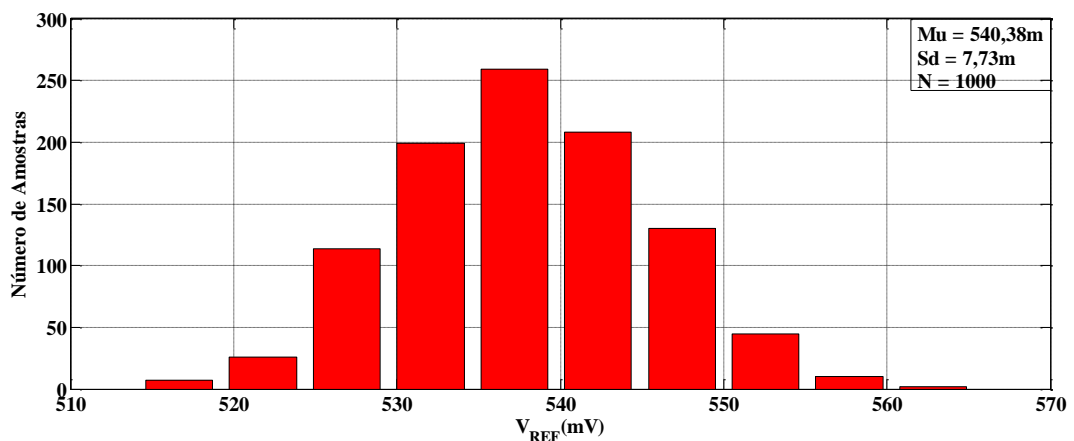


Figura 25 – Histograma de  $V_{REF}$ .

Fonte: Autor.

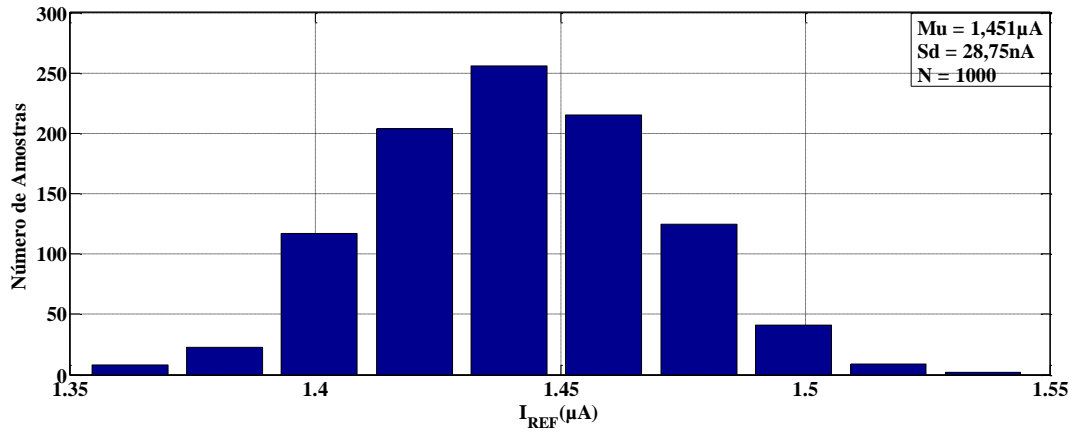


Figura 26 – Histograma de  $I_{REF}$ .  
Fonte: Autor.

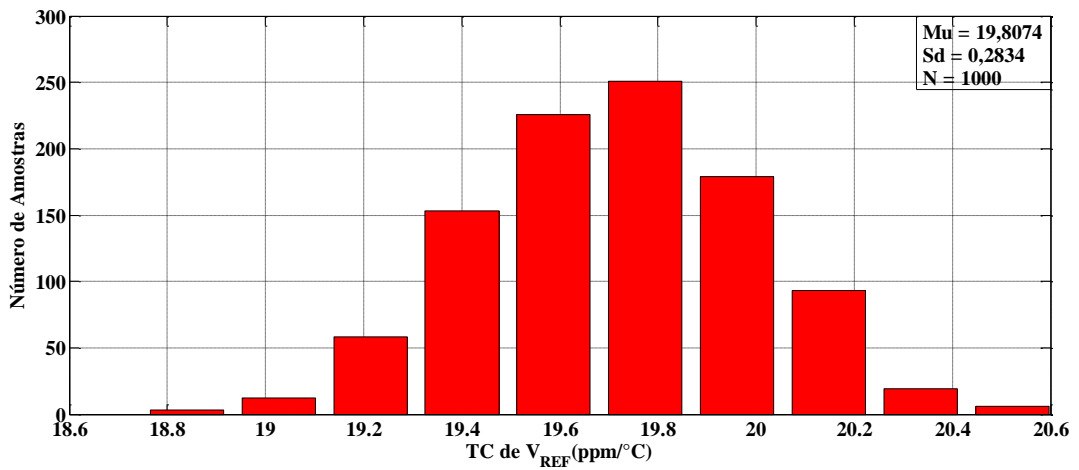


Figura 27 – Histograma do TC de  $V_{REF}$ .  
Fonte: Autor.

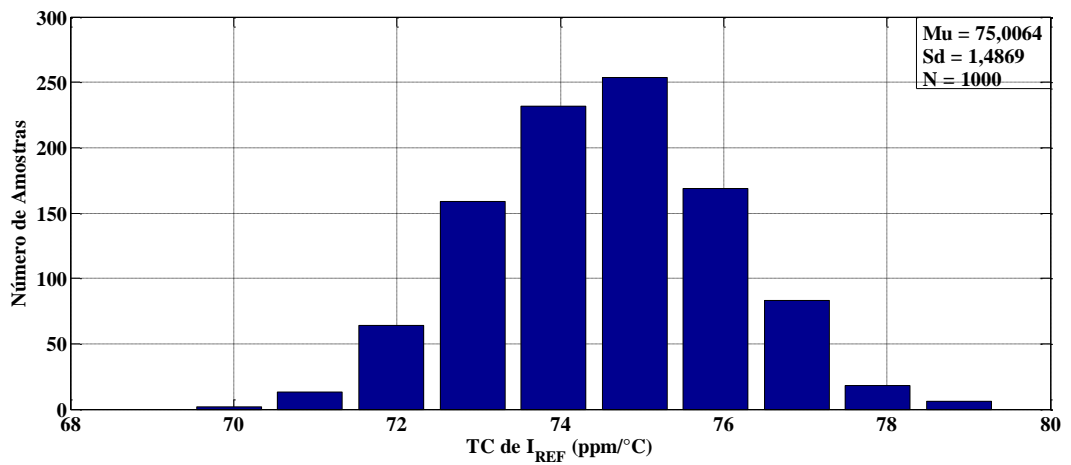


Figura 28 – Histograma do TC de  $I_{REF}$ .  
Fonte: Autor.

Tabela 11 – Média e desvio da simulação de Monte Carlo.

	Média	Desvio ( $\sigma$ )	$3x(\sigma)$
$V_{REF}$	540,38 mV	7,73 mV	23,19 mV
$I_{REF}$	1,451 $\mu$ A	28,75 nA	86,25 nA
TC $V_{REF}$	19,8074 ppm/ $^{\circ}$ C	0,2834 ppm/ $^{\circ}$ C	0,8502 ppm/ $^{\circ}$ C
TC $I_{REF}$	75,0064 ppm/ $^{\circ}$ C	1,4869 ppm/ $^{\circ}$ C	4,4607 ppm/ $^{\circ}$ C

Com o valor obtido, pode se concluir que variações do processo afetam pouco os valores das referências  $V_{REF}$  e  $I_{REF}$ , pois o valor de  $3\sigma$  (correspondendo à 99% das amostras), é de 4,29% e 5,93% para  $V_{REF}$  e  $I_{REF}$  respectivamente. Esses resultados indicam que ambas as referências possuem variações mínimas com variação do processo, com uma boa exatidão comparado ao valor da simulação. Os valores de TC também provou ser pouco afetado com as variações do processo, para o mesmo  $3\sigma$ , os resultados obtidos são de  $\pm 4,25\%$  e  $\pm 5,9\%$  para  $V_{REF}$  e  $I_{REF}$  respectivamente.

## 4.7 Simulação Pós Leiaute

O leiaute da topologia proposta é ilustrado na Figura 29. O circuito consome uma área de 0,175 mm<sup>2</sup>, com 654  $\mu$ m de comprimento e 269  $\mu$ m de largura, feito no processo TSMC 180 nm.

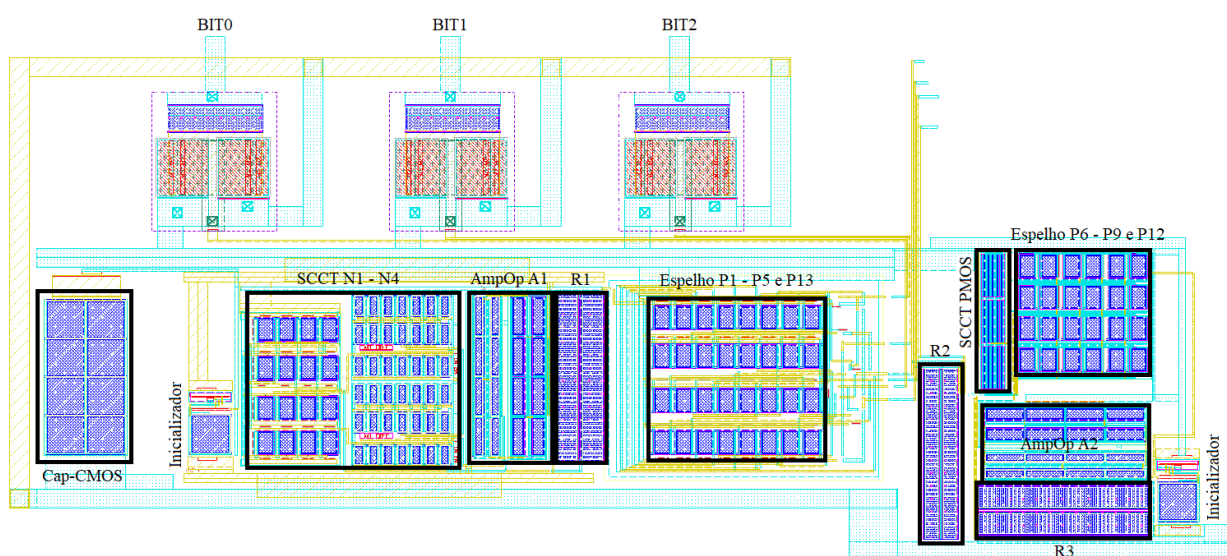


Figura 29 – Layout da topologia.

Fonte: Autor.

Estando confeccionado o leiaute, é possível extrair as parasitas e realizar uma simulação pós-leiaute. Essa simulação é feita com base nas capacitâncias e resistências parasitas resultantes das ligações adicionadas no leiaute. A Figura 30 ilustra a referência  $V_{REF}$  em função do esquemático e também do pós-Leiaute.

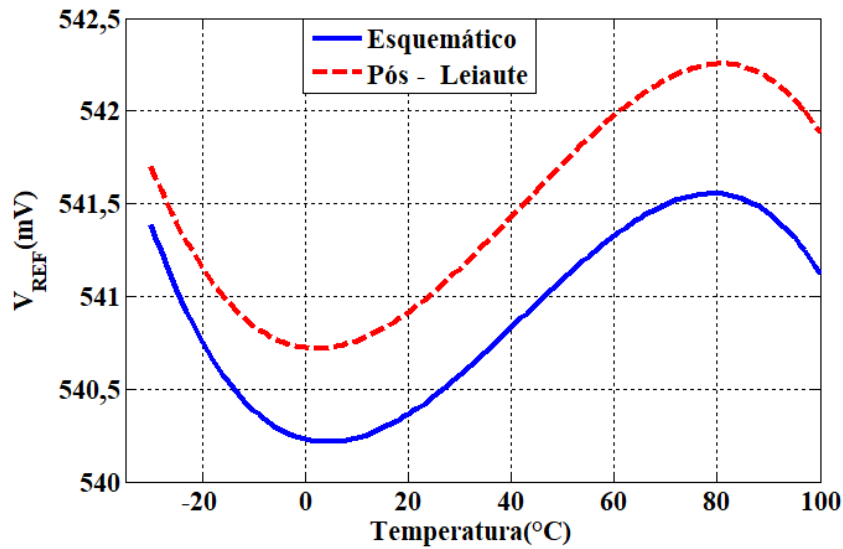


Figura 30 – Simulação pós-layout de  $V_{REF}$ .

Fonte: Autor.

Subtraindo os valores, considerando a temperatura de 27 °C, a diferença de tensão, entre o valor do esquemático e do valor pós-leiaute é de 0,56 mV, variação de 0,1% em relação ao valor simulado. A mesma simulação também foi feita para  $I_{REF}$  e é ilustrado na Figura 31:

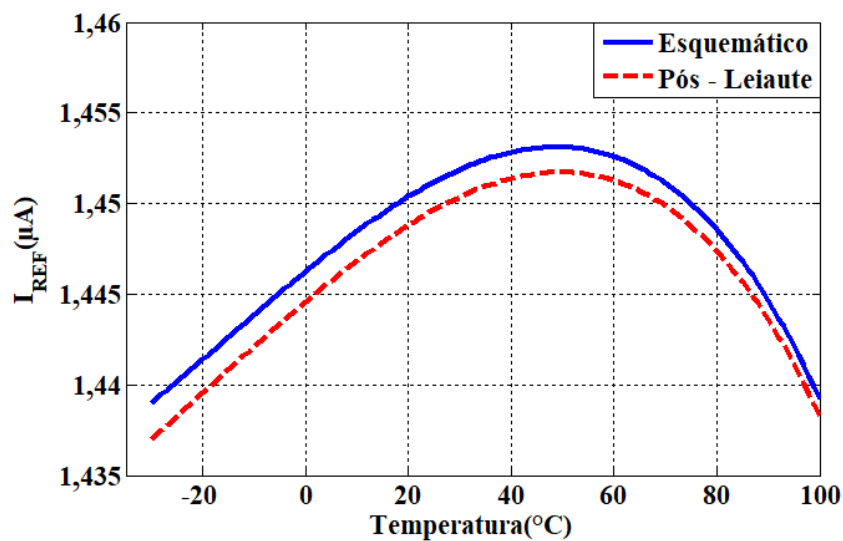


Figura 31 – Simulação pós-layout de  $I_{REF}$ .

Fonte: Autor.

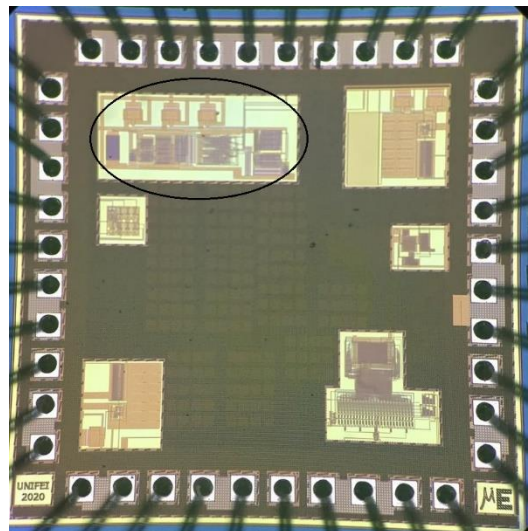
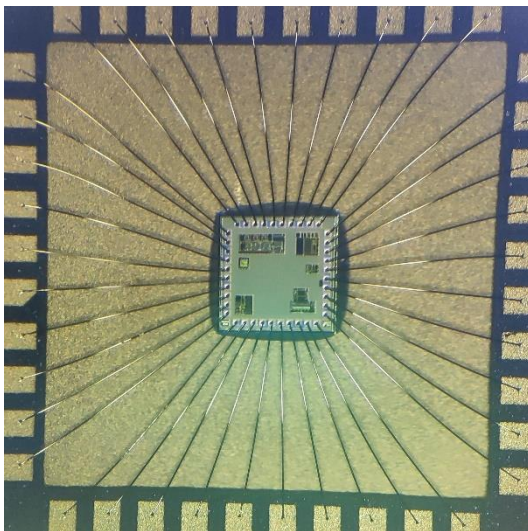
A diferença dos valores para simulação do esquemático e pós-leiaute para  $I_{REF}$  é de 1,53nA, com a mesma variação de 0,1% em relação ao esquemático. Ambas as simulações provam que os efeitos das parasitas que foram criados no *layout* têm influência mínima na saída do circuito proposto.



## Capítulo 5

### *Medida das Amostras*

Este capítulo tem como finalidade apresentar as medidas que foram feitas do chip que foi confeccionado. A Figura 32 ilustra o *Die* que contém as referências  $V_{REF}$  e  $I_{REF}$  propostas nessa dissertação.



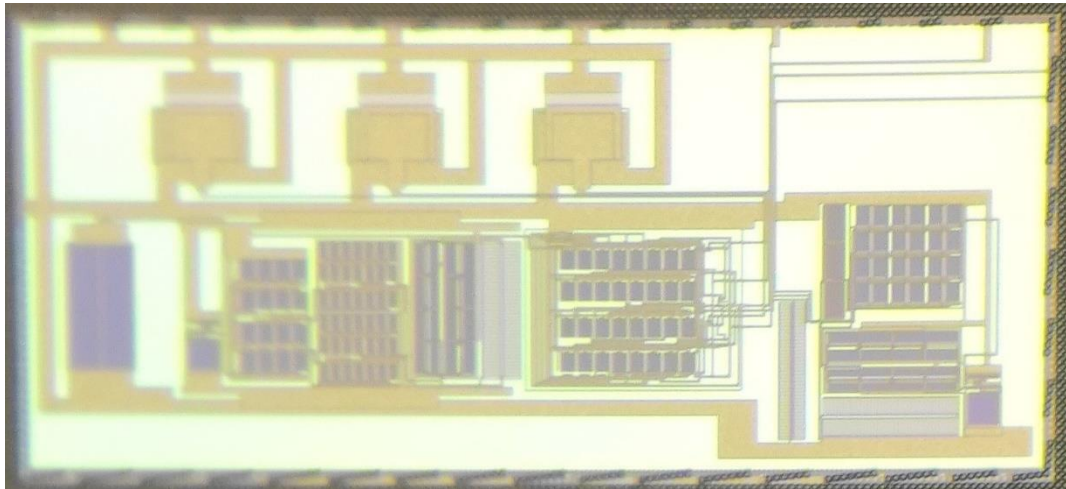


Figura 32 – Microfotografia do circuito integrado.

**Fonte:** Autor.

Para melhorar o casamento do leiaute, cada transistor da topologia possui uma multiplicidade que beneficia esse casamento, além disso, foram utilizados anéis de guarda em cada célula criada, de maneira a atenuar ruídos e também os efeitos de *latch up*.

Ao todo, foram utilizadas quatro amostras para fazer as medições de  $V_{REF}$ ,  $I_{REF}$ ,  $I_{PTAT}$  e  $I_{CTAT}$  em função do tempo, *DC Sweep* de  $V_{REF}$  e  $I_{REF}$  e a caracterização das referências no forno.

## 5.1 Medida de $V_{REF}$ e $I_{REF}$ em função do tempo

Para realizar a medida de  $V_{REF}$  e  $I_{REF}$  em função do tempo, foi utilizado um analisador de semicondutor modelo B1500A da Agilent Technologies, ilustrado na Figura 33, a temperatura ambiente no laboratório de caracterização era de 18°C no dia das medidas.

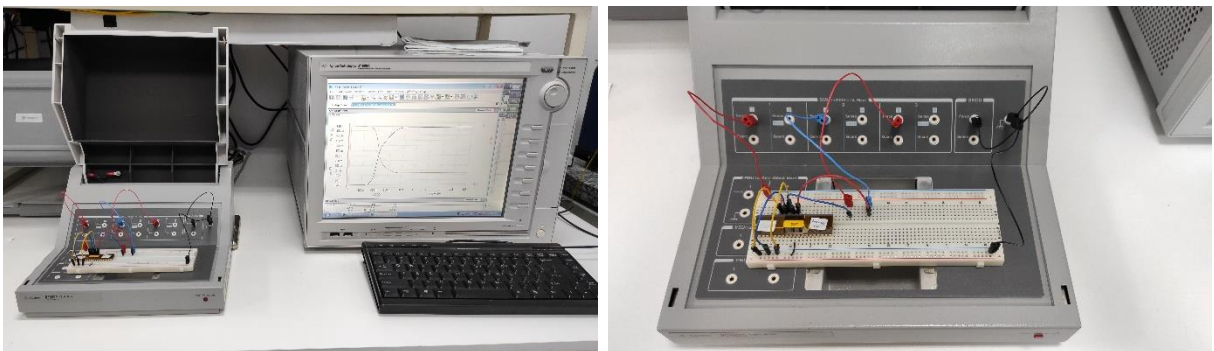


Figura 33 – Analisador de semicondutor B1500A .

**Fonte:** Autor.

As Figuras de 34 a 37, ilustram as medidas de  $V_{REF}$  das quatro amostras em função do tempo e também de cada código binário do circuito de calibração, e a Tabela 12 seu valor numérico médio, proveniente de uma tabela do analisador B1500A, e a diferença entre os valores máximo e mínimo de  $V_{REF}$  medido e o valor simulado em 18 °C:

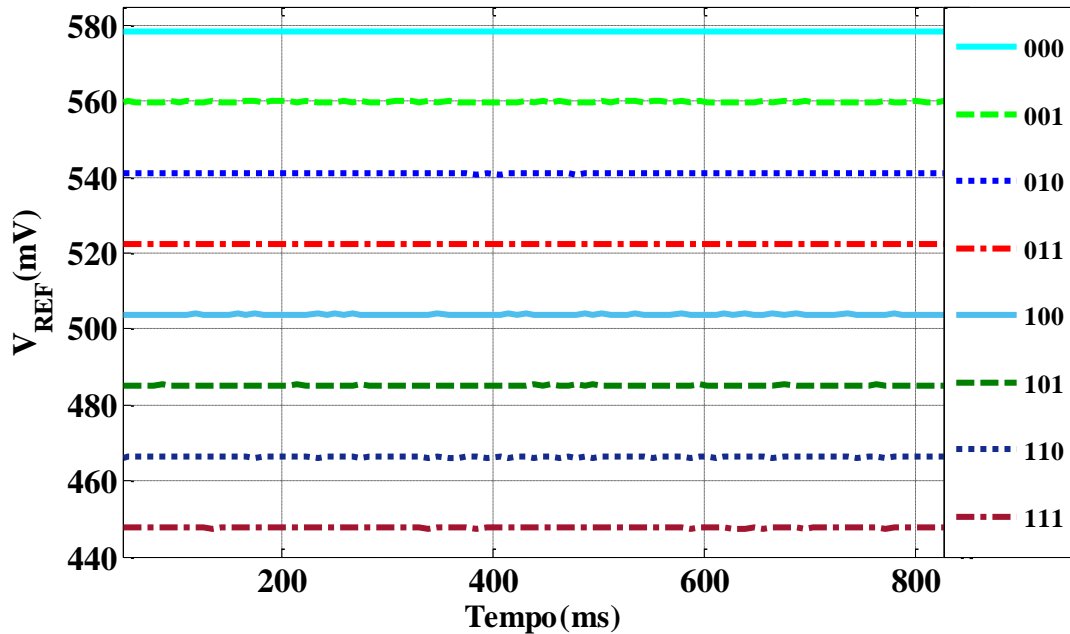


Figura 34 – Amostra 1,  $V_{REF}$  em função do tempo.  
**Fonte:** Autor.

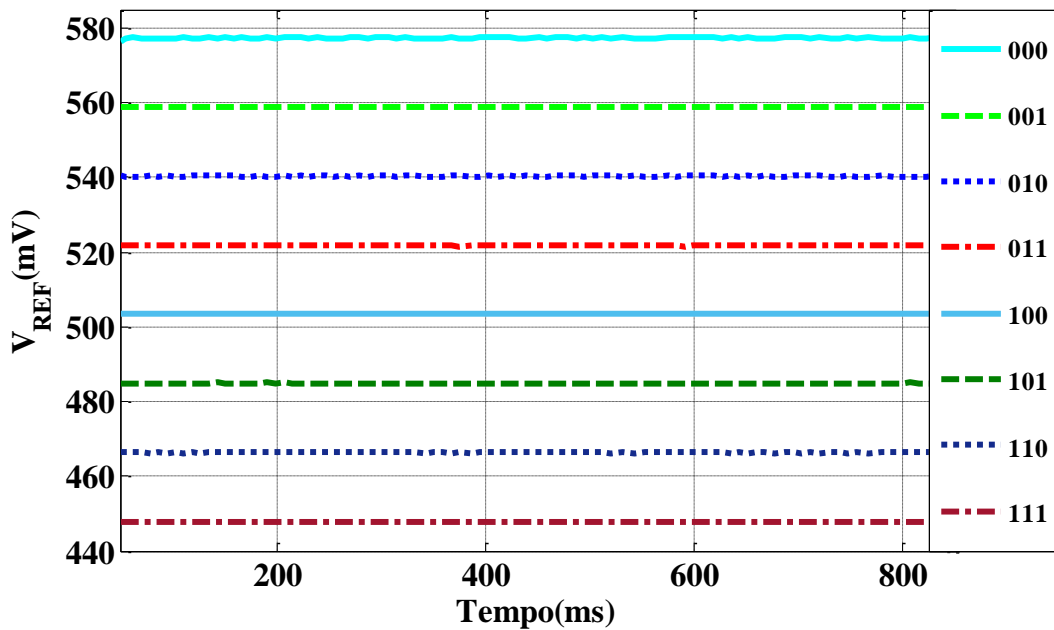


Figura 35 – Amostra 2,  $V_{REF}$  em função do tempo.  
**Fonte:** Autor.

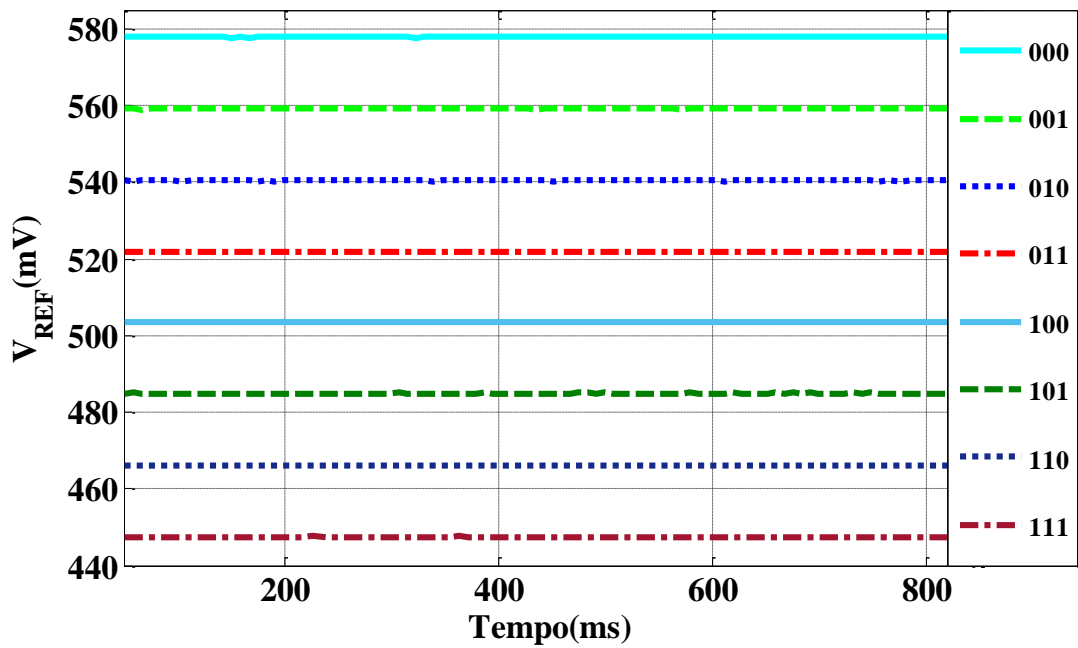


Figura 36 – Amostra 3,  $V_{REF}$  em função do tempo.  
**Fonte:** Autor.

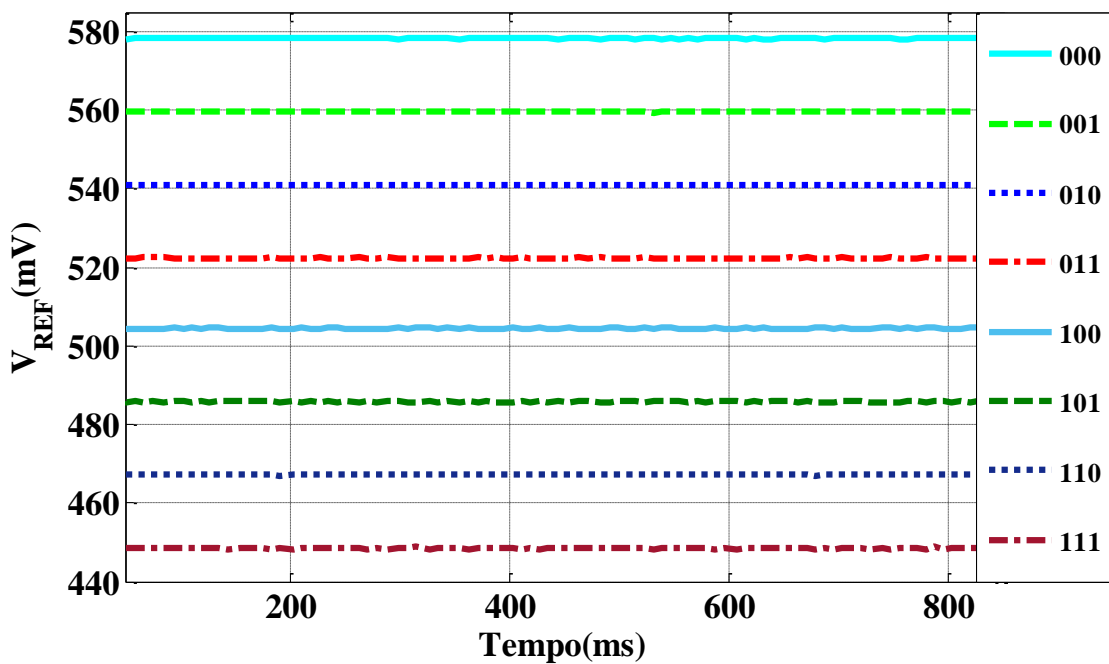


Figura 37 – Amostra 4,  $V_{REF}$  em função do tempo.  
**Fonte:** Autor.

Tabela 12 – Valores medidos de  $V_{REF}$ .

Referência $V_{REF}$ (mV)						
BIT	Amostra 1	Amostra 2	Amostra 3	Amostra 4	$\Delta V_{REF}$	Simulado
000	578,32	577,44	578,04	578,28	0,88	622,12
001	560,04	559,08	559,28	559,72	0,96	600,51
010	540,88	540,52	540,48	541,08	0,6	581,20
011	522,44	521,72	521,84	522,28	0,72	559,58
100	503,92	503,44	503,68	504,41	0,97	540,33
101	485,25	484,88	484,96	485,72	0,84	518,71
110	466,36	466,24	466,16	467,16	1	499,40
111	447,64	447,72	447,32	448,36	0,72	477,78

Analisando as figuras e a tabela acima, nota-se que as amostras ficaram precisas entre si, pois a maior variação encontra-se no código binário 110, que é de 1 mV, que corresponde a 0,21% do maior valor que é da amostra 4. Em relação a exatidão, pode-se concluir que não foi muito boa, pois a maior variação, diferença entre o valor simulado e medido, está no código binário 000, com diferença de 44,68 mV, que corresponde a 7,2% do valor simulado, e a menor está no código binário 111, de 30,46 mV, que corresponde a 6,4% do valor simulado.

O mesmo *setup* utilizado para aferir os valores de  $V_{REF}$  foi utilizado para  $I_{REF}$ . As Figuras de 38 a 41 e a Tabela 13 ilustram o comportamento de  $I_{REF}$  em relação ao tempo.

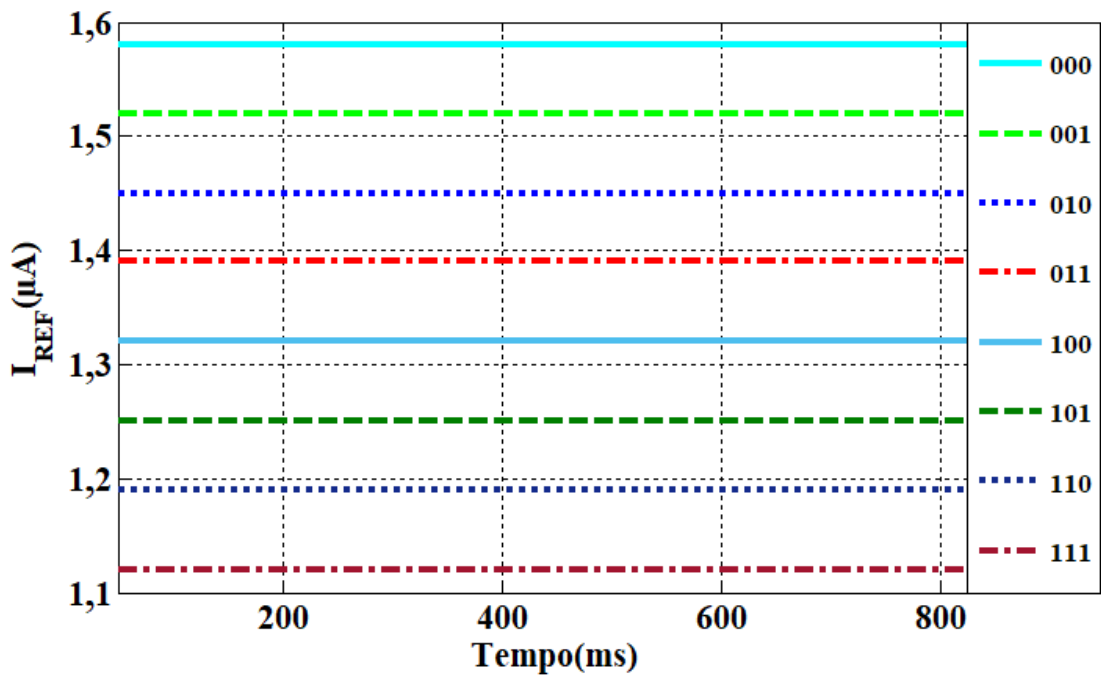


Figura 38 – Amostra 1,  $I_{REF}$  em função do tempo.

Fonte: Autor.

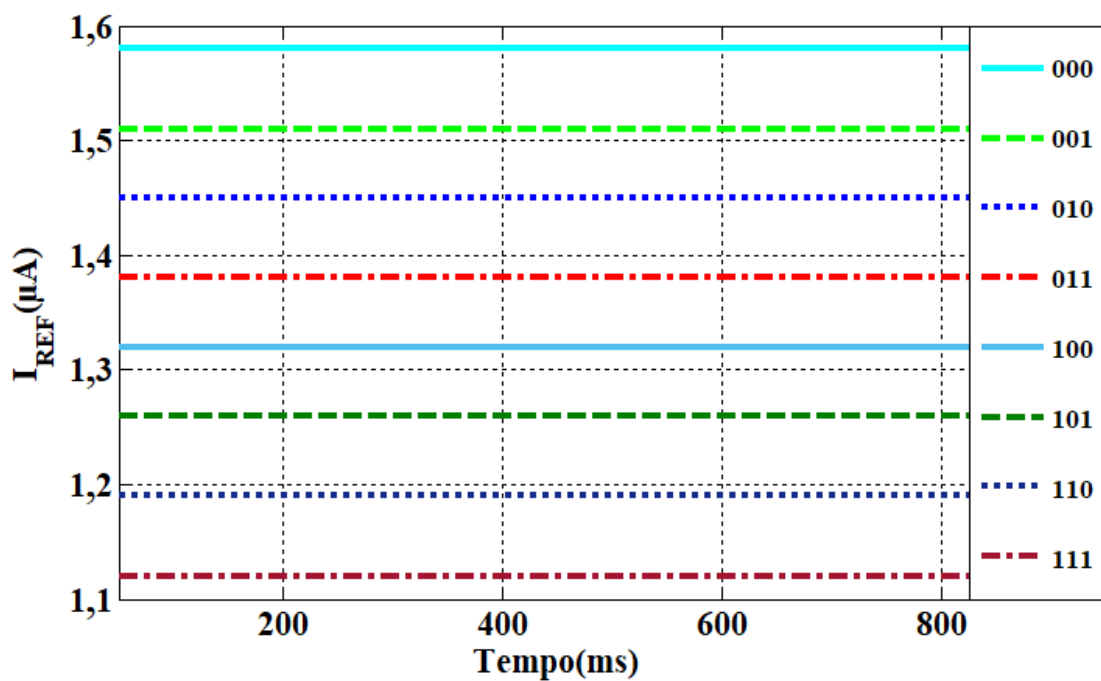


Figura 39 – Amostra 2,  $I_{REF}$  em função do tempo.

Fonte: Autor.

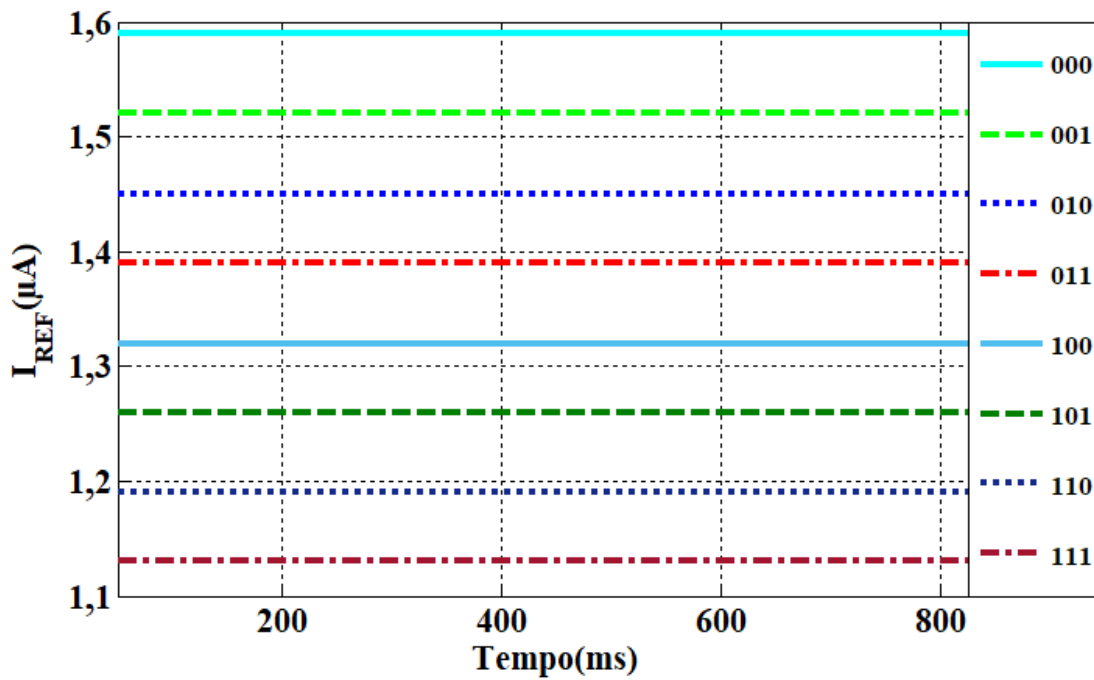


Figura 40 – Amostra 3,  $I_{REF}$  em função do tempo.

Fonte: Autor.

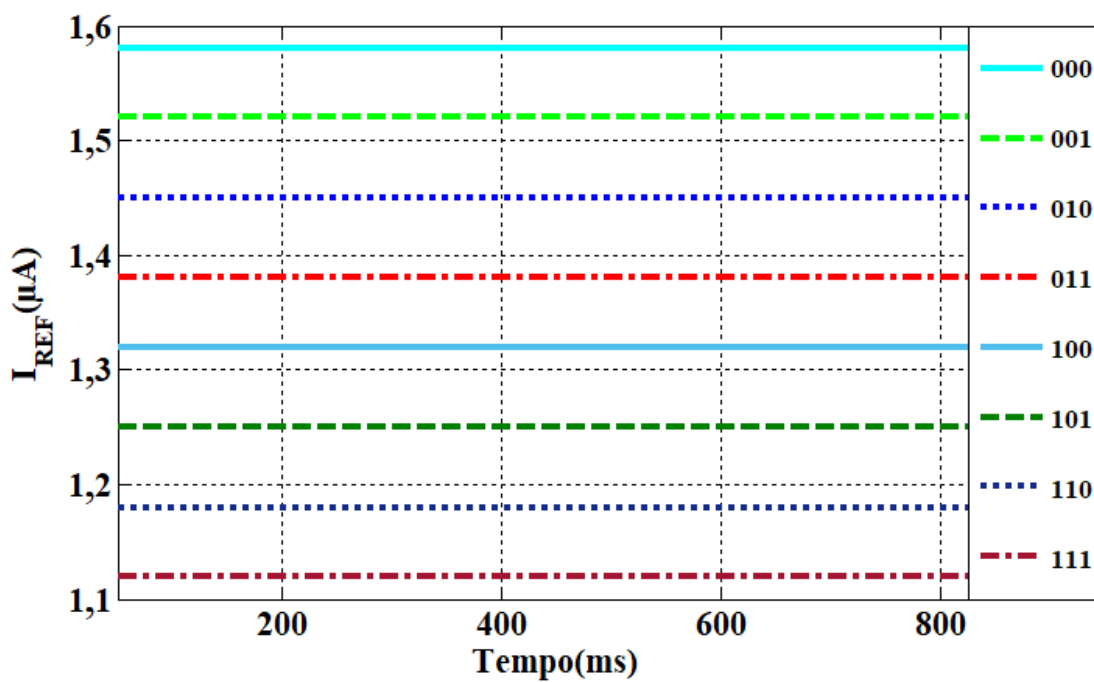


Figura 41 – Amostra 4,  $I_{REF}$  em função do tempo.

Fonte: Autor.

Tabela 13 – Valores medidos de  $I_{REF}$ .

Referência $I_{REF}$ ( $\mu\text{A}$ )						
BIT	Amostra 1	Amostra 2	Amostra 3	Amostra 4	$\Delta I_{REF}$ (nA)	Simulado
000	1,5804	1,5768	1,5857	1,5791	8,9	1,7271
001	1,5162	1,5132	1,5211	1,5149	7,9	1,6503
010	1,4501	1,4468	1,4539	1,4484	7,1	1,5816
011	1,3857	1,3833	1,3893	1,3841	6	1,5048
100	1,3198	1,3187	1,3238	1,3185	5,3	1,4363
101	1,2549	1,2551	1,2595	1,2541	5,4	1,3595
110	1,1887	1,1883	1,1899	1,1872	2,7	1,2908
111	1,1241	1,1247	1,1274	1,1228	4,6	1,2140

Conforme as medidas de  $V_{REF}$ , nota-se que as medidas de  $I_{REF}$  também ficaram precisas, sendo a maior variação medida é de 8,9 nA no código binário 000, correspondendo a 0,05% do maior valor que é da amostra 3. Da mesma maneira que  $V_{REF}$ , notamos a não exatidão em relação a simulação na medida de  $I_{REF}$ , com a maior variação presente no código binário 000, pois a diferença do valor simulado em relação ao medido é de 150 nA, que corresponde a 9% do valor medido, e a menor está no código binário 111, de 91 nA, que corresponde 7,5% do valor simulado.

## 5.2 Medida de $I_{PTAT}$ e $I_{CTAT}$ em função do tempo

O mesmo setup utilizado no capítulo anterior foi reaproveitado para medir as correntes  $I_{PTAT}$  e  $I_{CTAT}$ , desta vez, a temperatura ambiente no laboratório de caracterização era de 19,8°C.

As Figuras 42 e 43, ilustra o comportamento das correntes  $I_{PTAT}$  e  $I_{CTAT}$  respectivamente, e a Tabela 14 os valores numéricos, a diferença entre os valores máximo e mínimo de  $I_{PTAT}$  e  $I_{CTAT}$  medido, e o valor simulado em 19,8 °C:



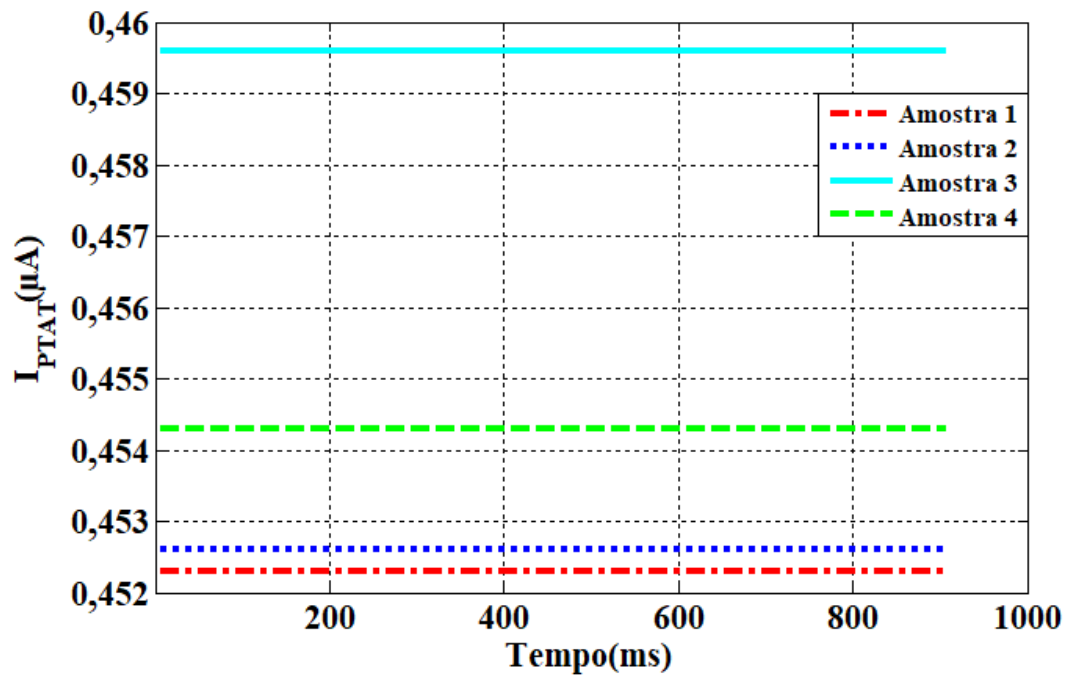


Figura 42 –  $I_{PTAT}$  em função do tempo.

Fonte: Autor.

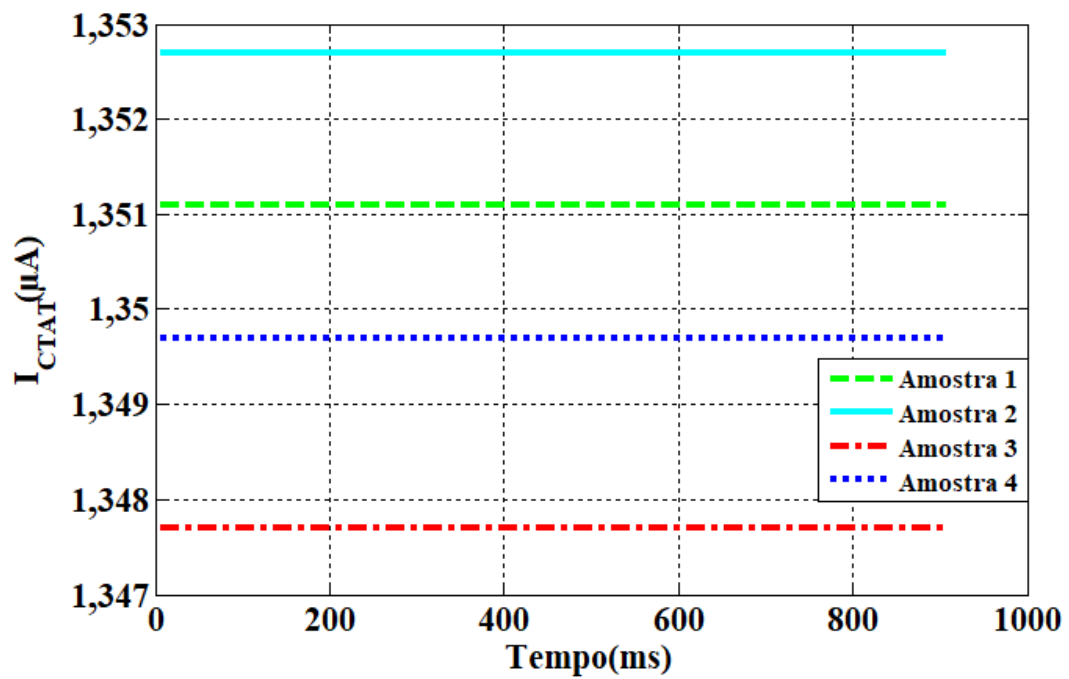


Figura 43 –  $I_{CTAT}$  em função do tempo.

Fonte: Autor.

Tabela 14 – Valores medidos de  $I_{PTAT}$  e  $I_{CTAT}$ .

$I_{PTAT}$ e $I_{CTAT}$ ( $\mu\text{A}$ )						
	Amostra 1	Amostra 2	Amostra 3	Amostra 4	$\Delta I(\text{nA})$	Simulado
$I_{PTAT}$	0,4524	0,4526	0,4596	0,4543	7,2	0,5288
$I_{CTAT}$	1,3512	1,3527	1,3477	1,3497	5,0	1,3921

As medidas de novamente mostram o quão preciso o chip ficou, pois a variação para  $I_{PTAT}$  é de 7,2 nA, que corresponde a 1,5% do maior valor e para  $I_{CTAT}$  5,0 nA que corresponde a 0,36%. Comparando os valores medido com os valores simulado, a diferença entre o valor simulado com o valor medido máximo e mínimo é de 76,4 nA e 69,2 nA, 14% e 13% do valor simulado, para  $I_{PTAT}$  e 44,4 nA e 39,4 nA, 3% e 2,8% do valor simulado, para  $I_{CTAT}$ .

### 5.3 Medida de $V_{REF}$ e $I_{REF}$ em função da tensão de alimentação

Para medir as referências  $V_{REF}$  e  $I_{REF}$  em função de  $V_{DD}$ , aproveitou-se o mesmo setup que já foi utilizado. As Figuras 44 e 45 ilustram o comportamento de  $V_{REF}$  e  $I_{REF}$  respectivamente. Para  $V_{REF}$ , foi utilizado o código binário 101 e  $I_{REF}$  o código binário 100, pois esses *bit's*, na caracterização em temperatura, compensaram em temperatura as referências.

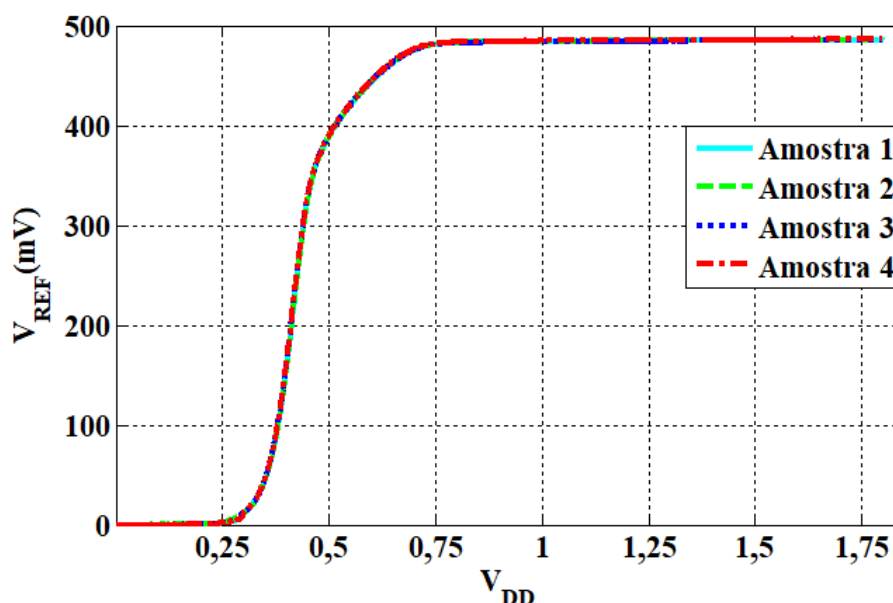


Figura 44 –  $V_{REF}$  em função de  $V_{DD}$ .

Fonte: Autor.

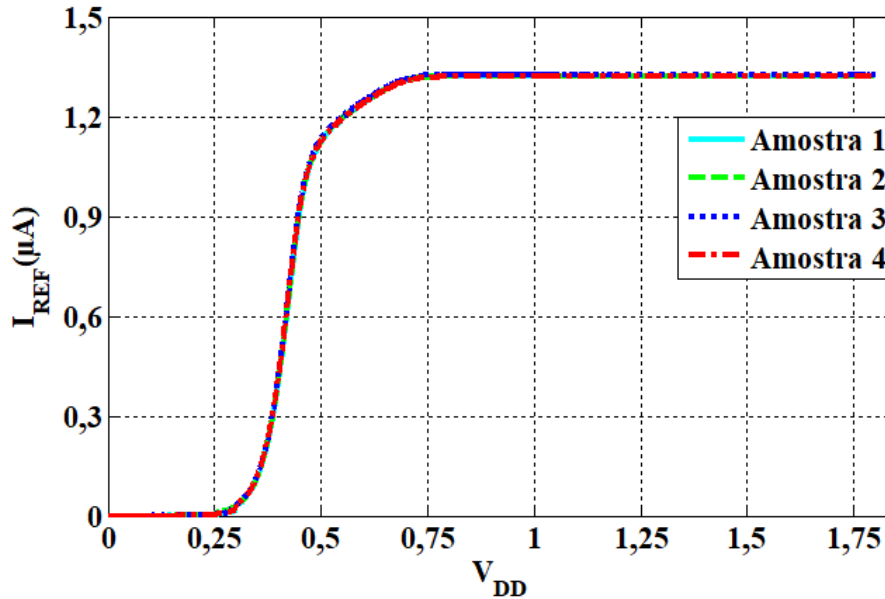


Figura 45 –  $I_{REF}$  em função de  $V_{DD}$ .

Fonte: Autor.

Comparando as figuras acima com as Figuras 19 e 20, respectivamente, observa-se que o comportamento medido é muito próximo ao comportamento simulado. Como mencionado no capítulo de simulação, o circuito começa a operar de maneira correta com uma tensão um pouco superior a 0,8 V, e o valor medido retorna a um comportamento bem semelhante, com o circuito estabilizando as saídas  $V_{REF}$  e  $I_{REF}$  com um valor de  $V_{DD}$  um pouco superior ou igual a 0,8 V. Os valores da regulação de linha para  $V_{REF}$  e  $I_{REF}$  são de 0,082mV/V e 8nA/V.

## 5.4 Medida transiente

A última medida utilizando o analisador B1500A é a transiente das referências  $V_{REF}$  e  $I_{REF}$ . Essa medida tem como finalidade aferir o instante em que o circuito passa a funcionar de maneira correta, caracterizando o tempo de inicialização (Stat-Up Time). As Figuras 46 e 47 ilustram a resposta para as referências de tensão e corrente, analisando-as, percebe-se que as quatro amostras tiveram respostas distintas uma das outras. A amostra que mais se aproxima do valor simulado é a primeira, pois sua estabilização ocorreu no estante de 8 ms a 9 ms, estando mais próximo do valor simulado.

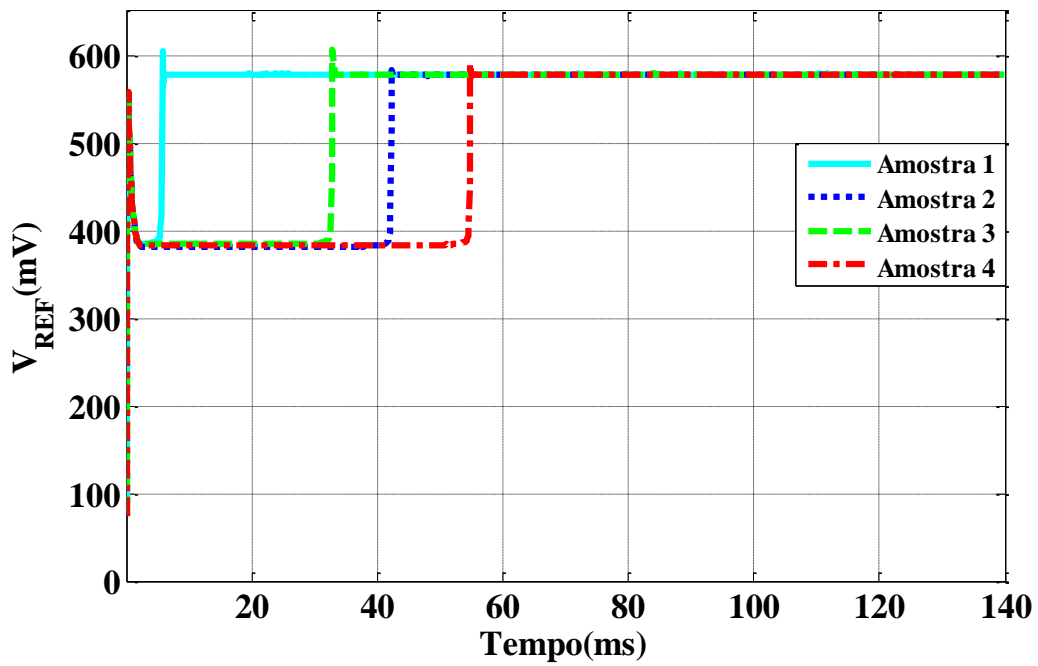


Figura 46 – Inicialização de  $V_{REF}$ .

Fonte: Autor.

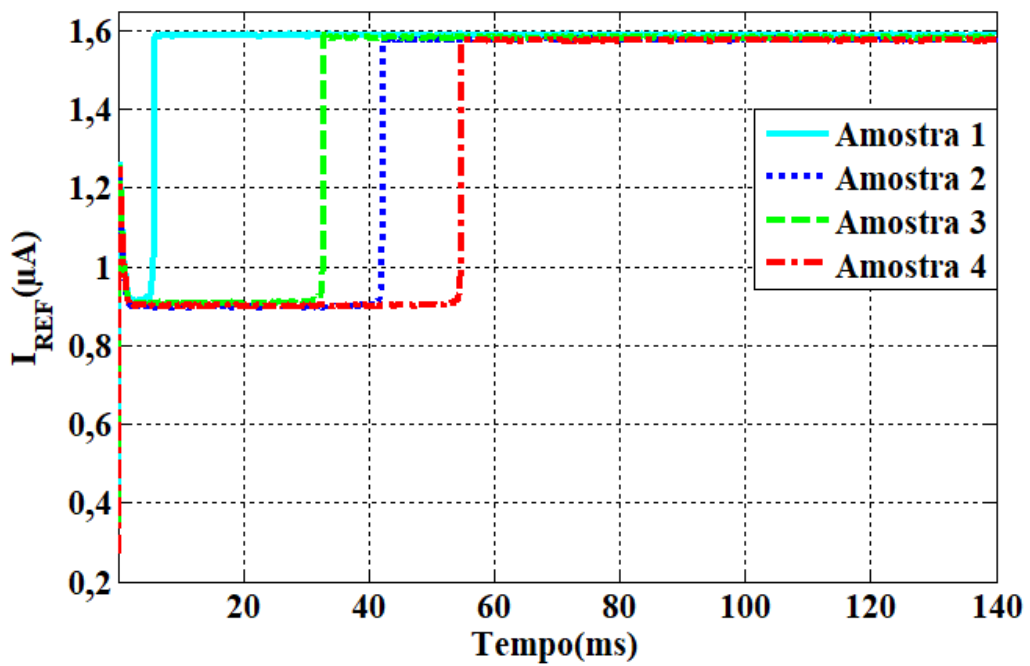


Figura 47 – Inicialização de  $I_{REF}$ .

Fonte: Autor.

## 5.5 Medidas de $V_{REF}$ e $I_{REF}$ em função da temperatura

Para realizar a caracterização do chip em temperatura, foram utilizados os equipamentos ilustrados na Figura 48.



Figura 48 – Equipamentos utilizados na caracterização em temperatura.

**Fonte:** Autor.

O forno utilizado é o modelo MK53 da Binder, e para fins de comparação com a temperatura interna do forno, foi utilizado um multímetro da Keysight na escala de temperatura. Para alimentar o chip com tensão de 1,8 V, e também aferir os valores das referências  $V_{REF}$ ,  $I_{REF}$ ,  $I_{PTAT}$  e  $I_{CTAT}$ , foram utilizados três Source Measure Unit, SMU, modelo B2902A também da Keysight.

Para aferir  $V_{REF}$  e  $I_{REF}$ , o setup de programação do forno foi configurado para variar a temperatura de 100 °C a -30 °C e intervalos de 5 °C. No momento em que a temperatura do forno se estabilizou em relação ao *setpoint* programado, foi esperado um intervalo de três minutos para a coleta das amostras. As Figuras 49 a 50 ilustram o comportamento em temperaturas das quatro amostras em relação a cada código binário de calibração.

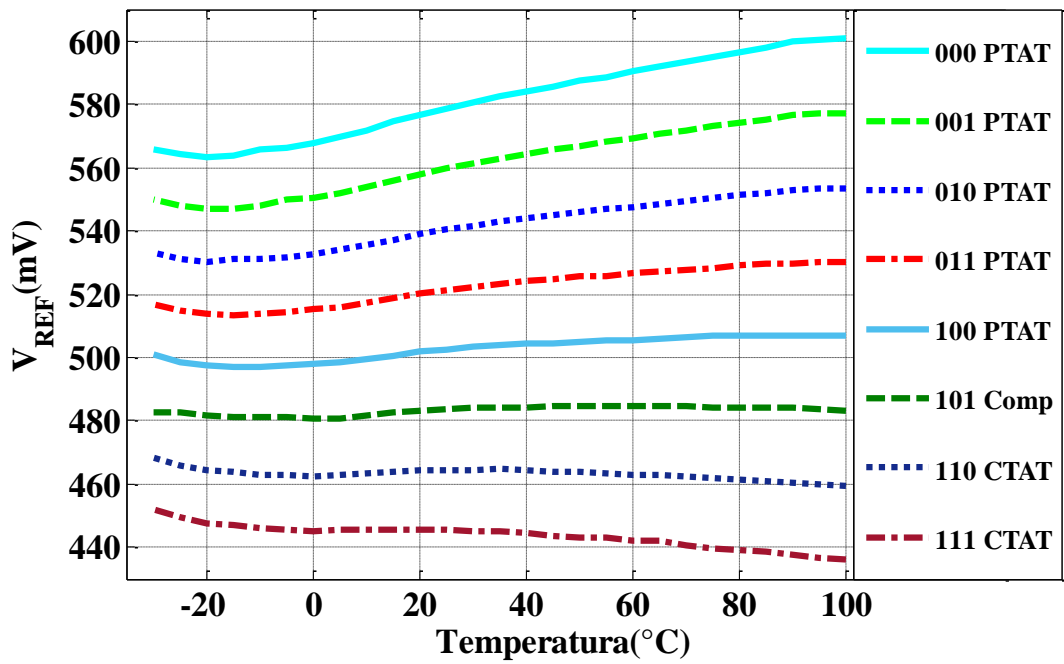


Figura 49 – Amostra 1,  $V_{REF}$  em função da temperatura.

Fonte: Autor.

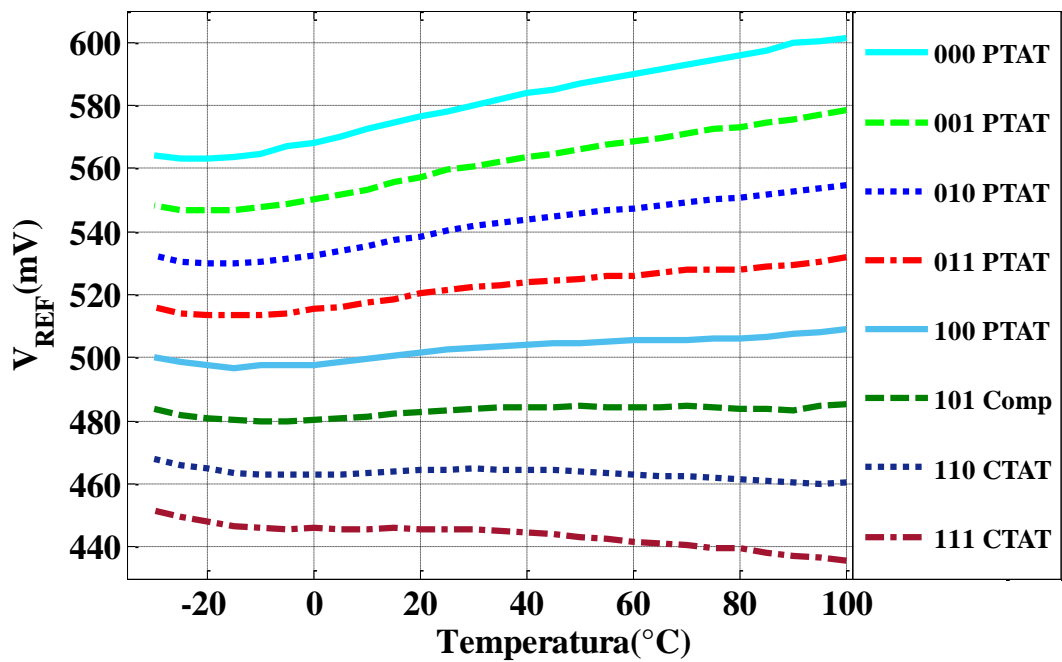


Figura 50 – Amostra 2,  $V_{REF}$  em função da temperatura.

Fonte: Autor.

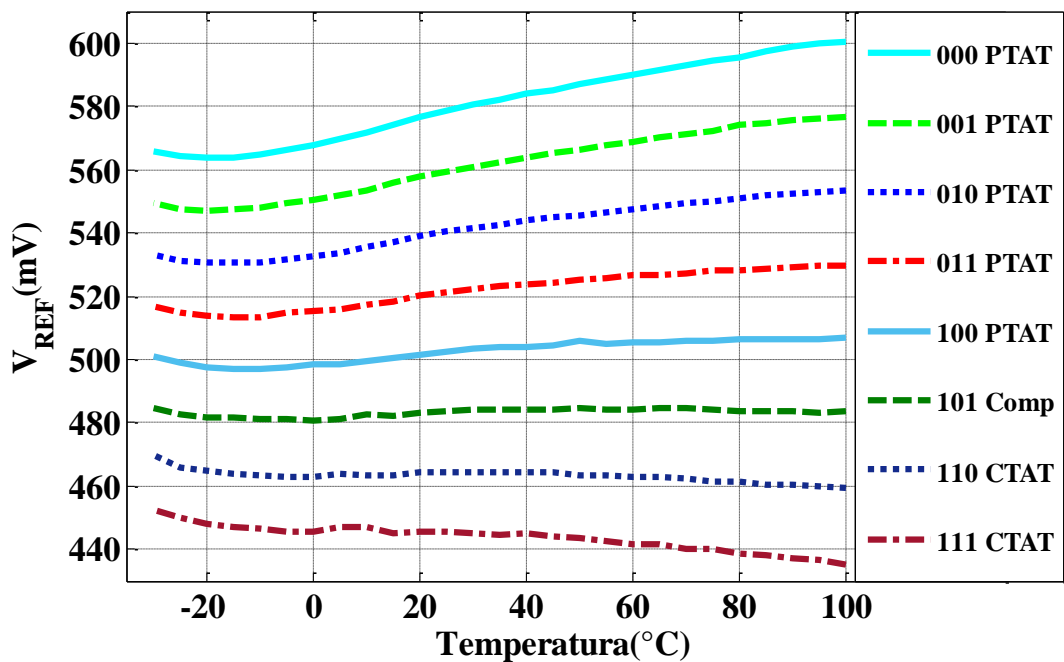


Figura 51 – Amostra 3,  $V_{REF}$  em função da temperatura.

Fonte: Autor.

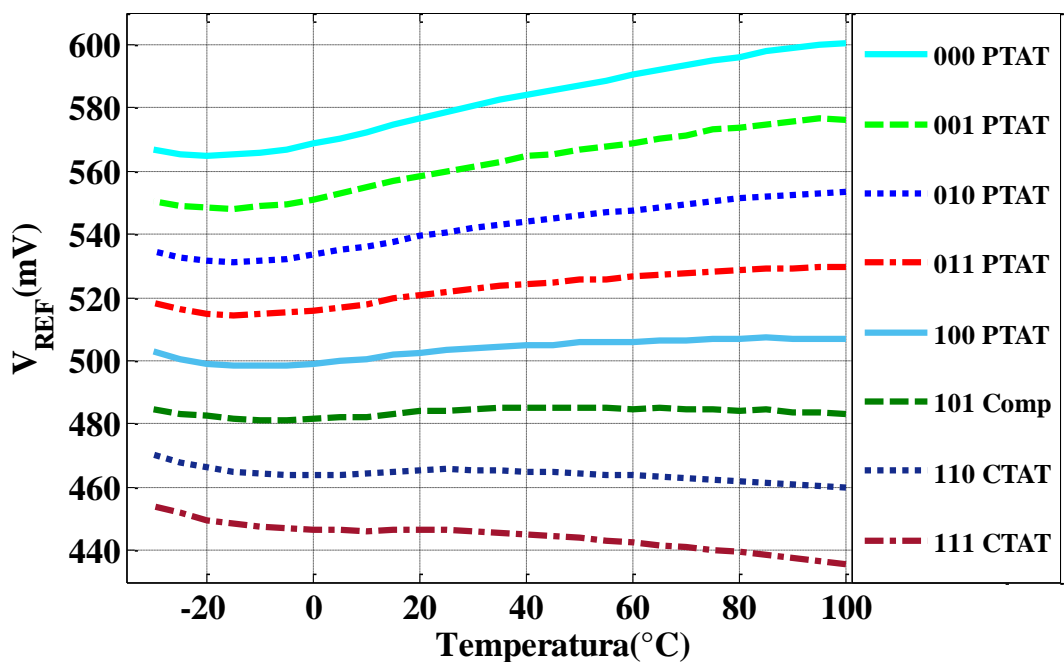


Figura 52 – Amostra 4,  $V_{REF}$  em função da temperatura.

Fonte: Autor.

Analisando as figuras da caracterização em temperatura de  $V_{REF}$ , observou-se que a compensação em temperatura das quatro amostras foi obtida pelo código binário 101,

precisando apenas de um *bit* a mais em relação ao simulado e com uma variação de 7,5%. Os resultados de  $V_{REF}$ , para uma temperatura de 25 °C e considerando o código que compensou, encontram-se na Tabela 15.

Tabela 15 – Valores medidos de  $V_{REF}$ .

	Amostra 1	Amostra 2	Amostra 3	Amostra 4
$V_{REF}$ (mV)	483,68	483,51	483,74	484,39
TC (ppm/ °C)	25	26	22	28

A Figura 53 ilustra  $V_{REF}$  compensado em temperatura, com os *bits* 101. As medidas deixam claro que as amostras se comportaram de maneira esperada para uma referência de tensão. A curva em preto é a média entre as quatro amostras.

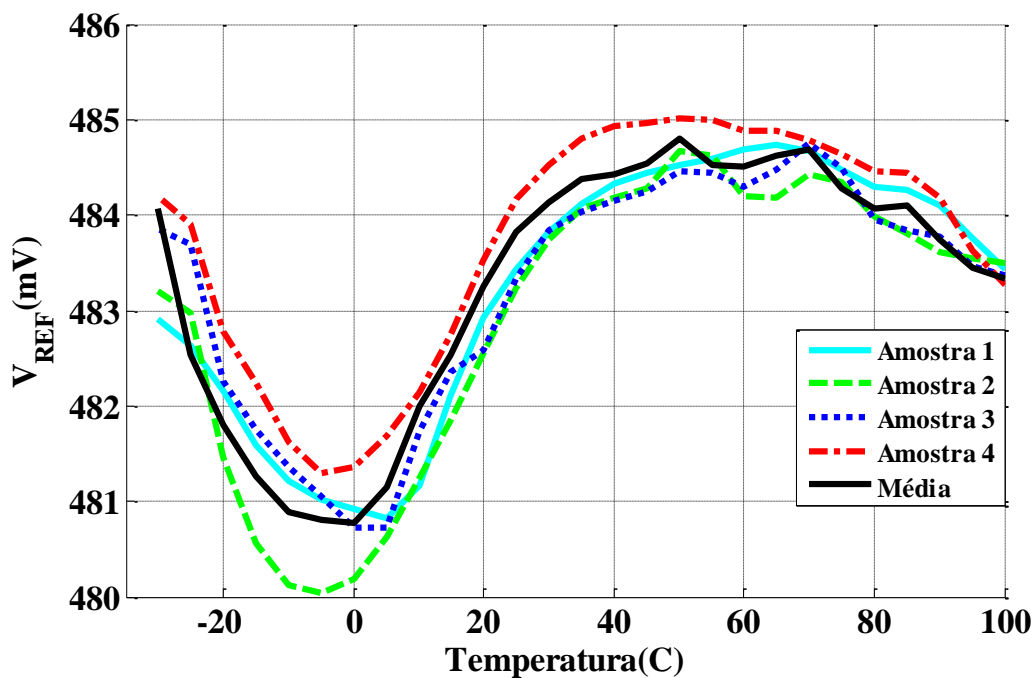


Figura 53 –  $V_{REF}$  em função da temperatura e do *bit* 101.

Fonte: Autor.

As próximas figuras de 54 a 57 ilustram o comportamento de  $I_{REF}$ , vale ressaltar que, a coleta de  $V_{REF}$ ,  $I_{REF}$ ,  $I_{PTAT}$  e  $I_{CTAT}$ , foi feita de maneira simultânea.



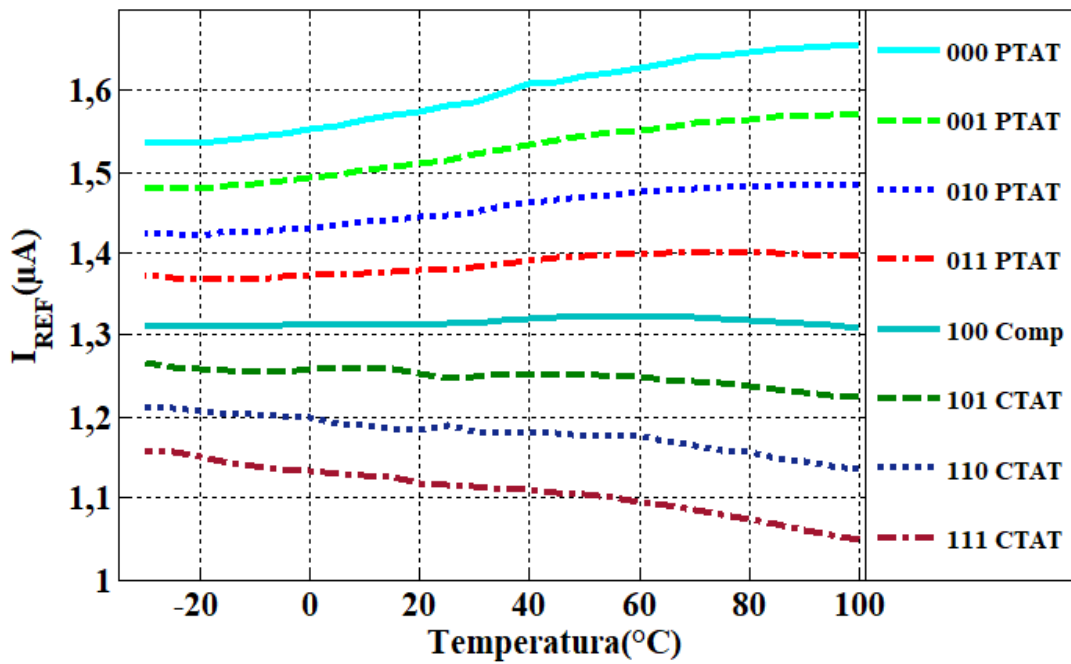


Figura 54 – Amostra 1,  $I_{REF}$  em função da temperatura.

Fonte: Autor.

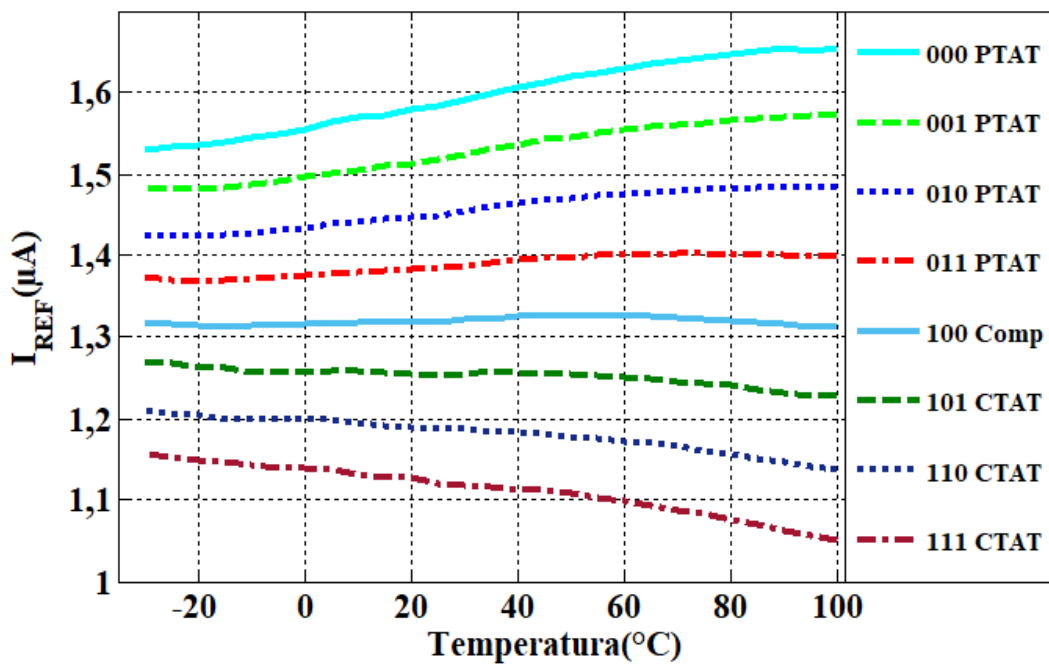


Figura 55 – Amostra 2,  $I_{REF}$  em função da temperatura.

Fonte: Autor.

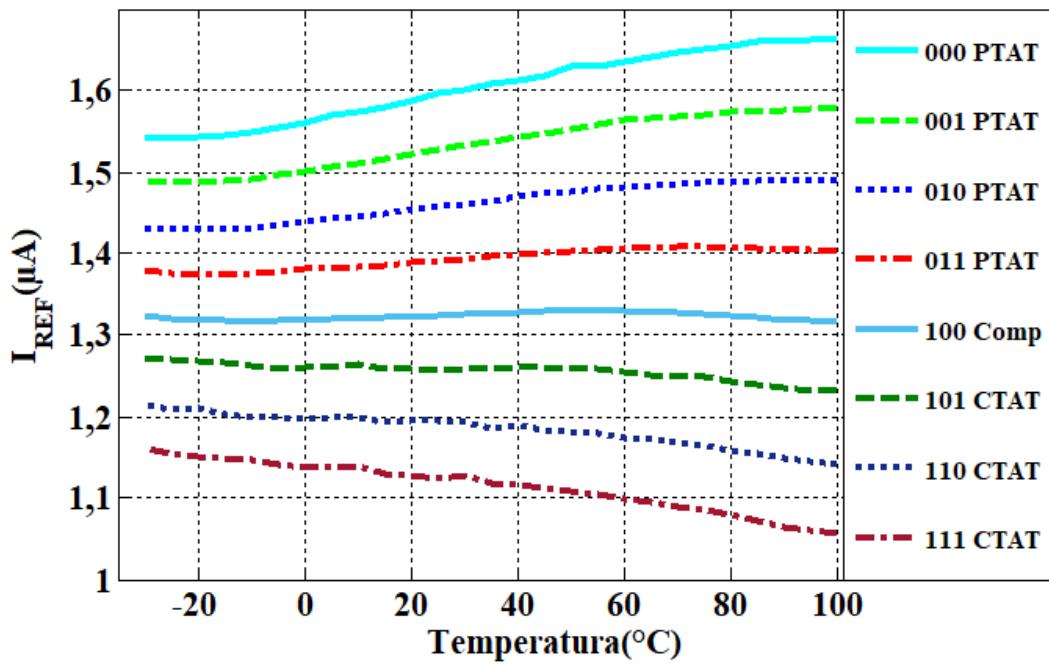


Figura 56 – Amostra 3,  $I_{REF}$  em função da temperatura.

Fonte: Autor.

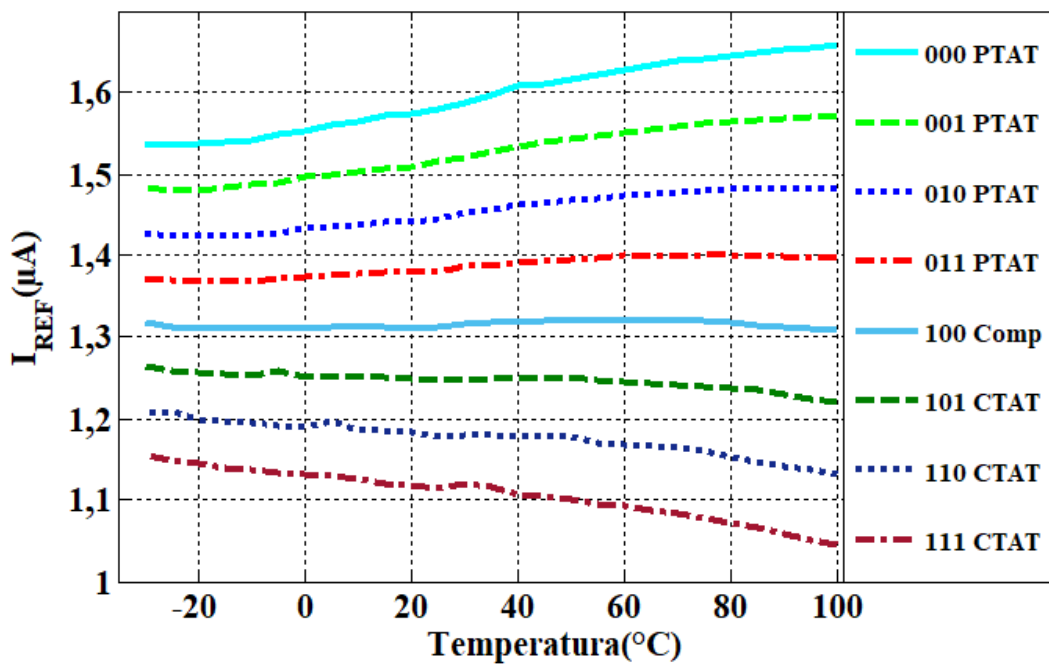


Figura 57 – Amostra 3,  $I_{REF}$  em função da temperatura.

Fonte: Autor.

Diferente de  $V_{REF}$ , a compensação com a temperatura se deu com o código binário 100 para  $I_{REF}$ , semelhante à simulação. O comportamento esperado foi alcançado nas quatro

amostras, e resultado de  $I_{REF}$ , para uma temperatura de 25 °C e considerando o bit que compensou, encontra-se na Tabela 16.

Tabela 16 – Valores medidos de  $I_{REF}$ .

	Amostra 1	Amostra 2	Amostra 3	Amostra 4
$I_{REF}$ ( $\mu\text{A}$ )	1,3144	1,3181	1,3235	1,3121
TC (ppm/ °C)	83	78	75	72

A Figura 58 ilustra o comportamento de  $I_{REF}$  com o *bit* 100, observa-se que as amostras foram compensadas com a temperatura, e a curva em preta é a média entre elas.

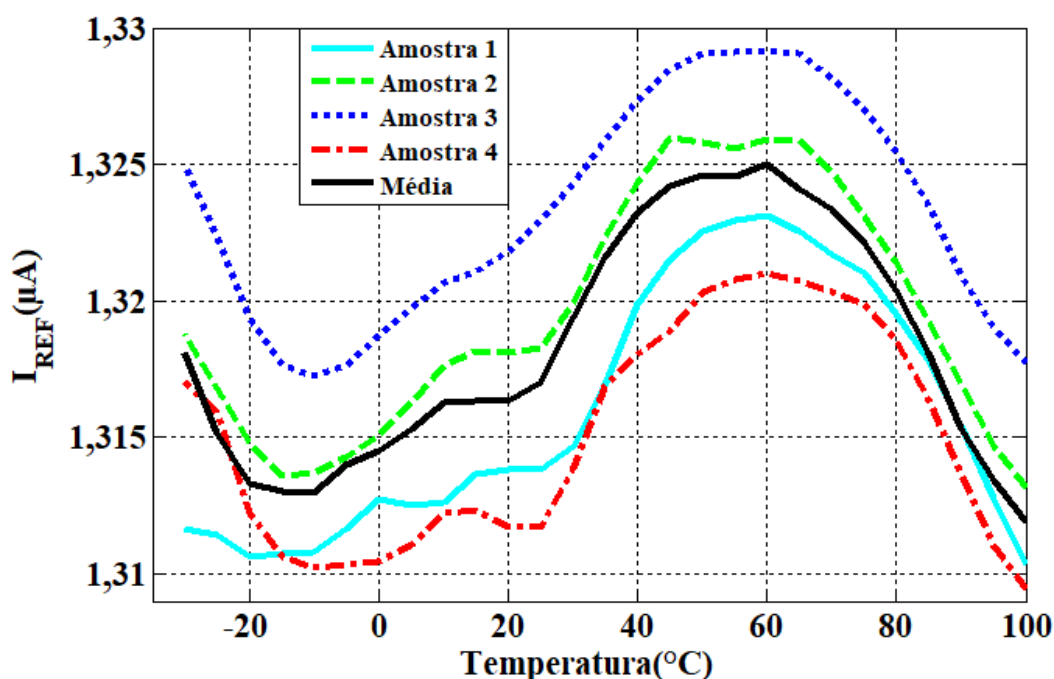


Figura 58 –  $I_{REF}$  em função da temperatura e do *bit* 100.

Fonte: Autor.

## 5.6 Medidas de $I_{PTAT}$ e $I_{CTAT}$ em função da temperatura

Para finalizar a caracterização em temperaturas, os últimos dados coletados fora das referências  $I_{PTAT}$  e  $I_{CTAT}$  ilustrado nas Figuras 59 e 60 respectivamente.

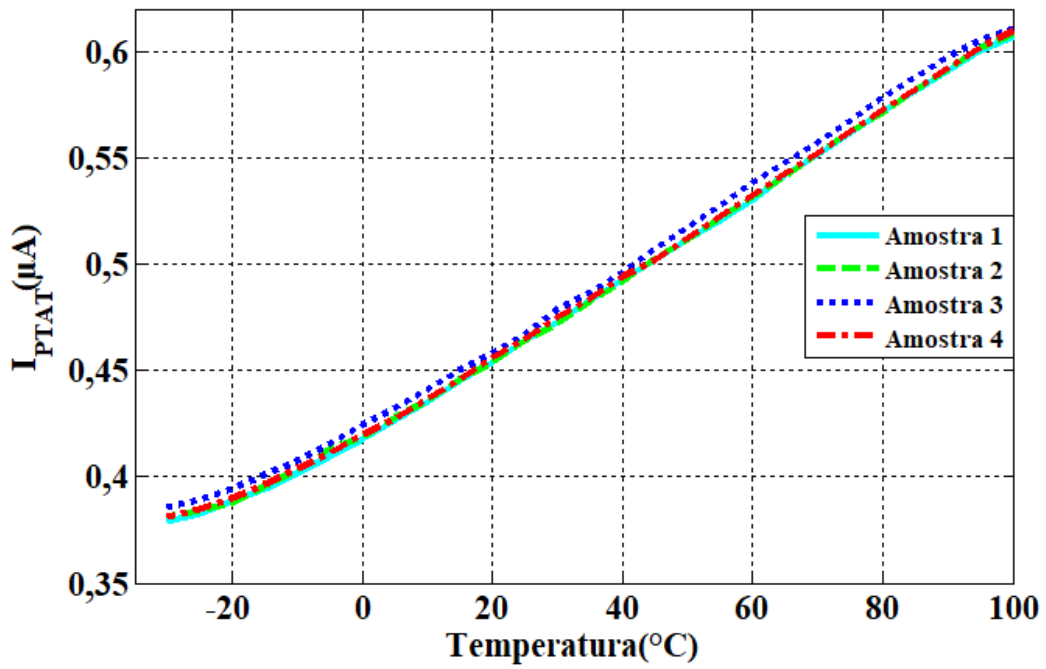


Figura 59 –  $I_{PTAT}$  em função da temperatura.  
**Fonte:** Autor.

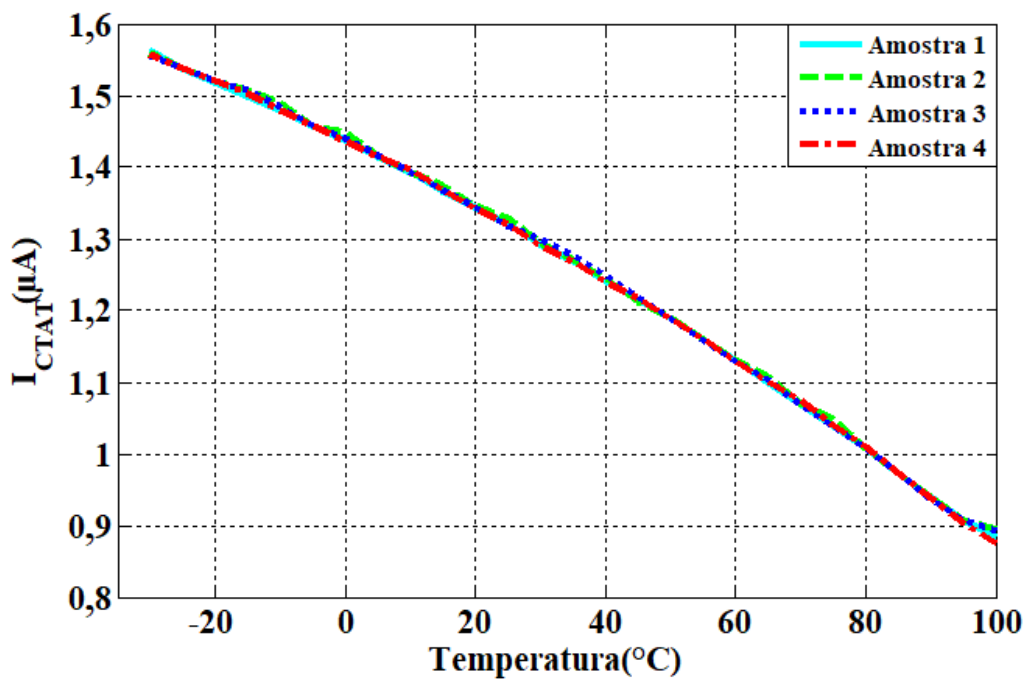


Figura 60 –  $I_{CTAT}$  em função da temperatura.  
**Fonte:** Autor.

Comparando as figuras acima com a Figura 18, observa-se que as curvas medidas para  $I_{PTAT}$  e  $I_{CTAT}$  apresentaram o comportamento esperado. Comparando os valores medido com o simulado as 25°C, a maior diferença para  $I_{PTAT}$  está na amostra 1, sendo 14% menor em relação ao simulado, já para  $I_{CTAT}$  a maior diferença está na amostra 3, sendo 3% em relação ao simulado. A Tabela 17 contém os valores medidos em 25 °C assim como seus respectivos TC's.

Tabela 17 – Valores medidos de  $I_{PTAT}$  e  $I_{CTAT}$ .

	Amostra 1	Amostra 2	Amostra 3	Amostra 4
$I_{PTAT}$ ( $\mu\text{A}$ )	0,4639	0,4637	0,4672	0,4647
TC (ppm/ °C)	3790	3770	3705	3791
$I_{CTAT}$ ( $\mu\text{A}$ )	1,3199	1,3296	1,3192	1,3198
TC (ppm/ °C)	3969	3853	3875	3985

## 5.7 Medidas de Rejeição do Ruído da Linha de Alimentação

Depois da caracterização em forno, a última medida feita foi a da *PSR* (*Power Supply Rejection*). Para realizar a medida, foi utilizado um gerador de função da Tektronix modelo AFG 3252 e um osciloscópio da Keysight modelo DSOS204A, ambos ilustrados na Figura 60. O gerador de função foi responsável por gerar o sinal senoidal com tensão de offset de 1,7 V e tensão de pico 100mV para alimentar o chip. Para auxiliar na medição, foi utilizado um filtro passa alta de quarta ordem do tipo Sallen Key com frequência de corte de 50 Hz e ganho de 30,97 dB, a Figura 62 ilustra o filtro utilizado.



Figura 61 – Equipamentos utilizados.  
Fonte: Autor.

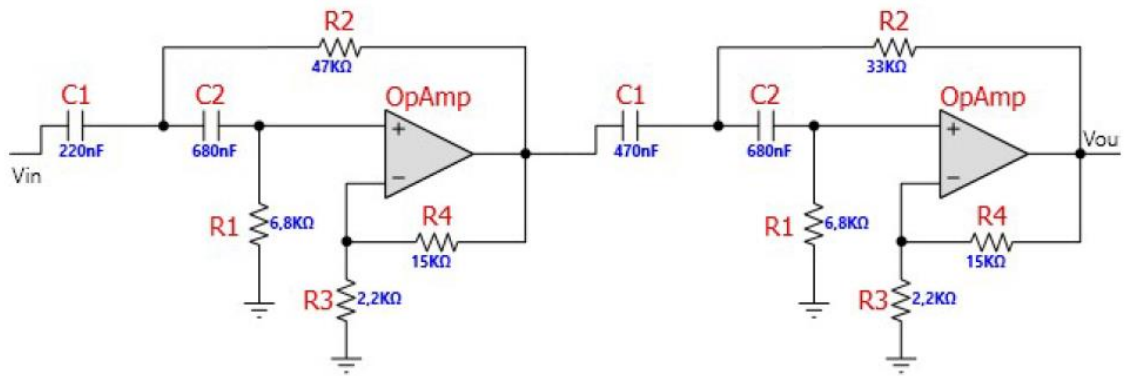


Figura 62 – Filtro Passa Alta.  
**Fonte:** Autor.

As Figura 63 e 64 ilustram o comportamento de  $V_{REF}$  e  $I_{REF}$  com a variação da frequência da alimentação  $V_{DD}$ .

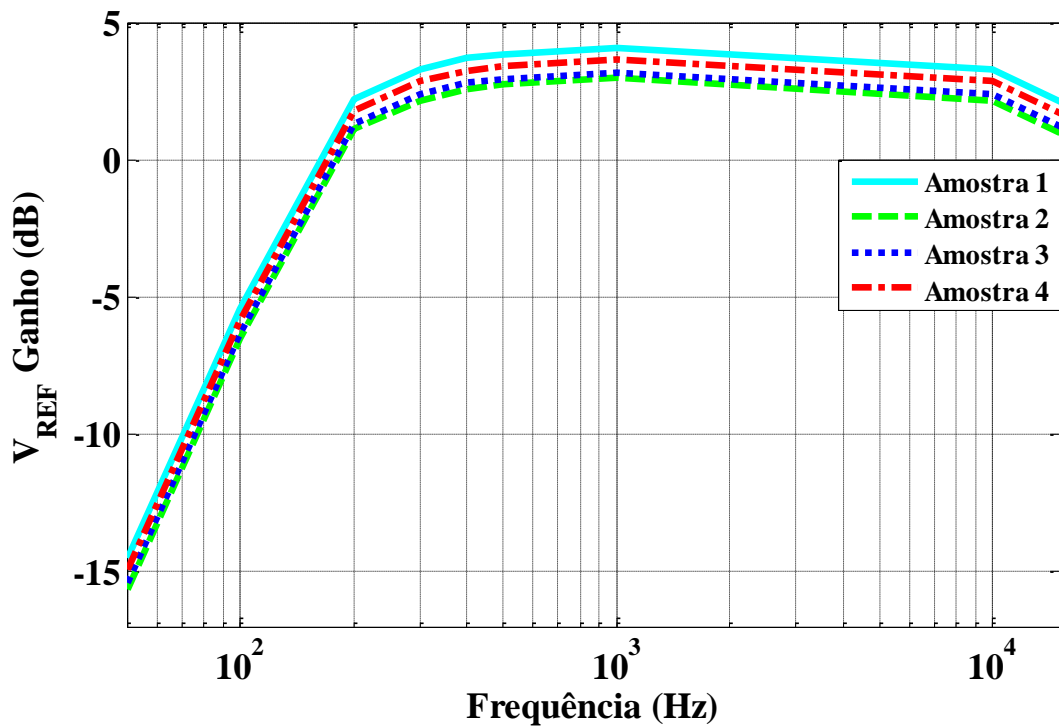


Figura 63 – PRS de  $V_{REF}$ .  
**Fonte:** Autor.

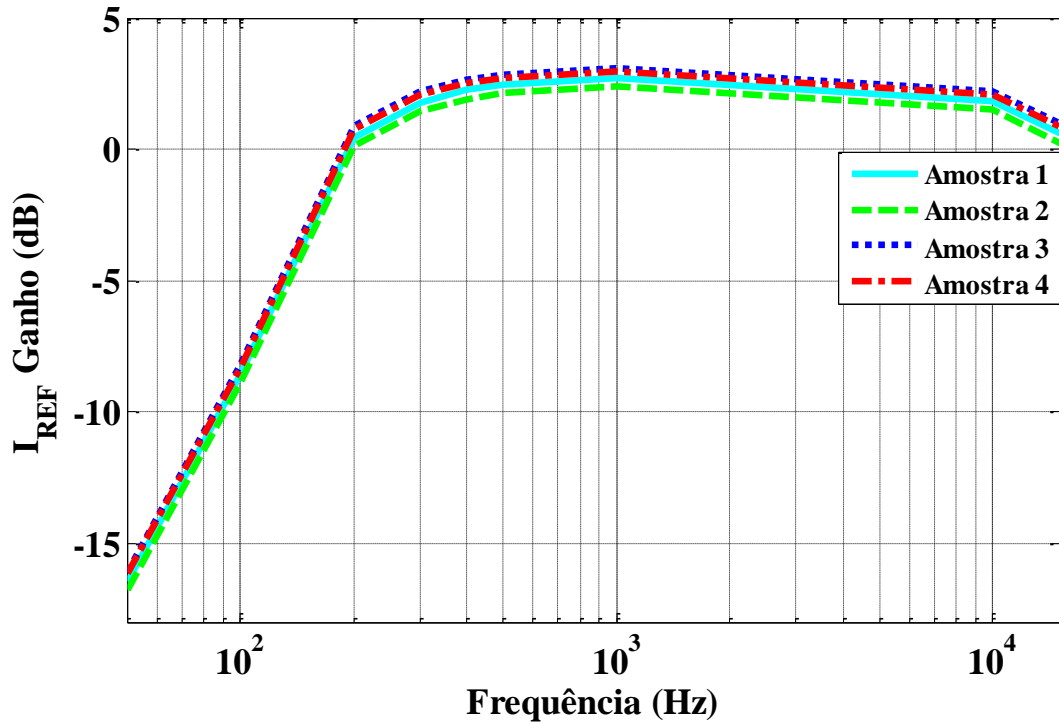


Figura 64 – PRS de  $I_{REF}$ .  
Fonte: Autor.

A Tabela 18 apresenta o valor da PSR em 50 Hz das quatro amostras.

Tabela 18 – Valores medidos da PSR de  $V_{REF}$  e  $I_{REF}$ .

	Amostra 1	Amostra 2	Amostra 3	Amostra 4
$PSR$ de $V_{REF}$ (dB)	-14,51	-15,63	-15,41	-14,94
$PSR$ de $I_{REF}$ (dB)	-16,45	-16,77	-16,06	-16,17

O valor médio da  $PSR$  de  $V_{REF}$  e  $I_{REF}$ , são respectivamente, -15,12 dB e -16,36 dB, e comprado com a Figura 21, simulação em 50 Hz, nota uma diferença de -12,88 dB e -13,64 dB para as referências de tensão e corrente.

## 5.8 Comparação com outros trabalhos

Este trabalho foi comparado com outros trabalhos [12, 32-37], e seus resultados são apresentados na Tabela 19. O circuito projetado opera com a menor tensão de alimentação e também apresenta o maior desempenho de regulação da linha quando comparado aos outros

trabalhos. A operação em baixa tensão é obtida porque existem poucos transistores empilhados na topologia proposta. Em relação ao desempenho da temperatura, o TC é adequado comparado aos demais.

Tabela 19 – Comparação com trabalhos recentes.

	<b>Este Trabalho</b>	<b>[12]</b>	<b>[33]</b>	<b>[34]</b>	<b>[35]</b>	<b>[36]</b>	<b>[37]</b>	<b>[38]</b>
<b>V<sub>REF</sub> (V)</b>	0,483	0,72	2,56	1,14	0,596	0,5	1	0,5
<b>Tensão de alimentação (V)</b>	0,85 a 1,8	1,1 a 2,5	4,5 a 5,5	2 a 5	1,3	1,2 a 1,8	1,375	1,8
<b>Faixa de Temperatura (°C)</b>	-30 a 100	-40 a 85	-40 a 100	-40 a 125	-10 a 120	0 a 100	-45 a 125	-40 a 140
<b>Consumo de corrente (µA)</b>	7,89	0,63	6,8	33	2,7	5,1	689	26,3
<b>Área (mm<sup>2</sup>)</b>	0,175	0,011	0,075	0,0396	0,8	0,073	0,078	0,0139
<b>TC de V<sub>REF</sub> (ppm/°C)</b>	25	56	2,6	1,01	30,95	22	6	3,66
<b>Processo CMOS (nm)</b>	180	130	180	350	180	180	7	180
<b>Regulação de linha (mV/V)</b>	0,082	2,3	2	2	-	1,4	1	3,3
<b>Ano</b>	2021	2019	2019	2019	2019	2020	2019	2020

Com a comparação destes resultados, nota-se que a topologia proposta apresentou a menor referência de tensão, menor tensão de operação e também a melhor regulação de linha, conclui-se que o circuito projetado é mais adequado para aplicações que precisam trabalhar com uma grande variação de  $V_{DD}$ , entre 0,75 V até 1.8 V, e que a variação da referência seja mínima com a variação da temperatura.



## ***Capítulo 6***

### ***Conclusões e Trabalhos Futuros***

Esta dissertação apresenta uma nova topologia para referências de tensões e corrente que utilizam os transistores *self-cascode composite transistor* (SCCT) para gerar as tensões PTAT e CTAT, feita no processo TSMC 180 nm. Os SCCT que utilizam transistores NMOS são capazes de gerar uma tensão de saída  $V_O$  que possui o comportamento proporcional à variação de temperatura, desde que estejam devidamente dimensionados e na região correta de polarização.

Para evitar o uso de BJT, ou transistores de oxido grosso ou até mesmo diodos *Schottky* para gerar a tensão CTAT (abordagem comum na literatura), um SCCT composto por transistores PMOS foi utilizado. Através de simulações, notou-se que o SCCT com transistor PMOS possui um comportamento complementar a temperatura, com o TC oposto ao SCCT com transistor NMOS, com as mesmas características para o correto funcionamento, dimensionamento e na região correta de polarização.

A tensão de saída de ambos os SCCT's pode ser modificada com a variação das relações de aspecto dos transistores e da corrente  $I_D$  que os percorrem, alterando a magnitude da saída  $V_O$  e do coeficiente angular do sinal com a variação da temperatura.

Com o comportamento de ambos SCCT's, é possível combiná-los e projetar uma referência, seja de tensão ou corrente. Para somar seus efeitos, utilizou-se um espelho de corrente para gerar a polarização do circuito, AmpOp's e um circuito de *trimming* para minimizar os efeitos do processo de fabricação.

Os valores médios aferidos pelas referências  $V_{REF}$  e  $I_{REF}$  são 483,58 mV e 1,317  $\mu$ A, com seus respectivos valores de coeficiente térmico TC de 25 ppm/ $^{\circ}$ C e 77 ppm/ $^{\circ}$ C. Devido ao uso dos SCCT, foi possível alcançar um bom valor para regulação de linha para as referências de tensão e corrente, nos valores de 0,082 mV/V e 8 nA/V.

O circuito projetado é ideal para aplicações que precisam operar com um  $V_{DD}$  em torno de 0,8 até 1,8 V. E com consumo na casa de poucos uW.

Por fim, uma sugestão de trabalhos futuros fica a substituição dos resistores por transistores MOS operando na região linear e posteriormente a escrita em um periódico contendo os dados medido.

Este trabalho resultou em um artigo publicado na 19TH IEEE INTERREGIONAL NEWCAS CONFERENCE, que pode ser visto na base de dados do explore do IEEE pelo DOI 10.1109/NEWCAS50681.2021.9462762.

## *Referências Bibliográficas*

- [1] COLOMBO, Dalton *et al.* A CMOS 25.3 ppm/°C bandgap voltage reference using self-cascode composite transistor. In: 2012 IEEE 3RD LATIN AMERICAN SYMPOSIUM ON CIRCUITS AND SYSTEMS (LASCAS), 3., 2012, Playa del Carmen, Mexico. Proceedings [...]. Playa del Carmen, Mexico: IEEE, 2012. p. 1-4.
- [2] FERREIRA, Luis HC; PIMENTA, Tales C.; MORENO, Robson L. An ultra low-voltage ultra low-power CMOS threshold voltage reference. **IEICE transactions on electronics**, v. 90, n. 10, p. 2044-2050, 2007.
- [3] FERREIRA, Luis HC; PIMENTA, Tales C.; MORENO, Robson L. A CMOS threshold voltage reference source for very-low-voltage applications. **Microelectronics Journal**, v. 39, n. 12, p. 1867-1873, 2008.
- [4] CREPALDI, Paulo Cesar *et al.* A low power CMOS voltage regulator for a wireless blood pressure biosensor. **IEEE Transactions on Instrumentation and Measurement**, v. 61, n. 3, p. 729-739, 2011.
- [5] COLOMBO, Dalton Martini; SOARES, Rafael; MATTOS, Fabricio. Low voltage low power current reference circuit for passive RFID applications. In: **2016 IEEE 7th Latin American Symposium on Circuits & Systems (LASCAS)**. IEEE, 2016. p. 107-110.
- [6] COLOMBO, Dalton Martini *et al.* Total Dose Effects on Voltage References in 130-nm CMOS Technology. **IEEE Transactions on Device and Materials Reliability**, v. 18, n. 1, p. 27-36, 2017.
- [7] COLOMBO, Dalton *et al.* Impact of noise on trim circuits for bandgap voltage references. In: **2007 14th IEEE International Conference on Electronics, Circuits and Systems**. IEEE, 2007. p. 775-778.
- [8] WIDLAR, Robert J. New developments in IC voltage regulators. **IEEE Journal of Solid-State Circuits**, v. 6, n. 1, p. 2-7, 1971.

- [9] KUIJK, Karel E. A precision reference voltage source. *IEEE Journal of Solid-State Circuits*, v. 8, n. 3, p. 222-226, 1973.
- [10] BROKAW, A. Paul. A simple three-terminal IC bandgap reference. *IEEE Journal of Solid-State Circuits*, v. 9, n. 6, p. 388-393, 1974.
- [11] COLOMBO, Dalton Martini. Design of analog integrated circuits aiming characterization of radiation and noise. 2015.
- [12] BRITO, Thaironi M. et al. CMOS Voltage Reference Using a Self-Cascode Composite Transistor and a Schottky Diode. *Electronics*, v. 8, n. 11, p. 1271, 2019.
- [13] FERREIRA, L.H.C.; Uma Referência de Tensão CMOS Baseada na Tensão Threshold em Ultra-Baixa Tensão e Ultra-Baixa Potência. 2008. 81 f. Tese (Doutorado em Engenharia Elétrica). Instituto de Engenharia de Sistemas e Tecnologia da Informação, Universidade Federal de Itajubá, Itajubá.
- [14] FERREIRA, Luis HC; PIMENTA, Tales C.; MORENO, Robson L. An ultra-low-voltage ultra-low-power weak inversion composite MOS transistor: Concept and applications. *IEICE transactions on electronics*, v. 91, n. 4, p. 662-665, 2008.
- [15] COLOMBO, Dalton M.; DE BRITO, Thaironi M.; COIMBRA, Flavius Vinicius A. An approach a new 1 V supply resistorless voltage reference using Schottky Diode. In: **2018 IEEE 9th Latin American Symposium on Circuits & Systems (LASCAS)**. IEEE, 2018. p. 1-4.
- [16] NAGULAPALLI, R. et al. A microwatt low voltage bandgap reference for bio-medical applications. In: 2017 International Conference on Recent Advances in Electronics and Communication Technology (ICRAECT). IEEE, 2017. p. 61-65.
- [17] TSIVIDIS, Yannis; MCANDREW, Colin. Operation and Modeling of the MOS Transistor. Oxford Univ. Press, 2011.
- [18] VITTOZ, Eric; FELLRATH, Jean. CMOS analog integrated circuits based on weak inversion operations. *IEEE journal of solid-state circuits*, v. 12, n. 3, p. 224-231, 1977.
- [19] RINCON-MORA, Gabriel Alfonso. Voltage references. Wiley-IEEE press, 2002.
- [20] RAZAVI, Behzad. Design of analog CMOS integrated circuits. Tata McGraw-Hill Education, 2002.
- [21] ISHIBE, Eder Issao. Projeto de uma fonte de tensão de referência. 2017. Dissertação de Mestrado. Universidade de São Paulo.
- [22] YANNIS, P. Accurate analysis of temperature effects in IC-VBE characteristics with application to bandgap reference source. *IEEE J. Solid-State Circuits*, v. 6, p. 1076-1083, 1980.
- [23] COLOMBO, Dalton Martini; WIRTH, Gilson; BAMPI, Sergio. Sub-1 V band-gap based and MOS threshold-voltage based voltage references in 0.13  $\mu\text{m}$  CMOS. *Analog Integrated Circuits and Signal Processing*, v. 82, n. 1, p. 25-37, 2015.
- [24] COLOMBO, Dalton et al. Voltage reference design using 1 V power supply in 0.13  $\mu\text{m}$  CMOS technology. In: **2013 IEEE 4th Latin American Symposium on Circuits and Systems (LASCAS)**. IEEE, 2013. p. 1-4.

- [25] VERMAAS, Luiz LG et al. A bandgap voltage reference using digital CMOS process. In: 1998 IEEE International Conference on Electronics, Circuits and Systems. Surfing the Waves of Science and Technology (Cat. No. 98EX196). IEEE, 1998. p. 303-306.
- [26] FAKHARYAN, Iman; EHSANIAN, Mehdi. A sub-1V nanowatt CMOS bandgap voltage reference with temperature coefficient of 13ppm/° C. In: 2015 23rd Iranian Conference on Electrical Engineering. IEEE, 2015. p. 1129-1132.
- [27] ALHASSAN, Nashiru; ZHOU, Zekun; SÁNCHEZ-SINENCIO, Edgar. An all-MOSFET voltage reference with– 50-dB PSR at 80 MHz for low-power SoC design. *IEEE Transactions on Circuits and Systems II: Express Briefs*, v. 64, n. 8, p. 892-896, 2016.
- [28] FAKHARYAN, Iman; EHSANIAN, Mehdi; HAYATI, Hadi. A 0.9-V supply, 16.2 nW, fully MOSFET resistorless bandgap reference using sub-threshold operation. *Analog Integrated Circuits and Signal Processing*, p. 1-8, 2019.
- [29] BABACAN, Yunus; KAÇAR, Fırat. Floating memristor emulator with subthreshold region. *Analog Integrated Circuits and Signal Processing*, v. 90, n. 2, p. 471-475, 2017.
- [30] BAKER, R. Jacob. CMOS: circuit design, layout, and simulation. John Wiley & Sons, 2019.
- [31] OGUEY, Henri J.; AEBISCHER, Daniel. CMOS current reference without resistance. *IEEE Journal of Solid-State Circuits*, v. 32, n. 7, p. 1132-1135, 1997.
- [32] HUNG, Hector; ADZIC, Vladislav. Monte carlo simulation of device variations and mismatch in analog integrated circuits. *Proc. NCUR 2006*, p. 1-8, 2006.
- [33] LIU, Quanwang et al. A 2.6 ppm/° C 2.5 V Piece-Wise Compensated Bandgap Reference with Low Beta Bipolar. *Electronics*, v. 8, n. 5, p. 555, 2019.
- [34] ZHOU, Ze-Kun et al. A resistorless high-precision compensated CMOS bandgap voltage reference. *IEEE Transactions on Circuits and Systems I: Regular Papers*, v. 66, n. 1, p. 428-437, 2018.
- [35] LEE, Shuenn-Yuh; LIAO, Zhan-Xian; LEE, Chih-Hung. Energy-harvesting circuits with a high-efficiency rectifier and a low temperature coefficient bandgap voltage reference. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, v. 27, n. 8, p. 1760-1767, 2019.
- [36] OLIVERA, Fabián; PETRAGLIA, Antonio. Adjustable output CMOS voltage reference design. *IEEE Transactions on Circuits and Systems II: Express Briefs*, v. 67, n. 10, p. 1690-1694, 2019.
- [37] KAMATH, Umanath et al. A 1-V bandgap reference in 7-nm FinFET with a programmable temperature coefficient and inaccuracy of±0.2% from– 45° C to 125° C. *IEEE Journal of Solid-State Circuits*, v. 54, n. 7, p. 1830-1840, 2019.
- [38] LEE, Chang-Chi et al. A High-Precision Bandgap Reference With a V-Curve Correction Circuit. *IEEE Access*, v. 8, p. 62632-62638, 2020.