

UNIVERSIDADE FEDERAL DE ITAJUBÁ
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA

NEDSON JOAQUIM MAIA

**Um Amplificador de Transcondutância CMOS de
Baixa Potência com Melhoria da CMRR**

ITAJUBÁ - MG

2020

NEDSON JOAQUIM MAIA

Um Amplificador de Transcondutância CMOS de Baixa Potência com Melhoria da CMRR

Dissertação submetida ao Programa de Pós-Graduação em Engenharia Elétrica como parte dos requisitos para obtenção do título de Mestre em Engenharia Elétrica.

Área de concentração: Microeletrônica

Orientador: Dr. Robson Luiz Moreno

Coorientador: Dr. Tales Cleber Pimenta

ITAJUBÁ - MG

2020

Dedico este trabalho as meus pais, sem eles nada seria possível. A minha esposa pelo apoio e suporte durante esta pesquisa e meus familiares que de forma direta e indireta me ajudaram a vencer as etapas deste desafio.

Agradecimentos

À Deus por ser tão grandioso e bondoso comigo, por me guiar nessa caminhada.

À minha família por todo o apoio durante esta jornada, e, pela compreensão em minhas faltas e falhas durante esses anos.

Aos meus orientadores Robson Luiz Moreno e Tales Cleber Pimenta por todos ensinamentos, paciência e ajuda prestadas.

Ao professor Luiz Henrique de Carvalho Ferreira e ao Arnaldo del Risco Sánchez por toda a ajuda durante a publicação do artigo.

Aos Diretores do IESTI Paulo César Crepaldi e Luiz Lenarth Gabriel Vermaas, pela compreensão e incentivo para realização deste mestrado.

A todos os servidores técnicos administrativos e professores do IESTI, em especial a José Anderson dos reis e Patrícia Rodrigues de Araújo pelo apoio durante esse mestrado, sem esse apoio não seria possível essa realização.

Aos amigos Arnaldo, César, Paulo e todos membros do Grupo de Microeletrônica que sempre se mostraram dispostos a dividir o conhecimento e com isso foi possível a realização deste trabalho.

Aos meus amigos, por todo apoio.

Por fim, agradeço a todos que de certa forma ajudaram no meu crescimento e assim, foi possível concluir esta pesquisa.

“Talvez não tenha conseguido fazer o melhor, mas lutei para que o melhor fosse feito. Não sou o que deveria ser, mas graças a Deus, não sou o que era antes”.

Marthin Luther King

Resumo

Este trabalho apresenta uma topologia de um Amplificador Operacional de Transcondutância (OTA) de baixa potência para a compensação da Razão de Rejeição de Modo Comum (CMRR), onde os transistores operam no modo de inversão forte. Inicialmente, é apresentada uma revisão teórica acerca do amplificador diferencial e do OTA. Em seguida, foi proposta uma arquitetura de OTA baseado em uma estrutura de amplificador diferencial simétrico com transistores adicionais em paralelo aos transistores MOS de entrada, a fim de aumentar a taxa de CMRR, bem como a estratégia de compensação proposta. O OTA foi projetado utilizando a tecnologia CMOS IBM 130 nm. Para analisar a estratégia de compensação e obter uma avaliação mais realista foram realizadas as simulações de Monte Carlo e *Corner*. Os resultados obtidos demonstram que o circuito proposto para controle de modo comum opera corretamente, uma vez que o OTA proposto possibilitou o controle de modo comum em paralelo obtendo uma CMRR de 87,34 dB e consumo de potência de 9,65 μW , validando sua compatibilidade com circuitos de baixa potência.

Palavras-chave: OTA. CMRR. Baixa potência. Inversão forte.

Abstract

This work presents a topology of a low power Transconductance Operational Amplifier (OTA) for the compensation of Common Mode Rejection Ratio (CMRR), in which the transistors operate in the strong inversion mode. Initially, a theoretical review of the differential amplifier and OTA is presented. Then, an OTA architecture was proposed based on a symmetric differential amplifier structure with additional transistors in parallel to the input MOS transistors, in order to increase the CMRR rate, as well as the proposed compensation strategy. The OTA was designed using IBM 130 nm CMOS technology. Monte Carlo and Corner simulations were performed to analyze the compensation strategy and to obtain a more realistic assessment. The results obtained demonstrate that the proposed circuit for common mode control operates correctly, since the proposed OTA enabled common mode control in parallel, obtaining a CMRR of 87.34 dB and power consumption of 9.65 μ W, validating its compatibility with low power circuits.

Keywords: OTA. CMRR. Low power. Strong inversion.

Lista de Figuras

Figura 1 – Configuração básica de um par diferencial MOS [16].....	14
Figura 2 – Par diferencial MOS com carga ativa [16].....	15
Figura 3 – Par diferencial PMOS simétrico acionado pela porta.	15
Figura 4 – Par diferencial com transistores n MOS [19].....	23
Figura 5 – Gráfico da transcondutância em função de v_d [19].	24
Figura 6 – OTA simétrico [17].	25
Figura 7 – OTA simétrico com nível DC deslocado [27].	26
Figura 8 – Modelo ideal AC da estratégia.	27
Figura 9 – Topologia porta-porta para controle de modo comum.....	28
Figura 10 – OTA simétrico com nível DC deslocado acionado pela porta.	31
Figura 11 – Modelo AC do OTA simétrico com nível DC deslocado acionado pela porta para análise em modo diferencial.	31
Figura 12 – Modelo AC do OTA simétrico com nível DC deslocado acionado pela porta para análise em modo comum.	32
Figura 13 – Extrator do modo comum acionado pela porta (a) circuito e (b) modelo AC.....	34
Figura 14 – OTA simétrico com melhoria da CMRR.	37
Figura 15 – Análise DC do OTA simétrico com melhoria da CMRR.	40
Figura 16 – Análise AC do OTA simétrico com melhoria da CMRR.	41
Figura 17 – Transiente do OTA simétrico com melhoria da CMRR.	42
Figura 18 – Histograma da simulação de Monte Carlo da CMRR para o OTA simétrico (a) sem compensação e (b) com melhoria da CMRR.....	43
Figura 19 – Histograma da simulação de Monte Carlo da transcondutância para o OTA simétrico (a) sem compensação e (b) com melhoria da CMRR.	44
Figura 20 – Histograma da simulação de Monte Carlo da distorção harmônica total para o OTA simétrico (a) sem compensação e (b) com melhoria da CMRR.	44
Figura 21 – Histograma da simulação de Monte Carlo da razão sinal ruído para o OTA simétrico (a) sem compensação e (b) com melhoria da CMRR.	45
Figura 22 – Gráficos da simulação corner com resultado da CMRR em função da temperatura para os cantos de processos: a) TT, b) FF e c) SS.	47
Figura 23 – Layout do OTA simétrico com melhoria da CMRR.	49

Lista de Tabelas

Tabela 1 – Equações do par diferencial compensado.....	29
Tabela 2 – Especificações do OTA simétrico sem compensação e com melhoria da CMRR.	38
Tabela 3 – Dimensões dos transistores do OTA simétrico com nível DC deslocado acionado pela porta.	39
Tabela 4 – Dimensões dos transistores do OTA simétrico com melhoria da CMRR.	39
Tabela 5 – Resultados da simulação Monte Carlo do OTA simétrico com nível DC deslocado acionado pela porta.....	45
Tabela 6 – Resultados da simulação Monte Carlo do OTA simétrico com melhoria da CMRR.	46
Tabela 7 – Desempenho e Comparação de Resultados entre os Amplificadores Operacionais de Transcondutância.....	48

Lista de Siglas e Abreviaturas

AC	Corrente alternada
CI	Circuitos Integrados
CMFB	Modo Comum tipo <i>Feedback</i>
CMFF	Modo Comum tipo <i>Feed-Forward</i>
CMOS	<i>Complementary Metal Oxide Semiconductor</i>
CMRR	Razão de Rejeição de Modo Comum
DC	Corrente contínua
FF	Canto de Processo: Rápido-Rápido
FS	Canto de Processo: Rápido-Lento
IBM	<i>International Business Machines Corporation</i>
IOT	Internet das Coisas
MOS	<i>Metal Oxide Semiconductor</i>
OTA	Amplificador Operacional de Transcondutância
<i>SF</i>	Canto de Processo: Lento-Rápido
SNR	Razão Sinal Ruído
SS	Canto de Processo: Lento-Lento
THD	Distorção Harmônica Total
TT	Canto de Processo: Típico-Típico

Lista de Símbolos

λ	<i>Coeficiente de modulação do canal</i>
Φ_F	<i>Potencial de Fermi</i>
Φ_T	<i>Tensão térmica</i>
A_{cm}	<i>Ganho de modo comum</i>
A_{dm}	<i>Ganho de modo diferencial</i>
C'_{ox}	<i>Capacitância por unidade de área da porta</i>
G_m	<i>Transcondutância do amplificador</i>
I_B	<i>Corrente de polarização</i>
IC_{min}	<i>Coeficiente de inversão mínima</i>
I_{DS}	<i>Corrente de dreno</i>
U_T	<i>Tensão térmica</i>
V_{DS}	<i>Tensão DC entre dreno e fonte</i>
V_{DSat}	<i>Tensão de saturação</i>
V_{GS}	<i>Tensão DC entre porta e fonte</i>
V_{SB}	<i>Diferença de potencial entre fonte e substrato</i>
V_T	<i>Tensão de limiar</i>
g_m	<i>Transcondutância do transistor</i>
g_o	<i>Condutância de saída do transistor</i>
g_{ob}	<i>Condutância de saída da fonte de Polarização</i>
i_b	<i>Corrente AC pela fonte de corrente</i>
v_c	<i>Tensão de compensação de modo comum</i>
v_{CM}	<i>Tensão de modo comum</i>
v_{DM}	<i>Tensão de modo diferencial</i>
v_b	<i>Tensão AC do substrato</i>
v_{bs}	<i>Tensão AC entre substrato e fonte</i>
v_{ds}	<i>Tensão AC entre dreno e fonte</i>
v_g	<i>Tensão AC de porta</i>
v_{ocm}	<i>Tensão AC de saída de modo comum</i>
v_s	<i>Tensão AC de fonte</i>
dB	<i>Decibel</i>
k_p	<i>Constante de Boltzmann</i>
L	<i>Comprimento do canal</i>
Q	<i>Carga do elétron</i>
T	<i>Temperatura absoluta</i>
W	<i>Largura do canal</i>
α	<i>Fator de inclinação em inversão forte</i>
γ	<i>Coeficiente de modulação de efeito de corpo</i>
μ	<i>Mobilidade</i>

Sumário

1	Introdução.....	11
1.1	Justificativas.....	12
1.2	Objetivos.....	13
1.3	Estrutura do Trabalho	13
2	Revisão Teórica	14
2.1	Amplificador Diferencial.....	14
2.1.1	<i>Análise de Modo Diferencial.....</i>	<i>16</i>
2.1.2	<i>Análise de Modo Comum</i>	<i>19</i>
2.1.3	<i>Razão de Rejeição em Modo Comum (CMRR).....</i>	<i>21</i>
2.2	Amplificador Diferencial em Inversão Forte.....	22
2.3	Amplificador de Transcondutância – OTA.....	25
3	O Amplificador de Transcondutância Proposto	27
3.1	Estratégias para o Controle de Modo Comum.....	27
3.2	O OTA Simétrico com Nível DC Deslocado Acionado pela Porta.....	30
3.3	O OTA Simétrico com Melhoria da CMRR.....	33
3.3.1	<i>O Extrator do Modo Comum.....</i>	<i>33</i>
3.3.2	<i>O Amplificador de Modo Comum</i>	<i>34</i>
3.3.3	<i>Topologia Proposta.....</i>	<i>35</i>
4	Especificação, Projeto e Simulação do OTA Proposto	37
4.1	Especificação do OTA Simétrico com Melhoria da CMRR.....	37
4.2	Projeto do OTA Simétrico com Melhoria da CMRR	38
4.3	Simulações do OTA Simétrico com Melhoria da CMRR	40
4.4	Análise comparativa do OTA Simétrico com Melhoria da CMRR.....	48
4.5	Layout do OTA Simétrico com Melhoria da CMRR	49
5	Conclusão.....	50
	Apêndice	51
	Referências	52

1 Introdução

Os avanços tecnológicos são um dos aspectos primordiais da sociedade moderna, uma vez que a questão tecnológica está fortemente ligada ao desenvolvimento da nação, e, conseqüentemente, ao bem-estar social e econômico. Nos dias de hoje, é notável o crescente avanço na indústria de semicondutores e a ampla utilização de circuitos eletrônicos que visam facilitar e melhorar a qualidade de vida do ser humano, desde computadores e sistemas de automação, a equipamentos de comunicação sem fio e aplicativos de internet das coisas (IoT, do inglês, *Internet of Things*) em que a conectividade com a *web* é obrigatória, tais como dispositivos móveis, como telefones celulares, nós de redes de sensores, circuitos biomédicos e dispositivos autônomos cuja fonte de alimentação vem da captação de energia [1]-[4].

O aumento na demanda por dispositivos portáteis alimentados por baterias ou fonte de energia renovável que exigem circuitos eletrônicos cada vez menores, de baixa potência e baixas tensões de alimentação, visam maior autonomia, máxima eficiência e baixo custo [5]-[7]. Nesse sentido, o avanço na fabricação de circuitos integrados (CIs), viabilizou o desenvolvimento de circuitos eletrônicos com altos níveis de complexidade e baixo consumo de potência como os dispositivos portáteis para aplicação biomédica que vem crescendo a cada dia [3], [8], [9].

O processamento de sinais biomédicos consiste basicamente de um sistema composto de transdutor, seguido de amplificador, conversor analógico-digital e um bloco de dados [3]. O amplificador é responsável por condicionar o sinal a ser processado, uma vez que os sinais obtidos na saída do transdutor possuem baixas amplitudes e, portanto, necessitam de alto ganho [3], [8], [11]. Além disso, quando o amplificador é alimentado em baixas tensões, a etapa de amplificação torna-se mais suscetível a sinais parasitas que podem ser inseridos nas entradas do amplificador na forma de modo comum [3], [8]. Assim, para melhorar a rejeição de modo comum nos amplificadores biomédicos, é comum verificar na literatura o uso de amplificadores diferenciais MOS [1]-[9].

Uma das características mais importante no amplificador diferencial é a alta razão de rejeição de modo comum (CMRR, *Common Mode Rejection Ratio*), sendo a configuração de par diferencial mais amplamente usada no estágio de entrada dos circuitos de aplicações biomédicas, uma vez que, muitos dispositivos de biosinais possuem o referencial no terra [3], [14]. Assim, sinais de modo comum são detectados no transdutor (eletrodos) em consequência do acoplamento capacitivo entre o corpo humano e a rede elétrica local [12]-[14]. Por isso, é

importante que o par diferencial tenha um alto valor de CMRR, a fim de eliminar os sinais de modo comum desde o início da amplificação [3].

O amplificador operacional de transcondutância (OTA, *Operational Transconductance Amplifier*) é um exemplo de circuito analógico que está sendo largamente utilizado em aplicações biomédicas pois possuem, obrigatoriamente, a configuração de um par diferencial em seu estágio de entrada [15]-[19]. Assim, para atender as demandas no aumento de dispositivos portáteis mais eficientes, novas estruturas OTAS estão sendo projetadas com alta linearidade e baixo consumo de energia, como a topologia OTA simétrico [17]-[19].

1.1 Justificativas

No projeto e construção de circuitos integrados com transistores MOS para aplicações biomédicas têm sido exigidas e introduzidas, cada vez mais, novas topologias que visem aumentar o valor da CMRR, além de possuir baixa tensão e baixa potência. Algumas técnicas são usadas nos circuitos MOS para aumentar a CMRR. As mais usadas são as de modo comum do tipo *feedback* – CMFB e as de modo comum do tipo *feedforward* – CMFF [20].

Trabalhos recentes oferecem diferentes estratégias para aumentar a CMRR nesses amplificadores. Centurelli [21] propôs um amplificador OTA totalmente diferencial classe AB auxiliar simples de baixa corrente, onde é gerado um sinal proporcional ao componente de modo comum que é usado para modular a tensão de polarização. Centurelli [22] também propôs um circuito OTA totalmente diferencial classe AB com *feedback* local que explora nós internos e transistores triodais para melhorar a CMRR. Pankiewicz [23] propôs um OTA com um circuito de resistência negativa e efeito *bulk*. Em Zhang [24] foi utilizado um amplificador de *feedback* capacitivo de baixo ruído e baixa potência baseado em um OTA reutilizado de corrente. E em Chunfeng [25] foi usado um circuito de *feedback* de banda larga baseado em um OTA e amplificador de corrente.

Embora haja mais trabalhos na literatura de circuitos analógicos com transistores em inversão fraca quando se considera aplicações de baixa tensão e baixa potência, a relação exponencial de corrente em fraca inversão confere maior sensibilidade [26]. Portanto, justifica-se a obtenção de um circuito OTA de baixa potência com melhoria da CMRR em inversão forte para aplicações que necessitem de resposta em frequência mais ampla e menor descasamento de corrente por exemplo, uma vez que a relação de transcondutância quadrática resulta em menor sensibilidade.

1.2 Objetivos

O objetivo geral deste trabalho é propor uma topologia de um Amplificador Operacional de Transcondutância (OTA) de baixa potência para a melhoria da Razão de Rejeição de Modo Comum (CMRR), onde os transistores operam em inversão forte.

Os objetivos específicos são:

- a) Realizar uma revisão teórica da CMRR em amplificador diferencial;
- b) Propor uma topologia para incrementar a CMRR no amplificador de transcondutância CMOS de baixa potência;
- c) Simular o circuito com a topologia proposta;
- d) Analisar e validar o circuito.

1.3 Estrutura do Trabalho

O trabalho está organizado em 5 capítulos, sendo o primeiro introdutório.

No Capítulo 2 são apresentados alguns conceitos fundamentais, discutindo o comportamento do amplificador diferencial com análise em pequenos sinais e modo de operação em inversão forte com o objetivo de fundamentar o desenvolvimento deste trabalho.

O Capítulo 3 apresenta as equações que modelam o comportamento do par diferencial configurado para o OTA simétrico e os circuitos adicionais necessários para o funcionamento das estratégias propostas para a compensação da CMRR.

O Capítulo 4 apresenta o projeto e os resultados da simulação de Monte Carlo e *Corner* das topologias do OTA simétrico com e sem compensação da estratégia de controle no modo comum, bem como o layout do OTA simétrico com melhoria da CMRR.

No Capítulo 5 são apresentadas as principais conclusões obtidas no desenvolvimento deste trabalho, assim como, as perspectivas de trabalhos futuros.

2 Revisão Teórica

Neste Capítulo, são apresentadas algumas estruturas básicas para amplificadores diferenciais. São obtidas equações que modelam o comportamento do amplificador em modo diferencial e modo comum para análise da CMRR. Também, são obtidas equações que modelam o amplificador diferencial no modo de inversão forte. Por fim, são apresentadas algumas topologias do par diferencial em amplificadores operacionais de transcondutância.

2.1 Amplificador Diferencial

A grande maioria dos circuitos integrados projetados e fabricados em tecnologia CMOS, sejam para aplicações analógicas ou digitais, faz uso de amplificadores diferenciais. Circuitos como amplificadores operacionais de tensão (AO) e amplificadores operacionais de transcondutância (OTA) possuem, obrigatoriamente, a configuração de um par diferencial em seu estágio de entrada, a fim de amplificar a diferença de dois sinais de entrada [15]-[19]. Nesse sentido, diversas topologias para amplificadores diferenciais têm sido propostas na literatura, visando obter uma boa faixa linear, baixo consumo de potência e tensão de alimentação, maior excursão do sinal, melhor desempenho de resposta e menor ruído, dentre outros.

Na Figura 1 é apresentado um par diferencial básico MOS implementado com dois transistores n MOS casados, M_1 e M_2 , onde as fontes estão ligadas e polarizadas por uma fonte de corrente constante I_B [15]-[17].

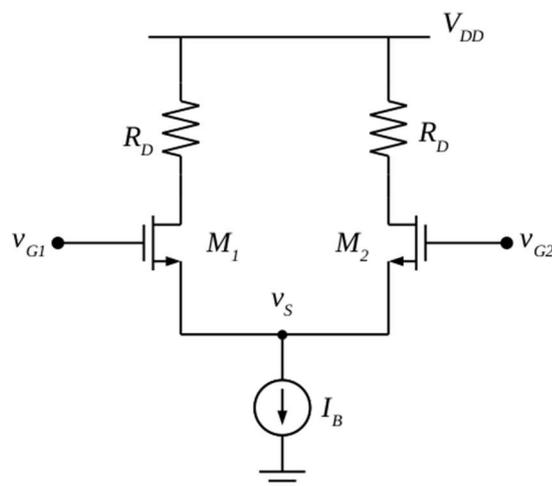


Figura 1 – Configuração básica de um par diferencial MOS [16].

Na Figura 2 é mostrado o par diferencial MOS com carga ativa [15]-[17]. O circuito também é chamado de estágio de entrada diferencial e consiste de um par diferencial simétrico com MOS formado pelos transistores n MOS, M_1 e M_2 , responsável pela conversão tensão-corrente, e polarizado com um espelho de corrente composto pelo par simétrico de transistores p MOS, M_3 e M_4 , que forma uma carga ativa.

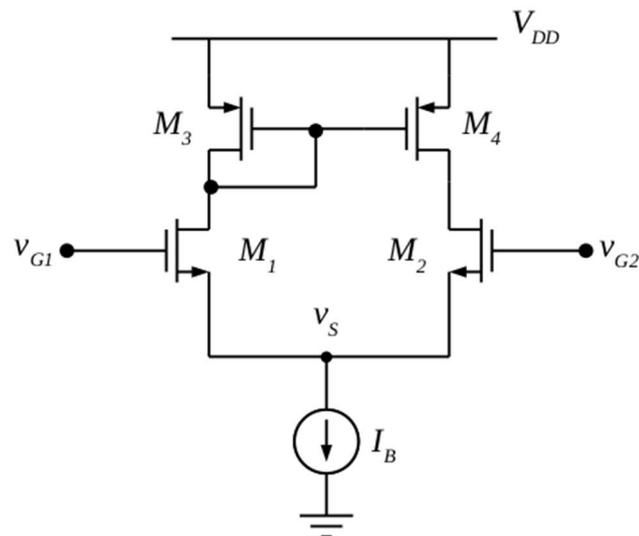


Figura 2 – Par diferencial MOS com carga ativa [16].

Na Figura 3a é apresentado um par diferencial PMOS simétrico acionado pela porta dos transistores de entrada [3]. Onde M_1 e M_2 representam os transistores de entrada, M_3 e M_4 são usados como carga ativa e M_5 e M_6 formam a fonte de corrente do par diferencial. A Figura 3b mostra o modelo de pequeno sinal.

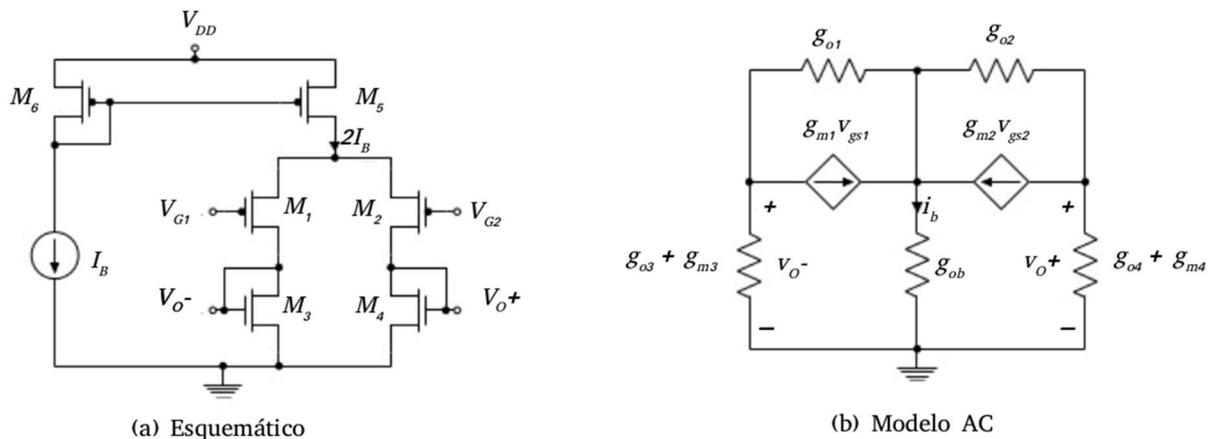


Figura 3 – Par diferencial PMOS simétrico acionado pela porta.

Dentre as características mais importantes dos amplificadores diferenciais, pode-se destacar: ganhos de tensão em modo diferencial e modo comum; impedâncias de entrada e saída; excursão da tensão de saída (que deve ser a maior possível dentro dos limites da tensão de alimentação); e razão de rejeição de modo comum (CMRR) [17]-[19].

No texto desta dissertação se dará ênfase apenas as características do par diferencial com análise a pequenos sinais, onde predomina os aspectos para a melhoria da CMRR, sendo o foco de estudo para a elaboração do circuito de Amplificador de transcondutância em proposição.

2.1.1 Análise de Modo Diferencial

Nesta seção, a análise do circuito do par diferencial simétrico a pequenos sinais para a determinação do ganho de tensão em resposta ao sinal diferencial de entrada será realizado por meio do uso do método de meio circuito. O conceito de meio circuito pode ser aplicado quando um par diferencial completo detecta as entradas de forma diferencial, ou seja, as duas entradas mudam de igual amplitude e sinal em relação a uma condição de equilíbrio [15], [16].

A corrente i_D de um par diferencial se baseia na simetria da corrente I_B que se divide entre os dois transistores M_1 e M_2 que estão casados, assim, cada transistor está polarizado com corrente contínua que pode ser modelada pela equação (2.1), onde o modelo está referenciado ao par diferencial [16], [17], conforme a Figura 1. O par também apresenta tensão de entrada (sobretensão) V_{OV} .

$$i_{D1} = i_{D2} = \frac{I_B}{2} \quad (2.1)$$

O sinal de modo diferencial de entrada é obtido a partir da análise nodal do circuito e dado na equação (2.2). O parâmetro v_d é a tensão de entrada diferencial [15], [16].

$$v_d = v_{G1} - v_{G2} \quad (2.2)$$

O sinal de modo comum de entrada é dado na equação (2.3). Onde, V_{CM} é a tensão de modo comum de entrada contínua dentro da faixa do modo comum do amplificador diferencial [15], [16].

$$V_{CM} = \frac{(v_{G1} + v_{G2})}{2} \quad (2.3)$$

Baseado nas equações (2.3) em (2.2), as tensões de entrada do par diferencial MOS podem ser modeladas conforme mostram as equações (2.4) e (2.5) [15], [16].

$$v_{G1} = V_{CM} + \frac{v_d}{2} \quad (2.4)$$

$$v_{G2} = V_{CM} - \frac{v_d}{2} \quad (2.5)$$

Tipicamente, V_{CM} é a metade do valor de tensão da fonte de alimentação. O valor de V_{CM} é igual a 0V em um circuito onde as fontes de alimentação têm o mesmo módulo e são de polaridades opostas. Em razão dessa simetria do circuito, o sinal da fonte comporta-se como um terra virtual. E as correntes de dreno são proporcionais a v_{G1} e v_{G2} . Assim, a corrente de dreno de M_1 terá um incremento de $g_m(v_d/2)$ e a corrente de dreno de M_2 um decréscimo de $g_m(v_d/2)$ [16].

A transcondutância g_m dos transistores M_1 e M_2 polarizados com a mesma corrente é apresentada na equação (2.6), onde é dada pela razão entre a corrente de saída e a tensão de entrada (sobretensão) [3], [16].

$$g_m = \frac{2i_D}{V_{OV}} = \frac{2(I_B/2)}{V_{OV}} = \frac{I_B}{V_{OV}} \quad (2.6)$$

É importante ressaltar que um sinal está aplicado entre os terminais de porta dos transistores sem o capacitor de passagem, sendo uma grande vantagem da configuração par diferencial [16]. O par diferencial estabelece correntes complementares nos drenos. Logo, as tensões de dreno, podem ser obtidas a partir da corrente que passa por um par de resistores casados do dreno, definido como R_D , conforme mostra as equações (2.7) e (2.8) [15], [16].

$$v_{o1} = -g_m + \frac{v_d}{2} R_D \quad (2.7)$$

$$v_{o2} = +g_m - \frac{v_d}{2} R_D \quad (2.8)$$

Assim, o ganho é resultado da saída de cada dreno em relação ao terra, conforme dado nas equações (2.9) e (2.10) [15], [16].

$$\frac{v_{o1}}{v_d} = -\frac{1}{2} g_m R_D \quad (2.9)$$

$$\frac{v_{o2}}{v_d} = \frac{1}{2} g_m R_D \quad (2.10)$$

Assim, a equação (2.11) pode ser escrita com base das equações (2.9) e (2.10), a fim de obter o ganho da saída diferencial entre os drenos [16].

$$|A_d| = \frac{v_{o2} - v_{o1}}{v_d} = g_m R_D \quad (2.11)$$

Neste trabalho, o OTA simétrico em proposição será baseado na arquitetura do par diferencial simétrico acionado pela porta. Dessa maneira, se faz necessário modelar também as equações básicas para essa estrutura. Para análise de modo diferencial é considerado que a corrente i_b na Figura 3b é nula, como consequência da simetria da topologia [3].

A transcondutância do par diferencial simétrico acionado pela porta dos transistores de entrada é dada na equação (2.12) e considerando que os valores de condutância de saída dos transistores M_1 e M_3 são pequenos, o valor aproximado está expresso na equação (2.13) [3].

$$g_m = -\frac{g_{m1}(g_{o3} + g_{m3})}{g_{o1} + g_{o3} + g_{m3}} \quad (2.12)$$

$$g_m = -g_{m1} \quad (2.13)$$

Assim, a equação (2.14) mostra o ganho de modo diferencial do par diferencial simétrico acionado pela porta, baseado no cálculo da relação entre a tensão de saída e a tensão de entrada [3]. E se considerar que os valores de condutância de saída dos transistores M_1-M_2 e M_3-M_4 são pequenos, o ganho de modo diferencial pode ser expressado conforme mostra a equação (2.15).

$$|A_d| = -\frac{g_{m1}}{g_{o1} + g_{o3} + g_{m3}} \quad (2.14)$$

$$|A_d| = -\frac{g_{m1}}{g_{m3}} \quad (2.15)$$

2.1.2 Análise de Modo Comum

Como visto na seção anterior, o V_{CM} é a tensão contínua dos terminais de entrada. E em razão da simetria do circuito da Figura 1, o circuito pode ser analisado em duas partes idênticas. Cada metade, conhecida como meio circuito de modo comum, é um MOSFET polarizado com corrente $I_B/2$ que possui resistência de degeneração $2R_{SS}$ [15], [16]. Por isso, o ganho de tensão em modo comum de cada um dos meios circuitos idênticos é expresso na equação (2.16). E aproximando $R_{SS} \gg 1/g_m$, tem-se a equação (2.17) [15], [16].

$$\frac{v_{o1}}{V_{CM}} = \frac{v_{o2}}{V_{CM}} = -\frac{R_D}{\frac{1}{g_m} + 2R_{SS}} \quad (2.16)$$

$$\frac{v_{o1}}{V_{CM}} = \frac{v_{o2}}{V_{CM}} \cong -\frac{R_D}{2R_{SS}} \quad (2.17)$$

Portanto, considerando a saída do par diferencial em relação ao dreno individual e o referencial terra, tem-se o ganho de tensão em modo comum na equação (2.18) [16].

$$|A_{cm}| = \frac{R_D}{2R_{SS}} \quad (2.18)$$

Também se faz necessário modelar as equações básicas para análise de modo comum do par diferencial simétrico acionado pela porta. Assim, a equação (2.19) expressa o ganho de modo comum para a entrada pela porta dos transistores [3]. E se os valores de transcondutância de saída de M_1 - M_2 e M_3 - M_4 são pequenos, o ganho de modo comum pode ser expressado conforme mostra a equação (2.20).

$$|A_{cm}| = -\frac{g_{ob}g_{m1}}{g_{ob}(g_{o1} + g_{o3} + g_{m3}) + 2g_{m1}(g_{o3} + g_{m3})} \quad (2.19)$$

$$|A_{cm}| = -\frac{g_{ob}g_{m1}}{g_{ob}g_{m3} + 2g_{m1}g_{m3}} \quad (2.20)$$

Anteriormente, foi considerado que a corrente i_b é nula e, a tensão v_{bs} também é nula, quando o par diferencial for acionado pela porta dos transistores [3]. Mas no caso de uma tensão v_{bs} diferente de zero, a tensão de saída de modo comum será expressa conforme a equação (2.21) e, se os valores de transcondutância de saída de M_1 - M_2 e M_3 - M_4 são pequenos, pode ser expressado segundo a equação (2.22).

$$v_{ocm} = -\frac{g_{ob}(g_{m1}v_g + g_{mb1}v_b)}{g_{ob}(g_{o1} + g_{o3} + g_{m3}) + 2(g_{m1} + g_{mb1})(g_{o3} + g_{m3})} \quad (2.21)$$

$$v_{ocm} = -\frac{g_{ob}(g_{m1}v_g + g_{mb1}v_b)}{g_{ob}g_{m3} + 2g_{m3}(g_{m1} + g_{mb1})} \quad (2.22)$$

A equação da tensão de saída de modo comum mostra que existe uma relação entre as tensões v_g e v_b , conforme mostra a equação (2.23), onde v_{ocm} é nulo e como consequência a CMRR será máxima.

$$g_{m1}v_g = -g_{mb1}v_b \quad (2.23)$$

2.1.3 Razão de Rejeição em Modo Comum (CMRR)

A rejeição a sinais de modo comum (CMRR), é um dos aspectos mais importantes nos amplificadores diferenciais. “A CMRR é definida como a razão entre uma tensão de saída produzida por uma tensão diferencial e a tensão de saída gerada por um sinal em modo comum, ambas de igual amplitude” [3]. A razão de rejeição em modo comum é dada pela equação (2.24), onde A_d é o ganho de modo diferencial e A_{cm} é o ganho de modo comum.

$$CMRR = \frac{|A_d|}{|A_{cm}|} \quad (2.24)$$

Portanto, considerando o ganho de tensão de saída entre dreno individual e terra do modo diferencial conforme a equação (2.10) e equação do modo comum (2.18), obtém-se para o par diferencial, a CMRR expressa na equação (2.25) e na equação (2.26) a CMRR expressa em unidades de dB.

$$CMRR = g_m R_{SS} \quad (2.25)$$

$$CMRR = 20 \log \left(\frac{A_d}{A_{cm}} \right) \quad (2.26)$$

Algumas considerações dos modelos matemáticos obtidos do par diferencial simétrico devem ser feitas. Assim, sabendo que a expressão para calcular a CMRR é apresentada na equação (2.26), e considerando que quando a tensão v_{ocm} for nula a CMRR será máxima, mesmo que formalmente nesse caso a CMRR, segundo o modelo matemático, não existe. É possível falar de CMRR máxima considerando que as expressões de A_d e A_{cm} são aproximações de primeira ordem [3].

Portanto, para a topologia do OTA simétrico em proposição será considerado como estratégia para aumentar a CMRR o efeito de anular a tensão v_{ocm} . E o amplificador onde foi aplicada a estratégia como compensado.

2.2 Amplificador Diferencial em Inversão Forte

Os circuitos com amplificadores diferenciais com transistores operando em inversão forte são amplamente usados como estágio de entrada de amplificadores de transcondutância. As principais vantagens de operação em inversão forte, quando comparada à inversão fraca e moderada, são: menor descasamento, maior excursão de sinal de entrada e ampla resposta em frequência [18]-[20].

O modelamento matemático da corrente I_{DS} operando em inversão forte é expressa por (2.27). Nota-se que a corrente é uma função parabólica da tensão V_{DS} , e cujo máximo ocorre no valor de V_{DS} onde $dI_{DS}/dV_{DS} = 0$. A partir deste ponto, a corrente deve se manter constante, pois o canal está estrangulado. Este valor de V_{DS} define o início da região de saturação [18]-[20].

$$\begin{cases} I_{DS} = k_p \frac{W}{L} \left[(V_{GS} - V_T)V_{DS} - \frac{\alpha}{2} V_{DS}^2 \right] \\ k_p = \mu C'_{ox} \\ V_T = V_{T0} + \gamma (\sqrt{2\phi_F + V_{SB}} - \sqrt{2\phi_F}) \\ \alpha = 1 + \frac{\gamma}{2\sqrt{2\phi_F + V_{SB}}} \end{cases} \quad (2.27)$$

Aplicando a condição de $dI_{DS}/dV_{DS} = 0$ à equação (2.27), tem-se que a tensão de saturação é dada por (2.28). E substituindo (2.28) na equação (2.27), obtém-se a corrente de saturação dada pela equação (2.29).

$$\frac{dI_{DS}}{dV_{DS}} = 0 \rightarrow V_{DSat} = \frac{V_{GS} - V_T}{\alpha} \quad (2.28)$$

$$I_{DS} = \frac{k_p W}{2\alpha L} (V_{GS} - V_T)^2 \quad (2.29)$$

Na Figura 4 é apresentado o par diferencial MOS implementado com transistores n MOS. O parâmetro I_B é a corrente de polarização, V_{CM} é a tensão de modo comum de entrada, v_d é a tensão de entrada diferencial e i_o é a corrente de saída diferencial.

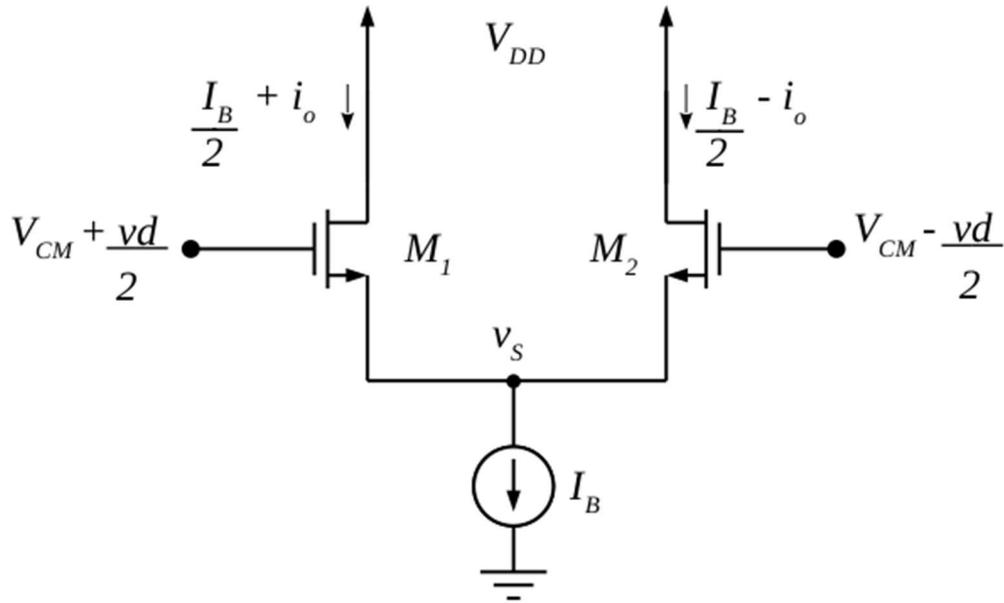


Figura 4 – Par diferencial com transistores n MOS [19].

A relação entre i_o e v_d pode ser modelada por meio da análise nodal do circuito da Figura 4 e do modelo I_{DS} simplificado dado na equação (2.29), obtida a partir sistema de equações em (2.30), onde $\beta = k_p W/L$ [18]-[20].

$$\begin{cases} \frac{I_B}{2} + i_o = \frac{\beta}{2\alpha} \left(\frac{v_d}{2} - v_s - V_T \right)^2 \\ \frac{I_B}{2} - i_o = \frac{\beta}{2\alpha} \left(-\frac{v_d}{2} - v_s - V_T \right)^2 \end{cases} \quad (2.30)$$

A solução desse sistema fornece a corrente diferencial dada na equação (2.31).

$$i_o = \frac{v_d \sqrt{4I_B \beta \alpha - \beta^2 v_d^2}}{4\alpha} \quad (2.31)$$

A transcondutância g_m é obtida pela derivada da corrente de saída em relação à tensão de entrada, $g_m = \partial i_o / \partial v_d$, conforme expressa na equação (2.32) [19], [20].

$$g_m = \frac{\beta(2\alpha I_B - \beta v_d^2)}{2\sqrt{\beta(4\alpha I_B - \beta v_d^2)}} \quad (2.32)$$

O gráfico da transcondutância em função de v_d é apresentado na Figura 5.

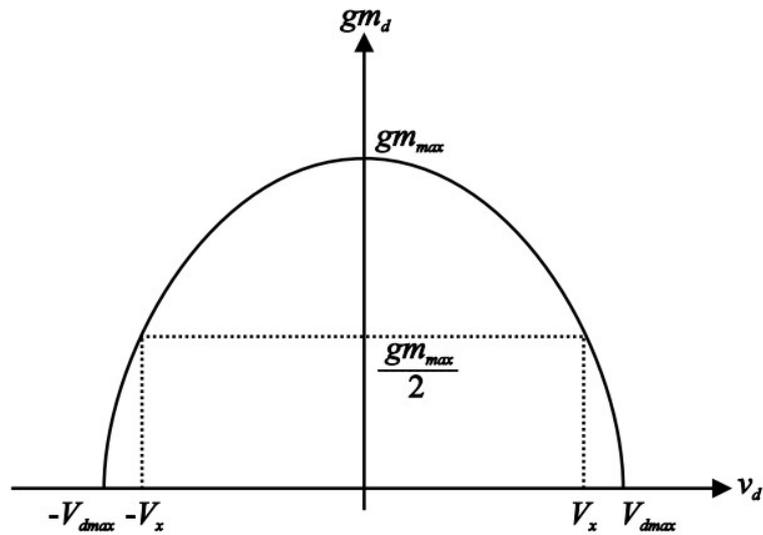


Figura 5 – Gráfico da transcondutância em função de v_d [19].

A partir do gráfico, pode-se observar que a transcondutância alcança o valor máximo $g_{m_{max}}$ quando $v_d = 0$, e diminui com o aumento do módulo de v_d , até igualar-se a zero em $v_d = \pm V_{dmax}$ [19], [20]. Os valores de $g_{m_{max}}$ e V_{dmax} encontram-se nas equações (2.33) e (2.34), respectivamente.

$$g_{m_{max}} = \frac{1}{2} \sqrt{\frac{\beta I_B}{\alpha}} \quad (2.33)$$

$$V_{d_{max}} = \sqrt{\frac{2\alpha I_B}{\beta}} \quad (2.34)$$

A operação em inversão forte impõe restrições em relação ao valor máximo da razão W/L e ao valor mínimo da corrente de polarização I_B . Assim, a fim de garantir a predominância de inversão forte, o coeficiente de inversão de cada transistor deve ser superior a um valor mínimo pré-determinado [18]-[20]. Baseado na corrente específica, definida por $I_{ESP} = 2\pi\phi_T^2\beta$, e considerando $n \cong \alpha$, a partir da equação (2.33) obtém-se as relações das restrições em inversão forte, conforme mostra as equações (2.35) e (2.36).

3 O Amplificador de Transcondutância Proposto

Neste capítulo é apresentado uma relação para aumentar a CMRR, utilizando a topologia de compensação porta-porta. Além disso, é mostrado a topologia e o modelo AC do OTA simétrico acionado pela porta dos transistores de entrada que é utilizado como base para o OTA simétrico proposto. São apresentados os circuitos adicionais necessários para complementar a estratégia de compensação do OTA simétrico com melhoria da CMRR, bem como o resultado da topologia desse OTA compensado.

3.1 Estratégias para o Controle de Modo Comum

A relação entre a tensão de porta e substrato dos transistores de entrada para a estratégia do controle de modo comum obtidos a partir da tensão de saída, conforme mostra a equação (2.23), implica em uma estratégia onde se faz necessário um circuito adicional em paralelo. Assim, para a compensação foi escolhido como entrada do par diferencial a porta dos transistores e para o controle de modo comum também a porta, satisfazendo sempre a relação da equação (2.23) [3]. A Figura 8 mostra o modelo ideal AC da estratégia para compensação de modo comum, onde g_m é a transcondutância dos transistores de entrada e a fonte de corrente dependente $g_m v_{cm}$ é oposta ao sinal de modo comum de entrada.

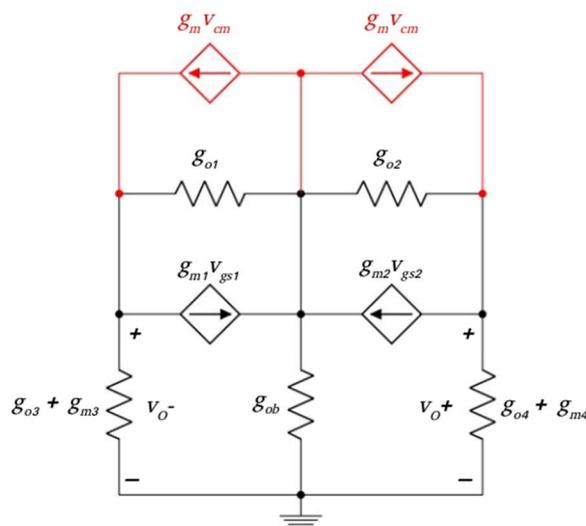


Figura 8 – Modelo ideal AC da estratégia.

comum a condutância de saída dos transistores de entrada é duplicada, porém, o valor de transcondutância se mantém o mesmo.

$$g_m = I_{DS} \sqrt{\frac{2\mu C'_{ox} \frac{W}{L}}{\alpha I_{DS}}} \quad (3.1)$$

$$g_o = I_{DS} \lambda \quad (3.2)$$

As equações de ganho de modo comum da Tabela 1 dependem do parâmetro E_{ext} , que é o erro absoluto na relação para a compensação [3]. Assim, para a topologia porta-porta o erro é dado conforme a equação (3.3).

$$E_{ext} = \left| \frac{v_c}{v_{cm}} - 1 \right| \quad (3.3)$$

Para o pior caso da compensação ($v_c = 0$), o erro, E_{ext} , seria igual ao valor absoluto da sua relação para compensação e como consequência o valor mínimo da CMRR nunca será menor que a CMRR do par diferencial sem compensação. Assim, conforme a Tabela 1, pode-se observar também que quanto menor o valor do E_{ext} maior será a CMRR do par diferencial compensado.

Tabela 1 – Equações do par diferencial compensado.

Topologia	porta-porta
Relação	- 1
A_d	$-\frac{g_{m1}}{2(g_{o1} + g_{o3} + g_{m3})}$
A_{cm}	$-\frac{g_{ob}g_{m1}E_{ext}}{2g_{ob}(g_{o1} + g_{o3} + g_{m3}) + 4g_{m1}(g_{o3} + g_{m3})}$
CMRR	$\frac{1}{E_{ext}} \left(1 + \frac{2g_{m1}(g_{o3} + g_{m3})}{g_{ob}(g_{o1} + g_{o3} + g_{m3})} \right)$
G_m	$-\frac{g_{m1}(g_{o3} + g_{m3})}{g_{o1} + g_{o3} + g_{m3}}$

Um aspecto interessante decorrente das equações da CMRR na Tabela 1, é a capacidade do par diferencial compensado controlar o modo comum sem a necessidade da fonte de corrente de polarização. A equação (3.4) mostra que ao excluir a fonte de corrente de polarização no par diferencial simétrico, ocorre a perda do controle de modo comum. Enquanto a equação (3.5) apresenta a CMRR para o par diferencial com compensação.

$$CMRR = 1 + \lim_{g_{ob} \rightarrow \infty} \frac{2g_{m1}(g_{o3} + g_{m3})}{g_{ob}(g_{o1} + g_{o3} + g_{m3})} = 1 \quad (3.4)$$

$$CMRR = \frac{1}{E_{ext}} \lim_{g_{ob} \rightarrow \infty} \left(1 + \frac{2g_{m1}(g_{o3} + g_{m3})}{g_{ob}(g_{o1} + g_{o3} + g_{m3})} \right) = \frac{1}{E_{ext}} \quad (3.5)$$

3.2 O OTA Simétrico com Nível DC Deslocado Acionado pela Porta

A Figura 10 apresenta a topologia do circuito amplificador de transcondutância simétrico com nível DC deslocado e par diferencial acionado pela porta dos transistores de entrada, esta é uma das quatro topologias propostas por Sánchez [3] que utilizou a topologia de Cotrim [27] como base de sua tese, testando as topologias em inversão fraca. Como este trabalho é inversão forte foi utilizada a topologia em que o par diferencial é acionado pela porta dos transistores de entrada. Onde T_1 e T_2 representam os transistores de entrada, T_{3b} e T_{4b} são os deslocadores de nível DC que estão ligados em série com os transistores T_{3a} e T_{4a} que formam a carga ativa, T_5 e T_6 polarizam a carga ativa e T_7 e T_8 são usados como fonte de corrente do par diferencial. Os pares de transistores $T_{3a}-T_{3b}$, $T_{4a}-T_{4b}$, $T_{9a}-T_{9b}$ e $T_{10a}-T_{10b}$ formam transistores MOS compostos, que permitem que o par diferencial com carga ativa e o amplificador de porta comum sejam polarizados pelo mesmo potencial, dispensando a necessidade de fontes de polarização adicionais, resultando em uma topologia de circuito simplificada.

Para analisar o modelo AC do OTA simétrico com nível DC deslocado acionado pela porta mostrado na Figura 11, se considera a análise do par diferencial simétrico em modo diferencial, onde a corrente i_b é nula. Assim, o ganho de tensão de modo diferencial é determinado a partir da relação entre a tensão de saída e a tensão de entrada. Portanto, aplicando-se a transformada de *Laplace* e desprezando-se as capacitâncias parasitas devido ao seu pequeno valor, obtém-se na equação (3.6) o ganho diferencial para a entrada pela porta dos transistores. E se considerar que os valores de transcondutância de saída de T_1-T_2 , $T_{3b}-T_{4b}$ e T_5-T_6 são desprezíveis o ganho de modo diferencial pode ser expressado pela equação (3.7).

$$A_{dm} = - \frac{g_{m1}}{\frac{g_{o10b}+g_{o12a}+g_{o12b}}{g_{m10b}+g_{mb10b}+g_{o10b}} g_{o10a} + (g_{o12a} + g_{o12b})} \quad (3.6)$$

$$A_{dm} = - \frac{g_{m1}}{g_{o10} + g_{o12}} \quad (3.7)$$

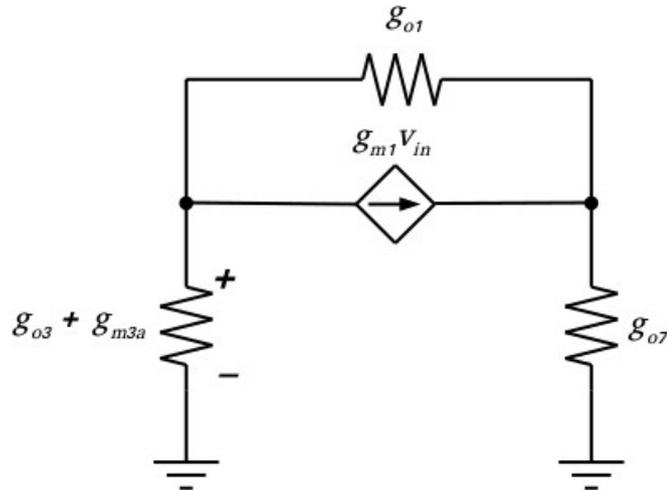


Figura 12 – Modelo AC do OTA simétrico com nível DC deslocado acionado pela porta para análise em modo comum.

Para análise de pequeno sinal do modo comum do OTA simétrico com nível DC deslocado acionado pela porta, considera-se a análise do par diferencial simétrico em modo comum conforme mostra a Figura 12, onde a corrente i_b é não nula. A equação (3.8) mostra o ganho de modo comum do par diferencial acionado pela porta. E se considerar que os valores de condutância de saída de T_1-T_2 , $T_{3b}-T_{4b}$ e T_5-T_6 são pequenos o ganho de modo comum pode ser expressado conforme mostra a equação (3.9).

$$A_{cm} = -\frac{-g_{o7}g_{m1}}{-g_{o7}(g_{o1} + g_{o3} + g_{m3a}) + 2g_{m1}(g_{o3} + g_{m3a})} \quad (3.8)$$

$$A_{cm} = \frac{g_{o7}g_{m1}}{g_{m3a}(2g_{m1} - g_{o7})} \quad (3.9)$$

Vale ressaltar que a CMRR na topologia do OTA simétrico com carga ativa deslocada acionado pela porta pode ser aumentada com o uso da estratégia proposta, já que a diferença entre o circuito amplificador original (Figura 7) e esta modificada (Figura 10) é na topologia da carga ativa. Portanto, a estratégia para o controle de modo comum visto na seção 3.1 será aplicado a essa topologia do OTA simétrico modificado para a construção do OTA simétrico com melhoria da CMRR.

3.3 O OTA Simétrico com Melhoria da CMRR

3.3.1 O Extrator do Modo Comum

Para o projeto do OTA simétrico com CMRR melhorado, é preciso extrair a tensão de modo comum na entrada do amplificador que será baseada nas relações das estratégias mostradas na Tabela 1. Essa extração é necessária para inserir a tensão V_c para controle de modo comum como pode ser observado na figura 9, onde é apresentado o controle de modo comum. A Figura 13a mostra o circuito extrator do modo comum, que é um par diferencial simétrico sem carga ativa, onde a entrada do extrator do modo comum é diferencial e sua saída é simples, localizada na fonte dos transistores T_1 e T_2 . E a Figura 13b mostra o modelo AC do extrator do modo comum, no qual a saída do circuito é a tensão no resistor g_{ob} .

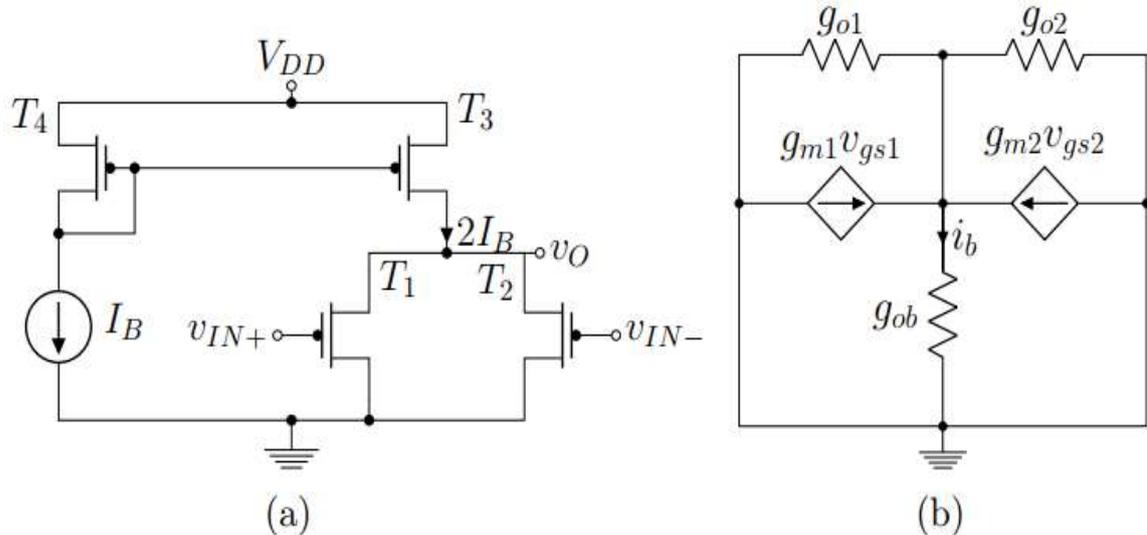


Figura 13 – Extrator do modo comum acionado pela porta (a) circuito e (b) modelo AC.

Conforme a análise da Figura 13b, tem-se que a razão entre a tensão no resistor g_{ob} e a tensão de entrada de modo comum resulta no ganho do extrator comum, que pode ser expressado como mostra a equação (3.10). Nota-se, que se os valores de condutância de saída de T_1 - T_2 e T_3 não são pequenas o valor do ganho não se aproxima do desejado. Assim, a eliminação da carga ativa faz com que a V_{DS} de T_1 e T_2 seja maior, diminuindo o valor da condutância de saída.

$$A_{ext} = \frac{2g_{m1}}{2g_{m1} + 2g_{o1} + g_{o3}} \quad (3.10)$$

3.3.2 O Amplificador de Modo Comum

Além do circuito da extração da tensão de modo comum de entrada para o projeto do OTA simétrico em proposição, também é necessária uma etapa de amplificação para garantir a relação de compensação do par diferencial simétrico. Portanto, será utilizado o circuito apresentado na seção 3.1 da estratégia para o controle do modo comum. A Figura 9 mostra o circuito do amplificador do modo comum para a topologia com entrada pela porta e compensação pela porta e a Figura 8 apresenta o modelo de pequeno sinal deste circuito.

3.3.3 Topologia Proposta

A Figura 14, apresenta a topologia do OTA simétrico com melhoria da CMRR acionado e compensado pela porta dos transistores de entrada. O circuito foi modificado da arquitetura apresentada na Figura 10 com a inclusão de dois transistores na entrada e um circuito extrator de modo comum; onde T_1 e T_2 representam os transistores de entrada, T_{3b} e T_{4b} são os deslocadores de nível DC que estão ligados em série com os transistores T_{3a} e T_{4a} que formam a carga ativa acionado pela porta dos transistores, T_{1b} e T_{2b} são os transistores de controle do modo comum adicionados na entrada e T_{13} - T_{14} - T_{15} representam o circuito do extrator do modo comum. Os transistores T_5 e T_6 polarizam a carga ativa e T_7 e T_8 são usados como fonte de corrente do par diferencial.

Os pares de transistores T_1 - T_2 e T_{1b} - T_{2b} são combinados para cancelar a corrente do modo comum de entrada, gerada pela tensão do modo comum de entrada, minimizando assim o ganho do modo comum do amplificador. Assim, tem-se que a tensão de entrada dos transistores adicionais T_{1b} e T_{2b} é inversa à do sinal do modo comum de entrada, e, portanto, implicam em metade do ganho OTA, uma vez que aumentam a corrente de polarização da carga ativa, aumentando assim a transcondutância, conforme dado na equação (3.11).

$$A_{odm} = \frac{2g_{m1}}{3(2g_{o10} + g_{o12})} \quad (3.11)$$

O circuito composto pelos transistores T_{13} - T_{14} - T_{15} extrai e inverte a tensão do modo comum. O sinal de entrada é aplicado ao par de transistores n MOS T_{13} - T_{14} , e o transistor T_{15} é usado como carga ativa. Se a condutância de saída dos transistores no circuito for pequena, o valor do ganho é de aproximadamente -1. O ganho do extrator do modo comum é dado pela equação (3.8) o qual é idealmente unitário. Assim, como a CMRR depende do ganho do extrator, se o ganho for próximo a -1, então a CMRR será alta.

4 Especificação, Projeto e Simulação do OTA Proposto

Neste capítulo são apresentados os projetos e simulações de Monte Carlo e *Corner* que mostram o comportamento do OTA simétrico sem compensação e do OTA simétrico compensado para melhoria da CMRR. É realizado um comparativo do OTA proposto com outros circuitos a literatura, levando em consideração principalmente seu comportamento quanto a razão de rejeição de modo comum e a transcondutância. Também é apresentado o layout implementado para a topologia do OTA simétrico com melhoria da CMRR.

4.1 Especificação do OTA Simétrico com Melhoria da CMRR

O circuito OTA sem compensação definido como o OTA simétrico com nível DC deslocado acionado pela porta mostrado na Figura 10 foi simulado para ser usado como parâmetro de comparação com a simulação do OTA simétrico com melhoria da CMRR acionado e compensado pela porta conforme apresentado na Figura 14. Assim, com base nas equações que modelam o OTA a pequenos sinais com transistores em inversão forte, descritos no Capítulo 2, a especificação do circuito passa a ser o transitório do sinal de saída na configuração *buffer* de ganho unitário, quando se aplica uma entrada do tipo degrau unitário.

Dessa forma, é possível especificar um OTA que, na configuração de *buffer* de ganho unitário, seja capaz de operar de maneira linear considerando uma tensão de alimentação de 1,2 V e uma corrente de polarização de 200 nA, bem como as limitações da topologia proposta, tais como ganho de malha aberta, tensão mínima de alimentação e os requisitos das aplicações as quais o projeto se aplica. A Tabela 2, mostra as especificações mínimas que o OTA simétrico sem compensação e o OTA simétrico com melhoria da CMRR devem atender.

Tabela 2 – Especificações do OTA simétrico sem compensação e com melhoria da CMRR.

Especificação	Valor
Tensão Mínima de Alimentação	1,2 V
Máxima Dissipação de Potência	< 10 μ W
Excursão Linear de Entrada	\geq 100 mVpp
Ganho em Malha Aberta	> 50 dB
Frequência de Ganho Unitário	> 200 Hz

O ganho de malha aberta foi especificado levando-se em consideração o ganho do OTA simétrico da Figura 10 e a expectativa de aumento proporcionado pela inclusão de dois transistores na entrada e um circuito extrator de modo comum. O valor da excursão linear do sinal de entrada e a frequência de ganho unitário foram definidos tomando-se por base a características dos sinais biomédicos conforme apresentados em [2], [5], [10] e [13]. Simulações iniciais mostraram que os transistores do processo IBM CMOS 130 nm, são capazes de operar nesta condição da fonte de alimentação, se corretamente polarizados em inversão forte.

4.2 Projeto do OTA Simétrico com Melhoria da CMRR

Os parâmetros principais da metodologia deste projeto são a relação g_m/I_{DS} (razão entre transcondutância e corrente de dreno) e a corrente de dreno normalizada $I_{DS}/(W/L)$. Uma vez que W e L dos transistores são desconhecidos, estes parâmetros são excelentes para os cálculos das dimensões dos transistores e também estas relações não dependem das dimensões dos transistores [29].

A partir das especificações desejadas, conforme descritas na seção 4.1, foram realizadas simulações elétricas dos transistores CMOS operando em inversão forte para a tecnologia IBM CMOS 130 nm usando o modelo BSIM 3v3, a fim de aproximar as especificações das simulações e encontrar o ponto de operação, que é a metade do valor de alimentação, ou seja, 0,6 V. Assim, foi possível concluir as dimensões finais dos transistores apresentados nas Tabela 3 e Tabela 4. A Tabela 3, contém as dimensões dos transistores do OTA simétrico com nível DC deslocado acionado pela porta.

Tabela 3 – Dimensões dos transistores do OTA simétrico com nível DC deslocado acionado pela porta.

Transistor	Tipo	$W/L \left[\frac{\mu m}{\mu m} \right]$	Multiplicidade
T1 - T2	PMOS	20/10	2
T3a - T4a	NMOS	4.8/10	1
T3b - T4b	NMOS	11/5	1
T5 - T6 - T8	PMOS	13/10	1
T7	PMOS	17/10	4
T9a - T10a	NMOS	4.8/10	1
T9b - T10b	NMOS	11/5	1
T11a - T12a	PMOS	13/10	1
T11b - T12b	PMOS	13/10	20

A Tabela 4, mostra as dimensões dos transistores usados no projeto do OTA simétrico com melhoria da CMRR.

Tabela 4 – Dimensões dos transistores do OTA simétrico com melhoria da CMRR.

Transistor	Tipo	$W/L \left[\frac{\mu m}{\mu m} \right]$	Multiplicidade
T1 - T2 - T1b - T2b	PMOS	20/10	2
T3a - T4a	NMOS	4.8/10	1
T3b - T4b	NMOS	11/5	1
T5 - T6 - T8	PMOS	13/10	1
T7	PMOS	17/10	4
T9a - T10a	NMOS	4.8/10	1
T9b - T10b	NMOS	11/5	1
T11a - T12a	PMOS	13/10	1
T11b - T12b	PMOS	13/10	20
T13 - T14	NMOS	4.8/10	1
T15	PMOS	16.9/10	2

4.3 Simulações do OTA Simétrico com Melhoria da CMRR

A dinâmica de funcionamento do OTA apresentado na seção 4.2, são obtidas a partir de simulações das dimensões finais dos transistores realizadas por meio da ferramenta *Cadence Spectre* para tecnologia IBM CMOS 130 nm e modelo BSIM 3v3.

A tensão de saída do OTA simétrico com melhoria da CMRR na configuração *buffer* de ganho unitário é mostrada na Figura 15, onde é possível observar que existe saturação no sinal de entrada com a excursão entre os limites da fonte de alimentação 0 e 1,2 V após a tensão atingir 1 V e verifica-se também que próximo destes limites, o erro em regime aumenta, devido à distorção do sinal nestes pontos, limitando a região linear de excursão. Assim, pode-se concluir desta curva que a tensão de saída aproximadamente entre 0,2V e 0,9 V tem um comportamento linear.

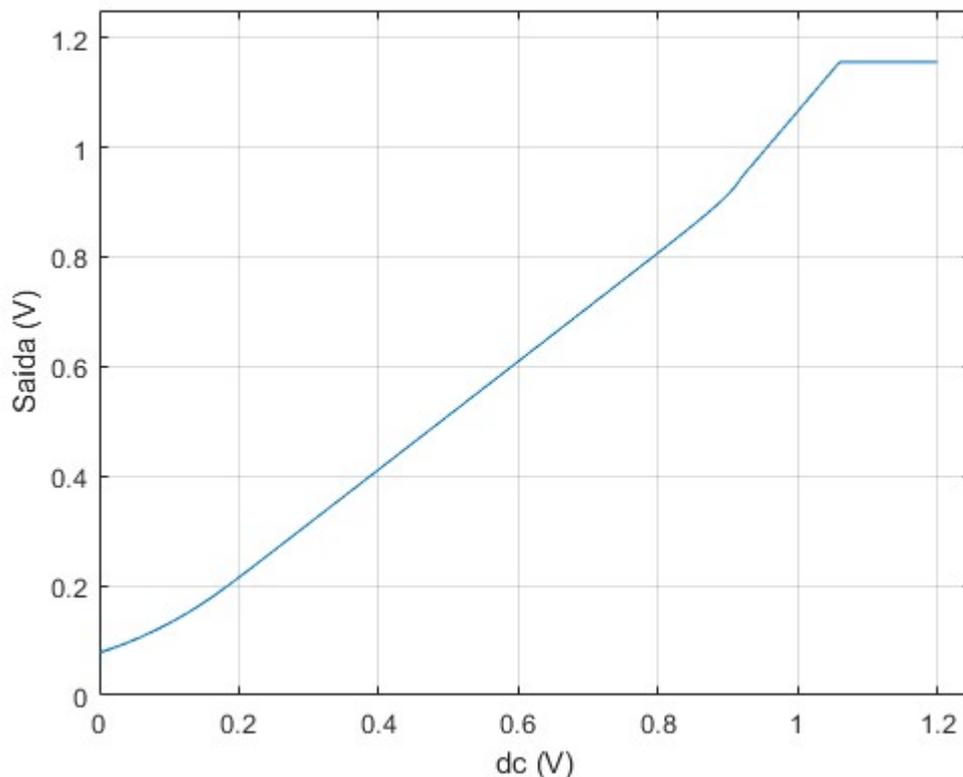


Figura 15 – Análise DC do OTA simétrico com melhoria da CMRR.

A resposta AC obtida do circuito OTA simétrico com melhoria da CMRR é mostrada na Figura 16. Desta curva, pode-se extrair o ganho diferencial que é de aproximadamente 51 dB que é um valor bem próximo à especificação mínima estabelecida no projeto e também

pode-se extrair o valor da frequência máxima, esse valor está acima de 10kHz. Portanto, se pode concluir que o circuito OTA se comporta como o esperado.

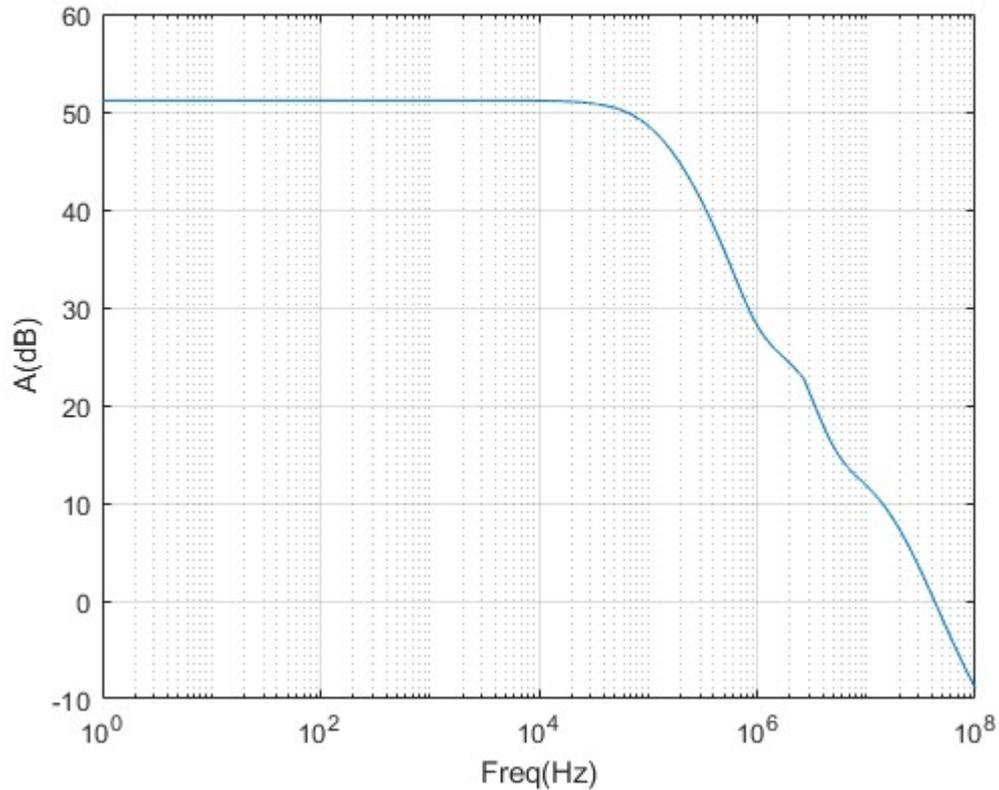


Figura 16 – Análise AC do OTA simétrico com melhoria da CMRR.

Na Figura 17 é mostrada a simulação transiente de sinais senoidais, a fim de demonstrar o funcionamento do circuito. Portanto, os resultados mostram que o circuito se mantém dentro de um limite de funcionamento estável, onde pode-se observar que o sinal de saída apresenta uma amplitude igual ao sinal de entrada multiplicada pelo ganho 1 (unitário) e que o sinal de saída não apresenta distorção visível. Logo, o OTA opera como esperado respeitando o ganho que foi estabelecido.

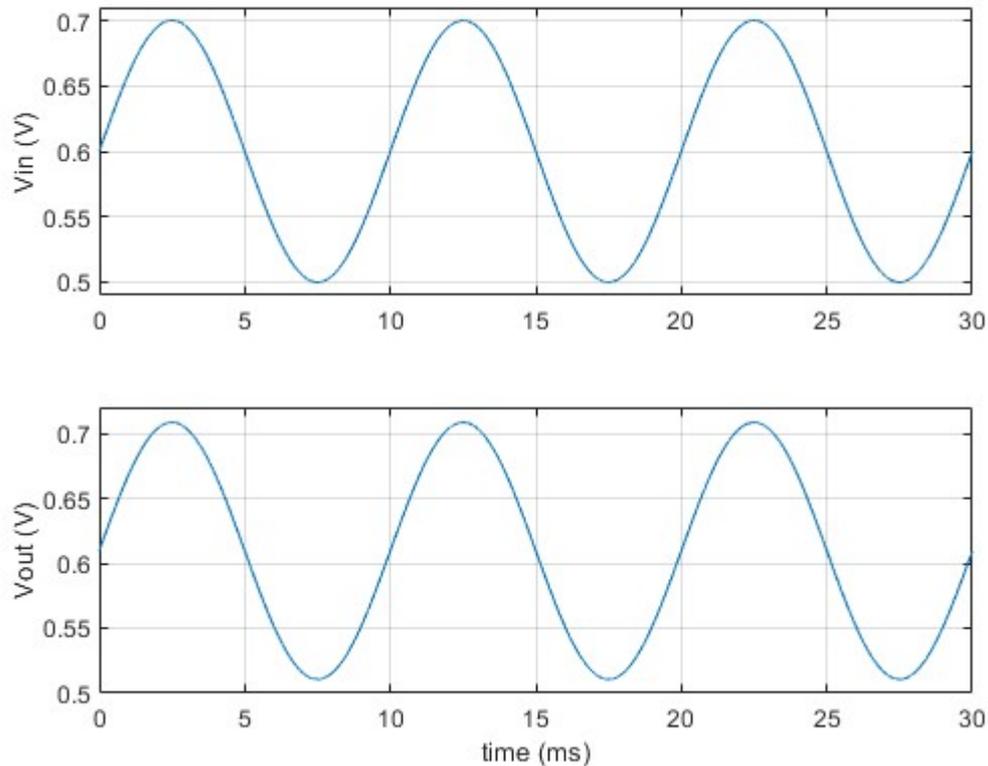


Figura 17 – Transiente do OTA simétrico com melhoria da CMRR.

A simulação de Monte Carlo foi escolhida porque é utilizada para simular a influência estática do processo de fabricação no desempenho final do projeto, podendo ser estudado em apenas uma frequência ou em uma banda desejada a fim de validar o projeto com suas especificações. Os modelos de simulação contêm dois tipos de variação estatística, variação global e descasamento. A primeira analisa as variações que podem ocorrer de um chip para outro, de uma pastilha para outra ou de um lote de *wafer* para outro lote. A segunda analisa as variações nas características do dispositivo que podem ocorrer dentro de um mesmo chip para componentes muito próximos fisicamente [29].

No caso deste trabalho, foi realizada a simulação descasamento para 1000 (mil) amostras. E como ilustração dos resultados, são mostradas na Figura 18, Figura 19, Figura 20 e Figura 21 a representação gráfica em histograma da razão de rejeição de modo comum, transcondutância, distorção harmônica total e relação sinal ruído, respectivamente. Para a simulação de Monte Carlo da CMRR foi realizada a variação dos parâmetros do OTA a fim de se observar o comportamento do circuito mediante a variação de tensão em modo comum. A Figura 18 mostra os histogramas da simulação de Monte Carlo da CMRR para o OTA simétrico sem compensação e com melhoria da CMRR.

Para analisar a resposta da CMRR, é possível observar na Figura 18b uma distribuição normal com desvio padrão de 16,02 dB e média 87,34 dB, enquanto o circuito OTA sem compensação apresentado na Figura 18a apresenta um resultado da CMRR média de 61,14 dB e desvio padrão de 11,219 dB. Assim, comparando os valores desses circuitos pode-se inferir que o OTA proposto apresentou aumento significativo no valor da rejeição a tensão em modo comum, com uma diferença de 26,2 dB, e, portanto, pode-se concluir que a CMRR do OTA proposto foi melhorada.

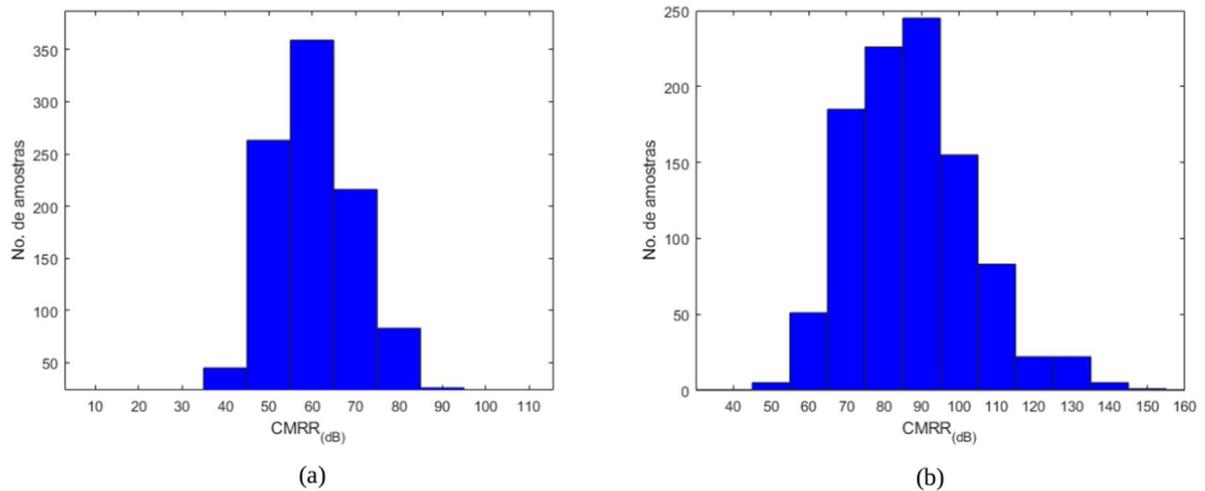


Figura 18 – Histograma da simulação de Monte Carlo da CMRR para o OTA simétrico (a) sem compensação e (b) com melhoria da CMRR.

Na Figura 19 é mostrado os histogramas da simulação de Monte Carlo da transcondutância para o OTA simétrico sem compensação e com melhoria da CMRR. O histograma da Figura 19b apresenta uma distribuição normal com desvio padrão de 43,7 nS e média de 2,56 μ S, que são valores semelhantes aos resultados mostrados na Figura 19a, que correspondem a média de 2,56 μ S e desvio padrão de 43,7 nS.

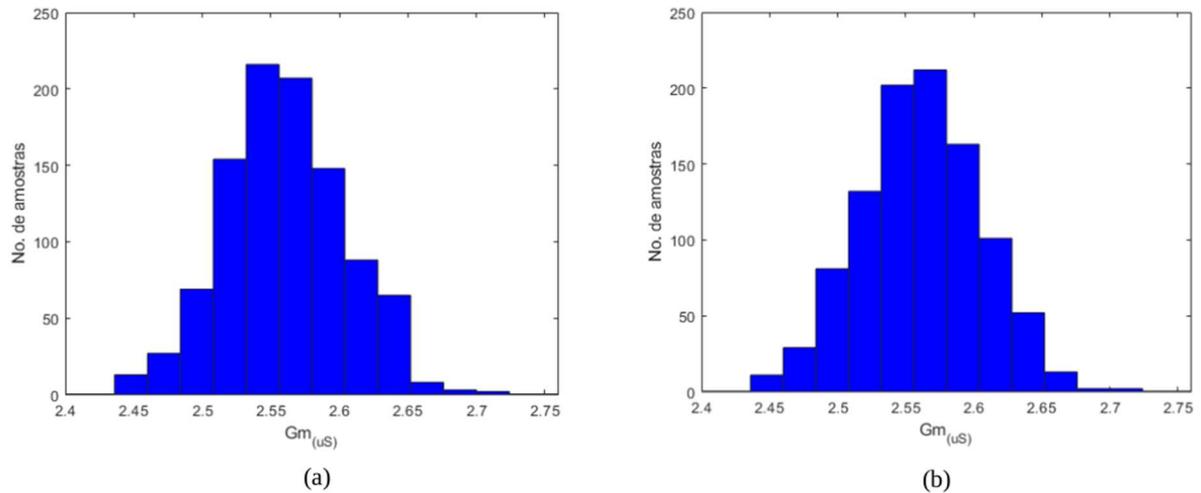


Figura 19 – Histograma da simulação de Monte Carlo da transcondutância para o OTA simétrico (a) sem compensação e (b) com melhoria da CMRR.

A Figura 20b mostra que a média alcançada da distorção harmônica total (THD) corresponde a $1,037 mV_{pp}$ com desvio de $0,0353 mV_{pp}$, logo este valor é satisfatório, uma vez que os transistores T_{1b} - T_{2b} não funcionam no modo diferencial, mas sim polarizados com a mesma corrente dos transistores de entrada, no qual diminui o harmônico de terceira ordem, afetando a distorção harmônica total, este resultado é semelhante ao valor da média apresentado na Figura 20a, ou seja, não houve alterações nesta análise.

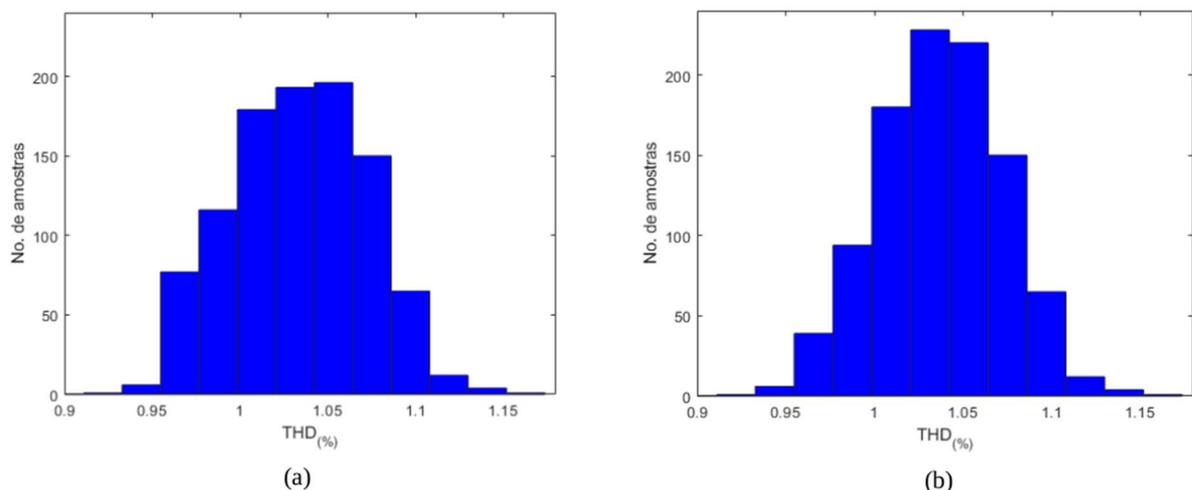


Figura 20 – Histograma da simulação de Monte Carlo da distorção harmônica total para o OTA simétrico (a) sem compensação e (b) com melhoria da CMRR.

A razão sinal ruído (SNR) do circuito proposto está centrada em aproximadamente 64,91 dB com desvio padrão de 0,15 dB, conforme mostrado na Figura 21b, no qual também pode verificar que este valor é muito aproximado ao valor apresentado na Figura 21a. Portanto,

a topologia do OTA simétrico com melhoria da CMRR não afeta as características do OTA simétrico com nível DC deslocado, tais como, transcondutância, distorção harmônica total e razão sinal ruído.

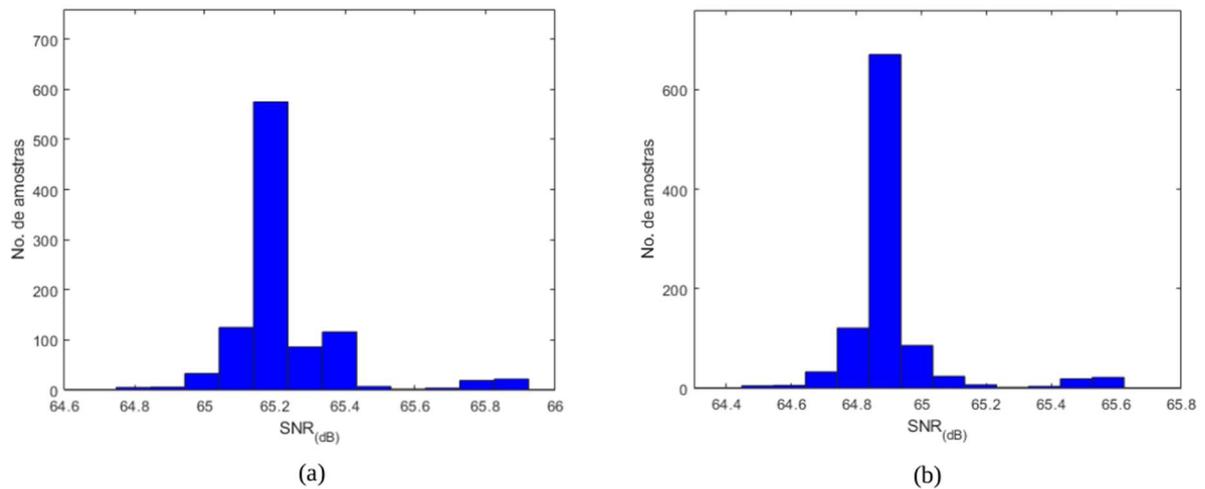


Figura 21 – Histograma da simulação de Monte Carlo da razão sinal ruído para o OTA simétrico (a) sem compensação e (b) com melhoria da CMRR.

As Tabela 5 e Tabela 6, mostram os resultados da simulação de Monte Carlo do OTA simétrico com nível DC deslocado acionado pela porta e OTA simétrico com melhoria da CMRR acionado e compensado pela porta, respectivamente. Assim, conforme apresentado na Tabela 6, a CMRR do OTA proposto para o pior e melhor caso é de 46,89 dB e 147,50 dB, respectivamente. Enquanto, o valor da CMRR do OTA sem compensação para o pior caso é de 32,82 dB e melhor caso é 103,25 dB.

Tabela 5 – Resultados da simulação Monte Carlo do OTA simétrico com nível DC deslocado acionado pela porta.

Medição	Mínimo	Máximo	Médio	Desvio padrão
CMRR [dB]	32.82	103.25	61,14	11,219
G_m [μS]	2,44	2,72	2,56	0,043
THD 1% @ 10Hz [mVpp]	0,930	1,157	1,037	0,0353
SNR [dB]	64,78	65,09	65,03	0,0688

Tabela 6 – Resultados da simulação Monte Carlo do OTA simétrico com melhoria da CMRR.

Medição	Mínimo	Máximo	Médio	Desvio padrão
CMRR [dB]	46,89	147,50	87,34	16,027
G_m [μS]	2,444	2,718	2,561	0,0437
THD 1% @ 10Hz [mVpp]	0,9303	1,1570	1,0377	0,0353
SNR [dB]	64,48	65,62	64,91	0,15

Para simular o comportamento do circuito em condições de estresse, ou seja, no seu extremo, e não somente em condições normais, foram realizadas simulações *corner* (condição-limite) a fim de obter rápidas respostas do funcionamento do circuito para diferentes combinações das variações de processo, bem como a variação externa ao circuito, como a temperatura e fonte de tensão.

As variações de processo são designadas por uma convenção de nomenclatura de duas letras, onde a primeira se refere a variação máxima do canal N (NMOS) e a segunda a variação máxima do canal P (PMOS). Esta convenção contém três variações de processo: típico, rápido e lento. As variações de processo rápidos e lentos exibem mobilidades de portadores que são mais altas e mais baixas do que o normal, respectivamente. Existem cinco variações de processo que são consideradas possíveis: típico-típico (TT), rápido-rápido (FF), lento-lento (SS), rápido-lento (FS) e lento-rápido (SF). As primeiras três variações são chamadas de variações pares, porque ambos os tipos de dispositivos são afetados uniformemente e geralmente não afetam adversamente a correção lógica do circuito. E as duas últimas variações são chamadas de variações "inclinados" [29], [30].

Neste trabalho, foram utilizados apenas três tipos de variações de processos: TT, FF e SS para simulação em relação a variação de temperatura. Na Figura 22 são apresentados os gráficos dos resultados da CMRR em relação a temperatura para os tipos de processos escolhidos, tanto do OTA simétrico com nível DC deslocado acionado pela porta, quanto do OTA simétrico com melhoria da CMRR acionado e compensado pela porta.

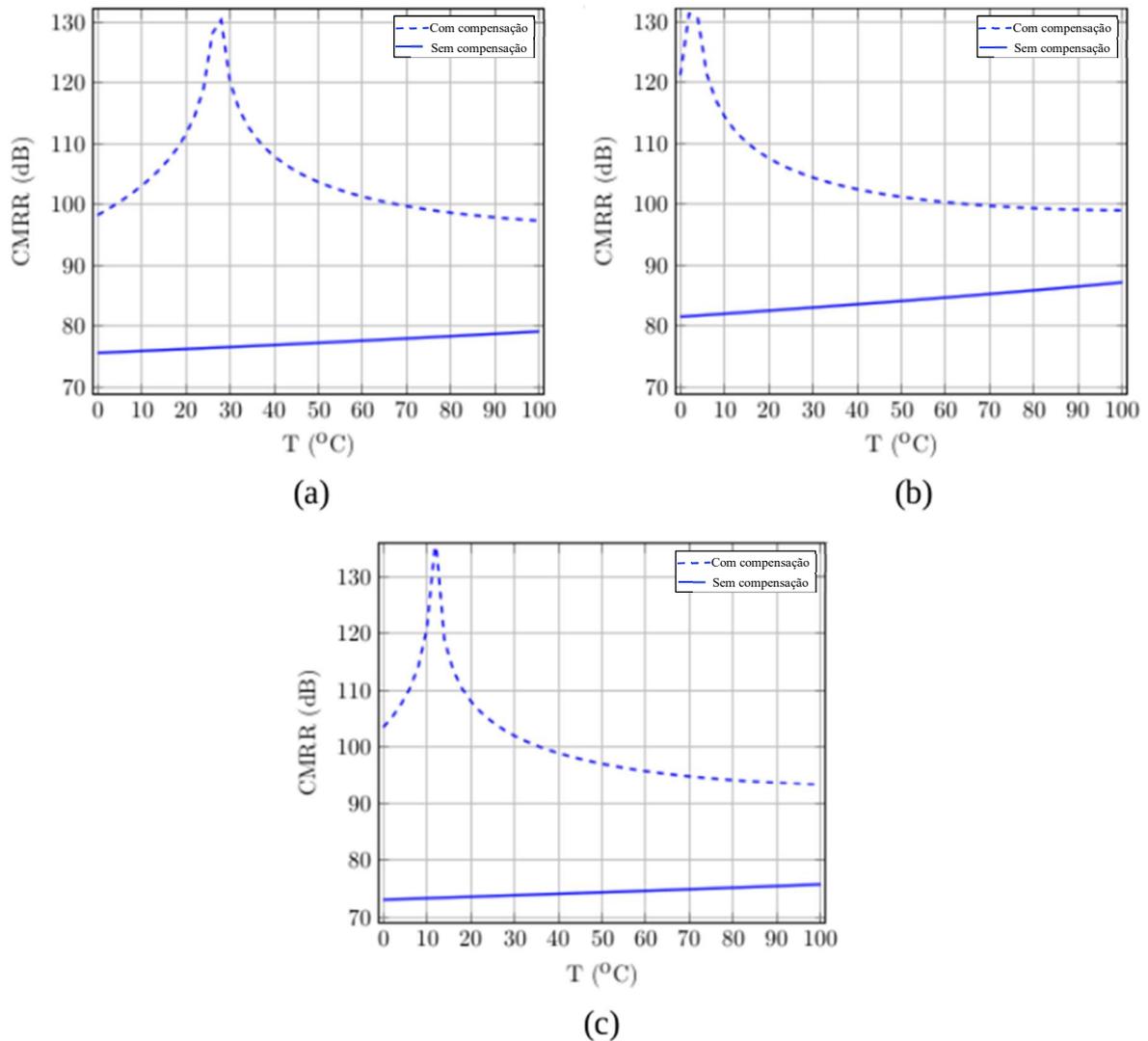


Figura 22 – Gráficos da simulação corner com resultado da CMRR em função da temperatura para os cantos de processos: a) TT, b) FF e c) SS.

A Figura 22a mostra a variação do CMRR em função da temperatura, para valores entre 0°C e 100°C, para o canto típico. A curva sólida representa o CMRR para o OTA simétrico sem compensação e a curva tracejada o OTA simétrico com melhoria da CMRR. A Figura 22b e Figura 22c apresenta a variação de CMRR para curvas rápidas e lentas, respectivamente. Essas simulações demonstram que o valor da rejeição do modo comum no OTA simétrico com melhoria da CMRR para qualquer canto e qualquer valor de temperatura é mais alta que o CMRR do OTA simétrico sem compensação.

4.4 Análise Comparativa do OTA Simétrico com Melhoria da CMRR

Os resultados de desempenho simulados do OTA simétrico com melhoria da CMRR proposto neste trabalho são resumidos na Tabela 7, onde são comparados com outros trabalhos da literatura. Esses OTA's foram projetados para diversas aplicações com diferentes metas de desempenho. As topologias propostas são adequadas para uma ampla faixa ou aplicações analógicas de baixa tensão e baixa potência.

Tabela 7 – Desempenho e Comparação de Resultados entre os Amplificadores Operacionais de Transcondutância.

Parâmetro	Este trabalho	[21]	[22]	[23]	[24]	[25]
Tecnologia [nm]	130	40	40	130	350	130
Tensão de alimentação [V]	1.2	1.2	1.2	1.2	2.0	1.2
Dissipação de potência [μ W]	9.65	127	157.3	1970	-	2.52
Ganho em malha aberta [dB]	52.16	51.53	51.3	49.54	39.80	14.00
CMRR [dB]	87.34	24.6	28.5	31.00	65.00	79.00
Gm [μ S]	2.56	-	-	1560	-	-
THD 1% [mVpp]	185	-	-	800	15	-
@ Freq	@10Hz	-	-	@50MHz	@20Hz	-
Fu	\approx 38	-	-	5.4	-	-
@ Freq	@KHz	-	-	@GHz	-	-

Assim, de acordo com os dados mostrados na Tabela 7, observa-se que o amplificador proposto atinge o valor da CMRR mais alta. Os circuitos de [21], [22] e [23] apresentam ganho de malha aberta próxima ao valor do OTA proposto, mas tem um consumo de energia elevado devido à adição de circuitos externos. O circuito proposto por [25] apresenta o valor mais baixo de consumo de potência e um valor de CMRR próximo do OTA proposto, mas seu ganho em malha aberta é muito pequeno. O circuito em [24] apresenta o menor ganho em malha aberta, mas a CMRR é razoável se comparado com o circuito do OTA em proposição.

4.5 Layout do OTA Simétrico com Melhoria da CMRR

O layout consiste de blocos geométricos desenhados com auxílio da ferramenta EDA Cadence, cujo desenho forma as máscaras utilizadas no processo de fabricação do circuito integrado. A Figura 23 mostra o layout implementado para o OTA simétrico com melhoria da CMRR. A área total do OTA é $223 \mu\text{m} \times 161,3 \mu\text{m}$.

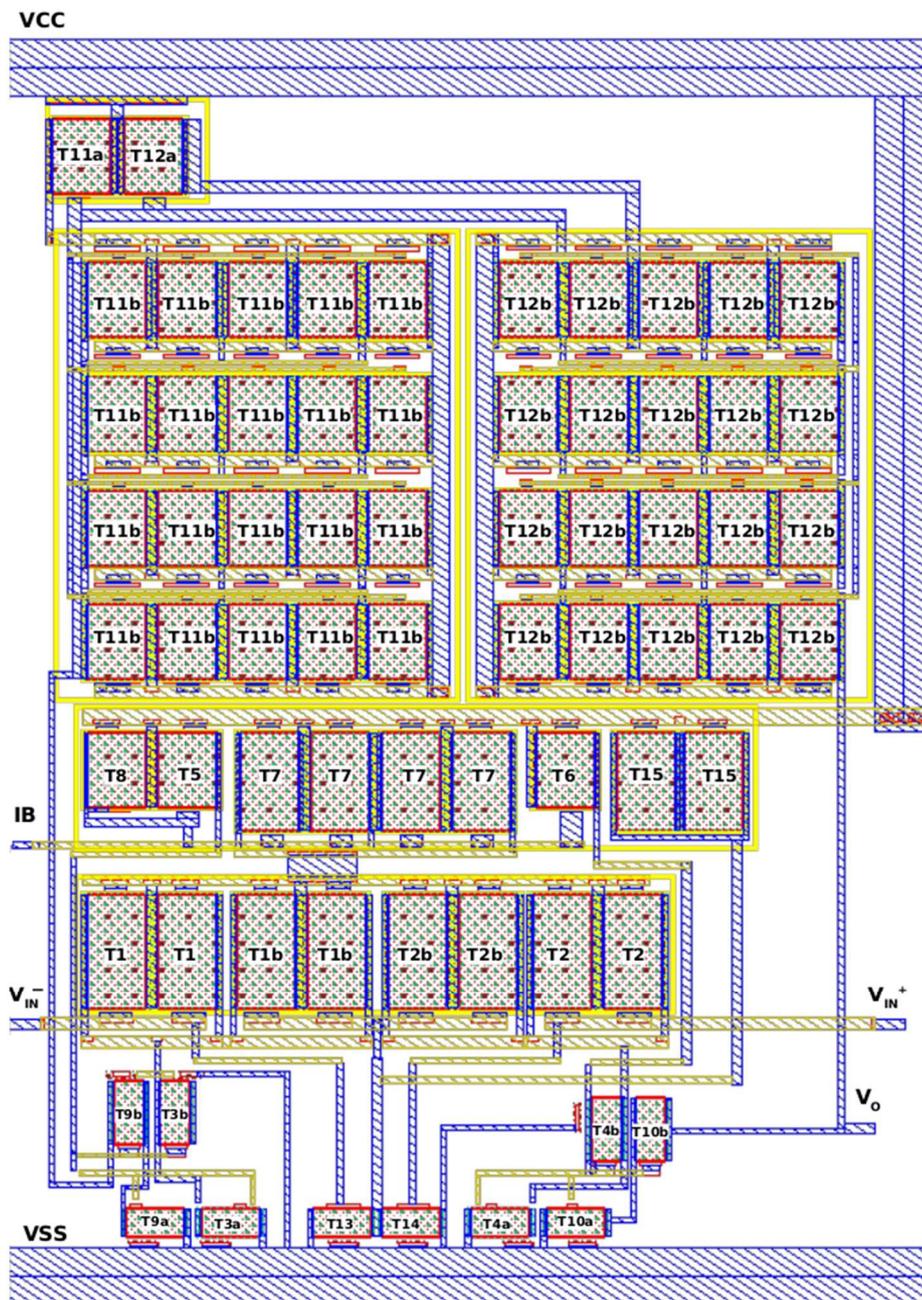


Figura 23 – Layout do OTA simétrico com melhoria da CMRR.

5 Conclusão e trabalhos futuros

Neste trabalho, foi apresentado uma topologia de um amplificador de transcondutância operacional de baixa potência com melhoria da rejeição a sinais de modo comum projetado em tecnologia CMOS IBM 130 nm. Este amplificador usa dois transistores adicionais em paralelo aos transistores MOS de entrada e um extrator de modo comum para controlar os sinais de entrada de modo comum, aumentar o CMRR e manter o baixo consumo de energia. Este circuito foi obtido através da adaptação de conceitos utilizados em arquitetura para circuitos OTA desenvolvidos em inversão fraca. A motivação do trabalho foi a necessidade que em algumas operações as frequências poderiam ser mais elevadas do que as frequências para circuitos de inversão fraca. A nova arquitetura faz uso de conceitos prévios para obter resultado e se apresenta como uma inovação se considerar os circuitos desenvolvidos em amplificadores OTA publicados, por utilizar um circuito simplificado para aumentar a CMRR em inversão forte. As comparações realizadas do desempenho dos fatores de mérito do circuito mostram que essa nova topologia obteve ganho quando comparado com outros circuitos existentes na literatura.

Como trabalhos futuros existe um projeto para migrar o circuito para a tecnologia TSMC 180nm que é a atual tecnologia disponível para fabricação no grupo de microeletrônica da Unifei e realizar a fabricação deste layout afim de obter caracterização do mesmo e com resultados satisfatórios publicar um artigo em uma revista.

Apêndice

Artigo Aceito

Um artigo descrevendo a topologia do OTA simétrico com melhoria da CMRR e os resultados de simulação desenvolvido neste trabalho foi aceito para publicação em congresso internacional de microeletrônica. Este congresso é classificado no Qualis B1 da CAPES.

Nedson J. Maia, Arnaldo R. Sanchez, Robson L. Moreno, Tales C. Pimenta and Luis H. Carvalho Ferreira. A Low Power CMOS Operational Transconductance Amplifier with Improved CMRR. ICM 2020 – 32nd IEEE International Conference on Microelectronics, Jordan, December 2020.

Referências

- [1] MALOBERTI, Franco; BONIZZONI, Eduardo; BASYURT, Pinar Basak. Very-low-voltage and ultra-low-power analog circuits for nomadic applications. **In: 2016 IEEE 7th Latin American Symposium on Circuits & Systems (LASCAS)**. IEEE, 2016. p. 403-410.
- [2] RODRIGUEZ-VILLEGAS, Esther; IRANMANESH, Saam; IMTIAZ, Syed Anas. Wearable medical devices: High-level system design considerations and tradeoffs. **IEEE Solid-State Circuits Magazine**, v. 10, n. 4, p. 43-52, 2018.
- [3] SÁNCHEZ, Arnaldo del Risco. **Estratégias para o controle de modo comum do Par Diferencial Simétrico CMOS de Ultra-Baixa Tensão e Ultra-Baixa Potência**. 2019. Tese de Doutorado. Brasil.
- [4] YANG, Yuze. Design of Low-Power Low-noise CMOS ECG Amplifier for Smart Wearable Device. **In: Journal of Physics: Conference Series**. IOP Publishing, 2020. p. 012027.
- [5] MITRA, Srinjoy; ZELE, Rajesh; ETIENNE-CUMMINGS, Ralph. Low-voltage high CMRR OTA for electrophysiological measurements. **In: 2009 IEEE International Symposium on Circuits and Systems**. IEEE, 2009. p. 345-348.
- [6] ENZ, Christian C.; VITTOZ, Eric A. CMOS low-power analog circuit design. **In: Emerging Technologies: Designing Low Power Digital Systems**. IEEE, 1996. p. 79-133.
- [7] CENTURELLI, Francesco; MONSURRO, Pietro; TRIFILETTI, Alessandro. High-gain, high-CMRR class AB operational transconductance amplifier based on the flipped voltage follower. **International Journal of Circuit Theory and Applications**, v. 47, n. 4, p. 499-512, 2019.
- [8] VIANA, Nayana Letícia de Moraes. **Amplificadores de instrumentação integrados de baixo consumo e baixo ruído para aplicações portáteis voltadas ao tratamento de biosinais**. 2019. Dissertação de Mestrado. Brasil.
- [9] RIVERA, Ricardo et al. **Microeletrônica: qual a ambição do Brasil?**. BNDES Setorial, BN de Desenvolvimento Econômico e Social, Ed., Rio de Janeiro, Brasil, n. 41, p. 345-396, 2015.

- [10] WEBB, Andrew G. **Principles of biomedical instrumentation**. Cambridge University Press, 2018.
- [11] THAKOR, Nitish V. **The Measurement, Instrumentation, and Sensors Handbook**. The Biomedical Engineering Handbook, CRC Press, Boca Raton, capítulo, v. 74, 1999.
- [12] HARRISON, R. R. A low-power, low-noise CMOS amplifier for neural recording applications. **In: 2002 IEEE International Symposium on Circuits and Systems**. Proceedings (Cat. No. 02CH37353). IEEE, 2002. p. V-V.
- [13] TSENG, Yuhwai et al. A Low Power Front-End Biopotential Amplifier for Biosignal Recording. **IEEE transactions on biomedical circuits and systems**, v. 6, n. 5, p. 508-516, 2012.
- [14] MONTEIRO, Moacir Fernandes Cortinhas. **Projeto de circuitos CMOS analógico-digitais para amplificação e conversão de sinais eletromiográficos**. 2015.
- [15] RAZAVI, Behzad. **Fundamentos de Microeletrônica**. Rio de Janeiro: LTC, 2010.
- [16] SEDRA, Adel S.; SMITH, Kenneth Carless. **Microeletrônica**. Pearson Prentice Hall, 2007.
- [17] LAKER, Kenneth R.; SANSEN, Willy MC. **Design of analog integrated circuits and systems**. New York: McGraw-Hill, 1994.
- [18] ALLEN, Phillip E.; HOLBERG, Douglas R. **CMOS analog circuit design**. Oxford University Press, 2002.
- [19] BARÚQUI, Fernando AP. Apostila de microeletrônica. **The Laboratory for the Processing of Analog and Digital Signals (PADS)**. Disponível em: <http://www.pads.ufrj.br/~fbaruqui/Arquivos/Apostila_Micro.pdf>. Acesso em: 11/11/2020.
- [20] MITRA, Srinjoy; CUMMING, David RS (Ed.). **CMOS Circuits for Biological Sensing and Processing**. Springer, 2017.
- [21] CENTURELLI, Francesco et al. A topology of fully differential class-AB symmetrical OTA with improved CMRR. **IEEE Transactions on Circuits and Systems II: Express Briefs**, v. 65, n. 11, p. 1504-1508, 2017.

- [22] CENTURELLI, Francesco et al. A fully-differential class-AB OTA with CMRR improved by local feedback. **In: 2017 European Conference on Circuit Theory and Design (ECCTD)**. IEEE, 2017. p. 1-4.
- [23] PANKIEWICZ, Bogdan; MADEJ, Mariusz. Design of high frequency OTA in 130nm CMOS technology with single 1.2 V power supply. **In: 2010 2nd International Conference on Information Technology, (2010 ICIT)**. IEEE, 2010. p. 209-212.
- [24] ZHANG, Jie et al. A low-noise, low-power amplifier with current-reused OTA for ECG recordings. **IEEE transactions on biomedical circuits and systems**, v. 12, n. 3, p. 700-708, 2018.
- [25] CHUNFENG, Bai; HEMING, Zhao; DONGHAI, Qiao. A Wide-Band Feedback Amplifier based on A New Operational Current Amplifier in 130nm CMOS. **In: 2019 IEEE International Conference on Electron Devices and Solid-State Circuits (EDSSC)**. 2019. p. 1-3.
- [26] COIMBRA, Ricardo Pureza. **Geração de tensão de referência e sinal de sensoriamento térmico usando transistores MOS em forte inversão**. 2009. Dissertação de Mestrado. Brasil.
- [27] COTRIM, Evandro Daniel Calderaro. **Um amplificador de transcondutância CMOS em ultra baixa-tensão e ultra baixa-potência para aplicações Gm-C em baixa frequência**. 2011. Tese de Doutorado. Brasil.
- [28] FLANDRE, D.; JESPERS, P.; SILVEIRA, F. A gm/ID based methodology for the design of CMOS analog circuits and its application to the synthesis of a silicon-on-insulator micropower OTA. **IEEE Journal of Solid-State Circuits**, v. 31, n. 9, p. 1314-1319, 1996.
- [29] PIMENTEL, Henrique Luiz Andrade. **Projeto de um amplificador de baixo ruído em tecnologia CMOS 130 nm para frequências de 50 MHz a 1 GHz**. 2012. Dissertação de Mestrado, Brasil.
- [30] LIN, Hongchin; CHANG, Dern-Koan. A low-voltage process corner insensitive subthreshold CMOS voltage reference circuit. **In: 2006 IEEE International Conference on IC Design and Technology**. IEEE, 2006. p. 1-4.