



Régulateurs "Waterfall" : Une nouvelle topologie énergétique pour l'électronique

Mémoire

Éric Bharucha

Maîtrise en génie électrique - avec mémoire
Maître ès sciences (M. Sc.)

Québec, Canada

Régulateurs 'Waterfall'
Une nouvelle topologie énergétique pour l'électronique

Mémoire

Eric Bharucha

Sous la direction de :

Benoit Gosselin, directeur de recherche

Résumé

Ce travail décrit une nouvelle topologie d'alimentation qui apporte des bénéfices aux dispositifs portables et aux composants électroniques à faible consommation. À l'autre extrémité du spectre, il serait également applicable aux systèmes à tension de bus plus élevée, tels que les panneaux solaires et les véhicules électriques, qui doivent décomposer des tensions plus élevées en domaines utilisables. La nouvelle topologie, que nous avons nommée Waterfall regulator, est décrite dans le présent travail et nommée ainsi pour ses caractéristiques saillantes rappelant une chute en cascade. Ce dispositif ouvre de nouvelles perspectives pour les systèmes à très basse consommation, basse tension et courant faible. Le mode de fonctionnement consiste à diviser une source d'alimentation brute en plusieurs domaines de tension, qui peuvent ensuite être utilisés pour alimenter les éléments individuels d'un système ou plusieurs unités indépendantes. Nous décrivons ici le premier rapport sur la réussite de la version de recyclage de l'énergie de ce nouveau système. Le dispositif se caractérise par une série de régulateurs de tension à faible chute et de circuits de déversement de courant (pass MOSFET). Le régulateur partage le courant qui traverse sa charge respective et complète le courant du stade suivant par un déversoir de courant, selon les besoins. Le contrôle s'effectue via une architecture de contrôle en cascade et peut être étendu à des périphériques d'ordre supérieur.

Mots clés: régulateur à faible chute de tension, trop plein de courant, pass MOSFET, régulateur en 'Waterfall', supra-basse-puissance.

Abstract

This work described a new power supply topology that benefits portable device and low power electronics. At the other end of the spectrum, it is also applicable to higher bus voltage systems like solar panels and electric vehicles that must split higher voltages into usable domains. The new topology, which we named waterfall regulator, is describe herein and named as such for its salient features reminiscent of a waterfall. It opens up a new realm of possibilities for supra low power, low voltage and low current systems. The mode of operation consists of splitting a raw supply source into smaller voltage domains which can then be used for powering individual element of a system or powering multiple independent units. We describe here the first report of successful energy recycling version of this novel system. The devices are composed of a series of low dropout voltage regulators and current spillways circuits (pass MOSFET). The regulators share current passing thought their respective load and supplement current through a current spillway as required. Control is achieved through a cascade architecture and can be scaled up to higher order devices.

Key words: low dropout regulator, current spillways, pass MOSFET, waterfall regulator, supra low power

Table des matières

Résumé.....	ii
Abstract.....	iii
Liste des Figures.....	vi
Liste des Tables.....	viii
Remerciements.....	xi
Introduction.....	1
Contributions de ce mémoire.....	4
Chapitre 1 Concept.....	5
Une revue de la récupération d'énergie comme source potentielle.....	5
Concept proposé.....	8
Domaines d'application.....	14
Applications où un faible bruit de commutation est important.....	14
Application ayant un cycle de charge bas.....	14
Applications ayant des courants très bas.....	14
Applications biomédicales.....	14
Où plusieurs domaines et une fonction parallèle coexistent.....	15
Dans les systèmes où inducteur et transformateur sont trop volumineux ou trop coûteux.....	15
Remplacement des pompes de charge.....	15
Nouveaux besoins en matériel électronique et en alimentation de circuit.....	15
Application avec grosses piles multiéléments.....	16
Chapitre 2 Implémentation.....	19
Design basse tension.....	19
Modélisation et approche.....	20
Régime 'Subthreshold'.....	20
MOSFET 'Stacking' (empilement).....	21
Transistors natifs.....	21
FBB (<i>Forward Body Biasing</i>).....	21
DIBL(<i>Drain Induced Barrier Lowering</i>).....	22
SCE (<i>Short Channel Effect</i>).....	22
Limites fondamentales.....	23
Chapitre 3 Régulateur en Chute/Waterfall regulator.....	25
Exigences de conception/requis.....	25
Architecture du système.....	25
Incarnation la plus simple.....	29

Topologie de circuit de base d'ordre supérieur.....	29
Design	30
Systèmes d'asservissement	31
Contrôle cascade	32
Potentiel d'action et marge d'amplitude de signaux	32
Chapitre 4 Amplificateurs à 0.35 V avec une entrée au substrat/body	34
Requis pour un amplificateur fonctionnant à 0.35V	34
Design	35
Dimensions finales des transistors pour l'amplificateur 0.35V	39
Layout de l'amplificateur	39
Résultats	44
Chapitre 5 Circuits de régulateurs 'Waterfall'	47
Op-Amp.....	47
Source de courant β -Multiplicateur.....	51
Résultats	57
Circuit de déversoir	58
Régulateur Cascode Replié	59
Géométrie finale des transistors	63
Résultats	68
Régulation du bruit d'appel.....	71
Puissance recyclée, puissance économisée et efficacité	72
Chapitre 6 Applications.....	75
Dispositif de détection neuronale intégré	75
Concept	75
Implémentation dans un appareil cardiaque.....	78
Concept	78
Conclusion.....	79
Travaux futurs et contributions.....	80
Résumé des principales contributions	80
Bibliographie	81
Annexes.....	90
Annexed paper (open access).....	92

Liste des Figures

Figure 1 Équivalent annuel d'économie en gaz à effet de serre des téléphones cellulaires.	4
Figure 2 perte de puissance relative dans diverses topologies de régulateurs.....	5
Figure 3 Topologies des régulateurs.	8
Figure 4 Représentation de la consommation d'énergie Régulateur linéaire vs.	9
Figure 5 'Les Cascades' Parc national de la Mauricie (QC Canada par E. Bharucha.)	10
Figure 6 Dessin de l'usine romaine de Barbegal selon les texte et vestiges archéologiques	12
Figure 7 Représentation du circuit équivalent électrique de l'usine de Barbegal.....	13
Figure 8 Mode de réalisation de la batterie de voiture électrique du régulateur Waterfall	17
Figure 9 L'analogie d'une chute cascade 'Waterfall'	26
Figure 10 Topologie du régulateur 'Waterfall'	27
Figure 11 Les structures générales pour le contrôle du régulateur 'Waterfall'	28
Figure 12 Mode de réalisation le plus simple du régulateur 'Waterfall' avec un étage.	29
Figure 13 Cascade control model of the waterfall regulator	32
Figure 14 Le circuit de l'amplificateur de substrat	35
Figure 15 Plan d'ensemble de l'amplificateur de substrat.....	40
Figure 16 Drain, source et grille distribués et leurs connexions dans de grands transistors.	41
Figure 17 Architecture de connexion centroïde montrant un grand nombre d'éléments.....	42
Figure 18 4 Structure de la puce de l'amplificateur de substrat et microphotographie du dispositif physique	43
Figure 19 Filtres RFI et circuit de polarisation pour l'amplificateur différentiel 0.35V	43
Figure 20 Configuration de test de puce pleine échelle pour amplificateurs différentiels 0,35V	44
Figure 21 2-Stage gain example response of 0.35V amplifieur	45
Figure 22 La réponse en fréquence de l'amplificateur 0,35V et des étages en cascade.....	45
Figure 23 Circuit Op-Amp utilisé pour le contrôle du régulateur 'Waterfall'	48
Figure 24 Layout d'amplificateur à usage général	51
Figure 25 Diagramme en bloc du β -multiplicateur	52
Figure 26 Circuit de la sources de courant β -Multiplicateur.....	52
Figure 27 The β -Current source layout	54
Figure 28 Données sources actuelles simulées et pratiques	57
Figure 29 Disposition d'un transistor de déversoir isolé dans un puit dopé-N, pour les régulateurs 'Waterfall',	59
Figure 30 Design du régulateur à cascode replié	59
Figure 31 Disposition des miroirs de courant et disposition des paires d'entrées du système de régulation.....	64
Figure 32 Montre les deux transistors M28 et M26 en haut	64
Figure 33 Les grands transistors M22 et M25 dans un dispositif multi-éléments centroïde commun	65
Figure 34 Détails des connexions des transistors M22 et M25	65
Figure 35 Disposition en T du régulateur la grande partie en haut est le 'pass-MOSFET' M30.....	66
Figure 36 Layout du bloc régulateur	66
Figure 37 Le pinout, la présentation et la micrographie finale de la puce de régulation de cascade	67
Figure 38 Configuration d'essai pour le régulateur 'Waterfall' sur puce	68

Figure 39 Régulateur Waterfall à partir de composantes discrètes pour diviser une pile Li-Ion en deux domaines de 1.8V	69
Figure 40 Layout de circuits imprimés et prototype pratique de régulateur ‘Waterfall’	70
Figure 41 Comportement en régulation de charge	71
Figure 42 Comparaison de l'efficacité énergétique entre l'approche classique ‘Waterfall’ et classique.	72
Figure 43 Comparaison de l'efficacité énergétique entre ‘Waterfall’ et Classique, utilisant la microélectronique à très basse tension	73
Figure 44 A brain interface that could exploit the Waterfall regulator for efficiency.....	75
Figure 45 Composants analogiques A-poll et chemins de signal de MSP430L092.....	76
Figure 46 Concept d'un interface neurologique avec régulateur ‘Waterfall’	77
Figure 47 Architecture du moniteur cardiaque à régulateur ‘Waterfall’	78
Figure 48 Un amplificateur de substrats fonctionnant à 0,315 V avec une alimentation de 3,9 μ A présentant un gain de 12 dB pour un seul étage.	90
Figure 49 Version test basée sur le circuit microélectronique du régulateur ‘Waterfall’	91

Liste des Tables

Table 1 Sources d'énergie basse puissance en mode récupérations	6
Table 2 Les paramètres de processus principal pour TSMC 180 nm utilisé[26], les unités signalées par un astérisque sont sans dimension.....	19
Table 3 Tableau comparatif sommaire de la technologie ultra basse tension	24
Table 4 Spécifications du microsysteme régulateur 'Waterfall'	25
Table 5 Requis initiaux pour l'amplificateur 0.35V.....	34
Table 6 Dimensions finales des transistors pour l'amplificateur différentiel 0,35V	39
Table 7 Résumé de la performance des Op-Amps à 0.35V	46
Table 8 Spécifications initiales de l'Op-Amp.....	48
Table 9 Les dernières tailles de transistors pour l'ampli-op	50
Table 10 Dimensions finales du multiplicateur de référence actuel tel que produit	57
Table 11 Dimensions finales du dispositif déversoir	58
Table 12 Les tailles de transistor finales pour le régulateur.....	63

À ma chère Véronique, je te dois toute ma gratitude, pour toutes les soirées et nuits que j'ai passées au laboratoire alors que tu étais seule avec nos chers enfants. À Jacob et Juliette qui ont été patients et sages malgré leur bas âge et le fait que papa n'était pas toujours disponible.

Je vous aime

“You can't use up creativity. The more you use, the more you have.”

— Maya Angelou

Remerciements

Je tiens à remercier certaines personnes clés lors de ce projet. Tout d'abord, je transmets un merci spécial au professeur Benoit Gosselin a eu confiance en mon choix de prendre un projet très risqué, et m'a soutenu tout au long des travaux malgré le fait que parfois, le progrès ne se manifestait pas toujours à la vitesse que nous aurions souhaitée. Je tiens également à remercier le professeur Younès Messaddeq du COPL qui m'a prodigué de précieux encouragements, sans lesquels je n'aurais peut-être pas terminé. Merci pour l'aide avec le logiciel CadenceTM à Gabriel, Nazila, Madhi, dont les trucs et conseils m'ont sauvé un temps énorme, ainsi qu'à tous les gens de la communauté universitaire pour le soutien que vous m'avez apporté.

Introduction

Dans des circonstances fortuites et quelque peu étranges, la bioélectricité a été découverte dans un tissu animal qui commençait à se contracter lorsqu'il était suspendu à un crochet en métal de nature différente du treillis auquel il était suspendu. Cet événement s'est produit en 1786 [3]. Un désaccord sur l'origine animale ou minérale de cette électricité a conduit à l'invention de la pile par Volta en 1800 [4], qui était convaincu d'une origine matérielle. Durant les deux siècles qui ont suivi depuis, la majorité des équipements industriels, commerciaux et équipements de laboratoire portatifs que nous utilisons désormais reposent principalement sur cet empilement de cellules que constitue une batterie. Par exemple, pensez à la simple lampe de poche dans laquelle vous placez 2 cellules ou plus pour créer un potentiel de batterie plus grand afin de faire allumer une ampoule ou une LED.

Les dispositifs commerciaux n'exploitent pas le domaine sous 1 V ; pourtant, de nombreux concepts, circuits et techniques de conception ont été mis au point au cours de la dernière décennie [5], [6]. Un coup d'œil sur l'offre de Digi-Key ne fournit qu'une poignée de périphériques fonctionnant dans la région inférieure à 1 volt, quelques amplificateurs opérationnels et microcontrôleurs et plusieurs circuits numériques, habituellement à peine assez pour concevoir des systèmes significatifs.

De nombreux groupes différents ont travaillé sur des systèmes à très basse tension. Convertisseurs ADC, amplificateurs et circuits numériques ont été rapportés [7], [5], [8], [9]. Certaines classes de circuits existent depuis des années sans avoir trouvé d'usages à grande échelle faute d'alimentation pratique, celle-ci pouvant même s'avérer inexistante. Par exemple, on peut penser à l'utilisation de circuits en mode courant [10]. Un microcontrôleur complet fonctionnant dans le domaine 0,3V a même été rapporté dans le cadre du projet MSP430 0,3 volt MIT 2012 [11].

L'offre très limitée, voire inexistante, de solutions d'alimentation électrique dans ces plages de tension explique pourquoi elles n'ont pas encore été utilisées dans l'industrie.

Les régulateurs linéaires fonctionnent bien, mais la différence de tension entre l'entrée et la sortie génère des pertes pures. C'est pourquoi ils sont très rarement utilisés dans les applications à plus haute tension. Même pour les applications à faible consommation d'énergie comme les implants médicaux, les pertes sont tout simplement trop importantes pour justifier leur utilisation. La seule exception serait les systèmes à très faible bruit. Même dans de tels cas, la tension est souvent d'abord abaissée à un niveau inférieur avec un régulateur DC/DC.

On pourrait se demander pourquoi ne pas simplement utiliser un convertisseur DC / DC pour les applications alimentées par piles ou celles à basse tension. En effet, à mesure que la consommation d'énergie diminue, les pertes dues à la commutation et la saturation d'inductance augmentent proportionnellement au point où elles dépassent les conditions de fonctionnement sans régulateurs. Lorsque la consommation d'énergie devient très faible, les problèmes ne font qu'augmenter. Ces inefficacités sont omniprésentes dans les téléphones portables et les tablettes modernes et représentent un défi et un besoin en soi. En-dessous de 200uA, les commutateurs deviennent inefficaces de manière exponentielle, mais les systèmes peuvent tout de même fonctionner sans être efficaces. Si une majorité de temps est passée en mode veille i.e. cycle de service bas, les pertes seront importantes. Les téléphones cellulaires sont un exemple de consommation d'énergie inutilisée entre les 'pings' du réseau, car ils sont moins efficaces que les modes actifs les moins fréquents de ces appareils.

Dans les systèmes comportant un grand nombre de structures identiques ou semblables, une alternative serait de mise. Un exemple d'appareils comportant des structures répétitives est celui des dispositifs à implants neuronaux. Dans de tels appareils, un grand nombre de canaux parallèles sont présents et alimentent un noyau de traitement et de télémétrie commune.

Une autre application qui nécessite une gestion stricte de différents domaines de tension se trouve dans les blocs de piles volumineux. De telles structures résident dans les systèmes d'automobiles

électriques. Une instrumentation localisée et miniature permettrait de réguler et de gérer la recharge des piles tout en évitant un câblage excédentaire présentement utilisé qui est volumineux, lourd et cher.

Enfin, les systèmes à «domaine distribué» apparaissent à l'autre extrémité du spectre de puissance, par exemple dans les systèmes solaires où des dispositifs sans inducteurs seraient un avantage pour convertir un bus à tension plus élevée vers des domaines à tension plus basse. En effet, les inductances et les transformateurs sont volumineux et coûteux, et impliquent toujours un travail manuel important, même en production[12].

Or, pourquoi s'inquiéter, si nous avons déjà des solutions acceptables à certains de ces problèmes ? Mettons les choses en perspective, nous pouvons prendre un exemple simple. Parmi l'un des nombreux domaines d'application énumérés ci-dessus, le téléphone portatif moyen en 2019 possède une pile ayant une capacité de 3.5 Ah[13]. Si nous multiplions cela par la tension nominale des pile Li-Ion 3,7 V, nous obtenons 12,95 Wh. Selon une estimation conservatrice, nous pourrions économiser 25% de cette puissance avec un régulateur en 'Waterfall'. Présentement, le régulateur en 'Waterfall' fournit une économie autour de 30%. À 25%, ceci correspond à 3.24Wh. Si on multiplie par le nombre de téléphones cellulaires dans le monde, soit 5.13B appareils mobiles selon [14], cela représente un nombre effarant de 16,5 milliards de Wh. Pour mettre tout cela en perspective, cela représente selon le calculateur EPA les équivalents carbones comme le montre la figure ci-dessous.

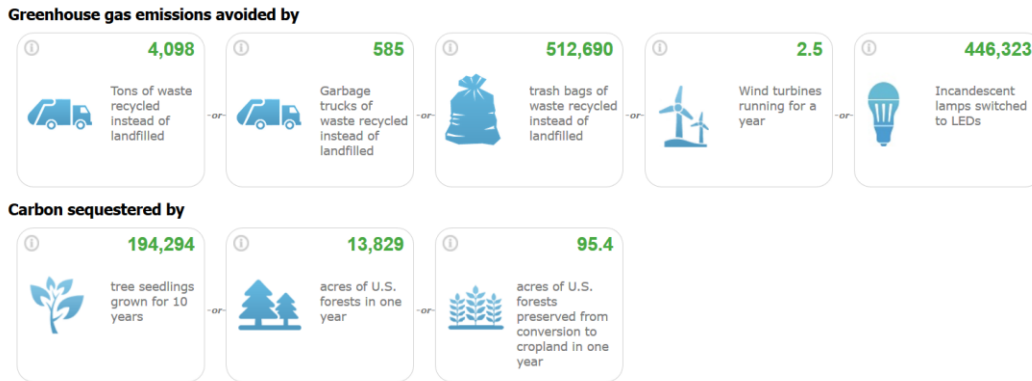


Figure 1 Équivalent annuel d'économie en gaz à effet de serre des téléphones cellulaires. ¹

Ainsi, rien que pour les téléphones portables, les économies d'énergie représenteraient le retrait de plus de 500 000 sacs à ordures par an.

Contributions de ce mémoire

1. Premier rapport d'une structure de régulateur vertical de régulateur à cascade avec brevet en instance.
2. Conception et test de nouveaux circuits intégrés à la limite du procédé avec une approche de système modulaire.
3. Conception d'un amplificateur de 0,35 V fonctionnant à un record de 0,31V.
4. Ouverture d'un nouveau domaine pratique pour l'électronique distribuée verticalement supra basse puissance (SLP) avec des dispositifs fonctionnant en dessous de 300 mV avec des alimentations pratiques dans cette plage.
5. Autonomie et économie d'énergie atteintes dans deux prototypes d'essais. Un premier prototype fabriqué à partir de composants discrets montrant la facilité d'utilisation avec une pile lithium-ion et le second pour le fonctionnement d'appareils à très basse tension 0,9 et 0,35 V.

¹ With permission, <https://www.epa.gov/energy/forms/contact-us-about-energy-and-environment/done?sid=900973&token=e813dc57ef45f9b29255167280a0a98d>

Chapitre 1 Concept

Dans le cas des dispositifs médicaux, à la suite d'un examen approfondi des amplificateurs neuronaux il y a quelques années [15], il est devenu évident que l'un des problèmes de ces dispositifs implantables était la gestion de l'alimentation. On pourrait soutenir que la consommation d'énergie de l'amplificateur dans le paradigme actuel a atteint une limite technique, les dernières améliorations majeures datant de plus de dix ans [16], [17]. Par conséquent, l'avancement doit provenir de changements de paradigme. Il existe de nombreux circuits à très basse tension. Il existe également des systèmes en mode courant qui ont été à peine exploités en raison du manque de régulateurs efficaces à ces basses tensions.

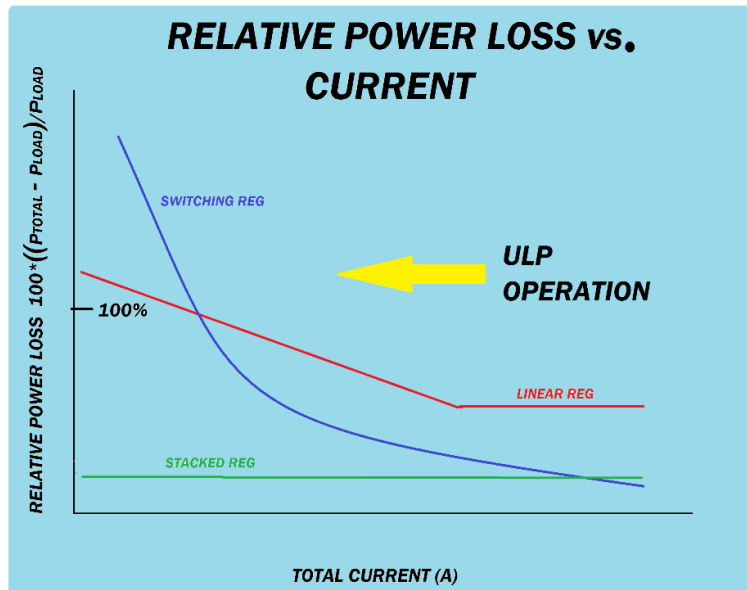


Figure 2 perte de puissance relative dans diverses topologies de régulateurs

Une revue de la récupération d'énergie comme source potentielle

Puisque que nous sommes principalement concernés par les systèmes de faible puissance, un examen des systèmes de récupération d'énergie est de mise. Les sources évidentes d'une telle énergie sont déjà largement exploitées. Par exemple, les récolteuses solaires, éoliennes et marémotrices. Les 2 derniers s'appuient sur des machines rotatives électromagnétiques ou magnétiques classiques qui ont été le cheval de bataille de la conversion mécanique en puissance

électrique au cours du siècle dernier. Ces systèmes sont généralement fixes et de grande taille, ils sont donc rarement utilisés sur des capteurs autonomes, portables ou des applications biomédicales à l'exception de l'énergie solaire. Pour les applications biomédicales portables et miniatures, la table 1 ci-dessous répertorie les sources d'énergie par lesquelles l'énergie peut être récoltée [18].

Table 1 Sources d'énergie basse puissance en mode récupérations

Energy Source	Advantages	Disadvantages	Best Estimated Power (*) ²	Reference
Solar	Relatively high efficiency compared to others	Must be illuminated to produce power	80mW (O)	[18]
Piezo	Can be in a sealed enclosure	Often requires vibrations	50-400uW	[19],[20]
Thermoelectric	Totally passive no moving parts	Requires a large thermal gradient	30-300uW Δ	[18],[21],[22]
Microbial	Ideal for wet environments	Requires large surfaces	10-30 uW	[23]
Chemical	Reliable	Limited lifetime	N/A (P)	-
RF Harvester	Small footprint	Requires large surfaces	10-20uW	[18]

Les récolteuses piézoélectriques ont gagné en popularité au cours de la dernière décennie et ont abouti à un certain déploiement de dispositifs commerciaux et à des succès expérimentaux, mais principalement à une échelle limitée et pour des quantités peu importantes d'énergie. Les systèmes pratiques ont tendance à être relativement gros. Parmi les différentes récolteuses, elles sont les plus susceptible d'être utiles dans les appareils médicaux et portables. Le principal inconvénient est qu'ils nécessitent une source consta toujours de vibrations pour générer de l'énergie. Ceci explique pourquoi elles sont plus intéressantes dans un paradigme sportif que dans un dispositif médical de soins chroniques où le patient a déjà une mobilité limitée [18], [19].

Le générateur thermoélectrique ou Peltier basé sur l'effet Seebeck a également gagné en popularité et une entreprise soutenue par la NASA[21] a vu le jour au début des années 2000, sous le nom de

² Notes *For 1 sq inch (6.25cm²) device size, O polycrystalline standard blue cell, Δ depends on the thermal gradient, P this is a basic oxido-reductive process known for at least 200 years.

Biophan[22], avec beaucoup de fanfare, mais certains problèmes liés à l'efficacité et à la biocompatibilité ont entraîné la disparition de l'entreprise. Les dispositifs thermoélectriques ne génèrent que peu de puissance pour être pratiques dans de nombreux systèmes. Les dispositifs commerciaux qui peuvent se vanter d'une puissance appréciable nécessitent généralement un gradient thermique jusqu'à 80°C ou plus [18]. L'exception en termes d'efficacité sont les piles thermonucléaires fonctionnent sur ce principe ou le gradient thermique vient d'une radio source. Ces derniers n'ont pas été disponibles pour l'industrie depuis les années 1970 pour des raisons évidentes. De nos jours, leur utilisation est limitée aux systèmes militaires et spatiaux.

Il a été démontré que les cellules microbiennes peuvent servir de sources d'énergie efficaces pour les équipements embarqués. Ceux-ci nécessitent de grandes surfaces pour être significativement efficaces. Les plantes, les humains et les animaux tirent l'énergie assez efficacement de cette manière. Donc il ne serait pas surprenant que ces approches aient un regain de succès dans les années à venir [23].

Les récolteuses à réactions chimiques ne sont rien de plus que des batteries ouvertes reposant sur les potentiels redox de différents métaux pour générer du courant. À cause que leur fonctionnement repose sur un processus oxydatif leur longévité est limitée un peu comme une cellule de batterie commune.

Les convertisseurs de radiofréquence (RF) extraient l'énergie du rayonnement ambiant d'origine naturelle ou naturelle. Les récolteuses RF étaient un sujet brûlant il y a quelques années, mais le rendement décevant a laissé quelques résultats utilisables. Leur principe de fonctionnement est assez simple, ils sont fabriqués à partir d'une antenne qui capture l'énergie qui est ensuite rectifiée et convertie en courant continu. La conception d'une antenne redresseuse ou d'une 'rectenna' peut être difficile et le rendement, même avec un design méticuleux reste limitatif [18].

Certains convertisseurs DC/DC de récolte peuvent convertir des tensions aussi basses que 300 mV, mais celles-ci sont toujours converties à des tensions plus élevées avant l'exploitation.

Malgré ces technologies disponibles et facilement utilisables, aucune d'entre elles ne permettent de résoudre le problème fondamental de l'exploitation de l'énergie efficacement dans la région sous 1V. L'opération de système à très basse tension étant notre objectif dans ce travail, une nouvelle approche demeure donc nécessaire.

Concept proposé

Le concept que nous cherchons à mettre en œuvre est une alimentation qui divise une tension de pile en domaines de tension plus petits utilisables pour un usage efficace par des circuits à très basse tension. La Figure 3 ci-dessous présente le concept de base.

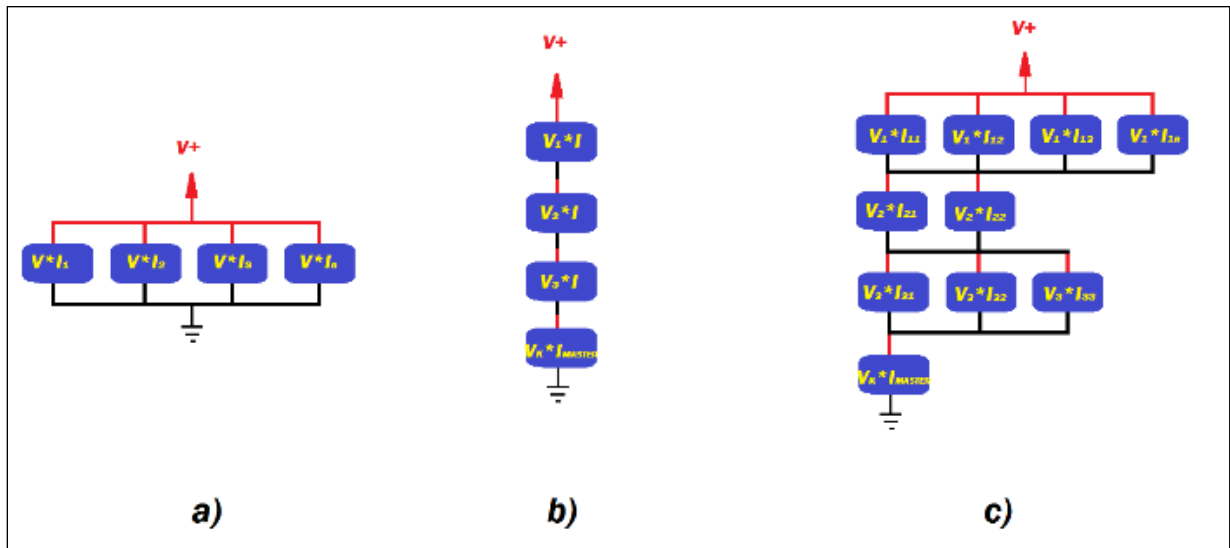


Figure 3 Topologies des régulateurs.

Dans la Figure 3 ci-dessus, nous pouvons observer A), le cas classique où différents domaines de tension sont dérivés d'une alimentation unique. B) un cas idéal de régulateurs empilés où chaque somme de tension est en série, ce qui entraîne une consommation de puissance égale à celle du circuit à consommation maximale. c) système distribué dans lequel les fonctions et le courant sont additionnés de sorte que les baisses de courant dans les domaines empilés de différents domaines soient constantes.

L'idée générale est que nous pouvons économiser de l'énergie en structurant l'alimentation de manière à ce que la pile se trouve du côté du circuit plutôt que du côté de l'alimentation, comme le montre la Figure 4.

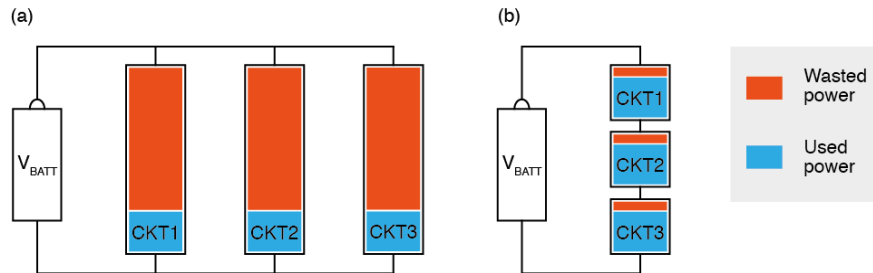


Figure 4 Représentation de la consommation d'énergie Régulateur linéaire vs. Waterfall

Les figures ci-dessus montrent la consommation d'énergie dans un circuit d'alimentation linéaire standard (a) et l'architecture proposée dans (b) si ce type d'architecture est utilisé, où l'économie d'énergie serait significative par rapport au régulateur standard et même au régulateur à commutation pour applications de faible puissance.

Les régulateurs 'stepdown' subissent d'importantes pertes de commutation et ces pertes augmentent considérablement à mesure que la consommation d'énergie diminue. Cependant, la plupart des dispositifs médicaux passent la majorité de leur temps en mode veille ; par conséquent, l'optimisation de la consommation dans ces modes a un impact considérable sur la longévité de la pile.

C'est en observant, il y a quelques années, l'eau qui coulait le long des marches irrégulières d'une chute en cascade que le fonctionnement du régulateur est devenu évident. La hauteur de la marche de chaque cascade était semblable à la différence de potentiel et le débit d'eau s'écoulant dans la région de cette cascade était analogue au courant. Ce système que la nature a sculpté au cours des millénaires ressemble à la décomposition d'une pile telle qu'Alessandro Volta l'a décrite il y a plus de 200 ans.

En pensant à tout cela et en regardant le sommet de la chute, il m'est alors apparu que la nature le fait en sens inverse: l'énergie potentielle au sommet de la cascade est divisée en étapes d'énergie potentielles. C'est alors que je me suis demandé si l'on pouvait diviser la tension d'une pile en fractions plus petites, qui pourraient ensuite être utilisées pour alimenter des circuits d'un système.



Figure 5 'Les Cascades' Parc national de la Mauricie³ (QC Canada par E. Bharucha.)

³ **Permission** : Bonjour Monsieur Bharucha,

Il y a deux possibilités.

S'il s'agit d'une photo que vous avez prise vous-même au parc, elle vous appartient et vous pouvez l'utiliser.

Par contre, si vous souhaitez que nous vous fournissions une photo, nous devons connaître comment la photo sera utilisée, la visibilité prévue et la durée de temps d'utilisation. Nous devons également en apprendre davantage sur votre projet pour nous assurer que l'association entre Parcs Canada et votre projet ne porte pas de préjudice à l'agence. Finalement, si votre demande est acceptée, il y aura des frais.

Si vous souhaitez donner suite à votre demande, vous pouvez me faire parvenir directement les informations nécessaires.

Bonne journée,

De surcroît, si nous pouvions diviser la pile comme une cascade et contrôler la hauteur des pas de la cascade, nous pourrions configurer différents domaines de tension. Il n'est pas si évident de savoir comment gérer le courant pour ces différents domaines car les fonctions peuvent avoir des besoins différents. Par conséquent, si l'eau tombait en cascade sur une cascade plus petite, le reste de l'eau devrait alors s'écouler ailleurs. Il a fallu un certain temps pour résoudre ce problème, mais en retombant sur l'image de cette chute en cascade, la solution est devenue évidente : l'eau qui coule du haut atteint le bas, quelle que soit l'ampleur du débit lors de ces étapes de chute. Ces réflexions furent alors le début de la solution.

Étonnamment, Quintus Cincinnatus Benignus, un célèbre ingénieur travaillant pour l'empire romain, a conçu quelque chose de semblable il y a 17 siècles, lorsque les Romains ont créé une fabrique de biscuits pour les marins installés à Barbegal [24]. En raison de l'âge avancé des ruines et du fait que les structures en bois ont pourri il y a plusieurs siècles, il n'est pas possible de vérifier comment, à Barbegal, elles auraient contrôlé le débit d'eau si la demande d'un niveau à l'autre avait été modulée. Aucun des mécanismes de contrôle du débit et des déversoirs n'est présent, puisqu'ils ont été construits à partir de matériaux périssables [25]. Selon l'analyse d'experts [25], il semblerait que tous les moulins possédaient une charge de travail quasi identique, ceux-ci étant des minoteries. Une charge de travail égale à chaque niveau aurait obscurci la question de la gestion du débit et de débits divers, dans ce cas l'usage de déversoirs aurait été inutile. La Figure 5 ci-dessous montre l'usine de Barbegal telle qu'elle a été reconstruite selon les découvertes et les textes archéologiques [25].

Julie Dumont

Agente, communications et relations publiques, Unité de gestion de la Mauricie et de l'Ouest du Québec

Parcs Canada / Gouvernement du Canada

Julie.dumont2@canada.ca / Tél. 819 247-3710

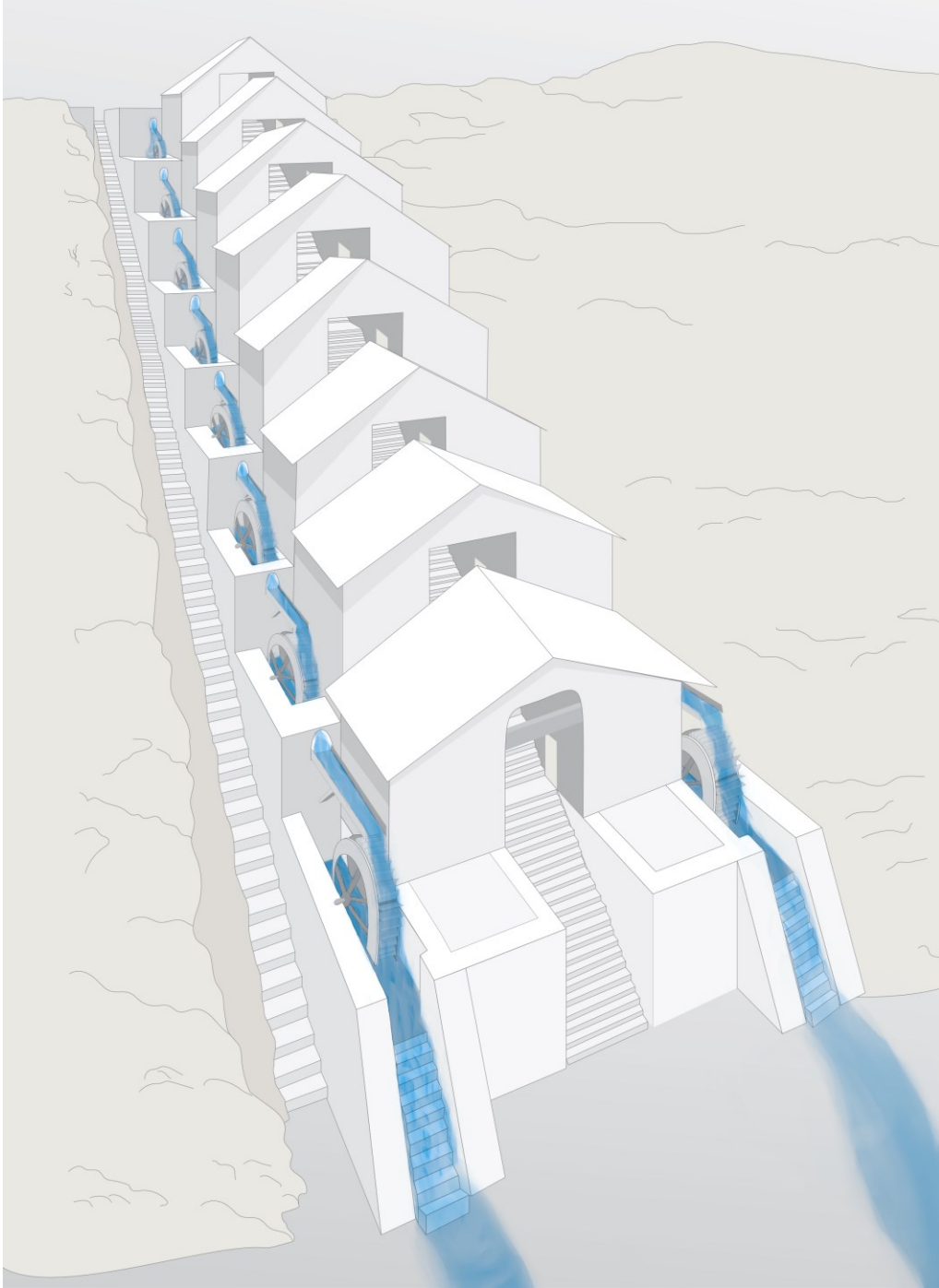


Figure 6 Dessin de l'usine romaine de Barbegal selon les texte et vestiges archéologiques

Un circuit analogue dans lequel la masse d'un régulateur devient l'alimentation du niveau immédiatement inférieur peut être construit et s'avérer efficace. Dans ce cas simplifié, cependant, les charges sont étroitement appariées et restent en grande partie silencieuses et statiques dans le

temps. Elles ne sont pas dynamiques, donc le problème est réduit à sa forme la plus simple. C'est une analogie parfaite avec le design Barbegal, que nous pouvons voir à la Figure 7.

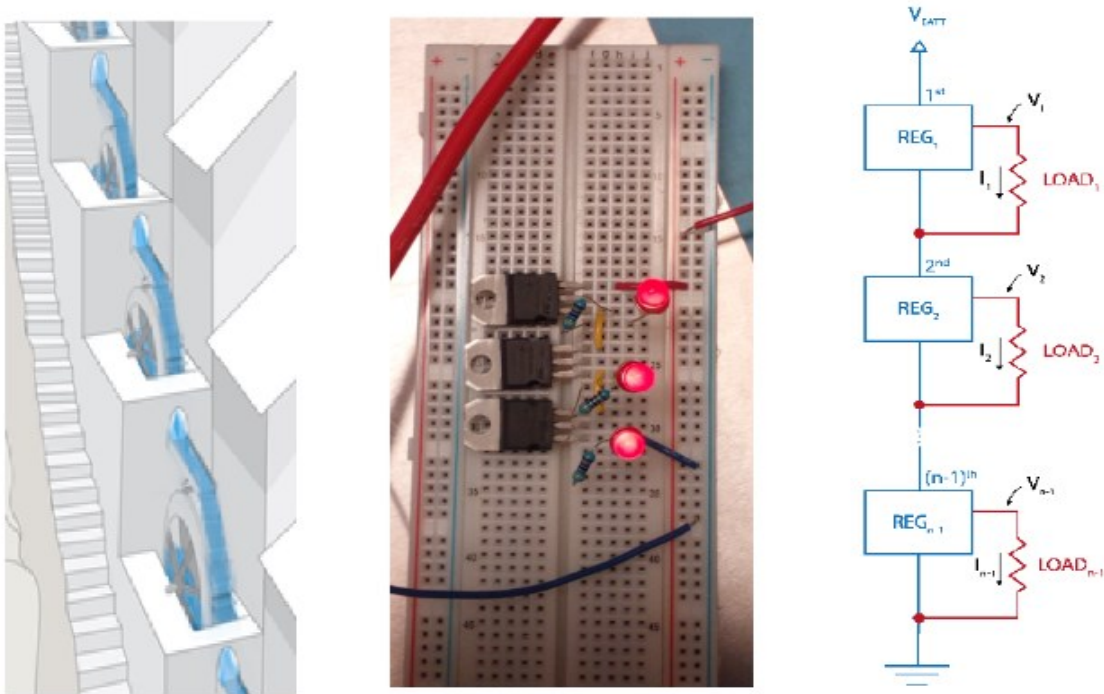


Figure 7 Représentation du circuit équivalent électrique de l'usine de Barbegal.

Sur la Figure 7, une série de charges statiques (DEL et résistances de limitation de courant) sont alimentées par une tension régulée. Dans ce cas, aucun asservissement n'est requis car toutes les charges sont identiques et constantes dans le temps. Ceci représente la forme statique la plus simple que nous utilisons pour notre analyse.

Cependant, dans la pratique, les charges modernes sont dynamiques et pour des raisons pragmatiques sont divisées en parties analogiques et numériques. Avec un tel agencement, les charges ne sont pas identiques, et les profils actuels des domaines de tension ne restent pas constants. La régulation du courant entre les domaines doit être mise en place.

L'objectif est alors de diviser une source d'alimentation en domaines plus petits, mais sans gaspiller autant d'énergie que dans un régulateur linéaire ou des pertes de commutation dans un convertisseur DC/DC.

Domaines d'application

Applications où un faible bruit de commutation est important

Les applications nécessitant un faible bruit de commutation ne peuvent souvent pas faire usage de convertisseur DC/DC, donc dans ces cas les régulateurs linéaires sont de mise et les régulateurs 'Waterfall' sont intéressants.

Application ayant un cycle de charge bas

Un grand nombre de capteurs ne fonctionnent pas de manière continue, ce qui constitue un défi de taille en matière d'économie d'énergie, lorsque le système fonctionne avec des piles ou qu'il combine de nombreux capteurs qui présentent collectivement une charge d'énergie importante.

Applications ayant des courants très bas

Les systèmes où le courant de repos est inférieur à 10uA, comme les applications biomédicales et les régulateurs à commutation sont extrêmement inefficaces. Leur efficacité peut être supérieure à 95% dans la plage du milliampère, mais tombe rapidement en dessous de quelques centaines de microampères. À titre de comparaison, les dispositifs implantables peuvent avoir des courants au repos inférieurs à 5 μ A. De même, les régulateurs linéaires gaspillent toute la tension de chute. Cela est vrai même dans les systèmes à faible chute de tension, car la différence de tension entre les alimentations de pile et la tension de fonctionnement peut être multipliée par le courant pour comptabiliser les pertes. Par exemple, un système fonctionnant à 1,8 V à partir d'une cellule Ion-Ion de 3,7 V nominal gaspille plus de 50% de sa puissance!

Applications biomédicales

De nombreuses applications biomédicales nécessitent un faible bruit, telles que les amplificateurs neuronaux électro-neurographiques (ENG) et les électrocardiogrammes (ECG). Souvent, dans ces cas, des régulateurs linéaires et des filtres sont utilisés. De nombreuses applications alimentées par le secteur utilisent des groupes de piles chargées par ce dernier. De telles approches sont rarement efficaces. En utilisant des régulateurs en cascade sur des applications nécessitant un faible bruit, l'efficacité énergétique est grandement améliorée.

Où plusieurs domaines et une fonction parallèle coexistent

Dans les systèmes complexes, les ensembles de périphériques sont alimentés simultanément et, que ces dispositifs interagissent ou non, l'architecture 'Waterfall' se prête bien. Des exemples de tels dispositifs comprennent les matrices optiques, en grappes, les téléphones cellulaires, les capteurs portables, l'électronique grand public et les instruments de mesure.

Dans les systèmes où inducteur et transformateur sont trop volumineux ou trop coûteux

Dans de nombreux gros systèmes d'alimentation, le bus est maintenu à basse tension pour le stockage et rehaussé à l'aide de convertisseurs pour le transport. Cela présente de nombreux inconvénients en raison de l'augmentation du courant et des grands transformateurs et inductances requis. Les gros transformateurs et inductances sont souvent chers puisque leur coût dépend des coûts croissants du cuivre et leur assemblage aujourd'hui est encore largement manuel. En remplacement, il serait possible d'utiliser des régulateurs Waterfall pour convertir d'un bus DC à haute tension en AC sans transformateur. L'émergence de convertisseurs solid-state témoigne de la faisabilité de tels modes de réalisation. Ils ont pour avantage de permettre à une partie du circuit d'être plus efficace et moins cher. Aucun usage de convertisseurs utilisant un régulateur Waterfall ou quelque chose de semblable n'a été rapporté jusqu'à ce jour.

Remplacement des pompes de charge

Dans certaines applications à faible puissance, les pompes à charge capacitive et les convertisseurs de type 'buck' sont utilisés. De tels dispositifs souffrent d'inefficacités dues à la RSE (résistance série équivalente) de leurs condensateurs. Ce gaspillage pourrait être résolu en utilisant des circuits de régulation en 'Waterfall'. Des exemples de tels circuits sont les contrôleurs de moteur vectorisés et les contrôles de valves solénoïdes. Le remplacement des semi-conducteurs basé sur Waterfall serait probablement moins volumineux également.

Nouveaux besoins en matériel électronique et en alimentation de circuit

Les nouveaux dispositifs à semi-conducteurs et à bande-gap utiliseront vraisemblablement différents niveaux de tension plus bas ; les circuits 5Vt et les dispositifs à memristors en sont des exemples.

Application avec grosses piles multiéléments.

Un énorme problème avec le bloc-batterie automobile dans les véhicules électriques consiste à équilibrer les sections de charge et de contournement des piles qui présentent des défaillances.

Présentement, les grosses piles de voiture peuvent comporter plusieurs milliers de cellules. La disposition en série et en parallèle de telles cellules est surveillée de manière limitée. Cela s'explique en partie par le fait que la surveillance des batteries nécessite du câblage et que le câblage est un travail fastidieux et que son coût augmente sans cesse en raison des coûts élevés du cuivre, le métal principal utilisé pour fins de câblage.

Si nous pouvions combiner les éléments des régulateurs en 'Waterfall' dans un bloc-batterie et le rendre suffisamment petit pour tenir par exemple dans le haut du bouton de chaque cellule, la surveillance de la batterie pourrait être réalisée. En outre, en plaçant un décodeur Manchester et en modulant un signal de faible courant, les cellules défaillantes du bloc pourraient être complètement contournées en utilisant un circuit similaire au régulateur de 'Waterfall', les modules de contrôle se communiquant par les décodeurs Manchester et un encodeur d'impédance pouvant moduler une communication faible courant dans le circuit de la pile elle-même (voir la Figure 8 ci-dessous).

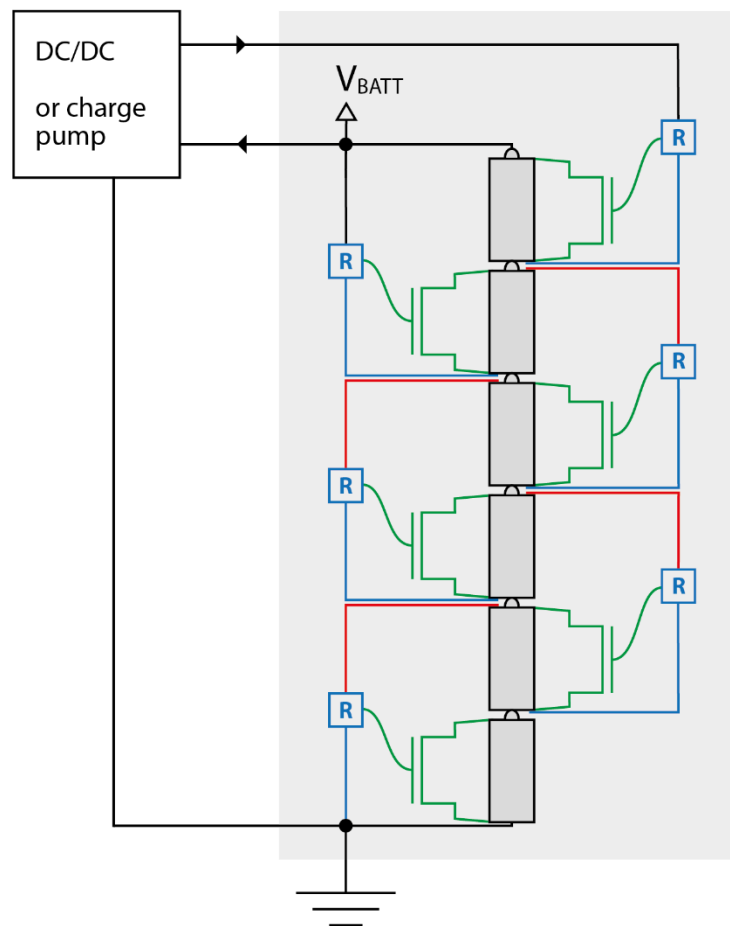


Figure 8 Mode de réalisation de la batterie de voiture électrique du régulateur Waterfall

Dans ce mode de réalisation, chaque cellule d'un grand bloc-batterie peut être contournée par des MOSFET d'alimentation. Cette combinaison de MOSFET sert également à ajuster la tension sur les cellules voisines lors de la charge. Si une cellule tombe en panne, les circuits de surveillance de la tension de détection «R» chutent. Le circuit DC/DC de la pompe de charge contient également des systèmes de communication qui peuvent interroger des régulateurs individuels pour vérifier l'état de la batterie via des systèmes de communication en mode courant (voir modules «R»). Lorsqu'une cellule tombe en panne, la cellule voisine supérieure fournit l'alimentation au régulateur de manière à éviter les défaillances uniques. En construisant un block-batterie de cette manière, on évite de grandes quantités de câbles de circuit de surveillance de contrôle et de charge, étant donné que les batteries de grande taille (par exemple celles que l'on trouve dans les véhicules électriques) peuvent

contenir plusieurs milliers de cellules, une grande quantité de câble de cuivre coûteux et un poids si elles sont évitées. La pompe de charge fournit une tension supérieure à la tension du bloc à faible intensité afin de permettre à la cellule supérieure d'être régulée de la même manière que ses voisins sur les échelons inférieurs de la pile.

Chapitre 2 Implémentation

Design basse tension

Afin de construire des circuits pouvant fonctionner dans la région inférieure à 1V, certaines limites des processus et des compromis de conception ont dû être prises en compte.

Suivant le ralentissement par la CMC à compter de 2015, il a finalement été possible de soumettre un design sur le processus 180 nm de la TSMC en juillet 2018. Ce processus est bien établi et stable. Toutefois, il n'incluait pas les transistors profonds à 'deep N-well' comme dispositifs standard. Pour l'élaboration du design, nous utiliserons les paramètres de processus énumérés ci-dessous pour les calculs initiaux.

Table 2 Les paramètres de processus principal pour TSMC 180 nm utilisé[26], les unités signalées par un astérisque sont sans dimension

<i>Paramètre technologique</i>	<i>N-MOS</i>	<i>P-MOS</i>	<i>Unité</i>
μC_{ox}	270	70	$\mu A/V^2$
V_{to}	0.45	-0.45	V
$\lambda \cdot L$	0.08	0.08	$\mu m/V$
C_{ox}	8.5	8.5	$fF/\mu m^2$
t_{ox}	5	5	nm
n	1.6	1.7	*
θ	1.7	1.0	1/V
m	1.6	2.4	*
$L_{ov}C_{ox}$	0.35	0.35	$fF/\mu m$
C_{sb}/W	0.50	0.55	$fF/\mu m$

Pour mieux comprendre les possibilités disponibles, une analyse systématique des techniques à très basse consommation a été utilisée. Il était hautement souhaitable pour nous d'utiliser ces processus de manière à exploiter et à réduire la consommation d'énergie de notre design. À cette fin, nous avons exploré diverses méthodes de réduction de puissance et d'abaissement de l'alimentation en tension. Certaines des plus intéressantes se trouvent dans le résumé suivant.

Modélisation et approche

Concevoir des systèmes à très basse puissance, est un défi, à une tension plus basse la consommation de courant sera elle aussi plus basse, mais ce gain vient au détriment de fuites accrues [9]. Plusieurs techniques ont été développées pour atteindre un fonctionnement de tension toujours plus bas dans les dispositifs. Quelques-unes d'entre elles ont été envisagées.

Régime 'Subthreshold'

Pour parvenir à une conception ultra efficace, plusieurs stratégies sont possibles, puisqu'une étude des technologies existantes et les avancées réalisées permettent de modéliser ces régimes. Dans cette optique, des techniques de conception 'subthreshold' ont été analysées. En mode 'subthreshold', les équations actuelles du MOSFET prennent la forme suivante.

$$I_D = [(n - 1)\mu_n C_{ox} V_T^2] \frac{W}{L} \left(\exp\left(\frac{V_{gs} - V_{th}}{n \cdot V_T}\right) \right) \cdot \left(1 - \exp\left(\frac{-V_{ds}}{V_T}\right) \right) \cdot (1 + \lambda \cdot V_{ds})$$

Dans ces cas, les effets secondaires deviennent significatifs : en particulier si la réduction d'échelle devient nécessaire, une réduction de la mobilité due au champ vertical s'ensuit[27]. Dans ce cas, la mobilité doit être remplacée par la relation suivante.

$$\mu_e = \frac{\mu_n}{1 + \theta \cdot V_p}$$

Cela est dû au fait que le champ électrique vertical augmente en raison de la mise à l'échelle, une t_{ox} plus faible entraînant une plus grande dispersion des porteurs et donc une dégradation de la mobilité globale.

Ce modèle était initialement un script dans Matlab™ pour une utilisation en conception. Le script sera réutilisé dans une phase d'optimisation ultérieure pour améliorer l'efficacité des régulateurs de cascade. Actuellement, certains des problèmes liés au fonctionnement 'subthreshold' incluent les performances en termes de délai. Ce régime présente une forte augmentation de retard.

Les fuites constituent également une préoccupation majeure. Nous avons examiné plusieurs approches pour résoudre ce problème. Une approche d'empilement en cascade semble appropriée

ici, mais ne résout pas les fuites inhérentes statiques dans les dispositifs. En raison de la nature exponentielle de la relation tension-courant, la variabilité d'une puce à une autre et même au sein d'une même puce peut être plus importante. Par conséquent, une conception minutieuse est essentielle. Après des travaux préliminaires, il a été décidé que la preuve de concept serait réalisée à l'aide de techniques standard de calcul en mode saturation.

Les sections suivantes décrivent diverses possibilités d'utilisation en conjonction ou indépendamment d'un fonctionnement 'subthreshold'.

MOSFET 'Stacking' (empilement)

Les fuites constituent l'un des principaux problèmes de l'inversion faible. Il peut donc être nécessaire de réduire ces fuites, en particulier dans les systèmes à faible cycle de service. Les commutateurs de puissance MOSFET en cascode qui commutent V_{ss} sont recommandés à cet effet car ils fournissent également une impédance plus élevée. Cette technique simple est très efficace. Le dispositif inférieur peut également être utilisé comme commutateur dans les circuits adiabatiques à faible cycle de service.

Transistors natifs

Les transistors natifs ou les dispositifs à zero- V_{Th} , comme on les appelle parfois, ne nécessitent pas d'étapes de traitement supplémentaires; il s'agit en fait de transistors pour lesquels les canaux n'ont pas été implantés ioniquement pour ajuster leur seuil à une valeur spécifique et contrôlée. Et là est le problème : ils sont plus sensibles aux variations intra et inter puce. Dans notre application, cependant, ils seraient parfaits pour les transistors passe P-MOS 'déversoirs' de courant, car la taille exacte n'est pas critique et le très faible V_{ds} est essentiel.

FBB (*Forward Body Biasing*)

La théorie MOSFET classique, la tension de seuil est donnée par

$$V_T = V_{T0} + \gamma(\sqrt{\phi_0 + V_{SB}} - \sqrt{\phi_0})$$

Où

$$\phi_0 = 2\phi_F + \Delta\phi$$

Où $2\phi_F$ est le potentiel Fermi et $\Delta\phi$ est $6kT/q$ ou environ 0.150V. Ce modèle classique montre que lorsque V_{SB} est augmenté, il ne peut qu'accroître la V_T mais ce n'est pas tout à fait vrai. L'équation ci-dessus peut être réarrangée et étendue au V_{SB} négatif ou plutôt V_{BS} , ce qui nous donne :

$$V_T = V_{T0} + \gamma(\sqrt{\phi_0} - \sqrt{\phi_0 - V_{SB}})$$

Ceci peut être développé pour inclure DIBL et SCE, qui sont discutés dans les sections suivantes:

La FBB a été documentée par des preuves expérimentales dans [28], [29]. La FBB diminue en fait la sensibilité à la variation du processus, mais présente l'inconvénient d'être plus sensible aux effets de la température[30].

Substantiellement, cela signifie que la polarisation directe du substrat par rapport à la source peut en réalité réduire le potentiel de seuil. Dans l'application actuelle, cela pourrait en fait être utilisé pour réduire MOSFET utilisés dans la fabrication de régulateurs dans lesquels les domaines de tension sont inférieurs à la tension de la pile. L'utilisation de processus de puits jumelés ou de puits isolés serait utile, mais ils ne sont pas bon marché. Une étude des processus disponibles via CMC ou MOSIS est de mise.

DIBL(Drain Induced Barrier Lowering)

Drain Induced Barrier lowering ou DIBL se produit car l'augmentation de la tension de source/drain précipite l'interaction entre les régions déplétion source/drain et diminue le seuil. À partir de l'équation ci-dessus, nous pouvons améliorer le modèle en utilisant ce terme ajouté. Dans notre application, DIBL n'est pas pertinent car il commence à faire la différence lorsque V_{ds} atteint environ 1 V ou plus, ce qui est une tension trop importante dans notre cas.

$$V_T = V_{T0} + \gamma(\sqrt{\phi_0} - \sqrt{\phi_0 - V_{SB}}) - \eta \cdot V_{ds}$$

Le coefficient η est typiquement de l'ordre de 100mV/V.

SCE (Short Channel Effect)

Un effet SCE se produit car la région de déplétion n'est plus une fonction linéaire de la tension de grille. À mesure que les canaux deviennent de plus en plus courts, les hypothèses linéaires cessent d'être vraies à mesure que les effets de frange ou de bord deviennent importants. Cela contribue à l'abaissement de la tension de seuil. Cet effet devient de plus en plus important avec la mise à l'échelle technologique. Puisque nous cherchons à le faire parce que les transistors natifs sont disponibles dans des processus plus petits[31], cet effet pourrait également être exploité.

$$V_T = V_{T0} + \gamma(\sqrt{\phi_0} - \sqrt{\phi_0 - V_{SB}}) - \eta \cdot V_{ds} - \Delta V_T$$

En ajoutant le terme SCE nous obtenons l'équation ci-dessus qui offre 3 poignées par lesquelles V_T peut être abaissé[32]. FBB et SCE peuvent être appliqués dans les régulateurs 'Waterfall'.

Limites fondamentales

Des limites fondamentales ont été établies pour la tension d'alimentation opérationnelle en fonction de la tension de seuil. Cette limite a été établie à $4-5V_{th} = (4-5)kT/q$ environ de 103 mV à 129 mV pour un appareil 2 transistors de haut voir[33]. Cela indique qu'un cas crédible pour un fonctionnement de circuit inférieur ou égal à 0,3 V est possible et que même inférieur à 0,2 V, celui-ci est possible avec les procédés existants. De plus, certains nouveaux matériaux non semi-conducteurs présentent des seuils encore plus bas.

En fin de compte, nous avons utilisé SCE et une polarisation directe du substrat en ayant recours à l'alimentation à pleine échelle des piles comme source d'alimentation plus étendue que les domaines d'alimentation individuels de la colonne de cascade. Ceci permet d'appliquer un biais FBB aux circuits. L'efficacité peut également être améliorée en agrandissant les dispositifs de passage PMOS (déversoirs). Dans notre cas, nous avons choisi de fabriquer de nombreux composants plus grands que d'habitude afin de réduire l'ampleur de V_{eff} et de diminuer ainsi les besoins en tension.

Table 3 Tableau comparatif sommaire de la technologie ultra basse tension

Technique	Avantages	Désavantages	Accessibilité/Coûts
Transistors Natifs	Dropout plus bas sur pass MOSFET de type PMOS.	Pas disponible dans tous les procédés 180nm TSMC.	Disponible à 130nm and higher scale processes
Opération Subthreshold (Inversion faible)	Très faible puissance en mode veille	Modélisation un peu plus délicate, problèmes de fuite La sensibilité à la température et la nature exponentielle rendent la conception plus difficile	Nécessite seulement plus de temps pour modéliser correctement et valider les modèles
DIBL	Peut fournir une réduction significative de V_T mais pas pratique dans notre dispositif basse tension	Trop haute tension pour notre usage.	Disponible
FBB	Peut réduire considérablement (30%) V_T , différents domaines peuvent exploiter le fait qu'ils ont chacun des masses de puissance indépendantes	Utilise de préférence des processus de puits indépendants	Accès limité et coûteux
SCE	Peut réduire considérablement (30%) V_T	Impédance et effets non-linéaires lorsque L est réduit, en particulier dans les processus d'échelle.	Disponible
Stacking/ Empilement	Reduces leakage, reduces or eliminates off-time/idle power consumption due to leakage	Adds another V_{eff} to minimal voltage value. Can be applied at the bottom of the stack	Disponible

Chapitre 3 Régulateur en Chute/Waterfall regulator

Parce que nous voulions concevoir des circuits pratiques, nous avons voulu commencer par un objectif de conception. Cet objectif est de produire un régulateur alimentant un circuit à microprocesseur et un second circuit d'entrée analogique fonctionnant tous deux dans des domaines de tension superposés différents.

Exigences de conception/requis

Les exigences de conception requises pour un système de régulateur 'Waterfall' à basse tension que nous souhaitons concevoir sont les suivantes:

Table 4 Spécifications du microsysteme régulateur 'Waterfall'

Specification	Value
Topology	Waterfall regulator
1st Voltage domain master	0.90 V +0.05-0.0 V
2 nd Voltage domain slave	0.35 V +0.05-0.0 V
Power source	A single Silver Oxide Cell 1.55V nominal
Dynamic performance	Ripple of less than 5mV for 50% load modulation at 50Hz.
Load capacity	Up to 200uA per stage

Architecture du système

L'analogie d'une chute en cascade est assez intuitive. Pour mieux illustrer le concept, la Figure 9 le rend plus clair.

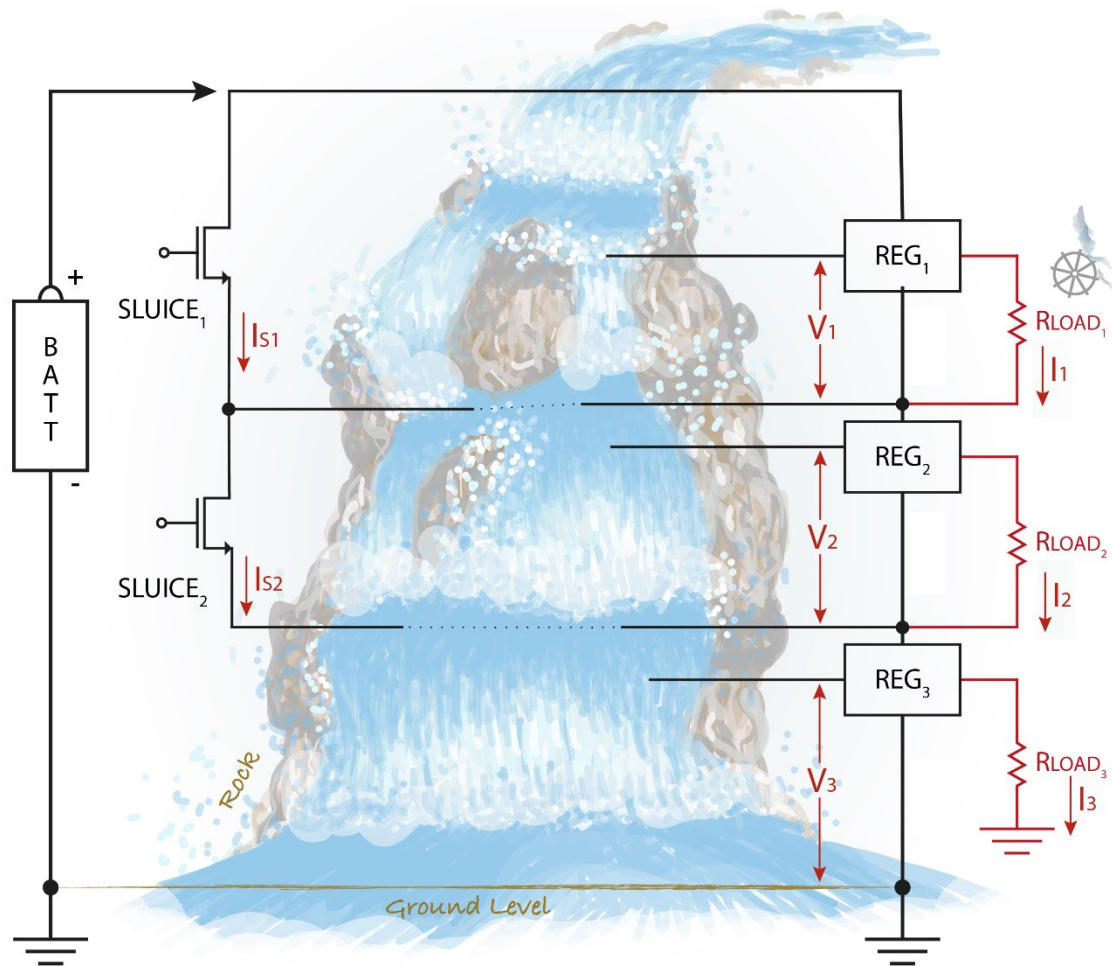


Figure 9 L'analogie d'une chute cascade 'Waterfall'

On peut dénoter des similitudes entre le courant et la tension comparés à la pression et le débit d'eau dans une cascade en escalier, d'où son nom. L'idée d'une cascade est née en campant dans le parc national de la Mauricie (parc fédéral canadien dans la province de Québec).

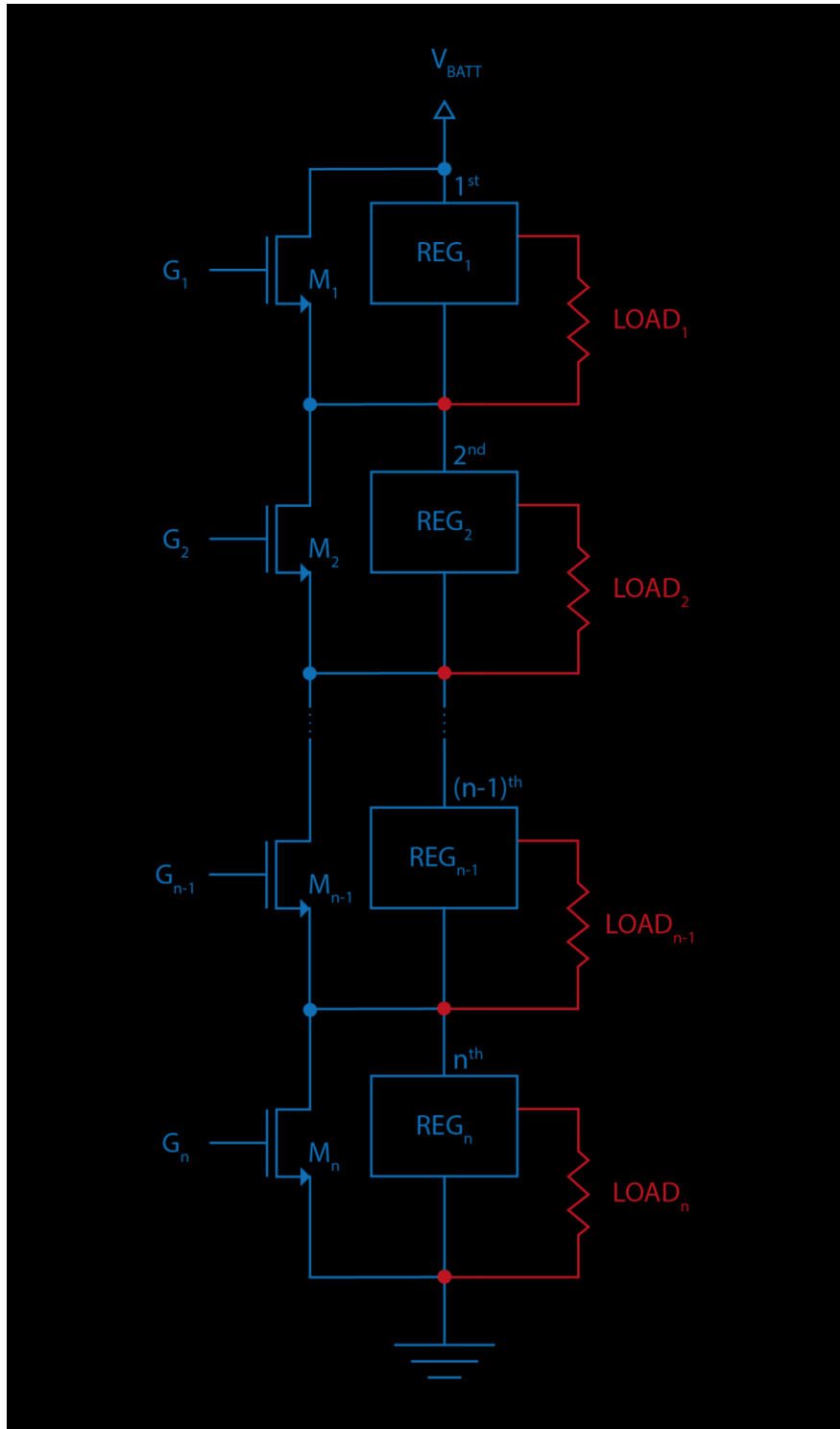


Figure 10 Topologie du régulateur 'Waterfall'

L'énergie utilisée dans les domaines autres que le domaine dominant est celle qui est économisée. Le MOSFET déversoir passe le courant d'un niveau à l'autre, mais avec une impédance et génère ainsi une petite perte dans le processus d'équilibrage qu'il fournit.

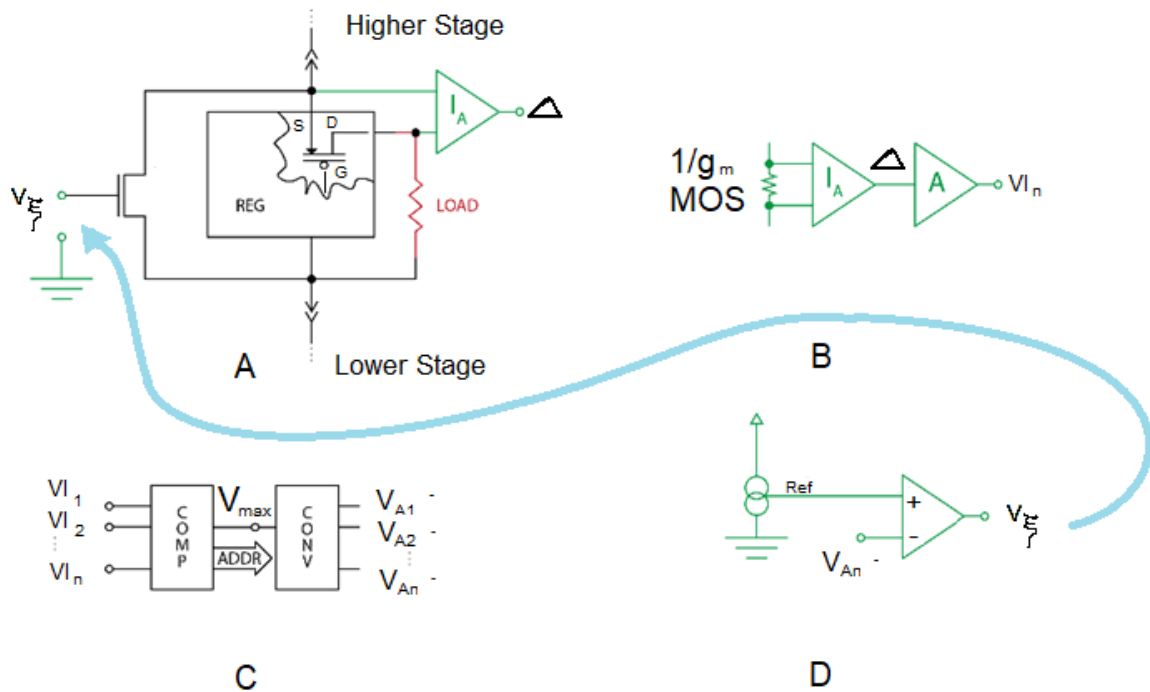


Figure 11 Les structures générales pour le contrôle du régulateur 'Waterfall'

Dans la Figure 11, la partie supérieure gauche (A) représente essentiellement un amplificateur différentiel à transimpédance utilisé pour détecter le courant circulant dans un étage. La partie supérieure droite (B) montre comment cela peut être réduit à la pratique en utilisant le canal de puissance P-MOS du régulateur. Dans le dernier cas, l'impédance du MOSFET est linéarisée autour du point de fonctionnement nominal, cette approximation est suffisante et fournit une tension proportionnelle au courant. Troisièmement, en bas à gauche (C), la référence de bande génère les échelons de tension requis comme référence absolue pour les régulateurs de cascade. Enfin, un comparateur en bas à droite permet de sélectionner l'étage maître qui dicte le courant à travers le système.

Incarnation la plus simple

La figure ci-dessous montre la forme de réalisation la plus simple et pratique de la conception en cascade.

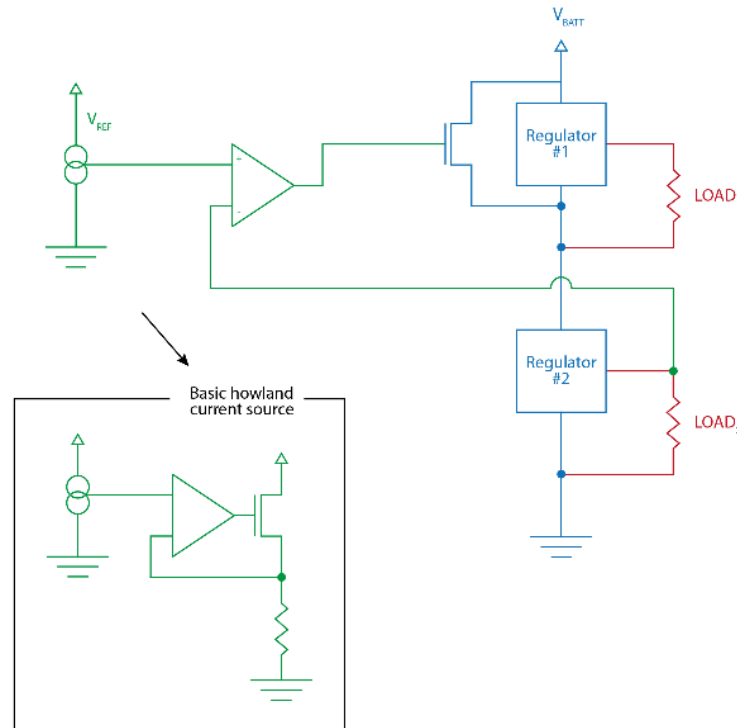


Figure 12 Mode de réalisation le plus simple du régulateur 'Waterfall' avec un étage.

Topologie de circuit de base d'ordre supérieur

La dernière partie du circuit rappelle un déversoir permettant de contourner le régulateur. Ici, c'est du courant qui passe dans un déversoir plutôt que de l'eau.

Dans les circuits de la Figure 10, tous les déversoirs (spillway) sont réglés pour suivre le niveau de courant le plus élevé. Ceci est généralement accompli en surveillant le courant à travers les P-MOS des régulateurs à l'aide d'un amplificateur différentiel, tel qu'illustré en A figure 11. L'ensemble de signaux de courant V_{in} sont placés dans un circuit comparateur. La sortie la plus élevée du comparateur dicte le courant dans l'ensemble du circuit. Un amplificateur différentiel suit ensuite le courant de l'étage pour calculer le courant restant à passer à travers le transistor de déversoir. L'étage avec le courant le plus élevé est appelé l'étage «maître» tandis que les autres étapes sont des étages «esclaves» et suivent l'étage maître pour la cible de courant. Dans une version optimisée, un circuit 'winner-take-all' comparerait l'ensemble des courants de tels circuits décrits par [34] et mentionnés à nouveau dans [35]. Un tel circuit serait optimal ici et permettrait le changement dynamique de l'étage maître.

Si nous définissons V_{an-} comme tension de commande à la grille du MOSFET déversoir pour un étage esclave, alors l'étage maître peut être modélisé comme une résistance de sorte que:

$$V_a^- = \left(\frac{V_{OUT_MASTER}}{I_{MASTER}} \right) (I_{MASTER} - I_{SLAVE})$$

Ce qui peut être simplifié à

$$V_a^- = V_{OUT_MASTER} \left(1 - \frac{I_{SLAVE}}{I_{MASTER}} \right)$$

Nous voyons donc que la tension de commande du déversoir est fonction du rapport de courants, alors ce type de circuit se prêterait bien aux dispositifs en mode de courant [10].

Le transistor de déversoir peut être théoriquement N-MOS ou P-MOS. Cependant, en raison des domaines de tension diminutifs, nous utilisons des dispositifs N-MOS à haute conductance et du fait que les puits isolés n'étaient pas disponibles dans le processus, nous avons opté pour des dispositifs P-MOS pour fin de déversement.

Il est très difficile de faire fonctionner les MOSFETs à un courant relativement élevé tout en affichant de petites chutes de tension effectives du drain à la source. Pour les systèmes à ordres multiples de tension égale, l'efficacité linéaire théorique s'avère être :

$$\eta \leq 1 - \left[\frac{1}{i} \right] - q$$

Où i est le nombre d'étages dans la cascade et q le pourcentage de puissance perdue pour les circuits. Cela signifie que l'efficacité théorique est de 50% de récupération d'énergie pour 2 étage, si les charges sont égales. Le constat devient impressionnant : à 10 étapes, un système n'utilisera qu'un peu plus de 1/10e de la puissance normale qu'il aurait demandée dans un design classique.

Design

La première partie consiste à concevoir les mosfets de passe de la figure 11 -A) de manière à ce que la chute de tension sur le dispositif atteigne une valeur maximale acceptable d'environ 50 mV. Comme point de départ, si nous supposons qu'il fonctionne en mode de saturation, nous avons ceci:

$$V_{eff} = \sqrt{\frac{2I_D}{\beta}}$$

Si nous savons que le fonctionnement actuel du microcontrôleur à 1 MHz est de 68uA p.22 de SLAS673 Texas Instruments, l'op-amp consommera moins que cela. Par précaution, calculons pour 100uA et ajoutons un facteur de sécurité de deux ; ainsi, la consommation de courant est de 200uA ou 0,2 mA pour l'ensemble du circuit.

Si vous examinez les convertisseurs DC/DC à la pointe de la technologie sur Digi-key, par exemple, ils réduisent rapidement leur efficacité aux basses tensions ou courants. Ceux qui peuvent fournir une basse tension, disons en dessous de 0,5 V, fournissent cette tension à un courant très élevé dans la plage des ampères. Il existe des dispositifs très efficaces à très faible courant, comme le BD70522 de RHOM, mais ils ne descendent que jusqu'à 1,2 V, ils réduisent très rapidement leur efficacité en dessous de ce niveau et se coupent par la suite, car leurs circuits de commande ne sont pas adaptés au domaine inférieur à 1V.

Par conséquent, il existe un besoin évident et non satisfait en ce qui concerne une solution appropriée pour ces circuits basse tension et basse puissance. Il devrait être possible de faire fonctionner les circuits de commande du régulateur 'Waterfall' où chaque régulateur est complètement indépendant, mais cela serait plus compliqué car cela nécessiterait un processus avec une tension de seuil beaucoup plus basse et des puits dopés N profonds (deep N-well). Cette combinaison n'était pas une option disponible.

Systèmes d'asservissement

En utilisant la transformée de Laplace, nous pouvons convertir l'analyse temporelle des équations différentielles en domaines fréquentiels. Les équations algébriques résultantes sont linéaires superposables en domaines fréquentiels. La transformée a la structure mathématique suivante: elle a été développée à la fin du XVIIIe siècle et publiée pour la première fois en 1820 [36] sous une forme légèrement différente.

$$\mathcal{L}(f(t)) = F(s) = \int_0^{\infty} e^{-st} f(t) dt$$

Avec cette transformée, nous pouvons convertir le diagramme en bloc du régulateur 'Waterfall' en une fonction de transfert algébrique que nous pouvons ensuite optimiser pour un contrôle stable. Pour des raisons évidentes dans notre système basse consommation, la méthode de contrôle ne peut pas être basée sur un contrôleur classique. Dans les systèmes d'ordre plus complexe et de complexité plus élevée, des systèmes

basés sur un microcontrôleur pourraient être envisagés. Pour la démonstration en cours, il a été jugé nécessaire de construire un contrôleur à partir de composants analogiques.

Contrôle cascade

Il s'avère qu'une classe de systèmes de contrôle à double boucle de rétroaction, communément appelée contrôle en cascade, peut modéliser le système. Dans cette situation, la boucle de contrôle interne est le contrôle du régulateur de tension tandis que la boucle externe correspond au schéma de contrôle du déversoir actuel. Selon [37], la contrainte principale pour un fonctionnement correct i.e. stable, est que la boucle interne soit plus rapide que la boucle externe. Dans la conception, nous avons considérablement accéléré la boucle interne en concevant un amplificateur cascade replié pour le contrôleur du régulateur de tension. En fin de compte, nous avons également ralenti un peu la boucle externe en utilisant du filtrage passe-bas capacitif pour déplacer le pôle dominant externe à une fréquence plus basse. Ce schème nous permet d'obtenir un contrôle du bruit et une régulation respectable de la charge.

Des modèles simples du premier ordre ont été utilisés dans la conception d'un régulateur 'Waterfall' à deux étages. Cependant, une modélisation améliorée et un système de contrôle plus sophistiqué seraient nécessaires pour mettre en œuvre des systèmes d'ordre supérieur.

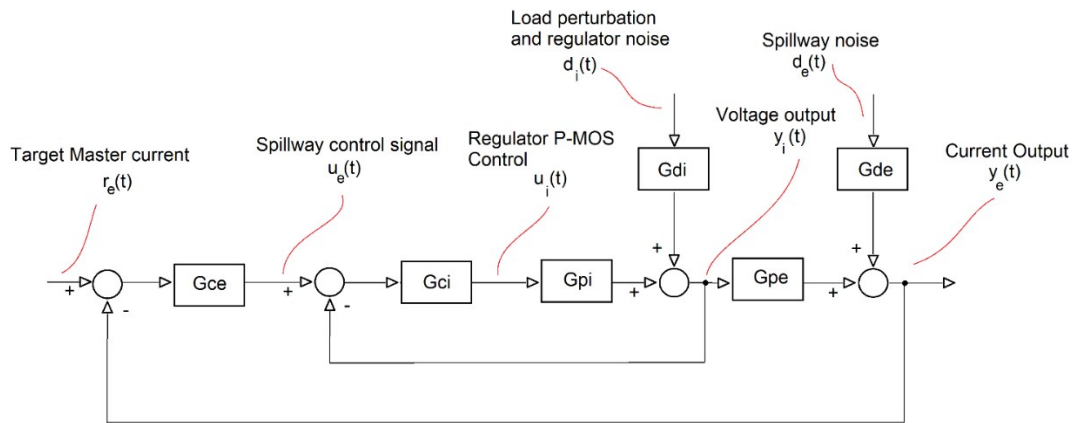


Figure 13 Cascade control model of the waterfall regulator

Potentiel d'action et marge d'amplitude de signaux

L'un des principaux objectifs du développement de systèmes à très basse puissance est de concevoir des systèmes pouvant être utilisés pour étudier le cerveau. Des objectifs clairs pour ce genre d'application ont été présentés dans [15]. Il a été avancé qu'une tension d'alimentation plus basse est doublement efficace, puisqu'elle ne nécessite pas autant de gain à l'entrée analogique. Par exemple, si un convertisseur analogique-

numérique ou ADC fonctionne à 0,5 V, vous avez besoin d'un gain 6 fois inférieur à celui alimenté à 3 V. Cela entraîne une mise à l'échelle de puissance de second niveau. Avec cette observation, il a été convenu que des amplificateurs ultra-basse puissance étaient nécessaires.

Chapitre 4 Amplificateurs à 0.35 V avec une entrée au substrat/body

L'un des principaux objectifs de la conception de composants électroniques basse tension est la mise à l'échelle directe de la consommation électrique, l'une des fonctions analogiques de base étant l'amplificateur. Ici, nous essayons d'abaisser la tension d'un amplificateur de sorte qu'il puisse être utilisé dans un domaine à très basse tension pouvant être alimenté par notre nouveau circuit de régulation. [5] et [38] ont montré un circuit d'amplificateur avec cette topologie, mais leurs performances et leur consommation de courant n'étaient pas les objectifs principaux de leur design. En conséquence, les appareils consomment des niveaux de puissance qui ne sont pas impressionnants comparés à ceux opérant à des tensions plus communes. Nous essayons ici de réduire non seulement la consommation de tension, mais également la consommation de courant de ces appareils. Dans cet esprit, nous fixons les exigences de performance au minimum absolu nécessaire pour une application prédestinée dans ce cas, un amplificateur neuronal de base puissance pour une cellule en 'patch clamp'.

Requis pour un amplificateur fonctionnant à 0.35V

Basés sur l'ensemble des informations exposées précédemment, les objectif et spécifications minimales pour l'amplificateur 0.35V qui en découle sont les suivants:

Table 5 Requis initiaux pour l'amplificateur 0.35V

Spec	Value
Gain	12dB/stage
BW	1-6kHz
PM	$\geq 50^\circ$
SR	0.1 V/ μ s
Noise	350nV/ $\sqrt{\text{Hz}}$
Current	30 μ A
Supply Voltage	0.3-0.4V

Pour un tel circuit, le gain sera proportionnel à la transconductance de grille M1 et M4 est noté ici comme g_{m1-4} . D'autres types d'OTA à basse tension qui ont été rapportés [41], [40] possèdent un nombre de transistor vertical faible (bien qu'à des tensions plus élevées), mais certains de ces travaux utilisaient un processus triple puits qui n'était pas disponible à un prix raisonnable pour ce travail.

Le principal inconvénient de l'approche par substrat est que ces amplificateurs sont bruyants. Il convient de noter ici que l'objectif de ces amplificateurs est la détection des pointes de potentiel d'action et non l'analyse scientifique de canaux ioniques. Nous pouvons donc affirmer que de sur-optimiser des performances d'amplificateur permettrait de déceler des caractéristiques microscopiques ne présentant aucun intérêt pour de nombreux systèmes de réhabilitation et l'étude du contrôle du cerveau macroscopique [15], [42].

Pour débiter la conception du circuit, nous notons que le gain de l'amplificateur doit être proportionnel à la transconductance du substrat de M1 et M4. De plus, afin de minimiser le décalage de sortie (offset), nous appliquons le fait que R1 et R2 sont aussi étroitement appariés que possible. Cette transconductance peut être approchée comme [26]:

$$g_{mb} = \frac{1}{5} \sqrt{2I_D \mu_p C_{ox} \frac{W}{L}}$$

Sur la base de travaux publiés antérieurement, l'analyse complète de la topologie ci-dessus, telle que démontrée, permet de déterminer le gain différentiel du circuit ci-dessus [4]:

$$A_{diff} = \frac{g_{mb1-4}}{g_{ds1-4} + g_{ds2-3} + g_{ds5-7} + 1/R_{1-2} - g_{mb2-3}}$$

Où g_{mb} est la transconductance du substrat et g_{ds} est la conductance du canal source à drain ou $1/r_{ds}$ pour le MOSFET spécifié.

Dans ce qui précède, nous pouvons voir que l'augmentation du courant ne fera qu'augmenter le gain à la racine carrée de cette augmentation. Nous voulons obtenir un gain dans la plage de 22 à 50 dB. [15] décrit pourquoi cette valeur est une limite critique. Si nous appliquons plusieurs amplificateurs différentiel en cascade en vue d'obtenir plus de gain, nous pouvons ainsi calculer l'augmentation de gain nécessaire pour obtenir le courant minimum indiqué pour 22 dB [15] à 50 dB avec un cascade de 2 amplificateurs. Pour cette plage, nous pouvons calculer la diminution des besoins actuels pour obtenir un gain dans un plage de 22 à 50 dB comme suit:

$$\Delta I = \left\{ 10^{\frac{25}{20}} / 10^{\frac{11}{20}} \right\}^2 = 25$$

Basé sur le design original de 40 μA pour Bias-N et de 4 μA Bias-I, l' I_D de M1 et M4 devrait être un gain inférieur de $\sqrt{10}$ ou 3.16 pour un courant dix fois plus faible. Ainsi, nous pouvons nous attendre à un gain de 21db. Pour 0.175V de polarisation à la sortie et la définition d'une condition initiale de 50 mV sur V_{DS} pour M6, nous obtenons alors:

$$V_{eff} = \sqrt{\frac{2 \cdot I_{D6}}{\mu_p C_{ox} \frac{W}{L}}}$$

Par conséquent, en réduisant l'exigence de gain, et en baissant la tension d'alimentation, nous réduisons la consommation de courant d'un facteur 25. Ensuite, nous devons régler la tension de la sortie de sorte qu'elle se situe à mi-chemin de notre source d'alimentation. Dans ce cas, il s'agit de 0,175 V ou 175 mV. Pour ce faire, le courant dans la résistance dicte la tension. Nous savons que le potentiel d'action dans le cerveau aura une amplitude d'environ 120 mV directement à la surface du neurone. En s'éloignant du neurone, l'atténuation du signal est de plus en plus grande. Cela implique donc que la plage dynamique minimale avec laquelle nous pourrions travailler serait d'environ +/- 70 mV. À 0,35 V, nous obtenons plus que le double de plage dynamique.

L'étape de conception suivante implique la définition du point de polarisation sur V_{out} . Nous réglons donc la plage de tension de fonctionnement à 0,35V, puis nous voulons que la sortie soit polarisée à 0,175V ou 175mV. Pour cela, nous devons également avoir le point de la tension « V_n ». En tant que point de départ raisonnable pour une alimentation aussi faible, nous fixons une V_{DS} de M6 à environ 50 mV. Pour ce faire, nous n'avons besoin que de:

$$V_{OUT} = v_{out(s)} + V_{out(DC)} = \frac{I_{I_bias}}{2} \cdot R_1 + V_{ds6}$$

Pour régler ceci, nous devons d'abord décider du courant de polarisation que nous utiliserons dans l'amplificateur. L'ampleur de ces courants dicte en grande partie le GBP de l'amplificateur. Sachant que notre ADC fonctionnera à environ 250 mV à pleine échelle [43], nous pouvons affirmer que par rapport à une échelle de 3,3 V, par exemple, nous sommes environ 13 fois plus bas. Donc, le gain délesté pour atteindre une échelle semblable de résolution est encore mieux que ce qui était précédemment indiqué. Ainsi, si notre amplificateur est centré autour de 0,175V, nous obtenons une bascule de 0,15 V crête à crête suffisante. Par

conséquent, nous visons avec un gain de $20 * \log 13 = 22$ dB, ce qui n'est pas négligeable pour chacun deux étages, puisque cela correspond à un gain de $3,55V / V$.

Étant donné que la transconductance de substrat du MOSFET constitue environ 20% de ce que cela serait pour une transconductance normale et que nous cherchons à atteindre un gain d'amplification d'au moins 10 dB par étage, il est nécessaire de mettre en cascade des périphériques pour obtenir des gains plus élevés. Le but serait de compenser les asymétries dans la puce réelle dues aux variations de processus et aux variations lithographiques. Il est donc évident que la tension aux bornes des résistances de polarisation est de 125 mV pour un fonctionnement à 0,35V. Par conséquent, avec un courant de polarisation de $1 \mu A$ à travers M6 scindé en 2 branches, il faudra que les deux résistances soient à 250 k Ω . Ainsi, le gain provient de la transconductance de substrat de l'amplificateur, que l'on peut estimer comme étant 20% de la transconductance, donc:

$$g_{ds} = 0.2 * g_m = \frac{1}{5} \cdot \sqrt{2I_{D1,4}\mu_p C_{ox} \frac{W}{L}}$$

Comme indiqué précédemment, sur la base de [4], nous souhaitons utiliser 10 fois moins de courant étant donné que nous n'avons pas besoin d'une largeur de bande passante aussi grande, c'est-à-dire que nous voulons régler le courant à travers M6 à $1 \mu A$ et les courants de M5 et M7 environ 4 fois plus donc à $4 \mu A$. En se basant sur le design de 0,5 V de [4] rapportant un gain de 52dB, avec un courant dans ce cas 10 fois plus petit, nous pouvons nous attendre à un gain d'environ 3,16 fois moins. Cependant, si nous redimensionnons également la taille des transistors d'un facteur 4, nous compensons la diminution du courant, ce qui donne une mise à l'échelle aussi simple que

$$A_{new} \propto \sqrt{\frac{I_{Dold}}{10} \cdot 4 \left[\frac{W}{L} \right]_{old}}$$

Qui se simplifie à

$$A_{new} = \sqrt{0.4} \cdot A_{old}$$

Ce compromis ne devrait générer que 36,8% du gain original, mais avec une baisse de consommation d'un facteur 10.

Dimensions finales des transistors pour l'amplificateur 0.35V

Les dimensions finales des transistors suivant les simulations correspondent aux valeurs indiquées dans le Tableau 3 ci-dessous:

Table 6 Dimensions finales des transistors pour l'amplificateur différentiel 0,35V

TYPE	REF DES	W	L
N	M057	18.75 μ	500n
N	M06	65 μ	1 μ
P	M1	100 μ	500n
P	M4	100 μ	500n
P	M2	40 μ	500n
P	M3	40 μ	500n
N	M6	65 μ	1 μ
N	M5	75 μ	500n
N	M7	75 μ	500n

Layout de l'amplificateur

La structure de l'amplificateur a été conçue en plusieurs étapes. Les grands transistors M1-4 ont été conçus en tant que dispositifs interdigités et centroïdes communs afin de réduire les erreurs de non-concordance (mismatch) entre les paires et donc éviter les décalages dans le dispositif. Les transistors étant élargis dans le but de maximiser la transconductance faible du substrat, il en résulte d'énormes transistors M1 et M4, comme on peut le voir sur le côté gauche de la Figure 15. La paire de transistors mesure 150 μ m sur 60 μ m. Au coin supérieur droit, on aperçoit la disposition centroïde commune de M2 et M3. Tous les autres transistors font partie du réseau de polarisation de courant. Deux transistors non représentés dans le schéma de circuit ci-dessus ont également été inclus pour fournir une tension de polarisation du courant sans recourir à une source de courant si nécessaire.

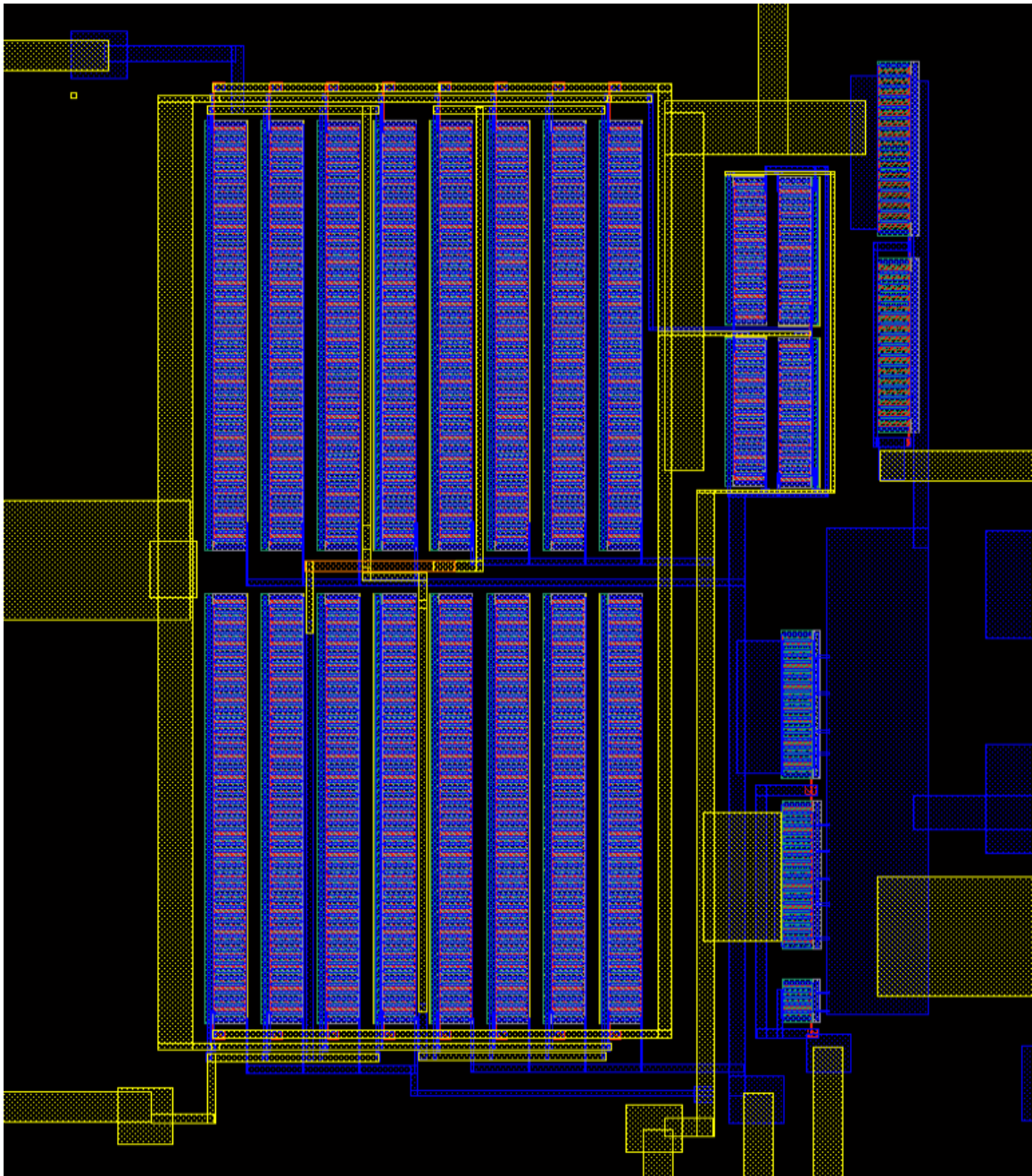


Figure 15 Plan d'ensemble de l'amplificateur de substrat

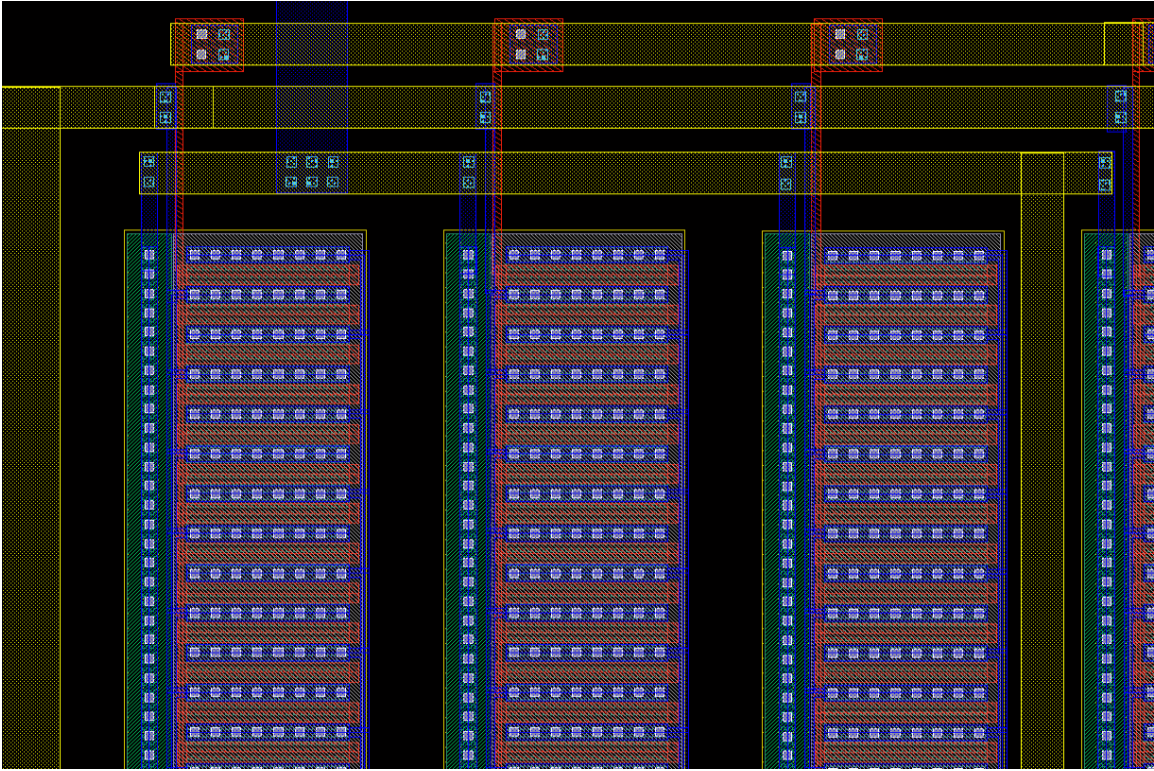


Figure 16 Drain, source et grille distribués et leurs connexions dans de grands transistors.

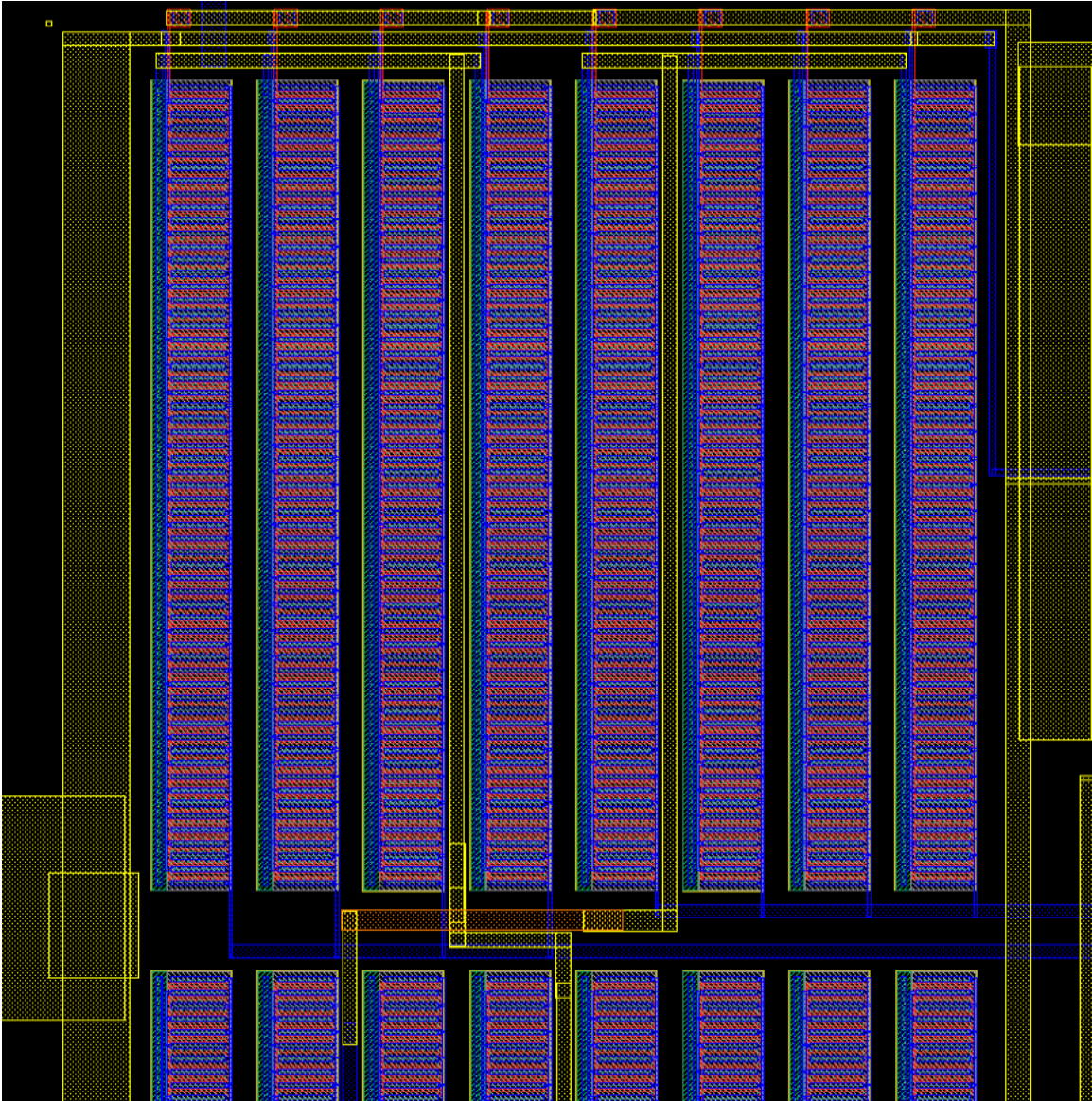


Figure 17 Architecture de connexion centroïde montrant un grand nombre d'éléments

Le layout complet est illustrée dans la figure ci-dessous. En raison de l'objectif pratique de la mise en œuvre, il a été décidé de ne pas utiliser un grand transformateur d'entrée, comme cela est couramment fait pour tester ces filtres. Les filtres RFI internes et les réseaux de polarisation que nous avons mis en place ont été configurés pour la première expérimentation. Bien qu'il semble y avoir de nombreux circuits autour de la puce, ils ne sont que des circuits de polarisation pour les sources de courant, des filtres RFI et une alimentation sur mesure afin pour générer l'alimentation de 0,35 V à des fins de test. De toute évidence, une phase de test ultérieure consistera à utiliser le domaine 0,35V généré par le régulateur de cascade.

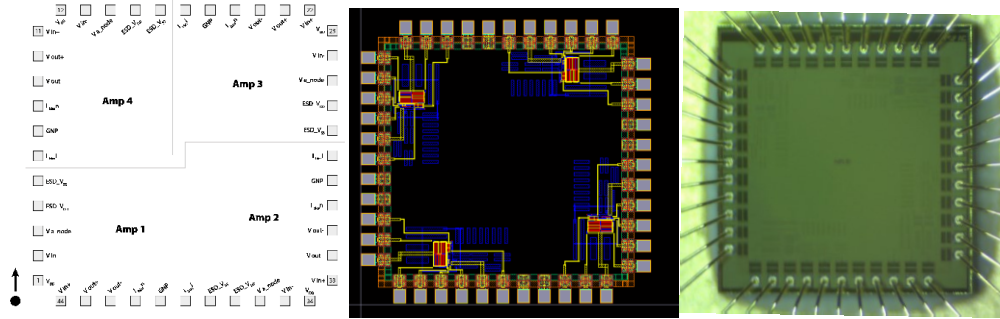


Figure 18 4 Structure de la puce de l'amplificateur de substrat et microphotographie du dispositif physique

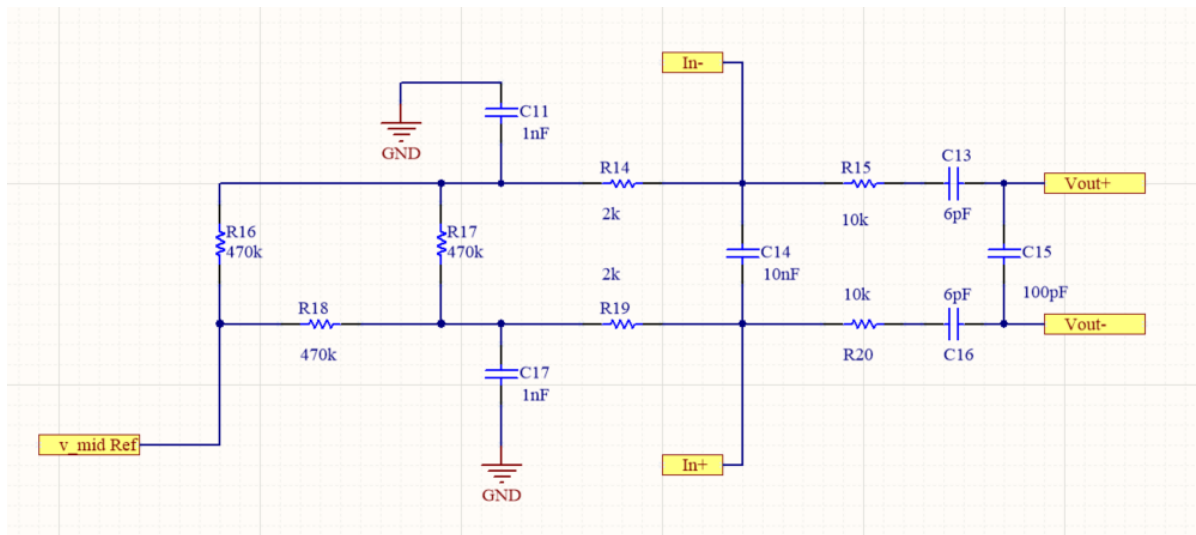


Figure 19 Filtres RFI et circuit de polarisation pour l'amplificateur différentiel 0.35V

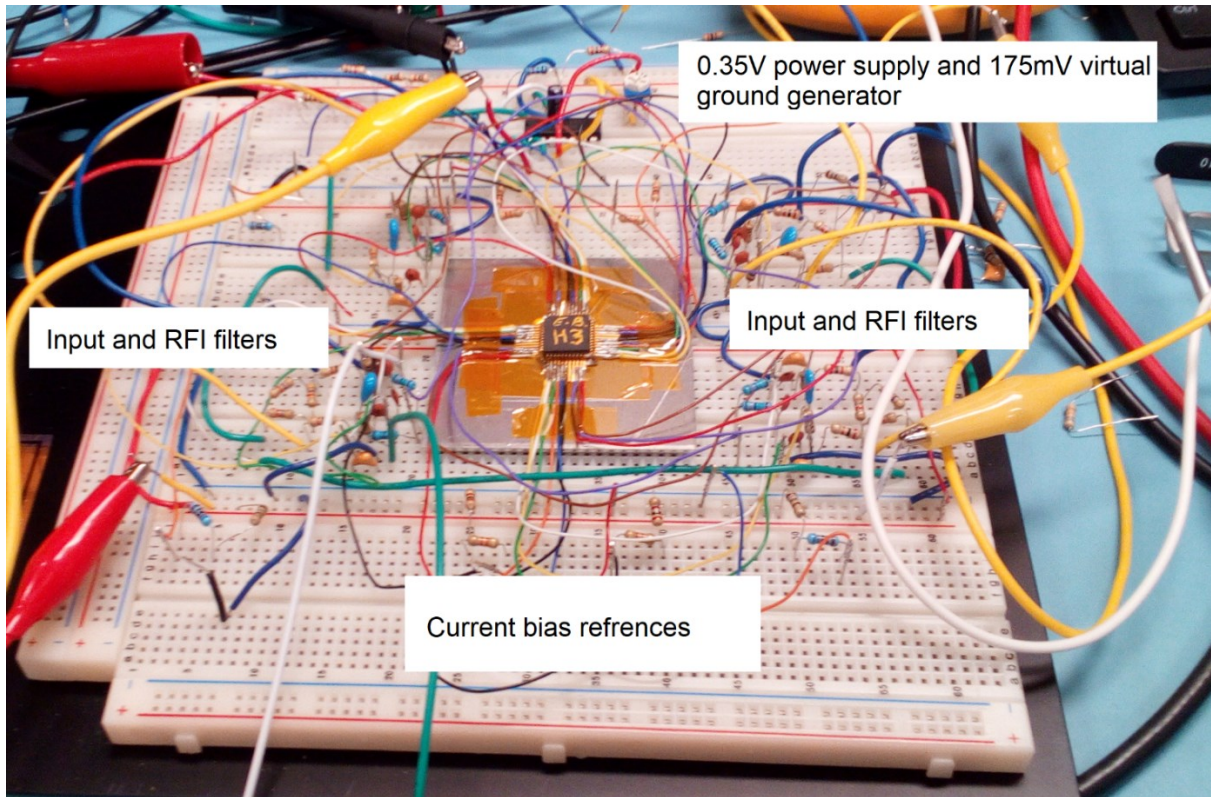


Figure 20 Configuration de test de puce pleine échelle pour amplificateurs différentiels 0,35V

En cascade plusieurs amplificateurs, il est possible d'augmenter les gains globaux du circuit. Une configuration de test est illustrée dans la figure ci-dessus

Résultats

À la suite du montage expérimental, les tests ont été réussis pour différentes configurations d'amplificateurs. La Figure 21 ci-dessous montre les données brutes obtenues dans une configuration en deux étages.

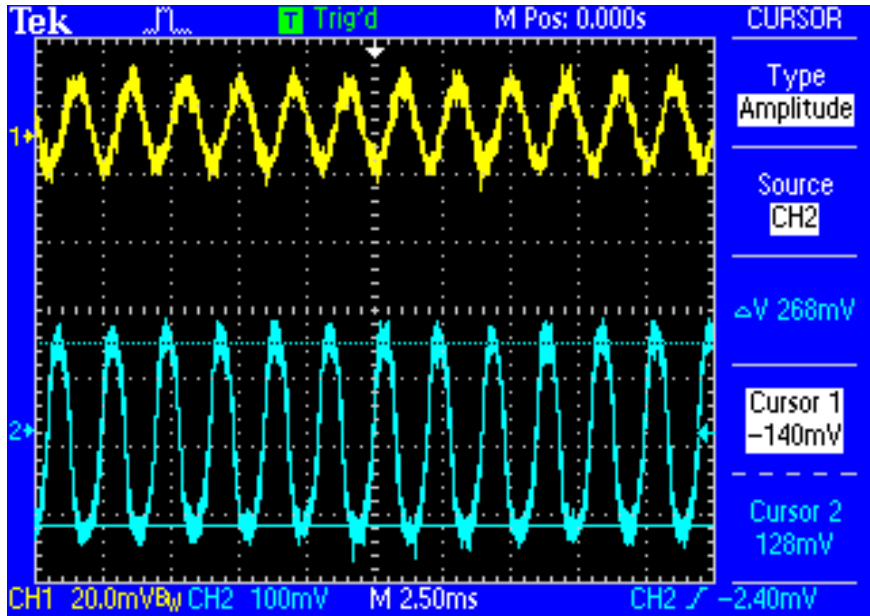


Figure 21 2-Stage gain example response of 0.35V amplifier

Des réponses en fréquence ont été obtenues pour diverses topologies afin de mieux comprendre les écarts entre les résultats simulés et empiriques. Le gain suit assez étroitement la simulation, mais l'acuité des simulations n'est pas aussi bonne dans le cas de la largeur de bande en fréquence. La figure ci-dessous révèle les principaux résultats.

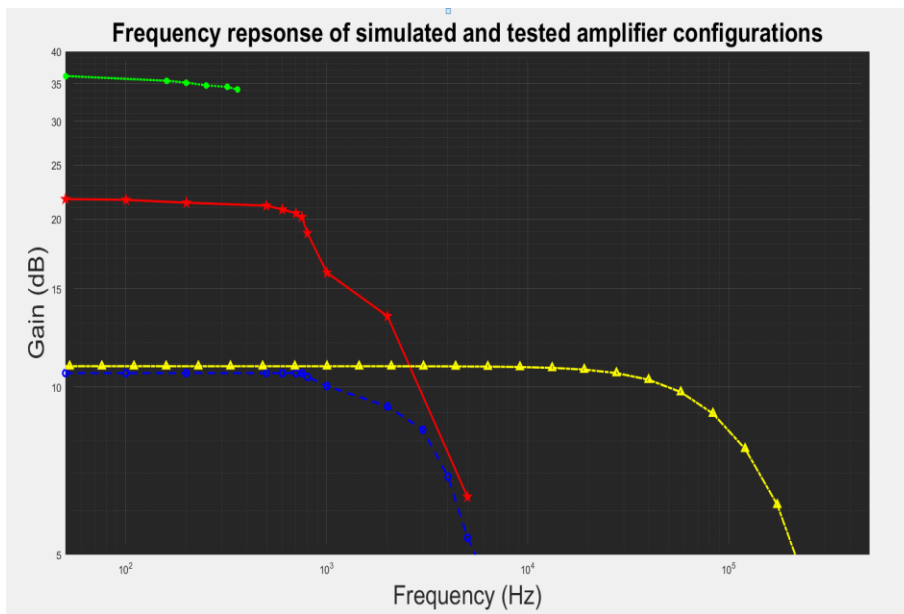


Figure 22 La réponse en fréquence de l'amplificateur 0,35V et des étages en cascade.

Comme mentionné, le gain correspond presque à la perfection entre la simulation et le circuit physique. Ici, la courbe bleue est la réponse empirique d'un seul étage d'amplification. La contrepartie simulée de ce dispositif est représentée par la courbe jaune. Le rouge représente la réponse de 2 étages cascades, tandis que le vert représente une réponse à 3 étages. Cette dernière courbe est abrégée car l'amplificateur présentait une distorsion importante au-dessus de 500Hz.

Le Tableau 4 ci-dessous répertorie les principaux résultats obtenus. Un circuit amplificateur a fonctionné avec succès à 315 mV à 3,9 μ A et a généré un gain de 10,1 dB. La plupart des dispositifs présentaient un décalage(offset) d'environ 35 mV. Cela pourrait être corrigé en augmentant la tension d'alimentation d'un décalage identique, ou en équilibrant les résistances de polarisation d'entrée. Il convient de noter ici que des changements minimes dans l'offre de tension se manifestent par une variation importante des gains et de la consommation en puissance. Ainsi, avec 50 mV, on pourrait constater de très grandes différences de performances.

Table 7 Résumé de la performance des Op-Amps à 0.35V

CONFIG	PWR (μ w)	MAX GAIN (dB)	GBW (Hz)
1 AMP DIFF	12.29	10.1	N/A
1 AMP DIFF	136	10.6	3600
2 AMP DIFF	279	21.8	824
3 AMP DIFF	290	35.6	400

La configuration à deux étages correspond étroitement aux performances de la simulation en ce qui concerne les performances de gain, mais manque de largeur de bande. La cascade de filtres RFI a ajouté des pôles qui n'étaient pas présents dans la simulation. Les travaux futurs minimiseront l'introduction de pôles en supprimant certains circuits de polarisation superflus entre les étages. Les travaux préliminaires ont déjà montré que cela était efficace. Dans la même veine, il serait préférable d'ajuster le décalage avec les résistances R1 et R2 par ajustement au lieu d'ajouter des modules de décalage ayant des résistances élevées comme celles du schéma de la Figure 19. Il semblerait également possible d'optimiser ces circuits pour qu'ils fonctionnent à seulement 4 ou 5 fois [9] le voltage thermique, ce qui placerait l'amplificateur dans la plage de 150 mV d'alimentation. De telles améliorations permettraient des interfaces de systèmes nerveux directs avec un gain très faible [15] et donc un fonctionnement à faible puissance. La performance préliminaire obtenue ici conviendrait pour les tests biologiques.

Chapitre 5 Circuits de régulateurs 'Waterfall'

Les sections suivantes décrivent la conception des sous-circuits utilisés pour la mise en œuvre de la version microélectronique des circuits de régulation en cascade. L'objectif final est de combiner les différents circuits décrits dans les parties suivantes à l'exécution du système minimal à deux étages décrit précédemment.

Op-Amp

Pour contrôler les écluses de courant, des amplificateurs opérationnels sont nécessaires. Les amplificateurs opérationnels doivent fonctionner en deçà d'alimentations de 1V. Un bon concept de base est montré dans [26] et la Figure 23 ci-dessous affiche l'implémentation utilisée:

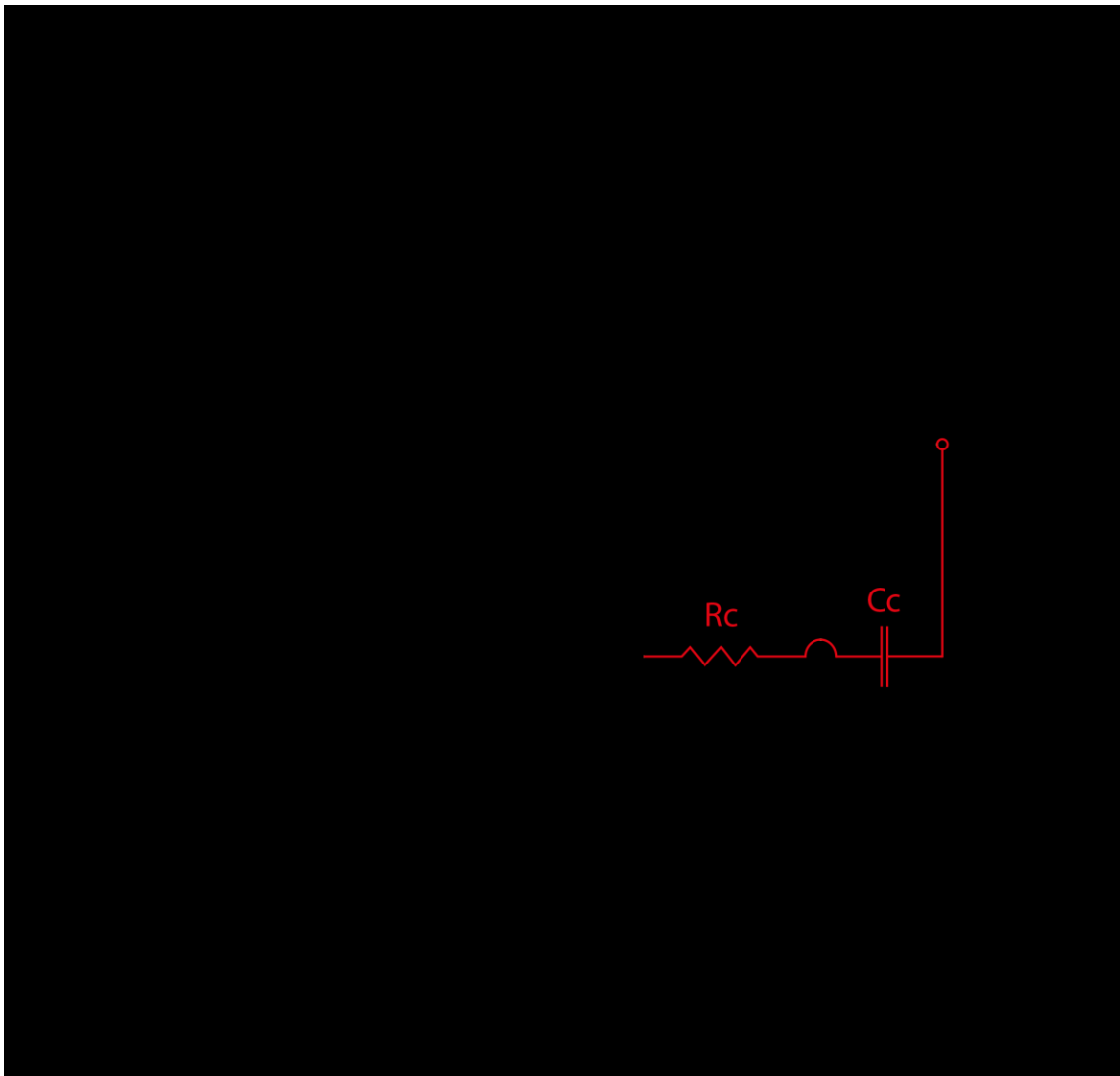


Figure 23 Circuit Op-Amp utilisé pour le contrôle du régulateur ‘Waterfall’

La première étape consiste à spécifier les exigences minimales requises pour le fonctionnement. Aller trop au-delà de ces exigences ne fera que gaspiller de l’énergie précieuse. Avec cette ligne directrice, la conception a été réalisée pour des performances minimales avec une marge de sécurité. Sur cette base, nous avons ciblé les spécifications énumérées dans le Tableau 5 ci-dessous. Pour commencer, nous définissons un taux de balayage minimal (slew rate) de 1 kV/s en définissant le courant maximal de l’étage de sortie sur 100nA. Nous pouvons également définir une valeur approximative pour la capacité de compensation, que nous pouvons fixer à 2 pF au départ. Pour ce faire, nous fixons I_{5000} à 1 μ A.

Cela fonctionne pour:

$$\frac{dV}{dt} = SR = \frac{I_{5000}}{C_c} = \frac{1\mu A}{2pF} = 0.5V/\mu s$$

Nous multiplions ce résultat par 2, ce qui représente un facteur de sécurité pour notre conception, aboutissant ainsi à un taux de balayage de 0,1 μ V / s. Si nous fixons I_{D5000} à 1 μ A, $I_{D1000,2000}$ sera à 500 nA.

Table 8 Spécifications initiales de l'Op-Amp

Spec	Value
Gain	45dB
BW	10KHz
PM	$\geq 50^\circ$
SR	0.1 kV/s
Noise	350nV/ \sqrt{Hz}
Current	3-5 μ A
Supply Voltage	1V

Parce que nous visons 65 dB, nous avons besoin d’un gain d’environ 1780V/V. Nous pouvons viser 500V/V dans le premier étage et 40V/V dans le deuxième étage. À partir de cette valeur et du courant de M_{5000} , nous pouvons calculer la résistance de sortie du premier étage. Nous pouvons également définir la taille de M_{5000} en supposant que la taille du transistor de sortie d’une source de courant d’alimentation serait de $W = 2\mu$. Étant donné que nous opérerons à 500 nA et que nous aurons besoin de 1 μ A, nous pouvons alors régler

M5000 à $W = 4\mu$. Les courants passant par M1000, M2000, M300 et M400 étant égaux, nous n'avons pour ces transistors que:

$$r_o = \frac{L}{\lambda \cdot LI_D}$$

Nous pouvons estimer que R_o est égal à $\frac{1}{2}r_o$. En effet, l'impédance de sortie des transistors dépend uniquement de la longueur des dispositifs. Par conséquent, si nous définissons des longueurs égales au départ, nous savons que l'impédance résultante mise en parallèle de M400 et M2000 est égale à la moitié de l'impédance d'un de ces 2. Par conséquent, pour le premier étage:

$$R_o = \frac{L}{2 \cdot \lambda \cdot LI_D} = \frac{1\mu m}{2 \cdot 0.08\mu \cdot 500nA} = 12.5M\Omega$$

Dans le circuit de la Figure 23, le gain du premier étage de l'amplificateur dépend de la transconductance de M1000 multipliée par la branche composée de M2000 et M400. La transconductance de premier étage devrait donc être :

$$g_{m1000} = A_1/R_o$$

Sachant r_o et le gain souhaité, g_{m1000} est estimé à $4,2e-5$ A/V. Nous pouvons ensuite calculer la taille de M1000 comme suit en fixant d'abord sa longueur à $1 \mu m$:

$$\frac{W}{L} = \frac{(g_{m1000})^2}{2I_{D1000}\mu_p C_{ox}}$$

Cela a pour conséquence que les transistors du premier étage sont réglés à $25 \mu m$ pour les modèles M1000 et M2000. Il en découle que pour le deuxième stade, le gain dépend de la transconductance de M177. Là encore, nous pouvons contraindre la longueur de M166 et M177 à $1 \mu m$ puis obtenir l'impédance de sortie sur la base du budget actuel de $3 \mu A$.

$$(r_{o166} \parallel r_{o177}) = R_o = \frac{r_o}{2} = \frac{L}{2\lambda \cdot LI_D} = 4.2M\Omega$$

Cela donne une impédance de sortie de $4,2 M\Omega$. Maintenant, pour que le second étage fournisse un courant d'entraînement suffisant, nous allons définir I_{D6} à environ 50% plus élevé que celui du premier étage; nous visons donc $1,5 \mu A$ tel que $W_6 = 6 \mu m$. Pour optimiser le gain au deuxième

étage, nous voulons que M7 soit aussi grand que possible, mais nous ne voulons pas qu'il soit trop grand, car sa capacité de grille sera trop grande et pourrait influencer négativement la réponse. Nous avons donc fixé la limite de 300 fF pour C_{gs7} . Cette approche dicte la largeur maximum quand nous divisons par C_{ox} . Cela nous donne $W = 35,3\mu$ que nous arrondirons à 36μ .

Ensuite, pour réduire le décalage, nous établissons que

$$\frac{(W/L)_{177}}{(W/L)_{400}} = 2 \frac{(W/L)_{166}}{(W/L)_{5000}}$$

Ainsi, le rapport de M177 à M400m doit être de 3:1, donc la taille de M4 est établie à 12μ . L'étage de gain du deuxième étage est le produit de $g_{m177} = 86nA / V$ avec $R_o = 4,2 M\Omega$, ce qui génère un gain total d'environ 46 dB, qui est suffisant.

Les tailles finales des transistors fabriqués pour l'ampli-op sont énumérées dans le Tableau 6 ci-dessous,

Table 9 Les dernières tailles de transistors pour l'ampli-op

TYPE	REF DES	W	L
P	M5000	4μ	1μ
P	M1000	25μ	1μ
P	M2000	25μ	1μ
N	M300	12μ	1μ
N	M400	12μ	1μ
P	M166	6μ	1μ
N	M177	36μ	1μ

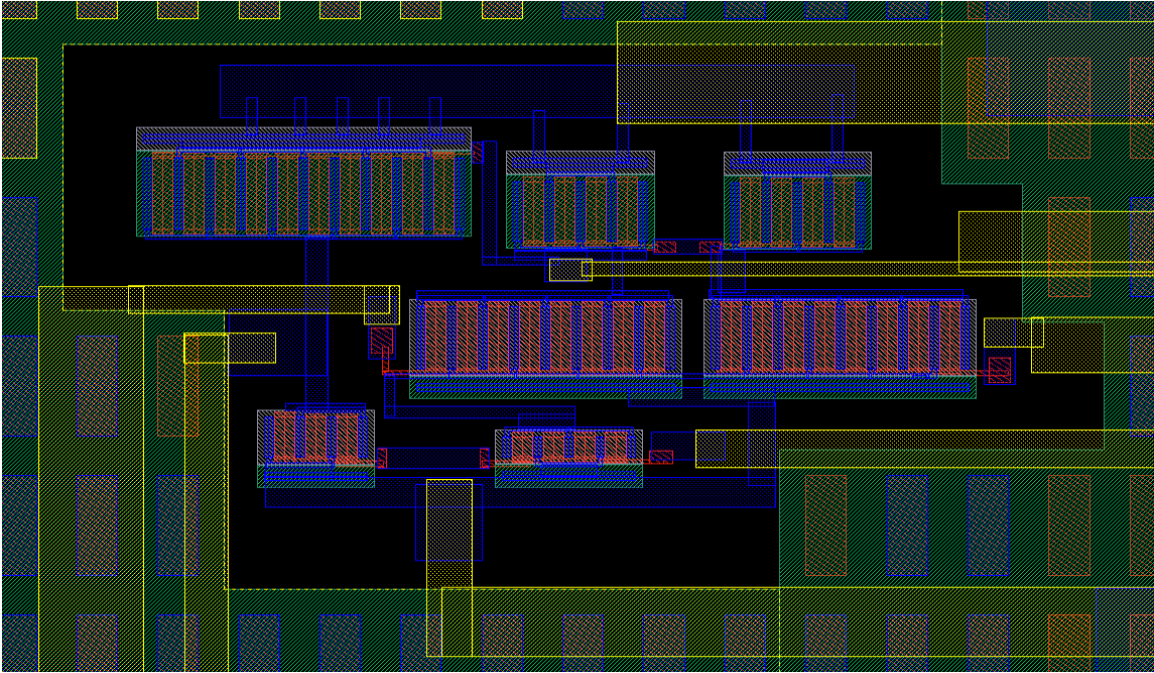


Figure 24 Layout d'amplificateur à usage général

Source de courant β -Multiplicateur

Une source de courant β -multiplicateur a été conçue pour fonctionner comme illustré dans le diagramme de la Figure 25 ci-dessous. Le circuit multiplicateur bêta génère un courant constant qui dépend principalement des rapports géométriques des transistors MOSFET. Ils sont également thermiquement stables lorsque les courants et V_{gs} sont modulés avec la température pour compenser les variations de mobilité opposées. Ce dernier point se produit toutefois au prix d'une amplitude dynamique limitée. Les circuits à β -multiplicateurs sous différentes formes sont traités dans [44], [26].

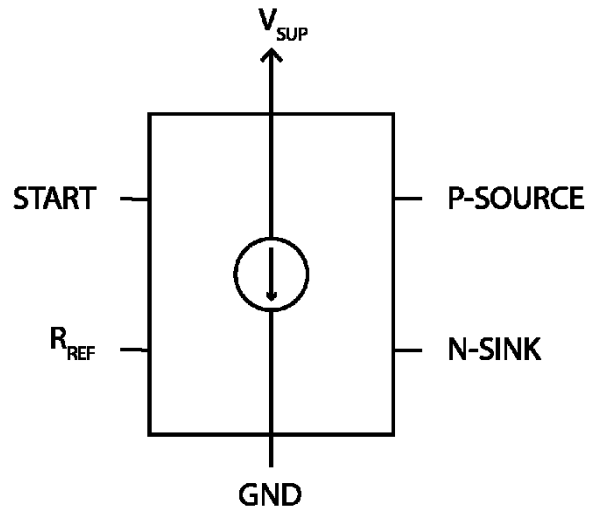


Figure 25 Diagramme en bloc du β -multiplicateur

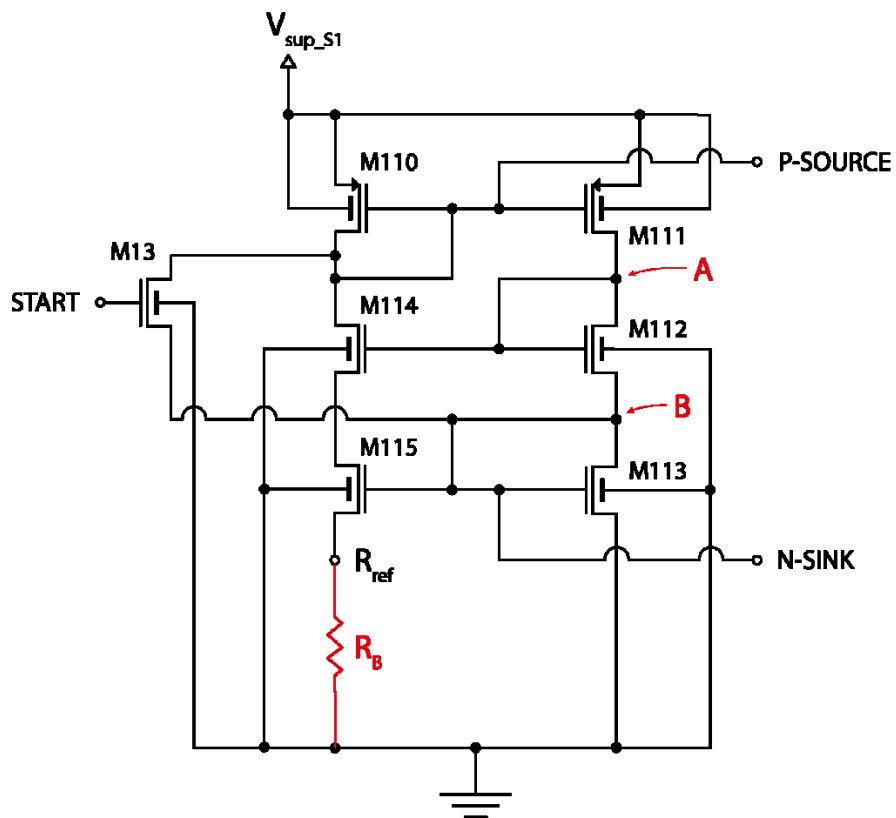


Figure 26 Circuit de la sources de courant β -Multiplicateur

La résistance de polarisation R_B a la relation suivante dans le circuit qui régit le β -multiplicateur.

$$R_B = \frac{2}{\sqrt{2I_{D13}\mu_n C_{OX}(W/L)_{113}}} \cdot \left[1 - \sqrt{\frac{(W/L)_{113}}{(W/L)_{115}}} \right]$$

Le côté droit de l'équation ci-dessus est simplement divisé par 2 par la transconductance g_{m113} . En réglant également W/L de M113 à 4 fois moins que M115, nous réduisons la partie du côté gauche à $\frac{1}{2}$.

$$R_B = \frac{1}{g_{m113}}$$

Pour commencer, nous réglons le courant dans les branches du β -multiplicateur à $1 \mu A$, le courant de sortie cible. En choisissant $L = W = 1 \mu m$, nous obtenons théoriquement une transconductance de $2.32e-5 A/V$, ce qui dicte un R_B de $43k\Omega$ pour $1 \mu A$. Nous pouvons dimensionner les autres transistors en utilisant les équations suivantes pour les MOSFET N et P respectivement

$$g_{mi} = \sqrt{\frac{(W/L)_i I_{Di}}{(W/L)_{113} I_{D113}}} g_{m113}$$

Pour les MOSFET P, nous avons la même relation, mais avec un terme de modulation de mobilité correspondant aux différences entre μ_n et μ_p .

À partir de la valeur sélectionnée $L = 1 \mu m$ $I = 1 \mu A$ et $W110 = 2 \mu m$, les valeurs de calcul finales sont définies.

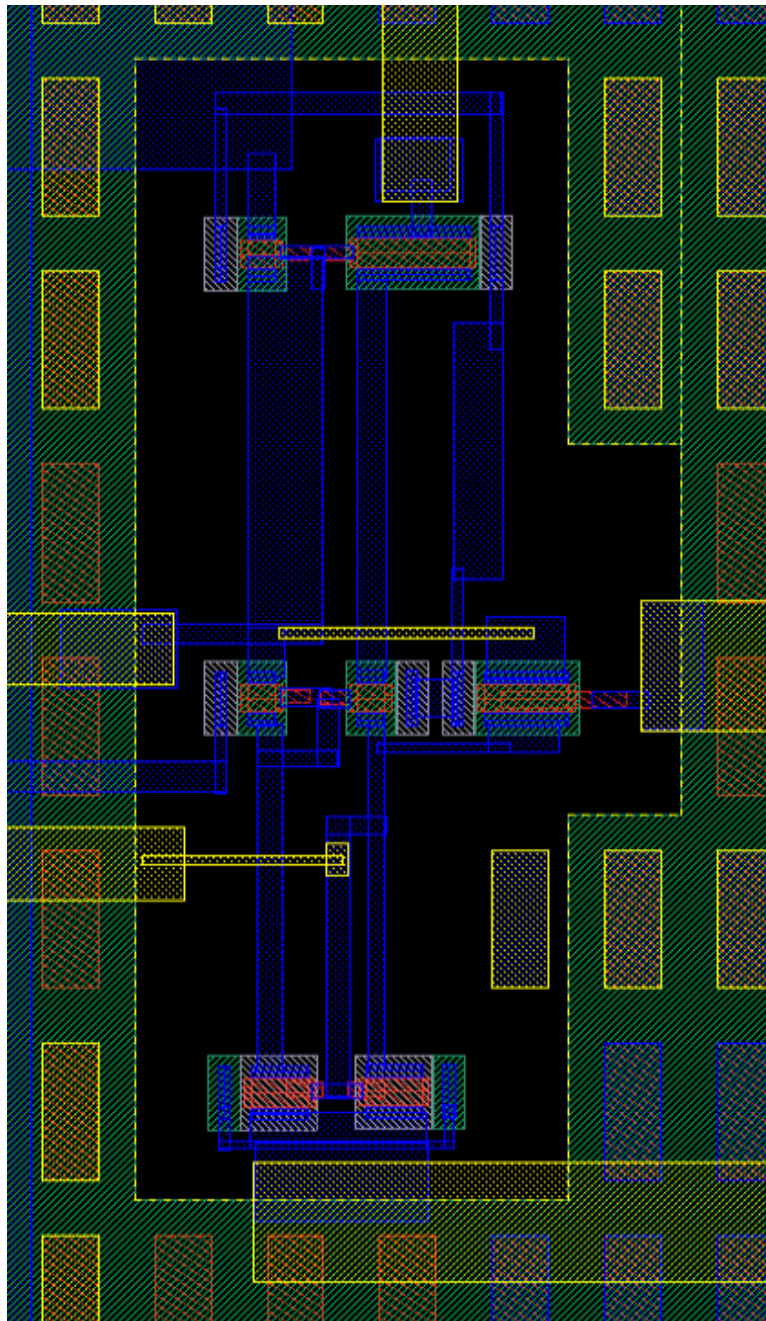


Figure 27 The β -Current source layout

Notez que le layout a dû être étendu sur une grande surface en raison des erreurs de DRC finales quelques instants avant la soumission.

Pour limiter le gaspillage d'énergie, nous voulons limiter le courant de la branche composée de M110, M114 & M115 dans la source de courant. Si nous fixons le courant dans la branche à $1\mu\text{A}$, nous aurons la tension aux bornes de M115 et nous pourrions donc en déduire que:

$$V_{eff115} = \sqrt{\frac{2 \cdot I_{115}}{\mu_n C_{ox} \frac{W_{115}}{L_{115}}}}$$

Pour $W = 2\mu$ et $L = 1\mu$ comme point de départ, nous avons pour un courant de $1\mu A$ que V_{eff} est de $60 \text{ mV}/\mu A$.
Premièrement, nous devons équilibrer la tension sur les deux branches inférieures, les branches supérieures étant symétriques, comme le montre Martin:

$$V_{GS113} - V_t = V_{GS115} - V_t + R_B I_{D115}$$

Ce qui simplifie à

$$V_{GS113} = V_{GS115} + R_B I_{D115}$$

et

$$\sqrt{\frac{2I_{D115}}{\mu_n C_{ox} \left(\frac{W}{L}\right)_{113}}} = \sqrt{\frac{2I_{D115}}{\mu_n C_{ox} \left(\frac{W}{L}\right)_{115}}} + I_{D115} R_B$$

Avec la réflexion de courant d'étage P-MOS M110 et M111, nous savons que:

$$I_{D113} = I_{D115}$$

Alors

$$\sqrt{\frac{2I_D}{\mu_n C_{ox} \left(\frac{W}{L}\right)_{113}}} = \sqrt{\frac{2I_D}{\mu_n C_{ox} \left(\frac{W}{L}\right)_{115}}} + I_D R_B$$

En divisant par

$$\sqrt{\frac{2I_D}{\mu_n C_{ox} \left(\frac{W}{L}\right)_{113}}}$$

Nous obtenons

$$1 = \frac{2I_D \mu_n C_{ox} \left(\frac{W}{L}\right)_{113}}{2I_D \mu_n C_{ox} \left(\frac{W}{L}\right)_{115}} + \frac{I_D \cdot R_B \sqrt{\mu_n C_{ox} \left(\frac{W}{L}\right)_{113}}}{\sqrt{2I_D}}$$

Qui peut être réorganisé comme:

$$1 - \frac{\sqrt{\left(\frac{W}{L}\right)_{113}}}{\sqrt{\left(\frac{W}{L}\right)_{115}}} = \frac{I_D \cdot R_B \sqrt{\mu_n C_{ox} \left(\frac{W}{L}\right)_{113}}}{\sqrt{2I_D}}$$

Multipliant le côté droit par l'identité suivante

$$1 = \sqrt{2}/\sqrt{2}$$

Et isolant R_B

$$R_B = \left[1 - \frac{\sqrt{\left(\frac{W}{L}\right)_{113}}}{\sqrt{\left(\frac{W}{L}\right)_{115}}} \right] \left(\frac{2}{\sqrt{2I_D \mu_n C_{ox} \left(\frac{W}{L}\right)_{113}}} \right)$$

si

$$\frac{\sqrt{\left(\frac{W}{L}\right)_{113}}}{\sqrt{\left(\frac{W}{L}\right)_{115}}} = \frac{1}{2}$$

Ensuite nous avons ceci

$$R_B = \frac{1}{\sqrt{2I_D \mu_n C_{ox} \left(\frac{W}{L}\right)_{113}}}$$

Partant de $L = 1 \mu\text{m}$ et $W = 1 \mu\text{m}$ pour M113 et W115, multiplié par 4, de sorte que la racine carrée du rapport soit égale à $\frac{1}{2}$. Ensuite, les valeurs finales sélectionnées basées sur la simulation sont répertoriées dans le Tableau 7.

Table 10 Dimensions finales du multiplicateur de référence actuel tel que produit

TYPE	REF DES	W	L
P-MOS	M110	2 μ	1 μ
P-MOS	M111	2 μ	1 μ
N-MOS	M112	1 μ	1 μ
N-MOS	M114	1 μ	1 μ
N-MOS	M113	1 μ	1 μ
N-MOS	M115	4 μ	1 μ
N-MOS	M13	3 μ	1 μ

Résultats

La source de courant était un peu en retrait des simulations, nous pouvons facilement ajuster son courant à partir des données ci-dessous. La courbe rouge représente les simulations tandis que la bleue représente les résultats empiriques. Bien que l'accord ne soit pas parfait, l'usage fut possible en se basant sur des données empiriques.

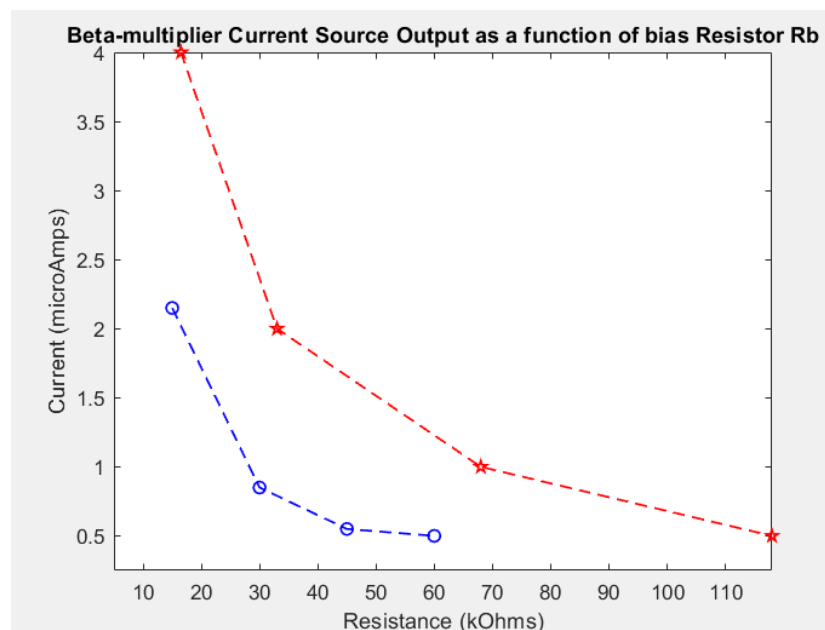


Figure 28 Données sources actuelles simulées et pratiques

Il est à noter que la résistance de référence R_B est externe à la puce, ce qui ajoute de nombreux effets parasites qui ne peuvent pas être totalement éliminés. Le fait que la source de courant demeure stable en soi est un bon résultat.

Circuit de déversoir

Comme indiqué précédemment, l'objectif du déversoir (ou écluse) est de contourner le courant d'un étage supérieur à un étage inférieur en contournant l'étage actif lui-même. Ainsi, le courant total traversant le déversoir équivaut à environ 10 à 95% du courant passant dans l'étage maître. Sur la base de nos estimations fondamentales sur le fonctionnement éventuel du régulateur 'Waterfall', nous avons fixé la chute de tension à une valeur minimale de 0,35 V, car il s'agit de l'étage le plus bas que nous devons démontrer. Parce que le courant est directement proportionnel à V_{eff} dans un dispositif MOSFET, nous concevons avec un facteur de sécurité de 2, donc si nous nous attendons à un fonctionnement du système complet à 100 μA , nous concevons un fonctionnement à 200 μA . Nous connaissons donc le courant maximal pour lequel nous devons concevoir, ainsi que la tension V_{eff} maximale du MOSFET à concevoir. À la suite de ces informations, nous pouvons définir le rapport W/L en fonction des éléments suivants:

$$\frac{W}{L} = \frac{2I_D}{\mu_n C_{ox} V_{eff}^2}$$

Sur la base de cette relation simple et du fait qu'il serait difficile dans ces conditions d'être beaucoup plus élevé que V_{th} , nous avons rendu W/L dix fois plus grand que ce que nous avons calculé comme étant le minimum absolu, qui était un rapport de 6. En réglant la longueur du MOSFET sur 1 μ cela a résulté en un dispositif qui était 60 μ de large, ce qui a entraîné la dimension suivante pour le dispositif de vidange.

Table 11 Dimensions finales du dispositif déversoir

TYPE	REF DES	W	L
N-MOS	MX	60 μ	1 μ

Par bonne mesure, nous avons également permis l'utilisation du régulateur de sortie P-MOS en tant que mesure secondaire en fournissant un accès à ses broches. Cela s'est avéré être une bonne décision car le périphérique P-MOS avait de meilleures performances. Nous avons conçu

l'appareil selon le layout suivant. Les résultats obtenus sont illustrés à la Figure 29 ci-dessous.

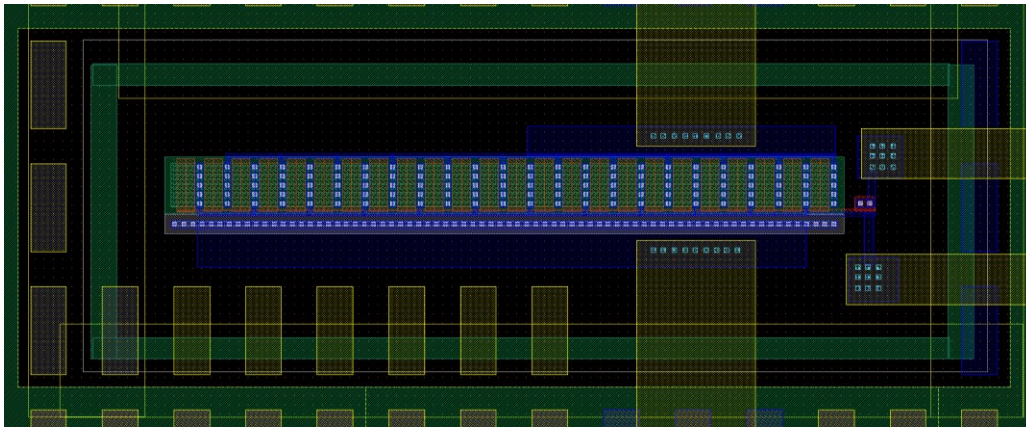


Figure 29 Disposition d'un transistor de déversoir isolé dans un puit dopé-N, pour les régulateurs 'Waterfall',

Régulateur Cascade Replié

La Figure 29 ci-dessous représente le régulateur cascade replié comme conçu. L'architecture initiale de ce design découle des architectures de circuit de régulateur décrites dans [44] et [45].

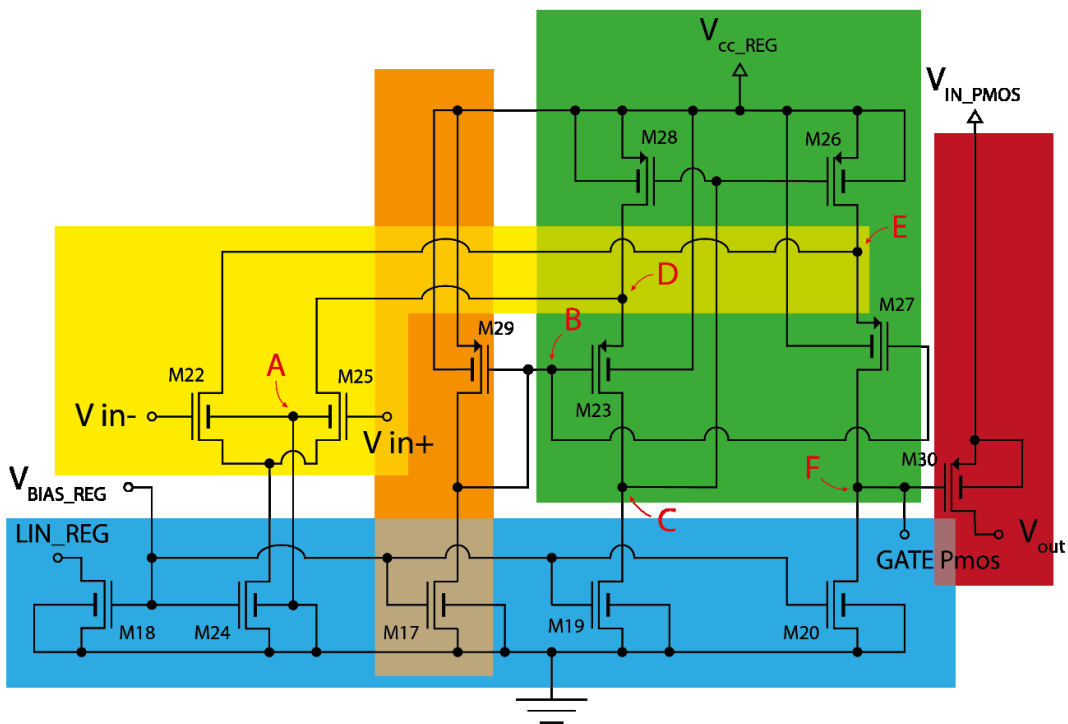


Figure 30 Design du régulateur à cascade replié

Ici, nous avons mis en évidence différentes parties pour mieux décrire leurs fonctions individuelles. Les MOSFET M18, M24, M17, M19 et M20 (bleu pâle) font partie des miroirs de courant permettant d'alimenter les différentes parties du circuit. M18 permet de réfléchir un courant externe proportionnellement aux rapports d'aspect des MOSFETS. Si aucune source n'est disponible, un biais sur la grille peut également être appliqué.

Le régulateur est composé d'un amplificateur cascode replié. Avec un premier étage d'entrée composé de M22 et M25 (en jaune) et le deuxième étage plié comme décrit dans la section suivante, l'impédance de sortie de l'amplificateur sera directement proportionnelle au gain. Nous calculons cette impédance comme suit:

$$R_o = ([g_{m27}r_{o27}] \cdot [g_{m26}r_{o26}]) \parallel g_{m20}r_{o20}$$

En raison des effets de canaux courts, il est préférable d'utiliser un miroir de courant cascode pour augmenter les gains de l'amplificateur. La partie surlignée en vert constituée de M28, M26, M23 et M27 compose un miroir de courant cascode à grande dynamique tel que proposé initialement par [46] et [47], et également décrit plus récemment dans [26]. Contrairement à ces exemples, la charge active est N-MOS composée de M19 et M20. En raison de la faible tension d'alimentation du système, la conception pliée est préférable. Cascode fournit également une meilleure réponse en fréquence, mais ce n'est pas la raison principale ici. Il convient de mentionner que cette section du circuit doit être plus rapide que le contrôle du déversoir car elle fait partie de la boucle interne du contrôle en cascade. Le cascode OTA peut piloter une charge capacitive et, l'objectif étant d'utiliser l'amplificateur dans un régulateur, la charge de la grille du transistor de sortie est capacitive et importante vu le large transistor de sortie.

Pour un amplificateur à haute impédance de sortie, le cascode OTA, le gain de l'amplificateur est:

$$A = \frac{A_{vout}}{A_{vin}} = g_{m22} \cdot R_o$$

Nous n'avons que

$$g_{m22} = \sqrt{2I_{D22}\mu_n C_{ox} \frac{W}{L}}$$

D'autre part, nous n'avons que

$$r_o = \frac{L}{\lambda \cdot LI_D}$$

Les relations ci-dessus se transforment en

$$A = \left\{ \sqrt{2I_{D22}\mu_n C_{ox} \frac{W}{L}} \right\} \cdot \left(\left[\frac{L_{26}}{\lambda \cdot LI_{D26}} \cdot \frac{L_{27}}{\lambda \cdot LI_{D27}} \right] \parallel \left[\frac{L_{20}}{\lambda \cdot LI_{D20}} \right] \right)$$

Étant donné que notre conception cible doit réguler à 1,0V et 1,4V pour obtenir des sorties de 0,9V et 0,35V, un V_{eff} raisonnable serait à 0,45V, ce qui impliquerait que $\Delta V=0,9V$ soit la différence de tension de grille la plus basse pour notre régulateur. Par rapport à V_{cc} au point 'F', pour faciliter les choses, le stage le plus bas aura la tension la plus élevée. Ensuite, nous pouvons commencer à résoudre l'équation ci-dessus en réglant d'abord le rapport W/L de M22 en réécrivant la relation de transconductance de la manière suivante:

$$\frac{W}{L} = \frac{2I_{D22}}{\mu_n C_{ox} V_{eff}^2}$$

En réglant L à $1 \mu m$ et en acceptant un budget de puissance total estimé de 1 à 2% pour cette partie du circuit incluant les charges prévues, nous obtenons $2 \mu A$ par branche comme allocation de courant pour l'amplificateur, ce qui donne $W = 260 \mu$, ce qui est un très grand dispositif. En substituant cette équation dans l'équation ci-dessus, nous obtenons un gain d'environ 50 dB, calculé ci-dessous.

$$A = \left\{ \sqrt{2 \cdot 2\mu A \cdot 270\mu A/V^2 \cdot 260} \right\} \cdot \left(\left[\frac{L_{26}}{0.08 \cdot 2.5} \cdot \frac{L_{27}}{0.08 \cdot 0.5} \right] \parallel \left[\frac{L_{20}}{0.08 \cdot 0.5} \right] \right)$$

Si nous fixons le courant de M22 et M25 à $2\mu A$, alors basé sur la conception du multiplicateur bêta, 1/4 du courant ou $0,5 \mu A$ passe par M23 et M27. Cela implique alors que $2,5 \mu A$ sont nécessaires pour chacune des branches composées de M28 et M26.

Pour configurer le miroir de courant à grande dynamique, l'objectif est de minimiser les valeurs V_{DS} de M28 et M23 afin de maximiser la gamme dynamique de tension. Dans ce cas, nous pouvons soutirer un autre avantage du PMOS M30. Ce transistor de sortie peut être agrandi de sorte que le régulateur puisse fonctionner au-delà du rail de sortie supérieur de l'amplificateur cascode situé à l'intérieur. Néanmoins, nous cherchons à minimiser les pertes V_{DS} de ces transistors. Cela étant dit, nous voulons toujours que ces dispositifs restent en dehors de la région de la triode. À cette fin, nous recherchons un $2V_{eff}$ dont le point de départ est $150 mV$ parce que nous avons M28 et M23 qui sont appariés dans une configuration diode-transistor. Pour biaiser efficacement M23 et M27, M29 fournit un contrôle (surbrillance orange), alors nous savons que M29 va être:

$$V_{eff29} = (n + 1)V_{eff28,26}$$

Ici, de nombreux manuels et notes techniques [48], [26], à titre d'exemples, suggèrent une règle générale, c'est-à-dire de régler l'amplificateur cascode en définissant M23 et M27 comme étant 4 fois plus petits sans

expliquer pourquoi. En fait, cette règle est simplement une transposition du rapport $(W/L)/n^2$ de M28 et M26 pour le dimensionnement de M23 et M27 lorsque nous réalisons que les transistors composent simplement un miroir de courant classique à large balayage. Il en résulte un courant de polarisation 4 fois plus faible à travers ces transistors. Cependant, si nous fixons $n = 2$, comme traité dans [46], [47] M29 devrait alors être au moins $(W/L)/n^2$ plus petit ou neuf fois plus petit dans le paradigme précédent.

Ici n est 1, donc pour polariser et configurer correctement le circuit, nous fixons le V_{eff} de M23 à une valeur très faible mais raisonnable, de sorte que dans ce cas nous le fixons à un point de départ de 150 mV. La taille devant être inférieure à 4X, nous avons choisi 5. Ensuite, nous pouvons calculer avec V_{eff23} et V_{DS28} comme suit :

$$V_{eff29} = (n + 1)V_{eff28,26}$$

Alors

$$V_{eff23,27} = nV_{eff28,26}$$

Aussi

$$V_{DS26,28} = V_{DS28} = V_{G29} - V_{GS23,27}$$

Ensuite au noeud 'F'

$$V_F \geq V_{eff27} + V_{eff26}$$

Ceci quand $n=1$

$$V_{out} = 2V_{eff}$$

Alors

$$V_{DS23} > V_{eff23} = nV_{eff26,28}$$

Afin de garantir le fonctionnement dans la région active, nous devons avoir au noeud 'C':

$$V_{DS23} = V_{G28} - V_{DS28}$$

Mais le deuxième terme à droite est la somme de la tension de seuil et V_{eff28} avec V_{DS} doit être supérieur à V_{eff28} ; par conséquent:

$$V_{DS23} = V_{eff28} + V_{th} - V_{eff28}$$

Enfin,

$$V_{DS23} = V_{th}$$

Et alors au noeud “B”

$$V_{G29} = V_{eff29} + V_{th} = 2V_{eff}$$

Après plusieurs ajustements et optimisations de la simulation pour améliorer la plage dynamique et réduire le courant, nous avons réglé M29 à environ 16 fois moins que M23, qui devait elle-même être environ trois fois plus petite que M28 pour un V_{eff} d'environ 75 mV.

Géométrie finale des transistors

Les tailles finales des transistors installés pour le régulateur sont énumérées dans le Tableau 9 ci-dessous.

Table 12 Les tailles de transistor finales pour le régulateur

TYPE	REF DES	W	L
N	M17	1.65 μ	1 μ
N	M18	4 μ	1 μ
N	M19	1 μ	1 μ
N	M20	1 μ	1 μ
N	M24	7 μ	1 μ
N	M22	130 μ X 2	1 μ
N	M25	130 μ X 2	1 μ
P	M29	2 μ	500n
P	M28	60 μ	1 μ
P	M26	60 μ	1 μ
P	M23	20 μ	1 μ
P	M27	20 μ	1 μ
P	M30	100 μ X 10	1 μ

Notez la très grande taille de M30 qui était nécessaire pour contrôler les pertes V_{eff} dans la plage des 50 mV. Reportez-vous à la section du déversoir pour des calculs similaires.

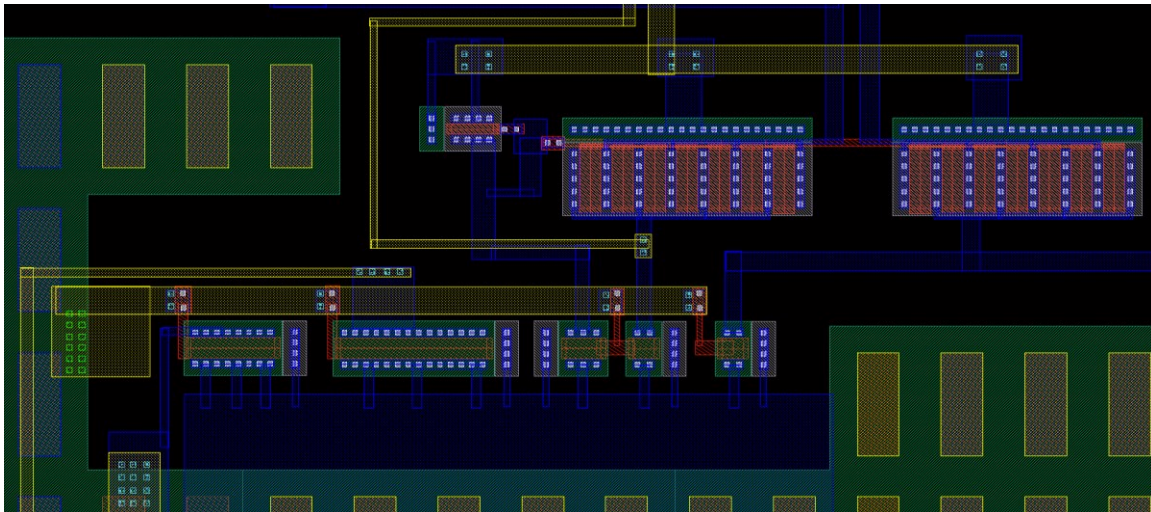


Figure 31 Disposition des miroirs de courant et disposition des paires d'entrées du système de régulation

Dans la partie inférieure gauche de la Figure 31, nous voyons M18, M24, M17, M19 et M20 dans cet ordre, de gauche à droite, qui composent les miroirs actuels tels que conçus. Dans le coin supérieur droit, nous voyons M23 et M27 flanqués à gauche par M29.

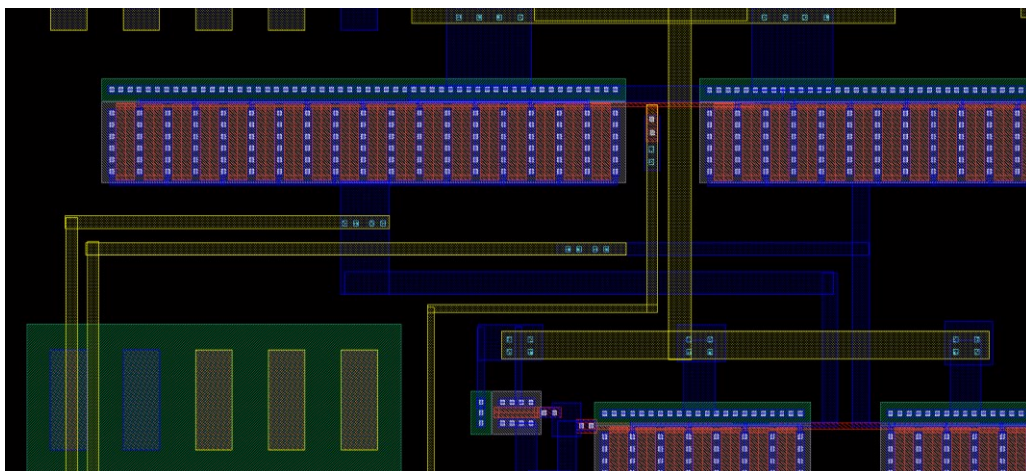


Figure 32 Montre les deux transistors M28 et M26 en haut

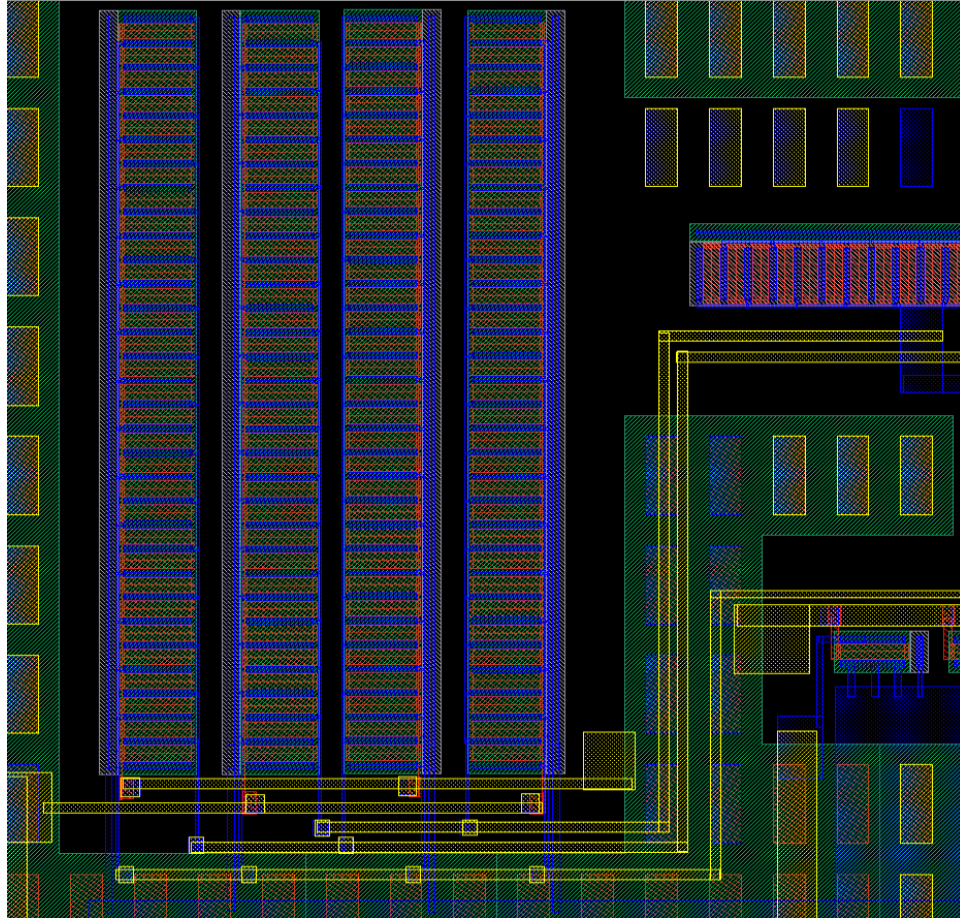


Figure 33 Les grands transistors M22 et M25 dans un dispositif multi-éléments centroïde commun

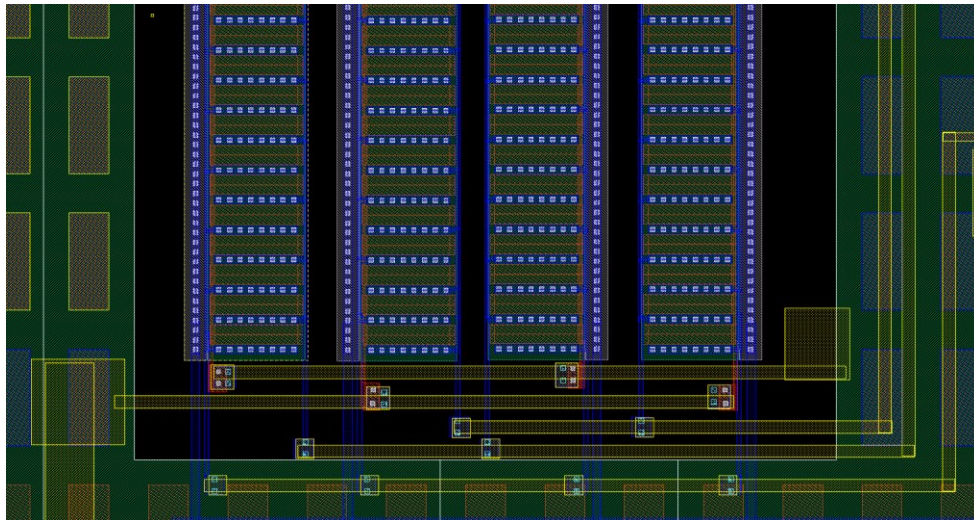


Figure 34 Détails des connexions des transistors M22 et M25

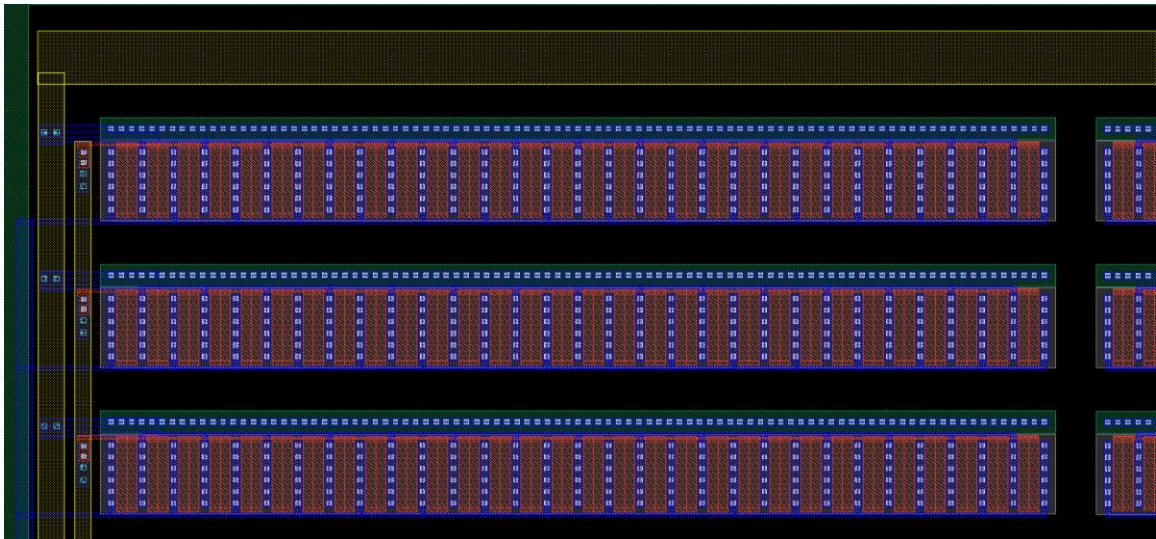


Figure 35 Disposition en T du régulateur la grande partie en haut est le 'pass-MOSFET' M30

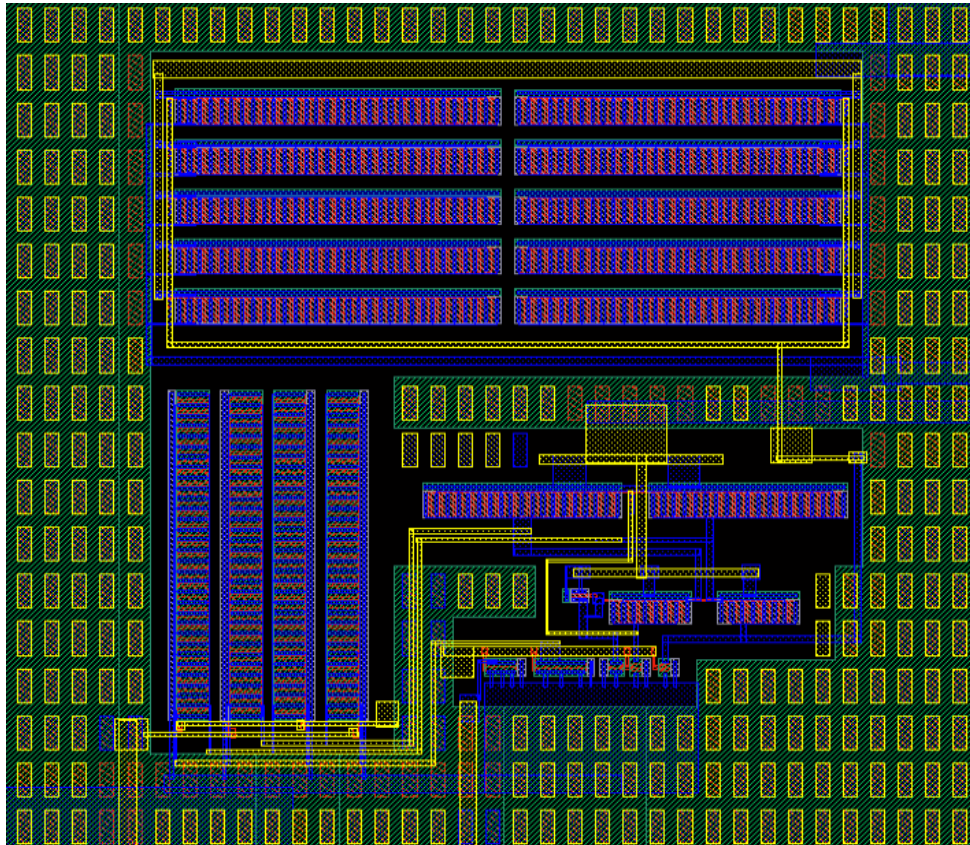


Figure 36 Layout du bloc régulateur

Résultats

À partir des puces conçues ci-dessus, le régulateur ‘Waterfall’ a été construit et testé avec succès.

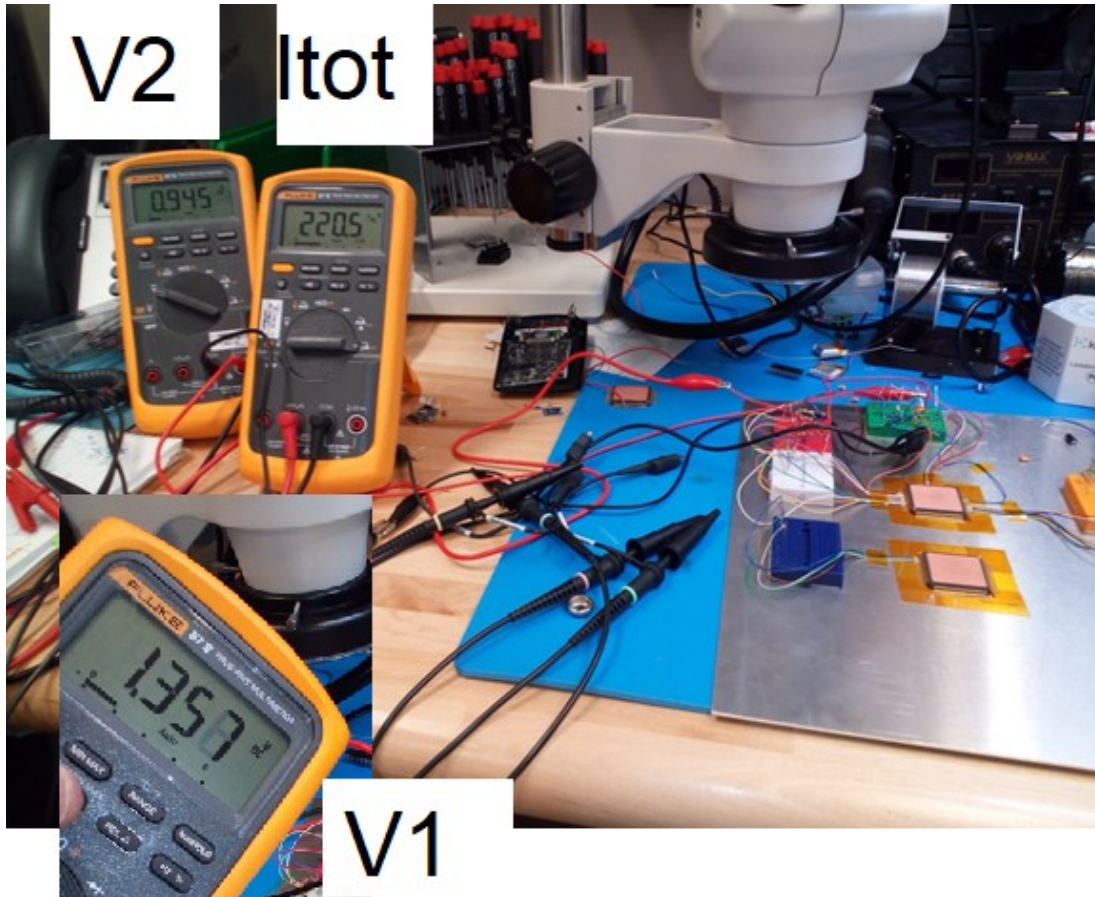


Figure 38 Configuration d'essai pour le régulateur ‘Waterfall’ sur puce

La configuration d’essai du régulateur de chute d’eau à partir des CI est illustrée ci-dessus à la Figure 33. L’étage supérieur produit 0,356 volts (entre 1.357V et 1.01V). La deuxième étape produit 0,945 V de l’utilisation actuelle totale, y compris les références de courant de déversoir des structures de support, les commandes d’ampli-op et deux régulateurs: 220,5 μ A pour un courant de charge de 200 μ A. Les résultats supplémentaires sont présentés dans la section suivante.

Après les tests IC, il était également souhaitable de tester le concept plus global avec des composants commerciaux. Cette étape s’est avérée très difficile, notamment en raison de la quasi-absence de MOSFET à seuil très bas disponibles commercialement et de circuits fonctionnant en dessous de 1,6V. Construire une

version à partir de composants commerciale du régulateur ‘Waterfall’ avec des tensions de sortie à 0,95 et 0,35V n’était pas possible. Cependant, d’autres applications de tension aussi importantes sont également intéressantes. Pour fin de démonstration, nous avons cherché à produire un double domaine pratique de 1,8 V, basé sur une cellule de pile Li-Ion standard. Le circuit étant largement basé sur le schéma de la Figure 9, le travail du circuit de déversoir et du pass mosfet de l’étage inférieur étaient délicats et nécessitait d’empiler des dispositifs de MOSFET commerciaux et de réduire le V_{DS} pratique en augmentant artificiellement la taille du MOSFET. La figure ci-dessous montre la première réalisation réussie d’une version à partie de composants commerciales du régulateur de cascade.

Il convient de noter ici que l’ajout de condensateurs de filtrage réduit le bruit, mais contribue également à la consommation due à la fuite de courant par la résistance serie equivalente interne (ESR) de ceux-ci. L’introduction de perturbations de charge augmente également la consommation comme prévu, car les systèmes compensent une dérive plus importante à partir du point de fonctionnement.

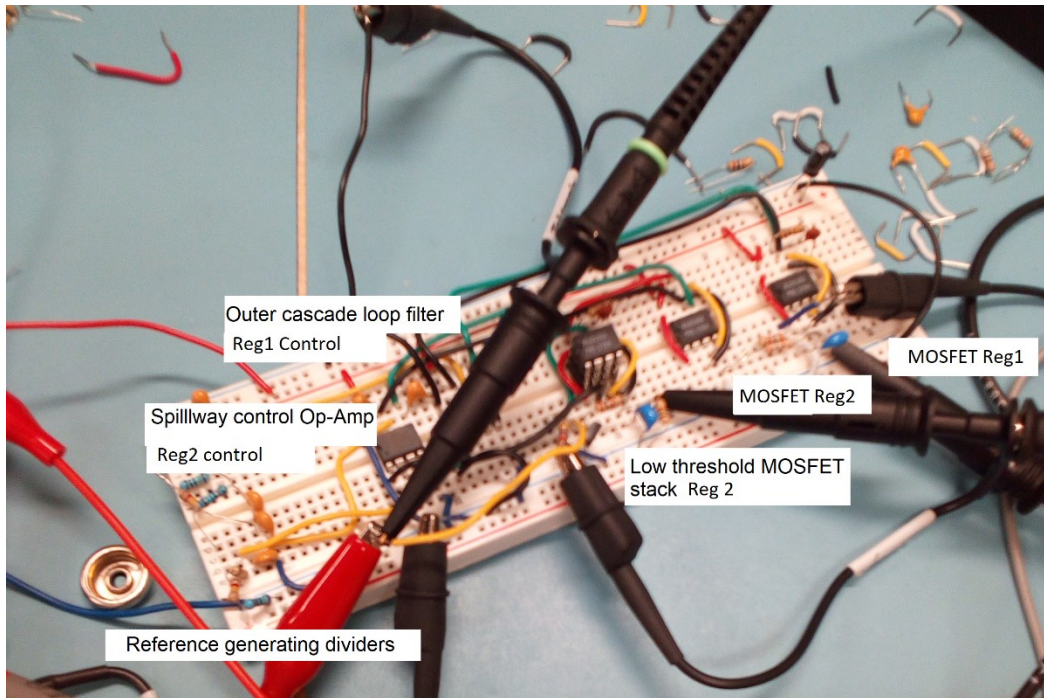


Figure 39 Régulateur Waterfall à partir de composants discretes pour diviser une pile Li-Ion en deux domaines de 1.8V

Suite aux succès de l’implémentation avec des circuits intégrés conçus et d’une version à partir de composants discretes, nous avons commencé à intégrer des circuits dans des formats pratiques pour des tests

ultérieurs avec des circuits pratiques. Les objectifs de ces circuits sont brièvement décrits dans la section suivante. Une version de test compacte identique à la configuration de la Figure 38 a été fabriquée pour fin de tests supplémentaires sur des prototypes.

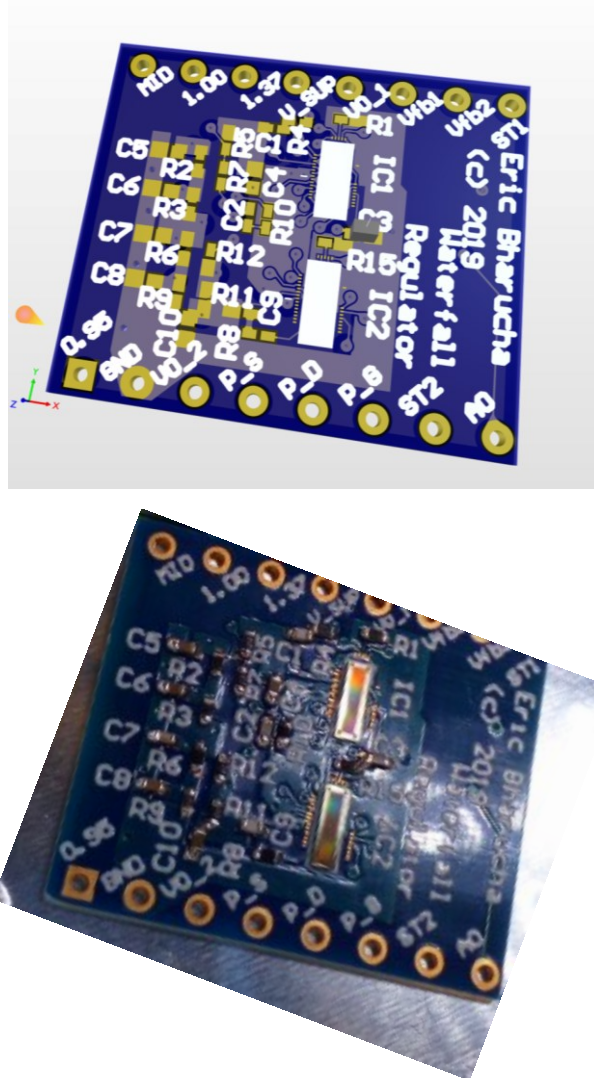


Figure 40 Layout de circuits imprimés et prototype pratique de régulateur ‘Waterfall’.

Régulation du bruit d'appel

Les fabricants utilisent couramment la régulation de la charge pour démontrer la robustesse des régulateurs. Un régulateur fut reconduit à partir d'une preuve de concept pratique destinée à extraire efficacement deux domaines de 1,8 V d'une batterie Li-Ion. Pour démontrer la robustesse du système et de la régulation en mode poursuite, la charge principale passe de 1,2 à 3,2 mA, comme nous pouvons le voir dans la figure ci-dessous.

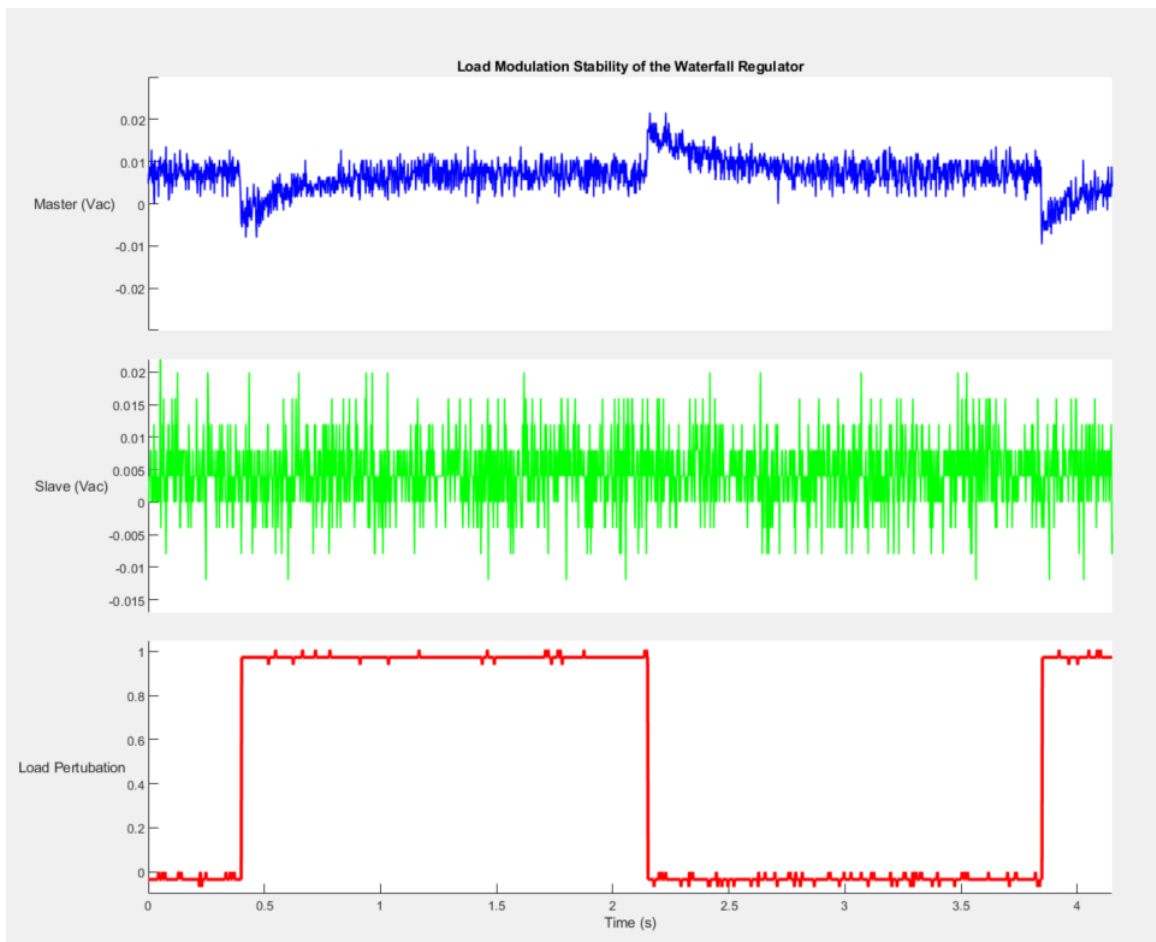


Figure 41 Comportement en régulation de charge

La Figure 41 ci-dessus montre le résultat de l'application d'une perturbation de charge sur l'étage maître, qui sollicite à la fois l'action du régulateur et le MOSFET du déversoir d'une manière plus agressive que lorsque cette perturbation de charge est appliquée à l'étage «esclave». Ici, la récupération sur le niveau de tension principal après une perturbation est d'environ 50 mV pk-pk d'ondulations (ripple) sur l'alimentation, ce qui est comparable aux appareils standards. Pour cette perturbation, une impulsion carrée a été appliquée à la grille d'un mosfets externe qui agissait comme un commutateur qui plaçait une charge de 1482 Ω avec la charge existante de 892 Ω . Les deux tensions de sortie des régulateurs ont été établies à 1,8V. La charge

actuelle dans l'étage supérieur a été fixée à 1 mA et est passée de 1,215 à 3,23 mA dans l'étage inférieur (maître). Par conséquent, la perturbation de la charge était de 166% supérieure aux valeurs nominales de la perturbation. Il convient également de noter que, comme l'amplificateur opérationnel a une impédance de sortie qui commande la capacité de grille d'un grand MOSFET, la réponse en fréquence de cette combinaison se situe dans la plage de quelques kHz. Comme le déversoir se trouve dans la boucle externe de la commande en cascade, celui-ci reste stable et suffisant pour la régulation de la puissance.

Puissance recyclée, puissance économisée et efficacité

Le graphique ci-dessous illustre le bilan énergétique du régulateur discret par rapport à un modèle classique. Ici, nous comparons la puissance qui serait consommée en utilisant des régulateurs linéaires sur deux charges différentes en comparant les les mêmes charges mais alimentées par un régulateur 'Waterfall'. Dans la figure ci-dessous, nous avons généré deux domaines de 1,8 V et les avons testés de manière dynamique. La partie verte de l'histogramme étiqueté 'énergie recyclée' provient de la différence entre une approche classique à régulateur linéaire et une approche Waterfall. En d'autres mots il s'agit de l'énergie non-utilisée pour fournir une quantité d'énergie identique aux 2 charges. Même en tenant compte des coûts fixes énergétiques des circuits, les appareils sont nettement plus efficaces avec ce système. Ces coûts fixes 'overhead' représentent la puissance consommée par les régulateurs et les circuits de déversoir ainsi que leurs contrôles.

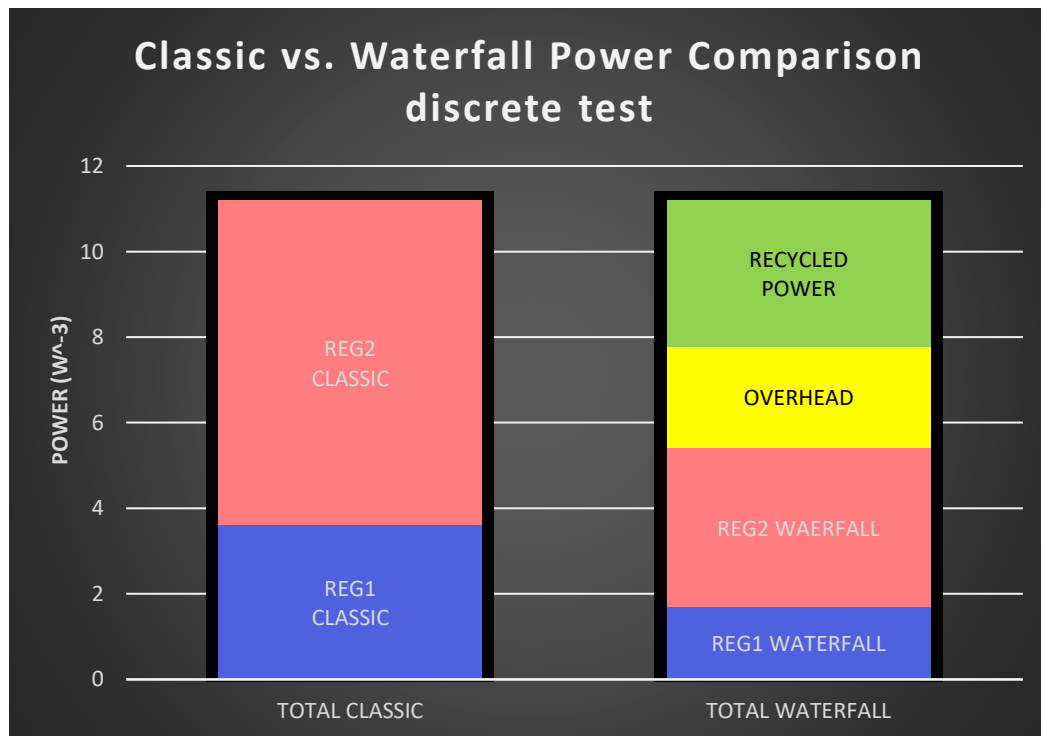


Figure 42 Comparaison de l'efficacité énergétique entre l'approche classique 'Waterfall' et classique.

Dans ce cas, l'objectif de l'alimentation développée est qu'il soit à faible bruit, mais toujours plus efficace par rapport à un régulateur linéaire classique. Si ce dernier résultat avait pu être obtenu avec des résultats comparables avec un convertisseur DC/DC, le prochain résultat ne pourrait pas être obtenu avec un DC/DC.

La plupart des convertisseurs DC/DC ne peuvent pas convertir efficacement pour des courants très faibles et ne peuvent même pas convertir du tout dans la région inférieure à 1 V, encore moins en dessous de 0,5 V. À ces tensions, les dispositifs assurant la conversion le font à très faible rendement ou à un courant relativement élevé. Ces pertes résultent de la magnétisation du noyau et de la commutation de l'inductance. Comme mentionné précédemment, ce domaine de basse tension fournit de nouvelles avenues de miniaturisation et une faible consommation d'énergie, sans précédent. Avec les objectifs mentionnés précédemment, nous avons testé notre version intégrée dans l'objectif de générer deux domaines de tension, l'un de 0,9V pour le microcontrôleur et l'autre de 0,35V pour un amplificateur. Les résultats de conversion sont efficaces et illustrés dans la figure ci-dessous. Des rendements et des niveaux de recyclage plus élevés peuvent être obtenus en ayant la même charge ou une charge presque identique dans les deux domaines, mais nous avons d'abord des objectifs pratiques à atteindre.

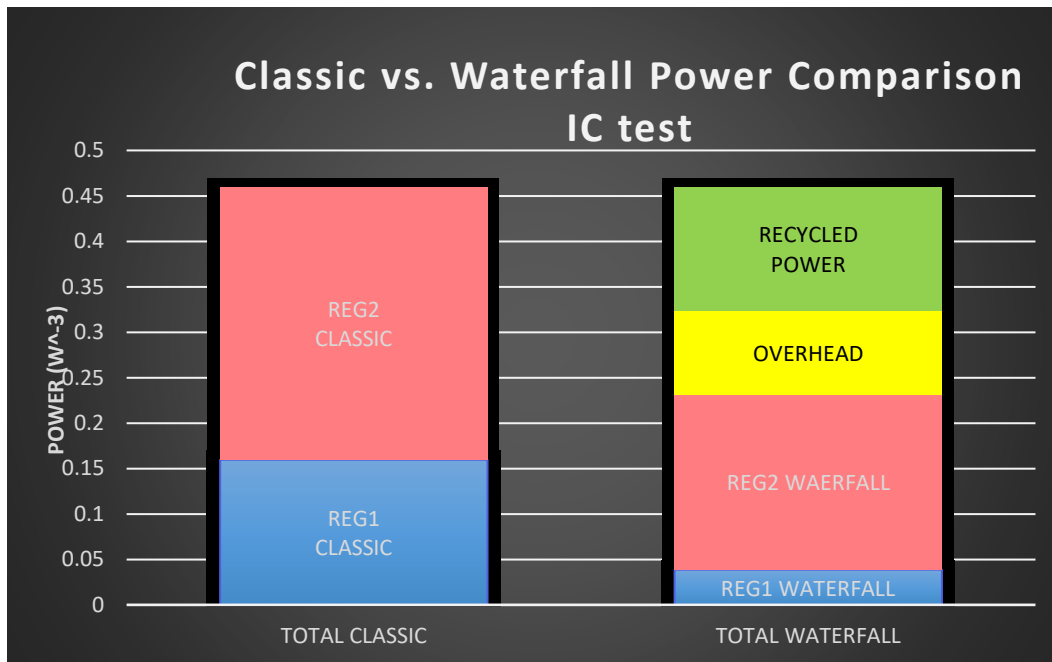


Figure 43 Comparaison de l'efficacité énergétique entre 'Waterfall' et Classique, utilisant la microélectronique à très basse tension

Dans les deux cas, la puissance recyclée représente plus de 30% et 29% de la puissance recyclée par rapport à un modèle classique.

Chapitre 6 Applications

Dispositif de détection neuronale intégré

Concept

Le concept d'un dispositif frontal neural et d'un processeur de signal utilisant le régulateur de cascade était un objectif dès le départ. Ce concept est décrit à la Figure 44 ci-dessous.

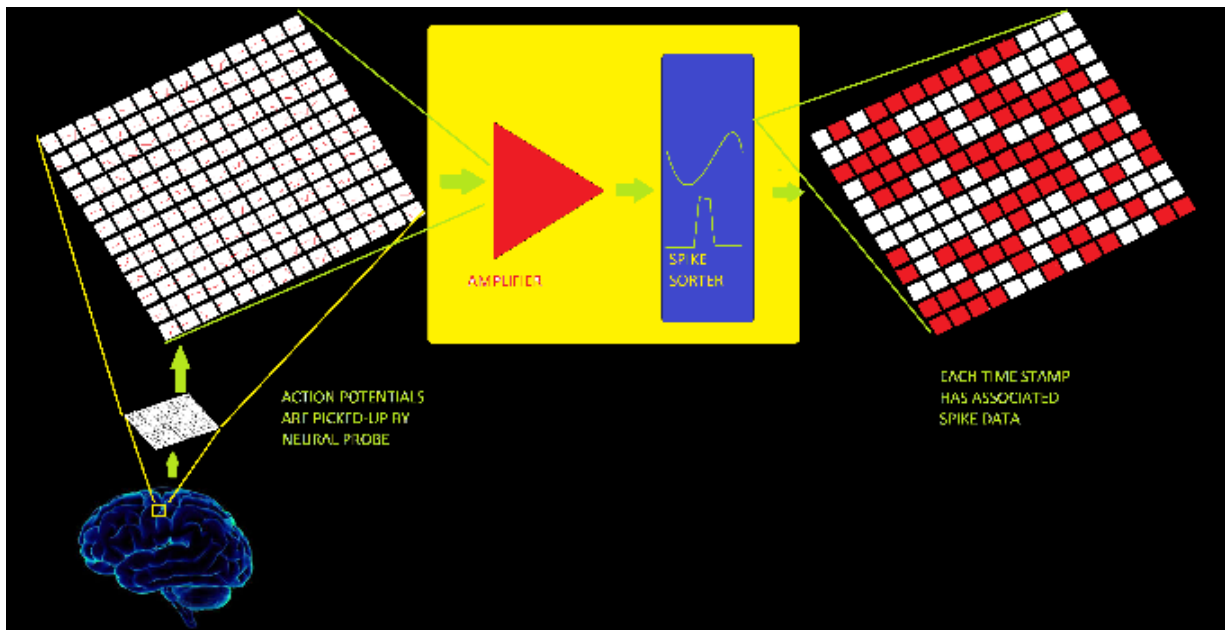


Figure 44 A brain interface that could exploit the Waterfall regulator for efficiency

En utilisant le régulateur à cascade pour mettre en valeur les possibilités de l'électronique basse consommation, l'objectif ici est d'utiliser l'amplificateur 0,35 V comme dispositif frontal. Le domaine 0,9V est utilisé pour alimenter un microcontrôleur de Texas Instruments le MSP430L092. Cet appareil a la particularité d'accepter une alimentation jusqu'à 0,9 volt. En interne, il possède également un dispositif A-POOL qui contient un CAN basse puissance et une référence de tension pratique, comme indiqué à la Figure 45.

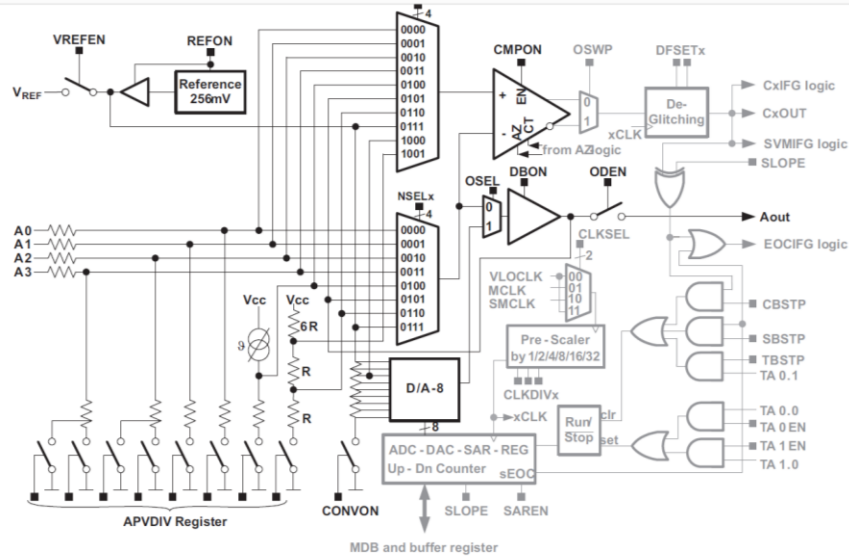


Figure 7-1. A-POOL Analog Components and Signal Paths (With Digital Components in Gray)

Figure 45 Composants analogiques A-poll et chemins de signal de MSP430L092⁴

Les autres caractéristiques principales de cet appareil sont sa faible consommation électrique de 68 μA pour une fréquence de fonctionnement cadencée à 1 MHz. La figure ci-dessous montre l'implémentation système complet du régulateur 'Waterfall' alimentant un amplificateur et un processeur connecté à un cerveau. Chaque partie du circuit est alimentée par son propre domaine de tension à partir du circuit microélectronique conçu, construit et testé tel que décrit dans les sections précédentes.

⁴ D'après les Texas Instruments slau321 p159.

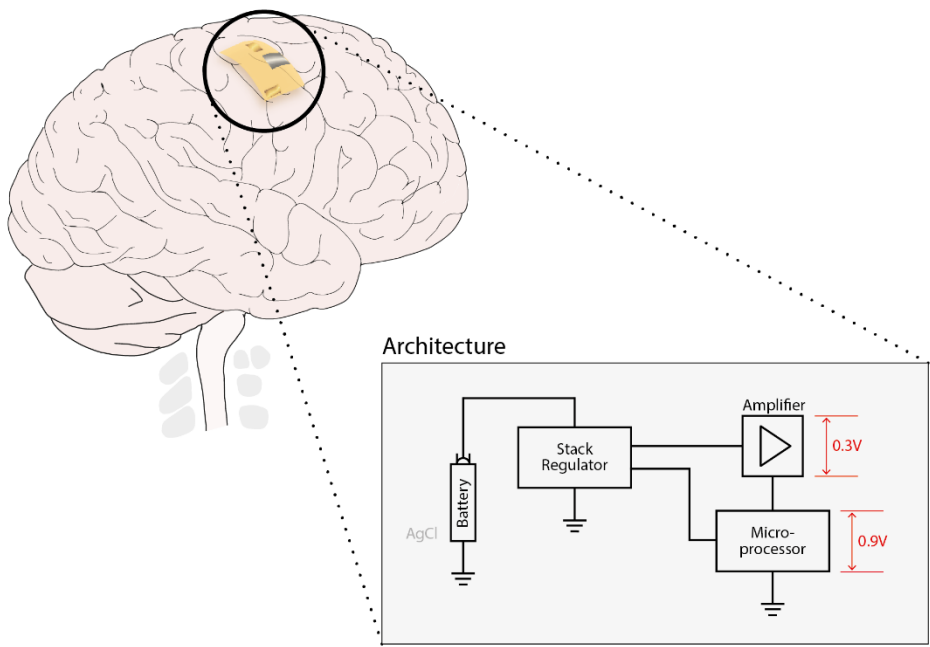


Figure 46 Concept d'un interface neurologique avec régulateur 'Waterfall'

Implémentation dans un appareil cardiaque

Concept

L'idée est d'utiliser un régulateur en cascade pour alimenter un dispositif ECG cardiaque nécessitant une alimentation silencieuse pour le bloc d'amplification à 1,8 V, associée à un microcontrôleur et à un transpondeur RF à 1,8 V également, mais dans des domaines distincts. L'alimentation du système complet serait réalisée à partir d'une seule pile Li-Ion.

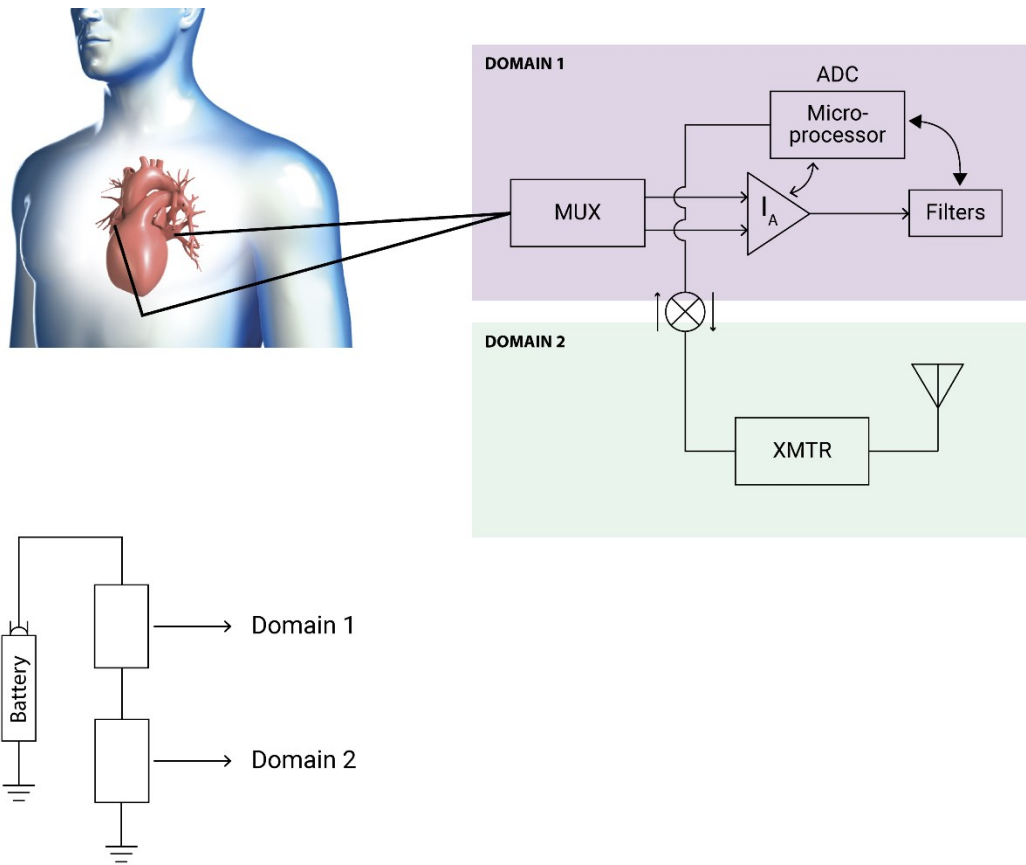


Figure 47 Architecture du moniteur cardiaque à régulateur 'Waterfall'

Conclusion

Dans ce travail, nous avons présenté un nouveau type de régulateur que nous avons nommé régulateurs ‘Waterfall’. Cette nouvelle classe de régulateurs procure une économie importante d’énergie aux composants électroniques à faible consommation tels que les téléphones portables et les dispositifs médicaux.

L'architecture ‘Waterfall’ se prête également bien à la gestion de pile. Dans les cas où plusieurs domaines de haute puissance sont utilisés, cela pourrait également constituer une alternative intéressante aux régulateurs à commutation qui ajoutent souvent des bruits de commutation et nécessitent des dispositifs coûteux à grande inductance.

Au cours de ce travail, nous avons conçu, intégré et validé avec succès trois dispositifs: le régulateur ‘Waterfall’ discret, le régulateur ‘Waterfall’ à échelle microélectronique ainsi que l’amplificateur à 0,35 V. Nous avons démontré la faisabilité à partir de composants discrets commerciaux et en utilisant l’intégration microélectronique.

Beaucoup d'efforts ont été déployés sur la démonstration et la faisabilité du régulateur de cascade. Cependant, jusqu'à présent, peu d'efforts ont été consacrés à l'optimisation des différentes parties, cela fera l'objet de recherches ultérieures. Dans un avenir proche, nous avons l'intention de démontrer l'utilité de ces dispositifs dans le concept d'application biomédicale relaté dans la section précédente.

Nous avons exposé les applications potentielles et l’adéquation du nouveau régulateur de cascade avec deux exemples de concepts: l’un en neurosciences et l’autre en cardiologie. Sur la base des performances de conception de circuits modernes comparables, de nombreuses améliorations pourraient être apportées. Le régulateur dispose d'une largeur de bande de gain assez élevée et probablement inutile. Les références de tension simples que nous n'avons pas intégrées sont assez simples à concevoir [49]. D'autres [50] ont démontré plusieurs références de très basse tension dans le régime inférieur à 1 volt, ce qui serait très approprié pour le système actuel. Le système consomme $30\mu\text{W}$ ($1,5\text{ V} * 20\text{ uA}$), mais fournit jusqu'à $175\mu\text{W}$ ($500\text{ }\mu\text{A} * 0,35\text{ V}$) d'énergie supplémentaire qui, autrement, serait gaspillée sous forme de chaleur dans les circuits classiques. Une optimisation supplémentaire pourrait réduire la consommation fixe au-dessous de $10\text{ }\mu\text{W}$ et ainsi les rendements de conversion se rapprochant des 50% d'économie pour les dispositifs simples à 2 domaines. Enfin, il convient de noter que le domaine sous-1V n'a guère été exploité dans le domaine commercial, à l'exception de quelques cœurs de traitement et de quelques circuits numériques. Le régulateur ‘Waterfall’ place maintenant ces circuits à la portée des appareils électroniques grand public et permet une mise à l'échelle supplémentaire de la puissance.

Travaux futurs et contributions

Refonte des circuits de commande en inversion faible, intégrer une source de courant pour l'amplificateur ULP fonctionnant à 0,3 V

L'objectif des travaux futurs sera de développer davantage ces systèmes et de mettre en place les appareils ultraperformants qui pourront interagir directement avec des structures naturelles comme les neurones. Nous avons également l'intention de continuer à développer la technologie des véhicules électriques et des convertisseurs d'énergie solaire sans transformateur.

Résumé des principales contributions

1. Premier rapport d'une structure de régulateur vertical de régulateur 'Waterfall' avec brevet en instance et brevets divisionnaires.
2. Technique de conception de circuits intégrés avec une approche système modulaire.
3. Conçu, testé et validé un amplificateur 0,35V
4. Ouverture d'une nouvelle zone pratique de super-basse puissance (SLP) 4-6 fois la tension thermique. Pour l'électronique distribuée verticalement avec des appareils fonctionnant en dessous de 300 mV avec des alimentations pratiques dans cette gamme de tension.
5. Autonomie en matière de régulateur 'Waterfall' et d'énergie recyclée dans 2 prototypes.

Bibliographie

- [1] K. M. Al-Ashmouny, S. I. Chang, and E. Yoon, "A 4 μ W/Ch Analog Front-End Module With Moderate Inversion and Power-Scalable Sampling Operation for 3-D Neural Microsystems," *IEEE TRANSACTIONS ON BIOMEDICAL CIRCUITS AND SYSTEMS*, vol. 6, no. 5, pp. 403-413, 2012.
- [2] D. M. Ackermann, N. Bhadra, E. L. Foldes, X. F. Wang, and K. L. Kilgore, "Effect of Nerve Cuff Electrode Geometry on Onset Response Firing in High-Frequency Nerve Conduction Block," *IEEE TRANSACTIONS ON NEURAL SYSTEMS AND REHABILITATION ENGINEERING*, vol. 18, no. 6, pp. 658-665, 2010.
- [3] A. Volta, "XVII. On the electricity excited by the mere contact of conducting substances of different kinds. In a letter from Mr. Alexander Volta, F. R. S. Professor of Natural Philosophy in the University of Pavia, to the Rt. Hon. Sir Joseph Banks, Bart. K.B. P. R. S.," *Philosophical Transactions of the Royal Society of London*, vol. 90, pp. 403-431, 1800/01/01, 1800.
- [4] B. EN45502-1:1998, "Active implantable medical devices. General requirements for safety, marking and information to be provided by the manufacturer," *British Adopted European Standard*, 1998.
- [5] S. Chatterjee, K. P. Pun, N. Stanic, Y. Tsvividis, and P. Kinget, *Analog Circuit Design Techniques at 0.5V*: Springer US, 2010.
- [6] I. S. C95.1-2005p2006, "IEEE Standard for Safety Levels With Respect to Human Exposure to Radio Frequency Electromagnetic Fields, 3 kHz to 300 GHz," *IEEE Std C95.1-2005 (Revision of IEEE Std C95.1-1991)*, pp. 0_1-238, 2006.
- [7] C. Mead, *Analog VLSI and Neural Systems*: Addison-Wesley, 1989.
- [8] N. Reynders, and W. Dehaene, *Ultra-Low-Voltage Design of Energy-Efficient Digital Circuits*: Springer, 2015.
- [9] A. Tajalli, and Y. Leblebici, *Extreme Low-Power Mixed Signal IC Design: Subthreshold Source-Coupled Circuits*: Springer New York, 2010.
- [10] C. Toumazou, F. J. Lidgey, and D. Haigh, *Analogue IC Design: The Current-mode Approach*: Peregrinus, 1992.
- [11] Staff. "MSP430 clones explore limits of MCU power," 28th February, 2012; <https://www.electronicsworld.com/low-power-design/system-level-design/msp430-clones-explore-limits-of-mcu-power-2012-02/>.
- [12] U. D. o. Energy, "Large Power Transformers And The US Electric Grid," June 2012.
- [13] "Cell phone Battery Size." <https://www.androidauthority.com/smartphone-battery-capacity-887305/>
- [14] "Number of cell phones in the world." <https://www.bankmycell.com/blog/how-many-phones-are-in-the-world>
- [15] E. Bharucha, H. Sepehrian, and B. Gosselin, "A Survey of Neural Front End Amplifiers and Their Requirements toward Practical Neural Interfaces," *Journal of Low Power Electronics and Applications*, vol. 4, pp. 268-291, 11/14, 2014.

- [16] W. Wattanapanitch, M. Fee, and R. Sarpeshkar, "An Energy-Efficient Micropower Neural Recording Amplifier," *IEEE Transactions on Biomedical Circuits and Systems*, vol. 1, no. 2, pp. 136-147, 2007.
- [17] B. Gosselin, and M. Sawan, "Adaptive detection of action potentials using ultra low-power CMOS circuits." pp. 209-212.
- [18] M. Penella, and M. Gasulla, "A review of commercial energy harvesters for autonomous sensors." pp. 1-5.
- [19] H. Liu, J. Zhong, C. Lee, S.-W. Lee, and L. Lin, "A comprehensive review on piezoelectric energy harvesting technology: Materials, mechanisms, and applications," *Applied Physics Reviews*, vol. 5, no. 4, pp. 041306, 2018.
- [20] D. Zhu, M. J. Tudor, and S. P. Beeby, "Strategies for increasing the operating frequency range of vibration energy harvesters: a review," *Measurement Science and Technology*, vol. 21, no. 2, pp. 022001, 2009.
- [21] NASA, "Human Implantable Thermoelectric Devices." https://www.nasa.gov/centers/ames/research/technology-onepagers/human_devices.html
- [22] D. Graham-Rowe, "Power implant aims to run on body heat," *New Scientist*, 2004. <https://www.newscientist.com/article/dn5091-power-implant-aims-to-run-on-body-heat/#ixzz6JaGzxRQV>
- [23] L. M. Tender, S. A. Gray, E. Groveman, D. A. Lowy, P. Kauffman, J. Melhado, R. C. Tyce, D. Flynn, R. Petrecca, and J. Dobarro, "The first demonstration of a microbial fuel cell as a viable power supply: powering a meteorological buoy," *Journal of Power Sources*, vol. 179, no. 2, pp. 571-575, 2008.
- [24] A. T. Hodge, "A Roman Factory," *Scientific American*, vol. 263, no. 5, pp. 106-113, 1990.
- [25] J. G. Landels, *Engineering in the Ancient World, Revised Edition: With a Revised Preface, a New Appendix, and a New Bibliography*: University of California Press, 2000.
- [26] T. C. Carusone, D. A. Johns, and K. W. Martin, *Analog Integrated Circuit Design, 2nd Edition*: Wiley, 2011.
- [27] C. C. Enz, F. Krummenacher, and E. A. Vittoz, "An analytical MOS transistor model valid in all regions of operation and dedicated to low-voltage and low-current applications," *Analog Integrated Circuits and Signal Processing*, vol. 8, no. 1, pp. 83-114, 1995/07/01, 1995.
- [28] K. v. Arnim, E. Borinski, P. Seegebrecht, H. Fiedler, R. Brederlow, R. Thewes, J. Berthold, and C. Pacha, "Efficiency of body biasing in 90-nm CMOS for low-power digital circuits," *IEEE Journal of Solid-State Circuits*, vol. 40, no. 7, pp. 1549-1556, 2005.
- [29] C. Ming-Jer, H. Jih-Shin, and H. Tzuen-Hsi, "Dependence of current match on back-gate bias in weakly inverted MOS transistors and its modeling," *IEEE Journal of Solid-State Circuits*, vol. 31, no. 2, pp. 259-262, 1996.
- [30] B. Razavi, *Design of analog CMOS integrated circuits*., 2005.
- [31] N. H. Weste, and K. Eshraghian, "Principles of CMOS VLSI design: a systems perspective," *NASA STI/Recon Technical Report A*, vol. 85, 1985.

- [32] Y. Tsividis, and C. McAndrew, *Operation and Modeling of the MOS Transistor*: Oxford university press Oxford, 1999.
- [33] A. Bryant, J. Brown, P. Cottrell, M. Ketchen, J. Ellis-Monaghan, and E. Nowak, "Low-power CMOS at $V_{dd} = 4kT/q$." pp. 22-23.
- [34] J. Lazzaro, S. Ryckebusch, M. A. Mahowald, and C. A. Mead, "Winner-take-all networks of $O(N)$ complexity," *Advances in neural information processing systems 1*, S. T. David, ed., pp. 703-711: Morgan Kaufmann Publishers Inc., 1989.
- [35] R. Sarpeshkar, *Ultra low power bioelectronics : fundamentals, biomedical applications, and bio-inspired systems*, New York: Cambridge University Press, 2010.
- [36] P. S. Laplace, *Théorie analytique des probabilités*: Courcier, 1820.
- [37] D. E. Seborg, D. A. Mellichamp, T. F. Edgar, and F. J. Doyle, *Process Dynamics and Control*: John Wiley & Sons, 2010.
- [38] O. Abdelfattah, G. W. Roberts, I. Shih, and Y. Shih, "An Ultra-Low-Voltage CMOS Process-Insensitive Self-Biased OTA With Rail-to-Rail Input Range," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 62, no. 10, pp. 2380-2390, 2015.
- [39] T. Lehmann, and M. Cassia, "1-V power supply CMOS cascode amplifier," *IEEE Journal of Solid-State Circuits*, vol. 36, no. 7, pp. 1082-1086, 2001.
- [40] S. Chatterjee, Y. Tsividis, and P. Kinget, "A 0.5-V bulk-input fully differential operational transconductance amplifier." pp. 147-150.
- [41] G. Raikos, and S. Vlassis, "0.8 V bulk-driven operational amplifier," *Analog Integrated Circuits and Signal Processing*, vol. 63, no. 3, pp. 425-432, June 01, 2010.
- [42] G. M. Shepherd, *Neurobiology*, 2nd ed ed., New York: Oxford University Press, 1988.
- [43] T. Instruments, "MSP430 MIXED SIGNAL CONTROLLER Data Sheet," pp. 47, 2010.
- [44] R. J. Baker, *CMOS: Circuit Design, Layout, and Simulation*: Wiley, 2011.
- [45] G. Rincon-Mora, *Analog IC Design with Low-Dropout Regulators (LDOs)*: McGraw-Hill, Inc., 2009.
- [46] N. S. Souch, "MOS cascode current mirror," Google Patents, 1985.
- [47] J. N. Babanezhad, and R. Gregorian, "A programmable gain/loss circuit," *IEEE Journal of Solid-State Circuits*, vol. 22, no. 6, pp. 1082-1090, 1987.
- [48] A. S. Sedra, D. E. A. S. Sedra, A. S. S. Kenneth Carless Smith, K. C. Smith, and P. E. K. C. Smith, *Microelectronic Circuits*: Oxford University Press, 1998.
- [49] G. A. Rincon-Mora, *Voltage References: From Diodes to Precision High-Order Bandgap Circuits*: Wiley, 2002.
- [50] A. Oliveira, D. Cordova, H. Klimach, and S. Bampi, "Picowatt, 0.45-0.6 v Self-Biased Subthreshold CMOS Voltage Reference," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 64, pp. 3036-3046, 12/01, 2017.
- [51] T. Jochum, T. Denison, and P. Wolf, "Integrated circuit amplifiers for multi-electrode intracortical recording," *J Neural Eng*, vol. 6, no. 1, pp. 012001, Feb, 2009.

- [52] F. Shahrokhi, K. Abdelhalim, D. Serletis, P. L. Carlen, and R. Genov, "The 128-Channel Fully Differential Digital Integrated Neural Recording and Stimulation Interface," *IEEE TRANSACTIONS ON BIOMEDICAL CIRCUITS AND SYSTEMS*, vol. 4, no. 3, pp. 149-161, 2010.
- [53] V. Majidzadeh, "A Micropower Neural Recording Amplifier with Improved Noise Efficiency Factor," *European Conference on Circuit Theory and Design 2009 Antalya Turkey*, pp. 319-322, August 23-27 2009, 2009.
- [54] J. Ruiz-Amaya, "A review of low-noise amplifiers for neural applications," *2010 2nd Circuits and Systems for Medical and Environmental Applications Workshop (CASME) Merida, Yucatan, Mexico*, December 13-15 2010, 2010.
- [55] V. Krasteva, and S. Papazov, "Estimation of current density distribution under electrodes for external defibrillation," *BioMedical Engineering OnLine*, vol. 1, no. 1, pp. 7, 2002.
- [56] D. M. Ackermann, N. Bhadra, E. L. Foldes, X. F. Wang, and K. L. Kilgore, "Effect of Nerve Cuff Electrode Geometry on Onset Response Firing in High-Frequency Nerve Conduction Block," *IEEE Transactions on Biomedical Circuits And Systems*, vol. 18, no. 6, pp. 658-665, 2010.
- [57] D. M. Ackermann, E. L. Foldes, N. Bhadra, and K. L. Kilgore, "Electrode design for high frequency block: Effect of bipolar separation on block thresholds and the onset response." pp. 654-657.
- [58] W. F. Agnew, and D. B. McCreery, *Neural prostheses: fundamental studies*: Prentice Hall, 1990.
- [59] M. S. J. Steyaert, and W. M. C. Sansen, "A micropower low-noise monolithic instrumentation amplifier for medical purposes," *IEEE Journal of Solid-State Circuits*, vol. 22, no. 6, pp. 1163-1168, 1987.
- [60] V. Majidzadeh, A. Schmid, and Y. Leblebici, "Energy Efficient Low-Noise Neural Recording Amplifier With Enhanced Noise Efficiency Factor," *IEEE TRANSACTIONS ON BIOMEDICAL CIRCUITS AND SYSTEMS*, vol. 5, no. 3, pp. 262-271, 2011.
- [61] R. R. Harrison, and C. Charles, "A low-power low-noise CMOS amplifier for neural recording applications," *IEEE JOURNAL OF SOLID-STATE CIRCUITS*, vol. 38, no. 6, pp. 958-965, 2003.
- [62] T. M. Seese, H. Harasaki, G. M. Saidel, and C. R. Davies, "Characterization of tissue morphology, angiogenesis, and temperature in the adaptive response of muscle tissue to chronic heating," *Laboratory investigation; a journal of technical methods and pathology*, vol. 78, no. 12, pp. 1553, 1998.
- [63] K. M. Silay, C. Dehollain, and M. Declercq, "Numerical analysis of temperature elevation in the head due to power dissipation in a cortical implant," *2008 30th Annual International Conference of the IEEE Engineering in Medicine and Biology Society*, pp. 951-956, 2008.
- [64] K. Al-Ashmouny, C. Sun-Il, and Y. Euisik, "A 4 mW/Ch analog front-end module with moderate inversion and power-scalable sampling operation for 3-D neural microsystems." pp. 1-4.

- [65] R. H. Olsson, and K. D. Wise, "A three-dimensional neural recording microsystem with implantable data compression circuitry," *Solid-State Circuits, IEEE Journal of*, vol. 40, no. 12, pp. 2796-2804, 2005.
- [66] F. Urs, "An 11k-Electrode 126-Channel High-Density Microelectrode Electrode to Interact with Electrogenic Cells," *International Solid State Circuit Conference 2007 Session 8 Biomedical devices*, pp. 158,159,593, 2007.
- [67] F. Zhang, J. Holleman, and B. P. Otis, "Design of Ultra-Low Power Biopotential Amplifiers for Biosignal Acquisition Applications," *IEEE TRANSACTIONS ON BIOMEDICAL CIRCUITS AND SYSTEMS*, vol. 6, no. 4, pp. 344-355, 2012.
- [68] S. S. Saberhosseini, A. Zabihiyan, and A. M. Sodagar, "Low-noise OTA for neural amplifying applications." pp. 1-4.
- [69] M. Chae, J. Kim, and W. Liu, "Fully-differential self-biased bio-potential amplifier," *ELECTRONICS LETTERS*, vol. 44, no. 24, pp. 1390-U5, 2008.
- [70] B. Gosselin, "Recent Advances in Neural Recording Microsystems," *Sensors*, vol. 11, no. 5, pp. 4572, 2011.
- [71] F. Qinwen, J. H. Huijsing, and K. A. Makinwa, "A $21\text{nV}/\text{Hz}^{1/2}$ chopper-stabilized multipath current-feedback instrumentation amplifier with 2mV offset." pp. 80-81.
- [72] R. Wu, K. A. A. Makinwa, and J. H. Huijsing, "A Chopper Current-Feedback Instrumentation Amplifier With a 1mHz $1/f$ Noise Corner and an AC-Coupled Ripple Reduction Loop," *IEEE JOURNAL OF SOLID-STATE CIRCUITS*, vol. 44, no. 12, pp. 3232-3243, 2009.
- [73] T. Wei, H. Chenxi, K. Dongsoo, B. Martini, and E. Culurciello, "4-Channel asynchronous bio-potential recording system." pp. 953-956.
- [74] R. Wu, J. H. Huijsing, and K. A. A. Makinwa, "A Current-Feedback Instrumentation Amplifier With a Gain Error Reduction Loop and 0.06% Untrimmed Gain Error," *IEEE JOURNAL OF SOLID-STATE CIRCUITS*, vol. 46, no. 12, pp. 2794-2806, 2011.
- [75] M. Belloni, E. Bonizzoni, A. Fornasari, and F. Maloberti, "A Micropower Chopper-CDS Operational Amplifier," *IEEE JOURNAL OF SOLID-STATE CIRCUITS*, vol. 45, no. 12, pp. 2521-2529, 2010.
- [76] Y. Kusuda, "A $5.9\text{nV}/\text{Hz}^{1/2}$ chopper operational amplifier with 0.78mV maximum offset and $28.3\text{nV}/^\circ\text{C}$ offset drift." pp. 242-244.
- [77] R. Burt, and J. Zhang, "A micropower chopper-stabilized operational amplifier using a SC notch filter with synchronous integration inside the continuous-time signal path," *IEEE JOURNAL OF SOLID-STATE CIRCUITS*, vol. 41, no. 12, pp. 2729-2736, 2006.
- [78] F. Qinwen, J. Huijsing, and K. Makinwa, "A capacitively coupled chopper instrumentation amplifier with a $\pm 30\text{V}$ common-mode range, 160dB CMRR and 5mV offset." pp. 374-376.
- [79] B. Johnson, and A. Molnar, "An Orthogonal Current-Reuse Amplifier for Multi-Channel Sensing," *IEEE JOURNAL OF SOLID-STATE CIRCUITS*, vol. 48, no. 6, pp. 1487-1496, 2013.
- [80] Sepehrian. H, A. Mirbozorgi, and B. Gosselin, "A Low-Power Current-Reuse Analog Front-End for Multi-Channel Neural Signal Recording," no. Trois-Rivières, Quebec, June 22-24, 2014, 2014.

- [81] L. Lei, Z. Xiaodan, G. Wang-Ling, and J. Minkyu, "Comparative study and analysis of noise reduction techniques for front-end amplifiers." pp. 555-558.
- [82] M. D. Baru Fassio, "Implantable signal amplifying circuit for electroneurographic recording," Google Patents, 2006.
- [83] R. Rieger, M. Schuettler, D. Pal, C. Clarke, P. Langlois, J. Taylor, and N. Donaldson, "Very Low-Noise ENG Amplifier System Using CMOS Technology," *Neural Systems and Rehabilitation Engineering, IEEE Transactions on*, vol. 14, no. 4, pp. 427-437, 2006.
- [84] J. Holleman, and B. Otis, "A sub-microwatt low-noise amplifier for neural recording," *Conference proceedings : ... Annual International Conference of the IEEE Engineering in Medicine and Biology Society. IEEE Engineering in Medicine and Biology Society. Conference*, vol. 2007, pp. 3930, 2007.
- [85] A. Demosthenous, I. Pachnis, D. Jiang, and N. Donaldson, "An Integrated Amplifier With Passive Neutralization of Myoelectric Interference from Neural Recording Tripoles," *IEEE SENSORS JOURNAL*, vol. 13, no. 9, pp. 3236-3248, 2013.
- [86] M. Mollazadeh, K. Murari, G. Cauwenberghs, and N. V. Thakor, "Wireless Micropower Instrumentation for Multimodal Acquisition of Electrical and Chemical Neural Activity," *IEEE TRANSACTIONS ON BIOMEDICAL CIRCUITS AND SYSTEMS*, vol. 3, no. 6, pp. 388-397, 2009.
- [87] I. A. Kazerouni, H. G. Dehrizi, S. M. M. Isfahani, Z. Zhuo, M. Baghaei-Nejad, and Z. Li-Rong, "A 77 nW bioamplifier with a tunable bandwidth for neural recording systems." pp. 36-39.
- [88] K. Jungsuk, C. Moo Sung, and L. Wentai, "A 220nW neural amplifier for multi-channel neural recording systems." pp. 1257-1260.
- [89] B. Gosselin, M. Sawan, and C. A. Chapman, "A Low-Power Integrated Bioamplifier With Active Low-Frequency Suppression," *IEEE TRANSACTIONS ON BIOMEDICAL CIRCUITS AND SYSTEMS*, vol. 1, no. 3, pp. 184-192, 2007.
- [90] R. Muller, S. Gambini, and J. M. Rabaey, "A 0.013 mm², 5 μ W, DC-Coupled Neural Signal Acquisition IC With 0.5 V Supply," *IEEE JOURNAL OF SOLID-STATE CIRCUITS*, vol. 47, no. 1, pp. 232-243, 2012.
- [91] Z. Wei, H. Li, and Z. Youguang, "A low-noise integrated bioamplifier with active DC offset suppression." pp. 5-8.
- [92] P. Castro, and F. Silveira, "High CMRR power efficient neural recording amplifier architecture." pp. 1700-1703.
- [93] W. Chung-Yu, C. Wei-Ming, and K. Liang-Ting, "A CMOS Power-Efficient Low-Noise Current-Mode Front-End Amplifier for Neural Signal Recording," *Biomedical Circuits and Systems, IEEE Transactions on*, vol. 7, no. 2, pp. 107-114, 2013.
- [94] G. Ferrari, F. Gozzini, A. Molari, and M. Sampietro, "Transimpedance Amplifier for High Sensitivity Current Measurements on Nanodevices," *Solid-State Circuits, IEEE Journal of*, vol. 44, no. 5, pp. 1609-1616, 2009.
- [95] H. Rezaee-Dehsorkh, N. Ravanshad, R. Lotfi, and K. Mafinezhad, "A linear tunable amplifier for implantable neural recording applications." pp. 1-4.

- [96] X. D. Zou, X. Y. Xu, L. B. Yao, and Y. Lian, "A 1-V 450-nW Fully Integrated Programmable Biomedical Sensor Interface Chip," *IEEE JOURNAL OF SOLID-STATE CIRCUITS*, vol. 44, no. 4, pp. 1067-1077, 2009.
- [97] V. Chaturvedi, and B. Amrutur, "A Low-Noise Low-Power Noise-Adaptive Neural Amplifier in 0.13um CMOS Technology." pp. 328-333.
- [98] K.-W. Yao, "Design of A Neural Recording Amplifier with Tunable Pseudo Resistors," *Proceedings of the IEEE International SOC Conference Taipei Taiwan*, pp. 376-379, 2011.
- [99] Y. Ming, and M. Ghovanloo, "A Low-Noise Preamplifier with Adjustable Gain and Bandwidth for Biopotential Recording Applications." pp. 321-324.
- [100] Z. Xiaodan, L. Lei, C. Jia Hao, Y. Lei, L. Peng, C. Ming-Yuan, G. Wang Ling, R. Rajkumar, G. S. Dawe, C. Kuang-Wei, and J. Minkyu, "A 100-Channel 1-mW Implantable Neural Recording IC," *Circuits and Systems I: Regular Papers, IEEE Transactions on*, vol. 60, no. 10, pp. 2584-2596, 2013.
- [101] P. Kmon, and P. Grybos, "Energy Efficient Low-Noise Multichannel Neural Amplifier in Submicron CMOS Process," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 60, no. 7, pp. 1764-1775, 2013.
- [102] K. Al-Ashmouny, C. Sun-Il, and Y. Euisik, "A 8.6 mW 3-bit programmable gain amplifier for multiplexed-input neural recording systems." pp. 2945-2948.
- [103] B. Gosselin, "Approaches for the efficient extraction and processing of neural signals in implantable neural interfacing microsystems." pp. 5855-5859.
- [104] P. Hangué, M. Kiani, L. Hyung-Min, K. Jeonghee, J. Block, B. Gosselin, and M. Ghovanloo, "A Wireless Magnetoresistive Sensing System for an Intraoral Tongue-Computer Interface," *Biomedical Circuits and Systems, IEEE Transactions on*, vol. 6, no. 6, pp. 571-585, 2012.
- [105] J. N. Y. Aziz, K. Abdelhalim, R. Shulyzki, R. Genov, B. L. Bardakjian, M. Derchansky, D. Serletis, and P. L. Carlen, "256-Channel Neural Recording and Delta Compression Microsystem With 3D Electrodes," *IEEE JOURNAL OF SOLID-STATE CIRCUITS*, vol. 44, no. 3, pp. 995-1005, 2009.
- [106] C. Moosung, L. Wentai, Z. Yang, C. Tungchien, K. Jungsuk, M. Sivaprakasam, and M. Yuce, "A 128-Channel 6mW Wireless Neural Recording IC with On-the-Fly Spike Sorting and UWB Tansmitter." pp. 146-603.
- [107] C. M. Lopez, A. Andrei, S. Mitra, M. Welkenhuysen, W. Eberle, C. Bartic, R. Puers, R. F. Yazicioglu, and G. Gielen, "An implantable 455-active-electrode 52-channel CMOS neural probe." pp. 288-289.
- [108] B. Gosselin, and M. Sawan, "A low-power integrated neural interface with digital spike detection and extraction," *Analog Integrated Circuits and Signal Processing*, vol. 64, no. 1, pp. 3-11, 2009.
- [109] A. M. Sodagar, G. E. Perlin, Y. Ying, K. Najafi, and K. D. Wise, "An Implantable 64-Channel Wireless Microsystem for Single-Unit Neural Recording," *Solid-State Circuits, IEEE Journal of*, vol. 44, no. 9, pp. 2591-2604, 2009.
- [110] B. Gosselin, M. Sawan, and E. Kerherve, "Linear-Phase Delay Filters for Ultra-Low-Power Signal Processing in Neural Recording Implants," *Biomedical Circuits and Systems, IEEE Transactions on*, vol. 4, no. 3, pp. 171-180, 2010.

- [111] R. R. Harrison, P. T. Watkins, R. J. Kier, R. O. Lovejoy, D. J. Black, B. Greger, and F. Solzbacher, "A Low-Power Integrated Circuit for a Wireless 100-Electrode Neural Recording System," *Solid-State Circuits, IEEE Journal of*, vol. 42, no. 1, pp. 123-133, 2007.
- [112] B. Gosselin, A. E. Ayoub, J. F. Roy, M. Sawan, F. Lepore, A. Chaudhuri, and D. Guitton, "A Mixed-Signal Multichip Neural Recording Interface With Bandwidth Reduction," *Biomedical Circuits and Systems, IEEE Transactions on*, vol. 3, no. 3, pp. 129-141, 2009.
- [113] L. Wen-Sin, Z. Xiaodan, Y. Libin, and L. Yong, "A 1-V 60mW 16-channel interface chip for implantable neural recording." pp. 507-510.
- [114] H. Miranda, V. Gilja, C. A. Chestek, K. V. Shenoy, and T. H. Meng, "HermesD: A High-Rate Long-Range Wireless Transmission System for Simultaneous Multichannel Neural Recording Applications," *Biomedical Circuits and Systems, IEEE Transactions on*, vol. 4, no. 3, pp. 181-191, 2010.
- [115] G. E. Perlin, and K. D. Wise, "An Ultra Compact Integrated Front End for Wireless Neural Recording Microsystems," *Microelectromechanical Systems, Journal of*, vol. 19, no. 6, pp. 1409-1421, 2010.
- [116] E. Greenwald, M. Mollazadeh, C. Hu, W. Tang, E. Culurciello, and N. Thakor, "A VLSI Neural Monitoring System With Ultra-Wideband Telemetry for Awake Behaving Subjects," *IEEE Transactions on Biomedical Circuits and Systems*, vol. 5, no. 2, pp. 112-119, 2011.
- [117] J. Aceros, Y. Ming, D. A. Borton, W. R. Patterson, and A. V. Nurmikko, "A 32-channel fully implantable wireless neurosensor for simultaneous recording from two cortical regions." pp. 2300-2306.
- [118] W. Jo-Yu, and T. Kea-Tiong, "A band-tunable, multichannel amplifier for neural recording with AP/LFP separation and dual-threshold adaptive AP detector." pp. 1847-1850.
- [119] C. M. Lopez, D. Braeken, C. Bartic, R. Puers, G. Gielen, and W. Eberle, "A 16-channel low-noise programmable system for the recording of neural signals." pp. 1451-1454.
- [120] A. G. Rouse, S. R. Stanslaski, P. Cong, R. M. Jensen, P. Afshar, D. Ullestad, R. Gupta, G. F. Molnar, D. W. Moran, and T. J. Denison, "A chronic generalized bi-directional brain-machine interface," *J Neural Eng*, vol. 8, no. 3, pp. 036018, Jun, 2011.
- [121] T. A. Szuts, V. Fadeyev, S. Kachiguine, A. Sher, M. V. Grivich, M. Agrochao, P. Hottowy, W. Dabrowski, E. V. Lubenov, A. G. Siapas, N. Uchida, A. M. Litke, and M. Meister, "A wireless multi-channel neural amplifier for freely moving animals," *Nat Neurosci*, vol. 14, no. 2, pp. 263-9, Feb, 2011.
- [122] W. Wattanapanitch, and R. Sarpeshkar, "A Low-Power 32-Channel Digitally Programmable Neural Recording Integrated Circuit," *IEEE TRANSACTIONS ON BIOMEDICAL CIRCUITS AND SYSTEMS*, vol. 5, no. 6, pp. 592-602, 2011.
- [123] L. Yi-Kai, L. Wentai, C. Kuanfu, T. Ming-Hsien, and H. Fu-Lung, "A 64-channel neuron recording system." pp. 2862-2865.

- [124] M. Zoladz, P. Kmon, P. Grybos, R. Szczygiel, R. Kleczek, P. Otfinowski, and J. Rauza, "Design and measurements of low power multichannel chip for recording and stimulation of neural activity." pp. 4470-4474.
- [125] Y. Ming, D. A. Borton, J. Aceros, W. R. Patterson, and A. V. Nurmikko, "A 100-channel hermetically sealed implantable device for wireless neurosensing applications." pp. 2629-2632.
- [126] H. Gao, R. M. Walker, P. Nuyujukian, K. A. A. Makinwa, K. V. Shenoy, B. Murmann, and T. H. Meng, "HermesE: A 96-Channel Full Data Rate Direct Neural Interface in 0.13 μ m CMOS," *IEEE JOURNAL OF SOLID-STATE CIRCUITS*, vol. 47, no. 4, pp. 1043-1055, 2012.
- [127] H. Dong, Z. Yuanjin, R. Rajkumar, G. Dawe, and J. Minkyu, "A 0.45V 100-channel neural-recording IC with sub- μ W/channel consumption in 0.18 μ m CMOS." pp. 290-291.
- [128] M. Yin, D. A. Borton, J. Aceros, W. R. Patterson, and A. V. Nurmikko, "A 100-Channel Hermetically Sealed Implantable Device for Chronic Wireless Neurosensing Applications," *IEEE Trans. on Biomed. Circ. and Syst.*, vol. 7, no. 2, pp. 115-128, 2013.

Annexes

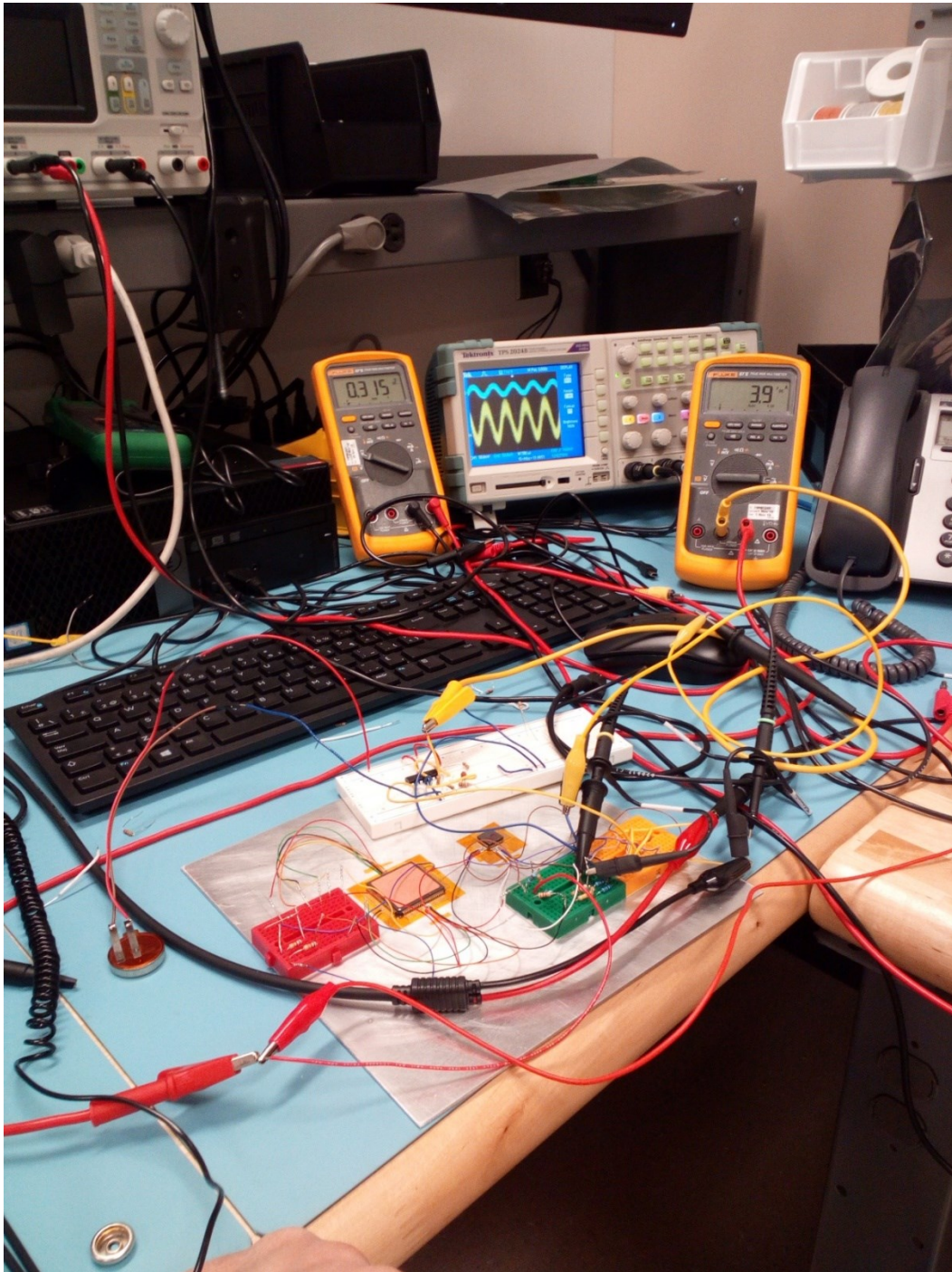


Figure 48 Un amplificateur de substrats fonctionnant à 0,315 V avec une alimentation de 3,9 μ A présentant un gain de 12 dB pour un seul étage.

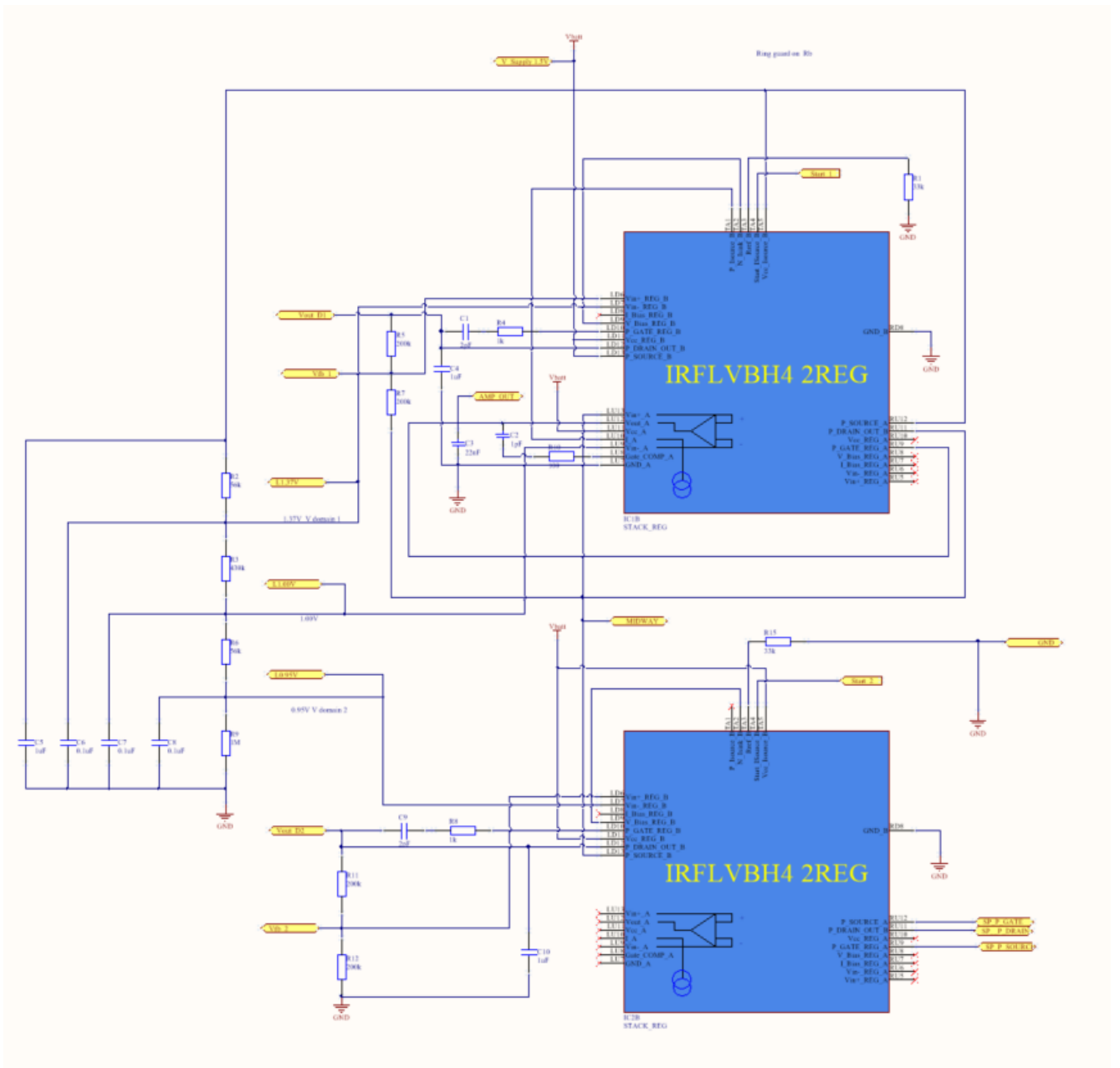


Figure 49 Version test basée sur le circuit microélectronique du régulateur 'Waterfall'

Annexed paper (open access)

99J. *Low Power Electron. Appl.* **2014**, *4*, 1-x manuscripts; doi:10.3390/jlpea40x000x

OPEN ACCESS

Journal of

*Low Power Electronics
and Applications*

ISSN 2079-9268

www.mdpi.com/journal/jlpea

Review

A Survey of Neural Front End Amplifiers and Their Requirements Toward Practical Neural Interfaces

Eric Bharucha, Hassan Sepehrian, and Benoit Gosselin*

Biomedical Microsystems Laboratory, Electrical and Computer Engineering Department, Université Laval, 1065 avenue de la Médecine, Québec (Québec) G1V 0A6, Canada.

*E-Mail: benoit.gosselin@gel.ulaval.ca; Tel.: +1-418-656-2131; Fax: +1-418-656-3159.

Received: / Accepted: / Published:

Abstract: When designing an analog front-end for neural interfacing it is hard to evaluate the interplay of priority features that one must upkeep. Given the competing nature of design requirements for such systems a good understanding of these trade-offs is necessary. Low power, chip size, noise control, gain, temporal resolution and safety are the salient ones. There is a need to expose these critical features for high performance neural amplifiers as the density and performance needs of these systems increases. This review revisits the basic science behind the engineering problem of extracting neural signal from living tissue. A summary of architectures and topologies is then presented and illustrated through a rich set of examples based on the literature. A survey of existing systems is presented for comparison based on prevailing performance metrics.

Keywords: Neural recording; Analog front-end; Neural amplifier; Low-noise; Review.

⁵ <https://www.mdpi.com/openaccess> ---> published material can be re-used without obtaining permission as long as a correct citation to the original publication is given.

1. Introduction

Interfacing electronics with the brain is one of the greatest technical challenges of our era. During the past decade, specialized amplifier circuitry to retrieve weak neural bio-potentials from extracellular microelectrodes has improved dramatically [51]. Such progress enabled to significantly accelerate advances in the field of neural engineering in neural prosthesis, because neural amplifiers are key building blocks of active microelectronic interfaces. Such interfaces are becoming increasingly important for enhancing our understanding of brain function, and for developing potentially therapeutic and prosthetic applications. Neural interfaces generally aim to utilize the largest number of channels for the study of neurons from specific brain microcircuits. The important design parameters, such as power consumption, noise performance, CMRR and size of neural amplifiers have all improved; and, despite the opposing design options and tradeoffs, many have successfully improved several of these parameters simultaneously. This is in part thanks to innovative design approaches and novel circuit topologies. The objective of this paper is to present a comprehensive review of current designs trends and strategies in neural front-end amplifier circuitry. In the end we glimpse into a comparison of multi-channel systems with a compilation of significant implementations to date.

2. Physiology and Action Potentials, a brief review

Action potentials are the basic signal waveform mediating information transfer in neural cells. These action potentials occur because the neural cell membrane reverts its polarization or depolarizes. The occurrence of this event can be understood by the movement of ions across the cell membrane. While at rest, several mechanisms, active and passive, promote the transport of potassium K^+ into the cell; while sodium Na^+ ions are transferred to the exterior. By active and passive, it is implied that they either consume or not the energy storage molecule ATP to mediate their action. Despite the fact that K^+ and Na^+ ions are positively charged; the inside of the cell is more negative than positive. The main cations involved possess different leakage properties across the cell membrane and other element such as negatively charged proteins impose a negatively charged resting potential. Thus, the membrane potential is non-zero and at in mammalian nervous system, the outside of the cell is more positive than the interior which at rests is approximately

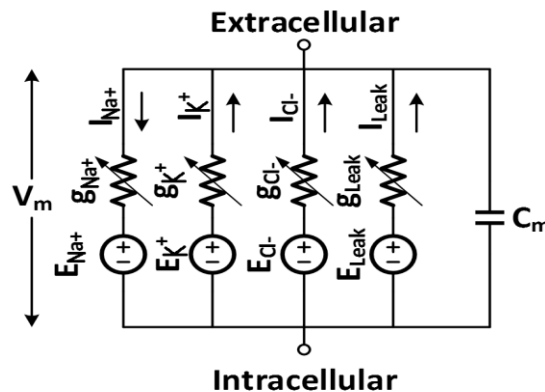


Figure 1: the electrical circuit model of the ion transport model.

around -70mV. When ionic channels become activated either electrically, biochemically or through other mechanisms the depolarization that occurs is generally the result of voltage sensitive Na⁺ sodium channels opening first. The passage of sodium causes an influx of positive charges into the cell and thus raising the potential there rapidly. The resting potential is restored only when, a few moments later the K⁺ channels open up sending potassium ions across the cell membrane and into the external surrounding fluid to re-balance things out. This ionic transit occurs sequentially because the voltage dependent channels for potassium open more slowly than their sodium counterparts. This sequence of events transpires in a timeframe in the order of the millisecond. A bio-molecular structure, the Na⁺/K⁺ ATPase pump then restores the resting equilibrium; this molecular ion pump is powered by ATP the main energy molecule in animal cells [42]. The ion transport model can be understood physically with the electrical circuit model displayed below in Figure 1. In this figure, ionic leakage and active transport can be seen as a set of battery cells in series with variable resistors. The membrane's lipid bilayer can be correctly predicted to act as a capacitor. The resting potential that ensues is the result of ionic gradients across the cell membrane and can be computed by derivation from the Nernst equation. The famous result is known as the constant field equation first coined by Goldman in 1943. The take home message from an engineering perspective is that nerve signals mainly travel as binary electrical pulses of roughly 0.1V in amplitude in the 1-ms range and signal amplitude is pulse code modulated. This last point means that intensity is translated as a proportional increase in firing frequency. The resting membrane potential in real cells is estimated as follows

$$V_m = \frac{RT}{F} \ln \left(\frac{p_K [K^+]_o + p_{Na} [Na^+]_o + p_{Cl} [Cl^-]_i}{p_K [K^+]_i + p_{Na} [Na^+]_i + p_{Cl} [Cl^-]_o} \right), \quad (1)$$

in which K⁺, Na⁺, and Cl⁻ are the major contributors to the membrane potential. Note that the unit of V_m is the Volt. However, for practical reasons the membrane potential is typically reported in millivolts (mV). If the channels for a given ion (Na⁺, K⁺, or Cl⁻) are closed, then the corresponding relative permeability values can be set to zero. For example, if all Na⁺ channels are closed, p_{Na}=0. R is the universal gas constant (8.314 J K⁻¹ mol⁻¹). T is the temperature in Kelvin (K = °C + 273.15). F is the Faraday's constant (96485 C mol⁻¹). p_K is the membrane permeability for K⁺. Normally, permeability values are reported as relative permeabilities with p_K having the relative reference value of one (because in most cells at rest p_K is larger than p_{Na} and p_{Cl}). For a typical neuron at rest, p_K : p_{Na} : p_{Cl} = 1 : 0.05 : 0.45. Because permeability is reported in relative terms, permeability values are unitless. p_{Na} is the relative membrane permeability for Na⁺. p_{Cl} is the relative membrane permeability for Cl⁻. [52]_o, [Na⁺]_o and [Cl⁻]_o are the concentrations of K⁺, Na⁺ and Cl⁻ on the outside of the cell or extracellular fluid; while [K⁺]_i, [Na⁺]_i, [Cl⁻]_i are the same ionic concentrations but in the intracellular fluid. During depolarization permeabilities and concentrations are dynamically modulated resulting in the observed waveforms.

3. Neural Amplifiers Specifications

To get a sneak peak at these action potentials, an amplifying mechanism is required. A neural amplifier must filter neural waveforms to remove DC offsets and augment the resulting signal's amplitude. To provide high signal quality this amplifier must generate sufficient gain, filter appropriate bandwidth, possess high signal-to-noise ratio (SNR) with excellent linearity, and have high common mode and power supply rejection ratios (CMRR and PSRR). The background noise present at the electrode tissue interface is usually in the range of about $10\mu\text{V}_{\text{rms}}$ or less. This background noise sets the stage for practical neural signal recording. The majority of neural amplifiers that successfully extract in-vivo action potentials have an input referred noise value below $3\text{--}7\mu\text{V}_{\text{rms}}$ [51], [53], [54]. Without this controlled noise level, the signal is drowned in a sea of noise. Locally, at the neural cell membrane level, the action potential is in the 100-mV range; but at a relatively short distance away from the cell surface, this potential falls away rapidly. This is why a gain in the 40-dB range is the least amount one can get away with [54]. Action potentials can be argued to have useful frequency content between 100 Hz to about 8 kHz and signal amplitude that can go into single digit microvolt range [51]. It is evident from stimulation studies that several factors are significant; signal characteristics owe some dependency on physiological factors but are also modulated by electrode geometry [55], target neural tissue composition [42] and electrode impedance [56], [57], [58]. The presence of external noise as well as internal noise sources, common mode and power supply noise must also be kept in check. Examples of external noise sources are as the electrical activity from muscle contractions which mostly affects nerve signal recordings and intensified brain activity which can modulate low frequency baseline potential levels; environmental noise from radio, cellular and electrical equipment in general can also affect performance. In standard MOSFETs, which are prevailing in modern microelectronics, internal noise sources are mainly thermal noise and flicker noise resulting from intrinsic semiconductor properties. Thermal noise can be controlled by modulating transconductance or the W/L ratio. Flicker noise on the other hand, can mainly be improved by increasing gate capacitance and the easiest way to do that is to increase the area of the input pair transistors. In so doing, however, one must use large input transistors. This yet again pushes the design into weak inversion regions [44]. Fortuitously, the weak inversion point is also the optimal current efficiency area of the device. Maintaining low power consumption and low noise thus dictates common design trends. Finally it should be mentioned that for practical purposes, one must keep chip size within reasonable bounds. Achieving all those specifications simultaneously is a tall order and a challenge that was recognized early on by experimenters and engineers alike.

When it comes to competing engineering options, difficulty arises when trying to compare the performance of different amplifier topologies, architectures and design tradeoffs. One figure of merit that has endured the test of time is the Noise Efficiency Factor (NEF) [59], despite limitations of this comparison metric, and perhaps in lieu of a better alternative, it is still widely used today. It will be used for comparison in later sections.

$$NEF = V_{rms,in} \sqrt{\frac{2 \cdot I_{total}}{4\pi kT \cdot BW}} \quad (2)$$

4. System level specifications

The previous section sets the stage in terms of performance features for a neural amplifier. However there is a design gap between the single neural amplifier and requirements for a practical system. Indeed additional design constraints are befitting; for starters, if one wishes to observe even a small parcel of living brain function, multi-electrode systems are essential. In multi-electrode

systems, one amplifier is often needed for each channel. Four architecture are possible: either a fixed architecture in which one electrode is connected to one amplifier; a semi-static architecture where the number of electrodes is greater than the number of amplifiers; a third architecture where electrode/amplifier assignment can be configured occasionally to account changes in performance; and finally, a real-time dynamic system in which assignment and topology may be reassigned in real-time.

Regardless of architectural choice the requirement for multiple channel observation dictates low power operation, reduced size, and scalability for integration into implantable devices. Yet, the diminutive magnitude of in-vivo signals requires amplifiers to have substantial gain at low noise and all this demands power. The power conundrum is aggravated by a third limitation; heat dissipation. It is widely accepted that the maximum practical power consumption for a neural implant is in great part set by the maximum heating of its components. Several groups have estimated this limit [60], [61], and some normative texts even indirectly dictate it [4]. It has also been shown that a heat flux of $80\text{mW}/\text{cm}^2$ can be set as a safe limit to uphold [62], in that article, a $4\text{-}5^\circ\text{C}$ elevation was given as an empirical limit based on observed tissue response pathology. In the medical device industry; the acceptable temperature rise limit is usually regulated at $\leq 2^\circ\text{C}$. That limit is typically the maximum tolerated for all commercial implants [4]. Others go even further setting the safety limit at 1°C or lower [6]. The thermal ceiling imposes a threshold for power dissipation in small device enclosures. Wireless power transmission is also an issue because of inductive heating losses in circuit structures. Furthermore, with inductive charging, the practical charge rate is also limited for commercial medical devices. The reason for this is that electromagnetic field strength exposures are constrained for safety. Within a chip scale device, a practical estimate would typically result in a few mA of available current supply. For a 1.8 V supply for example, this so called limit can be estimated to be 3-5 mA/h or 9 mW/h [60], [63]. For useful brain machine interfaces as envisioned by many; a very large number of electrodes will be required. It is expected that systems with thousands of electrodes will emerge within the next 2 decades [64], [65]. Let's suppose as an example such an implantable device with 10 thousand electrodes powered from a state-of-the-art medical grade rechargeable battery with a current capacity of 200mA/h at 3.7V. Battery chemistries remain relatively stable and slow changing in medical devices as safety regulations are extremely stringent. If the battery needs to be fully recharged every 3-4 days; then this leaves us with a power budget about 9 mW, the previously demonstrated limit. With control circuitry, ADC, signal processing, telemetry and heat losses there may be at best half the available power left for neural sensing amplifiers. Theoretically, this would mean a maximum per channel of approximately 450 nW. This is quite a challenge even without considering integration obstacles. Although the 10 thousand electrode count may seem ambitious, similar large count electrode arrays have already been reported and interfaced [66] albeit at a lesser functionality and multiplexed channel conditioning circuitry. Unlike the critical parameters just illustrated for brain machines; this last example was devised for the purpose of cultivated cells in a controlled environment. Regardless of the technology; the goal of these systems is to develop efficient neural interfaces for peering into action potential mediated brain activity.

5. Circuit topologies

From the aforementioned specifications, designs can be implemented using various circuit architectures. The most common circuit topologies for implementing low-noise operational transconductance amplifiers (OTAs) are the two stage Op-Amp (Miller OTA, see Figure 2 below) and the current mirror OTA; also there is the folded cascode that allows larger swing margins or reduced supply margins. This last architecture is becoming increasingly popular as the push for sub 1V supplies becomes prevalent. Other notable architectures include the telescopic cascode amplifier as reported by [52], [67], [68]. Source degenerate active loads lead to significantly

diminished currents in the folded branch compared to the differential pair [16]. Finally, one last structure that deserves mention is the differential self-biased OTA as reported by [69]. A full treatment comparing the noise performance of these architectures can be found in [70].

The previously mentioned topologies can be implemented in differential form. In [67], several differential architectures including closed-loop fully differential, telescopic-cascode amplifier; complementary-input open loop amplifier and complementary-input closed-loop amplifier architectures are presented and tested. The last one was the most successful achieving a gain of 40.5 dB an NEF of 4.5 and a power consumption of 12.5 μ W. The chip area was also impressive being below 0.05 mm². The table below summarizes the main characteristics achieved by these comparative designs. One should note here that the second architecture had a debilitating PSRR. Figure 3 also shows the circuit of the most significant implementation.

Table 1: Comparison of the different structures reported in [67].

Architecture	NEF	Power consumption (μ W)	Mid band gain (dB)	Area (mm ²)
Telescopic-cascode Closed-loop Amplifier	4.5	12.5	40.5	0.047
Complementary-input Open loop Amplifier	1.9	0.8	36	0.046
Complementary-input Closed-loop Amplifier	2.9	12.1	40	0.072

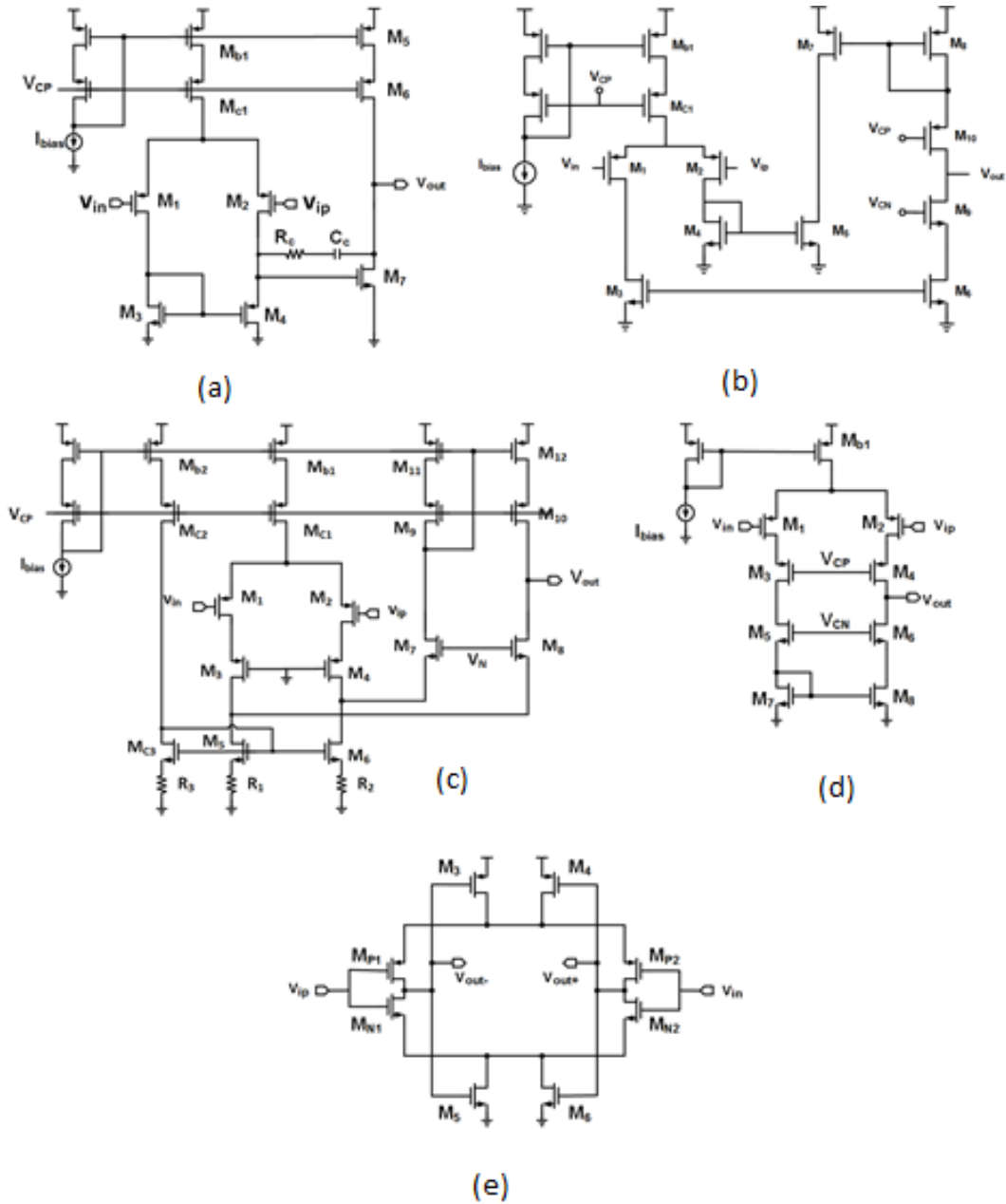


Figure 2: low-noise OTA. Miller OTA (a) current mirror OTA (b), folded cascode(c), telescopic (d)

The current feedback instrumentation amplifier possesses key features such as high impedance and CMRR [71]. However, common problems with this architecture include offset in the mV range. Chopping effectively modulates noise and offset to a pre-selected chopping frequency resulting in a white noise base band. The downside as in most switching architecture is a ripple at the output. Different topologies exist for canceling the ripple [72], [73], [74], [75], [76], [77] but they require high chopping frequencies. [78] shows that this can be avoided by using a ripple reduction loop.

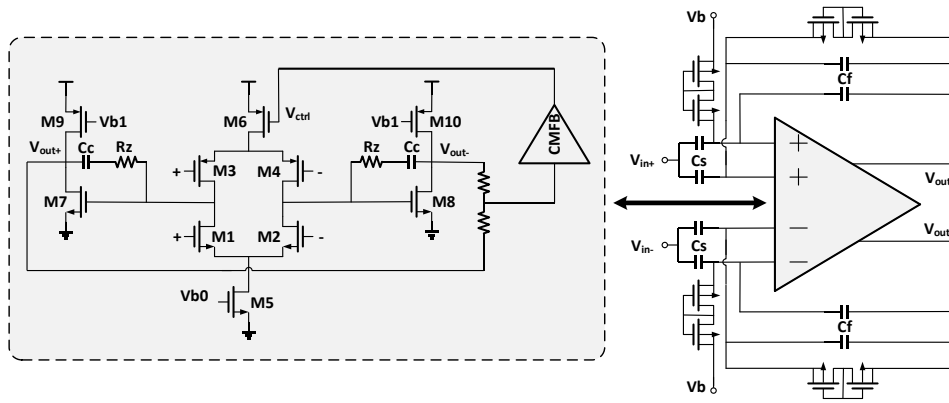


Figure 3: The efficient complementary input closed loop fully differential design as reported by [2].

This type of feedback loop reduces unwanted ripple in the low frequency chopped output filter by effectively introducing a notch filter in the pass band. Although chopper stabilization results in lower noise; the design is ill suited for large scale integration where power consumption and circuit complexity push the design towards simpler architectures when optimization is key.

Recently, a NEF of 1.64 was achieved by using the technique of current reuse as described by [79] and [80] (see Figure 4). In this scheme, current is reused between parallel stages to save power consumption and silicon area. Such a scheme consists of multi-staked differential input pairs (Figure 6a) and a current recombination block (Figure 4b), which separates the output currents assigned to the input signals, and an output stage (Figure 4b), which uses recombined currents to generate an output voltage that corresponds to a given input signal. One current source is employed to bias each stack of several differential input stages, which tail currents are coming from previous stage. The schematic of a two stacked input stage current reuse amplifier is presented in Figure 4a. The second stage (Stage 2 in Figure 4a) is divided into two differential pairs, the input transistors of which are half the size of the input transistors of the first stage. Both stacked input-stages (Stage 1 and Stage 2 in Figure 4) have same g_m . As the total current that flows in second stage is same as the current that flows in the first stage (I_{bias}), the overall g_m in the second stage is equal to the g_m in the first stage. Each output current (small signal currents i_1, i_2, i_3, i_4) is an independent and linear combination of several output currents derived from the corresponding input voltages. The input pairs in the second stacked stage are parallel because they have same inputs (V_{in2+}, V_{in2-}), but they are independent since their tail currents ($I_{bias}/2$) are independent. For example, to generate V_{Out1}, V_{Out1+} and V_{Out1-} , the corresponding output currents are re-constructed by summing currents i_1, i_2 and currents i_3, i_4 respectively. V_{Out2} is generated by summing i_1, i_3 currents to construct V_{Out2+} , and currents i_2, i_4 to construct V_{Out2-} . (See the schematic of the Output stage in Figure 6b). However, when employed in a multi-channel system, there is some concern that the resulting crosstalk would likely cause issue with increasing channel count. Current reuse as a noise and power reduction method was also discussed in [81].

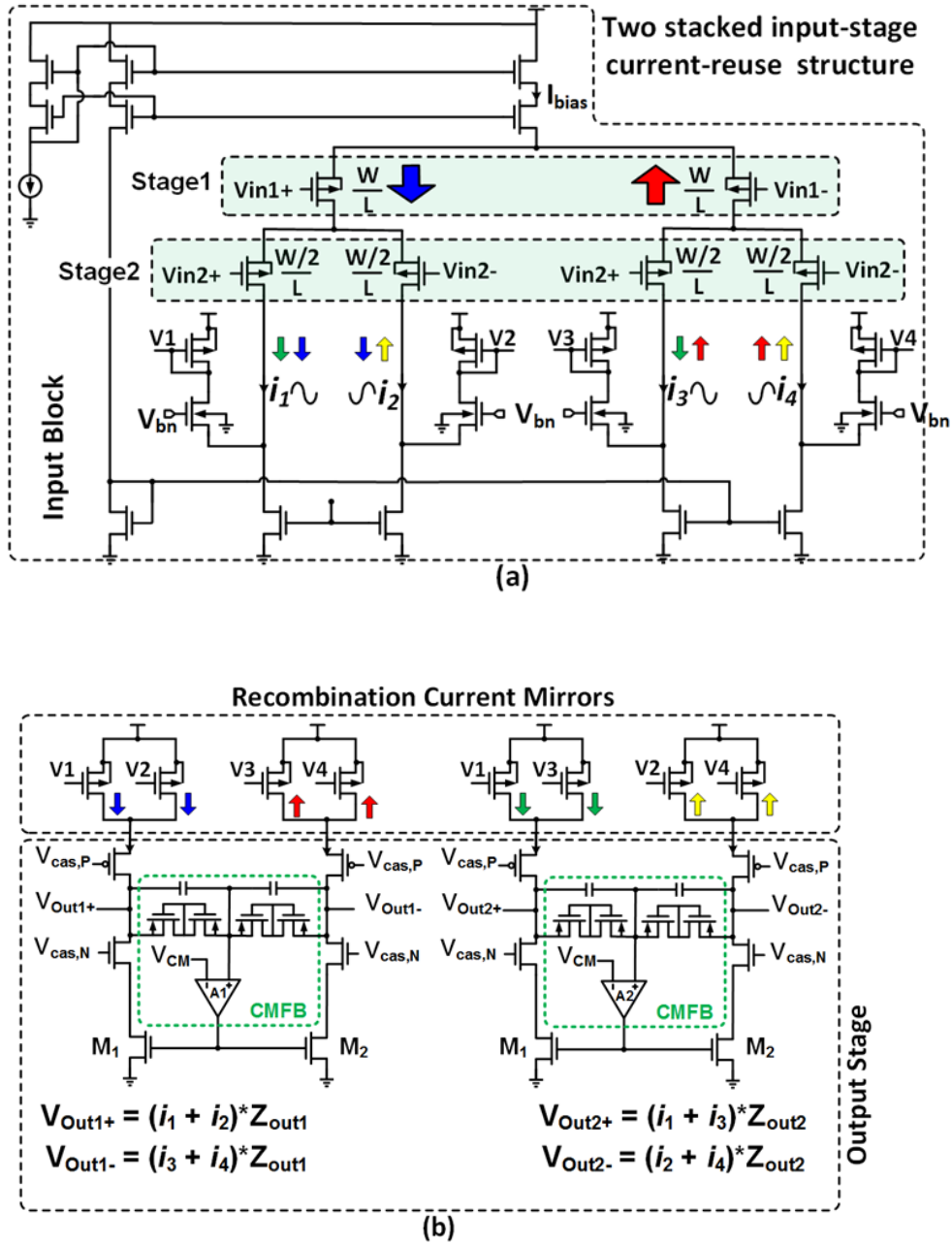


Figure 4: 2-Stage orthogonal current reuse scheme by [1]. (a) The input block consists of 2 stacked

System architectures

6.1. Open loop amplifiers

The above circuit topologies can be used to implement different neural front-end amplifier architectures. Taking a top down approach, a comparison of amplifier topologies is appropriate. The first is the open loop topology; this structure offers high gains at lowered noise levels it is often implemented adopting some sort of instrumentation *type* layout. Generally open loop circuits are

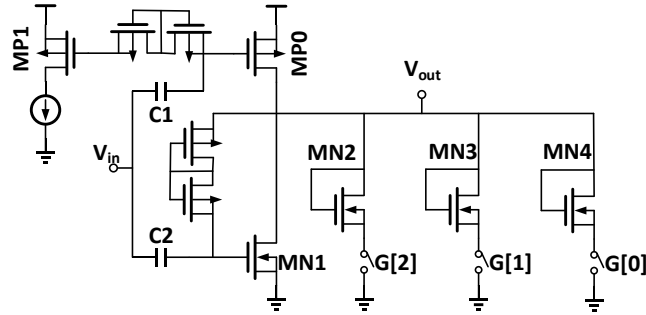


Figure 5: Open loop schematic reported in [2].

used for either extremely low power or extremely low noise, but have rarely been reported to achieve both objectives simultaneously. Some good design examples can be found in [82], [83], [84] refer to Figure 5 below. It is interesting to note that manually tuned tube versions were used by early electro-physiologists. Open loop amplifiers are nowadays seldom used in implantable devices. This can be explained by their inherent power and size disadvantages when designing for portable systems. They must often be tuned or screened for performance due to a lack of reproducibility between devices [67]. The problem is mainly due to the gain and CMRR variability that results from imperfect lithographic tolerance between circuit structures. For microelectronics, successful open loop designs typically use mature, lower resolution, processes as the relative process tolerances are diminished. This approach yields better performance repeatability between channels and devices at the cost of size increase and higher power consumption. Without the lithographic considerations mentioned above, significant discrepancy are observed between simulated and fabricated devices especially for CMRR; the empirical difference in value reaching up to 40 dB from simulations. Modern microelectronic applications are mainly limited to cuff electrode recording where the mechanical layout and nerve implant site require particularly low input noise performance that can be achieved with this architecture. State-of-the-art for tripolar recording systems using this technology is reported in [85]. This amplifier consumes a relatively elevated $310 \mu\text{A}$ at 3V but exhibits a close to theoretical limit of $0.68 \mu\text{Vrms}$. [86] also describes a micropower fully differential instrumentation amplifier capable of monitoring neurochemical modalities by its sensitivity also reaching a low input referred noise of $2 \mu\text{Vrms}$. The dynamic range of this current mode amplifier spans an impressive 6 decades from picoamps to microamps and is thus well suited for scientific investigation as it is also wirelessly interfaced.

[84] presented an open loop sub-microwatt amplifier that made use of pseudo-resistors. Their design achieved 36 dB of gain with a bandwidth of 0.3 to 4.7 kHz and had a respectable input referred noise of 3.5Vrms and NEF of 1.8.

6.2 Capacitive feedback topology

In the last decade, engineers have widely borrowed a model that early on, achieved many of the desirable features of neural amplifier. Thus know as capacitive feedback techniques has been the method of choice for many neural amplifier designs, as first reported by [61]. Figure 6 below show the basic topology. It is obvious to see that it is derived from the ubiquitous feedback topology, first introduced by H.S. Black in 1927. Here an impedance element constrains gain by a

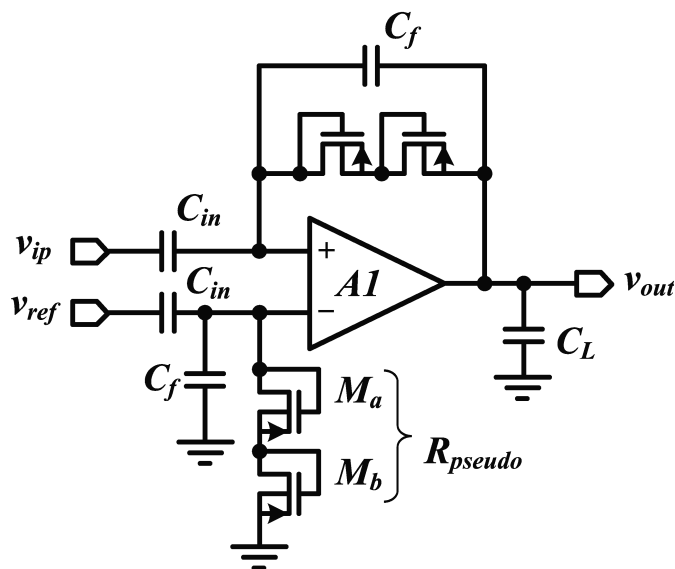


Figure 6: Classic neural amplifier topology with capacitive feedback.

proportional bandwidth reduction. Increased power consumption is also the cost of ‘controlling’ signal output via the feedback loop and providing a controllable linear response. Typically a small chip scale capacitor is used in conjunction with a very large MOSFET based resistor to create the required low pass response for neural amplifiers in scalable fashion.

The capacitive feedback topology has been optimized for very low-power operation through a dedicated circuit design methodology. The original design achieved a gain of 39.5 dB while posting a power consumption 80 μW and a respectable NEF of 4. Modifications and extensive optimization for low-noise resulted through the use of source degenerate current mirrors and high current scaling ratios between input differential pair and folded branch transistors of a folded cascode design, as reported by [16]. The successful results were only possible due to the careful matching of the degenerate mirror. This resulted in a current consumption of 7.56 μW power consumption and an NEF of 2.67 at a gain over 40 dB.

Others have optimized the capacitive feedback topology; [87] reports an ultra-low-power 77-nW bioamplifier, with an NEF of 1.32 and tunable bandwidth, however this circuit also has an input referred noise of 14.3 μV_{rms} . The circuit is a classic capacitive feedback single stage LNA. Similarly, [88] described a 220-nW neural amplifier, also with tunable bandwidth. However, Kim added a buffer, adopting a two-stage architecture with a similarly limiting input noise of 14.5 μV_{rms} . The high input noise and low reported gains (around 30dB) severely limit the usefulness of these amplifiers. It is important to note here that NEF as a means for comparing amplifiers is practical; but the previous design illustrate its limitation. As seen, a very low NEF can result in bad performance if the input referred noise isn’t constrained within the bounds of ambient noise.

More recently [53], [60] reported a power consumption of 7.92 μW and an input referred noise of 3.5 μV_{rms} . Also described is an OTA sharing architecture that effectively reduces both chip area and NEF, which was reported to be 3.35. The sharing architecture, in essence, commonly replaces C_f , from Figure 6 above and the MOS pseudo-resistance composed of M_a and M_b in the reference branch input for all channels (see Figure 6) of a classic capacitive feedback design.

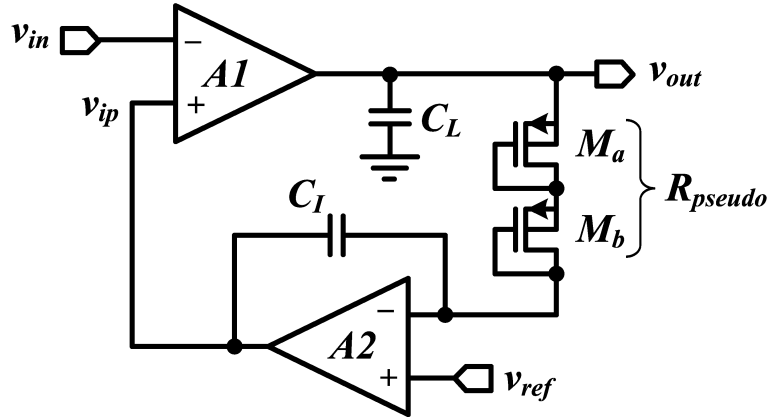


Figure 7: Active feedback LNA topology.

6.3. Active feedback topology

The third significant topology discussed is the active feedback topology. In this topology a segment of the signal spectrum is filtered and used as a feedback canceling element for suppressing that signal component. This is a very efficient way of extracting low frequency components from the signal of interest and makes for very stable systems. This method is commonly used in other biomedical engineering applications such as EEG. Figure 7 displays the salient features of this topology. Another advantage of this architecture is the reduction in size that it allows by reducing the capacitor size compared to the capacitive feedback topology [89]. The slowly drifting DC offset is also eliminated in this way. Muller also followed suit on this design by modifying the active feedback with a digital to an analog converter achieving further reductions in size [90] however most of the improvement there shifts analog hardware to a digital platform. Wei's work [91] upholds the arguments of efficiency for this architecture by achieving a $6 \mu\text{W}$, an NEF of 3.1, a bandwidth of 8.9 kHz and a mid-band gain of 46 dB occupying a mere 0.022 mm^2 [92] also showed an interesting and novel local feedback at the output technique for reducing DC output. Yet another approach is to design an amplifier in current mode active feedback as demonstrated by [93] and [94]. [93] Achieved a $13 \mu\text{W}$ power consumption with a 55 dB gain with a 10 kHz bandwidth and a final size of 0.76 mm^2 . One interesting feature is that no large value resistor or capacitor needs to be used to achieve a high frequency cutoff of 0.3Hz.

A comparative study of a capacitive feedback, a Miller integrator feedback and a capacitive amplifier feedback networks showed that for a given input noise the capacitive feedback topology edged out other designs in terms of NEF, area and power [54]. In this work; area, NEF and power consumption were constrained and plotted against noise in an iterative process until they reached preset gain and frequency specifications. Although the study is interesting, this topic is likely to be mooted in future, as the study was theoretical and other critical design parameters like CMRR and DC rejection performance were not analyzed or observed. Furthermore, it was demonstrated above that NEF can be a pitfall, especially when used as a target specification due to existing power and noise antagonism.

6.3. Pseudo-resistors

In many of the previous sections we briefly touched upon the use of pseudo-resistors. The large input impedances required for measuring biopotentials as well as the requirement to amplify signals in a range starting from the sub-Hz range requires large resistors. However such resistors are impractical because of the large size that would result. One clever solution to this problem is the use of pseudo-resistors. Such devices provide a means of generating large impedance using biased MOSFET channels. Pseudo-resistor design techniques are extensively discussed in [95] they make use of cross-coupled pseudo-resistors to tune band pass circuits and use fixed versions for the input block. Other design examples can also be found in [96], [97] and [98]. Pseudo-resistors offer high impedance with limited space use, a desirable feature, additionally they offer tuning possibilities. [99] Demonstrated full bandwidth adjustments using pseudo-resistors. Linearity of pseudo-resistors is also an issue. [96], [100] addressed the linearity issue by using a cross-coupled circuit with a referenced bias and a sine wave that only turns on one of the pseudo-resistor MOSFETs at a time thereby eliminating voltage variations and the non-linear resistive effects that result from this.

6.4. Adaptive topology

One emerging method for reduction power consumption in amplifier circuits is to have variable performance features or tunable devices. This allows the modulation overall power duty cycling depending on functional needs. This can take the shape of topology changes and broad range tuning [101], [102] uses similar techniques to modulate slew rate and phase margin depending on circuit use. [73] reports an asynchronously adjustable data output rate. [103] describes duty cycling and time division techniques for improving front-end overall power efficiency; using such techniques a LNA with power consumption of 2 μ W was achieved for a 32 KHz bandwidth and an excellent NEF of 1.3. A sophisticated power scheduling scheme is often used in medical devices as exemplified in [104] where a duty cycling is applied to the higher power consumption circuits. In this example sensor conditioning amplifiers and data telemetry have a modulated power scheme. One caveat is that power cycling applied front end circuits requires fast settling times such that the sensor signal can be sampled in the shortest time following a power on of the circuit. This reduced settling time requirement usually translates into higher current consumption. A fine balance must therefore be struck between the selected designs tradeoffs, as the combination of benefits does not follow a linear trend when it comes to power economy.

7. Integrated systems based on neural amplifiers

Merging subsets of the above techniques has resulted in an impressive collection of complete neural acquisition systems. Many such implementations have been reported over the years. In chronological order of reporting for high performance multi-channel systems a list of relevant papers is reported in Table 2 below. Such systems are not so easily compared as they have different aims and inherently different design optimization schemes. Selected systems had to have a bandwidth that permitted neural recording at least up to 4 KHz. For current relevance; our survey was limited to the previous 7 years. The main architecture and topology details are listed for reference. Also listed are the NEF, the Gain, the supply voltage and current, the CMRR and the area. Some data were estimated from available information. At the time of writing, the highest numbers of amplifier channels are in the low hundreds as reported by [52] and [105].

8. Discussion

Better designs begin with a better understanding of the problem at hand. This is the reason why we started with an overview of physiological mechanisms involved in neural firing. Three main points are worth noting. At the cell surface nerve signals typically have an amplitude of about 100

mV, their period is of the order of the millisecond and signals are often pulse code modulated. It was then noted that a noise performance in the range of $\leq 5 \mu\text{V}_{\text{rms}}$ was a key factor in achieving a quality neural signal. This last requirement comes with the caveat that despite the increased need for power, heat must be limited such that the devices maintains a ΔT within 2°C . Adding these constraints, power and chip size are limited. For power, we argued that a $450\text{nW}/\text{ch}$ is a singularity point after which practical large-scale systems would become possible.

From these specifications, classic circuit topologies were reviewed including the Miller OTA, the current mirror OTA, the folded cascode, telescopic and self-biased as well as their derivatives. Finally we delved into current feedback, current reuse and chopping architecture as means for improved CMRR, power consumption and noise control.

In the following section our attention is focused on system level architectures, the principal ones described are: open loop, capacitive feedback, active feedback and adaptive or variable circuits. Open loop circuits provide the best noise performance but at the cost of higher power consumption and a lack of inter device repeatability. Capacitive feedback is the most popular topology at present because of the good compromises between competing design objectives. The main features for active feedback are spectral separation and stability. Finally we report on the necessary trend of power scaling, and power management that results in optimized circuit topology.

Finally significant complete systems from the past 7 years were listed in a comprehensive table (Table 2) lending to easy comparison of surveyed designs. It can be remarked that increased channel count devices typically are still an order of magnitude too high in power consumption when compared with the requirements we aimed for initially (450 nW) see [105],[106], [107],[52]. In state-of-the-art devices, the channel count is also an order or two of magnitude below what we would needed for complex neural circuit observation. Typically, noise and gain are marginally within the aforementioned requirements of 40 dB and about $5 \mu\text{V}_{\text{rms}}$ noise; but it's a fine balance between the two [107]. Diminishing size is the metric that has scaled the best in the past years starting with great leaps in 2009 by [105] and [108] , [109].

With the coming bounty of channels and signals, comes the imperative of signal processing. In that line of thought, the aim is to decipher the underpinnings of neural circuitry and not observe the action potential in a traditional scientific approach. Rather, a pragmatic engineering perspective is to extract only the required firing information before transmission. In that effort, many have labored on the ever increasing need for such spike sorting circuitry. Some reference on the topic have included:,[106], [108], [17], [110].

Although great strides have been made in the past decade, a manufacturable, high performance, low noise sub-microwatt neural amplifier building block remains an elusive quest. The competing demands for size, power, speed, noise control and integration illustrated still amount to a significant challenge even with today's tools.

9. Conclusion

Much of the past has focused on this microscopic aspect of nerve cells function resulting in a wealth of information regarding action potential mechanisms. We can know, understand and accurately simulate cellular interaction quite well. Humans have also observed the macroscopic effect of neural circuitry through behavior analysis and brain physiology as far back as the earlier part of the last century. Current trends provide great optimism that solution for a practical neural front end is within grasp. When beginning the design of a front end amplifier one must ask: Is the design objective to observe details of the action potential waveform or detect the presence of this action potential? Answering this question has significant impacts on design decisions. The former approach has guided neuroscience of the past 70 years while the later seeks to exploit this new information. However to obtain the "in between" part, we need to focus on the significant portions of the signal processing chain and thus the required electronics. We presented not only

specifications for achieving efficient neural amplifiers but also the intricate requirements to achieve practical brain interface systems. It would be impractical to design a multi-million transistor digital circuit by modeling every transistor simultaneously. Based on that premise, sensing all signal at high resolution simultaneously is not likely the correct approach to decipher the mechanisms of the brain.

Acknowledgments

This work was supported, in part, by the Natural Sciences and Engineering Research Council of Canada, the Fonds de recherche du Québec - Nature et technologies and by the Microsystems Strategic Alliance of Quebec.

Table 2: Comparison of previously reported multi-channel neural front-end amplifier and systems. Some of the acronyms and contractions used are defined as follows: N/A is used to indicate that information is not available, missing or cannot be computed from published values. CMRR is the “Common Mode Rejection Ratio”; HP stands for “high pass” in the filter sense; LNA stands for “Low Noise Amplifier”; NEF is the “Noise Efficiency Factor” as defined in [59]; OTA stands for “Operational Transconductance Amplifier”; BW stands for “Band Width”.

Author	Year of Publication	Circuit topology / Architecture	Number of Channels	Gain (dB)	NEF	Frequency Range (Hz)	Noise (μV_{rms})	Supply Voltage (V)	Supply Current (μA)	CMRR (dB)	Power Consumption per Ch. (Front-end only) or * entire chip (μW)	Area per Ch. / Entire chip (mm^2)
Harrison [111]	2007	Two-stage with added g_m -C HP filter / Capacitive feedback	100	60	10.47	300-5k	5.1	N/A	12.8	N/A	13500*	N/A / 5.9 x 4.7
Chae [106]	2008	Two-stage / Capacitive feedback differential	128	40	8	0.1-20k	4.9	1.65	40.0	90	6000*	NA / 8.8 x 7.2
Aziz [105]	2009	Two-stage / Capacitive feedback + transconduc	256	48-68	4.6	.01-5k	7	3	5.0	N/A	15	0.04 / 3.5 x 4.5

		tance LNA										
Gosselin [112]	2009	Active feedback / Multiple stage	16	70	4.9	100-9.2k	5.4	1.8	4.8	45	8.6	0.05 / 2.304
Mollezadeh [86]	2009	Two stage / Capacitive feedback	16	39.6	2.9*	0.2-8.2k	1.94	3.3	8.0	70	26.4	0.107 / N/A
Sodagar [109]	2009	Two stage / Capacitive feedback	64	59.5	21.3	24m-9.1k	8	1.8	41.7	N/A	75	0.072 / N/A
Liew [113]	2009	Two-stage / Capacitive feedback	16	45.7-60.5	2.16	0.23-7.8k	4.43	1	3.8	58	3.77	N/A
Miranda [114]	2010	N/A	32	N/A	N/A	1-4.5k	5	N/A	N/A	N/A	142000*	NA / 24000
Perlin [115]	2010	Two-stage / Capacitive feedback	64	60	11.42	<10-9.1k	4.8	1.5	33.3	N/A	50	0.098 / N/A
Shahrokhi [52]	2010	Fully differential / Telescopic	128	33	5.55	10-5k	6.08	3	2.8	N/A	8.4	0.02 / N/A

Greenwald [116]	2011	Two-stage with Common mode feedback / Differential	16	40	4.61	N/A-8.2K	3	3.3	12.5	N/A	41.25	NA/ (3.4 x 2.5)
Aceros [117]	2011	Two stage / Capacitive feedback	32	45.6	115.66	0.1-7.8k	8.5	3	14.5	N/A	43.8	N/A
Al-Ashmouny [64]	2011	Two stage / Capacitive feedback	16	52.4-79.8	2.9	0.1-17k	6.76	0.9	3.7	60	3.3	0.07 / N/A
Jo-Yu [118]	2011	Two stage / Capacitive feedback	4	51.9	2.79	2.38-12.9k	4.7	-0.9/+0.9	2.9	N/A	5.22	N/A
Lopez [119]	2011	Folded Cascode OTA multiple stages /Capacitive Feedback	16	40-60	12.12	2.6-6.2k	2.9	3.3	70.0	>63	231	NA / 25.2
Majidzadeh [60]	2011	Shared reference structure / Capacitive feedback	N/A	39.4	3.35	10-7.2k	3.5	1.8	4.4	70.1	7.92	0.065/NA
Rouse [120]	2011	N/A	96	variable	N/A	5k	N/A	1.7-2.2	2.5	>80	4.25-5.5	N/A

Szuts [121]	2011	N/A	64	65	N/A	10-4.5k	4	3	N/A	N/A	N/A	N/A
Wattanapanitch [122]	2011	Three-stage - Source degenerate active loads / Capacitive feedback	32	49-66	4.4-5.9	350-11.6k	5.4-11.2	1.8	3-11.11	62	5.4-20	0.03 / N/A
Lo [123]	2011	Two stage / Capacitive feedback	64	47-59	3	0.5-12k	3.8	1.2	5.0	N/A	6	NA / (3 x 4)
Zoladz [124]	2011	Two stage - folded cascode / Capacitive feedback	64	60	21.28	100-12k	3.7	1.65	15.2	48	25	N/A / (5 x 5)
Yin [125]	2012	Two-stage / Capacitive feedback	100	46	3.3	0.1-7.8k	2.83	3	20	60	60	NA / (5.2 x 4.9)
Gao [126]	2012	Fully differential/ Capacitive feedback, with switch-cap filtering	96	40-56	6.62	1-10k	2.2	1.2	56.7	N/A	68	0.26 / (5 x 5)
Dong [127]	2013	Two-stage / Capacitive Feedback - fully differential	100	52	1.57	1-10k	3.2	0.45	162.2	73	73	NA / 25

Johnson [79]	2013	Orthogonal Current-Reuse / Capacitive feedback	4	40	1.64	19.9k BW	3.7	1.5	2.6	78	3.9	0.125 / N/A
Kmon [101]	2013	Two stage - folded cascode / Capacitive feedback	8	48/60	4.6	0.3-9k	5	1.8	6.1	48	11	0.065 / N/A
Zou [100]	2013	Low Noise OTA / Capacitive feedback multi-stage	100		1.9	.001-5.1k	4	1.8	6.4	60+	11.6	N/A / 28.2
Yin, [128]	2013	Two-stage / Capacitive feedback	100	46	3.3	0.1-7.8k	2.83	3	20	60	60	NA / (5.2 x 4.9)
Lopez [107]	2014	Two-stage / Capacitive feedback	55/455	29.5/72	3.08	0.2-6k	3.2	1.8	3.9	60	7.02	0.19 / N/A
Sepehrian [80]	2014	Orthogonal Current-Reuse / Capacitive feedback	4	45.2-59.7	4.37	10.02k BW	3.28	1.8	2.27	76	4.1	0.035/ NA