



Université de
Sherbrooke

Faculté de génie

Département de génie électrique et de génie informatique

DÉVELOPPEMENT ET OPTIMISATION AU NIVEAU DES
MATÉRIAUX DES MÉMOIRES RÉSISTIVES À CHANGEMENT
DE VALENCE POUR LE CALCUL-EN-MÉMOIRE

Thèse de doctorat

Spécialité : Génie électrique

Abdelouadoud EL MESOUDY

Sherbrooke (Québec), Canada

Mai 2022



Membres du jury

Dominique DROUIN

Directeur

Andreas RUEDIGER

Co-directeur

Fabien ALIBART

Évaluateur

Laurent CARIO

Évaluateur

Denis MACHON

Rapporteur

Serge ECOFFEY

Évaluateur

À ma famille

Résumé

Le développement des technologies de mémoires résistives non-volatiles a permis d'explorer de nouvelles approches de calcul plus performantes que celles basées sur l'architecture conventionnelle de von Neumann. Notamment, l'approche de calcul-en-mémoire propose une solution à l'étranglement de von Neumann en poussant l'idée de concevoir une architecture où il n'y a pas de séparation physique entre le processeur et la mémoire. Cette approche repose sur les propriétés uniques des mémoires résistives (mémristors) lorsqu'elles sont agencées en réseaux crossbar, où les fonctions de sommation et de multiplication s'implémentent de manière naturelle. De plus, la compatibilité de ces mémoires pour une intégration avec les technologies CMOS conventionnelles offre des capacités agressives de miniaturisation et d'efficacité énergétique.

Pour répondre aux exigences de cette intégration, cette thèse a porté d'abord sur le développement du procédé de dépôt du matériau à commutation de résistance (TiO_2). L'influence de la concentration de défauts sur les propriétés optiques, structurales et sur la composition chimique du TiO_2 a été évaluée.

Par la suite, le matériau à commutation de résistance développé a été utilisé pour la fabrication de mémristors de structure $\text{TiN}/\text{Al}_2\text{O}_3/\text{TiO}_{2-x}/\text{Ti}/\text{TiN}/\text{Al}$. Le procédé de fabrication utilisé est compatible CMOS et s'est basé sur le procédé damascène pour réduire la rugosité de surface des électrodes afin de minimiser la variabilité entre composants (*device-to-device variability*).

Les caractéristiques électriques des mémristors ont été évaluées en quasi-statique ainsi qu'en utilisant des courtes impulsions de tension pour reproduire les conditions réelles d'opération. Les propriétés de commutation résistive analogique ainsi que les fonctions synaptiques de potentialisation et de dépression à long terme ont été

démontré. Les mémristors fabriqués peuvent stocker jusqu'à 3 bits avec une stabilité temporelle satisfaisante.

Pour réduire les tensions de forming de nos composants, des stratégies combinant la modulation de la concentration de défauts et l'épaisseur du matériau actif ainsi qu'une étape de traitement thermique post-dépôt ont été étudiées. Cette thèse a permis de mettre en œuvre un procédé de dépôt du matériau à commutation de résistance, d'évaluer les caractéristiques électriques des mémristors et leur potentiel à implémenter les fonctions synaptiques, ainsi que d'explorer des stratégies pertinentes qui peuvent minimiser l'influence des tensions de forming sur l'opération optimale des réseau crossbar.

Mots clés : Mémristor; crossbar; calcul en mémoire; CMOS; pulvérisation réactive; lacunes d'oxygène; tensions de forming;

Remerciements

Tout au long de ces années, de nombreuses personnes ont pu contribuer de près ou de loin au bon déroulement de ce travail. Je tiens à remercier chaleureusement toutes les personnes qui m'ont aidé pendant l'élaboration de ma thèse, et notamment mon directeur de recherche Dominique Drouin et mon co-directeur Andreas Ruediger de m'avoir retenu pour ce travail de recherche. Je remercie également l'ensemble du comité d'encadrement pour leur disponibilité, soutien ainsi que leurs conseils, dans leurs champs d'expertises respectifs, durant l'élaboration de ce travail. Merci à Fabien Alibart à Serge Ecoffey et à Denis Machon.

Je tiens à remercier Mr. Laurent Cario d'avoir accepté d'évaluer ce travail de thèse.

Ce travail n'aurait pu être mené à bien sans la disponibilité et l'accueil chaleureux du personnel du LN2 et LCSM. Merci à Caroline Roy, Abdelatif Jaouad, Pierre Langlois, Hubert Pelletier ...etc.

Au terme de ce parcours, je remercie celles et ceux qui me sont chers et que j'ai parfois délaissés pour achever cette thèse. Leurs attentions et encouragements m'ont accompagnée tout au long de ces années. Je suis redevable à mes parents, mes frères et ma sœur pour leur soutien et confiance indéfectible dans mes choix.

Merci à ma petite étoile ! ✨

Table des matières

Chapitre 1. Introduction	17
1.1. Mise en contexte	17
1.2. Problématique	20
1.3. Contexte du projet, question et hypothèses de recherche	22
1.3.1. Compatibilité de l'intégration mémristors/CMOS	22
1.3.2. Réduction des tensions de forming	23
1.3.3. Stratégies pour diminuer la variabilité des mémristors	24
1.4. Plan du manuscrit	24
Chapitre 2. État de l'art	27
2.1. Concept du mémristor	27
2.1.1. Contexte historique	27
2.1.2. Définition du mémristor	28
2.2. Mécanismes de commutation résistive	29
2.2.1. Mémoires résistives à changement de valence	30
2.2.2. Mémoires résistives à métallisation électrochimique.....	35
2.2.3. Mécanismes des opérations SET et RESET	36
2.3. Modes de commutation résistifs	38
2.4. Rôle des électrodes.....	40
2.5. Mécanismes et limitations du processus de forming.....	42
2.5.1. Généralités sur le processus de forming	43
2.5.2. Limitations du processus de forming.....	44
2.6. Conclusions et positionnement de la thèse	46
Chapitre 3. Développement du procédé de dépôt par pulvérisation réactive et contrôle de la concentration de défauts dans les couches minces de TiO_{2-x}	49
3.1. Avant-propos de l'article 1.....	49
3.2. Article 1: Band gap narrowing induced by oxygen vacancies in reactively sputtered TiO _{2-x} thin films.....	51
3.2.1. Abstract	51
3.2.2. Introduction.....	51
3.2.3. Experimental section	53
3.2.4. Results and discussion.....	53

3.2.5.	Conclusion.....	61
3.2.6.	Acknowledgments.....	63
3.2.7.	Supporting informations.....	63
	Chapitre 4. Fabrication compatible-CMOS et caractérisations électriques de mémristors à base de TiO_{2-x} pour le calcul-en- mémoire.....	68
4.1.	Avant-propos de l'article 2	68
4.2.	Article 2: Fully CMOS-compatible passive TiO ₂ -based memristor crossbars for in-memory computing.....	70
4.2.1.	Abstract	70
4.2.2.	Introduction.....	70
4.2.3.	Methods	72
4.2.4.	Results and discussion.....	74
4.2.5.	Conclusion.....	81
4.2.6.	Acknowledgements.....	82
4.2.7.	Supplementary materials.....	82
	Chapitre 5. Réduction des tensions de forming pour la co-intégration mémristor/CMOS.....	88
5.1.	Positionnement de la problématique	88
5.2.	Effet des dimensions des mémristors et de l'épaisseur du TiO ₂	90
5.2.1.	Effet de l'épaisseur de la couche active	91
5.2.2.	Effet de la dimension des mémristors	92
5.2.3.	Influence sur les états de résistance des mémristors.....	93
5.3.	Recuit thermique des mémristors.....	94
5.3.1.	Influence de l'électrode réactive	94
5.3.2.	Influence du recuit thermique	96
5.4.	Limitations liées au traitement thermique.....	97
5.4.1.	Dérive temporelle de la résistance initiale	97
5.4.2.	Courants de fuite.....	100
5.5.	Conclusions.....	102
	Chapitre 6. Conclusions générales et perspectives.....	105
6.1.	Synthèse générale	105
6.2.	Perspectives proposées.....	107
	Liste des références	110

Liste des figures

Figure 1.1. Implémentation des opérations VMM dans une architecture crossbar.....	19
Figure 1.2. (a) Illustration des courants de fuite dans une architecture crossbar.....	21
Figure 2.1. (a) Les quatre composants élémentaires à deux terminaux.....	29
Figure 2.2. Réseau ordonné de lacunes d'oxygène (gauche) éliminé par la formation de plans de cisaillement cristallographiques.....	30
Figure 2.3. Comparaison de la densité d'état électronique pour TiO_2 et Ti_4O_7	31
Figure 2.4. (a) Représentation schématique du processus de formation du filament dans une structure Métal/ TiO_2 /Métal.....	32
Figure 2.5. (a) Représentation schématique de la structure du mémristor ainsi que le montage électrique utilisé.....	33
Figure 2.6. Démonstration, par la technique EBIC, de la transition SET – RESET.....	34
Figure 2.7. Principe de fonctionnement des mémoires à métallisation électrochimique.....	35
Figure 2.8. (a) Caractéristiques I-V d'un mémristor $TiN/HfO_x/TiN$ montrant la variation du niveau de résistance à l'état ON pour différents I_C	37
Figure 2.9. Dépendance de la résistance sur le diamètre du filament et le gap tunnel.....	38
Figure 2.10. Illustration des caractéristiques I-V des modes de commutation bipolaire et unipolaire.....	39
Figure 2.11. Illustration simplifiée de l'évolution probable du filament conducteur (en rouge) dans la matrice de la couche active pour différents modes de commutation résistives.....	40
Figure 2.12. Travail de sortie de différents métaux et semi-conducteurs.....	41
Figure 2.13. Influence de la composition chimique à l'interface Pt/ TiO_2 montrant la possibilité de moduler la nature de la barrière électronique par dopage.....	42
Figure 2.14. Forming (par impulsion de tension) de mémristor à base de Pt/ TiO_2 /Pt sous 3 différentes températures (25 °C, 62.5 °C, et 100 °C).....	43
Figure 2.15. Processus de forming (pour le système Pt/ TiO_2 /Ti/Pt).....	44
Figure 3.1. Target's discharge voltage and deposition rate evolution with increasing oxygen flow rate.....	55
Figure 3.2. Refractive index and extinction coefficient spectra for TiO_{2-x} thin films deposited using different O_2/Ar ratio.....	57
Figure 3.3. XRR spectra of TiO_{2-x} films deposited at two different oxygen flow rates.....	58

Figure 3.4. High-resolution XPS spectra for the Ti 2p peak of TiO _{2-x} films deposited at different oxygen flow rates.	59
Figure 3.5. Plot of ln(α) vs. hv used to extract the Urbach energy. Proposed diagram of the density of states for TiO _{2-x} films deposited under oxygen deficient conditions: O/Ti ratio = 3.75% and oxygen rich conditions.	62
Figure 3.6. GIXRD patterns of TiO _{2-x} thin films deposited at different oxygen flow rates.	63
Figure 3.7. Experimental and fitted experimental data ψ and Δ of TiO _{2-x} film deposited at 2 sccm O ₂	64
Figure 3.8. VB-XPS spectra for TiO _{2-x} films deposited at different oxygen flow rates.	65
Figure 4.1. Process flow and morphological characterisations of the scalable passive CMOS-compatible TiO ₂ -based memristor crossbars.	74
Figure 4.2. Morphological characterisations of the TiN bottom electrodes fabricated by the damascene process.	76
Figure 4.3. Quasi-DC characterisations and statistical analysis of memristor crosspoints.	77
Figure 4.4. (a) Analogue resistive switching obtained by incremental quasi-DC sweeps. Incremental long-term conductance depression and potentiation using 200 ns long voltage pulses for different voltage values. Quasi-linear long-term potentiation and depression curves obtained with 200 ns long pulses.	80
Figure 4.5. SEM images of the different fabricated memristor devices.	82
Figure 4.6. Endurance test using short pulses resulting in 10,000 cycles.	83
Figure 4.7. Batch-to-batch variability data extracted from 4 different batches.	84
Figure 4.8. State retention measurements performed on a TiN/Al ₂ O ₃ /TiO _{2-x} /Ti/TiN/Al memristor crosspoint.	85
Figure 4.9. Cycle-to-cycle data for the LTP/LTD characteristics using 200 ns voltage pulses.	86
Figure 5.1. Illustration comparative de la caractéristique de forming et celle de commutation résistive. Démonstration des courants de dépassement.	89
Figure 5.2. Simulations Monte Carlo de l'influence de l'épaisseur (t_{ox}) et de l'aire de la couche active sur les tensions de forming.	90
Figure 5.3. (a) Évolution des tensions de forming avec l'épaisseur de la couche active TiO ₂ . Distribution statistique des tensions de forming V_F en fonction des dimensions des mémristors.	91
Figure 5.4. Évolution des états de résistance HRS et LRS en fonction des dimensions du mémristor.	93

Figure 5.5. Diagramme d'Ellingham donnant l'énergie libre de formation de TiO_2 et ses différentes phases, en fonction de la température 95

Figure 5.6. Évolution de la résistance initiale des mémristors en fonction de la température et de la durée cumulative du recuit thermique. Caractéristique du forming pour des mémristors dont le recuit a été réalisé à 350 °C pour 1min, 2min et 4min.97

Figure 5.7. Évolution de la résistance initiale du mémristor après un traitement de recuit thermique..... 98

Figure 5.8. Illustration du procédé de passivation des mémristors avec une couche mince de SiN de 500 nm. 99

Figure 5.9. Influence de la passivation SiN sur les caractéristiques électriques des mémristors. 100

Figure 5.10. Comparaison des caractéristiques de forming avant et après recuit thermique.... 101

Liste des tableaux

Table 3.1. Deposition conditions of the studied TiO_{2-x} thin films.....	57
Table 3.2. Measured values for band gap, Urbach energy and O/Ti ratio of the TiO_{2-x} films.....	62
Table 3.3. XPS analysis of the Ti2p peak. Deconvolution details.....	67

Chapitre 1. Introduction

Ce chapitre introduit le cadre général de la thèse en spécifiant l’alignement des technologies des mémoires émergentes avec les besoins croissants de nouveaux paradigmes de calcul pour l’électronique de prochaine génération. Par la suite, la problématique et la question de recherche seront établies, ainsi que les hypothèses qui en découlent avec une discussion des approches proposées. Finalement, l’organisation du manuscrit sera détaillée à la fin de ce chapitre.

1.1. Mise en contexte

Le concept d’apprentissage automatique (ou apprentissage machine – *machine learning*) a récemment suscité beaucoup d’intérêts en démontrant des performances qui s’approchent, ou dépassent parfois, celles des humains dans diverses tâches, telles que la reconnaissance d’images/de la voix, ainsi que dans plusieurs jeux de stratégies complexes [1][2]. Ce développement dans les performances d’apprentissage a été possible grâce à l’amélioration des paradigmes de calcul, le développement des algorithmes ainsi que la disponibilité de grandes quantités de données indispensables pour l’entraînement et la création de modèles. Historiquement, l’amélioration des performances des paradigmes de calcul a été le fruit de la miniaturisation agressive des composants électroniques, comme l’avait prédit la loi de Moore. Ceci a permis d’améliorer les performances des processeurs et d’augmenter la capacité de stockage des mémoires. Pourtant, la miniaturisation de ces composants a été freinée significativement à l’approche des limites physiques fondamentales et technologiques. En effet, la miniaturisation est liée à l’évolution des techniques de lithographie et de gravure qui s’approchent de leurs limites de résolution. Par ailleurs, l’épaisseur de l’oxyde tunnel dans les mémoires conventionnelles doit être relativement épaisse (4-8 nm) pour éliminer la possible fuite des électrons par effet tunnel. De plus, la fiabilité de ces mémoires se voit dégrader essentiellement pour les tailles critiques, vu qu’elles se basent essentiellement sur le piégeage/dépiégeage de charges dans la grille des transistors. La miniaturisation de ces transistors introduit une variabilité statistique non-négligeable sur le nombre d’électrons injectés dans la grille. Cela augmente la distribution statistique des tensions seuils (*threshold voltages*) des états programmés. À titre d’exemple, pour le nœud technologique 15 nm, la quantité d’électrons utilisés

pour coder un bit devient de plus en plus faible, pouvant descendre jusqu'à une dizaine d'électrons. D'autre part, les ordinateurs et les paradigmes de calcul modernes sont structurés selon l'architecture proposée par John von Neumann en 1945 [3]. Cette dernière étant caractérisée par la séparation physique entre les processeurs et les unités de stockage, elle présente des limitations intrinsèques liées aux latences et pertes énergétiques induites par les transferts consécutifs d'instructions et de données. Ce phénomène, appelé "étranglement de von Neumann" (*von Neumann bottleneck*), réduit considérablement les vitesses de calcul surtout pour les applications qui nécessitent le traitement de quantités importantes de données. À titre d'exemple, le programme AlphaGo développé par DeepMind a été le premier programme à battre le joueur professionnel Lee Se-dol dans le jeu de Go, ce qui a représenté à l'époque une étape importante dans le progrès de l'intelligence artificielle. Cependant, pour atteindre cet objectif, AlphaGo avait utilisé 1202 processeurs (CPUs) ainsi que 176 processeurs graphiques (GPUs)[4]. Il avait alors besoin d'une puissance de l'ordre de 170 kW contre 20 W que consommait le cerveau de son adversaire humain.

Le développement d'un paradigme de calcul performant basé sur l'architecture de von Neumann paraît alors limité à cause de sa grande consommation d'énergie et ses latences dans les opérations de calcul. Par ailleurs, l'émergence d'applications générant des quantités importantes de données (internet des objets IoT, calcul nuagique, voitures autonomes, drones...etc.), requiert le traitement et l'analyse des données en temps réel afin d'en déduire des tendances, des modèles ou prendre des décisions. Ces applications nécessiteront alors de repenser en profondeur le traitement de l'information au niveau du paradigme, de l'architecture et des technologies de fabrication ainsi que d'explorer des approches alternatives plus avantageuses.

Notamment, l'approche de calcul-en-mémoire (*in-memory computing*) représente une alternative prometteuse afin de dépasser l'étranglement issu de l'architecture de von Neumann en poussant l'idée de minimiser les latences entre la mémoire et le processeur par la création d'un système dans lequel ils ne sont pas séparés physiquement. Les opérations de calcul se feront alors au même endroit où les informations sont stockées [5]. Pour pouvoir être mise en œuvre, l'approche de calcul-en-mémoire nécessite des composants électroniques qui peuvent à la fois stocker l'information et effectuer des opérations de calcul. Dans cette optique, la recherche académique et industrielle s'est plus orientée plus vers l'étude des mémoires non-volatiles émergentes (NVMs), notamment celles basées sur la commutation de résistance, aussi appelées memristors [6]. Ce sont des composants à deux terminaux

dont la résistance électrique dépend de l'historique du courant qui les traverse. En d'autres termes, les mémristors sont des résistances avec un effet mémoire.

Par ailleurs, l'approche de calcul-en-mémoire repose massivement sur les multiplications vecteur-matrice (VMM), qui constituent la plus grande charge durant les phases d'inférence et de rétro-propagation dans les réseaux de neurones [7]. Ces fonctions peuvent naturellement être implémentées par un réseau de mémristors en forme de crossbar en exploitant les lois physiques d'Ohm et de Kirchhoff pour les opérations de multiplication et d'addition, respectivement [8]. Un exemple de l'implémentation physique des opérations VMM par l'architecture crossbar est illustré sur la figure 1.1, où les entrées (*inputs*) sont appliquées au niveau des lignes du crossbar sous forme de tensions électriques ($V_{in,i}$); et les courants de sorties (*outputs*) sont déterminés par sommation de courants au niveau des mémristors qui partagent la même colonne. Cette stratégie est beaucoup plus avantageuse à optimiser les vitesses de calcul grâce à l'architecture crossbar permettant d'effectuer les opérations de sommation et multiplication de manière parallèle et simultanée.

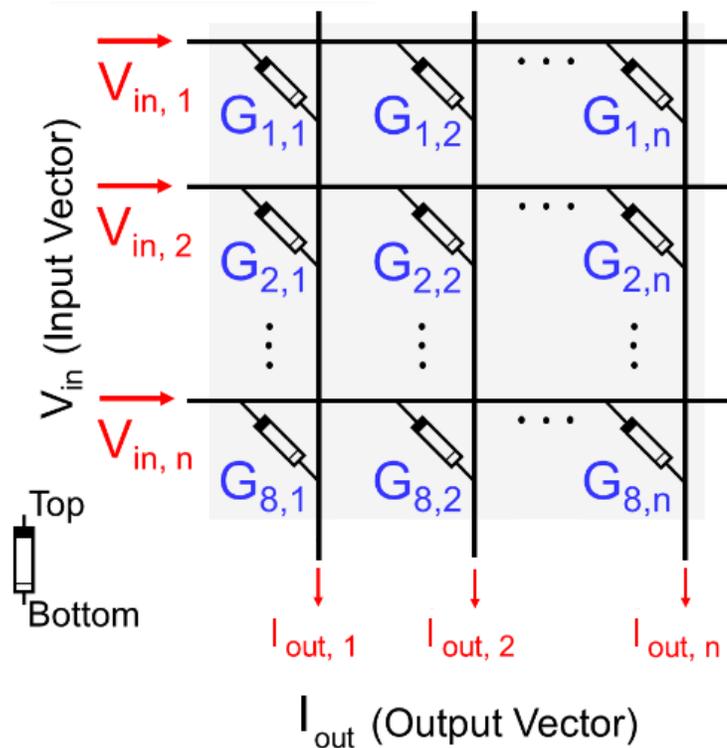


Figure 1.1. Implémentation des opérations VMM dans une architecture crossbar. Les vecteurs de sorties représentent les courants additionnés (selon la loi de Kirchhoff) au niveau des mémristors qui partagent la même colonne.

Les memristors se classent en différentes catégories selon les mécanismes physiques de commutation de résistance. Dans le contexte de cette thèse, nous avons privilégié la technologie des mémoires résistives, en particulier, celle des mémoires résistives à changement de valence (OxRAM) qui reste parmi les plus étudiées, que ce soit pour les applications de stockage de données ou pour les systèmes neuro-inspirés. La technologie OxRAM se base principalement sur des oxydes de métaux de transition (TMO) tels que le TiO_2 , qui sera notre matériau actif dans cette étude. Cette technologie repose sur une simple structure métal-isolant-métal (MIM) et peut être fabriquée en utilisant des matériaux utilisés dans les niveaux d'interconnexions (BEOL) des circuits CMOS. Les états de résistance de ces memristors sont non-volatiles, avec un ratio de résistance généralement supérieur à 10, permettant de bien distinguer les différents états programmés. Plus particulièrement, ces memristors sont considérés comme des mémoires multi-niveaux qui présentent un continuum d'états résistifs, contrôlés par la charge ou le flux électrique qui traverse le memristor. Cette caractéristique est essentielle pour imiter le comportement analogique et la plasticité des synapses biologique.

1.2. Problématique

Les memristors représentent une alternative attrayante pour implémenter l'approche de calcul-en-mémoire qui permet de dépasser les limitations issues de l'architecture de von Neumann. De plus, les memristors sont compatibles avec les procédés de fabrication de masse de la technologie CMOS, permettant l'intégration monolithique des memristors dans le BEOL. Cette approche permet d'améliorer la densité d'intégration en comparaison à d'autres technologies mémoires, telles que les mémoires SRAM. Cela ouvrira plus d'opportunités d'intégration verticales qui pourraient alléger les besoins de miniaturisation liés à la technologie CMOS. Par ailleurs, l'intégration memristor/CMOS a pour avantage d'augmenter l'efficacité des opérations de calcul en réduisant les latences, ainsi que de préserver le potentiel de miniaturisation des memristors.

La co-intégration des réseaux de crossbar avec les circuits de contrôle CMOS est donc nécessaire pour assurer essentiellement les opérations de contrôle et d'adressage pour une implémentation efficace de différents algorithmes d'intelligence artificielle. Pour pouvoir réussir cette intégration, des contraintes à différents niveaux doivent être adressées :

(i) D'abord, le procédé de fabrication des memristors ainsi que les matériaux utilisés doivent être compatibles avec les standards de l'industrie de la microélectronique. Par ailleurs, l'efficacité de

l'architecture crossbar se voit dégrader par les variations dans le procédé de fabrication. De ce fait, des techniques de lithographie et de gravure avancées doivent être privilégiées afin de minimiser la variabilité dans les propriétés des mémoires et uniformiser le procédé de fabrication.

(ii) D'autre part, les memristors vont être intégrés dans le BEOL de puces CMOS, dont les transistors ne peuvent tolérer des tensions au-delà de 3.3 V. Par ailleurs, le défi le plus important pour l'architecture crossbar étant la présence de courants de fuite indésirables qui peuvent perturber l'état programmé des memristors. La figure 1.2a schématise ce phénomène pour les opérations de programmation d'un memristor avec le chemin possible des courants de fuites incontrôlés qui passe par plusieurs memristors non-sélectionnés. Les courants de fuite changent significativement le circuit équivalent et résultent en des opérations de lectures erronées.

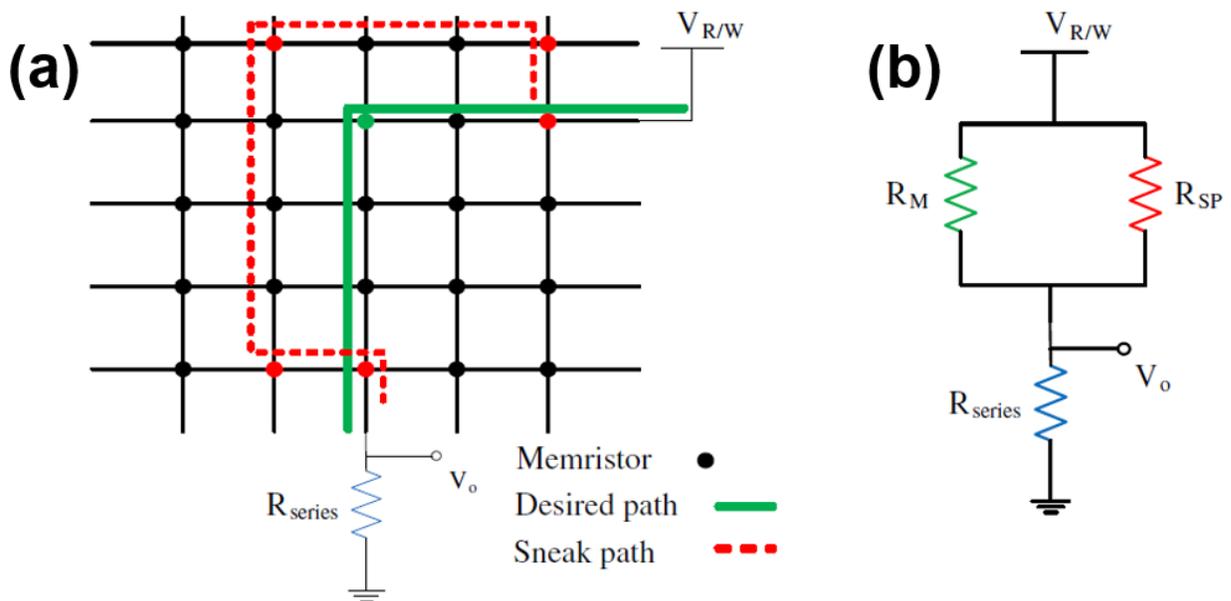


Figure 1.2. (a) Illustration des courants de fuite dans une architecture crossbar. (b) Circuit équivalent avec les courants de fuite qui faussent les opérations de lecture [9].

Ce phénomène est d'autant plus prononcé à l'étape du forming, surtout lorsque les tensions nécessaires pour former le filament sont élevées. Pour ces raisons, les memristors doivent présenter des tensions de forming faibles pour que l'intégration avec le CMOS soit possible ainsi que pour minimiser le stress électrique et les courants parasites pour une opération optimale des réseaux crossbar.

(iii) En ce qui concerne l'implémentation de l'approche de calcul-en-mémoire, les fluctuations dans les performances des mémristors représentent une limitation majeure, et plus particulièrement pour les stratégies d'apprentissage ex-situ (*off ship*) qui sont plus sensibles à la variabilité des mémristors. Cette variabilité peut provenir des fluctuations dans le procédé de fabrication telles que la rugosité des électrodes, l'inhomogénéité dans l'épaisseur et stœchiométrie du matériau actif ainsi que la présence incontrôlée de dopants indésirables. Nous adoptons le procédé damascène déjà développé au 3IT afin d'uniformiser la morphologie des électrodes et minimiser leur rugosité de surface.

1.3. Contexte du projet, question et hypothèses de recherche

Cette thèse s'inscrit dans le cadre du projet HIDATA (*Heterogeneous Integration of High-Density analog Crossbar for Advanced Data Processing*) qui propose la conception d'un système versatile d'intelligence artificielle en capitalisant sur les avantages de l'intégration des technologies CMOS avec les memristors (OxRAMs). Pour répondre aux exigences de cette intégration, ce sujet de thèse a pour objectif : (i) le développement et l'amélioration des propriétés des matériaux constituant les composants mémoires (le matériau actif et les électrodes); (ii) l'évaluation de leurs caractéristiques électriques; et (iii) leur potentiel à implémenter les fonctions synaptiques. De là, la question de recherche qui s'impose est la suivante : *Quelles sont les stratégies à emprunter au niveau des matériaux pour optimiser les propriétés électriques des mémristors et les rendre compatibles avec l'intégration dans le BEOL du CMOS?* En effet, l'intégration CMOS/memristor est à l'interface de plusieurs domaines d'études, à savoir, la micro-électronique, la conception des circuits électriques, la science des matériaux...etc. Afin de réussir cette intégration pour l'implémentation des opérations VMMS, plusieurs stratégies ont été adoptées :

1.3.1. Compatibilité de l'intégration mémristor/CMOS

Les mémristors développés seront intégrés monolithiquement dans le BEOL d'une puce CMOS. Cette démarche impose certaines contraintes : (i) Les procédés de fabrication doivent être compatibles avec les standards de l'industrie de la microélectronique. Ainsi les matériaux utilisés ne doivent pas être considérés comme contaminants pour les lignes de production de la filière CMOS. (ii) Généralement, la température des procédés de fabrication doit être inférieure à 450 °C pour qu'ils

soient considérés compatibles CMOS. Cette limitation en température a pour objectif d'empêcher la diffusion de métaux tels que le cuivre. D'autre part (iii) une attention particulière doit être portée à la diffusion des atomes d'oxygène dans le matériau actif TiO_2 , qui peut avoir lieu à des températures inférieures à $400\text{ }^\circ\text{C}$. Cela peut y induire la création de concentrations importantes de lacunes d'oxygène et ainsi détériorer les performances des memristors. De ce fait, les températures des procédés de fabrication, de dépôt et des recuits doivent être contrôlées, surtout après que le matériau actif soit déposé.

1.3.2. Réduction des tensions de forming

Dans les mémoires OxRAMs, l'opération de forming est un processus d'électro-réduction et de création des lacunes d'oxygène induit par application de champ électrique élevée et assisté par effet Joule [10]. Les lacunes d'oxygène, créées au sein du matériau actif, diffusent vers la cathode et forment ainsi des filaments de conduction localisés. Le forming est donc une étape essentielle pour pouvoir initier la commutation de résistance réversible, et les propriétés des memristors en dépendent fortement. Il est alors nécessaire de minimiser la variabilité de l'opération de forming afin d'obtenir des memristors avec des performances relativement uniformes de dispositif à dispositif et de tranche à tranche. Cependant, la réduction des tensions de forming est nécessaire afin de minimiser l'influence des courants de fuites indésirables dans une architecture crossbar (*current sneakpaths*) qui peuvent perturber l'état programmé des memristors ou fausser les opérations de lecture. De plus, pour pouvoir les intégrer avec les circuits CMOS, les memristors doivent présenter des tensions de forming qui peuvent être tolérées par les transistors du FEOL (*front end of line*). Des stratégies doivent alors être adoptées afin de réduire ces tensions, cela a pour avantage de minimiser le stress électrique sur les mémoires ainsi que de réduire les impulsions de courant incontrôlées (*current overshoots*) pendant l'opération de forming. De ce fait, notre stratégie pour baisser ces tensions consiste en trois étapes :

(1) L'ajustement de la stœchiométrie du matériau actif : Cela a pour but de générer, au préalable, de grandes concentrations de lacunes d'oxygène dans le matériau actif TiO_2 . Cela passera par (i) le contrôle du flux d'oxygène pendant le dépôt afin d'obtenir des couches sous-stœchiométriques TiO_{2-x} , ainsi que par (ii) l'ajout (à l'interface avec le TiO_2) d'un matériau à forte affinité pour l'oxygène comme le titane, ce qui a pour but de baisser la barrière électronique à l'interface métal/oxyde ainsi que d'ajuster le profil des lacunes d'oxygène à l'interface Ti/TiO_2 .

(2) La réduction de l'épaisseur du matériau actif sera également une voie à explorer afin de minimiser les tensions de forming. Pourtant, les propriétés électriques du memristors dépendent

fortement de ce paramètre. De ce fait, un compromis entre les tensions de forming et des propriétés de commutations acceptables doit être étudiées.

(3) Le recuit thermique contrôlé des mémristors serait une autre technique à implémenter pour baisser les tensions de forming. L'énergie thermique pourrait accentuer la diffusion des atomes d'oxygène vers l'interface supérieure du mémristor, augmentant ainsi la concentration des lacunes d'oxygène dans le matériau actif. Cet ajustement du profil des lacunes d'oxygène, considéré comme dopage du matériau actif, permettra d'augmenter la conductance des mémristors et réduira leurs tensions de forming. Ceci est essentiel pour que la co-intégration mémristors/CMOS soit compatible.

1.3.3. Stratégies pour diminuer la variabilité des mémristors

La variabilité représente la dérive ou les fluctuations dans les performances des mémoires. Elle est considérée parmi les limitations principales qui freinent le développement des technologies OxRAMs à grande échelle. Le contrôle des fluctuations dans le processus de commutation résistive est essentiel pour optimiser la stabilité des performances des mémristors.

D'une part, l'inhomogénéité dans le procédé de fabrication représente une des sources majeures de variabilité [11]. Cela peut provenir des variations dans le procédé de fabrication telles que la rugosité des électrodes, des fluctuations dans l'épaisseur et stœchiométrie du matériau actif ainsi que la présence incontrôlée de dopants indésirables. Ainsi, des outils de caractérisations non-destructives doivent être adoptés pour préserver la qualité du procédé et éviter de contaminer les couches minces utilisées. De plus, nous adopterons le procédé damascène, déjà développé au 3IT [12], afin d'uniformiser la morphologie des électrodes et diminuer leur rugosité de surface. D'autre part, l'opération de forming est un autre élément à optimiser pour minimiser la variabilité des mémristors. Comme discuté dans le paragraphe précédent, des stratégies seront mises en œuvre pour baisser les tensions de forming, afin de minimiser l'impact de cette opération sur les propriétés de commutation résistives de nos mémoires.

1.4. Plan du manuscrit

Ce manuscrit représente une thèse par articles composée de cinq chapitres. Le premier présente une mise en contexte et une brève description des travaux de recherches ainsi que la problématique traitée durant cette thèse.

Le deuxième chapitre présente l'état de l'art de la technologie mémristor, spécifiquement celle basée sur le changement de valence. Ce chapitre met essentiellement l'accent sur les mécanismes de commutation résistive et les effets des électrodes et des matériaux sur les performances des mémristors. Par la suite, les mécanismes de l'opération de forming ainsi que son influence sur les caractéristiques électriques et l'opération des réseaux crossbar sont discutés.

Le troisième chapitre consiste en un article soumis au journal *Thin solid films* sous le titre « *Band gap narrowing induced by oxygen vacancies in reactively sputtered TiO₂ thin films* ». Cet article présente l'étude menée pour optimiser les conditions de dépôt de la couche active TiO₂.

Le quatrième chapitre présente également un article publié dans le journal « *Microelectronic Engineering* » sous le nom « *Fully CMOS-compatible passive TiO₂-based memristor crossbars for in-memory computing* ». Dans cette étude, on présente le procédé de fabrication compatible CMOS basé sur le procédé damascène, et on évalue les caractéristiques électriques des mémristors, en montrant leur potentiel à implémenter les opérations de calcul-en-mémoire.

Le cinquième chapitre résume les travaux qui ont été menés afin de réduire les tensions de forming de nos mémristors. Nous avons démontré l'influence de l'épaisseur et du recuit thermique sur ces tensions. Par la suite, l'influence de l'étape de passivation, qui est requise pour l'intégration CMOS, sur les propriétés de commutation résistive est discutée.

Nous finalisons ce manuscrit par un résumé des travaux de recherches menés durant la thèse. Ainsi, une discussion des améliorations qui peuvent être envisagées et les perspectives de travaux futurs seront abordées.

Chapitre 2. État de l'art

La technologie mémristor présente une alternative prometteuse pour une implémentation efficace de l'approche du calcul-en-mémoire, essentiellement grâce à son potentiel de miniaturisation agressive, de sa compatibilité avec la technologie CMOS ainsi que du potentiel des réseaux crossbar à implémenter naturellement les multiplication vecteur-matrice. Ce chapitre présente l'état de l'art des technologies mémoires résistives, en particulier celles basées sur les phénomènes de changement de valence. Nous mettons essentiellement l'accent sur (i) les mécanismes de commutation résistive associés, (ii) le rôle des électrodes ainsi que (iii) les mécanismes de l'opération de forming.

2.1. Concept du mémristor

2.1.1. Contexte historique

La recherche sur les phénomènes de commutation résistive a commencé dès les années 1960. En effet, Hickmott a reporté en 1962 la première observation d'une courbe I-V hystérétique dans une structure MIM (isolant = Al_2O_3 , SiO_x , TiO_2 , ZrO_2 , Ta_2O_5) [13]. Par la suite, Gibbons et al. [14] ont reporté que la commutation résistive observée dans l'oxyde de nickel NiO est principalement due à la formation et la dissolution d'un filament métallique de nickel dans la matrice de NiO, à la suite de l'application d'un champ électrique. Depuis ces premières observations, le phénomène de commutation résistive a été reporté dans d'autres oxydes de métaux de transition et de chalcogénures [15][16][17]. Pourtant, ces phénomènes ont attiré peu d'attention après les années 1970, principalement à cause du manque de compréhension et de contrôle des phénomènes de commutation de résistance. D'autre part, à cette époque, l'intérêt était majoritairement porté au développement de la technologie des circuits intégrés basés sur silicium. Vers la fin des années 1990, la recherche sur la commutation résistive, en particulier dans les oxydes, a augmenté de manière considérable. Cela a ouvert la voie au développement des premiers réseaux de mémoires résistives. En effet, en 2000, le groupe de IBM Zurich a démontré la commutation de résistance dans le composé pérovskite SrZrO_3 [18]. De plus, l'étude des propriétés magnétorésistives dans le composé $\text{Pr}_x\text{Ca}_{1-x}\text{MO}_3$ (PCMO) a mené le groupe de Tokura à démontrer des changements de résistance induits par champ électrique [19]. Ce matériau a été utilisé en 2002 pour la fabrication du premier réseau de mémoires résistives [20].

Par la suite, la recherche sur les phénomènes de commutation de résistance a conduit en 2008 à la validation du concept de mémristor prédit par L. Chua.

2.1.2. Définition du mémristor

En 1971, Leon Chua avait prédit l'existence d'un élément passif à deux terminaux, qu'il a qualifié comme le quatrième composant élémentaire après la résistance, la capacité et l'inductance [21]. La figure 2.1a présente les relations qui lient ces trois composants élémentaires. Une relation reste alors non-définie, celle entre le flux magnétique et la charge électrique. En effet, des considérations de symétrie entre les variables de courant, de tension, de charge électrique et de flux magnétique avaient conduit L. Chua à prédire l'existence de ce nouveau composant qu'il nomme le mémristor (*memory resistor*), car il se comporte comme une résistance à effet mémoire. Cette prédiction est restée sans preuve expérimentale pendant plus de trente ans. Pourtant, différents travaux ont démontré des systèmes qui présentent des comportements de mémristor sans pour autant faire le lien avec la théorie de L. Chua [22].

En 2008, le groupe de R. Stanley Williams de HP Labs a démontré pour la première fois un système dont les caractéristiques correspondent aux propriétés d'un mémristor [23]. Leur structure comprenait un semi-conducteur de dioxyde de titane TiO_2 d'épaisseur D , compris entre deux électrodes métalliques de platine. La couche de TiO_2 est séparée en deux zones de concentration différentes de lacunes d'oxygène. On considère alors que la résistance totale du composant dépend de deux résistances variables connectées en série (figure 2.1b). La région dopée (sous-stœchiométrique) a une basse résistance R_{ON} et celle non-dopée (stœchiométrique) présente une résistance élevée R_{OFF} .

En effet, selon la définition donnée par L. Chua, la tension aux bornes d'un memristor est dépendante du courant électrique et d'une variable d'état w (state variable) qui est liée à une propriété physique intrinsèque du mémristor. Pour le mémristor de HP Labs, l'épaisseur de la couche de TiO_{2-x} est définie en tant que variable d'état. L'application d'une tension électrique aux bornes du mémristor va forcer les lacunes d'oxygène à diffuser vers l'anode, modifiant ainsi l'épaisseur de la région dopée ce qui altère l'état de résistance totale du mémristor.

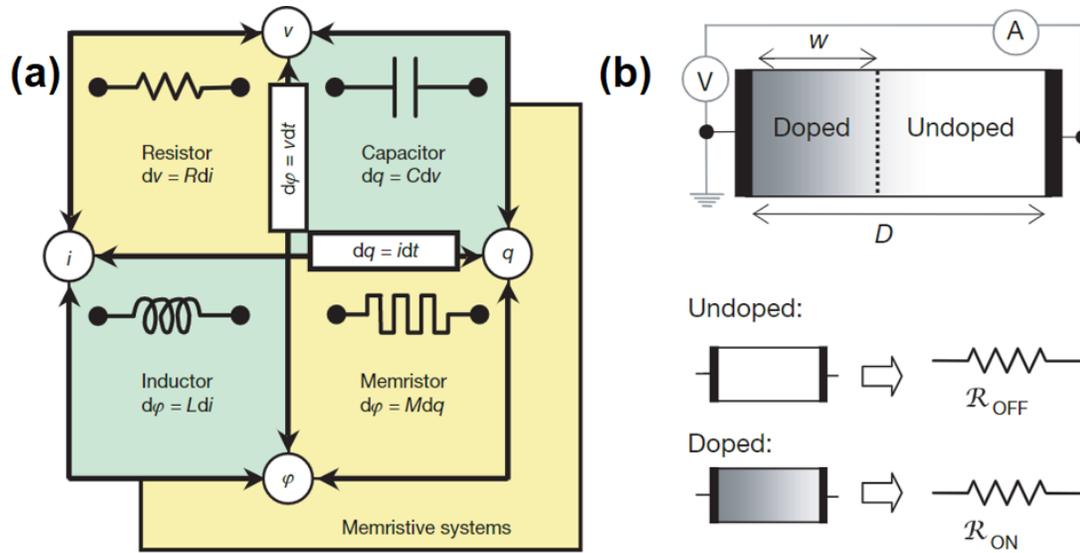


Figure 2.1. (a) Les quatre composants élémentaires à deux terminaux. (b) Structure de la première démonstration d'un mémristor expérimental par Hp Labs [23].

2.2. Mécanismes de commutation résistive

Les études récentes reportent les phénomènes de commutation résistive essentiellement pour des composants à configuration MIM (métal-isolant-métal), où la couche isolante est généralement composée d'un matériau semi-conducteur. L'état mémoire y est défini par deux (ou plus) états de résistance différents, qu'on peut moduler de façon reproductible par application de stimulations électriques appropriées. Par ailleurs, les mécanismes de commutation résistive dans les mémristors à base de TMO reposent sur la formation et la dissolution d'un filament conducteur au sein de la matrice isolante à base d'oxyde. Ces deux phénomènes permettent la commutation des mémristors d'un état de basse résistance LRS (*low resistance state*) à un état de haute résistance HRS (*high resistance state*). L'opération de commutation de l'état HRS à l'état LRS se nomme SET, tandis que l'opération inverse s'appelle RESET. Il est à souligner qu'à l'état vierge du mémristor, une opération de claquage réversible est généralement nécessaire pour initier la commutation résistive, cette opération s'appelle le forming (*electroforming*). Nous adressons en détail les mécanismes qui y sont associés dans la section 2.5.

Généralement, les mémoires résistives se classent en deux principales catégories : celles basées sur (i) la génération/recombinaison des lacunes d'oxygène par des réactions d'oxydoréduction

(changement de valence), et celles qui exploitent (ii) la nucléation et la dissolution d'un filament métallique par migration ionique.

2.2.1. Mémoires résistives à changement de valence

Le mécanisme de changement de valence engendre particulièrement la migration d'ions d'oxygène sous l'effet d'un champ électrique externe, modifiant localement la stœchiométrie de la couche active suivant des réactions d'oxydoréduction précises. Dans le cas de certains oxydes, principalement les TMO, les lacunes d'oxygène sont généralement plus mobiles que les cations et la commutation de résistance est généralement attribuée aux déplacements des lacunes d'oxygènes [24] [25].

Pour ce type de mémoires, la thermodynamique des défauts joue un rôle crucial dans les phénomènes de commutation de résistance. Pour plusieurs oxydes binaires à base de TMO, différentes phases peuvent avoir lieu à cause des états d'oxydations multiples que peut prendre le métal. Prenons l'exemple du système Ti-O, qui peut former de multiples oxydes de stœchiométries différentes telles que TiO, TiO₂, Ti₂O₃ ou encore d'autres phases encore plus réduites, telles que les phases Magnéli (Ti_xO_{3x-1} et Ti_xO_{2x-1}). La transformation de TiO₂ en phases Magnéli (Ti₄O₇ par exemple) passe par un réarrangement structural qui consiste à l'élimination des défauts ponctuels (V_O) par la formation de plans de cisaillement cristallographiques (*Wadsley defects*) [26]. À haute densité, ces défauts s'organisent puis se transforment en phases Magnéli, comme le montre la figure 2.2.

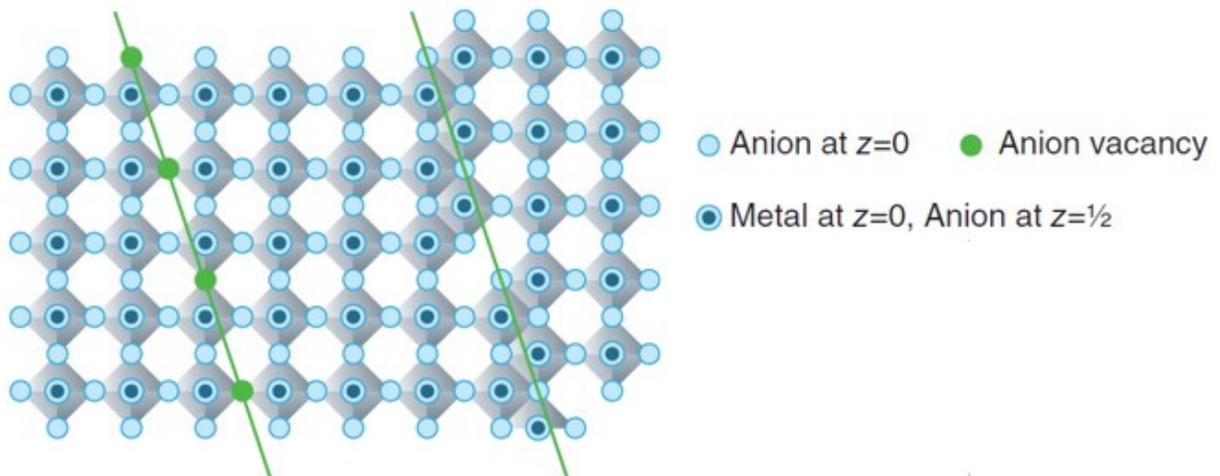


Figure 2.2. Réseau ordonné de lacunes d'oxygène (gauche) éliminé par la formation de plans de cisaillement cristallographiques, tels que les défauts de Wadsley (droite) [27].

Ce réarrangement structural est accompagné par un changement drastique de la structure électronique, illustré par une comparaison de la densité des états électroniques du TiO_2 et la phase Magnéli Ti_4O_7 dans la figure 2.3.

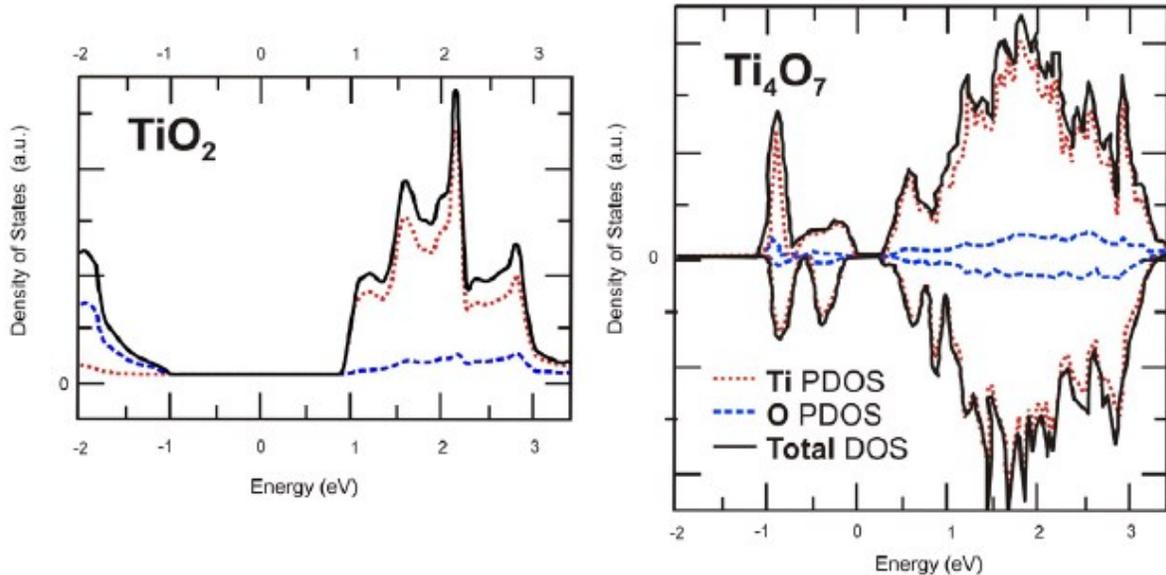
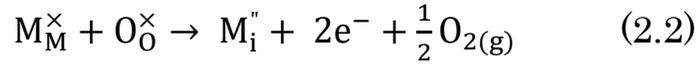
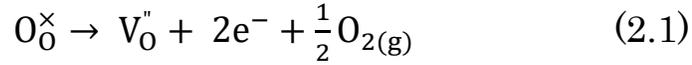


Figure 2.3. Comparaison de la densité d'état électronique pour TiO_2 (gauche) et Ti_4O_7 (droite) [28]

Par ailleurs, Dearnaley et al. ont été les premiers à proposer la réflexion de l'existence d'un filament conducteur pour expliquer la conduction électrique observée après forming : « *Electronic conduction after forming is believed to be dominated, in many cases, by these filamentary conducting paths, which are in a more ordered state than the surrounding matrix.* » [29]. La génération de telles phases ordonnées dans la matrice isolante se fait essentiellement par claquage réversible du diélectrique qui transforme localement l'oxyde quasi parfait en une phase à concentration élevée de défauts facilitants la conduction électrique.

D'un point de vue électrochimique, la formation du filament peut être considérée comme une série de transition de phases locales de l'oxyde à une phase sous-stœchiométrique de conductivité élevée. Cette augmentation de la conductivité peut être expliquée par la formation de défauts ponctuels à la suite de réactions d'oxydoréductions induites par champ électrique. Certains TMO disposent intrinsèquement d'une concentration de lacunes d'oxygène (V''_{O}) et/ou de cations interstitiels (M''_{i}) (même avant forming), et sont appelés oxydes hypostœchiométriques ($\text{MO}_{x-\delta}$, $\delta > 0$, où δ dénote la déviation de l'oxyde MO_x stœchiométrique). Par conséquent, la hypostœchiométrie induit une

déficience en oxygène. Ce processus peut être décrit par les réactions 2.1 et 2.2, selon la notation de Kröger–Vink :



Où O_O^{\times} et M_M^{\times} représente un ion d'oxygène et un cation métallique dans leurs sites, respectivement. Les lacunes d'oxygène sont censées avoir une charge +2. Il est évident que pour les deux réactions, deux électrons délocalisés sont introduits dans la structure, ce qui est considéré comme un dopage de type n des oxydes hypostœchiométriques. Par ailleurs, l'un des deux types principaux de défauts (V_O ou M_i) serait plus dominant selon les conditions thermodynamiques en vigueur qui dictent l'énergie de formation associée à chaque défaut. Pour le TiO_2 , les défauts dépendent essentiellement de la température. Les V_O (les interstitiels de Ti) sont plutôt stables à basse (hautes) température [30]. En outre, la dynamique de ces défauts est amorcée soit par gradients électriques ou par potentiel chimique. Dans le cas d'une structure MIM à base de TiO_2 , les V_O (chargées positivement) créées à l'interface anode/ TiO_2 diffusent vers la cathode de la structure où ils s'accumulent à la suite du potentiel électrique appliqué (figure 2.4a).

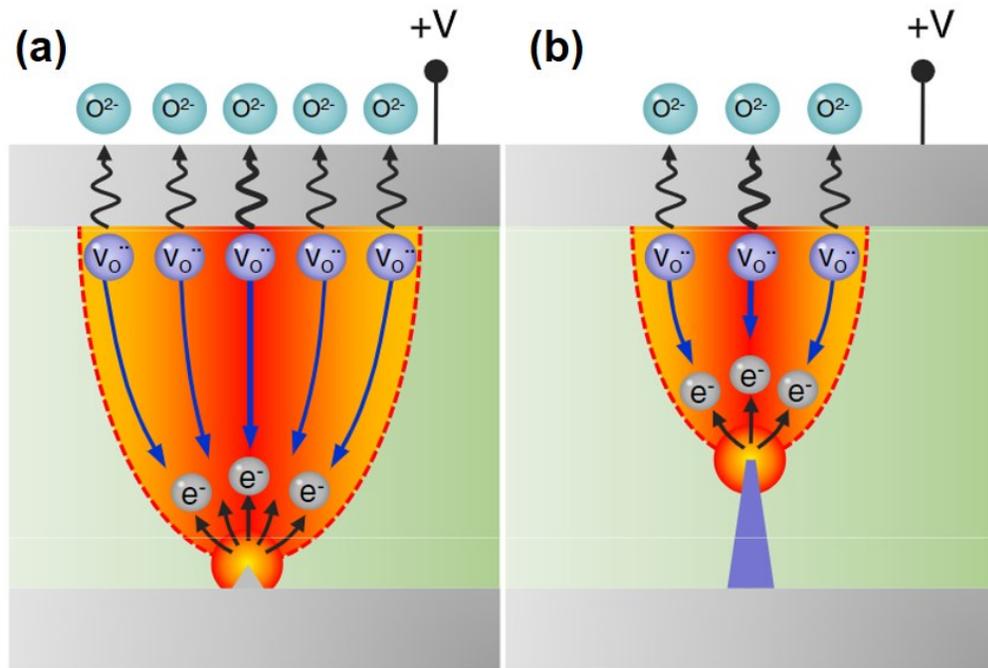


Figure 2.4. (a) Représentation schématique du processus de formation du filament dans une structure Métal/ TiO_2 /Métal. (a) Les lacunes d'oxygène générées près de la cathode migrent à l'endroit

où l'injection d'électrons se produit à cause des interactions électrostatiques. (b) La croissance du filament devient facile après la première nucléation (en bleu) qui concentre encore plus le champ électrique, facilitant les réactions thermochimiques [31].

Ces lacunes tendent à diffuser vers la cathode où les électrons sont injectés à cause de l'attraction électrostatique entre les deux espèces. Le courant électrique associé à l'injection d'électrons induit un échauffement thermique selon l'effet Joule, qui facilite encore plus la migration des ions O^{2-} vers l'anode. Par la suite, la concentration élevée des V_O au niveau de la cathode induit une instabilité locale de la matrice TiO_2 . Par conséquent, des phases sous-stœchiométriques de TiO_2 (phases Magnéli Ti_nO_{2n-1} , $n=4$) sont créées et forment le filament de conduction qui est caractérisé par une conductivité électrique élevée comparée à la matrice TiO_2 (figure 2.4b). La première nucléation du filament concentre encore plus le champ électrique, ce qui facilite davantage les réactions thermochimiques. En effet, l'opération de forming prend fin quand le filament atteint l'anode de la structure, court-circuitant la matrice de TiO_2 isolante. Il est à noter que ces réactions d'oxydoréduction résultent au dégagement de l'oxygène gazeux $O_{2(g)}$ (ou oxydation de l'anode) à travers l'anode de la structure selon la réaction 3.

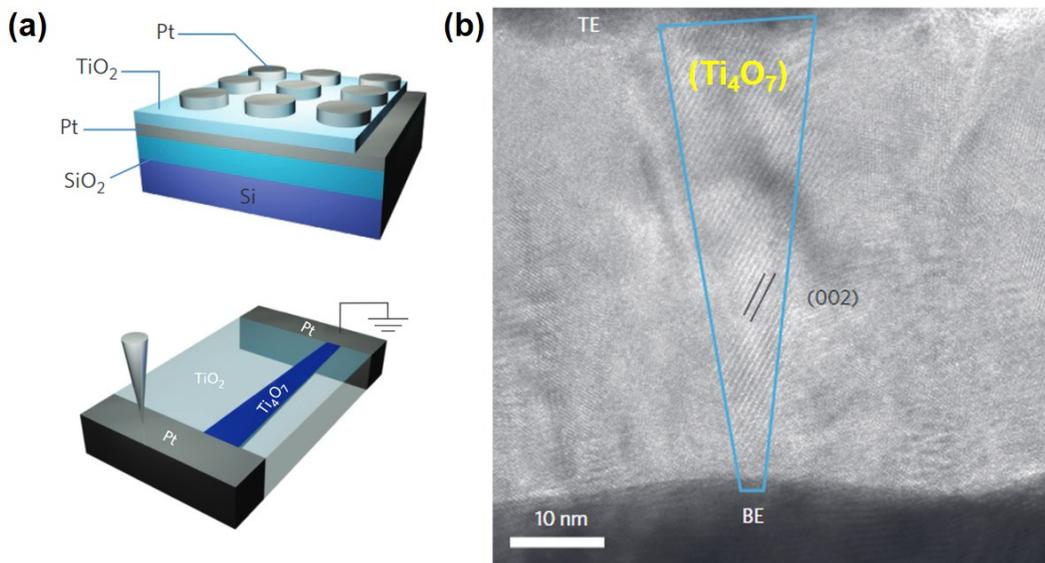


Figure 2.5. (a) Représentation schématique de la structure du mémristor ainsi que le montage électrique utilisé. (b) Image TEM haute résolution montrant le filament conducteur de phase Ti_4O_7 . Le forming est réalisé avec un balayage de tension de polarité négative sur l'électrode supérieure [32].

Des observations expérimentales d'un mémristor de structure Pt/TiO₂/Pt (figure 2.5a) ont permis de démontrer la présence d'un filament conducteur dans la matrice TiO₂ par microscopie électronique à transmission TEM (figure 2.5b) [32]. En effet, il a été validé, par diffraction électronique, que le filament formé est une phase Magnéli (Ti₄O₇) dont la croissance est initiée depuis l'interface de la cathode. La formation de filament conducteur doit se voir alors comme une transition de phase induite par l'agglomération de concentrations élevées de lacunes d'oxygène. Cette théorie semble assez cohérente pour expliquer la stabilité du filament dans le temps qui ne peut pas être expliquée par la simple agrégation de défauts ponctuels. Ces derniers auront tendance à se relaxer une fois la stimulation électrique s'arrête.

D'autres observations récentes en utilisant la technique EBIC (*electron-beam induced current*) ont permis de détecter des changements morphologiques locaux durant la formation du filament dans le système Pt/TiO_x/TiN/Pt (figure 2.6)[33]. À l'état off (HRS), la région du filament subit un changement de phase qui mène à une résistance plus élevée du mémristor.

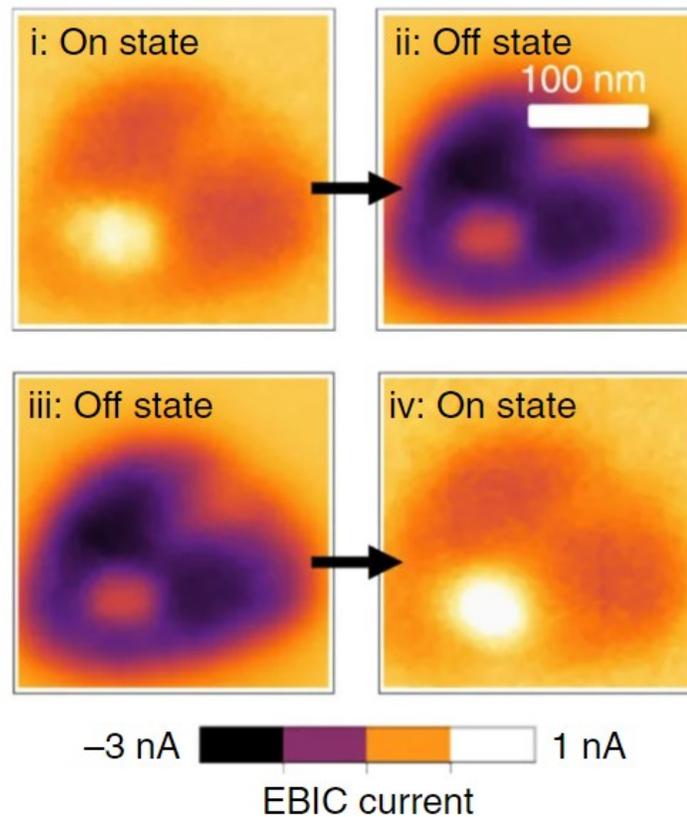


Figure 2.6. Démonstration, par la technique EBIC, de la transition SET – RESET et les modifications morphologiques qui prennent lieu durant la commutation résistive [33].

2.2.2. Mémoires résistives à métallisation électrochimique

Les mémoires à métallisation électrochimique (ou CBRAM : *conductive bridge RAM*) se base sur une structure MIM composée d'une anode électrochimiquement active (i.e : Ag, Cu), et d'une cathode inerte (i.e : Pt, W). La couche isolante est composée d'un électrolyte solide (milieu où les cations M^+ provenant de l'anode peuvent migrer vers la cathode). Le mécanisme consiste alors en la dissolution de l'électrode active suivie de la diffusion des cations métalliques, à travers la couche isolante, vers l'électrode inerte où ils subissent une réduction menant à la formation d'un filament métallique.

Un exemple du principe de fonctionnement du mécanisme de métallisation électrochimique est illustré dans la figure 2.7, où on présente une mémoire CBRAM composée d'une anode active en Ag, une cathode inerte en Pt et une couche isolante. Initialement (étape A), la mémoire est dans un état de haute résistance.

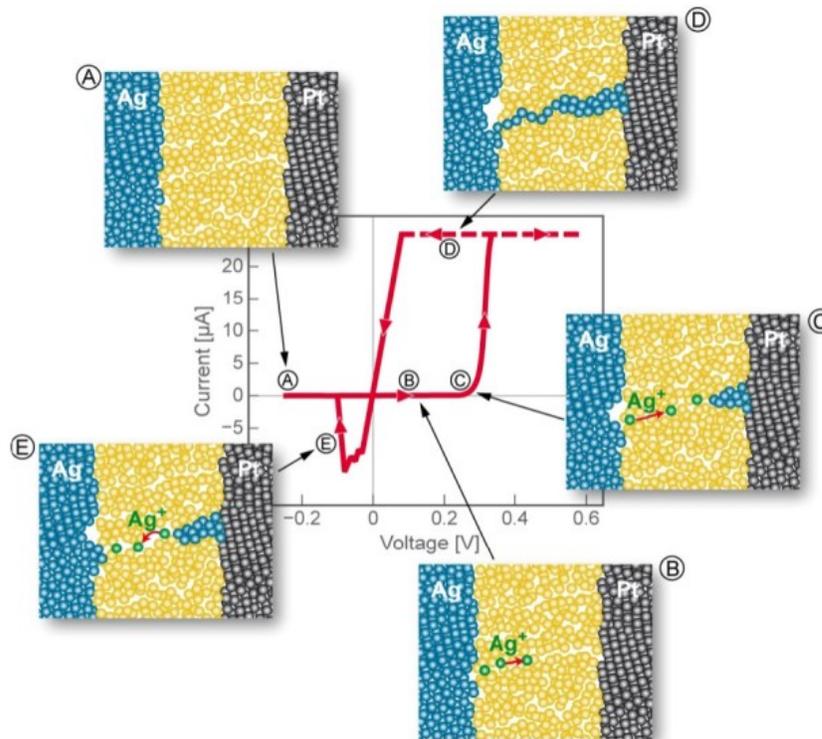


Figure 2.7. Principe de fonctionnement des mémoires à métallisation électrochimique avec illustrations des étapes de la croissance du filament métallique [34].

L'opération SET commence au niveau de l'interface anode/oxyde, où les atomes d'argent s'oxydent et créent des cations métalliques Ag^+ qui diffusent par la suite vers la cathode inerte sous l'effet du champ électrique (étape B). Lorsqu'ils atteignent la cathode inerte de Pt, les cations Ag^+ subissent une réaction de réduction et se transforment en atomes d'Ag (étape C). Cela induit le début de croissance du filament métallique d'Ag dans la couche isolante. Une fois que le filament court-circuite les deux électrodes, la résistance de la mémoire chute considérablement. L'état LRS de basse résistance est donc établi (étape D). En inversant la polarité de la tension appliquée, cela mène à la dissolution du filament métallique par oxydation des atomes d'Ag, qui diffusent vers l'électrode active. L'état HRS est établi et la cellule regagne son état de haute résistance (étape E).

2.2.3. Mécanismes des opérations SET et RESET

L'ensemble des mémoires filamenteuses VCM présentent des phénomènes de commutation résistive similaires, indépendamment des matériaux utilisés. Cela amène à penser que les processus et les paramètres qui contrôlent la commutation résistive sont universels. La compréhension de tels processus microscopique est un élément essentiel pour une ample description des mécanismes de commutation.

Un des points clés des mémoires VCM est la dépendance des états de résistance programmés sur la limitation de courant (I_C). Cela se conclut en analysant la caractéristique I-V de commutation bipolaire d'un memristor TiN/HfO_x/TiN (figure 2.8a) [35]. La résistance de la mémoire à l'état SET suit une tendance décroissante en augmentant I_C . On s'attend alors que le diamètre du filament soit plus conducteur pour les I_C élevés. Par ailleurs, la valeur du courant au début de la transition RESET I_{RESET} est approximativement égale à I_C . Ces observations sont similaires pour plusieurs mémoires filamenteuses à base de changement de valence. Les figures 2.8b et 2.8c, illustrent l'évolution de la résistance (après l'opération SET) ainsi que le courant I_{RESET} en fonction de I_C , respectivement. Pour l'opération SET, les états de résistance programmés obéissent à une loi empirique $R=V_C/I_C$ où V_C est dépendante du matériau utilisé. De plus, I_{RESET} est proportionnel à I_C ($I_{\text{RESET}} \propto I_C$).

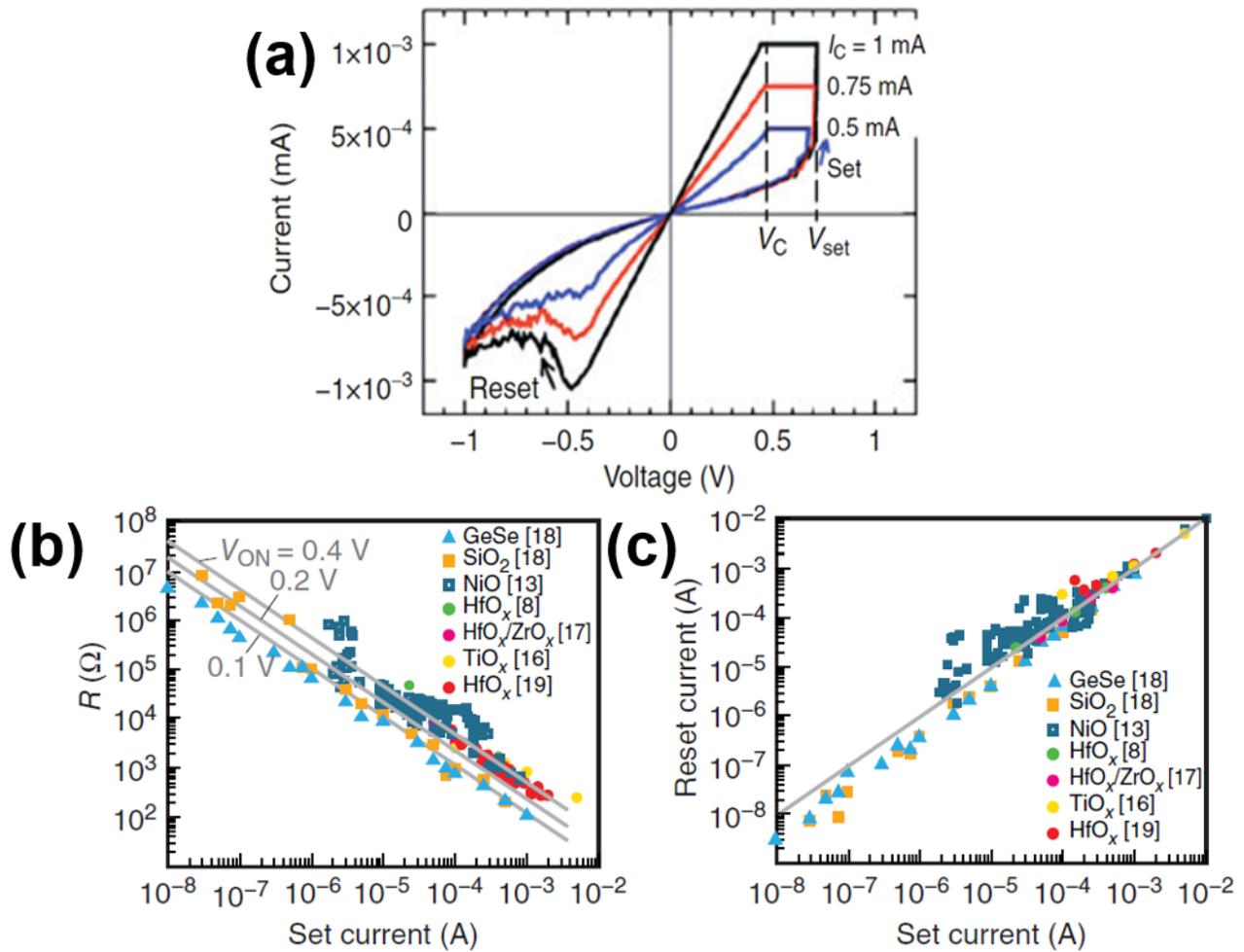


Figure 2.8. (a) Caractéristiques I-V d'un mémristor TiN/HfO_x/TiN montrant la variation du niveau de résistance à l'état ON pour différents I_C . (b) Résistance à l'état SET et (c) I_{RESET} en fonction de I_C pour différents matériaux TMO. La dépendance est linéaire indépendamment de l'oxyde utilisé [35].

Dans la littérature, la caractéristique de dépendance des états de résistance sur I_C est interprétée soit par la variation du diamètre du filament conducteur, ou par le changement de la distance entre l'électrode et l'extrémité du filament (gap tunnel) :

Dans la première approche, la dépendance des états de résistance sur I_C est expliquée en termes de variations du diamètre du filament (figure 2.9a). En effet, l'opération SET est décrite par la migration localisée des défauts (V_O) sous l'effet de tensions à polarité positive, qui mène à la croissance du filament. À la suite de l'augmentation de I_C , la tendance décroissante des états de résistance avec I_C est due à la croissance radiale du filament.

La deuxième approche propose que la dépendance des états de résistance sur I_C soit liée à la variation du gap tunnel entre l'électrode et le filament (figure 2.9b). Ce modèle a été premièrement développé pour les mémoires ECM, mais a été généralisé par la suite pour différents types de mémoires qui présentent une cinétique de commutation non-linéaire. Plus de détails sur ces deux modèles peuvent être consultés dans l'étude de D. Ielmini [36].

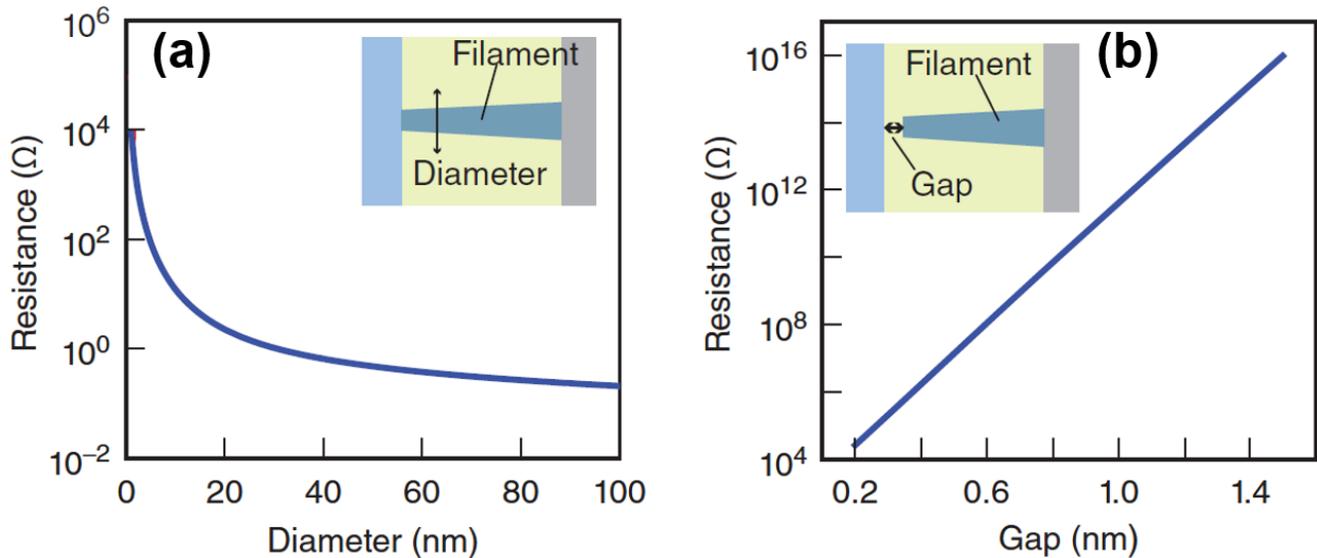


Figure 2.9. Dépendance de la résistance sur (a) le diamètre du filament et (b) le gap tunnel [36].

2.3. Modes de commutation résistifs

Les modes de commutation de résistance peuvent différer selon le comportement du mémristor avec la tension. On distingue deux modes principaux: (i) le mode de commutation bipolaire qui requière l'utilisation d'une tension électrique à polarité opposée pour commuter de l'état HRS à l'état LRS, et vice-versa (Figure 2.10a). Cependant, (ii) le mode unipolaire (ou non polaire) se caractérise par le fait que les deux opérations SET et RESET s'effectuent avec des tensions de même polarité et dépendent uniquement de l'amplitude de la tension appliquée (Figure 2.10b). Dans les deux modes, la commutation résistive est induite électriquement. Cependant, les phénomènes derrière ces mécanismes sont assez différents, dépendamment de l'implication du champ électrique et/ou de l'effet Joule dans la formation et la stabilité du filament conducteur.

Généralement, le champ électrique et l'effet Joule coexistent mutuellement dans l'ensemble des systèmes mémristifs à base de changement de valence. Pourtant, leur influence relative sur les mécanismes de commutation dépend de plusieurs facteurs, dont la nature du matériau constituant le mémristor. En effet, plusieurs modes de commutation résistives peuvent être distingués selon la dominance du champ électrique ou de l'effet Joule. Le mode de commutation tend à être bipolaire si le champ électrique joue un rôle significatif, et unipolaire si l'effet Joule est plus dominant.

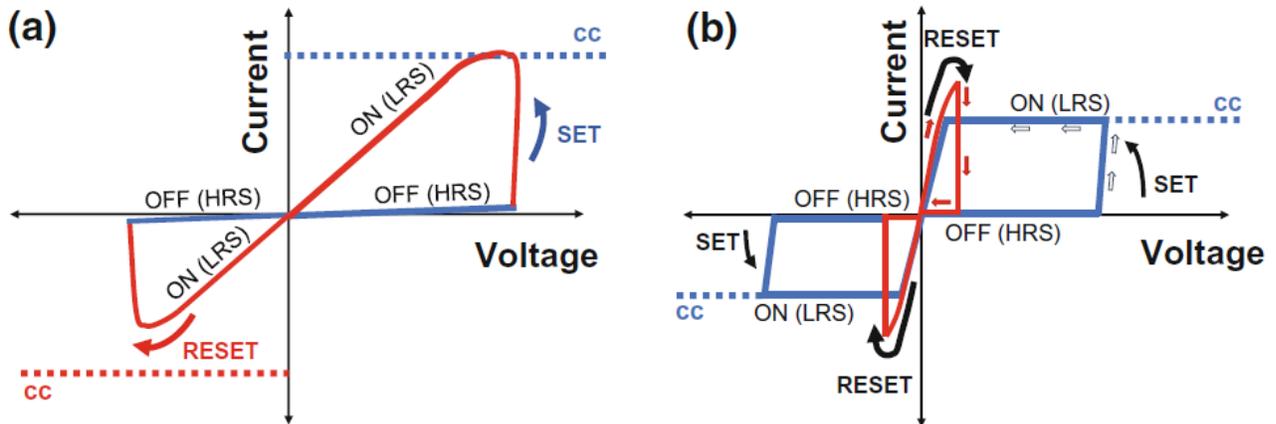


Figure 2.10. Illustration des caractéristiques I-V des modes de commutation (a) bipolaire et (b) unipolaire. “cc = limitation de courant” [37].

La figure 2.11a présente une illustration schématique d'un mémristor dont le mode de commutation est dominé par le champ électrique. En effet, la nucléation et la dissolution du filament sont principalement verticales à cause de la diffusion des lacunes d'oxygène (dans le cas des OxRAM) sous l'influence du champ électrique appliqué. À l'état HRS, le comportement redresseur de la caractéristique I-V (voir encart) provient de la création d'une barrière Schottky à l'interface métal/oxyde. Un autre type de commutation résistive bipolaire se distingue par une caractéristique I-V linéaire (figure 2.11b). Dans ce cas, on estime que le filament conducteur court-circuite les deux électrodes de façon permanente. Pourtant, le changement de résistance provient essentiellement d'un changement de composition chimique, du volume ou de la géométrie du filament.

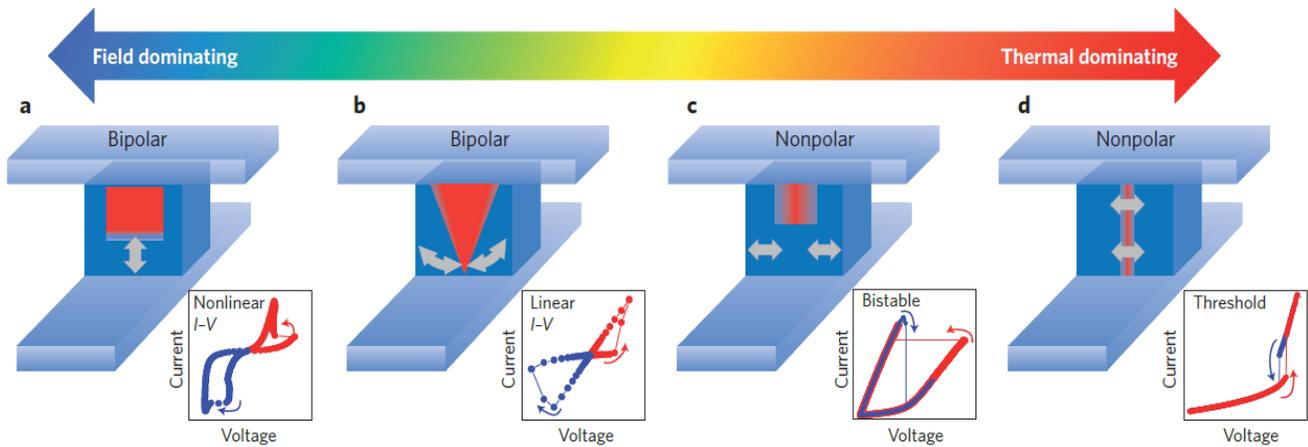


Figure 2.11. Illustration simplifiée de l'évolution probable du filament conducteur (en rouge) dans la matrice de la couche active pour différents modes de commutation résistives (a) Bipolaire non-linéaire, (b) Bipolaire linéaire, (c) unipolaire non-volatile et (d) unipolaire à seuil. Les flèches grises démontrent la diffusion ionique idéale dans chaque cas. Les encarts illustrent les caractéristiques I-V associées à chacun des modes. Figure adaptée de la référence [38].

Quand les effets thermiques (effet Joule) deviennent plus dominants, le mode de commutation résistive est essentiellement considéré étant unipolaire (figure 2.11c). Cela signifie que la même polarité de tension peut être utilisée pour les deux opérations SET et RESET. L'opération SET est un processus à deux étapes combinant des effets purement électroniques suivis par une diffusion ionique assistée par effet Joule [39]. D'autre part, l'opération RESET est considérée comme une dissolution du filament induite essentiellement par des effets thermiques. Par ailleurs, d'autres types de mémristors présentent un mode de commutation unipolaire purement dominé par des effets thermiques (figure 2.11d). Dans ce cas, la commutation de résistance est considérée comme un changement de phase isolant-métal locale induit par effet Joule, ce qui mène à une augmentation rapide du courant. Par la suite, la réduction de la tension/courant appliquée engendre la réduction de la température en dessous de celle de la transition métal-isolant, ce qui mène à regagner l'état HRS.

2.4. Rôle des électrodes

L'influence de la nature des électrodes sur les propriétés de commutation résistive est parmi les principaux paramètres à considérer lors du design et de la fabrication des mémristors, principalement à cause des potentielles de réactions chimiques et la nature de la barrière électronique créée à

l'interface électrode/oxyde. Pour les mémristors de type VCM, le choix des électrodes doit considérer différents paramètres, dont une grande affinité pour l'oxygène et une énergie libre de formation d'oxyde adaptée avec la couche active utilisée. Ces paramètres peuvent moduler la barrière électronique à l'interface et imposent souvent le comportement général du mémristor.

La figure 2.12 présente le travail de sortie de plusieurs métaux et semi-conducteurs souvent utilisés dans la fabrication des mémoires résistives. En effet, pour des applications qui visent la réduction des tensions de claquage, il est préférable d'utiliser des électrodes dotées d'un travail de sortie (*work function*) réduit ainsi qu'une affinité élevée pour l'oxygène. À titre d'exemple, plusieurs études rapportent que l'utilisation du Ti (connu pour sa forte affinité pour l'oxygène) comme électrode a permis de réduire considérablement les tensions de claquage pour plusieurs mémristors à base de TMO. Cela est dû à la création de zones sous-stœchiométriques à l'interface Ti/oxyde à cause de la migration des atomes d'oxygène vers le Ti.

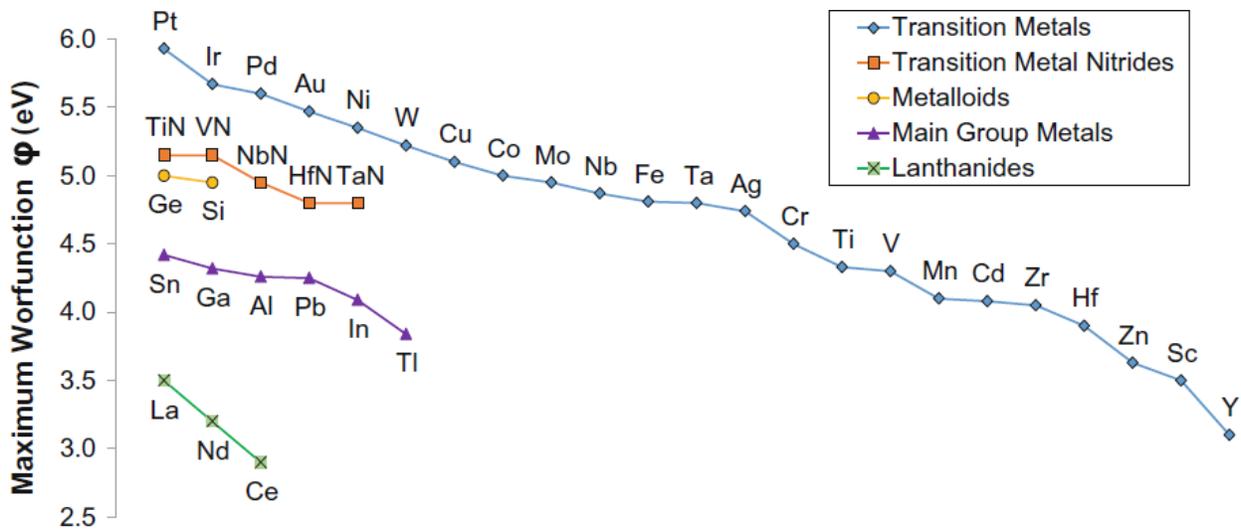


Figure 2.12. Travail de sortie de différents métaux et semi-conducteurs.

En conclusion, les propriétés intrinsèques des électrodes (Travail de sortie, affinité pour l'oxygène...etc.) influencent significativement les comportements de commutation résistive ainsi que les caractéristiques électriques des mémristors. Il est donc essentiel de bien comprendre les réactions chimiques que l'électrode peut induire afin de contrôler efficacement les propriétés voulues (endurance, tensions de claquage, ratio de résistance ...etc.). D'autre part, Yang et al. ont mis l'accent sur le rôle critique des interfaces pour un mémristor de type Pt/TiO₂/Pt, comme montré sur la figure 2.13 [40]. Il s'avère que la nature de la barrière électronique à l'interface métal/TiO₂ peut être changée

de redresseur à ohmique selon le niveau de dopage en lacunes d'oxygène. Le profil des lacunes d'oxygène à l'interface pourrait être modulé soit l'ajout de couches sous-stoichiométriques (TiO_{2-x}) à l'interface TiO_2/Pt , ou encore en y insérant une fine électrode réactive (*oxygen scavenger*) qui crée, naturellement, une zone à concentration élevée de lacunes d'oxygène.

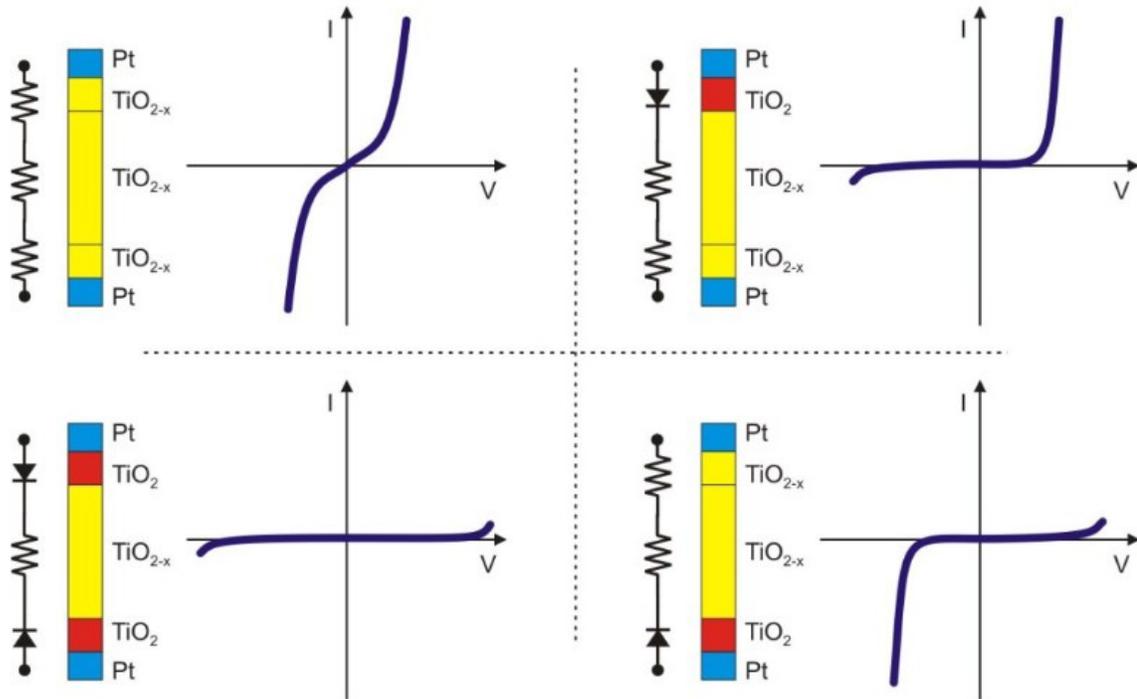


Figure 2.13. Influence de la composition chimique à l'interface Pt/TiO_2 montrant la possibilité de moduler la nature de la barrière électronique par dopage. Pour chaque configuration, les caractéristiques I-V, la composition chimique ainsi que le circuit équivalent sont présentés [40].

2.5. Mécanismes et limitations du processus de forming

Les mémristors de type VCM sont assez résistifs à leur état initial (post-fabrication), une opération de forming est souvent requise afin d'obtenir des propriétés de commutation résistives réversibles. Le forming peut être considéré comme un processus de claquage diélectrique non-volatile et contrôlable, induit par l'application de tensions et/ou courants appropriés. Nous discutons dans cette section les mécanismes qui gouvernent le processus de forming essentiellement pour les mémoires VCM.

2.5.1. Généralités sur le processus de forming

Généralement, la méthode potentiodynamique est communément utilisée pour former les mémristors VCM. Cela consiste en un balayage (*sweep*) de courant/tension. La chute drastique de la résistance du mémristor ainsi que l'augmentation du courant démontrent que le filament a été formé. Une limitation de courant (*cc* : *current compliance*) est souvent utilisée pour éviter un claquage permanent du mémristor.

Différents paramètres externes peuvent influencer les propriétés de forming et de commutation résistive des mémristors, tels que la température et l'humidité. Ces paramètres peuvent dépendre du matériau actif et des électrodes utilisés. Pourtant, ce sont des aspects à comprendre et à considérer pour concevoir des mémristors performants et reproductibles.

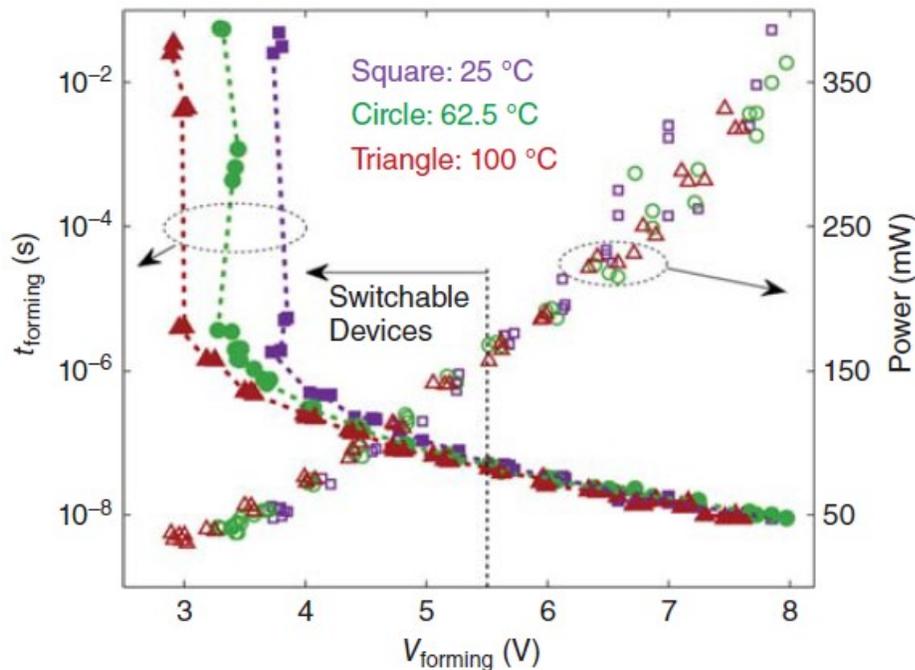


Figure 2.14. Forming (par impulsion de tension) de mémristor à base de Pt/TiO₂/Pt sous 3 différentes températures (25 °C, 62.5 °C, et 100 °C). La ligne verticale à 5.5 V démarque le seuil au-delà duquel les mémristors ne sont plus fonctionnels [41].

Il a été démontré que le processus de forming peut dépendre de la température. En effet, l'influence de la température sur la durée et les tensions de forming a été étudiée pour des mémristors de structure Pt/TiO₂/Pt [41]. Il s'avère que le processus forming s'active en augmentant la température, comme illustré dans la figure 2.14. Cette activation devient plus prononcée à basse tension (<4V). Quand les

tensions de forming augmentent au-delà de 5 V, la grande puissance dissipée pendant le forming s'accompagne par une forte augmentation de température, d'où, les mémristors formés au-delà de 5 V ont subi un claquage permanent et n'ont pas pu commuter par la suite.

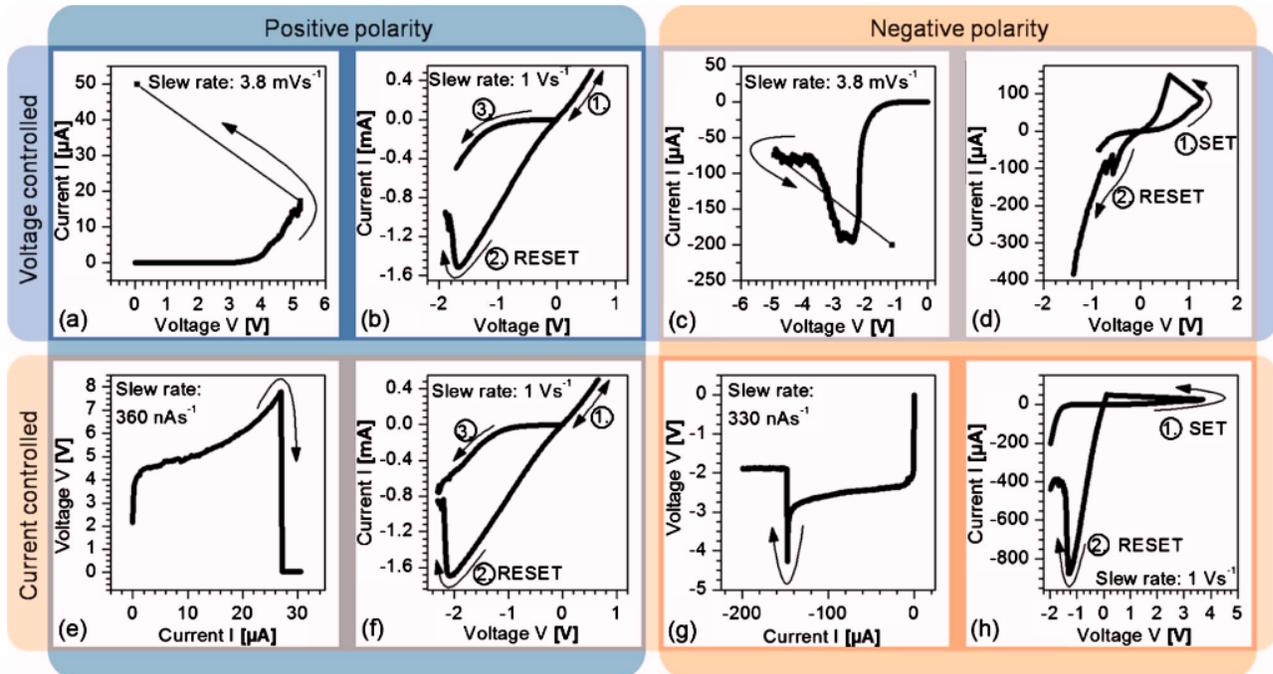


Figure 2.15. Processus de forming (pour le système Pt/TiO₂/Ti/Pt) en utilisant un (a) balayage en tensions à polarité positive et (b) l'opération RESET subséquente. (c) Forming avec un balayage en tensions à polarité négative résultant en un état HRS et (d) l'opération SET subséquente. (e) Forming avec un balayage contrôlé en courant de polarité positive résultant en un état LRS et (f) l'opération RESET après forming. (g) Forming contrôlé en courant de polarité négative et (h) l'opération SET qui suit [42].

Par ailleurs, l'approche utilisée lors du forming exercera également une influence sur les propriétés de commutation. En effet, Nauenheim et al. [42] ont rapporté le forming de mémristors de structure Pt/TiO₂/Ti/Pt avec des balayages (sweep) en courant et en tensions pour les deux polarités (figure 2.15). Dans cette étude, il s'avère que le forming contrôlé en courant à polarité négative résulte à des états HRS plus élevés ($R_{OFF}=83 \text{ M}\Omega$).

2.5.2. Limitations du processus de forming

Bien que différents aspects de commutation résistive aient largement été étudiés, les mécanismes liés au processus de forming ne sont pas encore bien maîtrisés, généralement à cause de sa nature

stochastique. En effet, l'étape de forming peut engendrer plusieurs contraintes telles que la présence de (i) courants de dépassement (*current overshoots*), (ii) l'apparition de courants parasites (*sneak path currents*) ainsi que (iii) la distribution non-uniforme des tensions de forming à travers les lignes d'accès des réseaux crossbar :

i. Les courants de dépassement lors du forming représentent le dépassement de la limitation de courant appliquée et proviennent principalement des capacités parasites. Ces courants mènent souvent au claquage irréversible des mémristors et les figent dans un état de basse résistance. En effet, ces courants semblent dépendants de la résistance initiale du mémristor. Glimer et al. ont mesuré les courants de dépassement pendant le forming de mémristors à base de HfO_2 pour lesquels ils ont modifié la résistance initiale en variant la stœchiométrie et/ou l'épaisseur de la couche active [43]. Ils concluent que les mémristors à couche active épaisse et stœchiométrique montrent des résistances initiales élevées. Par conséquent les courants de dépassement mesurés pendant leurs forming dépassent largement ceux des mémristors à couches minces et sous-stœchiométriques. D'autre part, ils ont observé que l'augmentation des courants de dépassement résulte en une croissance considérable de l'énergie consommée par les mémristors, vu que l'opération RESET requière des courants d'opération plus élevée. Dans certains cas où les courants de dépassement étaient élevés pendant le forming, les mémristors restaient figés dans un état de basse résistance et aucun RESET subséquent n'a pu fonctionner [43]. Par ailleurs, réduire simplement la résistance initiale en modifiant la stœchiométrie de la couche active pourrait produire d'autres types de courants de fuite à travers la matrice isolante entourant le filament, ce qui risque d'influencer sur les niveaux et le ratio de résistance du mémristor.

ii. Dans le cas où les mémristors sont intégrés dans une architecture crossbar, les tensions de forming élevées induisent des courants parasites indésirables qui dégradent la fiabilité des opérations de lecture ainsi que de former inintentionnellement d'autres mémristors du crossbar. Ces aspects doivent être pris en compte lors du design et de la fabrication des mémristors.

iii. Les résistances des lignes d'accès deviennent assez critiques pour le fonctionnement de l'architecture crossbar, essentiellement pour les densités d'intégration élevées. Une des limitations de l'augmentation de ces résistances se manifeste dans la chute de tension à travers les électrodes. Ce phénomène devient beaucoup plus critique pour les crossbars passifs sur silicium qui requièrent un processus de forming, surtout s'il se fait à tensions élevées. L'application de tensions élevées, pour former les mémristors qui partagent la même électrode supérieure, résulte en une chute de tension

considérable induisant une non-uniformité dans la distribution de tension de forming pour chaque mémristor. Cela peut engendrer de la variabilité dans les performances des mémristors du crossbar. Par conséquent, ces limitations peuvent mettre en cause l'opération des crossbar nécessitant une opération de forming.

2.6. Conclusions

La technologie mémristor représente une alternative attrayante pour les paradigmes de calcul de prochaine génération. Dans cette section, nous avons couvert les mécanismes de fonctionnement de cette technologie ainsi que l'effet des matériaux et structures sur les propriétés de commutation résistives, essentiellement pour les mémristors à base de changement de valence.

Nous avons adressé l'influence des électrodes ainsi que le niveau de dopage aux interfaces sur la nature de la barrière électronique et les tensions de forming des mémristors. Nous avons également adressé les mécanismes de forming d'un point de vue phénoménologique. On conclut que, pour le TiO_2 , le processus de forming résulte en une transition de phase locale d'échelle nanométrique menant à la formation du filament conducteur. Les dimensions et la densité infimes du filament formé rendent difficile la compréhension des mécanismes ayant lieu pendant le processus de forming. En outre, les opérations RESET et SET, qui mènent à la commutation résistive réversible, résultent de la rupture et la reconnexion du filament avec les électrodes, respectivement.

D'un point de vue pratique, le processus de forming reste non adapté en termes de fiabilité électrique et structurale. Un des enjeux actuels est de fabriquer des mémristors *forming-free* ou qui requièrent des processus de forming à basse tension, cela peut être accompli par des étapes de recuits thermiques post-fabrication ou par l'ajustement de la stœchiométrie et l'épaisseur de la couche active.

Ainsi, cette thèse sera divisée comme suit :

(i) Développement et optimisation du dépôt de la couche active TiO_2 . Des méthodes de caractérisation des matériaux sont mises en œuvre afin d'estimer la concentration des lacunes d'oxygène ainsi que d'étudier son influence sur les propriétés de la couche active.

(ii) Fabrication de mémristors à base de TiO_2 et caractérisation de leurs propriétés électriques. Nous présentons le procédé de fabrication basé sur le procédé damascène ainsi qu'une caractérisation métrologique des composants fabriqués. Par la suite, la caractérisation électrique des mémristors

fabriqués a permis d'évaluer leur potentiel en termes d'endurance, de rétention et à implémenter les fonctions synaptiques.

(iii) Étude des différentes stratégies qui pourraient être utilisées pour réduire les tensions de forming des mémristors. Nous avons exploré l'influence de l'épaisseur de la couche active ainsi que l'influence du traitement thermique sur les propriétés électriques des mémristors.

Chapitre 3. Développement du procédé de dépôt par pulvérisation réactive et contrôle de la concentration de défauts dans les couches minces de TiO_{2-x}

3.1. Avant-propos de l'article 1

Auteurs et affiliations : Abdelouadoud El Mesoudy^{1,2*}, Denis Machon^{1,2,3}, Andreas Ruediger⁴, Abdelatif Jaouad^{1,2}, Fabien Alibert^{1,2,5}, Serge Ecoffey^{1,2}, Dominique Drouin^{1,2}.

¹Institut Interdisciplinaire d'Innovation Technologique (3IT), Université de Sherbrooke, 3000, boulevard de l'Université, Sherbrooke (Québec) J1K 0A5, Canada

²Laboratoire Nanotechnologies Nanosystèmes (LN2) – CNRS, Université de Sherbrooke – 3000, boulevard de l'Université, Sherbrooke (Québec) J1K 0A5, Canada

³Univ. Lyon, Université Claude Bernard Lyon 1, CNRS UMR 5306, Institut Lumière Matière, F-69622 Villeurbanne, France

⁴Institut National de la Recherche Scientifique (INRS), centre Énergie, Matériaux, Télécommunications, 1650 Boulevard Lionel-Boulet, Varennes (Québec) J3X 1S2, Canada

⁵Institute of Electronics, Microelectronics and Nanotechnology (IEMN), Université de Lille, 59650 Villeneuve d'Ascq, France

État de l'article : soumis en Mai 2022

Journal: *Elsevier – Thin solid films*

Contribution du document : cet article traite l'optimisation des conditions de dépôt ainsi que l'étude des propriétés des couches minces de TiO_{2-x}, qui seront utilisées en tant que matériau à commutation de résistance. L'objectif principal est d'évaluer les conditions de dépôt de TiO_{2-x} qui garantissent une concentration élevée de lacunes d'oxygène. Cela sert à introduire assez de défauts dans le matériau pour que la formation du filament de conduction soit possible à basses tensions de forming.

Résumé en français :

Cette étude vise à optimiser les propriétés des couches minces de TiO_{2-x} , qui seront utilisées comme matériau à commutation de résistance. On rapporte l'utilisation du procédé de pulvérisation réactive, en vue de moduler la concentration des lacunes d'oxygène dans le TiO_{2-x} . Cela a été réalisé en contrôlant la pression partielle d'oxygène pendant le dépôt, ainsi que l'état d'oxydation de la cible de Ti utilisée. Nous comparons dans cette étude les variations des propriétés optiques, structurales et de la composition chimique des couches minces de TiO_{2-x} déposées dans des conditions variables de pressions partielles d'oxygène. Il a été démontré que la variation des conditions de dépôt influence de façon significative les propriétés optiques des couches de TiO_{2-x} . Une diminution de 0.2 V de l'énergie du gap a été observée à faible pression partielle d'oxygène, ce qui est due à la présence de concentrations élevées des lacunes d'oxygène. De plus, les variations du coefficient d'extinction optique ont été attribuées aux changements dans la densité des films, qui s'avère corrélée au régime de pulvérisation réactive. Par ailleurs, l'analyse de spectroscopie des rayons X nous a permis de déterminer la variation de la concentration des lacunes d'oxygène, qui démontrent une augmentation de plus que 100 % lorsque les films de TiO_{2-x} sont déposés sous une atmosphère pauvre en oxygène. Cette amélioration de la concentration de défaut s'accompagne par des changements au niveau de la structure électronique des films. Il a été montré que l'excès d'électrons produit par la présence des lacunes d'oxygène induit la création de nouvelles bandes d'énergie en bas de la bande de conduction spécifiquement. En conséquence, cette étude présente un procédé de dépôt qui permet de contrôler la concentration de défauts et qui sera utilisé, dans cette thèse, pour déposer des couches minces de TiO_{2-x} sous-stœchiométriques afin de réduire les tensions de forming des mémristors.

3.2. Article 1: Band gap narrowing induced by oxygen vacancies in reactively sputtered TiO_{2-x} thin films

3.2.1. Abstract

Amorphous TiO_{2-x} thin films were deposited using direct current reactive magnetron sputtering. It was possible to tune the defect concentration by controlling the oxygen flow rate during the deposition process. The operating deposition regime has a significant influence on the properties of the TiO_{2-x} film. The refractive index was found to decrease with increasing oxygen flow rate, which was essentially related to changes in film density. Besides this, increasing the oxygen vacancy defect concentration induced a slight decrease in the optical bandgap, as well as widening the defect's Urbach band tails near the conduction band edge. For TiO_{2-x} films deposited in oxygen-deficient conditions, the decrease in optical bandgap and widening of Urbach tails induced the shift of the Fermi level towards the conduction band, which enhanced the concentration of the charge carriers.

Keywords: Titanium dioxide; Bandgap narrowing; Reactive sputtering; Oxygen vacancies; Urbach tails.

3.2.2. Introduction

Titanium dioxide (TiO_2) is a wide band gap transition metal-oxide semiconductor that has been widely used in several applications such as photocatalysis applications [44] and optical coatings [45], because of its unique combination of properties, especially in thin film form. Several properties of TiO_2 thin films, including light absorption and charge transport, are strongly correlated to the amount of defects. Thus, the ability to tailor the defect concentration plays a significant role in enhancing the photocatalytic activity of TiO_2 for photocatalysis applications. Besides, TiO_2 thin films undergo interesting electrical and structural changes induced by reduction and oxidation processes [46]. Hence, it is also widely used as a resistance switching material in resistive memory devices and memristive systems [28]. These applications require precise control over defect concentrations in the TiO_2 layer to optimise device performance. In particular, TiO_2 undergoes a reduction reaction associated with the formation of oxygen vacancies (V_O), which are considered to be one of the most important point defects in several metal oxides [47]. Previous studies have investigated the effect of V_O on the electronic structure of TiO_2 using theoretical calculations and experimental characterisation. It was demonstrated that the formation of oxygen vacancies in the TiO_2 lattice

induced the creation of unpaired electrons or Ti^{3+} centres, confirming that these defects act as electron donors [48][49][50]. Furthermore, it has been shown that the electronic structure of a TiO_2 system can be altered by the formation of V_{O} , creating mid-gap donor states assigned to Ti^{3+} centres [51]. These mid-gap energy levels could induce the narrowing of the band gap as they may overlap with the electronic states at the conduction band (CB) and/or valence band (VB) edges.

The formation of V_{O} in the TiO_2 lattice also induces significant structural changes that would influence the charge carrier transport. Such changes may even become drastic at a critical threshold of oxygen non-stoichiometry [52]. It should be noted that the correlation between oxygen vacancies and Ti^{3+} species is rather complicated. In most cases, Ti^{3+} and V_{O} form simultaneously, as the Ti^{4+} species are reduced to Ti^{3+} to maintain charge balance. However, this balance may be perturbed by the presence of other defects, such as Ti interstitials. The type of defects created in the TiO_2 lattice determines the band configuration. Based on density functional theory (DFT) simulations reported by Prasai et al. [53], the V_{O} -induced states are highly localised in amorphous TiO_2 , and induce localised mid-gap states located at around 1 eV below CB and 2 eV above VB edges [54][55]. Therefore, V_{O} defect formation has a significant influence on the electrical properties of TiO_2 films. For these reasons, it is critical to develop and master a cost effective and industry-compatible process to deposit TiO_2 thin films with precise control over V_{O} defect concentration for electronic applications.

Many different routes have been explored to modulate the V_{O} content in TiO_2 , such as post-deposition thermal treatments, under oxygen-depleted conditions [56]. Metal doping can be used [57], as it has been demonstrated that TiO_2 doping with trivalent cations naturally induces oxygen vacancies [58]. In this paper, we propose a TiO_2 thin film deposition process using reactive magnetron sputtering to tune the V_{O} defect concentration by tailoring the oxygen flow rate during deposition. Magnetron sputtering is a well-established deposition method for mass production at an industrial scale. The use of a reactive gas makes the process very flexible, allowing the deposition of different types of compounds using the same metallic target. Structural characterisation was performed using X-ray diffraction (XRD) to investigate the crystal structure variations. X-ray reflectivity (XRR) was used to evaluate the density and thickness of the deposited films. The influence of oxygen flow rate on the optical properties and the chemical composition of the TiO_2 films was investigated using spectroscopic ellipsometry (SE) and X-ray photoelectron spectroscopy (XPS), respectively.

3.2.3. Experimental section

TiO_{2-x} thin films were deposited by direct current reactive magnetron sputtering (Plasmionique - SPT320), using a high-purity titanium target (99.97 %) and oxygen as a reactive gas. The sputtering chamber was first evacuated to a base pressure of the order of 10⁻⁷ Torr. Prior to deposition, the target was sputter-cleaned with argon for 20 min, to remove any native oxide layer that might have been formed on its surface. P-type (100) silicon substrates were pre-cleaned using ultrasonic vibrations in baths of acetone, isopropyl alcohol and deionised water for 5 min each, and then dried using nitrogen gas. During deposition, the substrate was kept rotating at a rate of 30 rpm without heating. The sputtering power was set to 150 W using a DC power supply. The argon flow rate was kept constant at 40 sccm while the oxygen flow rate was varied in order to tune the oxygen partial pressure.

The structural properties of the films were investigated by grazing incidence X-ray diffraction (GIXRD, Rigaku Smartlab) with Cu K α radiation. X-ray Reflectivity of the as-deposited TiO_{2-x} films was also conducted to determine the thickness and density of the films. An X-ray photoelectron spectroscopy (XPS, KRATOS Axis Ultra^{DLD}) system was used to evaluate the chemical composition of the TiO_{2-x} films. The excitation source used was a monochromatic Al K α (h ν = 1486.6 eV). For all measurements, a charge neutraliser was used. Analysis and deconvolution of all XPS data were performed using CasaXPS v.2.3.24 software. Shirley background subtraction was used and all peaks were charge corrected using the C1s peak at 284.8 eV as a reference. The valence band XPS (VB-XPS) analysis was performed at low binding energies, to estimate any V_O-induced shift in the VB edge position. SE measurements were taken at a 70° angle using a spectroellipsometer (Horiba UVISEL Plus). The spectral range of 206 – 826 nm was used. In order to extract significant parameters from raw ellipsometric data, an optical model was built, consisting of four layers: silicon substrate, native silicon oxide (1.5 nm), TiO_{2-x} layer and a surface roughness layer. Minimisation of mean squared error (MSE) was used to qualify the validity of the model and evaluate the difference between the fitted and experimental data.

3.2.4. Results and discussion

Figure 3.1 shows the evolution of the discharge voltage of the target with increasing oxygen flow, where three main deposition modes can be distinguished. (i) At a low oxygen flow rate (< 1.5 sccm), the reactive gas is present at insufficient quantities and gets rapidly consumed in the chamber. Thus, the target remains metallic. This suggests that metallic films are essentially deposited under these

conditions, with a relatively high deposition rate of around 10 nm/min. (ii) With a further increase in oxygen flow (up to 3 sccm), the target exhibits a metal-to-insulator transition, accompanied by a nearly, 100 V increase in discharge voltage. This occurs with a continuous drop in deposition rate as the target reaches the oxide mode. The increase in discharge voltage can be attributed to the drastic change in ion-induced secondary electron emission coefficient of Ti, when reacting with oxygen to form TiO_x . The drop in deposition rate, when reaching the oxide mode, can be attributed to the difference in the molecular sputter yield and density between Ti and TiO_2 . The sputter yield of the oxide is often lower than that of the elemental target material. Interestingly, the condition at 3 sccm is characterised by the highest discharge voltage value (473 V), which is an indication that the TiO_2 oxide layer formed on the surface of the target is at its maximum thickness [59]. (iii) Increasing the oxygen flow (> 3 sccm) leads to a further drop in deposition rate and a slight decrease in discharge voltage, since the target's surface is now completely oxidised. This corresponds with the observations of Meng et al. [60] who reported a similar discharge voltage decrease in the oxide mode. Under these conditions, fewer oxygen atoms are consumed, leading to a rapid rise in the oxygen partial pressure inside the chamber, and suggesting that the films deposited under these conditions might be oxygen-rich or nearly stoichiometric.

The operating regime has a strong influence on the properties of the films, as the amount of oxygen available for reaction differs drastically. Studies have reported that thin film deposition in oxygen-deficient conditions resulted in, essentially, sub-stoichiometric films with a relatively high concentration of oxygen vacancies, compared to the oxygen-rich conditions [61][62]. To investigate the influence of the operating regime on the structural, chemical and optical properties, as well as on the concentration of defects within the films, TiO_{2-x} thin films were deposited with varying oxygen flow rates, as summarised in Table 3.1. The deposition time was adjusted to obtain thin films with a thickness of 35 ± 5 nm.

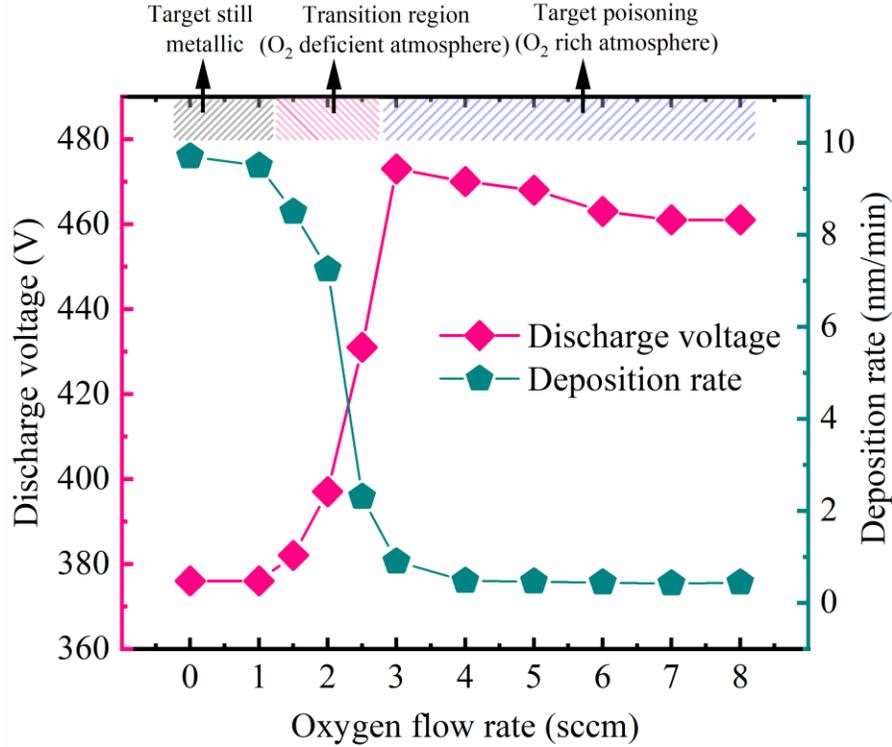


Figure 3.1. Evolution of the target's discharge voltage (pink) and deposition rate (dark cyan) with increasing oxygen flow rate.

Table 3.1. Deposition conditions of the studied TiO_{2-x} thin films.

Argon flow rate (sccm)	O_2 flow rate (sccm)	O_2/Ar ratio (%)	Deposition rate (nm/min)
40	1.5	3.75	8.50
40	2.0	5.00	7.25
40	3.0	7.50	0.90
40	4.0	10.00	0.48

The crystal structure variations of the TiO_{2-x} films were investigated using GIXRD analysis (Figure 3.6 of the supporting information). Both peaks situated at $50\text{-}55^\circ$ are in good accordance with the (311) plane of the Si substrate, as reported elsewhere [63][64]. However, XRD patterns show no characteristic peak for any crystalline phase of TiO_2 , suggesting that the as-deposited films are amorphous [65]. Thin film crystallinity depends on several parameters such as film thickness, deposition temperature and whether the substrate is biased or heated [66][67]. Our films were

deposited at room temperature with a relatively low thickness, which might have resulted in the observed low crystallinity.

To evaluate the influence of the deposition conditions on the optical properties of TiO_{2-x} films, SE measurements were conducted. The measured ψ and Δ parameters represent the amplitude ratio and phase difference between the parallel and perpendicular components of elliptically polarised light, respectively, with respect to the plane of incidence. To extract the optical constants, the ellipsometric raw spectra were fitted with the new amorphous dispersion model, based on the Forouhi-bloomer formulation [68]. The extinction coefficient k and the refractive index n are given by the equations (3.1) and (3.2), respectively:

$$k(E) = \begin{cases} A(E - E_g)^2 (E^2 - BE + C)^{-1}, & \text{for } E > E_g \\ 0 & \text{for } E \leq E_g \end{cases} \quad (3.1)$$

$$n(E) = n_\infty + (B_0E + C_0)(E^2 - BE + C)^{-1} \quad (3.2)$$

where A , B , C , B_0 and C_0 are fitting parameters. The term n_∞ is a constant greater than 1, while E and E_g represent the photon energy and the optical band gap energy, respectively. An example of the dynamic evolution of ψ and Δ data for a TiO_{2-x} film, deposited at 2 sccm, is shown in Figure 3.7 of the supporting information. The good fit shows that the model agrees well with the experimental spectra for the whole of the measured spectral range.

The refractive index and the extinction coefficient of the TiO_{2-x} films obtained from the fitting model, in the wavelength range from 206 nm (6 eV) to 826 nm (1.5 eV), are shown in Figure 3.2. The obtained TiO_{2-x} thin films seem highly transparent below 2.75 eV. The absorption edge presents a clear dependence on deposition conditions, as the films deposited at low oxygen flow rate (Figure 3.2a and 3.2b) show an extended absorption tail below the bandgap, compared to those deposited at a relatively high oxygen flow rate (Figure 3.2c and 3.2d). This would probably originate from variable defect concentrations, depending on the deposition conditions. Besides this, the estimated bandgap energy (extracted from the k vs. E spectra) shows a slight shift of nearly 0.2 eV, suggesting a bandgap narrowing when operating in an oxygen-deficient regime.

Similarly, the refractive index seems dependent on the operating conditions, as the TiO_{2-x} films deposited in oxygen-deficient conditions show the highest refractive index among the four prepared

samples. For instance, at 2.5 eV (495 nm), the refractive index falls from 2.50 to 2.28 when the O₂/Ar ratio was increased from 3.75% to 10.00%, respectively. This could be attributed to higher film densities obtained when operating under an oxygen-deficient atmosphere. Operating under such conditions (higher deposition rates and low working pressures), increases the mean free path of sputtered species and reduces the number of collisional events, the number of high-energy species reaching the substrate is, therefore, higher, forming better quality films. We assume that the noted variation in refractive index would be attributed to changes in film density when modifying the operating deposition regime.

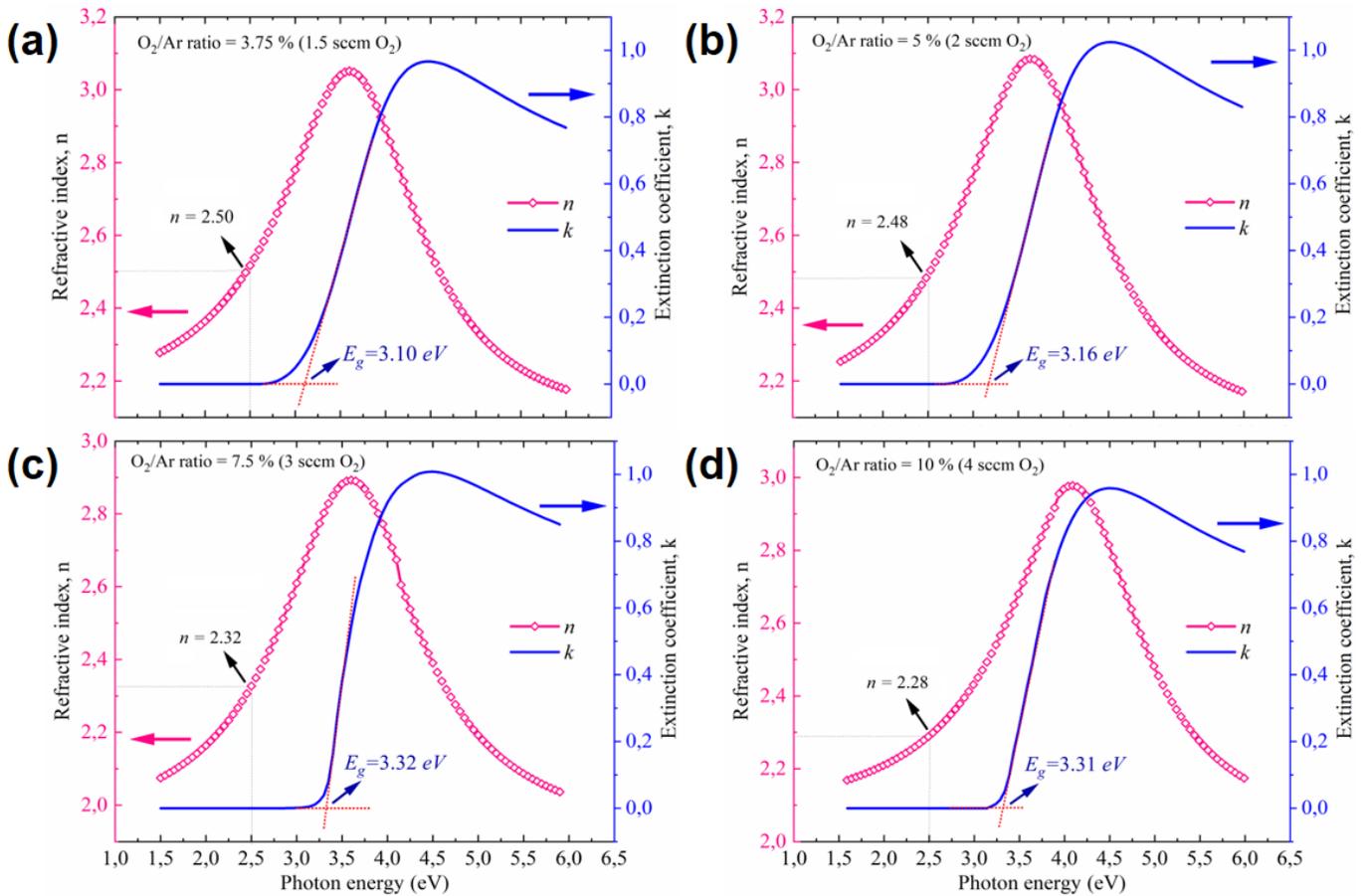


Figure 3.2. Refractive index and extinction coefficient spectra for TiO_{2-x} thin films deposited using different O₂/Ar ratios: (a) O₂/Ar = 3.75% (b) O₂/Ar = 5.00% (c) O₂/Ar = 7.50% (d) O₂/Ar = 10.00%.

XRR analysis was conducted, in order to investigate the possible modification of film density with oxygen flow rate. Figure 3.3 compares the XRR spectra of TiO_{2-x} films deposited with an O₂/Ar ratio of 3.75% (1.5 sccm O₂) and 7.50% (3.0 sccm O₂). It can be seen that both spectra show identical

oscillation periods, which suggests that the TiO_{2-x} films have a similar thickness (estimated to be 35 ± 1 nm). On the other hand, it is known that the critical angle for total reflection θ_c is directly related to the average thin film mass density ρ , following Eq. (3.3) [69]:

$$\frac{\theta_c^2}{\rho} = \frac{ZN_A\lambda^2 r_{el}}{\pi A} \quad (3.3)$$

where r_{el} is the classical electron radius, Z is the atomic number, N_A is the Avogadro constant, A is the mass number and λ is the X-ray wavelength. The right part of Eq. (3.3) is constant for a given material and irradiating X-ray beam. Thus, θ_c is proportional to the material mass density. This suggests that the TiO_{2-x} film deposited at lower O_2 flow rates had a higher density (~ 3.4 g/cm³) than that (~ 3 g/cm³) deposited in oxygen-rich conditions. This is consistent with the noted decreasing trend in refractive index with oxygen flow rate. All films present a lower density than bulk titanium dioxide material, which is estimated to be 4.23 g/cm³.

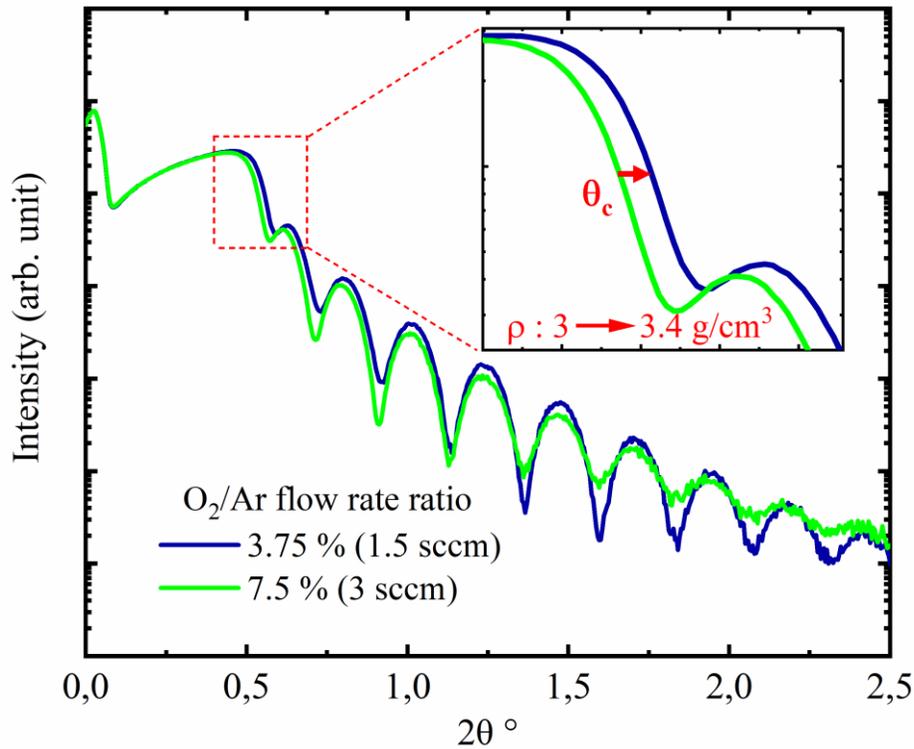


Figure 3.3. XRR spectra of TiO_{2-x} films deposited at two different oxygen flow rates: 1.5 sccm O_2 (blue) and 3.0 sccm O_2 (green). The shift in critical angle suggests a noticeable difference in both film densities, which was estimated to be 3.4 g/cm³ and 3.0 g/cm³, respectively.

As discussed earlier, the reactive sputtering process was used to tune the concentration of oxygen vacancies within the deposited films. The presence of such defects in the TiO_{2-x} lattice induces the reduction of Ti^{4+} into Ti^{3+} ions to maintain a conserved charge balance [47]. XPS has been used to investigate the chemical composition of TiO_{2-x} films and evaluate the formation of Ti^{3+} species. Figure 3.4 shows the high-resolution Ti 2p XPS spectra for all samples. The spin-orbit doublets centred at 464.3 ± 0.1 eV and 458.6 ± 0.1 eV were assigned to the $\text{Ti } 2p_{1/2}$ and $\text{Ti } 2p_{3/2}$ peaks, respectively, characteristic of the Ti^{4+} oxidation state. Closer analysis of the deconvoluted Ti 2p spectra (see inset in Figure 3.4) revealed a noticeable shoulder at lower binding energies, centred at 456.6 ± 0.1 eV, which is a characteristic peak of Ti^{3+} species [70]. Further details about XPS analysis (peak positions / area) are presented in Table 3.3 in the supporting information.

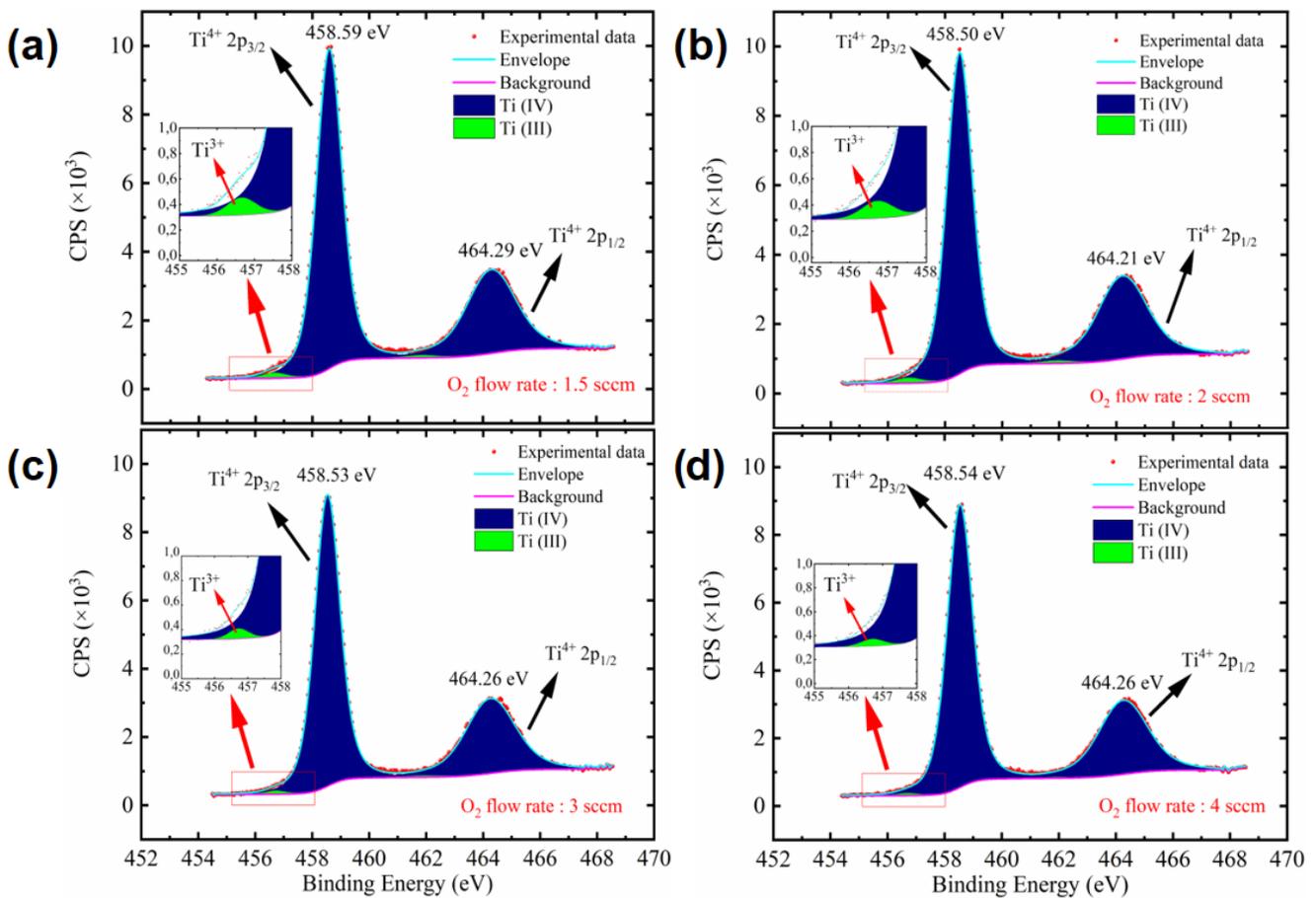


Figure 3.4. High-resolution XPS spectra for the Ti 2p peak of TiO_{2-x} films deposited at different oxygen flow rates: (a) $\text{O}_2/\text{Ar} = 3.75\%$ (b) $\text{O}_2/\text{Ar} = 5.00\%$ (c) $\text{O}_2/\text{Ar} = 7.50\%$ (d) $\text{O}_2/\text{Ar} = 10.00\%$.

A noticeable difference in Ti^{3+} peak area between the TiO_{2-x} films deposited in oxygen-deficient and oxygen-rich conditions, suggests that the films show varying degrees of V_O concentration. The area of Ti^{3+} peak increased by more than 100 %, which had a significant influence on the film stoichiometry (estimated by the change in peak area) of the films, as reported in Table 3.2. This confirms that the formation of Ti^{3+} oxidation states estimated by XPS analysis would primarily originate from oxygen vacancy defects.

Table 3.2. Measured values for band gap, Urbach energy and O/Ti ratio of the TiO_{2-x} films.

O ₂ /Ar ratio (%)	Band gap (eV)	Urbach energy (meV)	O/Ti ratio
3.75	3.10 ± 0.05	216 ± 20	1.86 ± 0.02
5.00	3.16 ± 0.05	205 ± 20	1.87 ± 0.02
7.50	3.32 ± 0.05	74 ± 20	1.94 ± 0.02
10.00	3.31 ± 0.05	70 ± 20	1.96 ± 0.02

One can note a decreasing trend in film stoichiometry with decreasing oxygen flow rate, which can be associated with the increase of Ti^{3+}/V_O defect concentration when operating in oxygen-deficient conditions and inducing the formation of additional energy levels near the band edge, as reported by other studies [71][72]. To investigate the electronic structure near the valence band edge, VB-XPS analysis was performed on low binding energies (as shown in Fig. 3.8 in the supporting information). The results show that all of the films exhibit a similar VB edge at + 2.73 ± 0.02 eV below the Fermi level, independently from oxygen flow rate. These findings suggest that the presence of oxygen vacancies in the TiO_{2-x} lattice would induce the formation of additional localised states (band tails) near the CB rather than the VB, in agreement with other observations [73].

Such band tails, known as Urbach tails, are represented as an absorption tail that extends into the band gap. The energy associated with these tails is referred to as Urbach energy (E_U), which is a parameter used to quantify the degree of disorder near the band edges of semiconductors [74]. Other reports have also referred to E_U as the width of the tail created near band edges by the localised defect states [75]. The Urbach energy can be quantified using the Eq. (3.4):

$$\alpha = \alpha_0 \cdot \exp\left(\frac{h\nu}{E_U}\right) \quad (3.4)$$

where α is the absorption coefficient ($\alpha = 4\pi k/\lambda$), α_0 is a constant and E_U was estimated by plotting $\ln(\alpha)$ vs. $h\nu$ and fitting the linear portion of the curve with a straight line, as shown in Figure 3.5a. E_U is estimated as the inverse of the slope of the fitted lines, as reported in Table 3.2. It can be seen that E_U follows a decreasing trend with increasing oxygen flow rate, which decreases from 216 meV (1.5 sccm) to 70 meV (4 sccm), suggesting that TiO_{2-x} films deposited in oxygen-deficient conditions induce larger defect tails near the CB edge. As the oxygen flow rate decreases, the incorporation of more V_O and Ti^{3+} defects, widens the defect's band tails, as demonstrated by XPS analysis. From Table 3.2, it can also be deduced that Urbach energy is inversely proportional to the O/Ti ratio, which suggests that the TiO_{2-x} film stoichiometry is tightly correlated to V_O and Ti^{3+} defect concentration in TiO_{2-x} films.

To assess the influence of V_O concentration on the electronic structure of the films, we propose a diagram of the density of states versus photon energy for TiO_{2-x} films deposited at 1.5 sccm and 4.0 sccm, as shown in Figure 3.5b and 3.5c, respectively. The CB edge (CB_{\min}) position was calculated by subtracting the bandgap value from VB edge (VB_{\max}). When operating in oxygen-deficient conditions, high V_O concentrations induce more donor levels below the conduction band and donate more electrons. This would shift the Fermi level towards the CB even more, which will result in an enhanced carrier concentration and improved conductivity.

3.2.5. Conclusion

TiO_{2-x} thin films were deposited by DC reactive magnetron sputtering with varying oxygen flow. The properties of the films, as well as the defect concentration, were tuned by controlling the reactive sputtering regime and the oxidation state of the target. Spectroscopic ellipsometry analysis revealed a narrowing of the bandgap, along with the appearance of an extended absorption tail below the bandgap, which was attributed to the increase of V_O defects when operating under oxygen-deficient conditions. XPS characterisations have demonstrated the increase of Ti^{3+} concentration by more than 100% at low oxygen flow rates. The VB-XPS analysis showed no change in the valence band edge for all samples, suggesting that the oxygen vacancies only induce the formation of defects states near the conduction band edge. The increase of V_O concentration has shifted the Fermi level towards the conduction band, suggesting a possible increase in carrier concentration. This ability to control the defect concentration would help in optimising the electrical properties of TiO_2 -based memory devices, as well as enhancing the performance of TiO_2 films in photocatalysis applications.

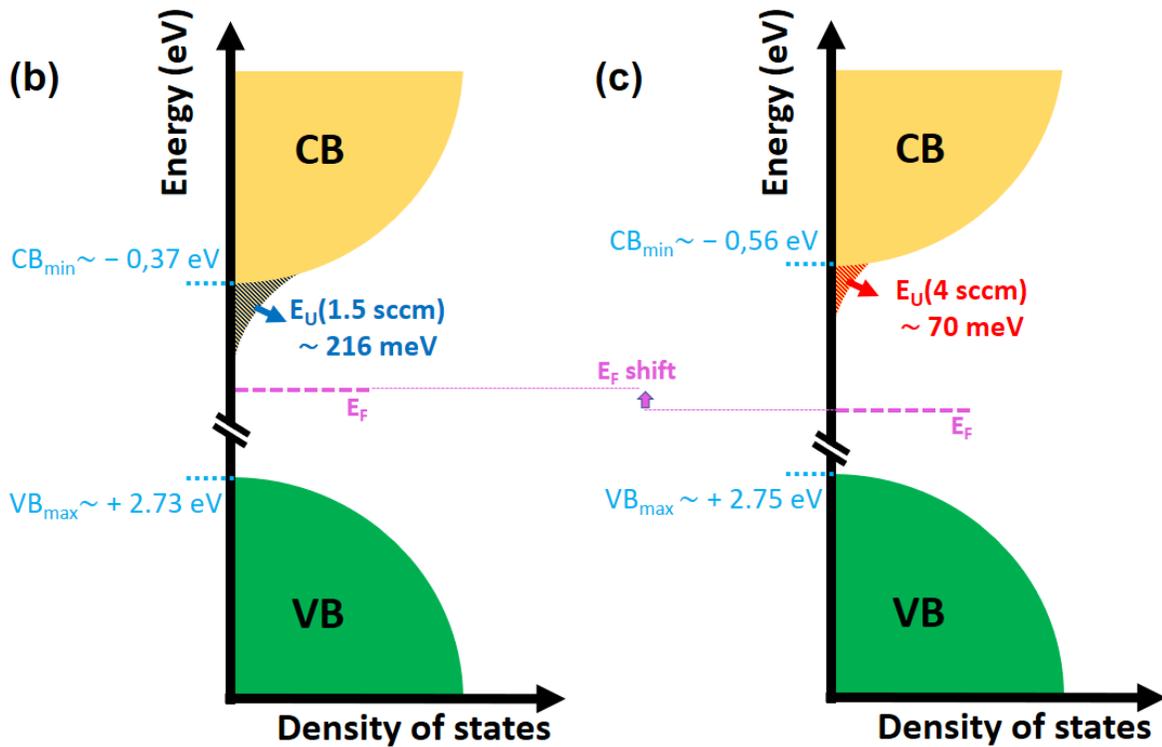
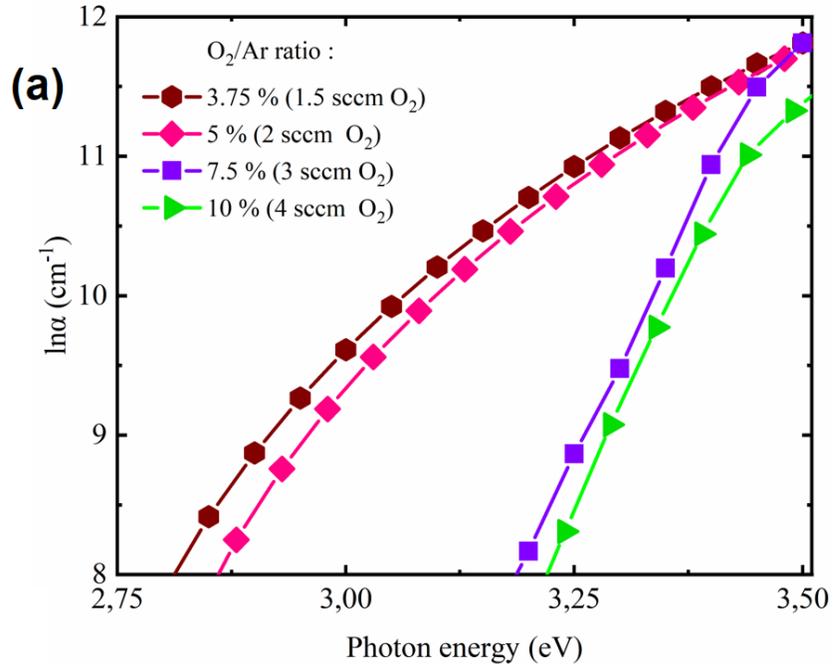


Figure 3.5. (a) Plot of $\ln(\alpha)$ vs. $h\nu$ used to extract the Urbach energy. Proposed diagram of the density of states for TiO_{2-x} films deposited under (b) oxygen-deficient conditions: O/Ti ratio = 3.75% (b) and oxygen-rich conditions: O/Ti ratio = 10.00%. Fermi level is aligned with 0 eV.

3.2.6. Acknowledgements

This work was supported by the Natural Sciences and Engineering Research Council of Canada (NSERC) HIDATA project 506289-2017 and ERC-CoG IONOS (# GA 773228). A.R. and D.D. gratefully acknowledge the financial support from NSERC discovery grants (RGPIN-2019-07023 and RGPIN-2019-06183, respectively). This work was also supported by the CHIST-ERA UNICO project and Fond de Recherche du Québec Nature et Technologies (FRQNT). We would like to acknowledge Sonia Blais from Plateforme de Recherche et d'Analyse des Matériaux (PRAM) at the Université de Sherbrooke, for her assistance with XPS measurements. We would also like to acknowledge Hubert Pelletier, Tadeas Hanus and Dorian Coffineau for their support with the GIXRD and XRR analysis.

3.2.7. Supporting information

i. GIXRD patterns of TiO_{2-x} films

The diffraction patterns show no other peak than those of the (311) plane of the Si substrate (between 50° and 55°). No characteristic diffraction peak from the TiO_2 films has been detected. The observed low crystallinity may be attributed to the very low thickness of the films and deposition conditions.

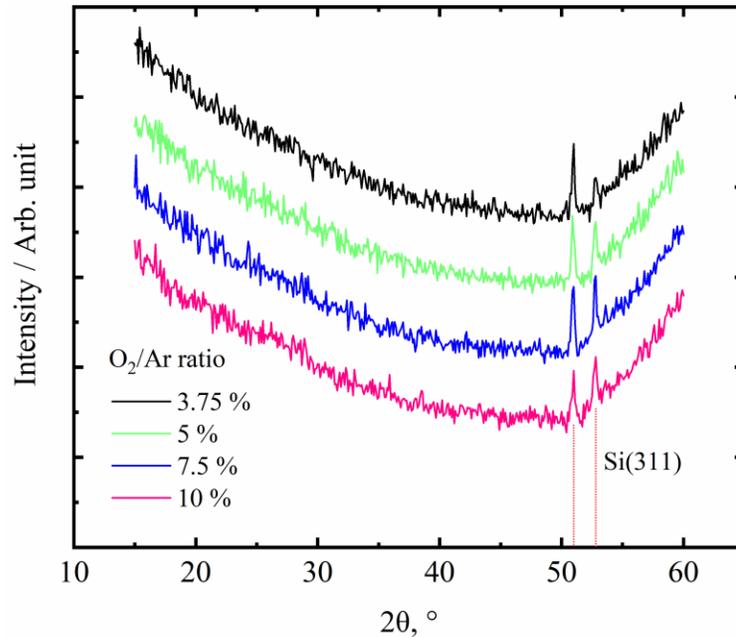


Figure 3.6. GIXRD patterns of TiO_{2-x} thin films deposited at different oxygen flow rates.

ii. Dynamic evolution of raw ellipsometric data

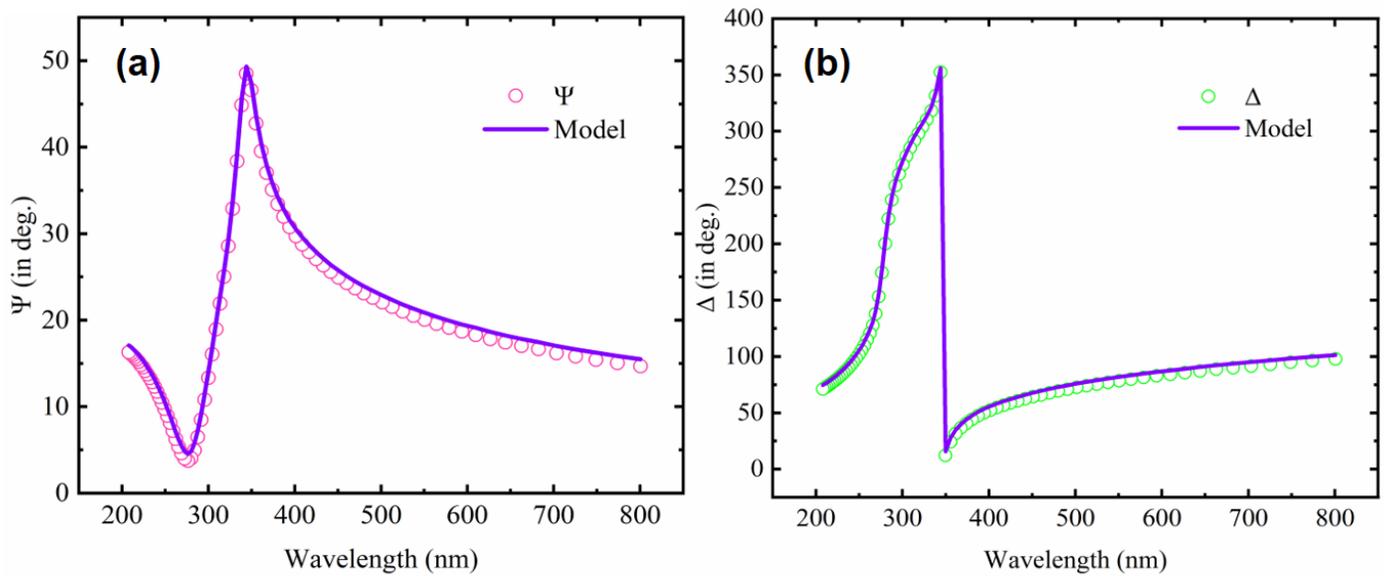


Figure 3.7. Experimental and fitted (following the new amorphous dispersion model) experimental data ψ and Δ of TiO_{2-x} film deposited at 2.0 sccm O_2 . The symbols represent experimental data, while the solid line represents the fitting model.

iii. Valence-band XPS

Valence band XPS measurements were used to investigate whether the V_O defects have affected the electronic structure near VB edge. The VB_{max} experimental values were extracted from the intersection of the zero intensity and the linear extrapolation of the leading edge of the experimental data.

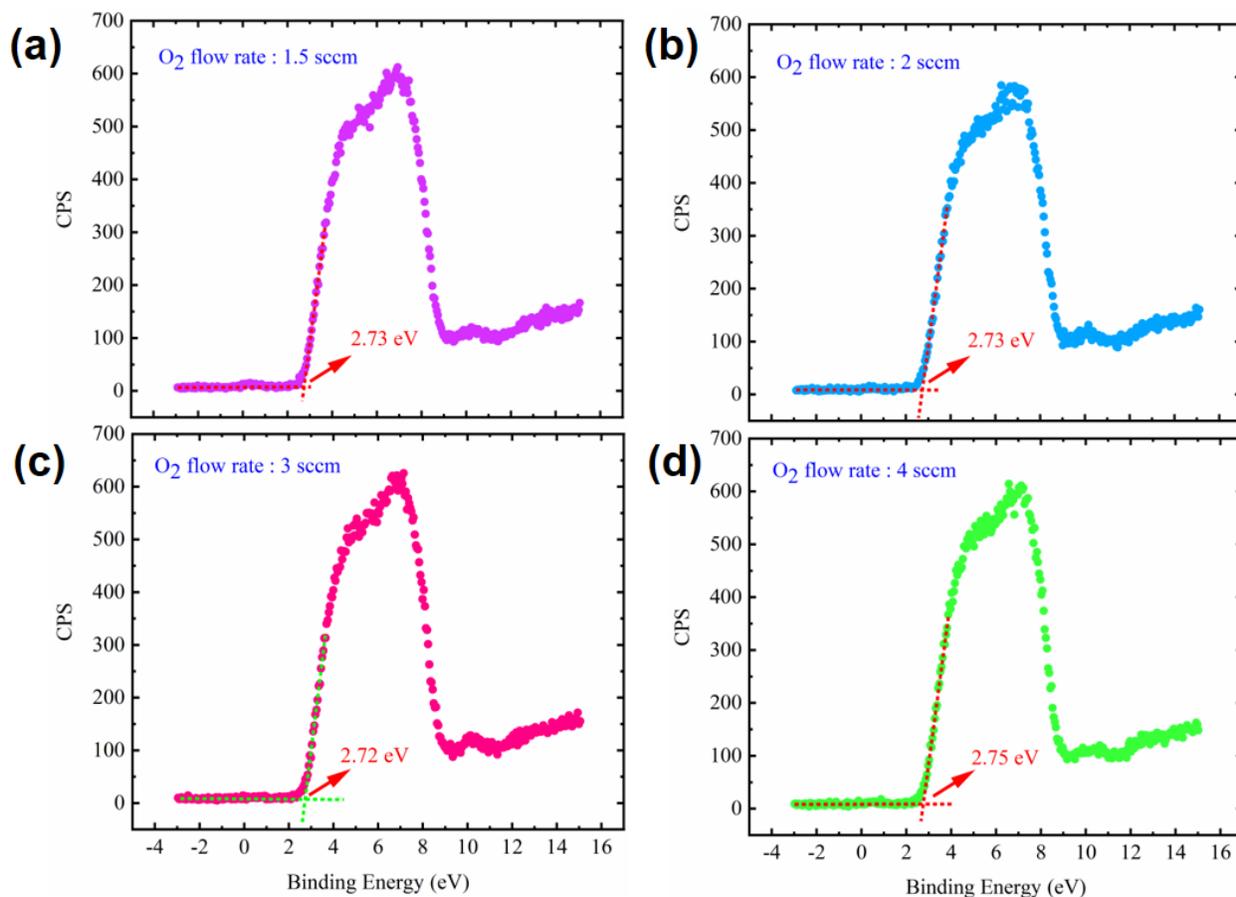


Figure 3.8. VB-XPS spectra for TiO_{2-x} films deposited at different oxygen flow rates: (a) 1.5 sccm (b) 2.0 sccm (c) 3.0 sccm (d) 4.0 sccm.

iv. XPS analysis

Table 3.3. XPS analysis of the Ti2p peak. Deconvolution details

O_2 flow rate (1.5 sccm)	Ti(IV) $2p_{3/2}$	Ti(IV) $2p_{1/2}$	Ti(III) $2p_{3/2}$	Ti(III) $2p_{1/2}$
Peak position (eV)	458.59	464.29	456.66	461.86
FWHM (eV)	1.07	2.05	0.91	1.10
Peak area (%)	65.94	32.92	0.76	0.38

O₂ flow rate (2.0 sccm)	Ti(IV) 2p _{3/2}	Ti(IV) 2p _{1/2}	Ti(III) 2p _{3/2}	Ti(III) 2p _{1/2}
Peak position (eV)	458.50	464.21	456.73	461.93
FWHM (eV)	1.05	2.04	0.97	1.10
Peak area (%)	65.90	32.90	0.80	0.40

O₂ flow rate (3.0 sccm)	Ti(IV) 2p _{3/2}	Ti(IV) 2p _{1/2}	Ti(III) 2p _{3/2}	Ti(III) 2p _{1/2}
Peak position (eV)	458.53	464.26	456.72	461.92
FWHM (eV)	1.05	2.05	0.70	1.10
Peak area (%)	66.30	33.10	0.40	0.20

O₂ flow rate (4.0 sccm)	Ti(IV) 2p _{3/2}	Ti(IV) 2p _{1/2}	Ti(III) 2p _{3/2}	Ti(III) 2p _{1/2}
Peak position (eV)	458.54	464.26	456.70	460.88
FWHM (eV)	1.06	2.04	0.79	0.72
Peak area (%)	66.36	33.14	0.33	0.17

Chapitre 4. Fabrication compatible-CMOS et caractérisations électriques de mémristors à base de TiO_{2-x} pour le calcul-en-mémoire

4.1. Avant-propos de l'article 2

Auteurs et affiliations : Abdelouadoud El Mesoudy^{1,2}, Gwénaëlle Lamri^{1,2}, Raphaël Dawant^{1,2}, Javier Arias-Zapata^{1,2}, Pierre Gliech^{1,2}, Yann Beilliard^{1,2}, Serge Ecoffey^{1,2}, Andreas Ruediger³, Fabien Alibart^{1,2,4}, Dominique Drouin^{1,2}.

¹Institut Interdisciplinaire d'Innovation Technologique (3IT), Université de Sherbrooke, 3000, boulevard de l'Université, Sherbrooke (Québec) J1K 0A5, Canada

²Laboratoire Nanotechnologies Nanosystèmes (LN2) – CNRS, Université de Sherbrooke – 3000, boulevard de l'Université, Sherbrooke (Québec) J1K 0A5, Canada

³Institut National de la Recherche Scientifique (INRS), centre Énergie, Matériaux, Télécommunications, 1650 Boulevard Lionel-Boulet, Varennes (Québec) J3X 1S2, Canada

⁴Institute of Electronics, Microelectronics and Nanotechnology (IEMN), Université de Lille, 59650 Villeneuve d'Ascq, France

Date de publication : Janvier 2022

Journal : *Elsevier - Microelectronic engineering*

Référence : <https://doi.org/10.1016/j.mee.2021.111706> [76]

Contribution du document : cet article contribue à la thèse en démontrant la faisabilité du procédé damascène dans la fabrication de mémristors compatible CMOS, ainsi que la réduction de la rugosité de surface des électrodes en vue de minimiser la variabilité entre composants. Par la suite, la démonstration des caractéristiques électriques a permis de valider le potentiel des mémristors fabriqués à implémenter efficacement les opérations de calcul-en-mémoire.

Résumé en français :

Cette étude vise à démontrer le procédé de fabrication ainsi que les caractéristiques électriques des mémristors passifs sur silicium, à base des couches minces de TiO_2 à concentrations élevées de lacunes d'oxygène développées au chapitre 3. L'étude démontre un procédé de fabrication entièrement compatible-CMOS, incluant des structures crossbar ainsi que des mémristors simples (crosspoint). On rapporte la fabrication de l'électrode inférieure par le procédé damascène, en vue d'améliorer la topographie des électrodes et minimiser la variabilité entre mémristors, qui pourrait provenir des inhomogénéités du procédé de fabrication. Le procédé damascène a résulté en une rugosité de surface assez faible, de l'ordre de 1.1 nm RMS. Par la suite, les caractéristiques électriques des mémristors ont été évaluées en utilisant des sweeps de courant/tensions quasi-statiques, ainsi que des impulsions de tensions de 200 ns pour répliquer les conditions réelles d'opérations des mémristors. Il a été démontré que les mémristors fabriqués présentent une capacité de programmation analogique multiniveaux d'au moins 3 bits, grâce à la stabilité temporelle des états de conductance programmés. De même, les mémristors présentent une endurance de plus de 10,000 cycles, avec un ratio de résistance proche de 10. Nous avons discuté les possibles améliorations qui pourraient être implémentées pour améliorer ce ratio de résistance, ainsi que de minimiser la variabilité cycle-à-cycle de l'état HRS. Par ailleurs, les caractéristiques synaptiques de potentialisation à long terme (LTP) et de dépression à long terme (LTD) présentent une tendance quasi-linéaire. Cette propriété est assez désirable pour les applications qui requièrent une modulation précise des poids synaptiques. En conséquence, les mémristors fabriqués par procédé damascène présentent des caractéristiques électriques satisfaisantes, montrant un fort potentiel à être utilisés comme des synapses artificielles pour des applications neuromorphiques, ainsi que d'implémenter les opérations de calcul-en-mémoire.

4.2. Article 2: Fully CMOS-compatible passive TiO₂-based memristor crossbars for in-memory computing

4.2.1. Abstract

Brain-inspired computing and neuromorphic hardware are promising approaches that offer great potential to overcome limitations faced by current computing paradigms based on traditional von-Neumann architecture. In this regard, interest in developing memristor crossbar arrays has increased due to their ability to natively perform in-memory computing and fundamental synaptic operations required for neural network implementation. For optimal efficiency, crossbar-based circuits need to be compatible with fabrication processes and materials of industrial CMOS technologies. Herein, we report a complete CMOS-compatible fabrication process of TiO₂-based passive memristor crossbars with 700 nm wide electrodes. We show successful bottom electrode fabrication by a damascene process, resulting in an optimised topography and a surface roughness as low as 1.1 nm. DC sweeps and voltage pulse programming yield statistical results related to synaptic-like multilevel switching. Both cycle-to-cycle and device-to-device variability are investigated. Analogue programming of the conductance using sequences of 200 ns voltage pulses suggest that the fabricated memories have a multilevel capacity of at least 3 bits due to the cycle-to-cycle reproducibility.

Keywords: Resistive switching; artificial synapse; memristor crossbars; CMOS-compatible; damascene.

4.2.2. Introduction

Artificial intelligence (AI) based on second-generation artificial neural networks (ANNs) has become ubiquitous thanks to the ever-increasing computational power, availability of datasets, and breakthroughs in learning methods. Deep learning (DL) [1] enabled by deep neural networks (DNNs) has impacted a wide range of sectors, including computer vision, text translation, healthcare, finance, and automotives. Importantly, the operation of DNNs relies heavily on vector-matrix multiplications (VMMs). Executing such fundamentally parallel operations with current von-Neumann computing platforms [77] causes significant performance and energy consumption issues, mainly induced by the serial data transmission between memory and logic cores. Large-scale and energy-inefficient cloud computing solutions are thus mandatory for DNN training, which represents a technological

roadblock, hindering the development of AI-based portable and edge computing applications. Efforts are thus focused towards the development of emerging non-volatile memories (NVMs), especially those based on resistance switching (also called memristors) [6], and an in-memory computing paradigm [78] for energy-efficient ANNs based on VMM accelerators [79].

The memristor is considered as the fourth fundamental two-terminal circuit element, whose internal conductance state depends on the history of current that flows through it [23]. Several memristor classification exist depending on the resistive switching mechanism. Among them, redox-based memristive systems have attracted much attention due to their superior performance in terms of energy consumption and switching speed [80]. These memristor devices rely on ionic and thermal mechanisms involving the formation/rupture of conductive filaments with high concentration of oxygen vacancies [81]. In the case of TiO_2 -based systems, it has been demonstrated that these filaments are composed of Ti_4O_7 Magnéli phase [32] that exhibits a metallic behaviour near room temperature [82].

Furthermore, when organized in crossbar array architecture, memristor devices can naturally perform VMM operations following Ohm's law for multiplication and Kirchhoff's law for current summation. In fact, crossbar arrays of memristors used to both store the synaptic weights of the ANN and perform VMM are very attractive, and simulations of such an approach indicate that several orders of magnitude higher speed-energy efficiencies could be achieved with memristor-based ANNs [83].

For these novel brain-inspired circuits to be scalable, materials and fabrication processes of memory devices must be compatible with the back-end-of-line (BEOL) of industrial CMOS technologies. In that scope, resistive memories based on transition metal oxides are one of the most promising devices owing to their synaptic-like gradual switching behaviour [84]. Recent demonstrations of hardware-implemented neural networks involving this type of memory include either monolithically co-integrated CMOS-memristor circuits [85] or passive memristor crossbar arrays on silicon [86]. However, most of the fabrication processes reported in the literature rely on lift-off techniques and/or metals such as Pt, Pd or Au. Such approaches suffer from several limitations: (i) these techniques are incompatible with industry standards because of material properties and the yield of the process; (ii) Crossbar arrays are very sensitive to electrode resistance and thus benefit from high aspect ratio metal lines that require advanced patterning, etching and filling

processes. (iii) Electrode topographies from lift-off techniques present edge roughness and defects, leading to non-uniform electric fields that can increase the variability in switching.

When studies propose crossbar manufacturing approaches that seem to be compatible with BEOL integration, precise metrology details that allow for the evaluation of the overall fabrication process are often missing. Kim et al. [87] presented a complete work for the fabrication and characterisation of BEOL-compatible passive memristor crossbars. Their bottom electrode fabrication process includes 6 different steps: Ti/Al/TiN deposition, lithography, etching, SiO₂ deposition, and chemical mechanical polishing (CMP) combined with an etch-back process. However, the evaluation of the fabrication process has only been based on scanning electron microscopy (SEM) images, thus providing few details on the planarisation level or the electrode surface and edge roughness.

In this study, we present a complete fabrication process of TiO_{2-x} based memristor crosspoints and up to 8×8 passive crossbars arrays. For bottom electrode fabrication, we used a BEOL-compatible *nanodamascene* process [12], which involves 4 process steps: lithography, plasma etching, TiN deposition, and CMP. Furthermore, morphological characterisation combining atomic force microscopy (AFM) and SEM were used to evaluate the electrode quality in terms of roughness and planarisation. The electrical performance of the devices was evaluated using quasi-DC sweeps and voltage pulse measurements, showing synaptic behaviour emulation. In this study, the electrical characterisation part was conducted on single crosspoints as the crossbar fabrication constituted mainly a process demonstration.

4.2.3. Methods

Figure 4.1 shows the fabrication process of TiO₂-based memristor crosspoints and crossbars, which was conducted on a 22×22 mm² silicon sample covered with a 600 nm thick SiN layer deposited by plasma-enhanced chemical vapour deposition (PECVD). The 700 nm wide (1.4 μm pitch) TiN bottom electrodes were fabricated using four different steps. The lithography step was performed using a RAITH150-Two e-beam writer. The bottom electrode patterns were transferred to the SiN layer by plasma etching using CF₄, H₂, and He chemistry with a flow of 140/12/14 sccm and a power of 100/50 W for coil and platen, respectively [88] (figure 4.1a). The etching time was calibrated to obtain 400 nm deep SiN trenches. The latter were filled with 600 nm thick TiN deposited by reactive sputtering, exhibiting a resistivity of 160 μΩ.cm (figure 4.1b). CMP was used to remove the excess TiN and to planarise the samples, resulting in embedded TiN electrodes in SiN, as shown

in figure 4.1c. To reduce leakage current in the devices, 1.4 nm of Al_2O_3 was deposited by plasma-enhanced atomic layer deposition with a Picosun R-200 advanced ALD system. Trimethylaluminium (TMA) was used as a precursor. A 30 nm thick sub-stoichiometric TiO_{2-x} switching layer was deposited using a Plasmonique SPT 320 sputtering tool. Direct current reactive sputtering of a Ti target was performed in an Ar/O_2 gas mixture using flow rates of 40 and 2 sccm, respectively. The working pressure and sputtering power were set to 6.8 mTorr and 150 W, respectively. The top electrode stack composed of a Ti/TiN bi-layer (10 nm/30 nm) was then deposited in the same sputtering chamber. The Ti layer was used in order to create an oxygen vacancy reservoir and an ohmic interface with TiO_2 layer, while the TiN layer acts as an inert electrode and an oxygen diffusion barrier. To further decrease the TE resistance, a 400 nm thick Al layer was deposited by e-beam evaporation (Edwards Auto 306), as shown in figure 4.1d. The 700 nm wide top electrodes were defined by e-beam lithography using the same parameters as for the bottom electrodes. Both the top electrode stack and the switching layer were patterned by plasma etching using $\text{BCl}_3/\text{Cl}_2/\text{Ar}$ chemistry with a 10/10/10 sccm flow rates and 500/50 W for coil/platen power, respectively (figure 4.1e). It is worthwhile noticing that e-beam lithography steps can be routinely performed by standard deep UV lithography stepper tools in industrial foundries.

Single memristor crosspoints, as well as crossbar arrays, were successfully fabricated using our process (see supplementary figure 4.5). Physical–chemical analysis was performed using SEM inspections and energy dispersive X-ray spectroscopy (EDX), revealing well-defined electrode for 8×8 crossbar arrays (figure 4.1f). A cross-section SEM investigation of one of the memristor devices was performed using a focused ion beam tool. Figure 4.1g shows an SEM cross-section of the device composed of the $\text{Al}_2\text{O}_3/\text{TiO}_{2-x}$ active layer sandwiched by a plasma-etched top electrode and a planar bottom electrode embedded into the SiN layer, resulting from the damascene process. The TiN of the bottom electrode seems porous at the edge of the trench. While this did not cause problems in our study, it may require further attention.

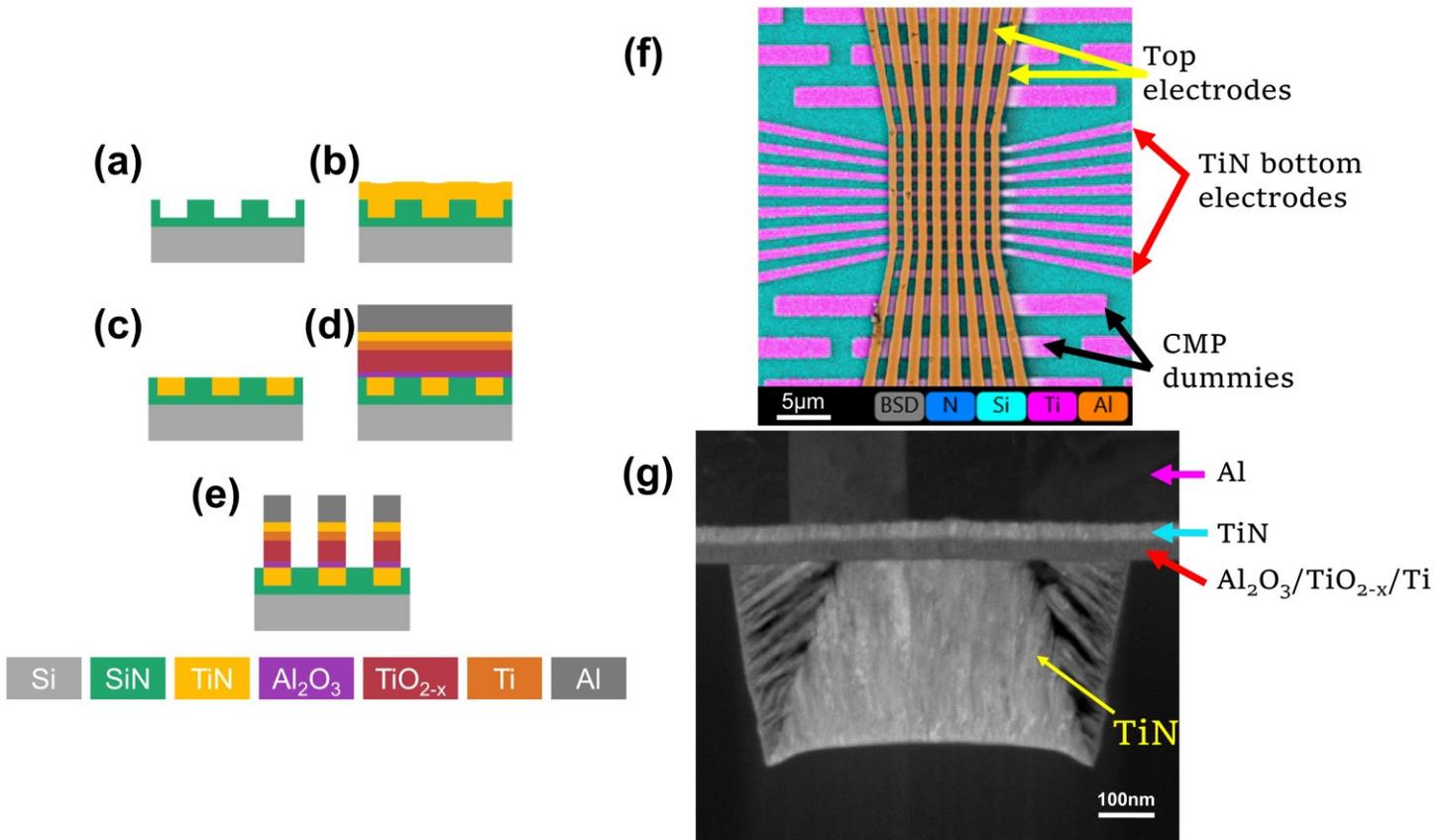


Figure 4.1. Process flow and morphological characterisations of the scalable passive CMOS-compatible TiO_2 -based memristor crossbars. (a–c) Damascene process for bottom electrode patterning, including (a) SiN deposition, e-beam lithography, plasma etching, (b) TiN deposition, and (c) CMP. (d) Switching layer ($\text{Al}_2\text{O}_3/\text{TiO}_{2-x}$) and top electrode stack (Ti/TiN/Al) deposition. (e) Top electrode patterning performed by e-beam lithography and plasma etching. (f) SEM-EDX top-view of an 8×8 crossbar array. (g) SEM cross-section of a memristor.

4.2.4. Results and discussion

Device-to-device (D2D) and cycle-to-cycle (C2C) variability are considered as one of the main challenges hindering the widespread use of memristor-based circuits in a wide range of in-memory computing applications [78][89]. Interestingly, depending on the neural network training strategy, memristor variability may be tolerated or even exploited for some applications [90]. In any case, an on-chip (*in situ*) training strategy is tolerating memristor variability as it has the advantage of using the full range of memristor conductance, and would allow the learning algorithm to account for device variations and non-working devices. On the contrary, an off-chip (*ex situ*) training strategy is more

sensitive to device variations since the training is performed using a software-based neural network where trained synaptic weights need to be transferred to the network [91]. In this case, the off-chip training accuracy can be largely affected if there are non-working devices or a drift in device conductance programming [92].

Some of these device variations can be readily attributed to imperfections in the fabrication process [11][93]. To address this issue, several approaches have been proposed at the circuit level, thus leading to more complex circuitry [94]. The variability limitation can also be addressed by optimising the fabrication processes since the memristor's electrical performance can be largely affected by the quality of the electrodes and the interfaces. Mainly, the electrode surface and edge roughness have proven to be a key source of the memristor's electrical degradation [95], probably due to electric field enhancement at the surface asperities, especially during the electroforming step [96]. To improve the fabrication quality of the electrodes, and thus their uniformity, we developed a damascene process based on a highly controlled CMP step to planarise a 700 nm wide TiN BE. Figure 4.2a shows a SEM image of 8 bottom electrodes after CMP. The AFM scan in figure 4.2b shows a planarised TiN-SiN structure. Because of its lower removal rate, TiN electrodes are slightly above the SiN surface by an average of 8 nm, as demonstrated by the extracted profile in figure 4.2c. The measured root mean square (RMS) electrode surface roughness is as low as 1.1 nm. The damascene process enables the fabrication of high-quality and reproducible bottom electrodes embedded in SiN, with low surface roughness and dishing. However, further optimisations are still needed to reduce the electrode edge effect as it may be considered another source of variability. The developed fabrication process can easily be adopted by silicon foundries for memristor integration in the BEOL of CMOS chips.

To evaluate the electrical behaviour of the fabricated devices, electrical characterisations were conducted on 10 single crosspoints with 700 nm wide electrodes (see figure 4.5a in supplementary materials). Quasi-DC and pulsed measurements were performed using a Wentworth MP900 probe station and a Keithley SCS4200 parametric analyser. For all devices, the bottom electrodes were grounded, and the signals were applied to the top electrodes. Prior to any resistive switching, a voltage-controlled electroforming step was conducted with a current compliance of $I_c = 300 \mu\text{A}$. The current limitation was carried out using an external off-the-shelf transistor in series with the tested devices.

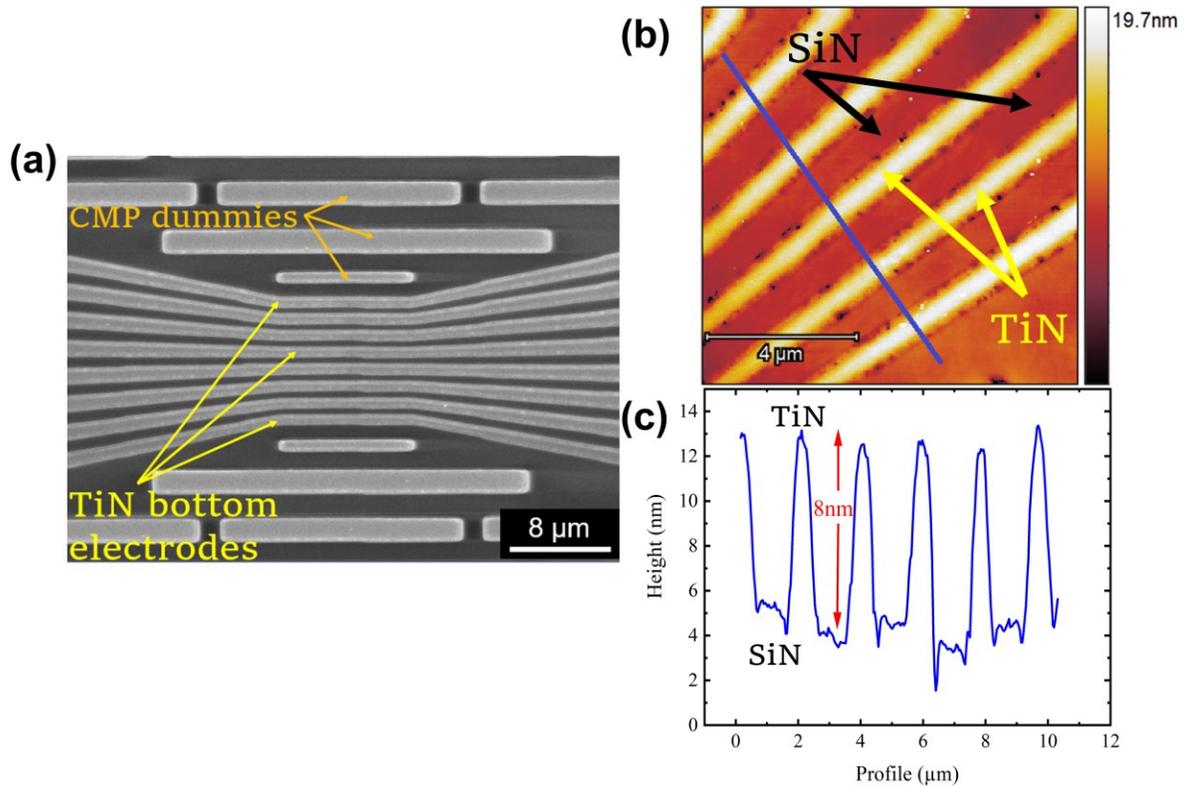


Figure 4.2. Morphological characterisations of the TiN bottom electrodes fabricated by the damascene process. (a) SEM top-view of the planarised TiN bottom electrodes using CMP. (b) AFM 10×10 μm² scan of the embedded TiN bottom electrodes. The blue line shows the position of the extracted profile. (c) Extracted profile illustrating the SiN-TiN planarisation level.

The typical bipolar resistive switching behaviour of our TiN/Al₂O₃/TiO_{2-x}/Ti/TiN/Al memristor devices is shown in figure 4.3a, where 30 quasi-DC switching cycles were performed. In this case, the full switching transition was obtained by applying a negative quasi-DC voltage sweep for the RESET transition (between 0 and -1.4 V), followed by a positive quasi-DC current sweep for the SET transition (between 0 and 1.3 mA). Note that the SET and RESET switching voltages (V_{SET} and V_{RESET} respectively), defined by the inflexion point of dI/dV , show a low standard deviation over 30 cycles as the average values are 0.95 ± 0.048 V (V_{SET}) and -0.84 ± 0.052 V (V_{RESET}). This result suggests a low C2C variability (see inset). Furthermore, the ratio between the high resistive state (HRS) and the low resistive state (LRS) remains slightly higher than 10 after 30 cycles, as shown in figure 4.3b. It is worthwhile noticing that quasi-DC sweeping protocol is not adapted for testing

device endurance, as electrical stress is applied to the memristor for longer periods. To evaluate device endurance, voltage pulses were used resulting in 10,000 switching cycles while maintaining satisfying resistance window — see supplementary figure 4.6.

The D2D variability was investigated using 10 crosspoints fabricated on the same sample as large device variability can be a major limitation towards robust ANN implementation. Figure 4.3c and figure 4.3d demonstrate the average values of the switching voltages (V_{SET} , V_{RESET}) and resistance states (R_{ON} , R_{OFF}), respectively, for 10 different crosspoints. The error bars indicate their standard deviations for 10 cycles.

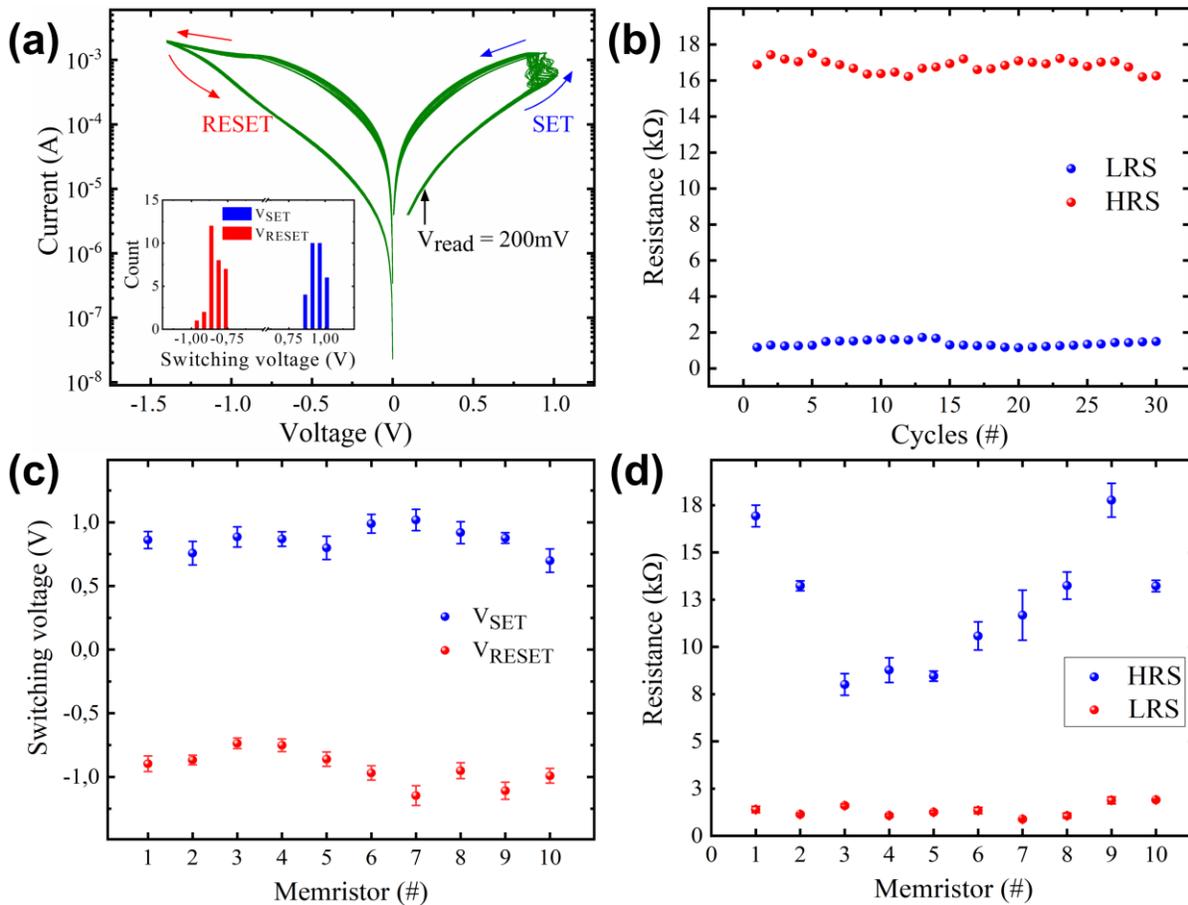


Figure 4.3. Quasi-DC characterisations and statistical analysis of memristor crosspoints. (a) I–V sweeps showing typical bipolar resistive switching. The inset shows a histogram of the V_{SET} and V_{RESET} distribution for 30 cycles. (b) Resistance ratio (R_{ON}/R_{OFF}) evolution over 30 cycles. D2D variability of V_{SET} , V_{RESET} (c) and HRS, LRS (d) for 10 different memristors. The symbols represent the average values, and the error bars indicate their standard deviations for 10 cycles.

The switching voltage average values are 0.86 ± 0.16 V and -0.92 ± 0.22 V for V_{SET} and V_{RESET} , respectively, demonstrating low variability and operating voltages compatible with CMOS integration. The switching voltage distribution is sufficiently narrow to avoid disturbing the half-selected devices in a crossbar implementation. Furthermore, batch-to-batch variability data (supplementary figure 4.7) shows slight deviations in operating voltages over different batches, which might be attributed to variations in the overall fabrication process. It is worthwhile noticing that the 4 different fabricated batches present a production yield of 75 %, 75 %, 71 % and 70 % using an academic clean room facility. Further optimization of the fabrication process is thus needed in order to improve the memristor yield for practical applications. Especially, limiting the amount of uncontrolled defects introduced during the fabrication process steps, including film deposition and patterning steps, should greatly enhance the reliability and yield of the memristors.

On the other hand, the resistance states show a relatively large D2D variability, especially for R_{OFF} (figure 4.3d). In fact, the HRS seems to vary between 8 k Ω and 18 k Ω , which can be attributed to the variability of our forming process despite the use of an external off-the-shelf transistor. Small variations or overshoots of the current compliance induced by capacitive effects in the transistor could indeed lead to the formation of conductive filaments with different geometries from one device to the other. Contrary to the LRS, the HRS is more sensitive to this geometry variation [97], which results in D2D variability. Nevertheless, even the lowest resistance range of 1.5 k Ω to 8 k Ω (ratio ~ 5) is enough to encode the synaptic weights of an ANN for classification tasks [98]. Different strategies can be used to increase the device resistance range, such as: (i) reducing the leakage current of the switching layer matrix as compared the HRS current will result in a higher HRS state. This can be done by optimizing the switching layer oxygen deficiency [83], or by increasing Al_2O_3 layer thickness. However, both strategies can influence the electroforming voltages of our devices. An optimal combination of TiO_2 oxygen deficiency and Al_2O_3 layer thickness needs to be chosen. On the other hand, (ii) reducing the current overshoots during the forming process could also result in an increase of the filament resistance, thus improving the resistance window. Furthermore, (iii) the overall resistance range of our devices could be increased by scaling down the electrode dimensions. This can be easily implemented due to the scalability of our process, which would further limit the leakage currents. However, scaling down electrode's dimensions will result in an increase of line resistance which should be adjusted by increasing the electrode's aspect ratio. Shuang et al. demonstrated a memristor crossbar array with 2 nm feature size showing extreme scalability of

memristors technology, exhibiting low operational current and a large resistance range [99]. This suggests that scaling down the feature size of our devices could potentially lead to a considerable increase in resistance window and reduce the power consumption by lowering the operating current.

Besides binary bipolar switching, we investigated if conductance of our memristors could be tuned gradually to efficiently emulate the weight modulation of synapses in ANNs [100]. To achieve analogue operations, gradual SET (RESET) transitions were first performed by applying multiple quasi-DC current (voltage) sweeps of increasing amplitude, as shown in figure 4.4a. The incremental SET transitions were obtained by gradually increasing the current sweep amplitude from 0 to 1.3 mA with a step of 100 μ A. Likewise, gradual RESET was obtained using voltage sweeps of increasing amplitude from 0 to -1.4 V with a step of 100 mV. The programmed multilevel conductance states are non-volatile and can be retained for more than 10^4 s, as shown in supplementary figure 4.8.

Conductance tuning was also performed on our devices using short voltage pulses. This type of operation provides a better way to reduce the influence of thermal effects and matches the operating conditions of integrated devices. The results of the pulse-based memristor programming are regrouped in figure 4.4b and figure 4.4c, where the long-term depression (LTD) and long-term potentiation (LTP), respectively, can be observed for different voltage values. The pulse sequence was comprised of a 200 ns write pulse followed by a 1 ms read pulse. In total, 400 write pulses were applied to the device for each voltage amplitude. After each pulse sequence, a quasi-DC SET (RESET) sweep was performed to regain the initial high (low) conductance state. For each voltage value, this whole protocol was executed five times in order to evaluate the C2C variability (error bars in figures 4.4b,c).

For the RESET operation (figure 4.4b), the conductance depression varies depending on the applied negative voltage. Low voltage amplitudes (-1.3 V, -1.4 V) result in a relatively small and linear change in the conductance state. Such behaviour is highly desired for online tuning of the synaptic weight, which was proven to improve the learning accuracy of neural networks [101]. Increasing the voltage amplitude (-1.5 V to -1.7 V) results in a more important depression dynamic at the cost of a less linear weight change. A further increase in voltage amplitude (-1.8 V, -1.9 V) results in an abrupt conductance change, which slows down after the first few pulses and then saturates afterwards.

Figure 4.4c represents the conductance potentiation using the same pulse sequence but with positive voltage. No conductance change was observed below 1.1 V. However, conductance potentiation appears to be more abrupt compared to depression dynamics. This may be attributed to the electric-field-driven migration of oxygen vacancies assisted by Joule heating and resulting in a positive feedback effect, leading to an abrupt conductance change following the first few pulses [102]. The associated non-linearity could be lowered by optimising the pulse programming scheme [103] or the pulse shape. It has indeed been reported that a slower pulse rising time can induce gradual filament formation, thus leading to a less abrupt conductance change [104][105].

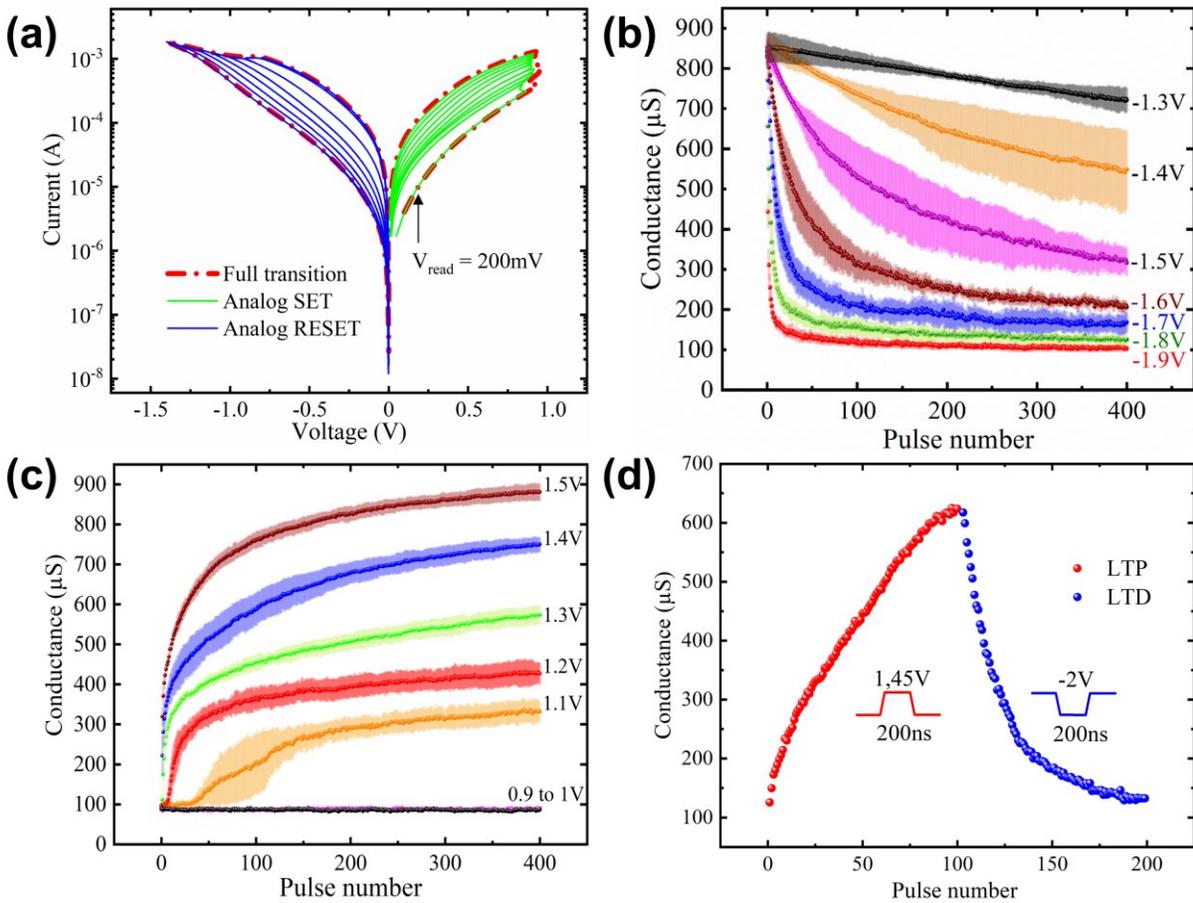


Figure 4.4. (a) Analogue resistive switching obtained by incremental quasi-DC sweeps. In total, 9 gradual SET and 7 gradual RESET increments have been performed. Incremental long-term conductance (b) depression and (c) potentiation showing the switching dynamics induced by 200 ns long voltage pulses for different voltage values. The symbols and coloured error bars represent the average conductance values and their standard deviations for 5 cycles, respectively. (d) Quasi-linear

long-term potentiation and depression curves obtained with 200 ns long pulses. The applied voltage amplitudes were 1.45 V and -2 V for the LTP and LTD, respectively.

As described earlier, we evaluated the C2C variability by repeating the LTP and LTD operations 5 times for a given voltage. For each voltage amplitude, the coloured surface represents the standard deviation for five different cycles. Even though a certain amount of C2C variability is noticeable, note that there is no overlap in the programmed conductance range for different voltage amplitudes. This implies that each voltage amplitude can be used to target a specific conductance range. These results along with the quasi-DC sweeps allow to estimate that our devices have a multilevel capacity of at least 3 bits. Finally, figure 4.4d illustrates the continuous potentiation and depression characteristics obtained using 200 pulses in total. The applied voltage amplitudes were 1.45 V and -2 V for potentiation and depression, respectively. Note that the LTP and LTD characteristics are quasi-linear for the range of conductances going from 250 μ S to 650 μ S. Cycle-to-cycle variability for LTP/LTD characteristic are shown in supplementary figure 4.9.

As previously stated, a linear conductance change is highly desired for precise modulation of device's synaptic weights. All these results suggest that our memristor devices fabricated using a CMOS-compatible approach based on a damascene process are highly competitive for the implementation of scalable artificial synapses.

4.2.5. Conclusion

We have reported a BEOL-compatible fabrication process for TiO_{2-x} based memristors. Crosspoints and crossbar arrays have been fabricated. Successful bottom electrode fabrication by a damascene process has been demonstrated, achieving low surface roughness of 1.1 nm, which allowed for satisfactory resistive switching performance. Analogue conductance switching, cycle-to-cycle and device-to-device variability have been investigated using quasi-DC sweeps and voltage pulse protocols. We have shown that device conductance can be programmed using a sequence of 200 ns pulses of less than 2 V, and can also be controlled to achieve quasi-linear LTP and LTD. Such analogue conductance programming suggests that on-chip learning could be performed with these memristor devices. A multilevel capacity of at least 3 bits could also be used thanks to reproducible C2C characteristics. This work paves the way for CMOS-memristor monolithic 3D integration at an industrial scale, which can offer novel opportunities for the hardware implementation of in-memory computing.

4.2.6. Acknowledgements

This work was supported by the Natural Sciences and Engineering Research Council of Canada (NSERC) HIDATA project 506289-2017 and ERC-CoG IONOS (# GA 773228). A.R. gratefully acknowledges financial support through an NSERC discovery grant (RGPIN-2019-07023). This work was also supported by the CHIST-ERA UNICO project and Fond de Recherche du Québec Nature et Technologies (FRQNT). We would like to acknowledge Abdelatif Jaouad, Julien Pezard, and 3IT.Nano platform for their valuable support with device fabrication. We would also like to thank Yuanyang Guo for her assistance with electrical characterisation.

4.2.7. Supplementary materials

v. SEM top-view images of the fabricated devices

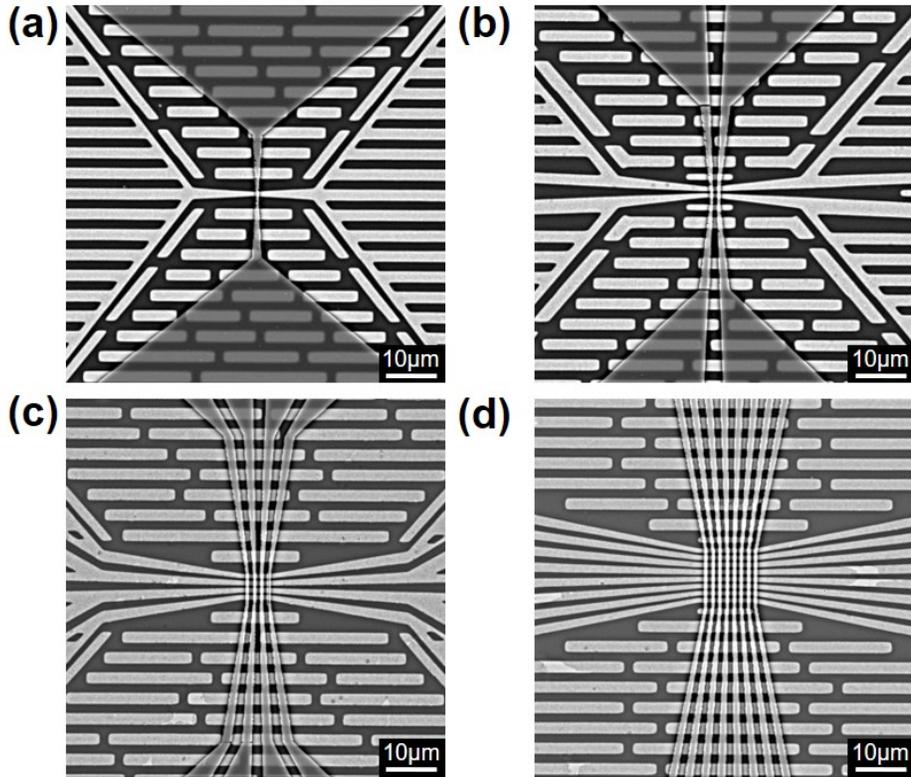


Figure 4.5. SEM images of the different fabricated memristor devices: (a) single crosspoint (b) 2×2 (c) 4×4 and (d) 8×8 crossbar arrays.

vi. Endurance

To evaluate the endurance of the fabricated devices. Short voltage pulses of 10 μs -width and -2.5 V amplitude for the RESET operation. While for the SET operation, pulses of 1 μs -width and 2 V amplitudes were used.

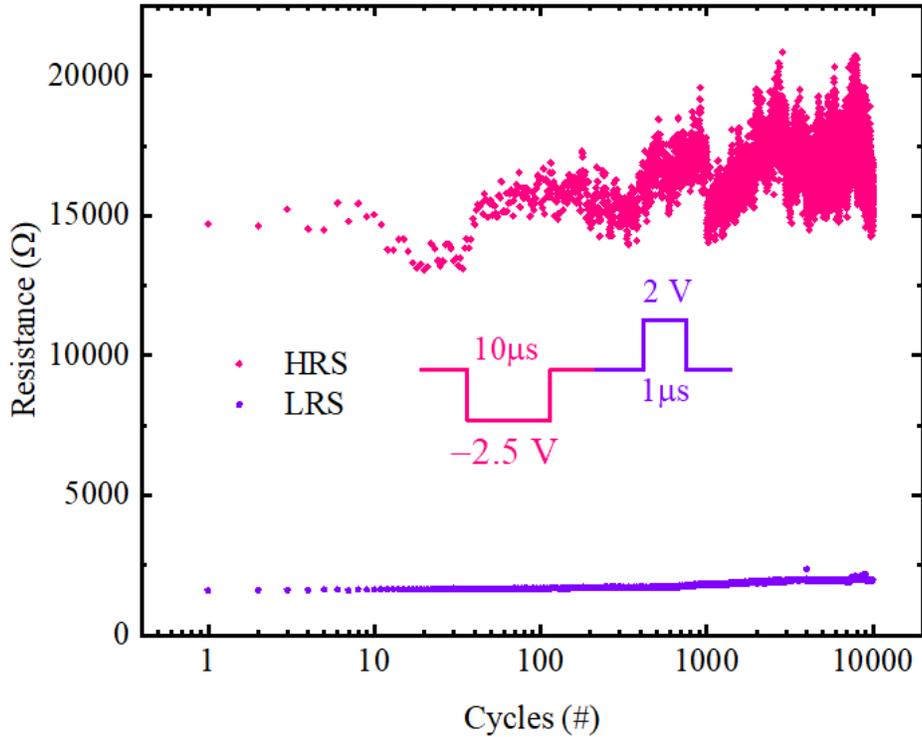


Figure 4.6. Endurance test using short pulses resulting in 10,000 cycles. For the SET operation, 1 μs -width pulses were used with 2 V voltage amplitude. While for the RESET operation, 10 μs -wide pulses were used with -2.5 V voltage amplitude.

vii. Batch-to-batch variability

In order to evaluate the batch-to-batch variability, 4 different batches have been fabricated using an academic clean room facility, presenting a production yield of 75 %, 75 %, 71 % and 70 %. Further optimization of the fabrication process is thus needed in order to improve the memristor yield for practical applications. Especially, limiting the amount of uncontrolled defects introduced during the fabrication process steps, including film deposition and patterning steps, should greatly enhance the reliability and yield of the memristors.

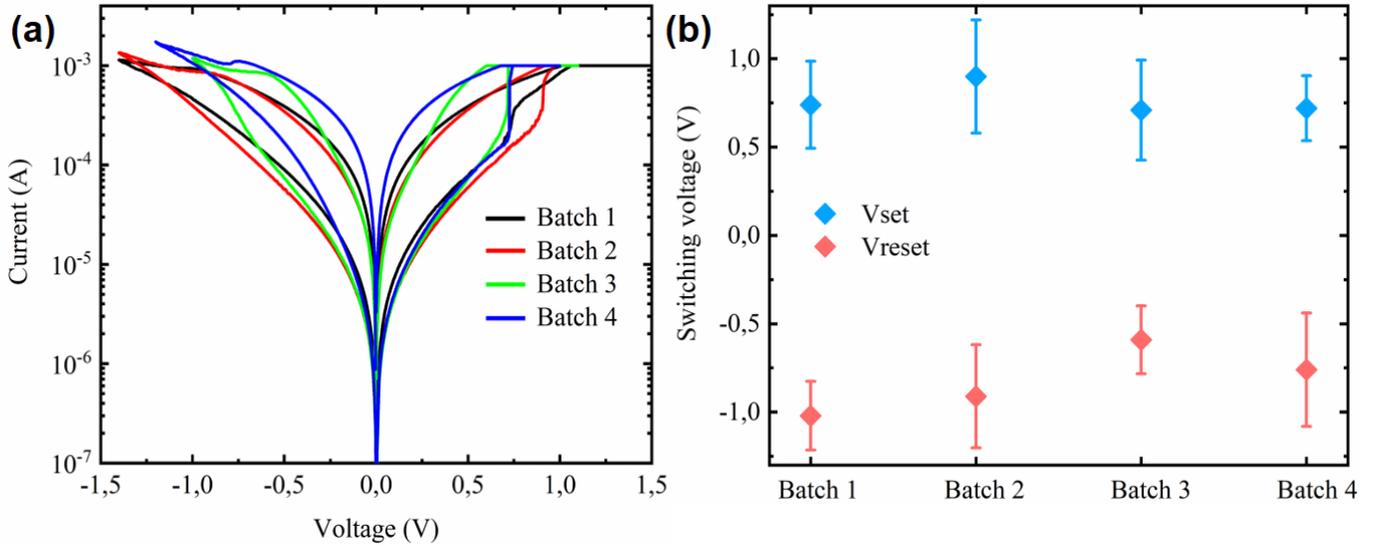


Figure 4.7. Batch-to-batch variability data extracted from 4 different batches: (a) Quasi-DC bipolar switching characteristics for memristor devices fabricated on different batches. (b) Switching voltage values extracted from different batches. A slight deviation can be noticed in switching voltages, which might be due to fabrication process variability. The symbols represent the average switching voltage values and the error bars represent their standard deviation for 10 memristors.

viii. State retention measurements

Retention measurements were performed at room temperature for more than 8 hours for 8 different resistance states, which demonstrates a multilevel capacity of at least 3 bits. After programming each state, a read pulse (1ms-long) has been applied every 5 minutes in order to sense device's resistance. The programmed states are non-volatile for the entire test duration ($3 \cdot 10^4$ s).

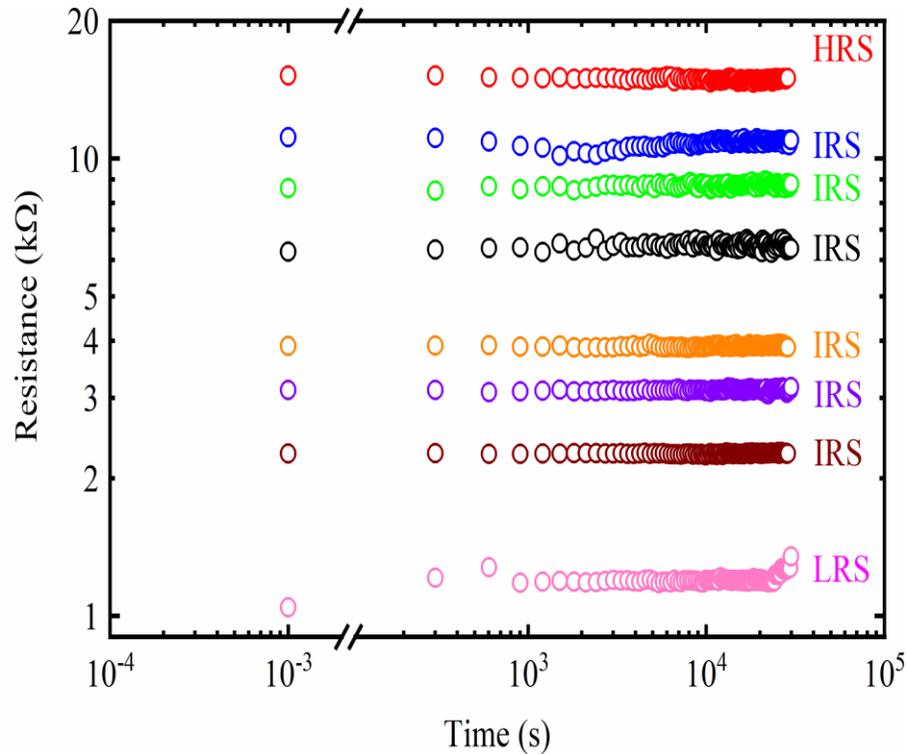


Figure 4.8. State retention measurements performed on a TiN/Al₂O₃/TiO_{2-x}/Ti/TiN/Al memristor crosspoint. In total, 8 resistance states were tested including HRS, LRS and 6 different intermediate resistance states (IRS).

ix. Cycle-to-cycle data for long term potentiation and depression

Figure 4.9 presents cycle-to-cycle data for the LTP/LTD characteristics. For these tests, 200 ns voltage pulses were used, with voltage amplitudes of 1.4 V and -1.9 V for the LTP and LTD, respectively. One can note that the device switches between 2 stable conductance states of 52 μ S and 350 μ S. Gradual LTP characteristics is obtained while the LTD presents a sharp transition. As discussed earlier, the pulse scheme needs to be optimized in order to obtain more gradual characteristics.

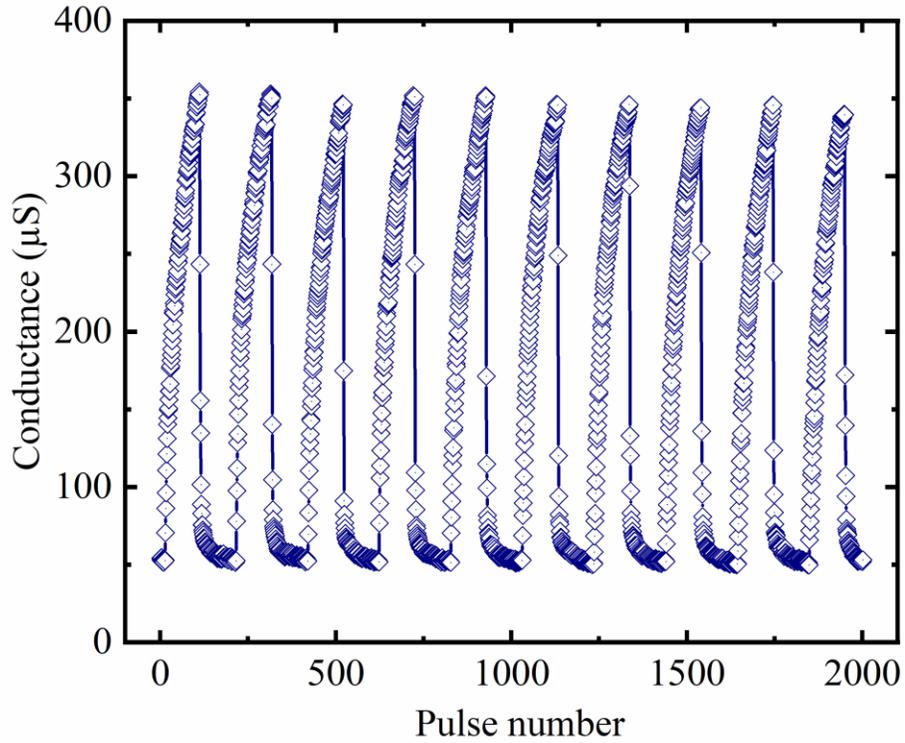


Figure 4.9. Cycle-to-cycle data for the LTP/LTD characteristics using 200 ns voltage pulses. Voltage amplitudes of 1.4 V and -1.9 V were used for conductance potentiation and depression, respectively.

Chapitre 5. Réduction des tensions de forming pour la co-intégration mémristor/CMOS

L'étude menée jusqu'ici a permis de valider le procédé de fabrication des mémristors passifs sur silicium ainsi que de montrer le potentiel de leur caractéristiques électriques à implémenter les fonctions synaptiques. Toutefois, les mémristors sont des composants à deux terminaux qui requièrent l'intégration avec une interface de contrôle CMOS pour garantir des performances optimales. Nous avons démontré la faisabilité d'un procédé de fabrication compatible avec la périphérie de contrôle CMOS en termes de matériaux et des procédés utilisés. De plus, les tensions de commutation résistive reportées pour les opérations SET et RESET (V_{SET} et V_{RESET} , respectivement), se situent en dessous des gammes de tensions tolérées par la périphérie CMOS. Néanmoins, les tensions de forming élevées de nos mémristors représentent toujours un des défis significatifs quant à l'opération des réseaux crossbars et l'intégration mémristor/CMOS, ainsi que leurs influences sur les performances électriques des mémristors en générale. Ce chapitre présente les travaux qui ont été menés durant la thèse en vue de diminuer les tensions de forming de nos mémristors.

5.1. Positionnement de la problématique

Les mémristors requièrent une étape initiale de forming impliquant l'application d'une tension, supérieure à celle des opérations SET et RESET, pour initier la commutation de résistance réversible. Malgré l'optimisation du procédé de dépôt, permettant de moduler la stœchiométrie de la couche active TiO_2 , les tensions de forming restent légèrement au-delà de ce que la périphérie CMOS peut tolérer. La figure 5.1a illustre les niveaux des tensions de forming V_F (généralement entre 6 V et 8 V) comparées à celles de SET et RESET. En plus de l'incompatibilité de ces tensions avec une l'intégration des mémristors/CMOS, de tels niveaux de V_F sont considérés comme sources majeures de variabilité. D'autre part, la performance des crossbars passifs se voit dégrader à cause de la perturbation des opérations de lecture associée aux courants parasites à travers le crossbar. Ces courants sont d'autant plus prononcés lorsque les tensions de forming sont élevées. Généralement, l'étape de forming est assez difficile à contrôler à cause des courants de dépassement (*current*

overshoots) associés aux changements drastiques de résistance que subit le mémristor. L'introduction d'un élément résistif (résistance/transistor), en série avec le mémristor, permet d'alléger la chute de tension aux bornes du mémristor ainsi que limiter le flux de courant qui le traverse pendant la formation du filament.

Afin de détecter ces courants de dépassement lors du forming, nous avons changé la séquence quasi-DC par une séquence d'impulsions de tension courtes (200 ns), comme schématisé dans l'encart de la figure 5.1b. Cette séquence a permis de détecter un pic de courant dépassant la limitation de consigne (400 μ A), et ce malgré l'utilisation d'un transistor externe en série avec le mémristor. Ces impulsions de dépassement excèdent largement la barre de 1 mA, ce qui pourrait influencer sur les niveaux de résistance, ainsi qu'induire la variabilité entre différents mémristors [106]. De ce fait, la réduction des tensions de forming est alors une approche essentielle à entreprendre afin d'optimiser et uniformiser les performances électriques des mémristors ainsi que de rendre possible l'intégration mémristor/CMOS. Idéalement, les mémristors doivent être *forming-free*, ce qui signifie que les tensions de forming doivent s'approcher de celles des opérations SET/RESET. Dans ce qui suit, nous menons une étude visant à réduire ces tensions de forming en utilisant deux principales stratégies complémentaires, à savoir : (i) la réduction de l'épaisseur de la couche active et (ii) le recuit thermique post-fabrication des mémristors.

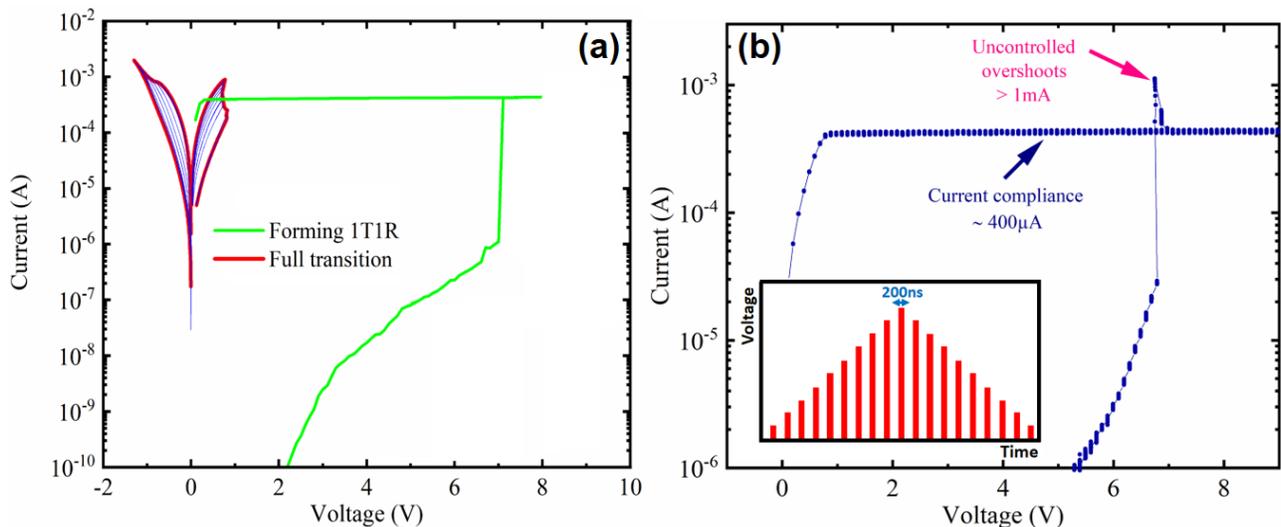


Figure 5.1. (a) Illustration comparative de la caractéristique de forming et celle de commutation résistive pour un mémristor de 700 nm^2 . (b) Démonstration des courants de dépassement qui

excèdent la limitation de courant de consigne. Le forming a été réalisé par la séquence d'impulsions de tensions de 200 ns (voir encart).

5.2. Effet des dimensions des mémristors et de l'épaisseur du TiO₂

La dépendance des tensions de forming sur l'épaisseur du matériau actif a été étudiée et modélisée pour différents mémristors à base de TMO. En effet, S. Amer et al. ont modélisé l'opération de forming pour ce type de mémristors en évaluant l'influence de l'épaisseur ainsi que de l'aire de la couche active. Cela est illustré dans la figure 5.2 qui démontre une dépendance linéaire des tensions de forming avec l'épaisseur de l'oxyde. Sur la base de cette étude, on peut conclure que l'utilisation de mémristor avec des couches de TiO_x plus fines peut être considéré comme moyen de réduction des tensions de forming. Cette stratégie servira aussi à baisser les courants d'opération et l'énergie consommée par les mémristors. De ce fait, il paraît nécessaire d'évaluer l'influence de l'épaisseur de la couche active sur les tensions de forming ainsi que les propriétés électriques des mémristors.

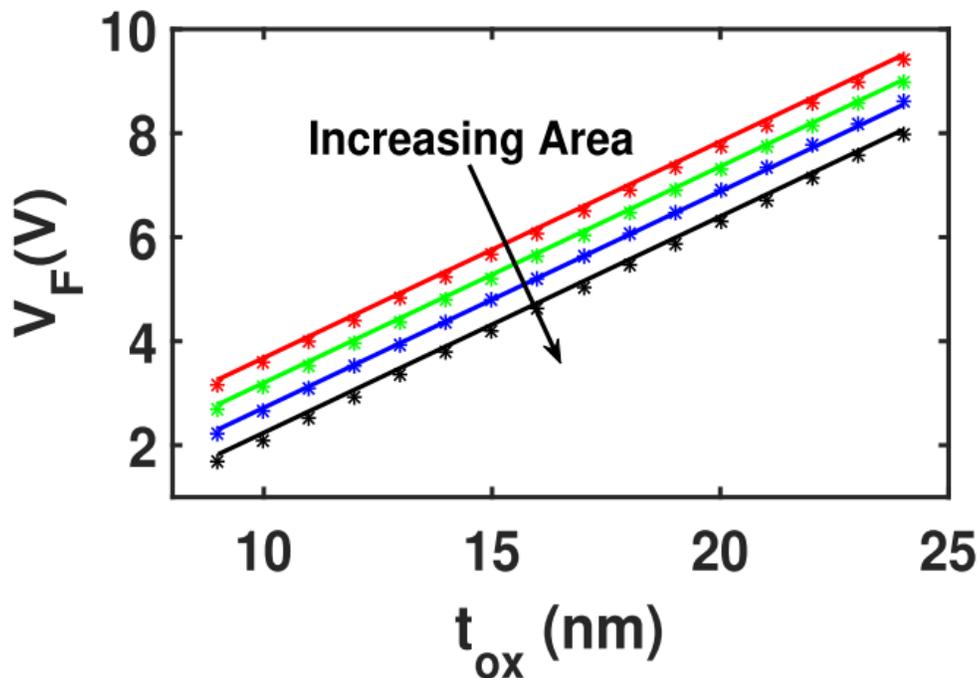


Figure 5.2. Simulations Monte Carlo de l'influence de l'épaisseur (t_{ox}) et de l'aire de la couche active sur les tensions de forming.

5.2.1. Effet de l'épaisseur de la couche active

Dans cette optique, nous avons préparé une série de 4 échantillons (largeur des électrodes est de 200 nm^2), dont la seule variable est l'épaisseur du TiO_2 . Les épaisseurs choisies ont été estimées à 30 nm, 25 nm, 20 nm et 13 nm. Réduire encore plus l'épaisseur du TiO_2 ne peut pas être réalisé avec le procédé de dépôt actuel, vu que les durées de dépôt deviennent de plus en plus courtes. En effet, optimiser davantage le procédé de dépôt serait nécessaire pour obtenir des couches ultra-minces ($<10 \text{ nm}$). L'utilisation de couches actives ultra-minces permettra de réduire la longueur du filament à l'échelle atomique ainsi que minimiser drastiquement la consommation d'énergie des mémristors [107].

La figure 5.3a illustre la distribution des tensions de forming, où les symboles et les barres d'erreurs représentent la médiane des tensions de forming et sa déviation standard pour 5 mémristors caractérisés pour chacun des 4 échantillons. En effet, on remarque une tendance décroissante des tensions de forming avec la réduction de l'épaisseur du TiO_2 , en concordance avec les travaux de modélisation discutés plus haut. Par ailleurs, il semble que cette tendance soit universelle, et ce quel que soit le matériau de la couche active utilisé. Cela signifie que le processus de formation du filament se déclenche à un certain seuil de champs électrique. Ce champ électrique seuil est estimé à 2.7 MV/cm , selon le fit linéaire dans la figure 5.3a, en concordance avec d'autres études [108].

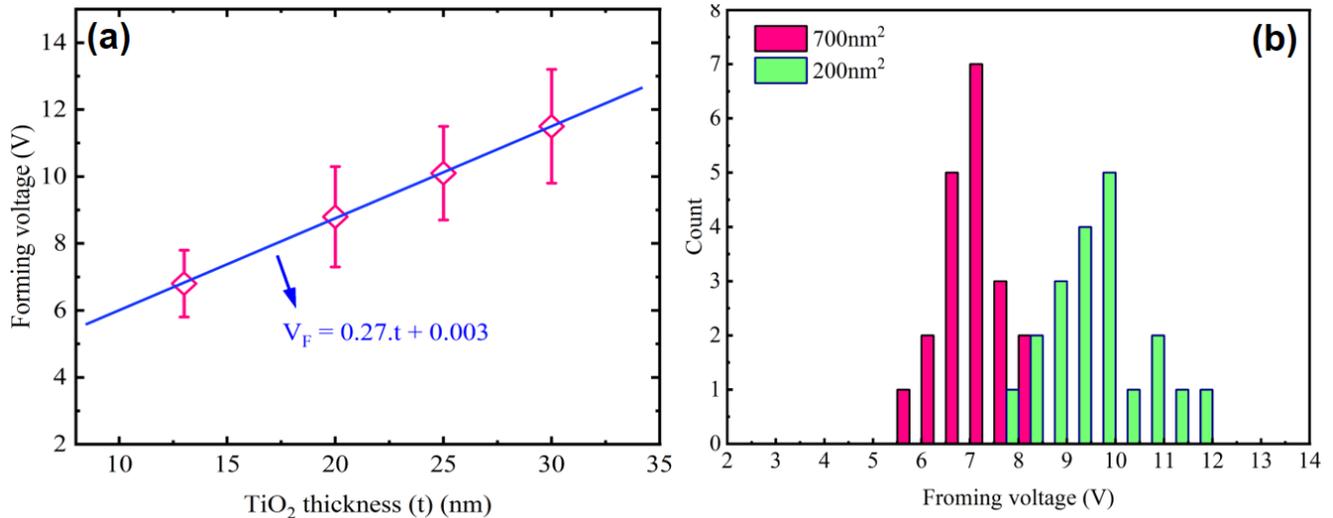


Figure 5.3. (a) Évolution des tensions de forming avec l'épaisseur de la couche active TiO_2 . (b) Distribution statistique des tensions de forming V_F en fonction des dimensions des mémristors.

Sous l'effet de stimulations électriques, les défauts sont générés dans l'oxyde ainsi qu'aux interfaces. Le claquage du diélectrique est initié lorsque la densité de défaut atteint une certaine valeur seuil. Différents modèles ont été proposés afin de décrire le phénomène de génération de défauts, dont le modèle thermochimique qui peut être appliqué pour décrire l'étape de forming en la considérant équivalente à processus de claquage du diélectrique [109]. Dans le cas du TiO₂, les défauts sont principalement des lacunes d'oxygène provenant de la rupture de la liaison atomique Ti-O. Le modèle thermochimique décrit que le taux de génération de défauts (R_{GEN}) dépend uniquement de paramètres qui sont relatifs aux propriétés du diélectrique utilisé, comme le décrivent l'équation (5.1). Où ν_0 représente la fréquence de vibration de la liaison atomique, E_{a0} est l'énergie d'activation associée à la rupture de la liaison à champ électrique nul, E étant le champ électrique appliquée, k_b est la constante de Boltzmann et T représente la température en Kelvin. Le paramètre γ est un facteur qui dépend du moment dipolaire et la permittivité électrique (p_0) du diélectrique utilisé (κ) tel que : $\gamma = p_0 \left(\frac{2+\kappa}{3}\right)$.

$$R_{GEN} = \nu_0 \cdot \exp\left(\frac{E_{a0} - \gamma E}{k_b T}\right) \quad (5.1)$$

5.2.2. Effet de la dimension des mémristors

Dans cette section, nous discutons l'influence des dimensions des mémristors sur les tensions de forming V_F , où nous comparons des mémristors de 700 nm² et de 200 nm². Le même procédé de fabrication décrit au chapitre 4 a été utilisé, et l'épaisseur du TiO_x a été fixée à 30 nm. La seule variable étant la dimension des mémristors. La figure 5.3b illustre la distribution statistique des tensions de forming relevées après la caractérisation de 20 mémristors de chaque échantillon. On remarque que la tension nécessaire pour former le filament de conduction suit une tendance croissante avec la réduction des dimensions des mémristors. Des observations similaires ont déjà été reportées pour d'autres types de mémristors [110]. Cette miniaturisation s'accompagne par la réduction de la densité de défauts nécessaires pour former le filament. La génération d'une densité suffisante requiert alors des tensions de forming plus élevées.

5.2.3. Influence sur les états de résistance des mémristors

La figure 5.4 représente la tendance générale de l'influence de la miniaturisation sur les états de résistances HRS et LRS pour différents mémristors à base de TMO issus de la littérature. En effet, on remarque que l'état HRS suit une tendance inversement proportionnelle à l'aire du mémristor. En revanche, l'état LRS semble peu dépendante de ce paramètre.

Dans notre cas, l'état HRS ne semble pas suivre la dépendance inversement proportionnelle à l'aire du mémristors, en contradiction avec ce qui est reporté dans la littérature. On estime que cet effet est dû principalement aux courants de dépassement. En effet, le diamètre du filament initialement formé dépend de la quantité de courant qui le traverse pendant le forming. Nous avons montré que des intensités de courant allant jusqu'à 1 mA traversent le mémristor malgré la limitation de courant appliquée (figure 5.1b). Ces courants induisent l'augmentation des courants de l'opération RESET. Dans les cas extrêmes, les mémristors restent figés dans un état de basse résistance et ne peuvent être commuté par les opérations RESET subséquentes.

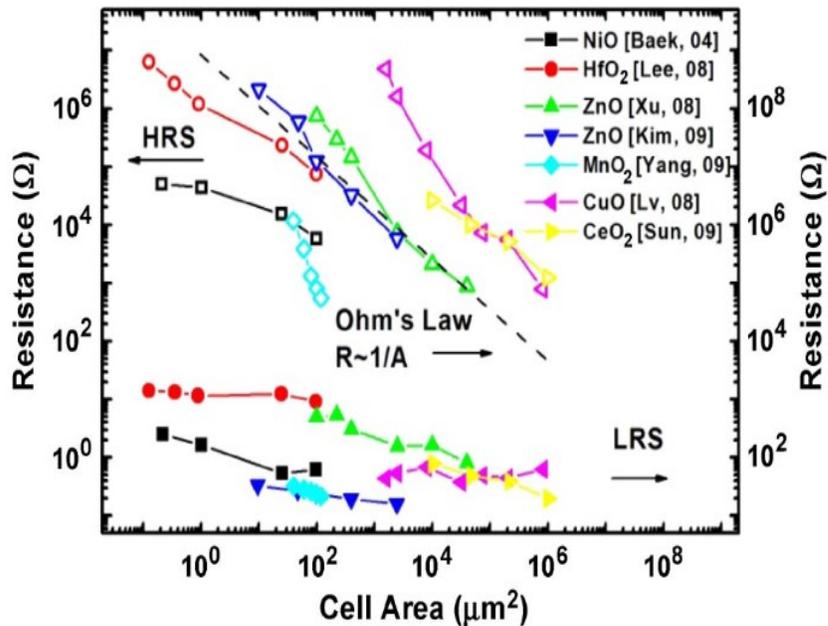


Figure 5.4. Évolution des états de résistance HRS et LRS en fonction des dimensions du mémristor.

Ces courants sont principalement dus aux inévitables capacités parasites qui accompagnent le changement drastique de résistance lors du forming. Cela mène souvent à la variabilité d'un memristor à l'autre, vu que l'amplitude et la durée des courants de dépassement sont incontrôlables. Ce phénomène peut être adressé par l'optimisation de la séquence d'impulsions de tension utilisée pendant le forming en capitalisant sur des séquences ultra-courtes qui pourraient confiner la durée des courants de dépassement et ainsi minimiser leur impact sur la formation du filament.

5.3. Recuit thermique des memristors

L'optimisation des conditions de dépôt de la couche active TiO_2 nous a permis d'obtenir des concentrations de V_O à hauteur de 1 %, comme montré au chapitre 3. Ces concentrations n'étaient pas assez conséquentes pour réduire les tensions de forming au niveau souhaité. Pour ce faire, nous proposons d'inclure une étape de recuit thermique post-fabrication des memristors, qui a pour objectif de favoriser davantage la diffusion des ions d'oxygène vers l'électrode réactive et introduire un gradient élevé de concentration de lacunes d'oxygène dans le TiO_2 pour faciliter la formation du filament pendant l'étape de forming.

5.3.1. Influence de l'électrode réactive

La nature de l'électrode réactive est un paramètre essentiel à prendre en compte lors du design et de la fabrication du memristor, essentiellement lorsqu'une étape de recuit thermique est prévue dans le procédé. À titre d'exemple, S. Williams et al. ont étudié l'influence de différentes électrodes (Au, Ag, Pt, Ni, Cr, W et Ti) sur les propriétés électriques des memristors de TiO_2 [111]. Il a été conclu que la barrière électronique à l'interface Métal/ TiO_2 est dépendante de l'électrode utilisée, qui contrôle le processus de génération des lacunes d'oxygène à l'interface. En effet, En se basant sur le diagramme d'Ellingham, qui donne l'énergie libre de formation d'oxyde en fonction de la température (figure 5.5), on déduit que des métaux comme le Ni, W et Cr ne peuvent pas réduire le TiO_2 entièrement jusqu'au Ti métallique, vu que l'énergie libre de formation des oxydes NiO , WO_3 et Cr_2O_3 est largement supérieure à celle du TiO_2 .

Par ailleurs, d'autres métaux comme l'aluminium et le magnésium peuvent réduire entièrement le TiO_2 et générer des concentrations importantes de lacunes d'oxygène à l'interface avec le TiO_2 . Pourtant, ils ne sont pas adaptés pour utilisation comme électrode réactive pour memristors à cause

de leur tendance élevée à diffuser dans le TiO_2 . D'autres part, le métal noble (Au) présente une énergie libre de formation d'oxyde positive ainsi qu'un travail de sortie élevé (5.1 eV). Par conséquent, l'utilisation de métaux nobles ne favorise pas la réduction du TiO_2 à l'interface Au/ TiO_2 et risque de créer une barrière électronique de type Schottky.

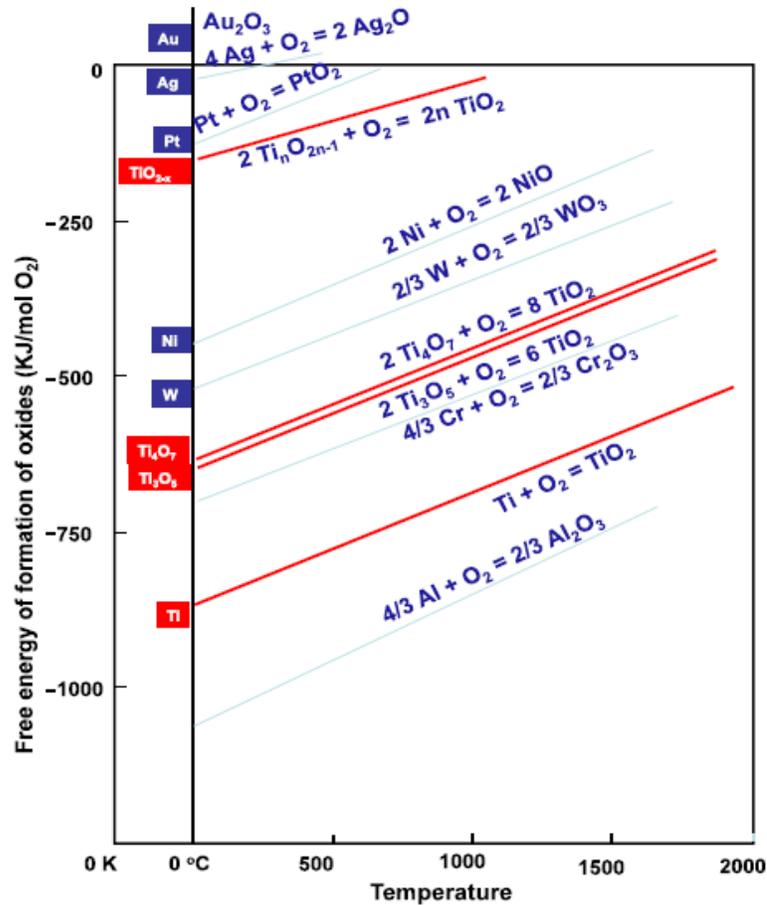


Figure 5.5. Diagramme d'Ellingham donnant l'énergie libre de formation de TiO_2 et ses différentes phases, en fonction de la température [111].

Par conséquent, on en déduit que selon le choix de l'électrode réactive, l'interface Métal/ TiO_2 pourrait influencer également sur la résistance initiale du mémristor. Dans notre cas, nous avons fait le choix d'utiliser le titane comme électrode réactive, vu son énergie libre de formation d'oxyde élevée, sa compatibilité avec le TiO_2 ainsi que son travail de sortie bas comparé aux autres métaux. Cela favorisera la génération des concentrations de lacunes d'oxygène additionnelles à l'interface Ti/ TiO_2 notamment à l'étape du recuit thermique.

5.3.2. Influence du recuit thermique

Nous avons adopté la méthode du recuit thermique afin d'ajuster la concentration des lacunes d'oxygène dans le TiO_2 au niveau souhaité. Ce procédé consiste à favoriser la diffusion des lacunes d'oxygène vers l'interface inférieure du mémristor. L'augmentation de la concentration des lacunes d'oxygène dans le TiO_2 est considérée comme un dopage permettant de baisser la résistance initiale des mémristors et réduire leurs tensions de forming, qui s'avère nécessaire pour l'intégration mémristor/CMOS et l'opération de l'architecture crossbar. Le recuit a été établi dans un four RTA (*Rapid thermal annealing*) sous une atmosphère réductrice (*forming gas*) composée d'azote (95%) et d'hydrogène (5%) afin de favoriser les réactions de réduction du TiO_2 .

Il est donc essentiel de déterminer les paramètres du recuit thermique optimales pour introduire la concentration de lacunes d'oxygène nécessaire pour la réduction des tensions de forming au niveau souhaité. Tout d'abord, le fait que les mémristors développés seront intégrés dans le BEOL de puces CMOS impose que l'ensemble des procédés de fabrication, dont l'étape du recuit thermique, soient être réalisés à des température inférieures à 450 °C. Par ailleurs, il a été montré que la diffusion d'oxygène à l'interface Ti/ TiO_2 commence à des températures autour de 350 °C [112].

La Figure 5.6a illustre l'évolution de la résistance initiale des mémristors (avant forming) lorsqu'ils sont soumis à des températures de 300 °C et 350 °C en fonction de la durée du recuit. On remarque que, pour le recuit qui a été réalisé à 300 °C, la résistance initiale des mémristors reste proche de l'état vierge, ce qui signifie que la génération des lacunes d'oxygène n'a pas été assez conséquente et n'exercerait pas une grande influence sur les tensions de forming. D'autres part, lorsque le recuit est réalisé à 350 °C, la résistance initiale des mémristors chute de plus de deux ordres de grandeurs après uniquement 2 minutes de recuit et de 5 ordres de grandeurs après 8 minutes de recuit, indiquant une génération importante des lacunes d'oxygène dans le TiO_2 , lors du recuit à 350 °C. Pour la suite, on fixe la température du recuit à 350 °C.

L'influence du traitement thermique à 350 °C sur les tensions de forming est illustré dans la figure 5.6b pour des temps de recuits variables. On déduit que la courbe de forming shift vers les basses tensions quand la durée du recuit augmente. Les tensions de forming suivent alors une tendance décroissante avec l'augmentation de la durée cumulative du recuit. On remarque également que seulement les mémristors recuits pour une durée de 2 minutes et plus présentent des caractéristiques de forming inférieures à 3 V, ce qui correspond à l'objectif souligné. Cependant, on observe un

rétrécissement de la caractéristique I-V du forming (courbe verte), indiquant une diminution du ratio de résistance R_{ON}/R_{OFF} à cause de la génération de concentration importante de lacunes d'oxygène au-delà de 4 minutes de recuit. En effet, le filament créé devient de plus en plus grand à partir de 8 minutes de recuit, les opérations de RESET subséquentes n'ont pas réussi à commuter le mémristor vers l'état HRS.

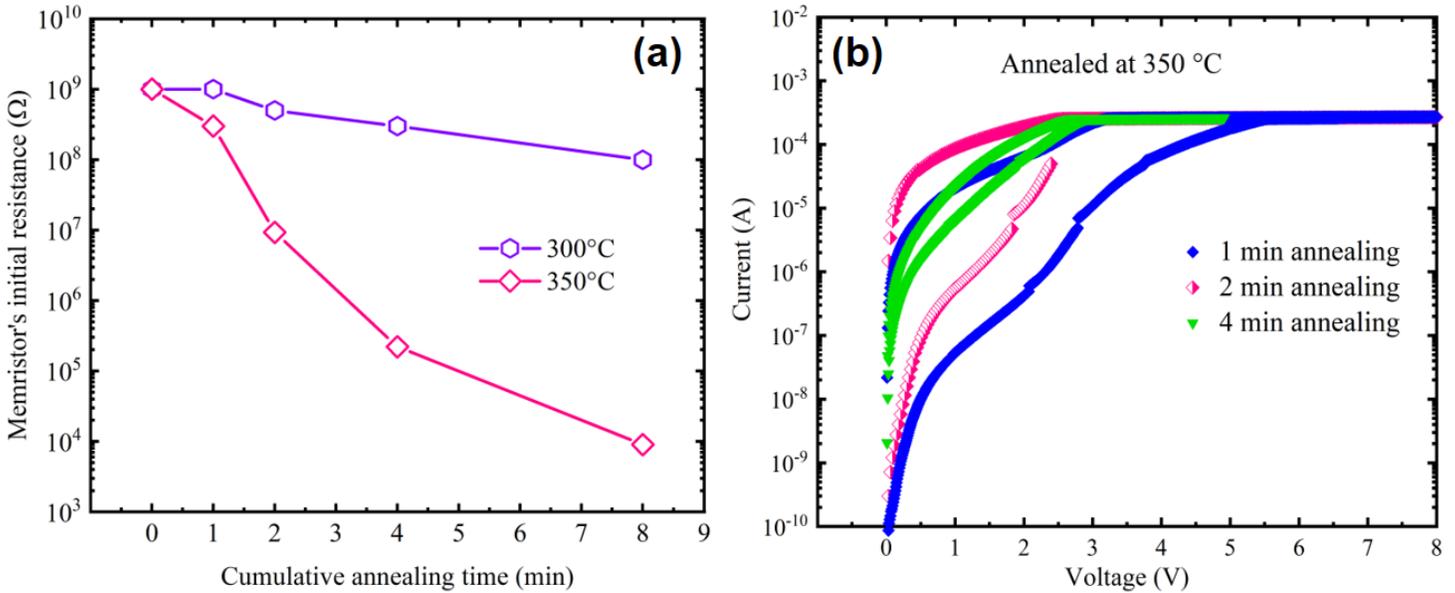


Figure 5.6. (a) Évolution de la résistance initiale des mémristors en fonction de la température et de la durée cumulative du recuit thermique. (b) Caractéristique du forming pour des mémristors dont le recuit a été réalisé à 350 °C pour 1min, 2min et 4min.

5.4. Limitations liées au traitement thermique

Le traitement de recuit thermique a été utilisé afin de varier le profil de la concentration des lacunes d'oxygène à l'interface Ti/TiO₂, en vue en baisser les tensions de forming nécessaire pour la formation du filament. Cependant, nous avons remarqué que cette approche vient avec certaines limitations que nous reportons dans cette section.

5.4.1. Dérive temporelle de la résistance initiale

Sous l'effet du recuit thermique, la résistance initiale du mémristor passe de l'ordre du G Ω à seulement quelques M Ω . Cela est dû à la concentration élevée des lacunes d'oxygène considérées

comme un dopage de type n du TiO_2 , ce qui induit la création de nouvelles bandes de défauts, donneurs d'électrons, près de la bande de conduction qui augmentent la concentration des porteurs de charges, comme expliqué au chapitre 3. Après recuit, et une fois que l'échantillon est exposé à l'air, nous avons remarqué que la résistance initiale des mémristors augmente de manière continue, passant de $4 \text{ M}\Omega$ à $40 \text{ M}\Omega$ dans quelques heures, comme le montre l'exemple sur la figure 5.7 (courbe bleue). En effet, une fois que l'échantillon est exposé à l'air, il est fortement probable que les molécules d'oxygène présentes dans l'air s'adsorbent à la surface de l'échantillon, et les ions d'oxygène pourraient diffuser dans la structure. Cette diffusion augmente la concentration d'oxygène dans la couche active avec le temps, qui auront tendance à occuper les sites des lacunes d'oxygène et les neutralise. Cela induit une diminution de la concentration des porteurs de charges dans la couche active, d'où l'augmentation de la résistance observée.

Vu que la résistance initiale est directement liée aux tensions de forming des mémristors, ce phénomène de dérive temporelle de la résistance risque d'induire encore plus de variabilité (D2D) entre mémristors. Pour cela, et afin de limiter les interactions chimiques de nos dispositifs avec l'environnement externe, nous avons décidé d'ajouter une couche de passivation (Si_3N_4). Le procédé de passivation est décrit dans la figure 5.8. On dépose une couche de 500 nm de SiN par PECVD (*plasma-enhanced chemical vapour deposition*), qui couvre complètement la jonction du mémristor. Les pads de contact ont été ouverts pour permettre la caractérisation électrique des composants.

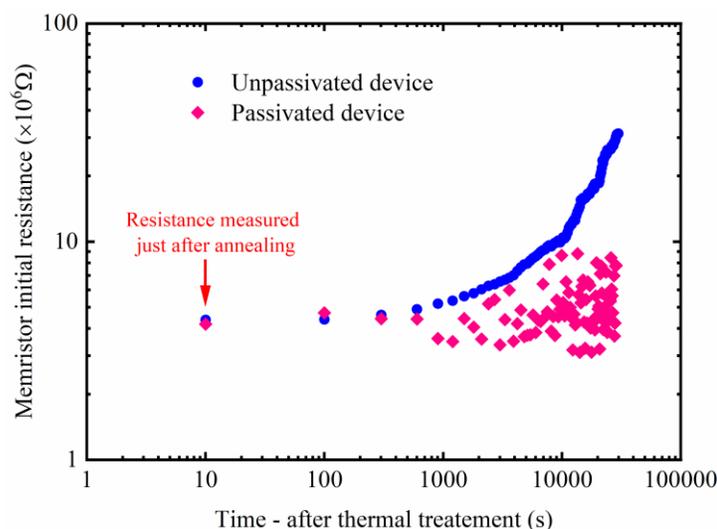


Figure 5.7. Évolution de la résistance initiale du mémristor après un traitement de recuit thermique, montrant une dérive temporelle en fonction du temps pour les mémristors non-passivés.

La figure 5.7 (courbe rose) illustre l'évolution de l'état de résistance initiale des mémristors passivés, après avoir subi le traitement de recuit thermique. On en déduit que le phénomène de dérive de la résistance des mémristors n'est plus observé. Ainsi, le procédé de passivation permet de bien isoler les structures de potentielles échanges chimiques avec l'atmosphère vu que le SiN agit comme barrière contre la diffusion de l'oxygène/humidité.

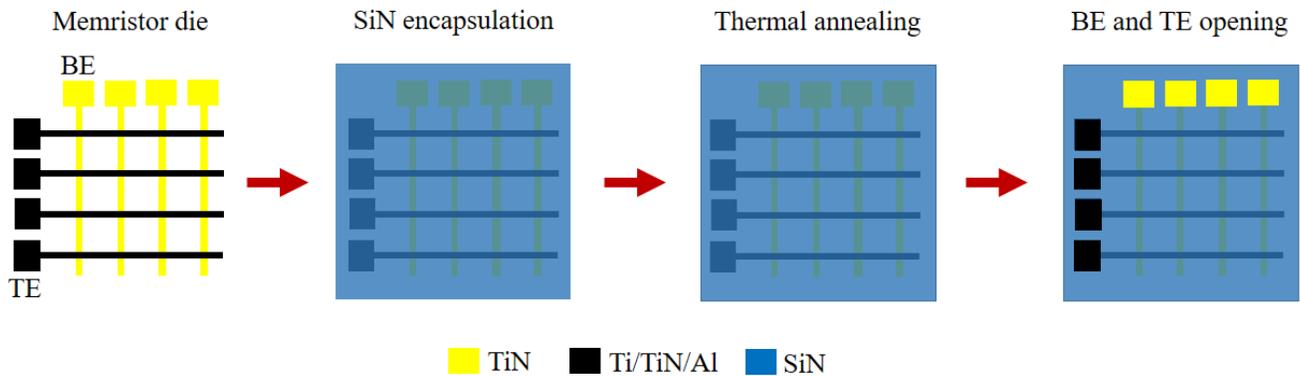


Figure 5.8. Illustration du procédé de passivation des mémristors avec une couche mince de SiN de 500 nm.

Cependant, nous avons constaté une détérioration significative des caractéristiques électriques des mémristors passivés. Après forming, l'opération RESET pour faire commuter les mémristors vers l'état HRS, n'était plus réussie. Cela est probablement lié à la diminution de l'apport d'oxygène suite à la passivation de l'échantillon. En effet, l'opération RESET se base sur la diffusion des ions O^{2-} ainsi que leur recombinaison avec les lacunes d'oxygène. Cela met en évidence l'importance de l'atmosphère qui agit comme réservoir d'oxygène dans le processus de commutation résistive. Ce phénomène a déjà été abordé dans la littérature : Chen et. al ont observé (pour des mémristors Au/Ta₂O₅/Au) que l'opération RESET cesse une que fois l'échantillon est placé sous vide, et qu'elle redevienne active dans les conditions ambiantes [113].

Pour valider que la détérioration des caractéristiques électriques provienne de la passivation, nous avons arraché la couche de SiN qui couvre la surface de l'échantillon pour ré-exposer les mémristors à l'environnement externe. Dans ce cas, l'opération RESET redevient active et les propriétés de commutation résistive ont été rétabli, comme le montre la figure 5.9. Cette expérience confirme le rôle de la couche de passivation SiN dans la dégradation des caractéristiques électriques des

mémristors. Cela pourrait être attribué aux propriétés intrinsèques du SiN de barrière contre la diffusion d'oxygène. Dans la suite du projet, d'autres types de passivation (e.g SiO₂) seraient testées afin de surmonter le problème de dégradation des caractéristiques électriques causé par la passivation SiN.

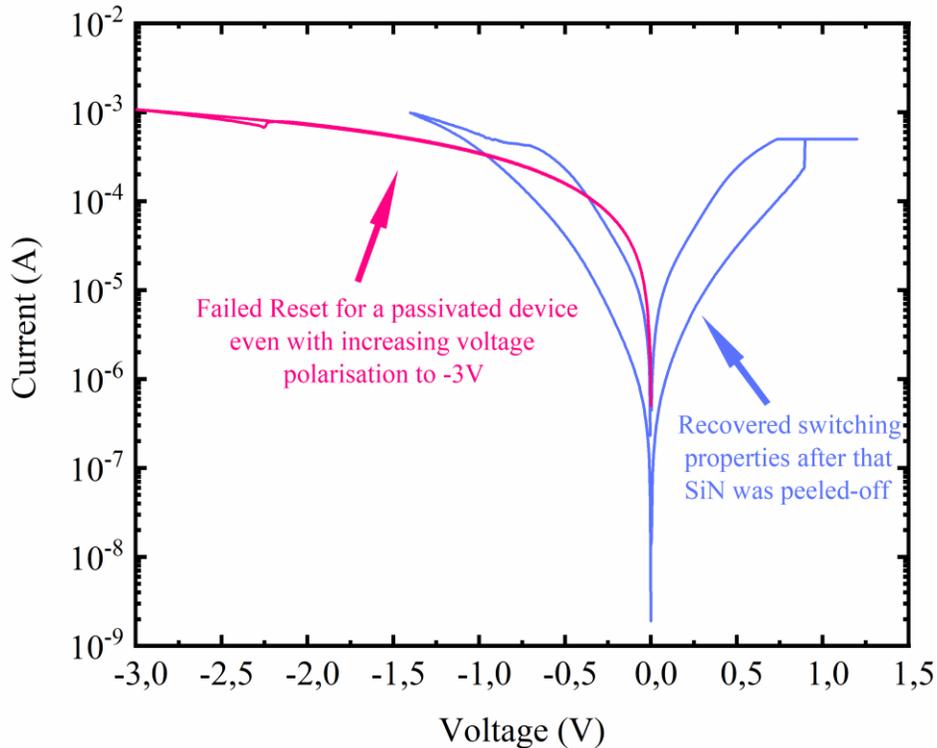


Figure 5.9. Influence de la passivation SiN sur les caractéristiques électriques des mémristors.

5.4.2. Courants de fuite

Le traitement thermique des mémristors a permis d'améliorer leur conductivité électrique en augmentant la concentration des lacunes d'oxygène dans la couche de TiO_x. Ces défauts possèdent une charge positive (+2) et l'augmentation de leur concentration s'accompagne également par la réduction des espèces Ti⁴⁺ en Ti³⁺ pour maintenir la neutralité des charges. Par ailleurs, Henkel et al. [114] démontrent une relation proportionnelle entre la concentration des espèces Ti³⁺ et l'augmentation de la conductivité ainsi que les courants de fuite dans les couches minces de TiO₂, qu'ils ont attribué aux pièges d'électrons présents près du bas de la bande de conduction qui assistent le transport électronique (*shallow traps assisted charge transport*). Sur la base de cette analyse, on rapporte l'influence du traitement thermique sur l'opération de forming. Nous avons remarqué que

les mémristors qui ont subi un recuit thermique requièrent des intensités de courant plus élevées pour avoir un forming réussi.

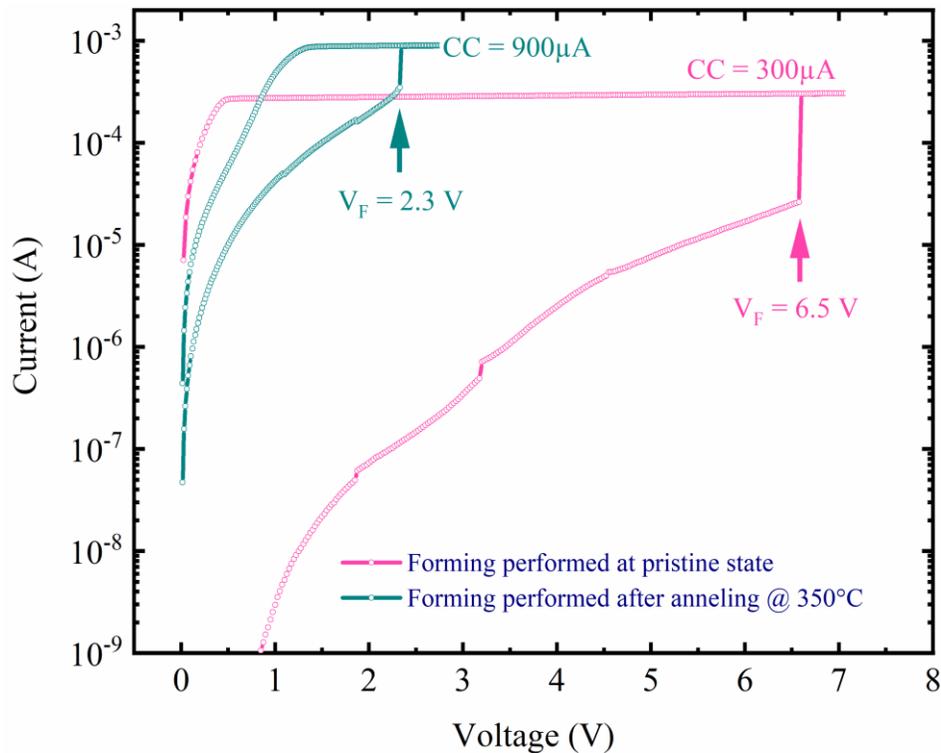


Figure 5.10. Comparaison des caractéristiques de forming avant et après recuit thermique. Il a fallu augmenter la limitation de courant de $300 \mu\text{A}$ à $900 \mu\text{A}$ pour pouvoir former les mémristors recuits. Cet effet pourrait provenir de l'augmentation des courants de fuites suite au traitement thermique.

La figure 5.10 illustre une comparaison des caractéristiques de forming de deux mémristors du même échantillon, avant et après traitement thermique. D'abord, on en déduit l'influence du recuit sur la chute des tensions de forming qui passe de 6.5 V à 2.3 V. Pourtant, il a fallu augmenter la limitation de courant de $300 \mu\text{A}$ à $900 \mu\text{A}$ pour pouvoir réussir le forming des mémristors recuits. On suppose que ce besoin d'intensités de courant élevées est essentiellement attribué à l'augmentation des courants de fuite pour les mémristors qui ont subi un traitement thermique.

5.5. Conclusions

Ce chapitre représente une étude exploratoire des stratégies permettant la réduction des tensions de forming des mémristors tout en gardant des propriétés électriques satisfaisantes. Nous avons présenté la problématique associée aux opérations de forming à tensions élevées. Ainsi, nous avons proposé des approches complémentaires pour palier à cette limitation :

(i) La réduction de l'épaisseur de la couche active constitue une des stratégies prometteuses qui ont été explorées vu que les tensions de forming suivent une tendance quasi-linéaire avec l'épaisseur de la couche active. Suite à cette étude, nous avons estimé que le champ électrique seuil nécessaire pour former le filament est de 2.7 MV/cm. Cependant, nous n'avons pas pu explorer des épaisseurs de TiO₂ inférieures à 13 nm, vu que les conditions de dépôts de TiO₂ réactif deviennent instables à courte durée de dépôt, ce qui pourrait mettre en cause la qualité du TiO₂ (concentration des lacunes d'oxygène, résistivité...etc). De plus, d'autres phénomènes apparaissent à faible épaisseur (courants tunnel) qui pourraient dégrader la fiabilité des mémristors.

(ii) Également, nous avons évalué l'influence des dimensions des mémristors sur les tensions de forming. Il s'est avéré qu'elles suivent une tendance inversement proportionnelle à la réduction de la taille des mémristors, ce qui devrait être prise en considération lors de la miniaturisation de ces composants. On s'attend à ce que la miniaturisation agressive des composants se voit significativement freiner par l'augmentation des tensions de forming. Le développement de composants *forming-free* est alors requis, et peut être accompli en poussant encore plus l'optimisation de la stœchiométrie et l'épaisseur du matériau actif.

(iii) L'étape de recuit thermique post-fabrication des mémristors a également été investiguée comme moyen de réduire les tensions de forming. Les conditions optimales de recuit ont été évaluées à 350 °C (pour 2 minutes) sous atmosphère réductrice, montrant des tensions de forming inférieures à 3 V. Certes, l'influence du recuit thermique sur les propriétés électriques des mémristors reste à investiguer, essentiellement en lien avec la fiabilité (endurance et rétention). On rapporte également les contraintes liées à la passivation des mémristors, qui est une étape essentielle pour pouvoir intégrer ces dispositifs dans le BEOL. Il a été conclu que la passivation SiN détériore les propriétés de commutation résistive, probablement à cause du blocage de l'apport d'oxygène de l'environnement

externe, du fait des propriétés du SiN à faire barrière contre la diffusion d'oxygène. D'autres matériaux de passivation restent à évaluer (SiO₂ par exemple).

Chapitre 6. Conclusions générales et perspectives

6.1. Synthèse générale

Le besoin toujours grandissant dans les performances des paradigmes de calcul a permis de dévoiler l'incapacité de l'architecture conventionnelle de von Neumann à satisfaire les exigences de l'électronique de prochaine génération. Cela a mené à la nécessité de repenser en profondeur le traitement de l'information au niveau du paradigme et d'explorer d'autres approches plus avantageuses. Notamment, l'approche de calcul-en-mémoire émerge en tant qu'alternative prometteuse capable de dépasser l'étranglement de von Neumann, en poussant l'idée de minimiser les communications entre le processeur et la mémoire par la création un système dans lequel ils ne sont pas séparés physiquement. Cette approche nécessite l'utilisation de composants électroniques qui peuvent, simultanément, stocker l'information et effectuer les opérations de calcul. En particulier, la technologie des mémoires résistives (mémristors) présente un fort potentiel à implémenter l'approche de calcul-en-mémoire surtout lorsqu'elles sont agencées sous forme d'architecture crossbar, qui a l'avantage d'implémenter naturellement les opérations VMM selon les lois physiques d'Ohm et de Kirchhoff.

Cette thèse s'inscrit dans le cadre d'un projet de recherche qui vise la conception d'un système versatile d'intelligence artificielle en capitalisant sur les avantages de l'intégration des technologies CMOS avec les mémristors (OxRAMs). L'objectif de ce travail de thèse consiste à développer et optimiser les propriétés des matériaux constituant les mémristors (le matériau actif et les électrodes), ainsi que d'évaluer leurs caractéristiques électriques et potentiel à implémenter les fonctions synaptiques.

Dans l'optique de développer la brique de base pour la conception des mémristors, ce travail de thèse a d'abord visé le développement et l'optimisation des propriétés des couches minces de TiO_2 , afin de les utiliser comme matériau à commutation de résistance pour les dispositifs mémristors. L'objectif principal a été de démontrer un bon contrôle de la stœchiométrie et la concentration de

défauts, dont l'opération de forming des mémristors dépend fortement. De plus, le matériau à commutation de résistance ainsi que le procédé de dépôt utilisé doivent être transférables et compatibles avec la périphérie de contrôle CMOS. L'approche que nous avons proposée consiste à utiliser le procédé de pulvérisation réactive qui amène plus de flexibilité à varier les conditions de dépôt afin de moduler les propriétés des couches minces déposées. L'analyse de la caractérisation matériau a permis d'évaluer l'influence des conditions de dépôt sur les propriétés optiques, structurales et la composition chimique du TiO_2 . Les résultats de cette étude ont permis de repérer les conditions optimales pour le dépôt des couches minces de TiO_2 à haute concentration de défauts, ce qui constitue une des stratégies empruntées pour réduire les tensions de forming des mémristors.

Les couches minces de TiO_2 optimisées ont été intégrées comme matériau à commutation de résistance dans la fabrication des mémristors. Le procédé damascène, développé à l'Université de Sherbrooke, a été utilisé pour la fabrication de l'électrode inférieure de la structure MIM. Cela a permis d'améliorer la planarisation de la structure ainsi que de réduire significativement la rugosité de l'électrode, considérée comme un paramètre majeur à accentuer la variabilité entre différents composants. Par la suite, les propriétés électriques des mémristors ont été évaluées, montrant une endurance de 10,000 cycles et une rétention d'au moins 3 bits grâce à la stabilité temporelle des états programmés. Nous avons également démontré les opérations de potentialisation et de dépression à long terme, comme première étape de validation que les mémristors fabriqués peuvent implémenter efficacement les fonctions synaptiques.

Pour une performance optimale de ces mémristors lorsqu'ils sont intégrés dans une architecture crossbar, il a fallu adresser la contrainte des tensions de forming élevés en adoptant deux principales stratégies, à savoir la réduction de l'épaisseur du matériau actif ainsi que de moduler sa concentration en lacunes d'oxygène par le biais d'un traitement thermique. Nous avons démontré la faisabilité des deux procédés à baisser les tensions de forming des mémristors, Pourtant, une étude statistique plus poussée doit encore être effectuée afin de déterminer l'influence de ces deux paramètres sur les caractéristiques électriques et la fiabilité des mémristors.

Finalement, cette thèse a mis en œuvre un procédé de dépôt du matériau actif qui constitue l'élément de base des composants à commutation de résistance. En bénéficiant des procédés de fabrication de l'Université de Sherbrooke, nous avons pu démontrer le potentiel de ces composants à

implémenter les fonctions synaptiques, ce qui ouvre la voie pour de futurs travaux qui exploiteront les propriétés de ces mémristors pour l'électronique neuromorphique.

6.2. Perspectives proposées

L'ensemble des résultats obtenus pendant la thèse ouvre de possibles champs d'explorations ainsi que de potentielles améliorations à implémenter. Les perspectives que nous proposons peuvent être résumées ainsi :

(i) La stœchiométrie de la couche active TiO_x peut encore être améliorée en transférant le procédé de dépôt vers un système de pulvérisation plus performant. Le procédé de dépôt développé avec le système actuel s'approche des limites de l'équipement en termes de puissance délivrée à la cathode (150 W) et du débit de gaz. Le procédé de pulvérisation réactive est une compétition entre les phénomènes de pulvérisation et celle de l'oxydation de la cible. Les contraintes de l'équipement ont limité notre capacité à avoir des conditions extrêmes de pressions partielles d'oxygène, qui pourraient mener à des couches de TiO_x avec plus de déficience en oxygène.

(ii) Des améliorations peuvent aussi être implémenter au niveau de la structure MIM du mémristor. Notamment, l'épaisseur de la couche de Al_2O_3 pourrait être optimisée puisqu'elle joue un rôle important dans la suppression des courants de fuites ainsi que d'augmenter la non-linéarité de la caractéristiques I-V.

(iii) En vue d'intégrer les crossbars dans le BEOL de la périphérie CMOS. La passivation des mémristors s'avère nécessaire pour assurer le dépôt de la couche RDL (*redistribution layer*), qui relie les pads de contact du crossbar avec les transistors du CMOS. De plus, l'influence du recuit thermique sur la stabilité temporelle de la résistance des mémristors a nécessité que nous procédions à passiver les composants pour minimiser les échanges chimiques avec l'atmosphère. Pourtant, la passivation SiN a eu un impact négatif sur les caractéristiques électriques des mémristors. Par conséquent, d'autres matériaux de passivation (SiO_2) doivent être testés et évalués.

(iv) La fiabilité des mémristors qui ont subi un traitement thermique n'a pas pu être évalué. Le traitement thermique modifie drastiquement la concentration des lacunes d'oxygène, ce qui pourra influencer principalement sur l'endurance des composants.

Liste des références

- [1] LeCun Y, Bengio Y and Hinton G 2015 Deep learning Nature **521** 436–44
- [2] Smith S J, Nau D and Throop T 1998 Computer Bridge: A Big Win for AI Planning AI Magazine **19** 93–93
- [3] Von Neumann, John. First draft of a report on the EDVAC. [Philadelphia:] Moore School of Engineering, University of Pennsylvania, June 30, 1945.
- [4] Silver D, Huang A, Maddison C J, Guez A, Sifre L, van den Driessche G, Schrittwieser J, Antonoglou I, Panneershelvam V, Lanctot M, Dieleman S, Grewe D, Nham J, Kalchbrenner N, Sutskever I, Lillicrap T, Leach M, Kavukcuoglu K, Graepel T and Hassabis D 2016 Mastering the game of Go with deep neural networks and tree search Nature **529** 484–9
- [5] Zidan M A, Strachan J and Lu W 2018 The future of electronics based on memristive systems
- [6] Chua L 2011 Resistance switching memories are memristors Appl. Phys. A **102** 765–83
- [7] Burr G W, Shelby R M, Sebastian A, Kim S, Kim S, Sidler S, Virwani K, Ishii M, Narayanan P, Fumarola A, Sanches L L, Boybat I, Le Gallo M, Moon K, Woo J, Hwang H and Leblebici Y 2017 Neuromorphic computing using non-volatile memory Advances in Physics: X **2** 89–124
- [8] Yao, P. et al. Fully hardware-implemented memristor convolutional neural network. Nature 577, 641–646 (2020).
- [9] V. Ravi, S. Singh, S. Sofana Reka, Transactions on Emerging Telecommunications Technologies 2021,32, 4143
- [10] Joshua Yang J, Miao F, Pickett M D, Ohlberg D A A, Stewart D R, Lau C N and Williams R S 2009 The mechanism of electroforming of metal oxide memristive switches Nanotechnology **20** 215201
- [11] Niu D, Chen Y, Xu C and Xie Y 2010 Impact of process variations on emerging memristor Design Automation Conference Design Automation Conference pp 877–82
- [12] Drouin D, Droulers G, Labalette M, Lee Sang B, Harvey-Collard P, Souifi A, Jeannot S, Monfray S, Pioro-Ladriere M and Ecoffey S 2017 A Fabrication Process for Emerging Nanoelectronic Devices Based on Oxide Tunnel Junctions Journal of Nanomaterials **2017** 1–8

- [13] TW Hickmott - Low-Frequency Negative Resistance in Thin Anodic Oxide Films: Journal of Applied Physics: Vol 33, No 9
- [14] Gibbons J F and Beadle W E 1964 Switching properties of thin NiO films Solid-State Electronics **7** 785–90
- [15] Bekheet A The switching phenomenon in amorphous In,Te, thin films
- [16] HV Novel Switching and memory in ZnSe–heterojunctions: Applied Physics Letters: Vol 17, No 4
- [17] VE Henrich, G Dresselhaus, HJ Zeiger Phys. Rev. Lett. **36**, 1335 (1976) - Observation of Two-Dimensional Phases Associated with Defect States on the Surface of TiO₂
- [18] Beck A, Bednorz J G, Gerber Ch, Rossel C and Widmer D 2000 Reproducible switching effect in thin oxide films for memory applications Appl. Phys. Lett. **77** 139–41
- [19] Asamitsu A, Tomioka Y, Kuwahara H and Tokura Y 1997 Current switching of resistive states in magnetoresistive manganites Nature **388** 50–2
- [20] Zhuang W W, Pan W, Ulrich B D, Lee J J, Stecker L, Burmaster A, Evans D R, Hsu S T, Tajiri M, Shimaoka A, Inoue K, Naka T, Awaya N, Sakiyama A, Wang Y, Liu S Q, Wu N J and Ignatiev A 2002 Novel colossal magnetoresistive thin film nonvolatile resistance random access memory (RRAM) Digest. International Electron Devices Meeting, Digest. International Electron Devices Meeting, pp 193–6
- [21] Chua L 1971 Memristor-The missing circuit element IEEE Transactions on Circuit Theory **18** 507–19
- [22] Dearnaley G, Stoneham A M and Morgan D V 1970 Electrical phenomena in amorphous oxide films Rep. Prog. Phys. **33** 1129–91
- [23] Strukov D B, Snider G S, Stewart D R and Williams R S 2008 The missing memristor found Nature **453** 80–3
- [24] Park J, Kwon D-H, Park H, Jung C U and Kim M 2014 Role of oxygen vacancies in resistive switching in Pt/Nb-doped SrTiO₃ Appl. Phys. Lett. **105** 183103
- [25] Lee S, Lee J S, Park J-B, Koo Kyoung Y, Lee M-J and Won Noh T 2014 Anomalous effect due to oxygen vacancy accumulation below the electrode in bipolar resistance switching Pt/Nb:SrTiO₃ cells APL Materials **2** 066103
- [26] Bursill L A and Hyde B G 1971 On the aggregation of wadsley defects in slightly reduced rutile The Philosophical Magazine: A Journal of Theoretical Experimental and Applied Physics **23** 3–15
- [27] Van Landuyt J and Amelinckx S 1973 On the generation mechanism for shear planes in shear structures Journal of Solid State Chemistry **6** 222–9

- [28] K Szot, M Rogala, W Speier, Z Klusek, A Besmehn and R Waser TiO₂ a prototypical memristive material 2011 *Nanotechnology* **22** 254001
- [29] Dearnaley G, Morgan D V and Stoneham A M 1970 A model for filament growth and switching in amorphous oxide films *Journal of Non-Crystalline Solids* **4** 593–612
- [30] Hoshino K, Peterson N L and Wiley C L 1985 Diffusion and point defects in TiO_{2-x} *Journal of Physics and Chemistry of Solids* **46** 1397–411
- [31] Kim K M, Jeong D S and Hwang C S 2011 Nanofilamentary resistive switching in binary oxide system A review on the present status and outlook *Nanotechnology* **22** 254002
- [32] Kwon D-H, Kim K M, Jang J H, Jeon J M, Lee M H, Kim G H, Li X-S, Park G-S, Lee B, Han S, Kim M and Hwang C S 2010 Atomic structure of conducting nanofilaments in TiO₂ resistive switching memory *Nature Nanotech* **5** 148–53
- [33] Hoskins, B. D. et al. Stateful characterization of resistive switching TiO₂ with electron beam induced currents. *Nat. Commun.* **8**, 1972 (2017).
- [34] Waser R 2012 *Nanoelectronics and Information Technology: Advanced Electronic Materials and Novel Devices* (John Wiley & Sons)
- [35] Tetzlaff R 2013 *Memristors and Memristive Systems* (Springer Science & Business Media)
- [36] Ielmini D and Menzel S 2016 *Universal Switching Behavior: From Fundamentals of Nanoionic Redox Processes to Memristive Device Applications* pp 317–40
- [37] Abunahla H and Mohammad B 2018 *Memristor Device Overview Memristor Technology: Synthesis and Modeling for Sensing and Security Applications Analog Circuits and Signal Processing* ed H Abunahla and B Mohammad (Cham: Springer International Publishing) pp 1–29
- [38] Yang, J. J., Strukov, D. B. & Stewart, D. R. Memristive devices for computing. *Nature Nanotechnol.* **8**, 13–24 (2013)
- [39] Strukov D B, Alibart F and Stanley Williams R 2012 Thermophoresis/diffusion as a plausible mechanism for unipolar resistive switching in metal-oxide-metal memristors *Applied Physics A: Materials Science & Processing* **107** 509–18
- [40] Yang J J, Borghetti J, Murphy D, Stewart D R and Williams R S 2009 A Family of Electronically Reconfigurable Nanodevices *Advanced Materials* **21** 3754–8
- [41] Noman M, Sharma A A, Meng Lu Y, Kamaladasa R, Skowronski M, Salvador P A and Bain J A 2014 Mechanism of localized electrical conduction at the onset of electroforming in TiO₂ based resistive switching devices *Appl. Phys. Lett.* **104** 113510

- [42] Nauenheim C, Kuegeler C, Ruediger A and Waser R 2010 Investigation of the electroforming process in resistively switching TiO₂ nanocrosspoint junctions *Appl. Phys. Lett.* **96** 122902
- [43] Gilmer D C, Bersuker G, Park H-Y, Park C, Butcher B, Wang W, Kirsch P D and Jammy R 2011 Effects of RRAM Stack Configuration on Forming Voltage and Current Overshoot 2011 3rd IEEE International Memory Workshop (IMW) 2011 3rd IEEE International Memory Workshop (IMW) pp 1–4
- [44] Patil M K, Shaikh S and Ganesh I Recent Advances on TiO₂ Thin Film Based Photocatalytic Applications (A Review) *Current Nanoscience* **11** 271–85
- [45] Euvananont C, Junin C, Inpor K, Limthongkul P and Thanachayanont C 2008 TiO₂ optical coating layers for self-cleaning applications *Ceramics International* **34** 1067–71
- [46] Ju Y, Wang M, Wang Y, Wang S and Fu C 2013 Electrical Properties of Amorphous Titanium Oxide Thin Films for Bolometric Application *Advances in Condensed Matter Physics* **2013** e365475
- [47] Nowotny M K, Sheppard L R, Bak T and Nowotny J 2008 Defect Chemistry of Titanium Dioxide. Application of Defect Engineering in Processing of TiO₂-Based Photocatalysts *J. Phys. Chem. C* **112** 5275–300
- [48] Jiang X, Zhang Y, Jiang J, Rong Y, Wang Y, Wu Y and Pan C 2012 Characterization of Oxygen Vacancy Associates within Hydrogenated TiO₂: A Positron Annihilation Study *J. Phys. Chem. C* **116** 22619–24
- [49] Manan Mehta et al. Hydrogen treated anatase TiO₂: A new experimental approach and further insights from theory - *Journal of Materials Chemistry A* (RSC Publishing)
- [50] Morgan B J and Watson G W 2010 Intrinsic n-type Defect Formation in TiO₂: A Comparison of Rutile and Anatase from GGA+U Calculations ACS Publications
- [51] Yang S, Halliburton L E, Manivannan A, Bunton P H, Baker D B, Klemm M, Horn S and Fujishima A 2009 Photoinduced electron paramagnetic resonance study of electron traps in TiO₂ crystals: Oxygen vacancies and Ti³⁺ ions *Appl. Phys. Lett.* **94** 162114
- [52] Bursill L A, Hyde B G, Terasaki O and Watanabe D 1969 On a new family of titanium oxides and the nature of slightly-reduced rutile *The Philosophical Magazine: A Journal of Theoretical Experimental and Applied Physics* **20** 347–59
- [53] Prasai B, Cai B, Underwood M K, Lewis J P and Drabold D A 2012 Properties of amorphous and crystalline titanium dioxide from first principles *J Mater Sci* **47** 7515–21
- [54] Portillo-Vélez N S, Olvera-Neria O, Hernández-Pérez I and Rubio-Ponce A 2013 Localized electronic states induced by oxygen vacancies on anatase TiO₂ (101) surface *Surface Science* **616** 115–9

- [55] Nolan M, Elliott S D, Mulley J S, Bennett R A, Basham M and Mulheran P 2008 Electronic structure of point defects in controlled self-doping of the TiO₂ (110) surface: Combined photoemission spectroscopy and density functional theory study *Phys. Rev. B* **77** 235424
- [56] Thompson T L and Yates J T 2005 TiO₂-based Photocatalysis: Surface Defects, Oxygen and Charge Transfer *Top Catal* **35** 197–210
- [57] Wu Q, Zheng Q and van de Krol R 2012 Creating Oxygen Vacancies as a Novel Strategy To Form Tetrahedrally Coordinated Ti⁴⁺ in Fe/TiO₂ Nanoparticles *J. Phys. Chem. C* **116** 7219–26
- [58] Takata T and Domen K 2009 Defect Engineering of Photocatalysts by Doping of Aliovalent Metal Cations for Efficient Water Splitting *J. Phys. Chem. C* **113** 19386–8
- [59] Subramanyam T K, Naidu B S and Uthanna S 1999 Characterisation of DC Reactive Magnetron Sputtered ZnO Films Prepared at Different Oxygen Pressures *physica status solidi (a)* **173** 425–36
- [60] Meng L-J and dos Santos M 1995 Characterization of ZnO films prepared by dc reactive magnetron sputtering at different oxygen partial pressures *Vacuum* **46** 1001–4
- [61] Hoskins B D and Strukov D B 2017 Maximizing stoichiometry control in reactive sputter deposition of TiO₂ *Journal of Vacuum Science & Technology A* **35** 020606
- [62] Skaja K, Andrä M, Rana V, Waser R, Dittmann R and Baeumer C 2018 Reduction of the forming voltage through tailored oxygen non-stoichiometry in tantalum oxide ReRAM devices *Sci Rep* **8** 10861
- [63] Zhao L Y, Jalili H, Panjwani N, Chan T, He Z H, Heinig N F and Leung K T 2007 Formation of Ferromagnetic Iron Core-Shell Nanocubes on a H-Terminated Si (100) Surface by Electrodeposition *Electrochem. Solid-State Lett.* **10** K47
- [64] Cho B-O, Chang J P, Min J-H, Moon S H, Kim Y W and Levin I 2003 Material characteristics of electrically tunable zirconium oxide thin films *Journal of Applied Physics* **93** 745–9
- [65] Chandra Sekhar M, Kondaiah P, Radha Krishna B and Uthanna S 2012 Effect of Oxygen Partial Pressure on the Electrical and Optical Properties of DC Magnetron Sputtered Amorphous Films *Journal of Spectroscopy* **2013** e462734
- [66] Taherniya A and Raoufi D 2018 Thickness dependence of structural, optical and morphological properties of sol-gel derived TiO₂ thin film *Mater. Res. Express* **6** 016417
- [67] Ben Mbarek I, Chaabouni F, Selmi M, Abaab M and Rezig B 2010 Effect of the substrate temperature on the properties of the RF sputtered TiO₂ thin films *physica status solidi c* **7** 2311–5

- [68] Forouhi A R and Bloomer I 1986 Optical dispersion relations for amorphous semiconductors and amorphous dielectrics *Phys. Rev. B* **34** 7018–26
- [69] Bergese P, Bontempi E and Depero L E 2006 A simple solution to systematic errors in density determination by X-ray reflectivity: The XRR-density evaluation (XRR-DE) method *Applied Surface Science* **253** 28–32
- [70] Biesinger M C, Lau L W M, Gerson A R and Smart R St C 2010 Resolving surface chemical states in XPS analysis of first row transition metals, oxides and hydroxides: Sc, Ti, V, Cu and Zn *Applied Surface Science* **257** 887–98
- [71] Sathish M, Viswanathan B, Viswanath R P and Gopinath C S 2005 Synthesis, Characterization, Electronic Structure, and Photocatalytic Activity of Nitrogen-Doped TiO₂ Nanocatalyst *Chem. Mater.* **17** 6349–53
- [72] Di Valentin C, Pacchioni G and Selloni A 2009 Reduced and n-Type Doped TiO₂: Nature of Ti³⁺ Species *J. Phys. Chem. C* **113** 20543–52
- [73] Henrich V E, Dresselhaus G and Zeiger H J 1976 Observation of Two-Dimensional Phases Associated with Defect States on the Surface of TiO₂ *Phys. Rev. Lett.* **36** 1335–9
- [74] Hassanien A S and Akl A A 2016 Effect of Se addition on optical and electrical properties of chalcogenide CdS_{1-x}Se_x thin films *Superlattices and Microstructures* **89** 153–69
- [75] Ikhmayies S J and Ahmad-Bitar R N 2013 A study of the optical bandgap energy and Urbach tail of spray-deposited CdS:In thin films *Journal of Materials Research and Technology* **2** 221–7
- [76] El Mesoudy A, Lamri G, Dawant R, Arias-Zapata J, Gliech P, Beilliard Y, Ecoffey S, Ruediger A, Alibart F and Drouin D 2022 Fully CMOS-compatible passive TiO₂-based memristor crossbars for in-memory computing *Microelectronic Engineering* **255** 111706
- [77] Neumann J von 1993 First draft of a report on the EDVAC *IEEE Annals of the History of Computing* **15** 27–75
- [78] Amirsoleimani A, Alibart F, Yon V, Xu J, Pazhouhandeh M R, Ecoffey S, Beilliard Y, Genov R and Drouin D 2020 In-Memory Vector-Matrix Multiplication in Monolithic Complementary Metal–Oxide–Semiconductor-Memristor Integrated Circuits: Design Choices, Challenges, and Perspectives *Advanced Intelligent Systems* 2000115
- [79] Xia Q, Berggren K K, Likharev K, Strukov D B, Jiang H, Micolajick T, Querlioz D, Salinga M, Erickson J, Pi S, Xiong F, Lin P, Li C, Xiong S, Hoskins B, Daniels M, Madhavan A, Liddle J, McClelland J, Yang Y, Rupp J, Nonnenmann S, Gong N, Cheng K-T (Tim), Lastras Montaño M A, Talin A A, Salleo A, Shastri B J, Ferreira de Lima T, Tait A N, Shen Y, Meng H, Roques-Carnes C, Cheng Z, Bhaskaran H, Jariwala D,

- Wang H, Segall K, Shainline J, Yang J J, Roy K, Datta S and Raychowdhury A 2020 Roadmap on emerging hardware and technology for machine learning *Nanotechnology*
- [80] Choi B J, Torrezan A C, Strachan J P, Kotula P G, Lohn A J, Marinella M J, Li Z, Williams R S and Yang J J 2016 High-Speed and Low-Energy Nitride Memristors *Advanced Functional Materials* **26** 5290–6
- [81] Gale E 2014 TiO₂-based memristors and ReRAM: materials, mechanisms and models (a review) *Semicond. Sci. Technol.* **29** 104004
- [82] A D Inglis, Y Le Page, P Strobel and C M Hurd Electrical conductance of crystalline Ti_nO_{2n-1} for n=4-9 *Phys. C: Solid State Phys.* **16** 317
- [83] Skaja K, Andrä M, Rana V, Waser R, Dittmann R and Baeumer C 2018 Reduction of the forming voltage through tailored oxygen non-stoichiometry in tantalum oxide ReRAM devices *Scientific Reports* **8** 10861
- [84] Zhu J, Zhang T, Yang Y and Huang R 2020 A comprehensive review on emerging artificial neuromorphic devices *Applied Physics Reviews* **7** 011312
- [85] Cai F, Correll J M, Lee S H, Lim Y, Bothra V, Zhang Z, Flynn M P and Lu W D 2019 A fully integrated reprogrammable memristor–CMOS system for efficient multiply–accumulate operations *Nature Electronics* **2** 290–9
- [86] Adam G C, Hoskins B D, Prezioso M, Merrih-Bayat F, Chakrabarti B and Strukov D B 2017 3-D Memristor Crossbars for Analog and Neuromorphic Computing Applications *IEEE Trans. Electron Devices* **64** 312–8
- [87] Kim H, Nili H, Mahmoodi M R and Strukov D B 2019 4K-Memristor Analog-Grade Passive Crossbar Circuit **18**
- [88] Lee Sang B, Gour M-J, Jaouad A, Ecoffey S, Darnon M, Sadani B, Souifi A and Drouin D 2015 Inductively coupled plasma etching of ultra-shallow Si₃N₄ nanostructures using SF₆/C₄F₈ chemistry *Microelectronic Engineering* **141** 68–71
- [89] Zhang Y, Wang Z, Zhu J, Yang Y, Rao M, Song W, Zhuo Y, Zhang X, Cui M, Shen L, Huang R and Yang J J 2020 Brain-inspired computing with memristors: Challenges in devices, circuits, and systems *Applied Physics Reviews* **7** 011308
- [90] Dalgaty T, Castellani N, Turck C, Harabi K-E, Querlioz D and Vianello E 2021 In situ learning using intrinsic memristor variability via Markov chain Monte Carlo sampling *Nat Electron* **4** 151–61
- [91] Kwon D, Lim S, Bae J-H, Lee S-T, Kim H, Seo Y-T, Oh S, Kim J, Yeom K, Park B-G and Lee J-H 2020 On-Chip Training Spiking Neural Networks Using Approximated Backpropagation With Analog Synaptic Devices *Front. Neurosci.* **14**

- [92] Kim S, Kim H-D and Choi S-J 2019 Impact of Synaptic Device Variations on Classification Accuracy in a Binarized Neural Network *Scientific Reports* **9** 15237
- [93] Hu M, Li H, Chen Y, Wang X and Pino R E 2011 Geometry variations analysis of TiO₂ thin-film and spintronic memristors 16th Asia and South Pacific Design Automation Conference (ASP-DAC 2011) 16th Asia and South Pacific Design Automation Conference (ASP-DAC 2011) pp 25–30
- [94] Kim K M, Yang J J, Strachan J P, Grafals E M, Ge N, Melendez N D, Li Z and Williams R S 2016 Voltage divider effect for the improvement of variability and endurance of TaO_x memristor *Scientific Reports* **6** 20085
- [95] Molina J, Valderrama R, Zuniga C, Rosales P, Calleja W, Torres A, DeLa Hidalga J and Gutierrez E 2014 Influence of the surface roughness of the bottom electrode on the resistive-switching characteristics of Al/Al₂O₃/Al and Al/Al₂O₃/W structures fabricated on glass at 300°C *Microelectronics Reliability* **54** 2747–53
- [96] Nandi S K, Liu X, Venkatachalam D K and Elliman R G 2015 Effect of Electrode Roughness on Electroforming in HfO₂ and Defect-Induced Moderation of Electric-Field Enhancement *Phys. Rev. Applied* **4** 064010
- [97] Sun W, Gao B, Chi M, Xia Q, Yang J J, Qian H and Wu H 2019 Understanding memristive switching via in situ characterization and device modeling *Nat Commun* **10** 3453
- [98] Li C, Belkin D, Li Y, Yan P, Hu M, Ge N, Jiang H, Montgomery E, Lin P, Wang Z, Song W, Strachan J P, Barnell M, Wu Q, Williams R S, Yang J J and Xia Q 2018 Efficient and self-adaptive in-situ learning in multilayer memristor neural networks *Nat Commun* **9** 2385
- [99] Pi S, Li C, Jiang H, Xia W, Xin H, Yang J J and Xia Q 2019 Memristor crossbar arrays with 6-nm half-pitch and 2-nm critical dimension *Nature Nanotech* **14** 35–9
- [100] Yu S 2018 Neuro-inspired computing with emerging nonvolatile memories *Proceedings of the IEEE* **106** 260–85
- [101] Moon K, Kwak M, Park J, Lee D and Hwang H 2017 Improved Conductance Linearity and Conductance Ratio of 1T2R Synapse Device for Neuromorphic Systems *IEEE Electron Device Letters* **38** 1023–6
- [102] Liu H, Wei M and Chen Y 2018 Optimization of non-linear conductance modulation based on metal oxide memristors *Nanotechnology Reviews* **7** 443–68
- [103] Chen P Y, Lin B, Wang I T, Hou T H, Ye J, Vrudhula S, Seo J, Cao Y and Yu S 2016 Mitigating effects of non-ideal synaptic device characteristics for on-chip learning 2015 IEEE/ACM International Conference on Computer-Aided Design, ICCAD 2015 34th IEEE/ACM International Conference on Computer-Aided Design, ICCAD 2015 (Institute of Electrical and Electronics Engineers Inc.) pp 194–9

- [104] Li S, Dong B, Wang B, Li Y, Sun H, He Y, Xu N and Miao X 2019 Alleviating Conductance Nonlinearity via Pulse Shape Designs in TaO_x Memristive Synapses *IEEE Transactions on Electron Devices* **66** 810–3
- [105] Gao B, Yu S, Xu N, Liu L F, Sun B, Liu X Y, Han R Q, Kang J F, Yu B and Wang Y Y 2008 Oxide-based RRAM switching mechanism: A new ion-transport-recombination model 2008 IEEE International Electron Devices Meeting 2008 IEEE International Electron Devices Meeting pp 1–4
- [106] Tirano S, Perniola L, Buckley J, Cluzel J, Jousseau V, Muller Ch, Deleruyelle D, De Salvo B and Reimbold G 2011 Accurate analysis of parasitic current overshoot during forming operation in RRAMs *Microelectronic Engineering* **88** 1129–32
- [107] Zhao H, Dong Z, Tian H, DiMarzi D, Han M-G, Zhang L, Yan X, Liu F, Shen L, Han S-J, Cronin S, Wu W, Tice J, Guo J and Wang H 2017 Atomically Thin Femtojoule Memristive Device *Advanced Materials* **29** 1703232
- [108] Shin H, De Guire M R and Heuer A H 1998 Electrical properties of TiO₂ thin films formed on self-assembled organic monolayers on silicon *Journal of Applied Physics* **83** 3311–7
- [109] Vandelli L, Padovani A, Larcher L, Bersuker G, Yum J and Pavan P 2011 A physics-based model of the dielectric breakdown in HfO₂ for statistical reliability prediction 2011 International Reliability Physics Symposium 2011 International Reliability Physics Symposium p GD.5.1-GD.5.4
- [110] Abunahla H, Mohammad B, Jaoude M A and Al-Qutayri M 2017 Novel hafnium oxide memristor device: Switching behaviour and size effect 2017 IEEE International Symposium on Circuits and Systems (ISCAS) 2017 IEEE International Symposium on Circuits and Systems (ISCAS) pp 1–4
- [111] Yang J J, Strachan J P, Miao F, Zhang M-X, Pickett M D, Yi W, Ohlberg D A A, Medeiros-Ribeiro G and Williams R S 2011 Metal/TiO₂ interfaces for memristive switches *Appl. Phys. A* **102** 785–9
- [112] Zalar A, van Lier J, Mittemeijer E J and Kovač J 2002 Interdiffusion at TiO₂/Ti, TiO₂/Ti/Al and TiO₂/Ti/Al interfaces studied in bilayer structures *Surface and Interface Analysis* **34** 514–8
- [113] Chen J-Y, Huang C-W, Chiu C-H, Huang Y-T and Wu W-W 2015 Switching Kinetic of VCM-Based Memristor: Evolution and Positioning of Nanofilament *Advanced Materials* **27** 5028–33
- [114] Henkel K, Das C, Kot M, Schmeißer D, Naumann F, Kärkkänen I and Gargouri H 2017 In-gap states in titanium dioxide and oxynitride atomic layer deposited films *Journal of Vacuum Science & Technology A* **35** 01B135