



# UNIVERSITÀ DEGLI STUDI DI PALERMO

DIPARTIMENTO DI ENERGIA, INGEGNERIA DELL'INFORMAZIONE E MODELLI MATEMATICI (DEIM)

Corso di Dottorato di Ricerca in Ingegneria Elettronica e delle Telecomunicazioni - XXIV  
CICLO

S.S.D. ING-INF/03 – Telecomunicazioni

S.S.D. ING-INF/07 – Misure Elettriche ed Elettroniche

## Tesi di Dottorato

# Sviluppo di dispositivi elettronici di misura innovativi per la gestione delle Smart Grid attraverso un'opportuna infrastruttura di comunicazione

Giovanni Artale

### **Tutor**

prof. Giovanni Garbo

### **Co- Tutor**

prof. Antonio Cataliotti

### **Coordinatore del corso di Dottorato**

prof. Giovanni Garbo

Dicembre 2013

# Indice

<b>INTRODUZIONE</b> .....	<b>5</b>
<b>CAPITOLO 1: SMART GRID</b> .....	<b>10</b>
<b>1.1 Introduzione</b> .....	<b>10</b>
<b>1.2 La Generazione Distribuita</b> .....	<b>11</b>
<b>1.3 Impianti fotovoltaici</b> .....	<b>12</b>
<b>1.4 Smart Grid</b> .....	<b>15</b>
<b>1.5 Problematiche di Generazione distribuita</b> .....	<b>16</b>
<b>1.6 La norma tecnica CEI 0-21</b> .....	<b>19</b>
1.6.1 Descrizione .....	19
1.6.2 Dispositivi d'Interfaccia.....	21
1.6.3 Caratteristiche e soglie di protezione del SPI.....	24
1.6.4 Protezione di minima e di massima tensione di fase (o concatenata).....	30
1.6.5 Protezione di minima e di massima frequenza $[81<, 81>]$ .....	30
<b>1.7 Sistemi di comunicazione per le smart grid</b> .....	<b>31</b>
<b>1.8 Power line communication</b> .....	<b>32</b>
<b>CAPITOLO 2: ANALISI ARMONICA DI SEGNALI NON SINUSOIDALI NEL CASO DELLE SMART GRID</b> .....	<b>34</b>
<b>2.1 Problematica dell'analisi armonica di segnali non sinusoidali nel caso delle smart grid</b> .....	<b>34</b>
<b>2.2 Gli algoritmi per l'analisi armonica</b> .....	<b>35</b>
2.2.1 DFT e FFT .....	36
2.2.2 CZT .....	38
<b>2.3 Confronto FFT - CZT</b> .....	<b>41</b>
<b>2.4 L'Arc Fault come problematica nei carichi AC e DC</b> .....	<b>44</b>
<b>2.5 Metodi di individuazione di Arc Fault</b> .....	<b>50</b>
<b>CAPITOLO 3: COMUNICAZIONE POWER LINE IN RETI DI MEDIA E BASSA TENSIONE</b> .....	<b>52</b>
<b>3.1 Introduzione</b> .....	<b>52</b>
<b>3.2 La normativa CENELEC per la trasmissione power line</b> .....	<b>53</b>
<b>3.3 Comunicazioni power line in reti di media e bassa tensione</b> .....	<b>57</b>
3.3.1 Modello della linea MT.....	61
3.3.2 Comportamento dei trasformatori MT/BT alle frequenza del segnale PLC.....	64
<b>3.4 Diverse tipologie di ricetrasmittitore utilizzate e relative modulazioni</b> .....	<b>69</b>
3.4.1 Modello del modulatore .....	70
3.4.2 Tecniche di modulazione.....	71
3.4.3 Modulazione FSK.....	73
3.4.4 Modulazione PSK.....	75
<b>3.5 Accoppiatori commerciali</b> .....	<b>78</b>
<b>3.6 Simulazione di trasmissione power line</b> .....	<b>82</b>
<b>CAPITOLO 4: PROTOTIPO DI DISPOSITIVI DI MISURA E COMUNICAZIONE PER LE SMART GRID</b> .....	<b>85</b>
<b>4.1 Introduzione</b> .....	<b>85</b>
<b>4.2 Descrizione del prototipo di Dispositivo di interfaccia</b> .....	<b>87</b>
4.2.1 Sezione metrologica: Demo kit board.....	89

4.2.2 Sezione elaborazione e comunicazione: E-meter board.....	99
<b>4.3 Strumenti Software utilizzati per la progettazione.....</b>	<b>106</b>
4.3.1 Ambiente di sviluppo: Atollic TrueSTUDIO.....	106
4.3.2 Il Sistema Operativo Real-Time FreeRTOS.....	108
<b>4.4 Implementazione della CZT .....</b>	<b>112</b>
<b>4.5 Implementazione della CZT su FPGA.....</b>	<b>115</b>
<b>4.6 La CZT in linguaggio C .....</b>	<b>119</b>
<b>4.7 Implementazione della CZT su Raspberry Pi B.....</b>	<b>121</b>
<b>4.8 Implementazione della CZT su STM32F4-discovery.....</b>	<b>121</b>
<b>4.9 Confronto dei risultati offline.....</b>	<b>123</b>
Risultati in FPGA.....	129
Risultati in Raspberry Pi.....	130
Risultati in STM32F4-discovery.....	130
<b>CAPITOLO 5: PROVE SPERIMENTALI DEL DISPOSITIVO DI INTERFACCIA PER</b>	
<b>SMART GRID.....</b>	<b>132</b>
<b>5.1 Prove del Dispositivo di interfaccia con il calibratore FLUKE 6100 .....</b>	<b>132</b>
<b>5.2 Prove sperimentali di comunicazione power line communication.....</b>	<b>138</b>
<b>CONCLUSIONI.....</b>	<b>147</b>
<b>BIBLIOGRAFIA.....</b>	<b>148</b>

## INTRODUZIONE

L'attività di ricerca descritta nella presente tesi di dottorato si inquadra nell'ambito dello sviluppo delle smart grids e dell'integrazione in esse della generazione distribuita (GD) da fonti di energia rinnovabili. In particolare l'attività ha riguardato lo sviluppo di soluzioni innovative riguardanti sia dispositivi elettronici di misura che sistemi di comunicazione finalizzati al monitoraggio, automazione, protezione e gestione della GD e della rete.

La crescente presenza di GD nella rete di distribuzione elettrica, può influenzare il monitoraggio, l'automazione, la protezione e le funzionalità dei sistemi di controllo della rete, causando situazioni critiche per la protezione e l'automazione della rete, la qualità del servizio, la regolazione di tensione. In particolare si pongono problematiche inerenti alla possibilità di inversione dei flussi di energia, ma anche numerose problematiche tecniche quali variazioni di tensione e di frequenza, aumento delle correnti di corto circuito, problemi di power quality e aumento dei disturbi in rete (quali ad esempio la distorsione armonica). A ciò si aggiungono diverse problematiche di sicurezza, quali ad esempio quelle relative al fenomeno dell'islanding o all'insorgere di arc-faults (che, in particolare negli impianti fotovoltaico, possono causare incendi se non estinti tempestivamente). Per affrontare tali problematiche e consentire così il pieno sviluppo della generazione distribuita, è necessario un completo ripensamento delle modalità di gestione delle reti elettriche, attraverso l'impiego di avanzate tecnologie di misura e comunicazione che, partendo dalle tipiche funzioni dello smart metering (telelettura dei consumi energetici, scambio di informazioni tra consumatori, distributori e produttori, integrazione con le case intelligenti, ecc.), possano consentire di integrare nuove funzioni di gestione, monitoraggio, protezione e controllo delle smart grids e della GD. In tal senso, un limite dei sistemi esistenti riguarda i dispositivi di interfaccia (DI) per la GD, che sono concepiti prevalentemente per operare sulla base di misure rese disponibili localmente. Viceversa, in presenza di funzionalità di misura più avanzate e di un adeguato sistema di comunicazione con la rete, essi potrebbero operare in funzione non solo di misure locali, ma anche di informazioni provenienti da altri punti della rete, e potrebbero altresì consentire il controllo in remoto da parte del Distributore. In tal modo, si potrebbero implementare nuove strategie di controllo,

protezione ed automazione, consentendo altresì ai GD di partecipare attivamente alla stabilità ed alla regolazione della rete (tramite parzializzazione della potenza prodotta, regolazione della tensione, distacco dell'unità attiva, protezione anti-islanding). I nuovi DI dovrebbero quindi integrare le funzioni di misura e comunicazione, per consentire l'implementazione delle funzioni di cui si è detto, nonché degli algoritmi per rilevare eventuali condizioni di pericolo, computazionalmente onerosi, quali gli arc faults, ed eventualmente interrompere il flusso di energia al fine di evitare gravi danni. Un ulteriore limite al pieno sviluppo delle smart grids riguarda la mancanza di una opportuna infrastruttura di comunicazione nelle reti di distribuzione a media e bassa tensione, che possa consentire la raccolta e l'elaborazione dei dati provenienti dai dispositivi di misura dislocati in rete nonché la realizzazione degli opportuni sistemi di controllo e automazione, attraverso l'interscambio di informazioni tra i dispositivi di interfaccia e la rete. Ad oggi, tali sistemi di elaborazione e di controllo sono già presenti nelle reti di trasmissione ma sono molto carenti nelle reti di distribuzione in media e bassa tensione.

Nell'ambito delle problematiche descritte, l'attività di ricerca ha riguardato la realizzazione di un innovativo Dispositivo di Interfaccia conformemente a quanto prescritto dalla nuova Norma CEI 0-21 "Regola tecnica di riferimento per la connessione di utenti attivi e passivi alle reti BT delle imprese distributrici di energia elettrica" che introduce alcuni innovativi requisiti costruttivi e funzionali per i dispositivi di protezione legati anche alla presenza di segnali di comunicazioni da parte del Distributore, e che potesse provvedere ad implementare gli algoritmi di analisi armonica dei segnali acquisiti per effettuare misure di energia e power quality e valutare l'insorgere di arc-fault. Il Dispositivo di Interfaccia è stato realizzato utilizzando un sistema a basso costo composto da 2 board STMicroelectronics aventi un modulo per le funzioni di comunicazione power line e un campionario per l'acquisizione dei segnali, e da un terzo dispositivo dedicato alle elaborazioni di analisi armonica. L'esigenza di un dispositivo ausiliario è nata dall'impossibilità di fare gestire anche i calcoli per l'analisi armonica alle 2 board ST a causa della bassa velocità di clock. Le board STMicroelectronics sono: una Demo Kit Board composta dalle schede STEVAL-IPE014V1 e STEVAL-IPE010V1, le cui funzioni sono rispettivamente la trasduzione dei segnali da misurare attraverso lo Smart Sensor STPMS2 e l'elaborazione e la memorizzazione dei segnali provenienti dal trasduttore tramite il calcolatore di energia STPMC1, e una E-meter board, costituita dalla scheda STEVAL-IPP001V2 che svolge

le funzioni di elaborazione delle informazioni, manipolando i dati provenienti dalla sezione metrologica; la scheda permette inoltre una completa personalizzazione riprogrammando in modo opportuno il software residente in memoria per includere funzionalità avanzate di elaborazione. Il Dispositivo di Interfaccia misura tensione, corrente e frequenza e sulla base di eventuali comandi inviati dal distributore modifica le soglie di intervento del DPI e le funzionalità del convertitore di potenza (inverter). Inoltre è in grado di operare lo sgancio del dispositivo generale di protezione al DPI e dell'eventuale rincalzo del DPI (per potenze >20 kW). La comunicazione con il distributore può avvenire o mediante la PLC (Power Line Communication) o via Ethernet mentre con l'inverter avviene mediante comunicazione seriale RS232. Il firmware della scheda STEVAL IPP001V2 è stato sviluppato in modo da implementare le seguenti funzionalità: protezione di massima e minima tensione con due soglie; protezione di massima e minima frequenza con due soglie; gestione dello sgancio del dispositivo generale; gestione della comunicazione con il distributore via power line ed ethernet; gestione dell'inverter in conformità alla CEI 0-21 via RS 232. L'ambiente di sviluppo utilizzato per l'implementazione del firmware per la realizzazione del dispositivo di interfaccia è Atollic TrueSTUDIO®. La programmazione è stata fatta via JTAG probes utilizzando ST-Link/V2 di STMicroelectronics. Il corretto funzionamento del DI riguardo le protezioni di tensione e frequenza è stato verificato tramite la misura dei tempi di intervento riportati nel paragrafo 8.6.2.1 - tabella 8 della norma CEI-021 del 06/2012. Nella tesi saranno riportati i risultati sperimentali ottenuti in laboratorio utilizzando un calibratore multifunzione FLUKE 6100 per la generazione dei segnali di corrente e tensione.

Infine è stata fatta particolare attenzione alle tecniche di analisi armonica finalizzata alla misura di segnali non sinusoidali presenti nelle smart grid, al fine della loro ottimizzazione e implementazione dispositivi integrati. In particolare, oltre che consentire di implementare le misure di potenza energia e power quality, lo studio condotto ha permesso di realizzare una strategia di protezione dagli arc faults, che è stata oggetto di brevetto internazionale in collaborazione con la STMicroelectronics (G. Artale, A. Cataliotti, V. Cosentino, G. Privitera, "Arc fault detection equipment and method using low frequency harmonic current analysis", US Patent pending). La strategia è basata sull'analisi armonica della corrente a bassa frequenza, da effettuarsi attraverso un algoritmo di analisi spettrale ad alta risoluzione. Dopo avere valutato le diverse tipologie di trasformate esistenti nel dominio della frequenza, la scelta è ricaduta

su un tipo particolare di DFT (Discrete Fourier Transform), la CZT (Chirp-Z Transform). Essa prevede un algoritmo che, a differenza della FFT, utilizza una sola porzione del cerchio goniometrico in modo da aumentare significativamente la risoluzione a parità di intervallo di frequenze considerato.

Il costo computazione dell'algoritmo CZT implementato, essendo un tipo particolare di DFT, è dell'ordine di  $n^2$ , e pertanto sono state cercate soluzioni hardware programmabili e a basso costo che potessero implementare tale algoritmo in real-time. Il microcontrollore, STM32F103VE, presente nella board STMicroelectronics (STEVAl-IPE010V1) utilizzate per l'implementazione del dispositivo di interfaccia, non ha le capacità di calcolo necessarie per l'implementazione dell'algoritmo CZT. Sono stati quindi testati offline 3 dispositivi differenti, una FPGA, una Raspberry Pi B ed una STM32F4-discovery, con l'obiettivo di verificarne sia la loro capacità di calcolo che la possibilità di interfacciarli con il prototipo sviluppato, sulla base delle board STMicroelectronics (STEVAl-IPE014V1 e STEVAL-IPE010V1) utilizzate. La scheda che ha ottenuto risultati migliori è la STM32F4-discovery che inoltre sarà più facilmente interfacciabile con il sistema sviluppato per il dispositivo di interfaccia. Si prevede in futuro di abbattere ulteriormente i tempi di elaborazione e impiegare la STM32F4 per le prove real-time.

Infine sul fronte della comunicazione tra smart grid, lo studio si è focalizzato sulla possibilità di utilizzare la tecnologia power line sulle reti di media e bassa tensione (MT e BT) in analogia a quanto già si fa per lo smart metering. Il lavoro è stato finalizzato all'utilizzo di tale sistema di comunicazione per lo sviluppo del nuovo Dispositivo di Interfaccia (DI) per applicazioni su smart grids con generatori distribuiti (GD). La scheda E-meter board della STMicroelectronics è già munita di un modem power line ST7580 che è stato utilizzato per effettuare prove sperimentali in campo, sulla rete dell'Isola di Ustica. Inizialmente si è svolto uno studio su come modellizzare il canale di trasmissione e sono state effettuate delle misure per caratterizzare il comportamento degli elementi della rete nel range di frequenza di interesse. Successivamente il sistema reale è stato inoltre riprodotto in simulazione, implementando in Simulink® il modello completo della rete in esame (conduttori, trasformatore, accoppiatore e transceiver). In particolare, per quanto riguarda il trasformatore, è stato sviluppato un nuovo modello, più semplice di quelli già proposti in letteratura, che consente di studiare l'influenza del trasformatore sulla trasmissione del segnale in tutto il range di frequenza di interesse (50-150 kHz). I parametri del modello sono stati ottenuti attraverso prove sperimentali

su diversi trasformatori (prove a vuoto e in corto circuito e misure di capacità tra gli avvolgimenti e verso terra). Il modello così ottenuto è stato validato confrontando l'attenuazione del segnale in simulazione con i risultati sperimentali ottenuti su diversi trasformatori nel range di frequenza in esame (risposta in frequenza). Le simulazioni sul modello della rete sono state effettuate nel range di frequenza 50-150 kHz, nel caso di trasmissione sia da MT a BT che da BT a MT. Le prove sperimentali sono state condotte su una porzione di rete dell'Isola di Ustica. Per la trasmissione dei segnali si è utilizzata la configurazione fase-terra. Per trasmettere e ricevere il segnale si sono utilizzati due powerline transceiver ST7580 utilizzando differenti tecniche di modulazione (FSK, QPSK, BPSK, 8PSK). Sono stati effettuate prove di comunicazione tra due cabine in entra-esci utilizzando accoppiatori commerciali. Si è verificata anche la possibilità di attraversare il trasformatore trasmettendo dalla MT e ricevendo in bt e viceversa. Le prove sono state condotte sia in assenza che in presenza della tensione a 24 kV.

Parte del lavoro di cui sopra è stata svolta nell'ambito del progetto "REIPERSEI (Reti Elettriche Intelligenti per la Penetrazione delle Energie Rinnovabili nei Sistemi Elettrici delle Isole minori)", Linea di intervento 4.1.1.1 del POR FESR Sicilia 2007-2013, Responsabile Scientifico Prof. Antonio Cataliotti. In particolare, l'ing. Giovanni Artale è risultato vincitore di una borsa di studio post-lauream della durata di mesi 12 per l'attività di ricerca "studio teorico-sperimentale di tecniche di analisi spettrale per la misura di grandezze non sinusoidali di una smart grid", finanziata sul suddetto progetto REIPERSEI. Il contratto è stato rinnovato per ulteriori 12 mesi e l'attività è tuttora in corso.

# CAPITOLO 1: SMART GRID

## 1.1 Introduzione

L'aumento dei sistemi che producono energia da fonti rinnovabili richiede un'evoluzione delle reti e, più in generale, del sistema elettrico. Integrare tali sistemi (individuati anche col termine *Generazione Distribuita – GD*) nella rete elettrica è la più importante sfida nella maggior parte dei paesi dell'Unione Europea ma anche degli altri continenti. Solo un aumento di sistemi alternativi di produzione di energia elettrica può portare ad un maggior utilizzo delle fonti energetiche rinnovabili disponibili sul territorio - altrimenti non sfruttabili - che rappresentano oggi l'unica via ragionevolmente percorribile verso l'obiettivo del 20-20-20 (20% di taglio delle emissioni di gas serra, 20% di miglioramento dell'efficienza energetica, 20% di aumento di fonti rinnovabili) [1] fissato dagli organismi internazionali.

La diffusione di tali sistemi di generazione di energia elettrica nelle reti di distribuzione impone delle modifiche nella gestione del sistema, nonché una trasformazione dello stesso da rete “passiva” a rete “attiva” (*Active Grid*). A livello internazionale tale evoluzione viene identificata con il termine di *Smart Grid*, ossia un insieme di strutture e modalità operative fortemente innovative in grado di far fronte ai numerosi potenziali problemi di gestione che tali impianti di generazione di energia da fonti rinnovabili possono provocare [2].

Una possibile definizione di sistema di distribuzione attivo potrebbe essere la seguente: “Una rete di distribuzione è attiva se il gestore della rete controlla e/o regola la potenza assorbita o generata da carichi e generatori, la tensione ai nodi ed i flussi di potenza nei rami della rete” o, più semplicemente, può definirsi attiva una rete che non svolge la sola funzione passiva di alimentare gli utenti finali.

Per poter considerare la rete attiva, non è dunque necessario che tutte le sopraccitate funzioni siano simultaneamente presenti, tuttavia la possibilità di modificare la potenza assorbita e/o generata ai nodi costituisce senza dubbio un elemento fondamentale al tal fine.

## 1.2 La Generazione Distribuita

La prevista crescita dei consumi energetici e la riduzione della disponibilità di risorse, causano un aumento della dipendenza energetica, sia europea che nazionale; per questi motivi risulta indispensabile sostenere l'obiettivo di un migliore utilizzo dell'energia primaria, unitamente ad una maggiore attenzione agli aspetti di impatto ambientale. La necessità della sicurezza della fornitura elettrica e della riduzione dei gas serra trova nella crescita della GD e nelle tecnologie a fonte rinnovabile quelle componenti essenziali verso uno sviluppo sostenibile.

Dall'analisi delle diverse definizioni della Generazione Distribuita in ambito internazionale, nonché dall'analisi del quadro normativo nazionale, è possibile dedurre che essa consiste in un nuovo modello di produzione e distribuzione di energia, che si basa sull'integrazione nelle reti elettriche di piccoli-medi impianti (da qualche decina/centinaio di kW a qualche MW) generalmente connessi alla rete di distribuzione.

Come riportato in [3] le unità di GD sono installate principalmente per perseguire i seguenti obiettivi:

- alimentare carichi elettrici per lo più in prossimità del sito di produzione dell'energia elettrica (è noto che la stragrande maggioranza delle unità di consumo risultano connesse alle reti di distribuzione dell'energia elettrica) molto frequentemente, in assetto cogenerativo per lo sfruttamento di calore utile;
- sfruttare fonti energetiche primarie (in genere, di tipo rinnovabile) diffuse sul territorio e non altrimenti sfruttabili mediante i tradizionali sistemi di produzione di grande taglia.

Spesso le unità GD sono localizzate in prossimità dell'utente finale, contribuendo così a ridurre la necessità d'investimenti e d'infrastrutture per aumentare la capacità di trasporto delle reti di trasmissione e distribuzione e consentendo nello stesso tempo la riduzione delle perdite di rete e dei costi di distribuzione.

La GD può fornire un'alimentazione di maggiore affidabilità e di miglior qualità elettrica. La capacità di ridare potenza in tempi brevi ad una rete utente ed in futuro ad isole di distribuzione, potrà dare una maggiore sicurezza al sistema, riducendo i rischi e gli effetti di possibili blackout.

La GD è costituita da diverse tecnologie a fonte rinnovabile, da impianti di cogenerazione tradizionali ed innovativi. Per l'integrazione in rete di queste tecnologie diventa essenziale la disponibilità di sistemi di accumulo che siano caratterizzati da un basso costo e da una lunga durata; servirà anche la disponibilità di nuove funzioni di controllo supportate da innovative tecnologie informatiche e di comunicazione.

L'ingresso massiccio della GD nel sistema elettrico comporta la necessità di una maggiore flessibilità nel controllo e nella protezione della rete elettrica e pone problematiche nuove. La rete di distribuzione, originariamente concepita come passiva (adatta esclusivamente ad assorbire potenza dalle reti di livello di tensione superiore), diventa ora essa stessa attiva in quanto il normale flusso di potenza può essere invertito; questo implica un cambiamento nelle logiche di protezione e controllo della rete.

Il livello di penetrazione della GD nelle reti è in continuo aumento e ciò pone i distributori di fronte a consistenti problemi di pianificazione e gestione della rete, con conseguente necessità di ricorrere a nuovi standard per poter superare i limiti odierni trasformando le reti da passive in attive. Per far fronte alla necessità di pianificare l'integrazione della GD nel sistema elettrico occorre trovare degli strumenti per la pianificazione che siano in grado di sfruttare i vantaggi, limitando i problemi tecnici associati alla connessione della GD nelle reti di distribuzione.

### **1.3 Impianti fotovoltaici**

L'adozione di impianti a energie rinnovabili comporta molti vantaggi; in particolare, con gli *Impianti Fotovoltaici (FV)* è possibile produrre energia elettrica e immetterla nella rete nazionale, effettuando una sorta di scambio-vendita col gestore del servizio con cui si stipula un vero e proprio contratto.

Tale produzione, essendo collegata alla luce solare, non è costante, ma è condizionata dall'alternanza giorno/notte, dai cicli delle stagioni e dalla variazione delle condizioni meteorologiche.

Il Sistema Fotovoltaico è un insieme di componenti meccanici, elettrici ed elettronici che concorrono a captare l'energia solare incidente per trasformarla appunto in energia elettrica. Come descritto in [4], gli elementi principali del sistema sono:

- **Campo Fotovoltaico**, costituito da diversi moduli in celle fotovoltaiche (in silicio mono o policristallino) di varia potenza, collegate tra loro, montate su staffe di alluminio o acciaio zincato e ancorate in copertura;
- **Inverter**, che riceve la corrente continua generata dal campo fotovoltaico e la trasforma in corrente alternata a 220 V di tensione;
- **Contatori di energia**, cioè dispositivi che servono a monitorare e contabilizzare la quantità di energia elettrica prodotta e scambiata con la rete (GSE);
- **Quadro elettrico**, con dispositivi di interscambio tra la rete FV e la rete esterna.

Gli impianti fotovoltaici possono essere connessi alla rete elettrica di distribuzione (*grid connected*) o direttamente alle utenze (impianti ad isola o *stand alone*), tipicamente per assicurare la disponibilità di energia elettrica in zone isolate. Negli impianti non collegati alla rete elettrica, per assicurare la disponibilità di energia elettrica anche quando manca l'insolazione, viene installato un parco di batterie di accumulo.

L'installazione di un generatore fotovoltaico richiede uno spazio più ampio di quello richiesto dai pannelli solari e la cura di non oscurarne le superfici con le ombre portate da elementi prossimi (camini, parabole, alberi o edifici); la produzione energetica risulterà massima in condizioni di cielo completamente sereno, se i pannelli hanno esposizione a sud e un'inclinazione compresa tra i 25° e 35°.

I contatori servono a registrare l'energia prodotta dall'impianto e quella eventualmente immessa nella rete del gestore secondo i meccanismi stabiliti in conto energia; oppure servono a contabilizzare l'energia prelevata dalla rete quando non vi è produzione (ad es. durante la notte).

L'integrazione corretta dell'impianto garantisce ulteriori vantaggi economici derivati dagli incentivi statali.

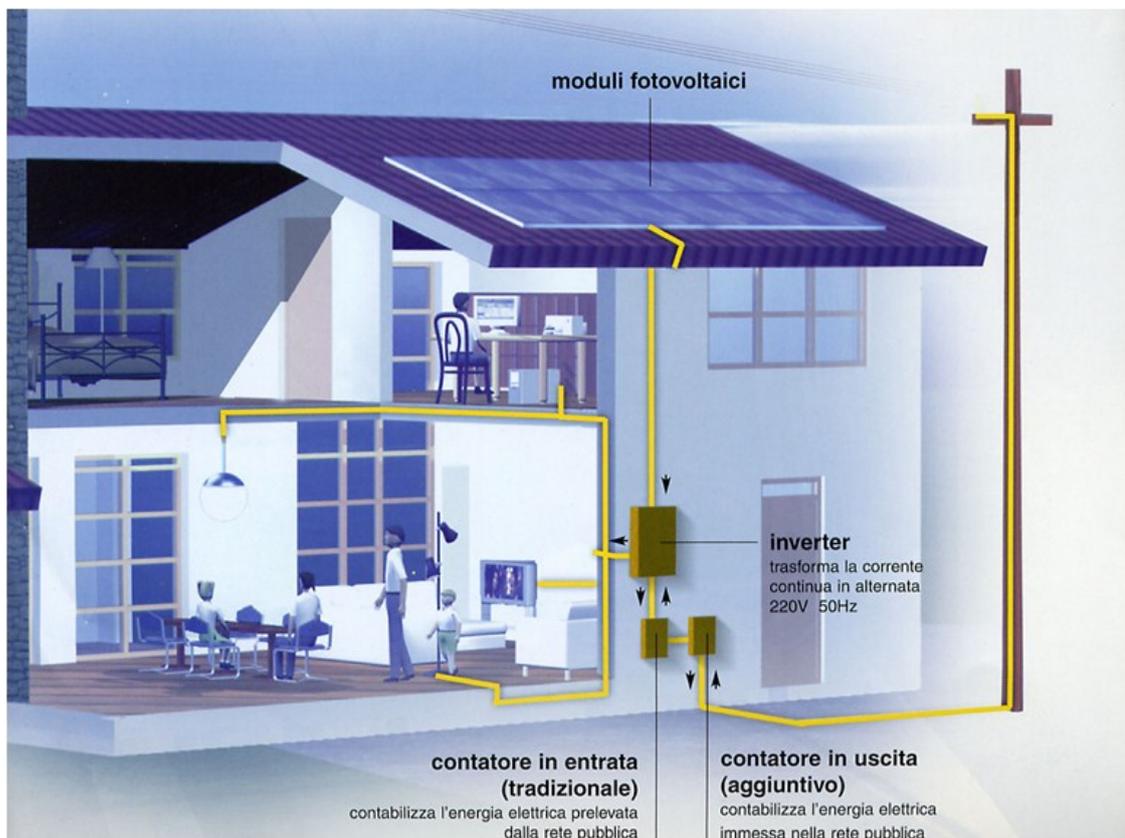


Fig. 1 Esempio di impianto fotovoltaico grid connected

Se si considera ad esempio un ipotetico impianto fotovoltaico domestico, dato che i dispositivi di conteggio sono forniti necessariamente dall'ente erogatore con cui il privato stipula il contratto di fornitura di energia elettrica, le esigenze d'integrazione dell'impianto fotovoltaico sono attualmente alquanto limitate e si riducono alle sole funzioni di sorveglianza (per rilevare eventuali anomalie di funzionamento) e di monitoraggio della sua efficienza. Un sistema domestico consente inoltre di memorizzare dati e tendenze dei consumi invernali della famiglia e, negli anni successivi, può rivelarsi utile per palesare perdite di efficienza dell'impianto.

Grazie, infine, al contatore della rete elettrica esterna (i comuni contatori elettronici di recente introduzione), è possibile fare dei computi esatti della spesa energetica e redigere un bilancio di fornitura (vendita-acquisto) tra privato ed ente erogatore, verificando direttamente negli anni il ritorno dell'investimento sull'impianto.

## 1.4 Smart Grid

Una *Smart Grid* è una rete di informazione che affianca la rete di distribuzione elettrica e gestisce la rete elettrica in maniera "intelligente" sotto vari aspetti o funzionalità ovvero in maniera efficiente per la distribuzione di energia elettrica evitando sprechi energetici, sovraccarichi e cadute di tensione elettrica. Tutto ciò avviene attraverso un sistema fortemente ottimizzato per il trasporto e diffusione della stessa, dove gli eventuali surplus di energia di alcune zone vengono redistribuiti, in modo dinamico ed in tempo reale, in altre aree oppure regolando costantemente il dispacciamento tra centrali di autoproduzione elettrica delle reti di distribuzione con le centrali elettriche della rete di trasmissione [5].

Mentre la rete di trasmissione elettrica ad alta e altissima tensione completamente magliata è anche automatizzata per gestire guasti o interruzioni di servizio delle centrali elettriche nella costante opera del dispacciamento, non lo è invece la rete di distribuzione a media e bassa tensione che necessita dunque di una rete intelligente in grado di supportare picchi e buchi di tensione prodotti da una generazione distribuita di energia elettrica agli estremi della rete in centrali di autoproduzione, quali eolico e fotovoltaico, da parte delle energie rinnovabili con caratteristiche di aleatorietà, garantendo ancora una volta il costante dispacciamento assieme alle centrali elettriche di produzione [6].

Questo sostanzialmente vuol dire creare un'infrastruttura o strato ICT (*Information and Communication Technology*) sovrapposto o affiancato alla rete elettrica che metta in comunicazione le centrali di autoproduzione sulla rete di distribuzione con le centrali elettriche centralizzate di grande potenza scambiando con esse informazioni sull'energia prodotta e regolando di conseguenza il dispacciamento dell'energia. Queste reti sono quindi regolate da opportuni software di gestione che realizzano un controllo ad informazione grazie anche a strumenti di monitoraggio intelligenti tenendo traccia di tutto il flusso elettrico del sistema, come pure strumenti appunto per integrare energia rinnovabile nella rete. Quando il costo dell'energia diventa minore, una smart grid può anche decidere di attivare automaticamente processi industriali oppure elettrodomestici casalinghi.

Le ICT hanno un ruolo fondamentale nella riduzione dei consumi energetici e dei costi ad essi associati. Uno degli strumenti attraverso i quali si esplicano tali riduzioni sono gli *smart meter*, cioè contatori e apparecchi di misura intelligenti che forniscono in tempo reale i consumi energetici negli edifici, consentendo opportunità di risparmio

energetico sia da parte dei singoli clienti, che da parte dei distributori di energia per la maggiore efficienza di rete e per la migliore operatività. I contatori intelligenti permettono di analizzare infatti i dati in molti modi diversi, per esempio è possibile visualizzare una lettura del consumo di potenza istantanea, o quanta energia è stata utilizzata per un certo periodo, consentendo consumi effettivi da determinarsi su base mensile. Il contatore visualizza anche la tariffa attualmente in vigore, cioè il costo di un chilowattora di energia elettrica, permettendo ai clienti di scegliere il momento opportuno per fare il bucato, evitando gli orari di punta. Questo contribuisce a ridurre sensibilmente i picchi di consumo dell'energia, distribuendo la domanda in maniera uniforme all'interno della giornata e della settimana.

Gli *smart meter* costituiscono quindi il primo, basilare passo, verso la realizzazione delle *smart grid*, le reti elettriche intelligenti cui è affidato il compito di rivoluzionare non solo la distribuzione e gestione dell'energia elettrica, ma anche il sistema di generazione, permettendo la connessione in rete di un gran numero di piccoli e piccolissimi impianti a fonti rinnovabili distribuiti nel territorio.

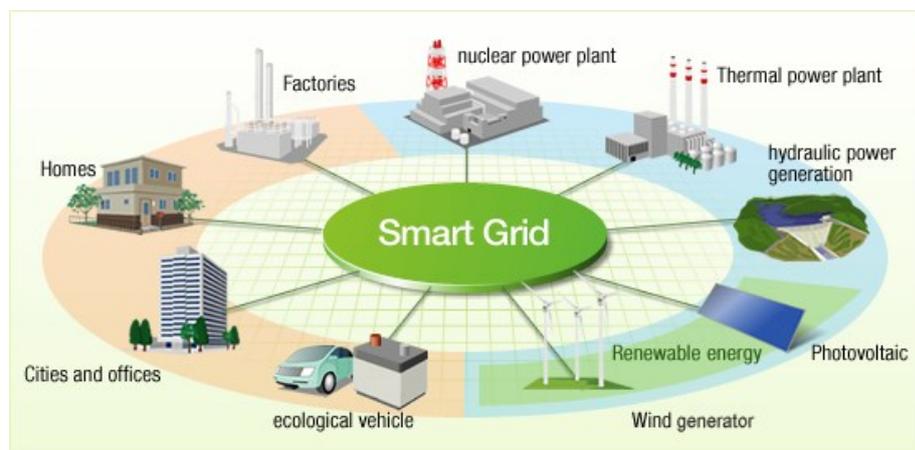


Fig. 2 *Smart Grid*

### 1.5 Problematiche di Generazione distribuita

La crescente presenza di Generatori Distribuiti nella rete di distribuzione elettrica può influenzare il monitoraggio, l'automazione, la protezione e le funzionalità dei sistemi di controllo, causando situazioni critiche per la protezione e l'automazione della rete, la qualità del servizio, rischi di islanding non desiderato, etc. Tali situazioni possono essere molto più critiche a causa dell'inversione della direzione dei flussi di

potenza, che può verificarsi nelle linee di distribuzione della potenza per effetto della presenza contemporanea sia di generatori che di carichi e per la natura intrinsecamente imprevedibile e tempo-variante della produzione di energia. A queste vanno aggiunti i numerosi problemi riguardanti la variazione della tensione e della frequenza, l'aumento delle correnti di corto circuito, i problemi di power quality e l'incremento dei disturbi in rete (come ad esempio la distorsione armonica). A ciò si aggiungono diverse problematiche di sicurezza, quali ad esempio quelle relative al fenomeno dell'islanding o all'insorgere di arc-faults (che, in particolare negli impianti fotovoltaico, possono causare incendi se non estinti tempestivamente). Per affrontare tali problematiche e consentire così il pieno sviluppo della generazione distribuita, è necessario un completo ripensamento delle modalità di gestione delle reti elettriche, attraverso l'impiego di avanzate tecnologie di misura e comunicazione che, partendo dalle tipiche funzioni dello smart metering (telelettura dei consumi energetici, scambio di informazioni tra consumatori, distributori e produttori, integrazione con le case intelligenti, ecc.), possano consentire di integrare nuove funzioni di gestione, monitoraggio, protezione e controllo delle smart grids e della GD.

In tal senso, un limite dei sistemi esistenti riguarda i dispositivi di interfaccia (DI) per la GD, che sono concepiti prevalentemente per operare sulla base di misure rese disponibili localmente. Viceversa, in presenza di funzionalità di misura più avanzate e di un adeguato sistema di comunicazione con la rete, essi potrebbero operare in funzione non solo di misure locali, ma anche di informazioni provenienti da altri punti della rete, e potrebbero altresì consentire il controllo in remoto da parte del Distributore. In tal modo, si potrebbero implementare nuove strategie di controllo, protezione ed automazione, consentendo altresì ai GD di partecipare attivamente alla stabilità ed alla regolazione della rete (tramite parzializzazione della potenza prodotta, regolazione della tensione, distacco dell'unità attiva, protezione anti-islanding). I nuovi DI dovrebbero quindi integrare le funzioni di misura e comunicazione, per consentire l'implementazione delle funzioni di cui si è detto, nonché degli algoritmi, computazionalmente onerosi, per rilevare eventuali condizioni di pericolo, quali gli arc faults, ed eventualmente interrompere il flusso di energia al fine di evitare gravi danni. Un ulteriore limite al pieno sviluppo delle smart grids riguarda la mancanza di una opportuna infrastruttura di comunicazione nelle reti di distribuzione a media e bassa tensione, che possa consentire la raccolta e l'elaborazione dei dati provenienti dai dispositivi di misura dislocati in rete nonché la realizzazione degli opportuni sistemi di

controllo e automazione, attraverso l'interscambio di informazioni tra i dispositivi di interfaccia e la rete. Ad oggi, tali sistemi di elaborazione e di controllo sono già presenti nelle reti di trasmissione ma sono molto carenti nelle reti di distribuzione in media e bassa tensione.

Dunque è necessario un completo ripensamento della gestione e del controllo delle reti elettriche [7].

Per quanto riguarda quest'ultimo aspetto, sono in corso diverse iniziative a livello di Comunità Europea per affrontare questi problemi legati all'integrazione della generazione distribuita nella rete di distribuzione. La Network Code Development scritta dalla ENTSO-E (European Network of Transmission System Operators for Electricity) concilia le regole tecniche per la connessione della generazione distribuita, mediante operazioni di tipo "and", con le reti elettriche. La European Commission Smart Grid Mandate, M/490 EN è finalizzata allo sviluppo o all'aggiornamento della standardizzazione Europea per le smart grid, comprendendo la connessione DG, automazione della rete, etc. Tutte queste attività coinvolgono un numero di standard IEC e CENELEC e specifiche tecniche; per esempio, il comitato tecnico CENELEC TC8X WG3 sta attualmente lavorando su alcuni documenti riguardanti i requisiti per la connessione di micro-generatori (fino a 16A) e generatori (superiori a 16A) per le reti di distribuzione. A livello nazionale, sono disponibili alcuni standard su questi argomenti, come ad esempio lo standard CEI 0-21 in Italia [10] o lo standard VDE-AR-N 4105 in Germania, i cui metodi sono molto simili ai progetti degli standard Europei. Inoltre, a livello internazionale, sono disponibili alcuni standard IEC e IEEE, i quali stabiliscono i requisiti per la connessione di DG e con la rete elettrica e le caratteristiche dei relativi dispositivi di interfaccia (ID). Parlando in generale, questi standard indicano il normale range operativo di tensione e frequenza, alcuni problemi di power quality e le relative questioni di sicurezza [8].

Dal punto di vista dei protocolli di comunicazione, il protocollo IEC 61850 è già utilizzato nei sistemi di automazione nelle cabine principali. Esso potrebbe anche rappresentare una buona piattaforma per lo sviluppo di applicazioni target, con particolare riferimento all'implementazione delle funzioni di controllo e protezione a livello delle cabine secondarie.

## 1.6 La norma tecnica CEI 0-21

### 1.6.1 Descrizione

La *Norma CEI 0-21*, elaborata dall'*Autorità per l'Energia Elettrica e il Gas (AEEG)* [10], esplicita le regole tecniche di connessione alle reti di distribuzione di energia elettrica in *Bassa Tensione (BT)* su tutto il territorio nazionale a seguito della liberalizzazione del mercato interno per l'energia, che oggi presenta un notevole numero di Imprese in concessione per la distribuzione. Fornisce le prescrizioni di riferimento per la corretta connessione degli impianti degli utenti tenendo conto sia delle caratteristiche funzionali, elettriche e gestionali della maggior parte delle reti italiane in BT, sia delle esigenze della distribuzione dell'energia elettrica e della sicurezza funzionale delle reti e sia delle esigenze degli utenti che dovranno essere connessi a queste ultime.

Essa ha lo scopo di definire i criteri tecnici per la connessione degli Utenti alle reti elettriche di distribuzione con tensione nominale in corrente alternata fino a 1 kV compreso.

Tutti i distributori, nel formulare in dettaglio ai loro utenti le prescrizioni di connessione, mettono in pratica un comportamento uniforme, trasparente e non discriminatorio sul territorio nazionale. Le prescrizioni della norma sono finalizzate alla connessione alle reti di distribuzione purché gli impianti dei relativi utenti siano conformi ad essa.

Per gli utenti attivi ha inoltre lo scopo di:

- definire l'avviamento, l'esercizio ed il distacco dell'impianto di produzione;
- evitare che gli impianti di produzione possano funzionare in isola su porzioni di reti BT del distributore;
- definire alcune prescrizioni relative agli impianti di produzione funzionanti in servizio isolato sull'interna rete del produttore.

La norma si applica sia alle reti delle imprese distributrici di energia elettrica, sia agli impianti elettrici degli utenti dei servizi di distribuzione e di connessione alle reti di distribuzione.

Gli utenti della rete vengono individuati nei soggetti titolari di:

- **impianti di utilizzazione** (utenti passivi) connessi alle reti BT di distribuzione dell'energia elettrica, tra cui anche impianti:
  - destinati all'alimentazione di veicoli elettrici (stazioni di carica batterie);
  - destinati all'alimentazione di impianti di illuminazione pubblica (impianti insistenti in tutto o in parte su suolo pubblico);
  - temporanei/provvisori (forniture per cantieri, circhi, ecc.);
- **impianti di produzione** (utenti attivi) connessi alle reti di distribuzione dell'energia elettrica riguardanti installazioni fisse, mobili o trasportabili, che convertono ogni forma di energia utile in energia elettrica, collegati in parallelo alle reti BT del distributore in modo continuativo, di breve durata, oppure funzionanti in isola su una rete del produttore;
- **reti di distribuzione** nell'ambito della realizzazione e del mantenimento della connessione tra reti di distribuzione.

L'attuale rete di distribuzione è stata concepita rispetto ad uno scenario in cui i vari utenti siano passivi, ossia si limitano al prelievo dell'energia. In prospettiva dello sfruttamento delle risorse per la Generazione Distribuita è necessario analizzare le implicazioni a livello di efficienza, regolazione e protezione della stessa rete.

Lo scopo della CEI 0-21 è quello di definire le protezioni volte a scollegare i generatori di piccola/media taglia in caso di perdita di rete (fenomeno di *wanted Island*). Tale aspetto risulta infatti fra i limiti tecnici più stringenti alla penetrazione della generazione distribuita nel sistema elettrico.

Quindi il fenomeno dell'isola indesiderata (*wanted Island*) è il fenomeno tecnico più vincolante del sistema elettrico odierno, che si manifesta in ragione dell'incompatibilità della GD con i sistemi di produzione ed automazione di rete. L'incremento delle utenze attive sulla rete di distribuzione rende l'islanding un fenomeno concretizzabile, visto il possibile raggiungimento di un equilibrio tra generazione e carico.

Risulta quindi necessaria l'introduzione di protezioni contro l'isola indesiderata in grado di disconnettere la GD in tempi brevi, nel rispetto dei tempi delle protezioni/automazioni di rete, in particolare le richiuse automatiche, volte a massimizzare la continuità dell'alimentazione. Le modalità operative con cui tale disconnessione deve avere luogo, sono dettate dalle regole tecniche di connessione alle reti di distribuzione (per le reti MT sono definite nella Norma CEI 0-16 e per le reti BT

nella norma CEI 0-21). Ad oggi, le informazioni di cui dispongono i relè d'interfaccia (denominati Sistemi di Protezione di Interfaccia) per disconnettere il generatore in caso di perdita della rete sono esclusivamente informazioni di tipo locale, basate sulla misura della tensione e della frequenza della rete viste ai morsetti dell'impianto (soglie di minima e massima frequenza e di minima e massima tensione). Infatti per il *SPI* (Sistema di Protezione di Interfaccia) è stato esplicitamente previsto nei relè un ingresso dedicato ad un segnale di tele scatto, da attuare senza ritardo intenzionale, mentre il segnale di presenza rete, su ingresso parimenti dedicato, non determina la commutazione da un set di regolazioni ad un altro ma abilita, in assenza di segnale stesso, un set di regolazioni maggiormente restrittivo [11]. Quindi si tiene conto in modo completo e strutturato sia della necessità di garantire il distacco della GD quando effettivamente necessario, sia della necessità di assicurare il mantenimento in servizio della GD durante transitori di rete che devono venire risolti da altri automatismi e/o protezioni. È anche prevista la rapida ripresa della produzione al venire meno di tali perturbazioni.

### 1.6.2 Dispositivi d'Interfaccia

Lo schema generale per la connessione degli impianti di produzione alla rete BT del distributore è indicato nella Fig. 3.

Gli elementi che costituiscono il sistema sono:

- **Dispositivo Generale (DGL):** separa l'intero impianto utente dalla rete BT del distributore in caso di guasto a valle del punto di connessione (guasto interno). Fornisce, inoltre, le funzioni di protezione, manovra e sezionamento al termine del cavo di collegamento (tratto di cavo di proprietà e pertinenza dell'utente che collega il contatore o il sistema di misura con il primo dispositivo di protezione contro le sovracorrenti dell'utente) la cui apertura assicura la separazione dalla rete di una linea dell'utente;
- **Dispositivo di Interfaccia (DDI):** separa l'impianto utente (o parte di esso) dalla rete di distribuzione. Con il termine DDI si identificano le apparecchiature di manovra la cui apertura (comandata da un apposito

sistema di protezione) assicura la separazione dell'impianto di produzione dalla rete, consentendo allo stesso l'eventuale funzionamento in isola sui carichi privilegiati (durante questo tipo di funzionamento il neutro sull'impianto dell'utente attivo deve essere interrotto). Il DDI è associato al sistema di protezione d'interfaccia;

- **Dispositivi di Generatore (DDG):** sono apparecchiature di manovra e protezione la cui apertura (comandata da un apposito sistema di protezione) determina la separazione del generatore.

In particolar modo il DDI ha lo scopo di evitare che:

- in caso di mancanza dell'alimentazione sulla rete, l'utente possa alimentare la rete stessa;
- in caso di guasto o di valori anomali di tensione e frequenza sulla rete BT cui è connesso l'utente attivo, l'utente stesso possa continuare ad alimentare il guasto o la rete;
- in caso di richiuse automatiche/manuali di interruttori sulla rete del distributore, il generatore possa trovarsi in discordanza di fase con la rete con possibilità di danneggiamento.

Il potenziale danneggiamento del generatore dipende dalle sue caratteristiche elettriche. L'intervento del DDI non è in grado di assicurare totalmente l'assenza di richiuse con il generatore in discordanza di fase, pertanto:

- nel caso di **generatori tradizionali** è possibile agire tramite opportune protezioni del generatore in funzione delle caratteristiche specifiche del generatore stesso e del tempo di attesa alla richiusura rapida, che verrà comunicato dal distributore; in questi casi è ammesso, quindi, un possibile intervento non coordinato tra *SPI* e protezioni del generatore;
- nel caso di **generatori statici**, invece, l'assenza di danneggiamenti derivanti da richiuse in discordanza di fase deve essere assicurata dalle caratteristiche proprie (sistema di controllo) dell'*inverter*, indipendentemente dal tempo di attesa alla eventuale richiusura da parte del

distributore; in questi casi non è ammesso un intervento non coordinato tra *SPI* e protezioni del generatore.

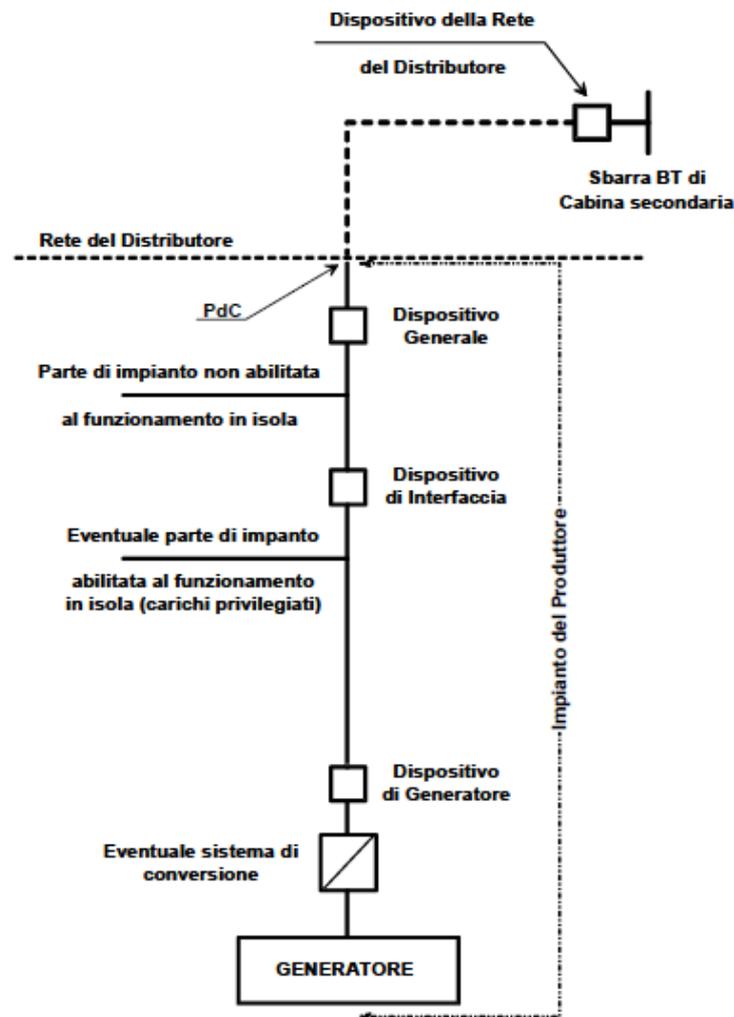


Fig. 3 Schema di connessione degli impianti di produzione alla rete BT del distributore

In generale, al fine di valutare eventuali effetti di una richiusura da parte del distributore con generatore ancora connesso, deve essere valutato l'angolo di sfasamento che può presentarsi alla richiusura tra la tensione di rete e quella presente ai morsetti del generatore ( $\alpha$ ), come di seguito descritto.

A seguito di un'apertura di un organo di manovra MT del Distributore cui segue una richiusura automatica la frequenza della rete di distribuzione e quella del generatore sono indipendenti. Qualora si verifichi un funzionamento in isola del generatore su parte della rete del distributore le due tensioni, della rete del distributore e dell'isola

governata dal generatore, possono differire. Il massimo angolo di sfasamento, espresso in gradi, fra tensione della rete di distribuzione e tensione dell'isola governata dal generatore al momento della richiusura automatica da parte del distributore stesso è pari a:

$$\alpha = \Delta f \cdot t_{rr} \cdot 360 \quad (1.1)$$

dove:

- $t_{rr}$  = tempo di attesa alla richiusura rapida da parte del Distributore, espresso in s;
- $\Delta f$  = regolazioni delle soglie di massima e minima frequenza (la verifica va fatta per entrambe, se diverse).

Le indicazioni precedenti sono necessarie per valutare la differenza di fase che può essere presente in caso di parallelo causato da una richiusura e quindi permettono all'utente attivo di valutare gli effetti sui propri impianti di generazione al fine di mettere in atto tutte le misure opportune per salvaguardare il macchinario.

### **1.6.3 Caratteristiche e soglie di protezione del SPI**

Il Sistema di Protezione di Interfaccia, che separa la rete pubblica dalla GD in caso di guasto o di funzionamento anomalo della rete pubblica, agendo sul DDI, espleta le seguenti funzioni:

- protezione di massima/minima frequenza;
- protezione di massima/minima tensione;
- capacità di ricevere segnali, su protocollo serie IEC 61850, finalizzati a:
  - presenza rete dati (per abilitazione soglie di frequenza);
  - comando di telescatto.
  - stabilire il funzionamento dell'inverter

Per i sistemi trifase, le protezioni:

- di massima/minima tensione devono avere in ingresso grandezze proporzionali alle tre tensioni BT concatenate;
- di massima/minima frequenza devono avere in ingresso grandezze proporzionali almeno ad una tensione concatenata BT.

Il sistema di protezione di interfaccia deve essere realizzato tramite:

- un **dispositivo dedicato** (relè di protezione) per impianti di produzione con potenza complessiva superiore a 6 kW;
- un **dispositivo integrato** nell'apparato di conversione statica oppure un dispositivo dedicato (relè di protezione) per impianti di produzione con potenza fino a 6 kW.

Nella Tabella 1 sono riportate le regolazioni del SPI.

Limitatamente ai soli generatori statici (*inverter*) il *SPI* deve prevedere la possibilità di disabilitare su comando locale, protetto da usi impropri anche in assenza di segnale di comunicazione, le soglie  $81 > .S1$  e  $81 < .S1$ , consentendo il funzionamento della soglia, sempre abilitata, compresa tra 47,5Hz ( $81 < .S2$ ) e 51,5Hz ( $81 > .S2$ ).

Tabella 1 PARAMETRI DI REGOLAZIONE DEL SISTEMA DI PROTEZIONE DI INTERFACCIA

Protezione	Soglia di intervento	Tempo di intervento (tempo intercorrente tra l'istante di inizio della condizione anomala rilevata dalla protezione e l'emissione del comando di scatto)
Massima tensione (59.S1, misura a media mobile su 10 min, in accordo a CEI EN 61000-4-30)	1,10 Vn	<3 s
Massima tensione (59.S2)	1,15 Vn	0,2 s
Minima tensione (27.S1)**	0,85 Vn	0,4 s
Minima tensione (27.S2)***	0,4 Vn	0,2 s
Massima frequenza ( $81 > .S1$ )* $\diamond$	50,5 Hz	0,1 s
Minima frequenza ( $81 < .S1$ )* $\diamond$	49,5 Hz	0,1 s
Massima frequenza ( $81 > .S2$ ) $\diamond$	51,5 Hz	0,1 s ÷ 1 s
Minima frequenza ( $81 < .S2$ ) $\diamond$	47,5 Hz	0,1 s ÷ 4 s

- \* Soglia abilitata solo in assenza del segnale di comunicazione oppure in assenza del comando locale.
- \*\* Nel caso di generatori tradizionali, il valore indicato per il tempo di intervento deve essere adottato quando la potenza complessiva è superiore a 6 kW, mentre per potenze inferiori, può essere facoltativamente utilizzato un tempo di intervento senza ritardo intenzionale.
- \*\*\* Soglia obbligatoria per i soli generatori statici con potenza complessiva installata superiore a 6 kW.
- ◇ Per valori di tensione al di sotto di  $0,2 V_n$ , la protezione di massima/minima frequenza si deve inibire.

Le regolazioni possono essere riassunte mediante uno schema logico del funzionamento del *SPI*, illustrato nella Fig. 4. Tale schema logico contiene anche l'indicazione dei segnali di teledistacco e di presenza rete di comunicazione.

Le eventuali protezioni (integrate oppure esterne) del generatore indirettamente connesso alla rete devono essere coordinate con le protezioni di interfaccia e quindi devono consentire il funzionamento del generatore nei campi di tensione e frequenza impostati nella protezione di interfaccia, come specificati nel regolamento di esercizio.

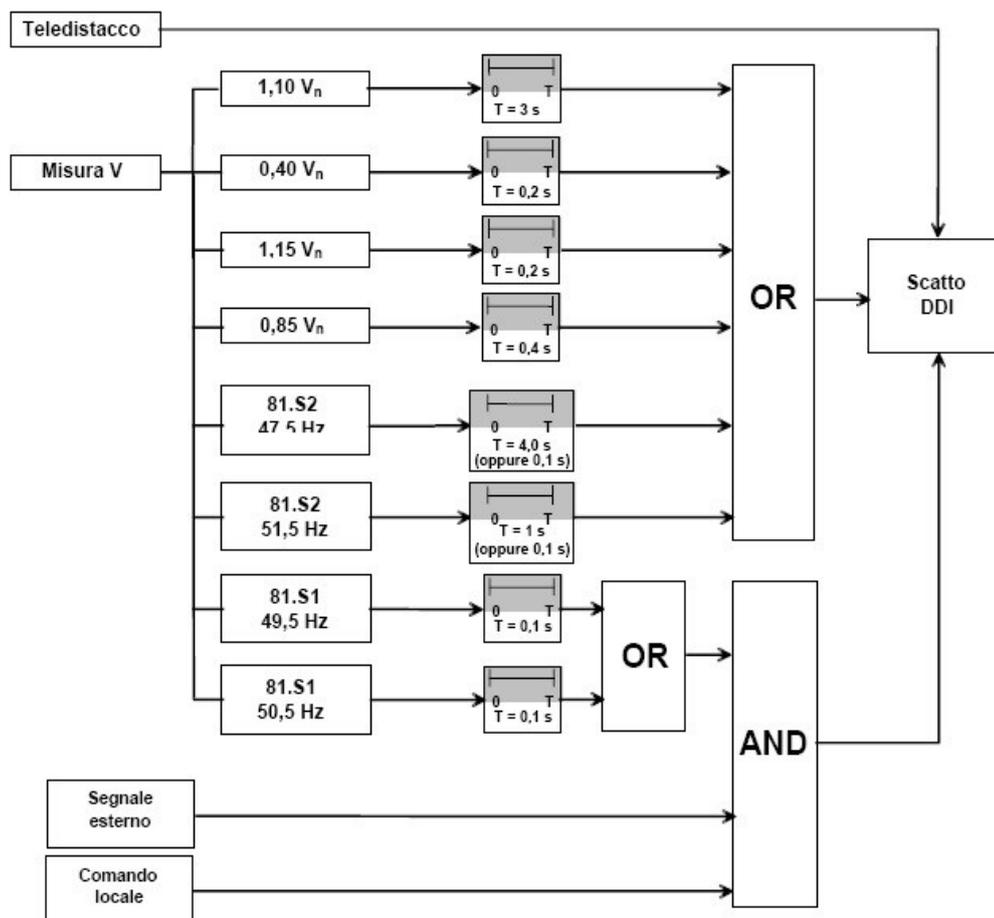


Fig. 4 Schema logico delle funzioni che deve eseguire il *SPI*

Se il sistema di protezione di interfaccia è realizzato tramite dispositivo dedicato (relè esterno), il *SPI* può essere escluso temporaneamente solo in una delle seguenti condizioni particolari di esercizio:

- l'impianto dell'utente attivo è in isola e il dispositivo generale, o qualsiasi altro dispositivo posto tra la rete di distribuzione e il dispositivo di interfaccia che impedisce il parallelo dell'impianto di produzione con la rete di distribuzione, siano bloccati in posizione di aperto;
- tutti i gruppi di generazione sono disattivati e scollegati.

L'esclusione deve essere realizzata mediante un contatto chiuso con dispositivo del generatore aperto, posto in parallelo al contatto di scatto delle protezioni di interfaccia. Se sono presenti più generatori ed un unico dispositivo di interfaccia, i contatti discordi dovranno essere posti in serie tra loro affinché l'esclusione di detto dispositivo avvenga solo quando tutti i generatori sono disattivati. Nel caso siano presenti più interruttori di interfaccia l'apertura dell'interruttore di ciascun generatore deve escludere il rispettivo *SPI*.

Il *SPI* deve prevedere:

- una funzione di protezione di minima tensione con due soglie;
- una funzione di protezione di massima tensione con due soglie;
- una funzione di protezione di minima frequenza con due soglie;
- una funzione di protezione di massima frequenza con due soglie;
- una funzione di elaborazione del segnale di tele-scatto;
- una funzione di elaborazione del segnale di presenza segnale di comunicazione;
- una funzione di autodiagnosi;
- una funzione di autotest (obbligatoria qualora integrato nel sistema di controllo dell'inverter di un impianto di produzione di potenza complessiva fino 6 kW);
- eventuali trasduttori finalizzati alla acquisizione dei segnali di tensione;
- un circuito di apertura del dispositivo di interfaccia;
- solo per il *SPI* esterno, un sistema di alimentazione ausiliario che consenta il suo funzionamento per almeno 90 s.

La tensione e la frequenza nominale per tutte le funzioni di protezione sono:

- Tensione nominale: 230/400 V;
- Frequenza nominale: 50 Hz.

Le soglie di intervento ed i tempi di intervento devono poter essere modificabili a richiesta del Distributore, pertanto il *SPI* dovrà essere programmato di default con le soglie ed i tempi di intervento già descritti, ma deve risultare sempre possibile modificare soglie e tempi di intervento.

È ammesso l'impiego di più DDI comandati da un unico *SPI*. L'impiego di più *SPI* è ammesso, purché essi agiscano in logica *OR* (l'anomalia rilevata da ciascun *SPI* provoca lo sgancio di tutti i DDI).

Per impianti di potenza complessiva fino a 20 kW è ammesso che siano presenti fino a tre dispositivi di interfaccia distinti, ciascuno col proprio *SPI*, sprovvisti di funzionamento in *OR*. Se i dispositivi presenti sono superiori a tre, si deve prevedere il loro funzionamento in *OR*. Per potenze superiori a 20 kW deve essere previsto un dispositivo di ricalzo al DDI (che eventualmente può essere il DG/DGL).

La funzione di ricalzo al dispositivo di interfaccia è realizzata tramite l'invio, temporizzato al massimo di 0,5 s, del comando di apertura della protezione di interfaccia ad un altro dispositivo (di ricalzo) in grado di separare il/i generatore/i dalla rete in caso di mancata apertura del dispositivo di interfaccia. Il ripristino del dispositivo di ricalzo deve avvenire solo manualmente.

Per impianti indirettamente connessi, qualora l'inverter sia già dotato di un DDI interno di tipo elettromeccanico, è ammesso che questo assolva la funzione di ricalzo al DDI purché in grado di ricevere il segnale di apertura ritardata proveniente dal *SPI* esterno.

Per impianti di produzione con potenza unitaria o complessiva superiore a 20 kW, devono sempre essere presenti almeno due dispositivi tra il generatore e la rete, asserviti alla protezione di interfaccia di cui:

- uno assolva la funzione di DDI;
- l'altro assolva la funzione di ricalzo al DDI.

L'azione combinata dei due dispositivi separa pertanto in maniera affidabile i generatori dalla rete del distributore. Deve essere garantito l'intervento coordinato del

dispositivo di generatore (DDG), di quello di interfaccia e del dispositivo generale in caso di guasti sulla rete del distributore. Infatti il Dispositivo di Generatore separa il generatore dall'impianto assicurando, ad esempio, l'avviamento, esercizio e arresto dell'impianto in condizioni normali di funzionamento.

In particolare, in questi casi, il dispositivo di generatore (DDG) può intervenire:

- solo come ricalzo del dispositivo di interfaccia per generatori di qualsivoglia tipologia connessi alla rete mediante interposizione di sistemi di raddrizzamento/inversione (generatori statici);
- per salvaguardare l'integrità del generatore sincrono/asincrono direttamente connesso alla rete (generatori tradizionali).

Il DDG, in ogni caso, deve essere in grado di interrompere le correnti di guasto fornite dal generatore stesso. Se coincidente con DG o con DDI, deve, inoltre, avere almeno le medesime caratteristiche del DG o del DDI

Il funzionamento di un impianto di produzione in parallelo alla rete del distributore è subordinato a precise condizioni, tra le quali in particolare quelle di seguito elencate:

- il funzionamento in parallelo non deve causare perturbazioni al servizio sulla rete del distributore (al fine di preservare il livello di qualità del servizio indicato dalla norma CEI/EN 50160);
- il funzionamento in parallelo deve interrompersi senza ritardo intenzionale ed automaticamente agendo sul DDI tramite il *SPI*:
  - in assenza di alimentazione della rete di distribuzione;
  - in caso di guasto al sistema di protezione di interfaccia;
  - qualora i valori di tensione e frequenza della rete non siano compresi entro i valori di regolazione riportati nella tabella delle soglie d'intervento (Tabella 2).

Si sottolinea che in particolari situazioni di carico della rete del distributore, l'intervento del *SPI* e la conseguente apertura del DDI potrebbero non avvenire in caso di mancanza dell'alimentazione di rete o di guasti sulla rete. Pertanto, l'utente attivo deve mettere in atto tutti gli accorgimenti necessari alla salvaguardia dei propri impianti, in funzione delle caratteristiche degli stessi, che devono resistere alle sollecitazioni conseguenti ad eventuali richiuse degli organi di manovra del

distributore, tipicamente richiusure rapide effettuate da interruttori sulla rete MT, e che possano trovare i generatori in discordanza di fase con la tensione di rete [9].

#### 1.6.4 Protezione di minima e di massima tensione di fase (o concatenata)

Le protezioni di minima e di massima tensione possono essere in esecuzione unipolare oppure tripolare, ciascuna a due soglie di intervento. I campi di regolazione previsti sono riportati nella Tabella 2.

La protezione di massima tensione (59.S1) deve essere realizzata come protezione basata sul calcolo del valore medio di 10 minuti secondo quanto previsto dalla *Norma EN 61000-4-30*. Al più tardi ogni 3s deve essere creato un nuovo valore medio dei 10 minuti precedenti, da paragonare al valore di impostazione per la protezione 59.S1 (Tabella 2).

Tabella 2 SOGLIE DI MINIMA E MASSIMA TENSIONE DI FASE

<b>Soglia minima tensione 27.S1</b>	
Soglia	$(0,2 \div 1) \cdot V_n$ - regolabile con passo di 0,05 Vn
Tempo di intervento	$(0,05 \div 5)$ s - regolabile con passo di 0,05 s
<b>Soglia minima tensione 27.S2</b>	
Soglia	$(0 \div 1) \cdot V_n$ - regolabile con passo di 0,05 Vn
Tempo di intervento	$(0,05 \div 5)$ s - regolabile con passo di 0,05 s
<b>Soglia massima tensione 59.S1</b>	
Soglia	$(1 \div 1,20) V_n$ - regolabile con passo di 0,01 Vn
Tempo di intervento	$(0,2 \div 10)$ s - regolabile con passo di 0,1 s
<b>Soglia massima tensione 59.S2</b>	
Soglia	$(1,0 \div 1,3) V_n$ - regolabile con passo di 0,01 Vn
Tempo di intervento	$(0,05 \div 1)$ s - regolabile con passo di 0,05 s

#### 1.6.5 Protezione di minima e di massima frequenza [ $81<$ , $81>$ ]

Le protezioni di minima e di massima frequenza devono essere in esecuzione almeno unipolare, ciascuna a due soglie di intervento. I campi di regolazione previsti sono riportati nella Tabella 3.

La protezione deve essere insensibile a transitori di frequenza di durata minore o uguale a 40 ms. La protezione deve funzionare correttamente nel campo di tensione in ingresso compreso tra  $0,2 V_n$  e  $1,15 V_n$  e deve inibirsi per tensioni in ingresso inferiori a  $0,2 V_n$ .

Tabella 3 SOGLIE DI MINIMA E MASSIMA FREQUENZA

<b>Soglia 81&lt;.S1</b>	
Soglia	(47,0 ÷ 50,0) Hz - regolabile con passo di 0,1 Hz
Tempo di intervento	(0,05 ÷ 5) s - regolabile con passo di 0,05 s
<b>Soglia 81&lt;.S2</b>	
Soglia	(47,0 ÷ 50,0) Hz - regolabile con passo di 0,1 Hz
Tempo di intervento	(0,05 ÷ 5) s - regolabile con passo di 0,05 s
<b>Soglia 81&gt;.S1</b>	
Soglia	(50,0 ÷ 52,0) Hz - regolabile con passo di 0,1 Hz
Tempo di intervento	(0,05 ÷ 5) s - regolabile con passo di 0,05 s
<b>Soglia 81&gt;.S2</b>	
Soglia	(50,0 ÷ 52,0) Hz - regolabile con passo di 0,1 Hz
Tempo di intervento	(0,05 ÷ 5) s - regolabile con passo di 0,05 s

### 1.7 Sistemi di comunicazione per le smart grid

Un aspetto importante per lo sviluppo delle Smart grid é la capacità di trasferire dati concernenti lo status della rete di media tensione (MT) dalle diverse cabine di trasformazione al centro di controllo e viceversa. Lo sviluppo di tale infrastruttura di comunicazione, specialmente in presenza di DG, permetterebbe di implementare un numero di funzioni rapide per l'automazione ed il controllo remoto, il riconoscimento e l'isolamento dei guasti, il ripristino del servizio, la regolazione della tensione, il monitoraggio della qualità della potenza, la protezione anti-islanding, il sistema diagnostico e così via.

Una grande varietà di tecnologie di comunicazione può essere coinvolta nella realizzazione delle smart grid, tra le quali si possono annoverare: le comunicazioni cablate ed in fibra ottica, le comunicazioni wireless (CDMA, GSM, GPRS, UMTS, WiMAX, HiperLAN etc.), le comunicazioni radio, le wireless local area networks

(WLAN, WiFi, ZigBee, etc.) e le power line communications. Particolare attenzione è stata riposta proprio su quest'ultima tecnologia.

### **1.8 Power line communication**

Le *PowerLine Communication (PLC)*, conosciute anche come onde convogliate) permettono di trasmettere informazioni utilizzando come mezzo fisico le linee elettriche della rete di distribuzione dell'energia. Il principio di funzionamento è basato sulla sovrapposizione al flusso di potenza a bassa frequenza di un segnale a frequenza più elevata modulato con l'informazione da trasmettere. La separazione dei due tipi di segnali avviene attraverso opportuno filtraggio e separazione delle componenti frequenziali. Tra le citate tecniche di comunicazione, la PLC quindi è l'unica tecnologia cablata che ha un costo comparabile alle tecnologie wireless, poiché le linee di comunicazione sono già presenti (ovvero le linee elettriche), ma che, a differenza di queste ultime, non prevede un costo di servizio. L'utilizzo delle soluzioni wireless o comunicazioni-radio, infatti, implica un accordo economico fra i fornitori di energia elettrica e quelli di comunicazione; al contrario, le tecnologie PLC non hanno costi di servizio poiché i fornitori di energia elettrica possiedono usualmente anche le reti elettriche di distribuzione. Le comunicazioni relative ai servizi elettrici, inoltre, non constano di grandi moli di dati, per cui può essere sufficiente una connettività a velocità relativamente bassa, che può essere ottenuta utilizzando la tecnologia PLC a banda stretta (narrowband).

Alla luce delle suddette considerazioni, è importante indagare nel dettaglio le potenzialità della tecnologia PLC e superare i suoi attuali limiti, nella prospettiva di un suo uso e di una sua integrazione nelle reti di comunicazione delle smart grid.

In vari paesi (come in Italia), le PLC sono già utilizzate nelle reti di bassa tensione per la lettura automatica (AMR) dei contatori di energia e nelle infrastrutture automatiche di misura (AMI). Tali applicazioni fanno uso di transceiver a singola portante e con diverse tipologie modulazione tra le quali si citano la frequency shift-keying, (FSK), la binary phase shift-keying (BPSK), la quadrature phase shift-keying (QPSK) e la 8 phase shift-keying (8PSK). Per tali applicazioni, si usano PLC dati a bassa velocità a banda stretta (NB), funzionanti nelle bande CENELEC (3-148.5 kHz). Questa, infatti, è l'unica banda per PLC standardizzata disponibile in tutto il mondo.

In letteratura, sono stati presentati molti studi sul comportamento ad alta frequenza delle linee aeree in alta tensione e dei cavi di bassa tensione. L'applicazione della tecnologia PLC nelle reti di media tensione (MT) è invece ancora sotto esame. Altre questioni ancora aperte sono la realizzazione di accoppiatori MT affidabili e la propagazione del segnale attraverso trasformatori di potenza. Per quanto riguarda quest'ultimo aspetto, è opinione diffusa che l'impedenza del trasformatore, vista dai terminali MT, è così alta che il segnale resta confinato nella rete MT. Per le suddette ragioni, le PLC non sono ancora largamente usate in sistemi MT e vengono attualmente impiegate altre tecnologie di comunicazione (come GSM o Wireless), che richiedono costi suppletivi per i servizi e per gli impianti. La possibilità di impiegare PLC a banda stretta nelle reti di distribuzione MT è stata quindi approfondita mediante simulazioni e test sperimentali, realizzati prendendo a riferimento il caso studio della rete di distribuzione dell'Isola di Ustica. In particolare, è stata studiata e testata una comunicazione MT bidirezionale, fra due cabine secondarie da una linea in cavo. Ogni cabina è in connessione entra-esce in MT ed ha un trasformatore MT/BT in olio. È stato sviluppato un modello per ogni singolo elemento del sistema e si è studiata la propagazione del segnale a diverse frequenze di trasmissione (cfr. capitolo 3). I risultati della simulazione sono stati poi confrontati con test sperimentali, condotti in presenza della tensione di rete (24 kV) (cfr. capitolo 5). In tal modo è stato possibile indagare sulla velocità di trasmissione massima raggiungibile al variare della frequenza della portante e della tecnica di modulazione.

## **CAPITOLO 2: ANALISI ARMONICA DI SEGNALI NON SINUSOIDALI NEL CASO DELLE SMART GRID**

### **2.1 Problematica dell'analisi armonica di segnali non sinusoidali nel caso delle smart grid**

Le reti elettriche sono ancora oggi essenzialmente caratterizzate da un controllo centralizzato, con flussi di potenza unidirezionali verso reti di distribuzione passive e con una quantità limitata di funzioni intelligenti e di automazione. Viceversa, l'integrazione della generazione distribuita (GD) implica la trasformazione dei tradizionali sistemi di distribuzione passivi in reti attive ed intelligenti (smart grids), caratterizzate da flussi di energia bidirezionali e dalla presenza di sistemi di misura e comunicazione distribuiti, capaci di realizzare le opportune azioni di monitoraggio, automazione, protezione e controllo della rete. Dunque l'evoluzione dei sistemi di misura e comunicazione rappresenta un passo fondamentale per lo sviluppo delle reti; essa infatti hanno un ruolo fondamentale non solo per le funzioni tipiche dello smart metering ma anche per nuove funzioni di gestione, monitoraggio, protezione e controllo delle future smart grids. Ad esempio la qualità della tensione in una smart grid può essere influenzata negativamente da una serie di disturbi, tra i quali la già citata distorsione armonica, i cui livelli sono in aumento a causa degli inverter utilizzati dalla GD e della proliferazione di carichi non lineari. Pertanto, i sistemi di misura, nel loro normale funzionamento, possono trovarsi in condizioni molto diverse da quelle nominali e per le quali sono attualmente progettati e verificati.

A tale proposito diventa importante indagare sui segnali presenti in una smart grid e intervenire in presenza di anomalie della rete. Lo strumento che permette di eseguire questa analisi è lo studio armonico dei segnali transitanti. L'obiettivo principale dell'analisi dei segnali è infatti estrarre informazioni rilevanti da una certa forma d'onda di un segnale per mezzo di una sua trasformazione dal dominio del tempo a quello della frequenza. Per segnali stazionari, cioè segnali il cui contenuto spettrale non varia nel tempo, la trasformazione più comune è sicuramente la trasformata di Fourier che, nel caso di dispositivi integrati, diventa discreta. Nel caso in cui tale tipo di trasformata sia applicata a segnali non stazionari questa evidenzierà la presenza delle componenti armoniche del segnale, ma non permetterà di ricavare informazioni su quando e come

tali frequenze siano effettivamente presenti. La trasformata cioè non produrrebbe delle informazioni utili all'analisi del segnale in esame.

Per tipici segnali non stazionari quali, ad esempio, segnali transitori caratterizzati da un contenuto frequenziale variabile nel tempo (come ad esempio segnali provenienti da fenomeni naturali o da sorgenti artificiali), l'analisi armonica effettuata con la trasformata di Fourier o tramite le altre trasformate ampiezza-frequenza, si ipotizza dunque inadeguata. Tutte queste trasformate inoltre presuppongono che il segnale sia periodico e stazionario durante l'intero periodo di acquisizione. Nasce dunque l'esigenza di analizzare le tecniche di analisi spettrale ampiezza-frequenza per stabilire, in base ai fenomeni di interesse, quali possano essere le approssimazioni da fare e le condizioni sufficienti affinché sia ancora possibile adoperare alcuni dei metodi di analisi armonica altrimenti non applicabili [11].

## **2.2 Gli algoritmi per l'analisi armonica**

L'analisi armonica permette, sotto opportune condizioni, di conoscere il contenuto spettrale del segnale di cui si vuole effettuare l'analisi. Per segnali stazionari sono numerosi gli algoritmi di analisi armonica applicabili, infatti conoscere a priori la tipologia di segnale da analizzare facilita la scelta di un algoritmo specifico e permette un'analisi tanto veloce quanto accurata. Nel caso di segnali non stazionari, molti algoritmi risultano non applicabili. Gli algoritmi di analisi spettrale consistono nell'operare una trasformazione del segnale di ingresso (campionato in modo opportuno) dal dominio del tempo verso un dominio di destinazione. Le tipologie di analisi spettrale sono divisibili in due classi: i metodi di trasformazione ampiezza-frequenza e tempo-ampiezza-frequenza. In letteratura esistono metodi di analisi spettrale ampiezza-frequenza, alcuni dei quali sono sviluppati nel rispetto di particolari ipotesi che semplificano la quantità di calcoli limitandone però il campo di applicazione. Infatti, i metodi di analisi armonica che impiegano un costo computazionale più basso, vincolano la variabilità ed il contenuto armonico del segnale a condizioni ben definite. Nel caso di segnali reali non è sempre detto che siano presenti le suddette condizioni di stazionarietà del segnale, per cui non è sempre possibile applicare alcuni tipi di trasformazioni veloci. In particolare è stata posta l'attenzione su due dei tanti metodi di analisi ampiezza-frequenza: la FFT (Fast Fourier Transform), che in effetti è il metodo di trasformazione ampiezza-frequenza più largamente

utilizzato, e la CZT (Chirp-Z Transform). Entrambi gli algoritmi presentano peculiarità uniche, nonostante discendano dalla stessa equazione matematica per il caso discreto: la DFT (Discrete Fourier Transform).

### 2.2.1 DFT e FFT

La DFT (Discrete Fourier Transform) è un algoritmo numerico orientato all'implementazione su piattaforme elettroniche digitali ed opera sul segnale di ingresso una trasformazione ampiezza-frequenza. Esso infatti converte un finito numero di campioni (di un segnale) aventi la stessa distanza temporale in un insieme di coefficienti di una finita combinazione lineare di sinusoidi complesse, ordinate al crescere della frequenza, funzione degli stessi campioni di ingresso. Si può dunque dire che il segnale campionato venga trasformato dal proprio dominio di origine, il tempo, al dominio della frequenza. I campioni di ingresso possono essere numeri complessi (e quindi reali considerando la parte immaginaria nulla), mentre saranno complessi i campioni di uscita. Prevedendo ingressi di tipo complesso, si presuppone che i campioni di ingresso contengano le informazioni di modulo e fase del segnale campionato. Le frequenze delle sinusoidi della combinazione lineare (periodica) prodotta dalla trasformata sono multipli interi di una frequenza fondamentale, il cui periodo è la lunghezza dell'intervallo di campionamento. La DFT quindi consiste in un algoritmo numerico che discretizza la Trasformata di Fourier in forma integrale, la quale, nella sua formulazione classica, si trova generalmente espressa nel seguente modo:

$$X(\omega) := \frac{1}{\sqrt{2\pi}} \int_{\mathbb{R}} x(t) \cdot e^{-j\omega t} dt \quad \forall \omega \in \mathbb{R} \quad (2.1)$$

Per poter semplificare il calcolo dell'integrale, e trattare segnali discreti nel tempo, ci si riconduce ad una forma semplificata in cui al posto dell'integrale troviamo una sommatoria di N elementi, ottenuti campionando il segnale funzione del tempo  $x(t)$ . I campioni del segnale di ingresso che dovranno essere elaborati compaiono nella forma  $x(n)$ . La discretizzazione della trasformata di Fourier, diventa proprio la DFT [12].

$$X(k) = \sum_{n=0}^{N-1} x(n) \cdot e^{-j\left(\frac{2\pi}{N}\right)kn} \quad (k=0, 1, 2, \dots, N-1) \quad (2.2)$$

In cui  $k$  costituisce l'indice dei coefficienti di uscita,  $n$  quello dei coefficienti di ingresso. Indicando con  $N$  il numero di campioni di ingresso, l'algoritmo così descritto richiede l'esecuzione di una quantità di operazioni dell'ordine di  $N^2$  e ciò comporta un grande onere computazionale. Ottimizzando ulteriormente l'algoritmo grazie a particolari proprietà di simmetria dei coefficienti delle armoniche all'interno della sommatoria, si è riusciti ad eliminare una certa quantità di operazioni ridondanti riuscendo ad effettuare la stessa scomposizione del segnale con una quantità di operazioni paria a  $N \log_2 N$ . L'algoritmo così ottenuto è quello che viene indicato col nome di Trasformata discreta veloce di Fourier (FDFT, o FFT), e consente un notevolissimo risparmio di tempo e di operazioni, ma è applicabile solo nel caso in cui il numero di campioni di ingresso  $N$  sia una potenza intera di 2.

Con la definizione "FFT" quindi si intende una implementazione della DFT con uno specifico algoritmo, studiato per ottimizzare il numero di operazioni necessarie, e quindi diminuire il tempo necessario a effettuare i calcoli, senza perdere in precisione. Gli algoritmi possibili sono molteplici, ma il più noto è quello pubblicato da Cooley e Tukey nel 1965. Esso permette di dividere una DFT in più DFT di dimensione minore, in modo ricorsivo [13].

La FFT è ampiamente applicata in letteratura, soprattutto per le sue caratteristiche di flessibilità ed il suo basso onere computazionale. Purtroppo un grosso problema di questo algoritmo è legato al fatto che la risoluzione della rappresentazione del segnale fornita nel dominio della frequenza è costante lungo tutto lo spettro ed è inversamente proporzionale al numero di punti di segnale processati, cioè la risoluzione peggiora al diminuire di  $N$ .

$$R = \frac{f_c}{N} = \frac{1}{N \cdot T_c} = \frac{1}{T_w} \quad (2.3)$$

Avendo indicato con  $f_c$  la frequenza di campionamento del segnale, con  $N$  il numero di campione del segnale elaborati, con  $T_c$  il periodo di campionamento e con  $T_w$  l'ampiezza (in secondi) della finestra di osservazione. La (2.3) evidenzia come la

risoluzione è esattamente pari all'inverso della finestra di osservazione, cosa che, nel caso di segnali non stazionari, penalizza inevitabilmente l'algoritmo. Ci si trova quindi di fronte al problema della necessità di una piccola finestra di osservazione (per mantenere la stazionarietà del segnale) a patto di ottenere una elevata risoluzione.

L'algoritmo ampiezza-frequenza che permette di superare questo ostacolo è la CZT.

### 2.2.2 CZT

La CZT è un algoritmo di analisi armonica derivante dalla DFT. A differenza della FFT, la CZT prevede l'utilizzo di una sola porzione del cerchio goniometrico. Per ricavare l'espressione della CZT, consideriamo una sequenza di campioni di ingresso  $x[n]$  composta da  $N$  elementi, e  $X(k)$  la sua trasformata discreta di Fourier [14]. Supponiamo di considerare  $M$  elementi fra gli  $X(k)$  i quali sono equispaziati in radianti nel cerchio goniometrico di raggio unitario (Fig. 5), ovvero:

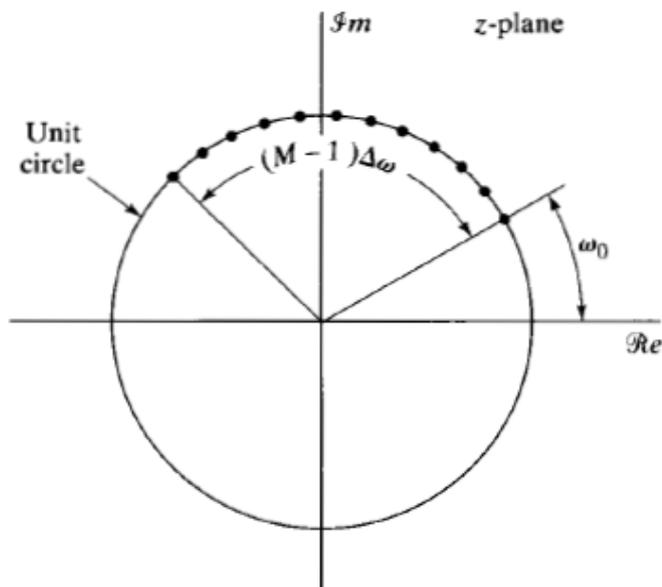


Fig. 5 Rappresentazione sul piano complesso degli elementi equispaziati in radianti

Ogni punto sul cerchio è equispaziato dal successivo. A tale proposito occorre fare una precisazione prima di affrontare i calcoli che ci porteranno all'espressione finale. In Fig. 5 possiamo vedere che i punti distanti uno dall'altro  $\Delta\omega$  giacciono tutti sul cerchio goniometrico di raggio unitario. In realtà nell'algoritmo CZT non è necessario che i punti si trovino sul cerchio, e talvolta può risultare utile, a seconda del

tipo di analisi che occorre effettuare, ricorrere ad un percorso differente, a “spirale” come mostrato in Fig. 6:



Fig. 6 Esempio di percorsi a spirale implementabili nella CZT

Per tenere conto della posizione iniziale sul cerchio goniometrico, si aggiunge un termine  $A = A_0 e^{j\theta_0}$  che, nel caso di nostro interesse, verrà posto pari a 1 in quanto si vuole che la partenza sia dal punto di coordinate (1;0) sul piano di Gauss.

$$\omega_k = \omega_0 + k\Delta\omega \quad k = 0, 1, \dots, M - 1 \quad (2.4)$$

Nella (2.4),  $\omega_0$  è la frequenza iniziale e  $\Delta\omega$  l'incremento che può essere scelto arbitrariamente. Nel caso della DFT (e FFT),  $\omega_0 = 0$ ,  $M = N$ ,  $\Delta\omega = 2\pi/N$ . La trasformata di Fourier discreta corrispondente a questo set di frequenze è data dalla 2.5:

$$X(k) = \sum_{n=0}^{N-1} x[n] e^{-j\omega_k n} \quad k = 0, 1, \dots, M - 1 \quad (2.5)$$

Definiamo adesso,

$$W = e^{-j\Delta\omega} \quad (2.6)$$

Se volessimo ottenere un percorso di raggio variabile (a spirale ad esempio) la (2.6) sarebbe stata del tipo  $W = W_0 e^{-j\Delta\omega}$ , supponendo quindi modulo di  $W$  diverso da 1 e pari alla funzione che si vuole realizzare. Nell'analisi consideriamo  $W = 1$ . Sostituendo le 2.4 e 2.6 alla 2.5, si ottiene:

$$X(k) = \sum_{n=0}^{N-1} x[n] e^{-j\omega_0 n} W^{nk} \quad (2.7)$$

Possiamo riscrivere il termine  $nk$  nel seguente modo:

$$nk = \frac{1}{2}[n^2 + k^2 - (k - n)^2] \quad (2.8)$$

Sostituendo la 2.8 nella 2.7 otteniamo:

$$X(k) = \sum_{n=0}^{N-1} x[n] e^{-j\omega_0 n} W^{n^2/2} W^{k^2/2} W^{-(n-k)^2/2} \quad (2.9)$$

Possiamo porre per comodità

$$g[n] = x[n] e^{-j\omega_0 n} W^{n^2/2} \quad (2.10)$$

E dunque la 2.9 si riscrive nella seguente maniera:

$$X(k) = W^{k^2/2} \left( \sum_{n=0}^{N-1} g[n] W^{-(n-k)^2/2} \right) \quad k = 0, 1, \dots, M-1 \quad (2.11)$$

L'impiego di tale trasformata risulta molto utile laddove è d'interesse rilevare solo una parte dello spettro. L'utilizzo della CZT permette, al contrario della FFT, di svincolare la risoluzione spettrale dall'ampiezza della finestra di osservazione ( $T_w$ ), utilizzando tutti i punti campionati per ricostruire lo spettro armonico di una banda del segnale acquisito. Naturalmente, a pari numero di punti acquisiti, tanto più piccola è la banda di segnale analizzata, tanto migliore sarà la risoluzione della trasformata. L'espressione che definisce la risoluzione è infatti:

$$R = \frac{\Delta f}{N} \quad (2.12)$$

L'impiego di tale trasformata dal dominio del tempo a quello della frequenza consente, anche a pari risoluzione della FFT, di ridurre il numero di campioni necessari per l'analisi del segnale. Tale ultimo provvedimento consente, oltre alla diminuzione dei tempi necessari al campionamento della finestra di acquisizione e di elaborazione, anche e soprattutto la riduzione di tutti gli errori legati alla non stazionarietà del segnale [15].

### 2.3 Confronto FFT – CZT

La CZT è un algoritmo che offre una FFT ad alta risoluzione, con la libertà di decidere la larghezza di banda su cui effettuare un'osservazione. In generale, nel campo dell'analisi di segnali digitali, l'algoritmo più usato è la FFT per individuare toni, frequenze, armoniche, e studiare il comportamento in frequenza di un dato segnale [14].

Per comprendere la modalità di funzionamento della CZT, consideriamo la FFT ed analizziamo le differenze a parità di condizioni. Nel caso della FFT, il range di frequenze va da 0Hz a  $f_s$  (che è la frequenza di campionamento) con i campioni equispaziati; e ciò comporta, in termini di risoluzione, una distanza costante tra un campione e l'altro (Fig. 7).

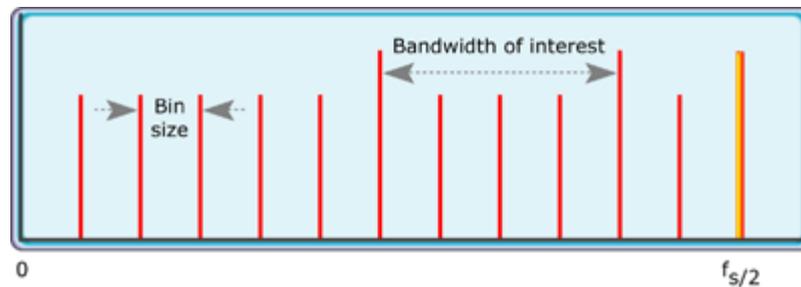


Fig. 7 Risoluzione della FFT

Per cui, se inviassimo un segnale che possiede due armoniche vicine fra loro, la risoluzione spettrale risulterebbe fondamentale per la loro individuazione. Qualora la risoluzione non fosse sufficiente, si visualizzerebbe un lobo soltanto come mostrato in Fig. 8. In figura si osserva un segnale di ingresso composto da due Delta di Dirac (freccie in verde) a frequenze comprese tra due "bin size" il cui segnale in frequenza ricade nella banda di interesse, quindi la trasformata è un'approssimazione delle due Delta in un lobo soltanto a causa della scarsa risoluzione.

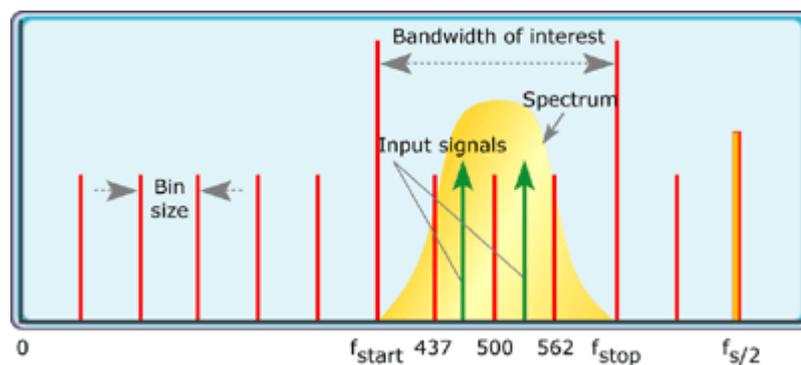


Fig. 8 FFT di un segnale con due lobi vicini fra loro in frequenza

Nell' algoritmo FFT la risoluzione in frequenza dipende dal numero di punti che si decide di utilizzare (2.3): maggiore è il numero di punti, maggiore sarà la risoluzione in frequenza. Se il numero di punti non è adeguato, può succedere che il segnale non sia risolto correttamente e si ottenga un andamento come in Fig. 8. Naturalmente, se parliamo di soluzioni integrate, aumentare il numero campioni di ingresso significa scegliere dell'hardware opportuno che deve prevedere memorie sufficientemente grandi, velocità di elaborazione maggiori, etc. Inoltre ad un aumento del numero di campioni corrisponde una durata maggiore della finestra di osservazione e dunque una condizione stringente in termini di stazionarietà sul segnale da analizzare.

Se si suppone di sapere già la banda del segnale di ingresso, è possibile pensare che la risoluzione possa aumentare in modo significativo riuscendo così a rilevare correttamente lo spettro del segnale. L' algoritmo CZT si occupa proprio di questo: permette di analizzare un segnale in una stretta banda, che è proprio quella di interesse (Fig. 9).

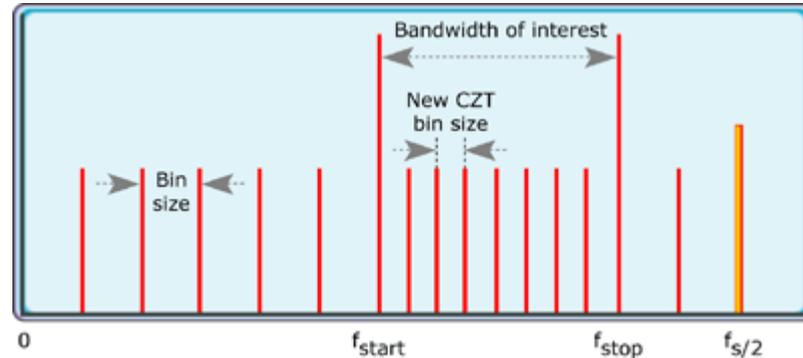


Fig. 9 Risoluzione in frequenza della CZT nella banda di interesse

Ciò comporta che il numero di campioni della CZT può essere inferiore a quello della FFT, ottenendo comunque una migliore risoluzione in frequenza. In questo caso infatti, se consideriamo lo stesso segnale di ingresso visto in Fig. 8, avremo un cambiamento significativo del risultato finale (Fig. 10)

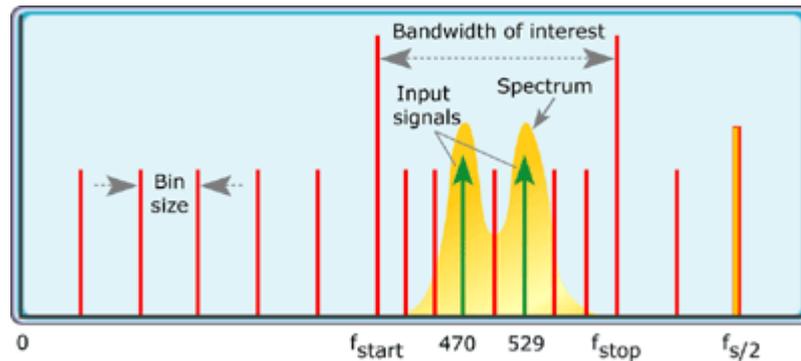


Fig. 10 La maggiore risoluzione della CZT si vede dalla minore distanza in frequenza di due “bin size” nella sola banda di interesse.

Come si osserva dalla Fig. 10 le due Delta di Dirac vengono intercettate e si riescono a vedere correttamente due lobi anziché uno solo. Naturalmente nemmeno con la CZT è possibile vedere due Delta ideali, ma è significativo l’incremento di risoluzione apportato.

Per capire numericamente le differenze tra i due algoritmi, è possibile fare degli esempi numerici. Si consideri ad esempio di lavorare a parità di punti, 1024, di campionare a  $f_s=10\text{kHz}$ , e di essere interessati ad una banda in frequenza compresa tra 0Hz e 500Hz. Nel caso della FFT, applicando la (2.3), avremo una risoluzione pari a:

$$\frac{10 \cdot 10^3 \text{Hz}}{1024} = 9,765 \text{Hz} \quad (2.13)$$

Mentre nel caso della CZT avremo:

$$\frac{500 \text{Hz}}{1024} = 0,488 \text{Hz} \quad (2.14)$$

L’elemento interessante che permette di capire la potenza della CZT è legato alla marcata differenza di risoluzione tra i due algoritmi. Nella 2.3 si vede come la risoluzione della FFT sia legata alla frequenza di campionamento e al numero di campioni, mentre nel caso della CZT la dipendenza riguarda la differenza tra la frequenza di inizio e fine banda. Per dare una interpretazione grafica, è possibile fare la seguente rappresentazione in un diagramma di Gauss. Dal punto di vista grafico, la CZT

permette di concentrare i punti dell'intero cerchio, in una sola porzione, cosa che la FFT non è in grado di fare.



*Fig. 11 La CZT, effettuando un ingrandimento della FFT, utilizza soltanto una porzione del cerchio goniometrico (fig. a sinistra), mentre la FFT (fig. a destra) prevede l'impiego dell'intero cerchio*

Dunque, come si vede in Fig. 11, la CZT non fa altro che prelevare una porzione del cerchio goniometrico, permettendo di focalizzare l'attenzione su un ben limitato intervallo di frequenze. Consideriamo quindi che utilizzando la FFT per l'analisi in frequenza, un'ampia finestra di osservazione consente di ottenere una buona risoluzione, ma in presenza di segnali non stazionari lo spettro ottenuto è affetto dal rumore dovuto alla non stazionarietà del segnale. Pertanto, l'analisi deve essere fatta scegliendo una finestra di osservazione più ristretta, ove l'approssimazione di ritenere che il segnale sia stazionario può ritenersi valida. In questo caso, però, l'impiego della FFT non consente di ottenere una risoluzione accettabile. L'algoritmo della CZT consente invece di ottenere una risoluzione in frequenza nettamente migliore rispetto alla FFT, a parità di finestra di osservazione, concentrando l'analisi su una porzione ristretta dello spettro.

La CZT è un algoritmo molto potente, però fatta una valutazione del costo computazionale, ci si rende conto che esso è molto oneroso. Infatti, detto  $N$  il numero di campioni da analizzare, il carico computazionale della CZT risulta pari a  $N^2$  (come nel caso della DFT), mentre nel caso della FFT, il costo computazionale è pari a  $N \log_2 N$ .

#### **2.4 L'Arc Fault come problematica nei carichi AC e DC**

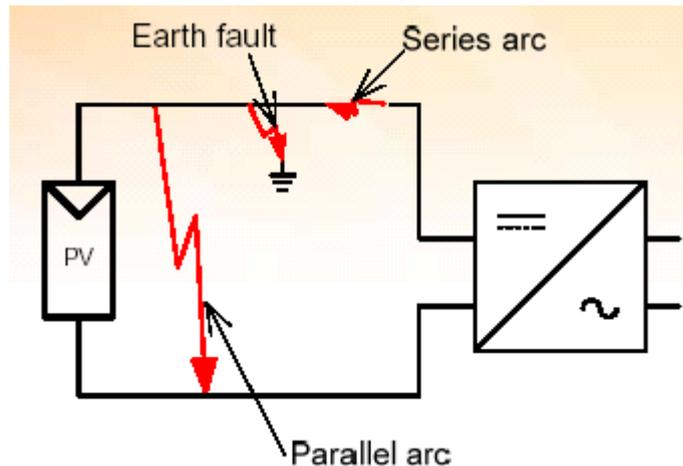
Come illustrato nei paragrafi precedenti, l'analisi armonica trova applicazioni in diversi campi e serve a conoscere il contenuto frequenziale di segnali spesso non noti a priori. Nel caso in cui i segnali fossero non sinusoidali, come nel caso di smart grid,

essa rappresenta l'unico strumento in grado di inquadrare la natura della forma d'onda da esaminare. Infatti una problematica riscontrabile nelle smart grid e affrontabile esclusivamente con l'ausilio dell'analisi armonica riguarda gli arc faults (letteralmente "guasti d'arco"). Essi sono degli archi elettrici non intenzionali che si manifestano in un circuito elettrico col rischio, in alcuni casi, di causare incendi qualora l'arco dovesse persistere. Questo fenomeno interessa carichi di varia natura, dagli elettrodomestici ai pannelli fotovoltaici. Il fenomeno infatti riguarda sia sistemi in corrente alternata (AC) che in corrente continua (DC). Normalmente gli Arc Fault possono verificarsi a causa di situazioni accidentali, legate a malfunzionamenti o a parti di impianto danneggiate, e che, se non riconosciuti ed estinti tempestivamente, possono causare incendi. Esempi tipici di condizioni che possono portare all'insorgere di un arc fault sono: conduttori danneggiati, sottoposti a sovrariscaldamento o a stress meccanici, difetti di isolamento, uso improprio o malfunzionamento di apparecchi utilizzatori, collegamenti elettrici laschi, etc. Quando l'Arc Fault si manifesta, si crea un elevato riscaldamento in un punto col rischio talvolta di arrivare a temperature tali da innescare un incendio.

Gli Arc faults nei circuiti in DC si manifestano per esempio nei veicoli elettrici, navi, aerei, sistemi fotovoltaici, motori a velocità variabile, e così via. Se non prontamente individuati ed estinti, alcuni guasti d'arco potrebbero allargarsi ai circuiti adiacenti, mettere in pericolo alimentatori e sistemi di controllo, causando esplosioni e incendi [17]. I sistemi fotovoltaici, che tipicamente consistono di un array di moduli fotovoltaici (PV), sono spesso associati ad edifici, in cui le parti dei sistemi PV possono essere montate sui tetti, o integrate nella struttura stessa. Negli USA, la Solar America Board for Codes and Standards ha identificato l'AFCI (Arc Fault Circuit Interrupter) come dispositivo di protezione valido per evitare effetti di arc fault nei PV intervenire disalimentando il carico per evitare danni a cose o, soprattutto, a persone. L'edizione del 2011 della National Electrical Code (NEC) ha richiesto a tutti i sistemi PV con circuiti in DC e operanti a 80V o superiori su un edificio, di essere protetti da un AFCI catalogato, o altri tipi di sistemi che provvedessero ad una protezione equivalente. In risposta a questo nuovo requisito della NEC, la Underwriters Laboratories Inc. (UL) ha sviluppato la prima questione sull'indagine dei dispositivi di protezione per Arc Fault in DC, la UL 1699B. Questa nuova linea di ricerca include i requisiti per gli AFCI da PV catalogati, gli Arc Fault Detectors (AFDs) e gli associati dispositivi di sgancio. Questi requisiti includono anche inverter, convertitori, e controlli di carica con AFCI integrato.

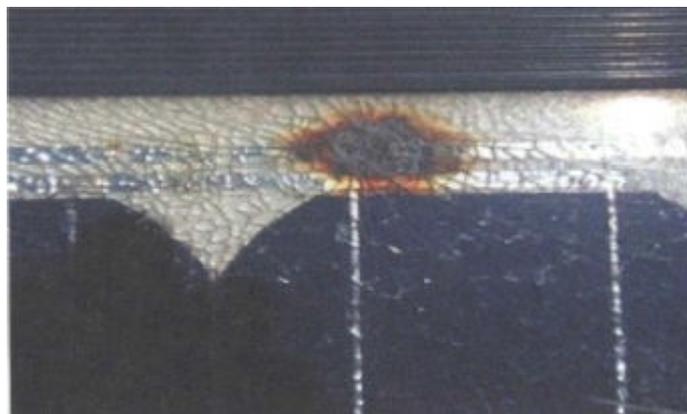
I moduli fotovoltaici sono testati per la sicurezza e le prestazioni attraverso la UL 1703 e la IEC 61730.

Gli Arc Faults possono essere classificati in 3 tipologie: archi serie, archi paralleli (o fase – neutro), archi fase – terra. Le esperienze sul campo hanno mostrato che gli arc faults nei sistemi PV possono essere classificati in due tipologie: archi serie e parallelo, relativamente al percorso della corrente elettrica (Fig. 12).



*Fig. 12 Tipologie di arc fault*

Qualora uno dei percorsi della corrente elettrica in serie con il carico fosse non intenzionalmente aperto o tranciato, potrebbe crearsi un arco serie. Alcuni esempi di questo fenomeno riguardano cattive connessioni tra le celle, connettori malfunzionanti nelle scatole di giunzione o interruzioni nei collegamenti elettrici. In generale un arco serie ha meno energia di uno parallelo, ma ha molta più probabilità di svilupparsi a causa dell'elevato numero di connessioni nei sistemi PV. Un esempio dell'effetto che genera un arco serie è mostrato nella figura seguente:



*Fig. 13 Surriscaldamento causato da un arco serie*

Quando ad esempio vi è un percorso non intenzionale tra un connettore non connesso a massa e uno connesso a massa, è possibile che si venga a creare un arco parallelo. In generale gli archi paralleli sono causati da una mancanza di isolamento (per rottura dell'isolante ad esempio), dall'insorgere di danneggiamenti meccanici, invecchiamento, o danneggiamento da roditore. È ovvio che un arco parallelo può essere più pericoloso di un arco serie perché le tensioni e le correnti in gioco sono potenzialmente disponibili per alimentare tale arco. Un earth fault è un altro esempio di arco parallelo. Nella figura si osserva l'effetto di un arco di terra [21].



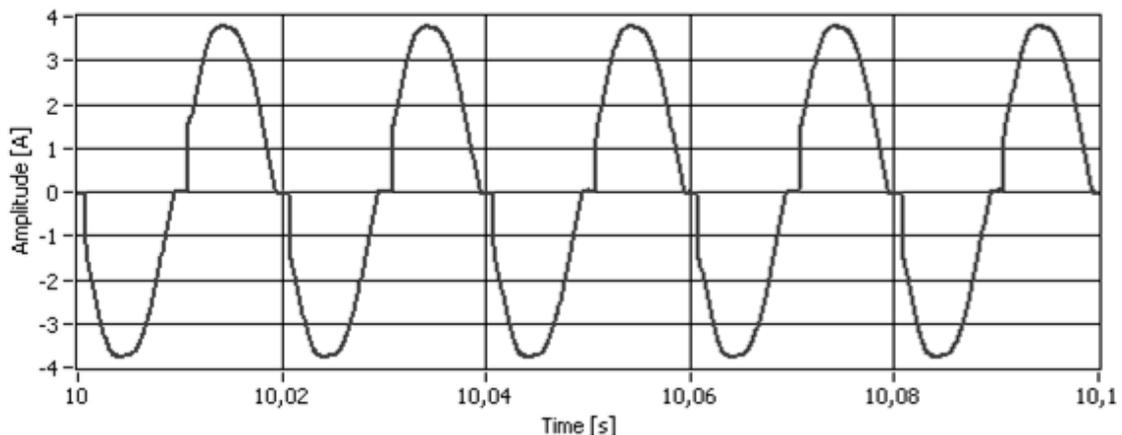
*Fig. 14 Pannello danneggiato da earth fault*

Nei sistemi PV più datati si osserva come sia molto facile fare nascere archi a causa dell'età dei conduttori, o dei collegamenti dei circuiti interni al modulo come le saldature di una cella. Inoltre la mancanza di manutenzione, l'inevitabile deterioramento dei componenti, le condizioni atmosferiche a cui è sottoposto un sistema PV per anni, contribuiscono all'insorgere di arc fault.

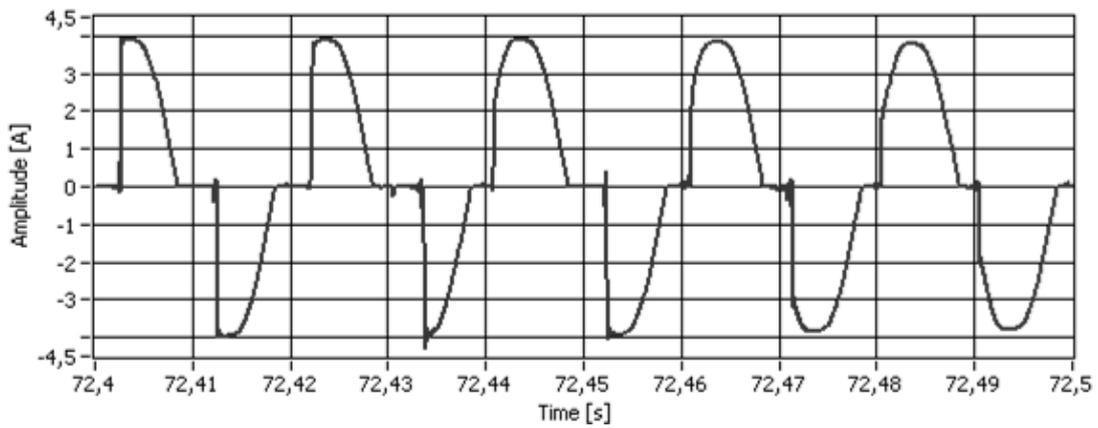
L'individuazione dell'Arc Fault non è semplice e in letteratura, si trovano soltanto pochi documenti su questo argomento. Nei sistemi PV, l'individuazione di arc fault può essere difficile, poiché gli effetti di antenna, il crosstalk, il rumore dell'inverter e le armoniche di commutazione possono modificare il profilo del segnale d'arco e le sue caratteristiche. Inoltre, dipendentemente dalla tecnologia della cella PV, la topologia del sistema, le condizioni metrologiche, la vita dei moduli, è possibile filtrare il segnale d'arco, mascherato o attenuato, e questo può causare un mancato riconoscimento della condizione d'arco. In tali situazioni l'AFCI può non innescarsi anche se è presente un arc fault (scatto mancato) o può scattare anche quando non è presente l'arco (scatto non

voluto). Nel caso di archi serie, la durata temporale di un arco che si registra in AC è normalmente più corta di quella che si verifica nei sistemi simili in DC poiché in corrente alternata l'arco generalmente si raffredda e può estinguersi durante il passaggio per lo zero nel normale ciclo della sinusoide. Nei sistemi DC, invece, la corrente rimane relativamente costante e non si ha un passaggio per lo zero. Dunque l'arco in DC tende a mantenersi più a lungo nel tempo [17]. In corrente alternata le caratteristiche principali dell'arc fault possono essere sintetizzate come segue:

- le forme d'onda di tensione e di corrente sono caratterizzate da un rumore a banda larga ad alta frequenza (broadband noise);
- la corrente d'arco presenta fronti di salita più ripidi rispetto alla normale corrente in assenza d'arco; inoltre, l'entità della corrente d'arco risulta generalmente inferiore a quella presente nello stesso circuito in assenza di arco;
- in ogni semiperiodo, la corrente d'arco si estingue prima del naturale passaggio per lo zero (zero crossing) e si reinnesca con un certo ritardo, dando luogo a quelle che comunemente vengono chiamate “shoulders” (spalle) nella forma d'onda;
- l'arco si verifica in modo irregolare, sicché la forma d'onda della corrente può essere caratterizzata da porzioni di corrente d'arco alternate a porzioni di corrente normale.

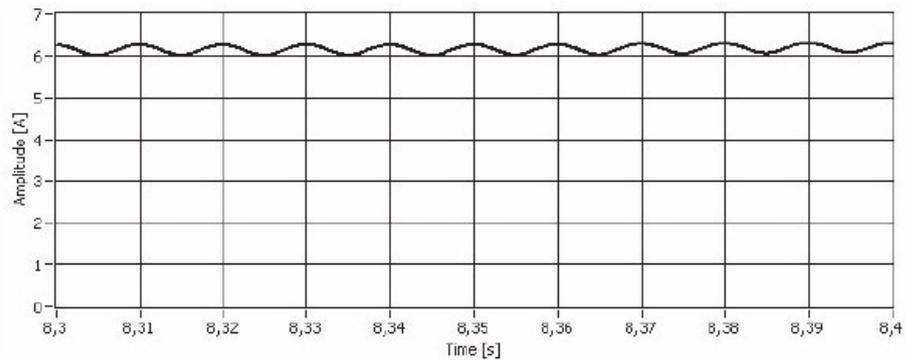


*Fig. 15 Dimmer e lampade al tungsteno. Corrente in assenza di arco*

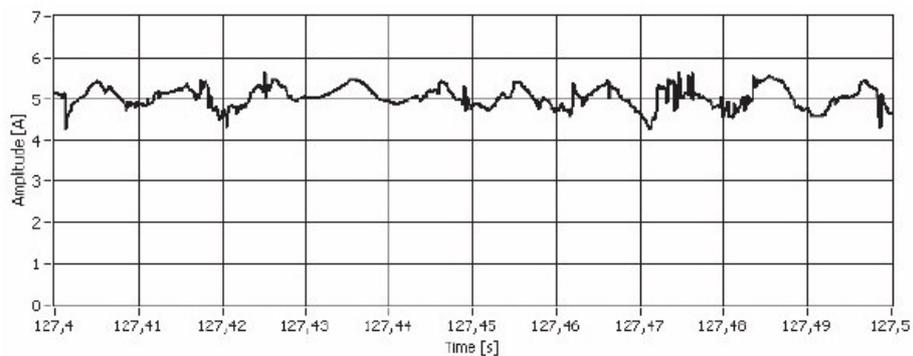


*Fig. 16 Dimmer e lampade al tungsteno. Corrente in presenza di arco*

La Fig. 17 e la Fig. 18 mostrano le forme d'onda acquisite durante le prove sul campo su un impianto PV. Nella corrente senza arco è presente un ripple a 100Hz (frequenza di rete raddoppiata), a causa delle commutazioni dell'inverter. La corrente d'arco è non stazionaria e rumorosa, dunque sono chiaramente visibili picchi e fronti ripidi di salita.



*Fig. 17 PV. Corrente in assenza di arco*



*Fig. 18 PV. Corrente in presenza di arco*

## 2.5 Metodi di individuazione di Arc Fault

La maggior parte dei metodi per l'individuazione d'arco è basato sul monitoraggio della corrente, per identificare le caratteristiche distintive di Arc Fault. Nella maggior parte dei casi questi metodi sono basati sull'analisi della derivata della corrente ( $di/dt$ ) e le sue componenti ad alta frequenza (dalla decina di kHz fino a 1 GHz nel caso AC e fino a 1MHz nel caso DC) [17]. L'analisi porta ad identificare caratteristiche significative e discriminare in modo univoco la presenza d'arco rispetto al normale funzionamento. Talvolta è stato analizzato anche il rumore a banda larga, ed è stata fatta particolare attenzione al comportamento non stazionario e randomico. Resta tuttavia vera la non periodicità del segnale d'arco, analizzata comparando la forma d'onda di corrente in cicli successivi di mezzi-cicli con una forma di riferimento che è ottenuta dall'osservazione della corrente durante alcuni cicli precedenti. Tipicamente sono usati filtri passa banda per le suddette soluzioni. Infatti, l'adozione di tecniche di elaborazione di segnali digitali, richiederebbe frequenze di campionamento molto elevate; dunque dovrebbero essere usate finestre di osservazione larghe, durante le quali il segnale dovrebbe rimanere stazionario e ciò è in opposizione con la natura non stazionaria del fenomeno d'arco [18].

Pochi metodi fanno uso di analisi della corrente a bassa frequenza. Di solito tali tecniche sono adottate principalmente per fissare alcune soglie al fine di distinguere l'evento di Arc Fault dalla condizione di normale funzionamento, o per cercare alcuni fenomeni ricorrenti nella forma d'onda di corrente. In questi casi l'individuazione di una data caratteristica d'arco è ottenuta dall'impiego di un sistema basato su soglie; per esempio alcune tecniche sono basate sulla conversione di segnali in impulsi, che sono generati quando si verifica una data condizione; questi impulsi sono contati e quando il conteggio supera la soglia, viene rilevato un fenomeno d'arco. In altri casi gli impulsi causano la carica di una capacità e la soglia è il valore limite della tensione di carica della capacità [22].

Un aspetto critico di molte soluzioni è il bisogno di sistemi sofisticati di elaborazione del segnale, velocità di calcolo molto elevate che portano ad un costo del sistema non indifferente; questo è particolarmente vero per quelle soluzioni che sono basate sulla ricerca di più di un elemento che faccia supporre la presenza di arco. In tutti i casi, l'assenza di scatti non voluti o di mancati scatti non è garantita. Infatti essi sono connessi ai valori delle soglie per l'identificazione dell'arco; queste soglie sono spesso determinate da uno studio preliminare del sistema elettrico in cui è usato l'AFCI;

comunque, il sistema non è mai conosciuto a pieno, e le sue condizioni di funzionamento normale possono cambiare più volte nel tempo. In altri casi le soglie sono fissate dallo stesso rivelatore d'arco, monitorando la corrente durante il normale funzionamento del sistema (cioè in assenza di condizioni d'arco); resta il fatto che in questo caso possono sorgere alcuni problemi di individuazione quando cambiano le normali condizioni di funzionamento [20].

Un altro aspetto critico è legato all'acquisizione del segnale di corrente, specialmente quando le soluzioni impiegate sono basate su analisi in alta frequenza. Infatti in molti casi sono usati trasformatori di corrente che hanno una scarsa risposta in frequenza e uno scarso rapporto segnale/rumore. Con gli shunts si potrebbero ottenere migliori performances, ma in questo caso l'isolamento tra potenza e circuito di misura può non essere adeguata.

Infine, nel caso di metodi basati sull'analisi in frequenza, bisogna osservare che la maggior parte degli algoritmi di analisi del segnale per l'analisi nel dominio della frequenza, richiedono che il segnale sia stazionario durante la finestra di osservazione. Quindi l'algoritmo usato per l'analisi in frequenza dovrebbe essere capace di garantire una buona risoluzione spettrale anche se con finestre di osservazione molto strette.

## CAPITOLO 3: COMUNICAZIONE POWER LINE IN RETI DI MEDIA E BASSA TENSIONE

### 3.1 Introduzione

Una smart grid in MT richiede l'automazione e il controllo remoto delle cabine secondarie, localizzazione di guasto e isolamento, ripristino del servizio, regolazione della tensione, monitoraggio della power quality, protezione anti-islanding, un sistema di diagnostica, misure, etc. La comunicazione tramite PLC dovrebbe supportare vincoli temporali che, nel caso peggiore (ovvero di comunicazione tra due cabine secondarie), varia nel range tra 100 e 200 ms. Dunque, le comunicazioni richiedono una velocità relativamente bassa, dell'ordine di 9600 – 28800 bps con larghezza di banda che oscilla tra 10 e 15 kHz. Perciò è necessario definire il range di frequenza e la tecnica di modulazione in accordo con due specifiche: standardizzazione PLC e tipo di dispositivo di accoppiamento. Attualmente si possono considerare tre classi di tecnologie PLC: banda ultra stretta (UNB), banda stretta (NB), banda larga (BB).

	<i>Low Data Rate</i>	<i>Medium Data Rate</i>
<b>Data Rate</b>	0-30 kb/s	30 kb/s – 1 Mb/s
<b>Modulation</b>	Single carriers: FSK, BPSK, PSK, SFSK, QAM	Multi carriers: PSK + OFDM
<b>Standards</b>	ISO/IEC14908-3 (LonWorks), ISO/IEC 14543-3-5 (KNX), CEA-600.31 (CEBus), IEC 61334, ANSI/EIA 709.1,2, UPB	ITU-T G.hnem PRIME, G3-PLC, PI1901.2

*Tabella 4 NB-PLC CLASSIFICATION*

Nella Tabella 4 sono mostrate le tecniche di modulazione adatte per la trasmissione PLC, infatti, per poter trasmettere i segnali digitali (generati da dispositivi localizzati in prossimità di una linea elettrica) tramite PLC, è necessario ricorrere ad una delle tecniche di modulazione digitale su portante analogica. Le modulazioni si applicano al segnale da trasmettere affinché si adatti al mezzo trasmissivo.

### 3.2 La normativa CENELEC per la trasmissione power line

In Europa gli intervalli di frequenza disponibili per le trasmissioni su linee in media e bassa tensione sono stabiliti dal CENELEC (*European Committee for Electrotechnical Standardization*) nella normativa EN 50065-1 del 2001 [31]. Tale norma individua cinque differenti bande di frequenza nel range che va da 3 kHz a 148,5 kHz, specificando per ciascuno di essi un limite massimo per il segnale trasmesso (Fig. 19 e Tabella 5).

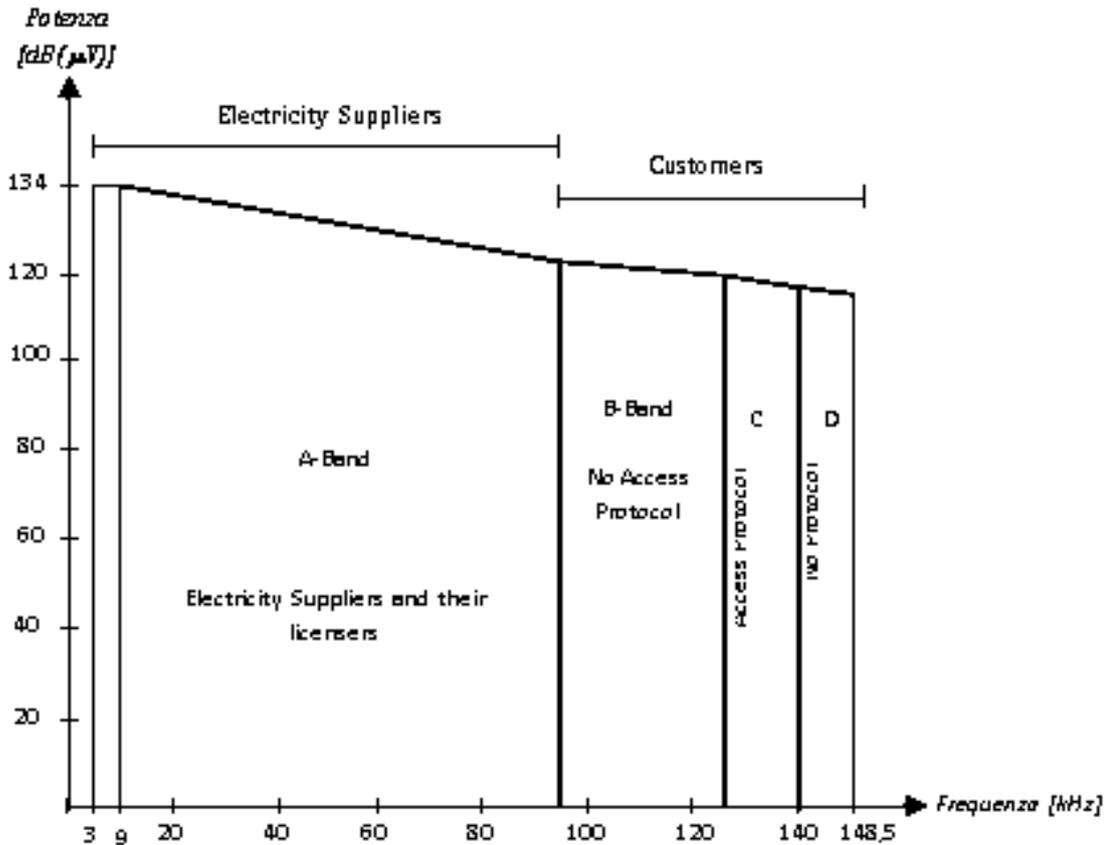


Fig. 19 Bande di frequenza e relativi limiti fissati dalla norma CENELEC 50065-1

#### Dispositivi trifase

Sottobanda di frequenze	Limiti per dispositivi monofase [dB (µV)]	Limiti per la trasmissione simultanea su tutte le fasi [dB (µV)]	Limiti per la trasmissione solo su una singola fase [dB (µV)]

Da 3 kHz a 9 kHz	134	128	
Da 9 kHz a 95 kHz (Banda stretta)	da 134 a 120*	da 128 a 114*	da 134 a 120*
Da 9 kHz a 95 kHz (Banda larga)	134	128	134
Da 95 kHz a 148,5 kHz (Classe 122)	122	116	122
Da 95 kHz a 148,5 kHz (Classe 134)	134	128	134

\*diminuisce linearmente con il logaritmo della frequenza

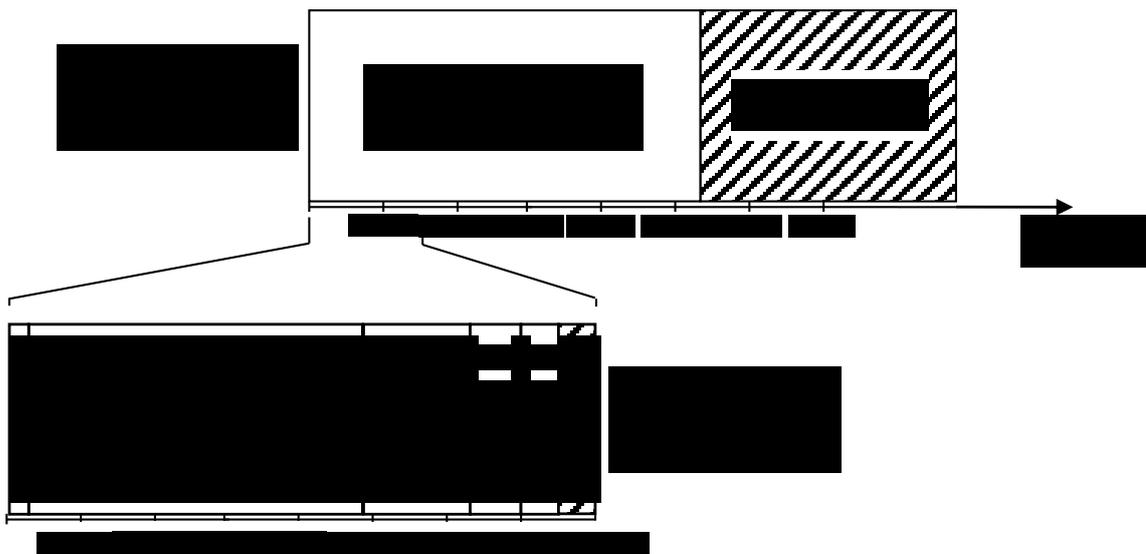
Tabella 5 LIMITI MASSIMI DI TRASMISSIONE

Vi sono inoltre alcuni limiti di concessione all'utilizzo all'interno della banda CENELEC per le comunicazioni PLC. In particolare la banda tra 3 kHz e 95 kHz è suddivisa in due sottobande:

- da 3 kHz a 9 kHz: l'utilizzo di questa sottobanda è limitato ai soli distributori di energia elettrica;
- *Banda A* (da 9 kHz a 95 kHz): l'utilizzo di questa sottobanda è consentito sia ai distributori di energia elettrica che ai loro utenti per lo scambio di dati, come ad esempio le misure a distanza di potenze, la lettura dei contatori di energia oppure il controllo dei carichi;

L'uso della banda di frequenze compresa tra 95 kHz e 148,5 kHz è limitato invece agli utilizzatori. Tale banda è suddivisa in tre sottobande più piccole:

- *Banda B* (da 95 kHz a 125 kHz): questa sottobanda non richiede alcun protocollo di accesso ed è destinata ai sistemi che richiedono la continua disponibilità del canale trasmissivo;
- *Banda C* (da 125 kHz a 140 kHz): la trasmissione in questa sottobanda richiede l'utilizzo di un particolare protocollo di accesso denominato CSMA (Carrier Sense Multiple Access), per consentire ai diversi sistemi di funzionare sulla stessa rete o su reti collegate elettricamente tra loro. Queste frequenze sono riservate a quei sistemi che non occupano continuamente il canale;
- *Banda D* (da 140 kHz a 148,5 kHz): questa sottobanda non richiede un protocollo di accesso ed è solitamente destinata ai sistemi di sicurezza ed antincendio.



*Fig. 20 Confronto tra la normativa Nord Americana e quella europea*

La regolamentazione nordamericana e giapponese risulta più permissiva rispetto a quella europea, consentendo l'uso di frequenze fino a 525 kHz, cioè fino alle soglie del campo di trasmissione della radiodiffusione AM. La Fig. 20 mostra la differenza sostanziale tra i due tipi di regolamentazione.

Partendo da questo scenario è utile fare qualche considerazione. La larghezza della banda disponibile per un qualunque sistema di comunicazione dipende dal bit-rate, cioè dal numero di bit trasmessi nell'unità di tempo. Maggiore è il bit rate e più grande risulta la banda necessaria. Una limitazione sulla larghezza di banda disponibile si traduce dunque in un limite al valore massimo del bit rate che si può ottenere. La Tabella 6 mostra i requisiti in termini di larghezza di banda necessari alle applicazioni più comuni.

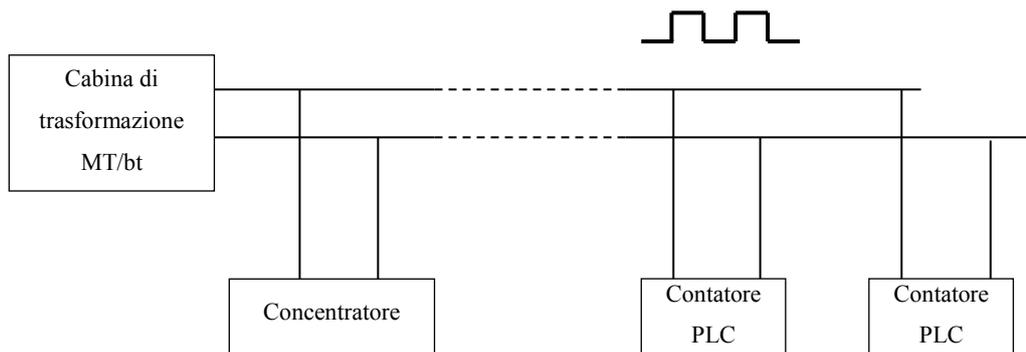
<b>Applicazioni</b>	<b>Range Tipici</b>
<i>Voice</i>	5 kbps to 20 kbps
<i>Multiplayer Gaming</i>	20 kbps to 80 kbps
<i>Dial-up Internet</i>	36 kbps to 56 kbps
<i>MPEG Audio</i>	80 kbps to 200 kbps
<i>Print Sharing</i>	80 kbps to 900 kbps
<i>Broadband Services</i>	100 kbps to 1 Mbps
<i>File Sharing</i>	300 kbps to 40 Mbps
<i>MPEG Video</i>	4 Mbps to 8 Mbps

*Tabella 6 VALORI DI BIT RATE INDICATIVI PER APPLICAZIONI DIFFERENTI*

La regolamentazione vigente nel Nord America ed in Giappone dà perciò la possibilità di ottenere livelli di bit-rate molto maggiori di quelli consentiti nell'ambito europeo. Serve quindi a livello europeo una nuova e più adeguata normativa di assegnazione delle frequenze che dia la possibilità di sviluppare le enormi potenzialità tecnologiche presenti in tale sistema di comunicazione.

### 3.3 Comunicazioni power line in reti di media e bassa tensione

La tecnologia power line nelle reti elettriche di bassa tensione è già da tempo impiegata in alcuni stati europei ed extraeuropei per la tele-lettura dei contatori e per alcune funzioni di monitoraggio remoto. Ad esempio nel caso italiano, il sistema di tele-lettura dei contatori prevede l'utilizzo di un concentratore posto nelle cabine di trasformazione MT/BT che interroga i contatori degli utenti serviti dalla cabina. Il concentratore accumula i dati dei contatori e a richiesta fornisce le misure al centro di controllo, che ha il compito di eseguire la fatturazione. Nel caso italiano, il centro di controllo colloquia con i concentratori utilizzando la rete GSM, con i conseguenti costi per il fornitore del servizio di telecomunicazione (service provider). La Fig. 21 mostra un esempio di come il concentratore comunichi via PLC con tutti i contatori degli utenti connessi alla cabina MT/BT. Il concentratore ha inoltre un modem GSM per comunicazione con il centro di raccolta dei dati.



*Fig. 21 Diagramma a blocchi del sistema PLC per la tele-lettura dei contatori*

L'estensione della comunicazione PLC anche alla rete MT consentirebbe quindi un notevole risparmio economico, annullando i costi per il servizio di comunicazione, e darebbe maggiore affidabilità essendo comunque una tecnologia cablata.

L'evoluzione verso sistemi di comunicazione più affidabili e più versatili è essenziale per lo sviluppo delle smart grid nei sistemi di distribuzione di media tensione. Il sistema di comunicazione in tal caso deve poter supportare diverse funzioni tra le quali si possono citare oltre al tele-metering, l'automazione e il telecontrollo delle cabine secondarie, la localizzazione e l'isolamento dei guasti, la regolazione della

tensione, il monitoraggio della *power quality*, la protezione anti-islanding, la diagnostica e monitoraggio costante della rete, ecc.

Per tutte queste funzioni è necessaria una capillare diffusione del sistema di comunicazione senza un alto aggravio dei costi. La tecnologia power line potrebbe quindi essere la chiave per l'implementazione a basso costo di tutte queste funzioni nelle reti di distribuzione di media tensione.

Attualmente sono note tre tipologie di tecnologie PLC:

- Ultra Narrow Band (UNB): tecnologia operante con velocità di scambio dati molto basse (circa 100 bps) e in una banda di frequenze molto basse (0.3-3kHz) o nella banda di frequenze 30-300 kHz;
- Narrowband (NB) : tecnologia operante nella banda di frequenza 3-500 kHz, che include la banda CENELEC 3-148.5 kHz, la banda US FCC (Federal Communications Commission) 10-490 kHz, la banda Giapponese ARIB (Association of Radio Industries and Businesses) 10-450 kHz, e la banda Cinese 3-500 kHz. Questo tipo di tecnologia può presentare velocità di scambio dati dipendenti dalla tipologia di modulazione del segnale e dalla presenza di una o più portanti. In particolare si ha *Low Data Rate* con velocità di 0-30 kb/s e modulazioni single carriers dei tipi: FSK, BPSK, PSK, SFSK, QAM. Oppure *Medium Data Rate* con velocità di 30 kb/s – 1 Mb/s e modulazioni multi carriers del tipo PSK + OFDM;
- Broadband (BB): tecnologia operante nella banda di frequenza 1.8-250MHz sviluppata per applicazioni che necessitano di accesso ad internet e velocità di scambio dati superiore a 1 Mbps.

Per realizzare le citate funzioni di monitoraggio, automazione e controllo delle reti di distribuzione di media e bassa tensione non sono richiesti tempi rapidissimi, nel caso di comunicazione tra due cabine secondarie possono essere sufficienti tempi nel range di 100 - 200 ms. Pertanto, le comunicazioni richiedono un bit rate relativamente basso, nell'intervallo 9600 - 28800 bps con una banda 10-15 kHz.

Lo studio si è quindi focalizzato sul sistema PLC del tipo *low data rate e narrow band* operante nella banda CENELEC A (3-148.5 kHz). All'interno di questa banda di frequenze, la scelta della frequenza portante deve seguire diverse considerazioni. In primo luogo deve essere considerato che nella prospettiva di un sistema di comunicazione che coinvolge sia MT che BT, una frequenza superiore a 82 kHz

potrebbe essere una buona scelta per evitare interferenze con le attuali applicazioni di AMR nella gamma di frequenze tra 72 e 82 kHz [9]. Un'altra importante considerazione, per la corretta scelta della frequenza portante, riguarda l'attenuazione introdotta dal canale di comunicazione, che in questo dipende dalla configurazione di rete elettrica, dal dispositivo di accoppiamento del segnale, dal trasformatore di potenza e dal tipo di linea (in cavo, aerea). Una possibile configurazione per un sistema PLC in una rete di distribuzione MT è presentato in Fig. 22.

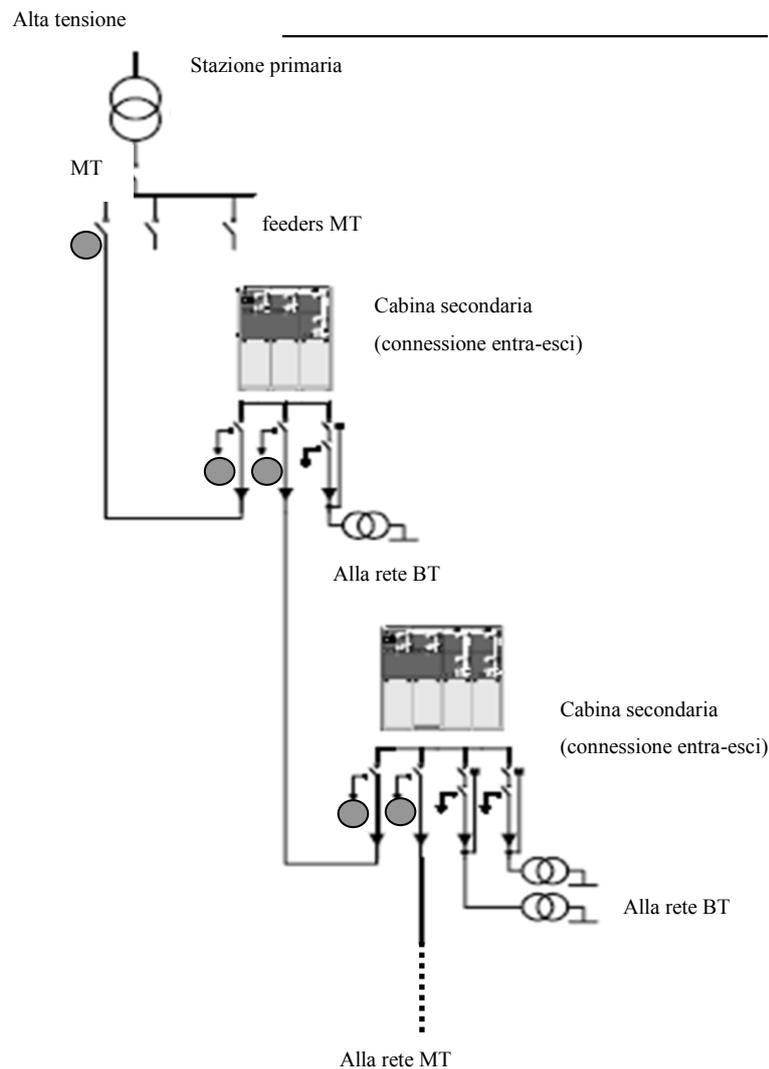


Fig. 22 Possibile configurazione per un sistema PLC

La comunicazione tra cabine primarie e secondarie si ottiene installando ricetrasmittitori PLC (pallini grigi in Fig. 22) e dispositivi di accoppiamento adeguati, su entrambi i lati dell'entra-esce, tipicamente presente nelle cabine secondarie.

Adottando questa configurazione si può mantenere la comunicazione anche quando i sezionatori sono aperti, grazie alla presenza di un ricetrasmittitore all'inizio e alla fine di ciascun feeder MT. Nel caso di cavi con schermo metallico, si preferisce generalmente la trasmissione del segnale in tensione tra anima del cavo e schermo piuttosto che tra le anime dei cavi. Nella configurazione anima-schermo il segnale viene iniettato tra il nucleo di un cavo e lo schermo collegato a terra alle estremità del cavo. Il segnale può essere iniettato da accoppiatori capacitivi o accoppiatori induttivi. Nel caso di banda CENELEC sono preferibili gli accoppiatori capacitivi.

Per confermare la validità del sistema descritto e studiato, è stato sviluppato un modello di una rete di alimentazione MT, che include un cavo MT e due cabine secondarie, ciascuna con il suo trasformatore MT/BT. Lo scopo di tale simulazione è stato di valutare l'attenuazione in funzione della frequenza del segnale PLC tra cabine secondarie. Ogni cabina può essere configurata in entra-esce o come cabina terminale. Il sistema PLC simulato riproduce una porzione della rete MT di Ustica. La linea è lunga circa 1,4 km e si compone di tre cavi unipolari MT schermati del tipo RG7H1R con anima in rame di sezione  $25 \text{ mm}^2$ . Nelle due sottostazioni, denominate "Sidoti" e "Spalmatore", sono installati trasformatori 20/0.4 kV / kV con potenze nominali, rispettivamente, di 100 kVA e 160 kVA. Il segnale viene trasmesso e ricevuto da un modem PLC ST7580 (TX/RX). Per collegare il ricetrasmittitore alla rete MT viene utilizzato un accoppiatore capacitivo commerciale fase-terra. Per ogni elemento del sistema, cavi, trasformatori, accoppiatori, modem, è stato sviluppato un modello in ambiente Simulink®. Una rappresentazione schematica del sistema completo simulato è riportata in Fig. 23. Le simulazioni del sistema sono mostrate al paragrafo 3.5.

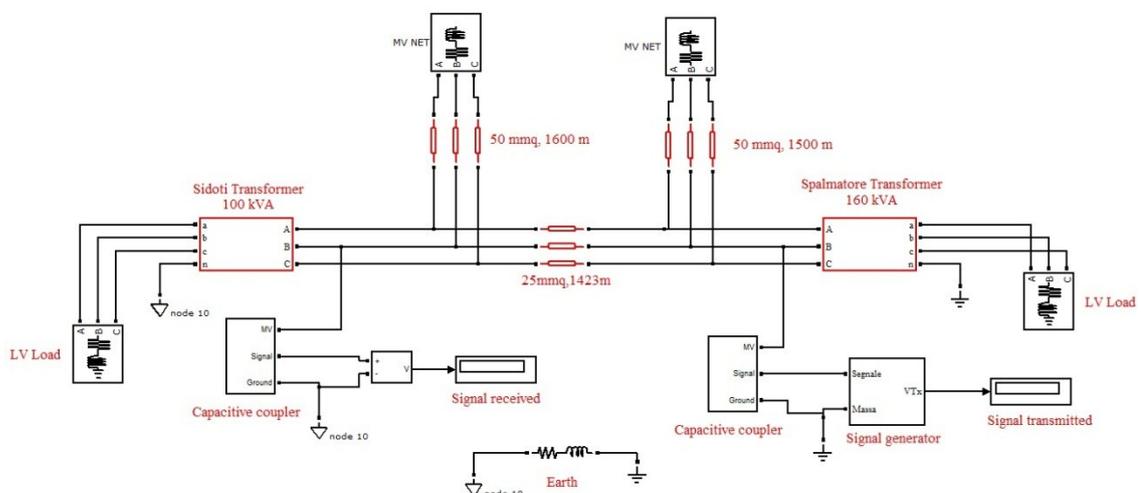


Fig. 23 Sistema simulato

### 3.3.1 Modello della linea MT

In letteratura sono presenti vari metodi per studiare e modellare il comportamento delle linee di trasmissione dell'energia. La maggior parte dei modelli si basa sulle equazioni dei telegrafisti che per la cella elementare, mostrata in Fig. 24, sono le seguenti:

$$\frac{\partial v(x,t)}{\partial x} + R' i(x,t) + L' \frac{\partial i(x,t)}{\partial t} = 0 \quad (3.1)$$

$$\frac{\partial i(x,t)}{\partial x} + G' v(x,t) + C' \frac{\partial v(x,t)}{\partial t} = 0 \quad (3.2)$$

In queste equazioni la  $x$  rappresenta la direzione longitudinale della linea e  $R'$ ,  $L'$ ,  $G'$  e  $C'$ , sono rispettivamente la resistenza ( $\Omega/m$ ), l'induttanza (H/m), la conduttanza (S/m) e la capacità (F/m) per unità di lunghezza. Il modello a parametri distribuiti implementato in Simulink<sup>®</sup> per risolvere l'equazione dei telegrafisti utilizza il metodo di Bergeron, uno dei metodi numerici più utilizzati in letteratura [24].

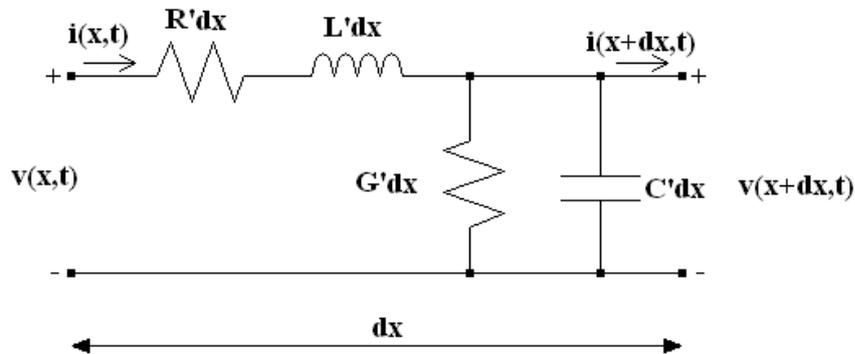


Fig. 24 Cella elementare di una linea di trasmissione

I parametri per unità di lunghezza dei cavi di media tensione considerati sono stati misurati secondo la procedura proposta in [26], usando l'analizzatore di rete ZVRE della Rohde & Schwarz ottenuto in prestito dall'ISSIA – CNR (Istituto di Studi sui Sistemi Intelligenti per l'Automazione). In Fig. 25, Fig. 26, Fig. 27, e Fig. 28 sono mostrati i parametri misurati in funzione della frequenza per due diverse sezioni del cavo, 25 e 50 mm<sup>2</sup>. Usualmente la conduttanza  $G'$  viene trascurata e le perdite in linea vengono

modellate utilizzando soltanto la resistenza longitudinale  $R'$ . Com'è possibile notare dalla Fig. 25 la resistenza per unità di lunghezza  $R'$  misurata dipende dalla frequenza secondo una legge di variazione che può essere fittata con un polinomio di secondo grado del tipo:

$$R'(f) = A_R f^2 + B_R f + C_R \quad (3.3)$$

Tale polinomio è stato utilizzato nel modello per valutare il parametro  $R'$  alla frequenza di interesse.

D'altra parte i coefficienti  $L'$  e  $C'$  sono costanti al variare della frequenza come può essere notato dalla Fig. 26 e Fig. 28 rispettivamente. I coefficienti  $A_R$ ,  $B_R$ ,  $C_R$ ,  $L$  e  $C$  ricavati sperimentalmente per cavi unipolari RG7H1R con anima in alluminio e schermo in rame, sono riportati in Tabella 7 in funzione della sezione del cavo.

Tabella 7 PARAMETRI ELETTRICI  $R'$ ,  $L'$  E  $C'$ , PER I CAVI UNIPOLARI RG7H1R IN ALLUMINIO CON SCHERMO IN RAME DI SEZIONE 25 E 50  $\text{MM}^2$ .

Cable [ $\text{mm}^2$ ]	$A_R$ [ $\text{m}\Omega/(\text{m} \cdot \text{kHz}^2)$ ]	$B_R$ [ $\text{m}\Omega/(\text{m} \cdot \text{kHz})$ ]	$C_R$ [ $\text{m}\Omega/\text{m}$ ]	$L$ [ $\mu\text{H}/\text{m}$ ]	$C$ [ $\text{nF}/\text{m}$ ]
1 x 50	-3*E-5	0.028	1.46	0.236	0.19
1 x 25	-5*E-5	0.039	2.33	0.332	0.16

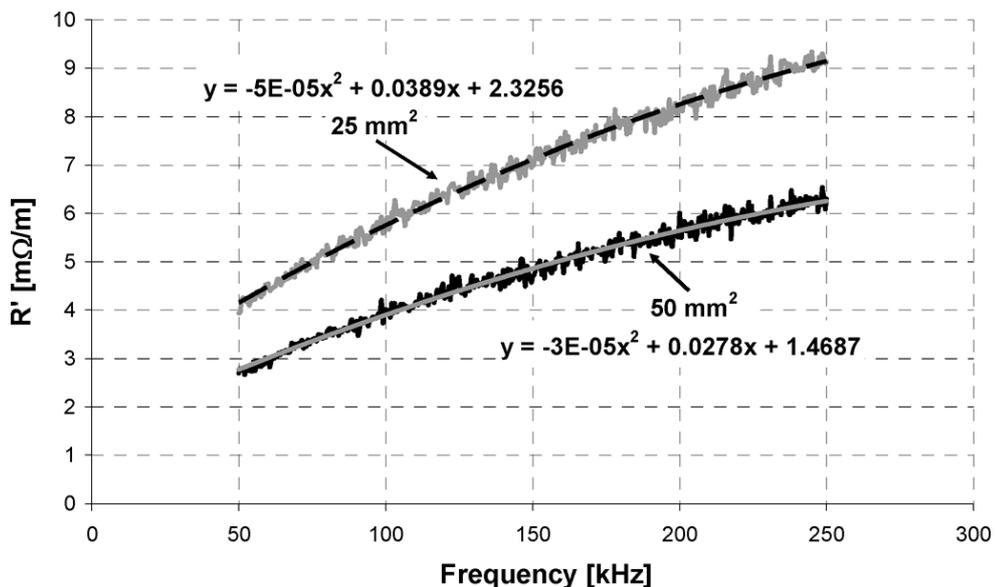


Fig. 25 Resistenza per unità di lunghezza  $R'(f)$  versus  $f$  per cavi in MT con sezione di 25 e 50  $\text{mm}^2$ . Le misure sperimentali sono state fittate con una funzione polinomiale del secondo ordine

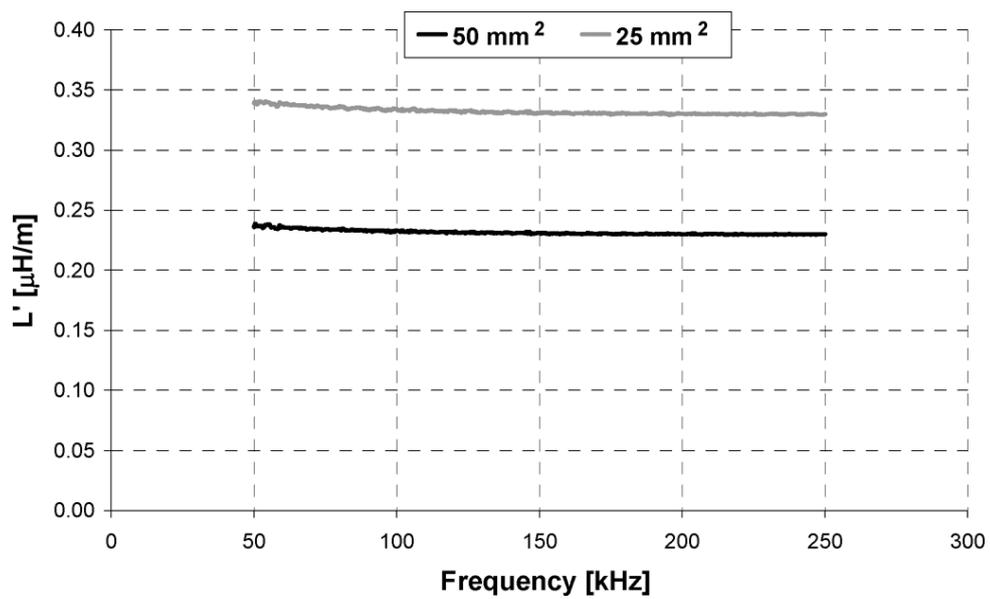


Fig. 26 Induttanza per unità di lunghezza  $L'(f)$  versus  $f$  per cavi di MT con sezioni di 25 e 50  $mm^2$ . L'induttanza si mantiene costante al variare della frequenza

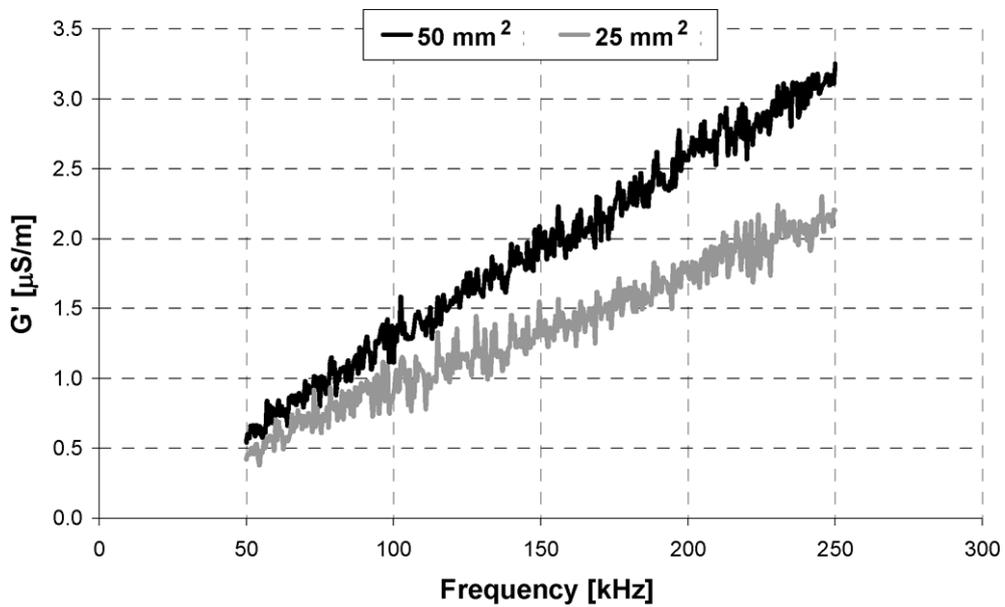


Fig. 27 Conduttanza per unità di lunghezza  $G'(f)$  versus  $f$  per cavi di MT con sezione di 25 e 50  $mm^2$

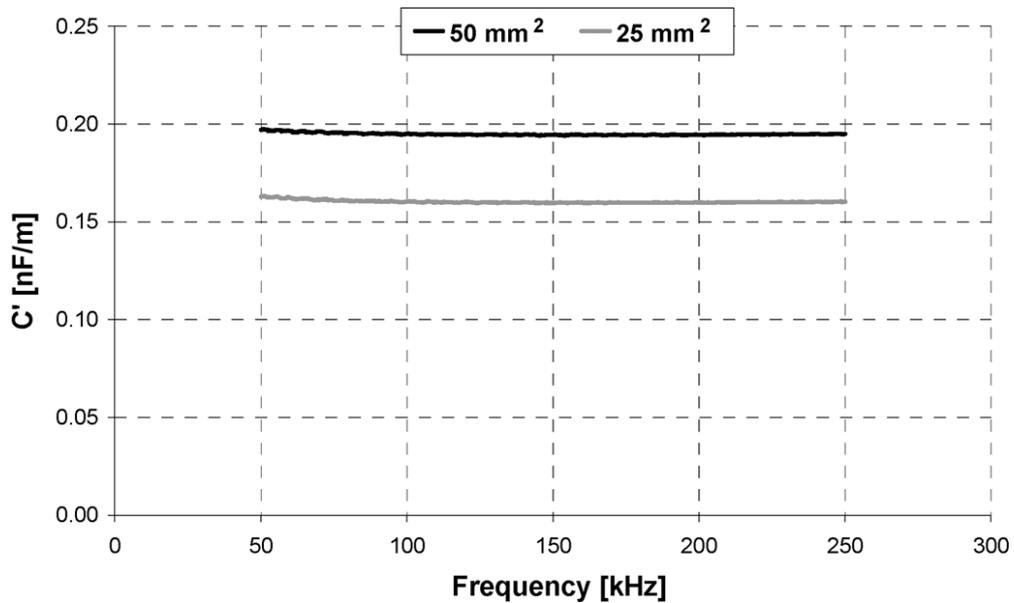


Fig. 28 Capacità per unità di lunghezza  $C'(f)$  versus  $f$  per cavi di media tensione con sezione di 25 e 50 mm<sup>2</sup>. La capacità si mantiene costante al variare della frequenza

### 3.3.2 Comportamento dei trasformatori MT/BT alle frequenza del segnale PLC

Ai fini dell'applicazione della comunicazione power line è stato studiato il comportamento dei trasformatori di potenza MT/bt nel range di frequenza 50-150 kHz. In particolare, lo studio ha riguardato i trasformatori in olio [25]. A partire da una caratterizzazione sperimentale effettuata su diversi trasformatori, è stato sviluppato un nuovo modello del trasformatore, nel suddetto range di frequenza, allo scopo di studiare l'influenza del trasformatore stesso sulla trasmissione del segnale. Il nuovo modello è più semplice di quelli precedentemente proposti in letteratura e può essere utilizzato nell'intero range di frequenza per comunicazioni power line in banda CENELEC EN 50065-1.

Il modello proposto è riportato in Fig. 29. Per valutare i parametri del modello sono state effettuate diverse misure di impedenza: prove a vuoto e in corto circuito e capacitance tests tra gli avvolgimenti e verso terra, secondo gli schemi di Fig. 30 [27]. In particolare, a partire dai tre capacitance tests, si ricavano i parametri  $C_1$ ,  $C_2$  e  $C_{12}$  del modello, secondo le seguenti equazioni:

$$\begin{cases} 3C_1 + 6C_{12} = Cap1 \\ 6C_2 + 6C_{12} = Cap2 \\ 3C_1 + 6C_2 = Cap3 \end{cases}$$

Le misure sono state effettuate su quattro trasformatori in olio, di diversa taglia, utilizzando un analizzatore di rete ZVRE della Rohde&Schwarz (Fig. 31). I parametri ottenuti sono riportati in Tabella 8.

Il modello del trasformatore è stato implementato in ambiente Simulink<sup>®</sup> ed è stato validato confrontando i risultati sperimentali con quelli ottenuti riproducendo le stesse prove in simulazione. A titolo di esempio, nella Fig. 32 e Fig. 33, si riportano i risultati ottenuti per il trasformatore da 100 kVA.

Inoltre, per valutare il comportamento dei trasformatori nel range di frequenza di interesse (50-150 kHz), è stata misurata l'attenuazione del segnale, utilizzando un EMI test receiver ESI26 della Rohde&Schwarz. Le stesse misure sono state riprodotte in simulazione. In Tabella 9 si riportano le differenze massime tra i valori di attenuazione misurati e quelli ottenuti in simulazione, per i quattro trasformatori in prova.

Tabella 8 PARAMETRI DEI TRASFORMATORI IN PROVA.

Potenza nom. [kVA]	R <sub>L</sub> [Ω]	L <sub>L</sub> [μH]	C <sub>1</sub> [nF]	C <sub>2</sub> [nF]	C <sub>12</sub> [nF]
100	8.3	75.7	0.20	1.33	0.20
250	5.6	47.8	0.25	2.72	0.36
400	4.2	36	0.27	3.84	0.32
630	2.1	14.5	0.25	2.19	0.63

Tabella 9 DIFFERENZE MASSIME TRA I VALORI DI ATTENUAZIONE MISURATI E QUELLI OTTENUTI IN SIMULAZIONE PER I QUATTRO TRASFORMATORI IN PROVA.

Potenza nom. [kVA]	100	250	400	630
Diff. max. tra i valori di attenuazione misurati e simulati [dB]	0.3	0.7	0.6	1.4

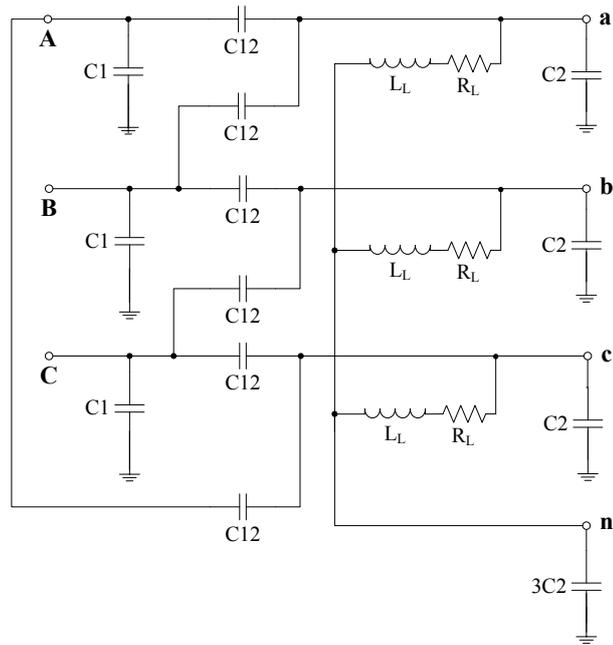


Fig. 29 Modello del trasformatore MT/bt nel range di frequenza 50-150 kHz.

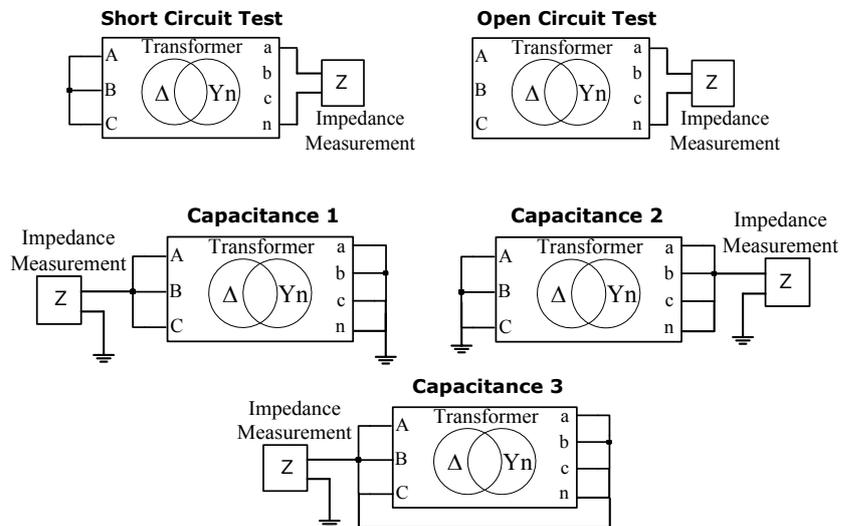


Fig. 30 Schemi di misura per la determinazione dei parametri del trasformatore: prova a vuoto, prova in corto circuito e capacitance tests (1, 2 e 3).

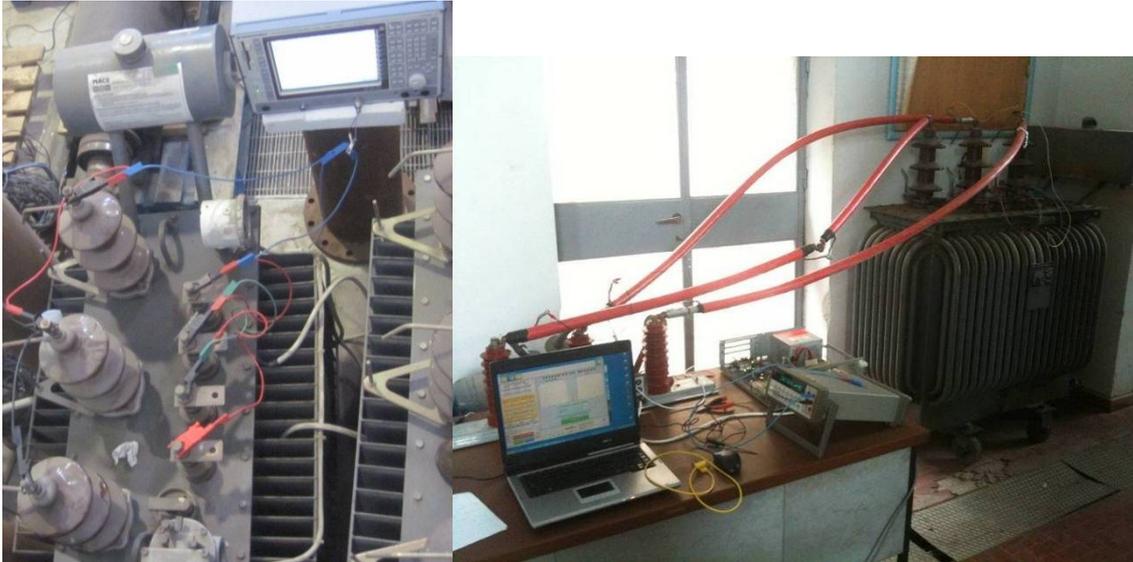


Fig. 31 Caratterizzazione nel range di frequenza dei segnali PLC di due trasformatori di potenza.

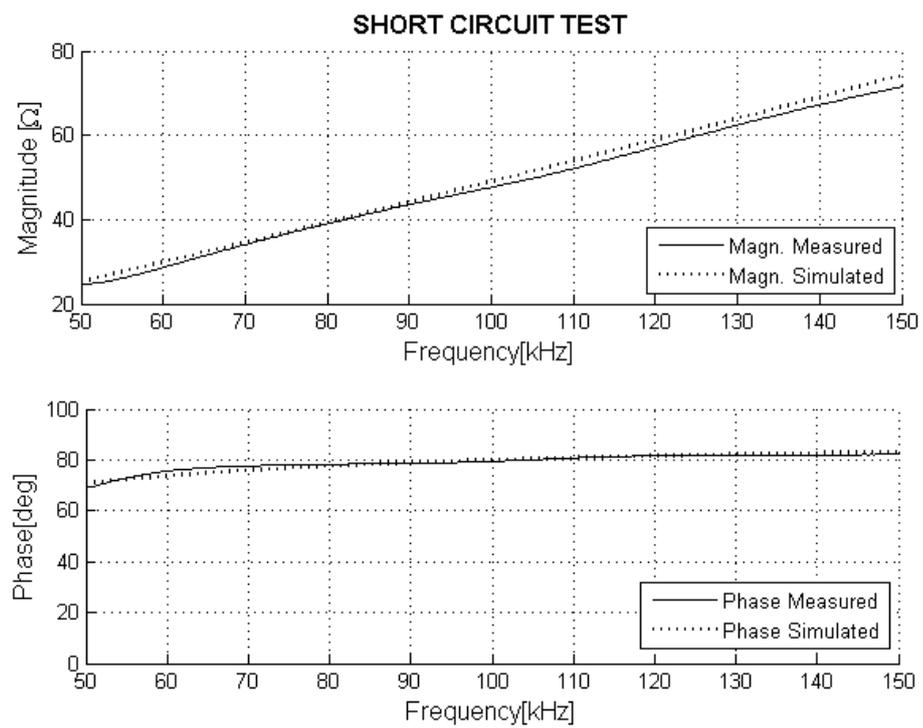


Fig. 32 Prova in corto circuito. Confronto tra le impedenze ottenute in simulazione e le misure sperimentali.

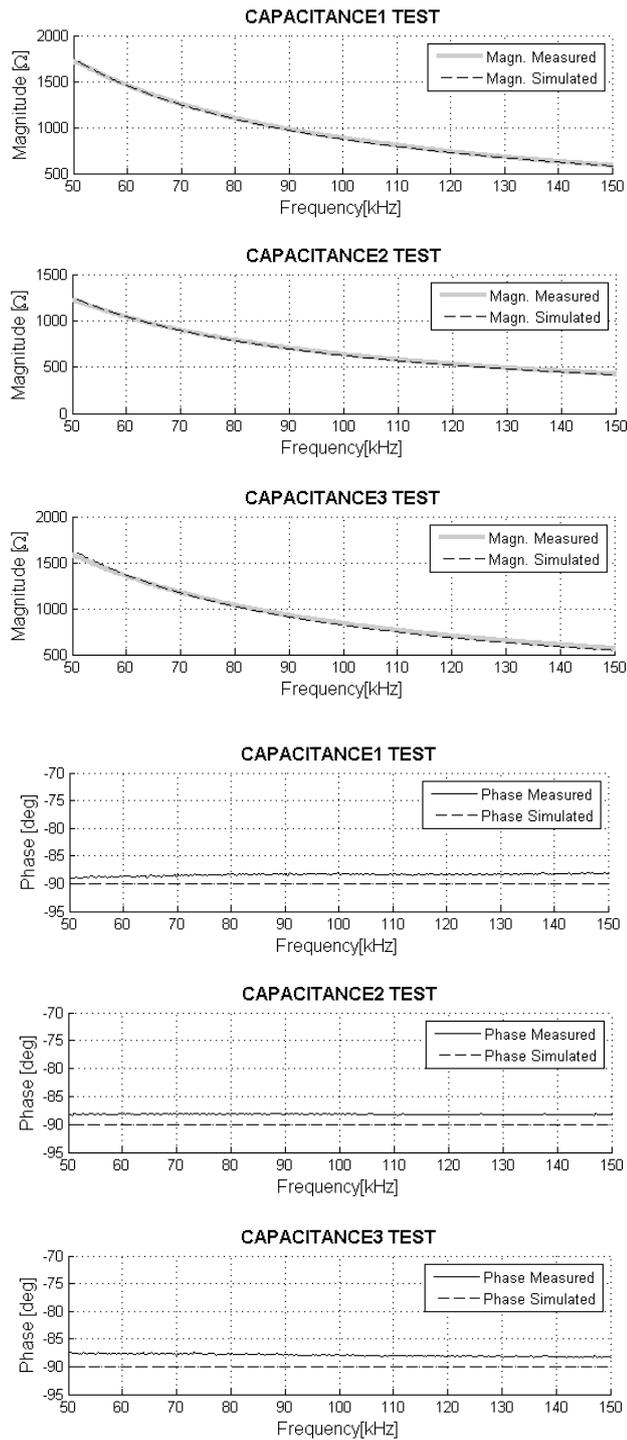


Fig. 33 Capacitance tests (1, 2 e 3). Confronto tra le impedenze ottenute in simulazione e le misure sperimentali.

### 3.4 Diverse tipologie di ricetrasmittitore utilizzate e relative modulazioni

Sono stati testati due diversi transceiver basati sui dispositivi ST7540 [33] e ST7580 [34], sviluppati da STMicroelectronics. Entrambi i dispositivi integrano le funzioni di trasmissione e ricezione PLC. Le caratteristiche dei dispositivi sono indicate nella Tabella 10:

Tabella 10 CARATTERISTICHE DI ST7540 E ST7580

ST7540	ST7580
<ul style="list-style-type: none"> <li>• Half-duplex frequency shift keying (FSK) transceiver</li> <li>• Integrated power line driver with programmable voltage and current control</li> <li>• Programmable mains access: Synchronous Asynchronous</li> <li>• Single supply voltage (from 7.5V up to 13.5V)</li> <li>• Very low power consumption (<math>I_q = 5\text{mA}</math>)</li> <li>• Integrates 5V voltage regulator (up to 50mA) with short circuit protection</li> <li>• Integrated 3.3V voltage regulator (up to 50mA) with short circuit protection</li> <li>• 3.3V or 5V digital supply</li> <li>• 8 Programmable transmission frequencies</li> <li>• Programmable baud rate up to 4800BPS</li> <li>• Receiving sensitivity up to <math>250\mu\text{V}_{\text{RMS}}</math></li> <li>• Suitable for applications in accordance with EN 50065 Cenelec specification</li> <li>• Carrier or preamble detection</li> <li>• Band in use detection</li> <li>• Programmable control register</li> <li>• Watchdog timer</li> <li>• 8 or 16 Bit header recognition</li> <li>• ST7537 and ST7538 compatible</li> <li>• UART/SPI host interface</li> </ul>	<ul style="list-style-type: none"> <li>• Fully integrated narrow-band power line networking system-on-chip</li> <li>• High-performing PHY processor with embedded turnkey firmware featuring: <ul style="list-style-type: none"> <li>• B-FSK modulation up to 9.6 kbps</li> <li>• B-PSK, Q-PSK, 8-PSK modulations up to 28.8 kbps</li> </ul> </li> <li>• Dual channel operation mode</li> <li>• Convolutional error correction coding</li> <li>• Signal-to-noise ratio estimation</li> <li>• B-PSK with PNA mode against impulsive noise</li> <li>• Protocol engine embedding turnkey communication protocol</li> <li>• Framing service</li> <li>• Error detection</li> <li>• Sniffer functionality</li> <li>• Host controller UART interface up to 57.6 kbps</li> <li>• AES-128 based authentication and confidentiality services</li> <li>• Fully integrated analog front end: <ul style="list-style-type: none"> <li>• ADC and DAC</li> <li>• Digital transmission level control</li> </ul> </li> <li>• PGA with automatic gain control</li> <li>• High sensitivity receiver</li> <li>• Fully integrated single-ended power amplifier for line driving <ul style="list-style-type: none"> <li>• Up to 1 A RMS, 14 V p-p output</li> </ul> </li> <li>• Configurable active filtering topology</li> <li>• Very high linearity</li> <li>• Embedded temperature sensor</li> <li>• Current control feature</li> <li>• 8 to 18 V power amplifier supply</li> <li>• 3.3 V or 5 V digital I/O supply</li> <li>• Zero crossing detection</li> <li>• Suitable for EN50065, FCC part 15 and ARIB compliant applications</li> <li>• Communication carrier frequency programmable up to 250 kHz</li> </ul>

	<ul style="list-style-type: none"> <li>• VFQFPN48 7x7x1.0 48L exposed pad package</li> <li>• -40 °C to +85 °C temperature range</li> </ul>
--	--

Il dispositivo ST7540 è attualmente utilizzato in alcuni concentratori e contatori elettronici per il tele-metering. Esso utilizza la modulazione B-FSK e raggiunge una velocità massima di 9600 bps. Il dispositivo ST7580 permette di effettuare modulazioni oltre alla modulazione FSK, anche la N-PSK. È quindi utilizzabile per il tele-metering ma anche per applicazioni che richiedono maggiori velocità di trasmissione sino ad un massimo di 28,8 kbps.

### 3.4.1 Modello del modulatore

Per simulare il comportamento del modulatore si sono sviluppati due diversi modelli, sempre in ambiente Simulink, per le due modalità di funzionamento da trasmettitore e da ricevitore. I modelli sono stati sviluppato partendo dallo schema elettrico dello stadio di uscita del transceiver oggetto di studio. Nella modalità trasmissione il segnale generato è stato modellizzato con un generatore di forma d'onda sinusoidale con un'impedenza di uscita di  $5\Omega$  connessa ad un trasformatore di isolamento 1:1 e una capacità da 100 nF per il filtraggio della 50 Hz. Il modulatore è in grado di lavorare con diverse frequenze. Tra tutte è stata scelta 86kHz. Dai data-sheet del trasformatore di isolamento VAC T60403-K5024-X044 (tensione di isolamento 6kV e frequenza operativa tra 10kHz e 1MHz), si sono ricavati i parametri da inserire nel modello. L'induttanza mostrata è 1.4mH. In Fig. 34 è mostrato il modello del modem in fase di trasmissione [28].

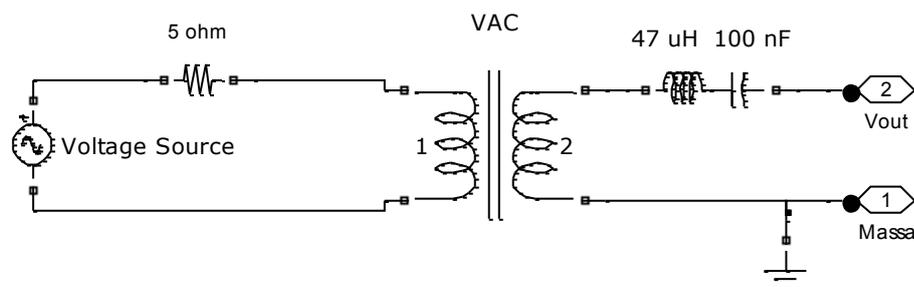


Fig. 34 Modello del modem in fase di trasmissione.

In fase di ricezione il modem è stato simulato utilizzando un voltmetro di misura posto in parallelo ad una resistenza interna da  $320 \Omega$ , il tutto sempre a valle della capacità di filtro e del trasformatore di isolamento. Il modello del modem in fase di ricezione è mostrato in Fig. 35.

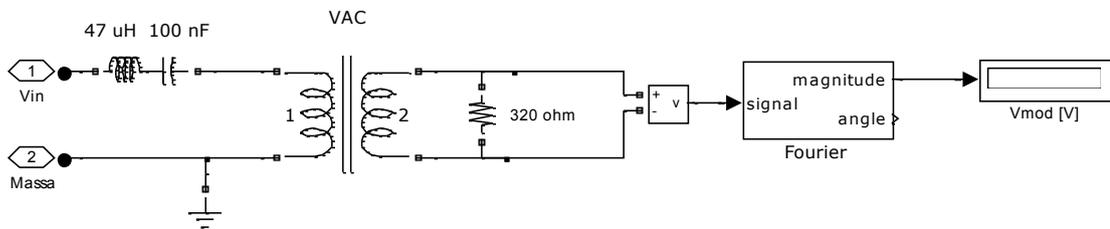


Fig. 35 Modello del modem in fase di ricezione.

### 3.4.2 Tecniche di modulazione

Per poter trasmettere tramite PLC i segnali digitali generati da dispositivi localizzati in prossimità di una linea elettrica, è necessario ricorrere ad una delle tecniche di modulazione digitale su portante analogica. Un canale di tipo passa banda non permette la trasmissione di segnali digitali in banda base, cioè non modulati. E' necessario introdurre una qualche modulazione per traslare lo spettro del segnale digitale da trasferire, in modo che la banda del segnale modulato rientri in quella di trasmissione del canale.

Questo tipo di modulazione viene definito digitale in quanto i parametri che regolano la modulazione (ampiezza, frequenza, fase) non variano in modo continuo, come per le modulazioni analogiche, ma possono assumere solo un numero discreto di valori, ciascuno dei quali costituisce uno "stato" in cui si può trovare il segnale modulato. Per questo motivo l'emissione da parte del modulatore di un segnale modulato, posto in un certo stato, può essere considerata come la trasmissione sul canale di un simbolo.

Come per le modulazioni analogiche anche per quelle digitali si hanno tre tecniche di modulazione: ampiezza, frequenza e fase, che eventualmente possono venire combinate tra loro per ottenere modulazioni più complesse, ma più dense di informazioni. In quest'ultimo caso, sia l'ampiezza, sia la frequenza o la fase dipenderanno dal valore digitale della modulante. La modulazione digitale quindi si distingue in:

- ASK (*Amplitudine Shift Key*);

- FSK (*Frequency Shift Key*);
- PSK (*Phase Shift Key*);
- QAM (*Quadrature Amplitude Modulation*)

Con il passaggio dall'analogico al digitale, la velocità di trasmissione sarà espressa in *bit/secondo (bps)* dove con bit al secondo si indica il numero di possibili livelli logici (bit) trasmessi nell'unità di tempo.

Nella sua forma più generale il segnale modulato è un segnale passa banda del tipo:

$$v(t) = \text{Re}[\check{s}(t)e^{j2\pi f_0 t}] \quad (3.4)$$

in cui  $f_0$  rappresenta la frequenza della portante e l'involuppo complesso  $\check{s}(t)$  è definito dalla:

$$\check{s}(t) = \sum_{n=-\infty}^{\infty} \check{s}_n(t - nT) \quad (3.5)$$

e cioè dalla successione di forme d'onda  $\check{s}_n(t)$  prese da un insieme di  $M$  elementi  $\{\check{s}_n(t)\}_{n=1}^M$ .

Componendo le precedenti si ottiene il segnale  $v(t)$ :

$$v(t) = \text{Re} \left[ \sum_{n=-\infty}^{\infty} \check{s}_n(t - nT) e^{j2\pi f_0 t} \right] \quad (3.6)$$

che, se si suppone  $f_0 T$  intero, può essere riscritta come segue:

$$\begin{aligned} v(t) &= \text{Re} \left[ \sum_{n=-\infty}^{\infty} \check{s}_n(t - nT) e^{j2\pi f_0 (t - nT)} \right] \\ &= \sum_{n=-\infty}^{\infty} \text{Re}[\check{s}_n(t - nT) e^{j2\pi f_0 (t - nT)}] \\ &= \sum_{n=-\infty}^{\infty} s_n(t - nT) \end{aligned} \quad (3.7)$$

dove si sono definite con:

$$s_n(t) = \text{Re}[\check{s}_n(t) e^{j2\pi f_0 t}] \quad (n = 1, \dots, M) \quad (3.8)$$

le forme di segnalazione.

Si analizzeranno le modulazioni FSK e PSK perché utilizzate da modulatore ST7580 per la trasmissione in power line.

### 3.4.3 Modulazione FSK

La modulazione FSK (*Frequency Shift Keying*) è la tecnica di modulazione che è stata utilizzata per la trasmissione dei segnali nelle prove sperimentali. In questo caso, l'involuppo complesso delle forme di segnalazione è:

$$\check{s}_n(t) = V_0 e^{j(2\pi a_n t \Delta f + \varphi)} \text{rect}\left(\frac{t - \frac{T}{2}}{T}\right) \quad (n = 1, 2) \quad (3.9)$$

dove ai simboli binari  $d = 0$  e  $d = 1$  sono associate le cifre  $a$  come indicato:

$$\begin{aligned} d = 0 &\Rightarrow a = -1 \\ d = 1 &\Rightarrow a = 1 \end{aligned} \quad (3.10)$$

In questo tipo di modulazione la frequenza della portante è aumentata di  $\Delta f$  tutte le volte che è presente il dato  $d = 1$ , e diminuita di  $\Delta f$  quando è presente il dato  $d = 0$ . Il segnale modulato vale:

$$v(t) = V_0 \sum_{n=-\infty}^{\infty} \cos[2\pi f_0 t + 2\pi a_n \Delta f (t - nT) + \varphi] \text{rect}\left(\frac{t - nT - \frac{T}{2}}{T}\right) \quad (3.11)$$

ed il suo andamento è riportato in Fig. 36.

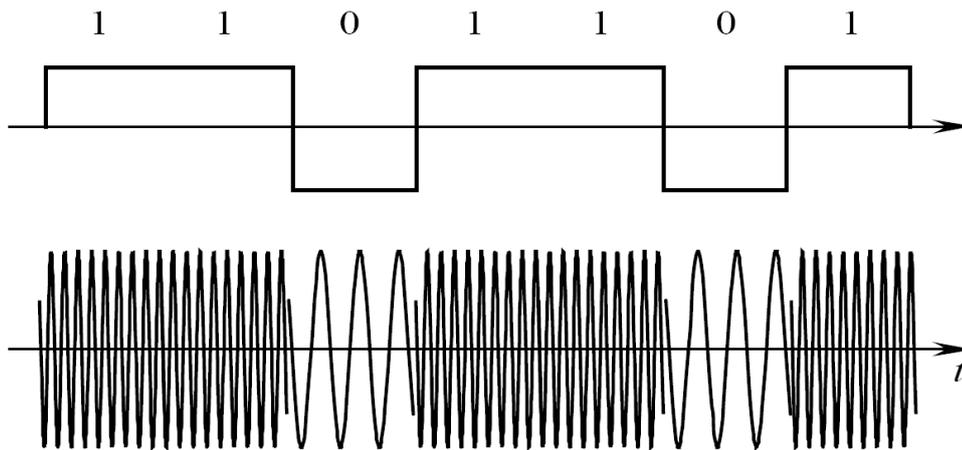


Fig. 36 Segnale FSK

Una modulazione FSK può essere realizzata con diversi metodi, uno dei più semplici ma poco utilizzato a causa della discontinuità di fase è quello della commutazione tra le uscite di due oscillatori a frequenze diverse ( $f_0$  ed  $f_1$ ) operata dal segnale modulante. Tale soluzione, però, non è utilizzata molto di frequente perché non fornisce, se non mediante particolari accorgimenti, segnali con continuità di fase.

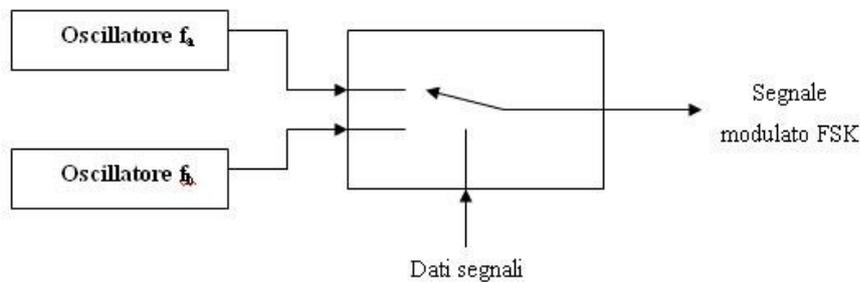


Fig. 37 Schema a blocchi FSK

La scelta delle due frequenze deve essere fatta in modo da realizzare il migliore compromesso tra quattro diverse esigenze:

- limitare l'occupazione della banda;
- ottenere una sufficiente separazione tra le due frequenze in modo da evitare l'interferenza intersimbolica;
- mantenere il periodo relativo alle due sinusoidi minore o uguale alla frequenza di bit dell'informazione digitale;
- mantenere una continuità di fase nelle variazioni di stato.

### 3.4.4 Modulazione PSK

Nella modulazione PSK (*Phase Shift Keying*) la portante è trasmessa con valori di frequenza e ampiezza costanti, mentre ciò che viene variato in relazione all'informazione digitale modulante è il valore della fase.

L'involuppo complesso delle forme di segnalazione è:

$$\check{s}_n(t) = V_0 e^{j(\vartheta_n + \varphi)} \text{rect}\left(\frac{t - \frac{T}{2}}{T}\right) \quad (n = 1, \dots, M) \quad (3.12)$$

con

$$\vartheta_n = 2\pi \frac{n}{M} \quad (3.13)$$

L'equazione precedente può essere riscritta come segue:

$$\check{s}_n(t) = V_0 e^{j\varphi} c_n \text{rect}\left(\frac{t - \frac{T}{2}}{T}\right) \quad (3.14)$$

dove:

$$c_n = e^{j\vartheta_n} = \cos\left(2\pi \frac{n}{M}\right) + j \text{sen}\left(2\pi \frac{n}{M}\right) \quad (3.15)$$

Le PSK sono modulazioni ad involuppo costante perché l'ampiezza del segnale non dipende dal codice trasmesso. Ciò rende queste modulazioni adatte alle telecomunicazioni mobili anche su lunghe distanze e sono usate per WLAN e UMTS.

Uno schema a blocchi del modulatore PSK è mostrato nella Fig. 38

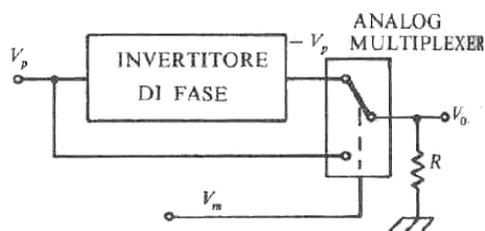
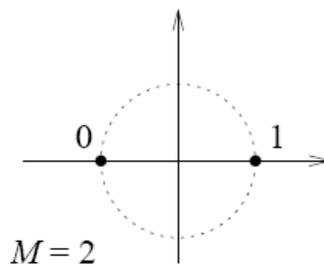


Fig. 38 Schema a blocchi di un modulatore PSK

La modulazione digitale di fase può essere applicata in vari modi, il più semplice è quello denominato 2-PSK (o BPSK - bipolar PSK) ma si utilizzano molto spesso anche la 4-PSK e la 8-PSK, ognuna delle quali può essere realizzata a sua volta con diverse modalità e/o in combinazione con modulazione di fase o frequenza.

Nella modulazione BPSK la portante mantiene valori costanti per ampiezza e frequenza, ma assume due valori di fase a seconda del valore logico del bit del segnale modulante. Per garantire la massima protezione dal rumore e dalle interferenze vengono scelti i due valori di fase estremi: 0 e  $\pi$ . Pertanto la corrispondenza tra le cifre  $c_n = e^{j\theta_n}$  e i simboli binari  $d = 0$  e  $d = 1$  sarà data da:

$$\begin{aligned} d = 0 &\Rightarrow c = -1 \\ d = 1 &\Rightarrow c = 1 \end{aligned} \tag{3.16}$$



*Fig. 39 Costellazione 2-PSK*

Nella modulazione 4-PSK (QPSK) troviamo 4 segnalazioni distinte in quanto abbiamo quattro possibili valori per  $\vartheta_n = 0, \pi/2, \pi, 3\pi/2$ . Con questa modulazione siamo in grado di modulare un gruppo di due bit per volta. Il mapping può essere scelto a seconda delle particolari esigenze applicative (ad es. si può utilizzare la codifica di Gray).

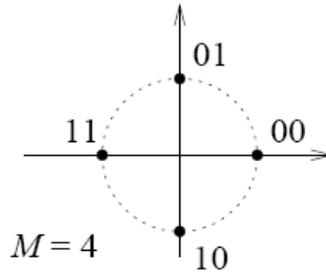


Fig. 40 Costellazione 4-PSK

La variante  $\pi/4$ -QPSK (ottenuta aggiungendo alla QPSK uno sfasamento costante di  $\pi/4$ ) è usata nelle telecomunicazioni wireless, perché semplifica la sincronizzazione tra il trasmettitore e il ricevitore.

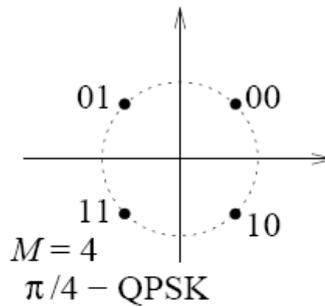


Fig. 41 Costellazione  $\pi/4$ -QPSK

La modulazione 8-PSK costituisce una evoluzione della 4-PSK in quanto è costituita da 8 segnalazioni differenti in corrispondenza ai valori di  $\vartheta_n = 0, \pi/4, \pi/2, 3\pi/4, \pi, 5\pi/4, 3\pi/2, 7\pi/4$ . Anche in questo caso il mapping va scelto in base alle esigenze di utilizzo.

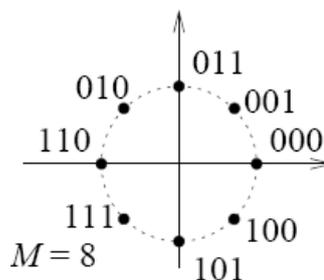


Fig. 42 Costellazione 8-PSK

### 3.5 Accoppiatori commerciali

Per caratterizzare l'accoppiatore capacitivo sono state eseguite due misure d'impedenza. La prima prevede di misurare l'impedenza vista tra il morsetto di bassa tensione e massa, quando il morsetto di media tensione è lasciato aperto, come mostrato in Fig. 43(a). La seconda prevede di misurare l'impedenza vista tra il terminale di media tensione e terra, quando il terminale di bassa tensione è corto-circuitato a terra, come mostrato in Fig. 43(b). In Fig. 44 sono mostrati i risultati della misura d'impedenza vista dai morsetti di bassa tensione, da cui si rileva un comportamento RLC parallelo. In Fig. 45 sono mostrati i risultati della seconda misura d'impedenza, da cui si rileva un comportamento RLC serie. Sulla base dei risultati delle misure eseguite, è stato sviluppato il modello finale dell'accoppiatore mostrato in Fig. 46. Il connettore 1 rappresenta il lato media tensione, il connettore 2 è il lato bassa tensione e il 3 è la terra. I valori della capacità del condensatore di accoppiamento  $C_s$  ed i valori dell'induttanza  $L_s$  del circuito risonante serie sono riportati sul datasheet, mentre i parametri del circuito risonante parallelo  $R_p$ ,  $L_p$  e  $C_p$  ed i parametri del trasformatore sono ottenuti dalle misure di impedenza. Nella Tabella 11 sono riportati i valori dei parametri sopra citati per l'accoppiatore utilizzato.

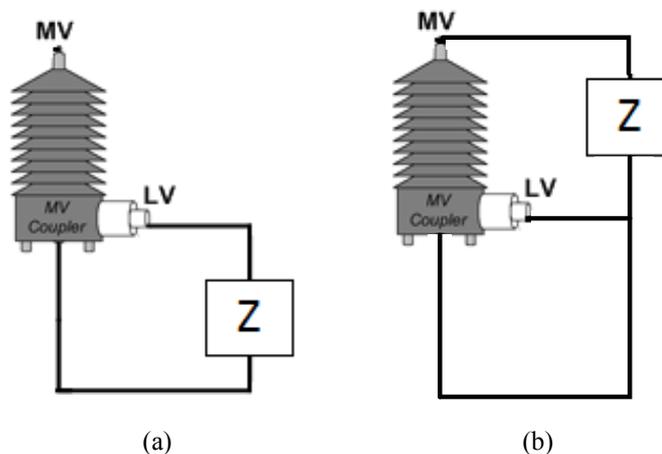


Fig. 43 Schemi di misura per la caratterizzazione dell'accoppiatore di media tensione: a) misura d'impedenza dal terminale di bassa; (b) misura d'impedenza dal terminale di media.

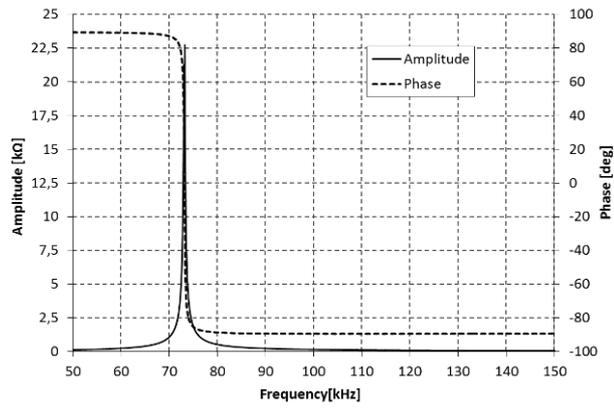


Fig. 44 Risultati della misura d'impedenza dal terminale di bassa dell'accoppiatore ADD.

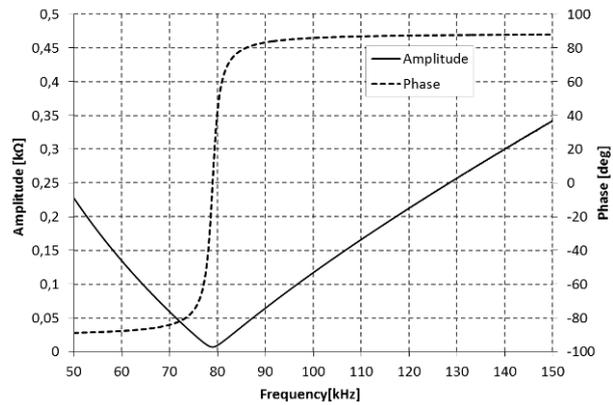


Fig. 45 Risultati della misura d'impedenza dal terminale di media dell'accoppiatore ADD

Tabella 11 PARAMETRI DEI CIRCUITO RISONANTE

Circuito risonante serie		Circuito risonante parallelo		
Cs [nF]	Ls [ $\mu$ H]	Rp [k $\Omega$ ]	Cp [nF]	Lp [ $\mu$ H]
7.83	518	21	23	240

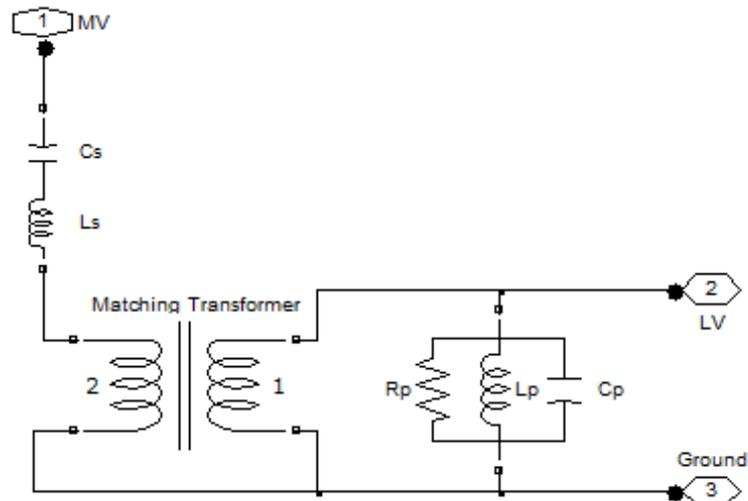
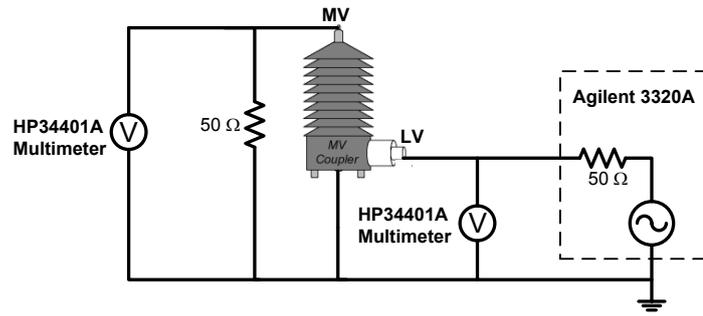


Fig. 46 Modello dell'accoppiatore

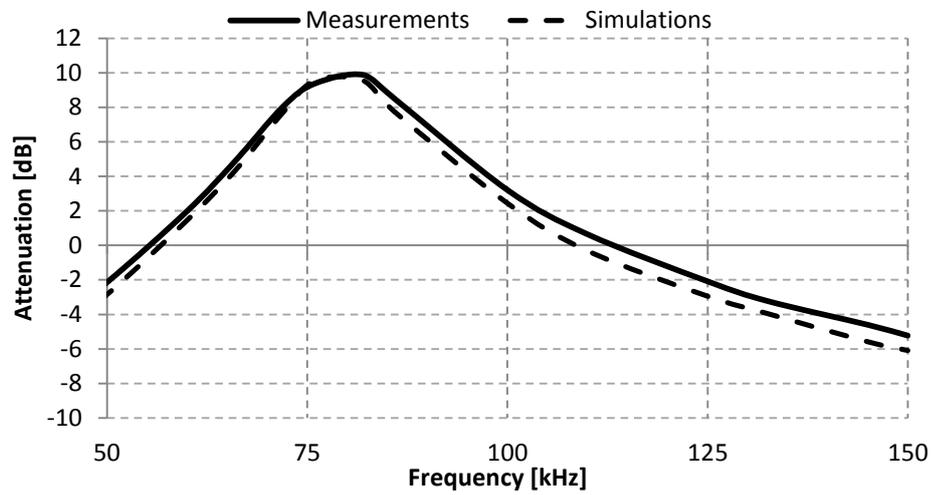
Per verificare il modello è stata rilevata sperimentalmente la risposta in frequenza e confrontata con quelle ottenute in simulazione. I banchi di prova per la misura bassa-media e media-bassa sono mostrati rispettivamente in Fig. 47(a) e Fig. 48(a). Un generatore di segnale, Agilent 33220A, è stato connesso ai terminali d'ingresso ed una resistenza da  $50 \Omega$  ai terminali di uscita. Le tensioni d'ingresso e di uscita (rispettivamente  $V_{in}$  e  $V_{out}$ ) sono state misurate con due multimetri HP 34401A. La risposta in frequenza è stata ottenuta calcolando l'attenuazione del segnale al variare della frequenza, per mezzo della seguente espressione:

$$attenuation = 20 \log_{10} \frac{V_{out}}{V_{in}} \quad (3.17)$$

In Fig. 47(b) e Fig. 48(b) sono riportati i confronti tra i risultati sperimentali e i risultati di simulazione relativi alla risposta in frequenza. Da tali confronti è possibile concludere che il modello sviluppato consente di simulare correttamente il comportamento dell'accoppiatore capacitivo utilizzato.

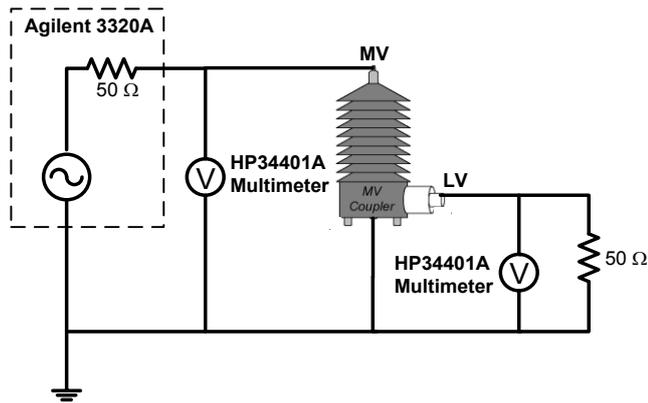


(a)

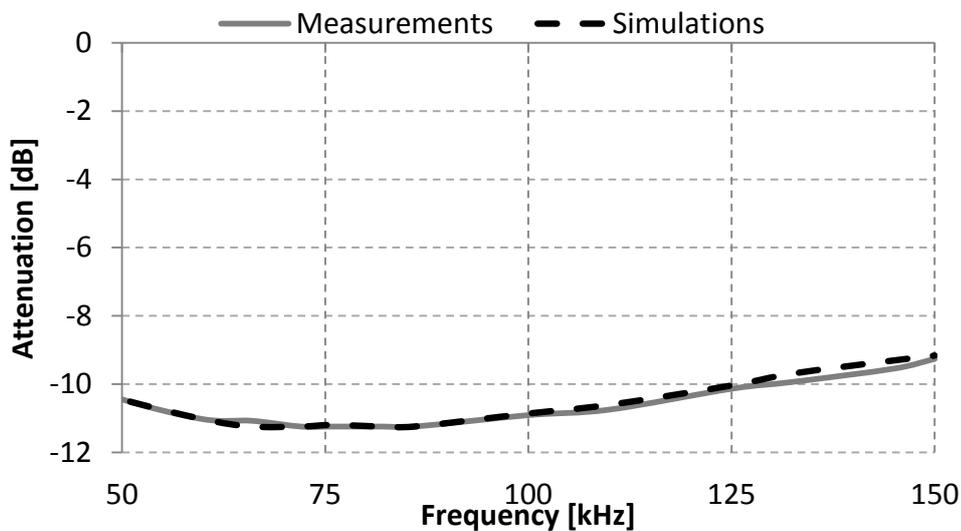


(b)

Fig. 47 (a) Test set-up per la misura della risposta in frequenza bassa-media dell'accoppiatore capacitivo. (b) Confronto dei risultati sperimentali e della simulazione.



(a)



(b)

Fig. 48 (a) Test set-up per la misura della risposta in frequenza media-bassa dell'accoppiatore capacitivo. (b) Confronto dei risultati sperimentali e della simulazione.

### 3.6 Simulazione di trasmissione power line

Unendo i modelli dei singoli elementi del sistema studiato, si è realizzato il modello completo (cfr. Fig. 23) della comunicazione PLC tra le due cabine della rete MT di Ustica denominate “Sidoti” e “Spalmatore”. Con tale modello sono state eseguite diverse simulazioni trasmettendo e ricevendo il segnale tramite gli accoppiatori capacitivi connessi alle sbarre di MT di ciascuna cabina secondaria. L'attenuazione del segnale è stata valutata per diverse frequenze (nel campo di frequenza di 50-145 kHz) e per diverse configurazioni di rete. I risultati riportati in Fig. 49 ed in Fig. 50 si riferiscono al caso in cui entrambe le cabine sono nella configurazione entra-esci, mentre in Fig. 51 e Fig. 52 sono mostrati i risultati relativi al caso in cui "Sidoti" è in

configurazione entra-esci e "Spalmatore" è terminale e viceversa.

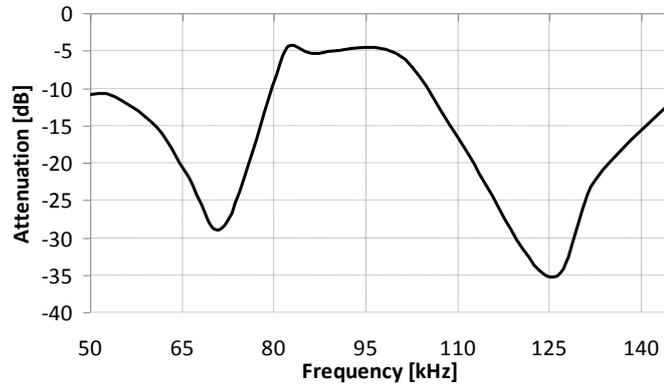


Fig. 49 Segnale trasmesso da Sidoti e ricevuto in Spalmatore

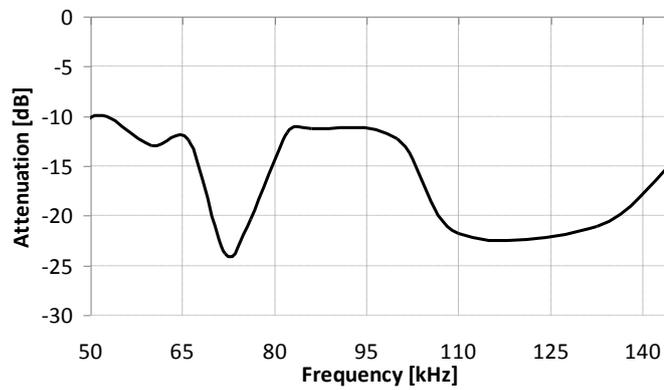


Fig. 50 Segnale trasmesso da Spalmatore e ricevuto in Sidoti

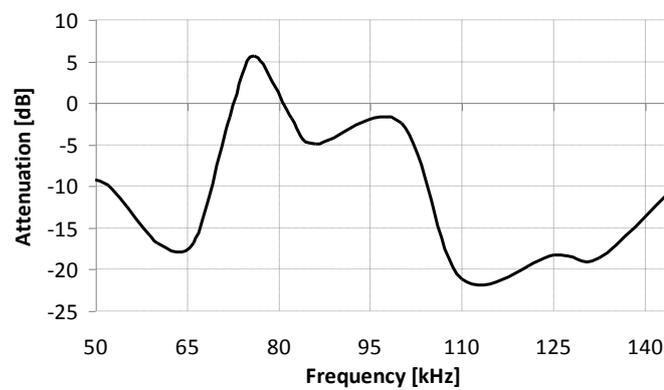
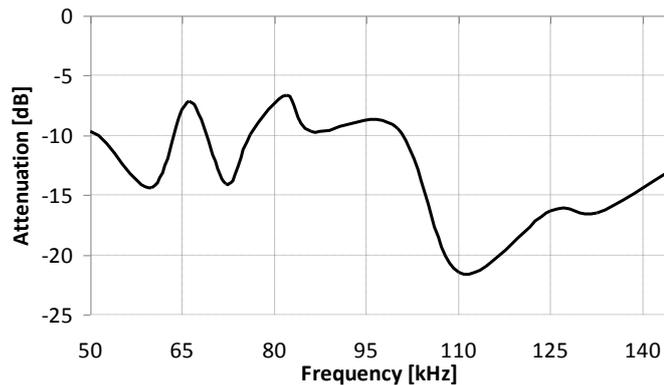


Fig. 51 Segnale trasmesso da Sidoti e ricevuto in Spalmatore. Cabina Sidoti in configurazione entra-esci e cabina Spalmatore terminale



*Fig. 52 Segnale trasmesso da Spalmatore e ricevuto in Sidoti. Cabina Spalmatore in configurazione entra-esci e cabina Sidoti terminale.*

Come si può vedere dai risultati di simulazione, l'attenuazione dipende sia dalle configurazioni di rete sia dalla frequenza di trasmissione del segnale. Si nota come i casi in cui una delle due cabine sia terminale sono quelli più favorevoli per la trasmissione del segnale, in virtù di valori di attenuazione inferiori.

Nel caso di entrambe le cabine connesse in configurazione entra-esci si hanno valori di attenuazione maggiori a causa della presenza di due nodi, uno in trasmissione e uno in ricezione, da cui viene drenato segnale nella linea che da essi si diparte. Come mostrato dai risultati di simulazione, le attenuazioni possono essere fortemente ridotte, anche nel caso di configurazione entra-esci, quando la frequenza di trasmissione è compresa tra 80 e 100 kHz. In questa gamma di frequenze la lunghezza del cavo ha un effetto positivo sulla trasmissione del segnale. La scelta di un'opportuna frequenza di trasmissione in base al comportamento in frequenza del cavo e del dispositivo di accoppiamento del segnale, risulta essere un'importante prospettiva di sviluppo futuro dell'attività di ricerca svolta.

## **CAPITOLO 4: PROTOTIPO DI DISPOSITIVI DI MISURA E COMUNICAZIONE PER LE SMART GRID**

### **4.1 Introduzione**

Nell'ambito delle problematiche descritte, l'attività di ricerca ha riguardato la realizzazione di un innovativo Dispositivo di Interfaccia conformemente a quanto prescritto dalla nuova Norma CEI 0-21 "Regola tecnica di riferimento per la connessione di utenti attivi e passivi alle reti BT delle imprese distributrici di energia elettrica" che introduce alcuni innovativi requisiti costruttivi e funzionali per i dispositivi di protezione legati anche alla presenza di segnali di comunicazioni da parte del Distributore, e che potesse provvedere ad implementare gli algoritmi di analisi armonica dei segnali acquisiti per effettuare misure di energia e power quality e valutare l'insorgere di arc-fault. Il Dispositivo di Interfaccia è stato realizzato utilizzando un sistema a basso costo composto da 2 board STMicroelectronics (STEVAl-IPE014V1 e STEVAL-IPE010V1) aventi un modulo per le funzioni di comunicazione power line e un campionario per l'acquisizione dei segnali, e da un terzo dispositivo dedicato alle elaborazioni di analisi armonica finalizzata alla misura di segnali non sinusoidali presenti nelle smart grid. Dopo avere valutato le diverse tipologie di trasformate esistenti nel dominio della frequenza, la scelta è ricaduta su un tipo particolare di DFT (Discrete Fourier Transform), la CZT (Chirp-Z Transform). Il costo computazione dell'algoritmo CZT implementato, essendo un tipo particolare di DFT, è dell'ordine di  $n^2$ . L'esigenza di un dispositivo ausiliario è nata dall'impossibilità di fare gestire anche i calcoli per l'analisi armonica alle 2 board ST a causa della bassa velocità di clock.

Sono necessarie quindi piattaforme hardware dedicate e facilmente interfacciabili con le schede relative alla sezione metrologica e di elaborazione. Ad esempio l'impiego di ASIC (Application Specific Integrated Circuit) dedicate, sarebbe stata una scelta di pregio, permettendo di dimenticare le problematiche inerenti al costo computazionale della CZT, di cui si è ampiamente discusso nel capitolo 2. Lo sviluppo di una ASIC dedicata, però, sarebbe risultato eccessivamente costoso e per questo utilizzare, ad esempio, tecnologie riprogrammabili come le FPGA o sistemi a microcontrollore con

velocità di calcolo elevate, può rappresentare una soluzione efficace e dai costi contenuti.

Un pregio che le soluzioni di questo tipo offrono è proprio la facilità con cui è possibile programmare la board e, al contempo, una discreta potenza di calcolo grazie ad architetture interne ottimizzate. Sono stati quindi testati 3 dispositivi: una FPGA, una Raspberry Pi B e una STM32F4-discovery. Le prove mostrate nel capitolo sono state effettuate offline: in ciascun dispositivo i campioni di ingresso sono stati inseriti in un array che ciascun sistema ha provveduto ad elaborare. Le uscite prelevate al termine dei calcoli sono state plottate attraverso Microsoft Excel per verificare la correttezza del calcolo confrontando i risultati con il calcolo dell'algorithmo effettuato con Labview. Per ogni scheda sono stati valutati i tempi di calcolo.

Sul fronte delle board FPGA, necessitando di velocità di calcolo elevate, la scelta è ricaduta su un modello contenente DSP (Digital Signal Processing) dedicati alle operazioni floating point. Naturalmente modelli differenti di board come Virtex (nel caso della Xilinx), oppure Cyclon (I o II per l'ordine di costo) nel caso della Altera, avrebbero potuto svolgere funzioni analoghe alla scheda scelta, ma al momento dell'acquisto, solo alcuni modelli disponevano di DSP ad un costo accessibile. Il modello della FPGA Spartan scelta per l'analisi spettrale è ampiamente discusso al paragrafo 4.1.1.

Analogamente al caso FPGA, sono state vagliate diverse soluzioni a microcontrollore (ad es. Arduino I, Arduino II, Raspberry Pi A, Raspberry Pi B, Intel Galileo, etc). Sicuramente uno dei processori più veloci (ARM11 a 700MHz) è integrato nella Raspberry Pi B scelta per implementare la trasformata di nostro interesse. Questa board dispone di un elevato numero di GPIO (che ha permesso una buona interfacciabilità con i dispositivi STEVAL) e di una potenza di calcolo che inizialmente è sembrata particolarmente adatta all'esecuzione della trasformata.

La terza scheda testata, che in ultima analisi ha risposto con le prestazioni migliori, è la STM32F4-discovery. Essendo una board della famiglia ST è stata facilmente interfacciabile con gli altri due dispositivi grazie alle librerie offerte dalla casa costruttrice. Inoltre questa board, disponendo di FPU (Floating Point Unit), ha permesso di ottenere, nonostante la velocità di clock relativamente bassa (168MHz), le prestazioni migliori in termini di tempo di elaborazione.

## 4.2 Descrizione del prototipo di Dispositivo di interfaccia

Il Dispositivo di Interfaccia misura tensione, corrente e frequenza e sulla base di eventuali comandi inviati dal distributore, modifica le soglie di intervento del DPI e le funzionalità del convertitore di potenza (*inverter*); deve inoltre svolgere il compito di misurare parametri fondamentali per la valutazione della distorsione armonica in rete e la prevenzione da arc-fault. Inoltre è in grado di operare lo sgancio del dispositivo generale di protezione al DPI e dell'eventuale ricalzo del DPI (per potenze  $>20\text{ kW}$ ). La comunicazione con il distributore può avvenire o mediante la *PLC (Power Line Communication)* o via *Ethernet* mentre con l'inverter avviene mediante comunicazione seriale *RS232*.

Nello schema a blocchi di Fig. 53 sono riportate le funzioni principali che il DPI è in grado di svolgere.

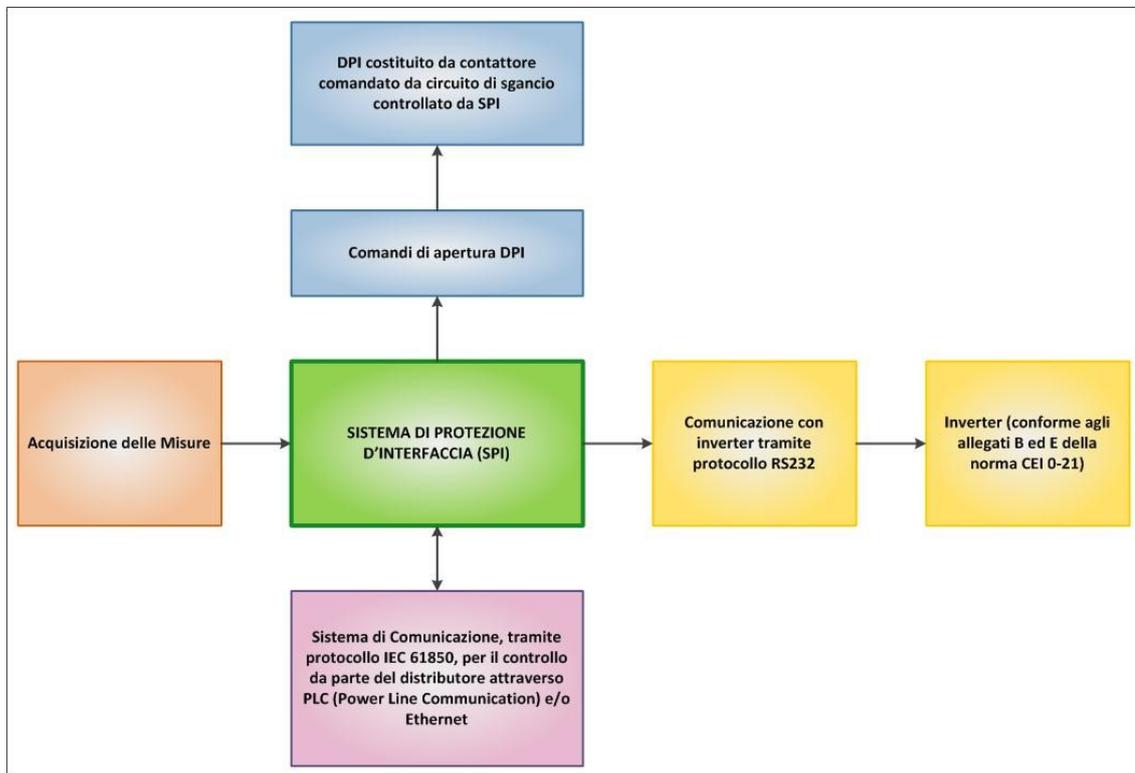


Fig. 53 Interazione tra le varie componenti del sistema

Grazie alla possibilità di interfacciarsi con le tecnologie informatiche e di comunicazione, consente di intervenire sugli impianti regolando lo scambio sia di energia sia di informazioni per il funzionamento del sistema, offrendo anche la possibilità di intervenire in caso di problematiche o guasti in modalità immediata, senza dover ricorrere all'intervento sul posto.

È stata utilizzata come base di progetto una scheda E-meter fornita da STMicroelectronics. Si è optato per questa soluzione in quanto, oltre al fatto che i dispositivi con cui interfacciarla sono della stessa azienda produttrice, di base la board presenta un hardware soddisfacente per poter implementare un'interfaccia idonea alla gestione dei sistemi di GD in accordo alla CEI 0-21 e al modello informativo descritto nell'IEC 61850. Le *board* fornite da STMicroelectronics e mostrate in Fig. 54 che sono state utilizzate per il progetto sono le seguenti:

- **Demo Kit Board.** È composta dalle schede STEVAL-IPE014V1 e STEVAL-IPE010V1, le cui funzioni sono rispettivamente la trasduzione dei segnali da misurare attraverso lo *Smart Sensor* STPMS2 e l'elaborazione e la memorizzazione dei segnali provenienti dal trasduttore tramite il calcolatore di energia STPMC1.
- **E-meter board.** È Costituita dalla scheda STEVAL-IPP001V2 che si interfaccia con l'impianto di *Distributed Energy Resource (DER)* svolgendo le funzioni di gestione e controllo del medesimo, manipolando i dati provenienti dalla sezione metrologica; la scheda è stata progettata per includere funzionalità avanzate e per soddisfare i requisiti di prossima generazione per le misure di energia ed è possibile avere caratteristiche supplementari inserendo dei moduli extra per una completa personalizzazione e riprogrammando in modo opportuno il software residente in memoria.

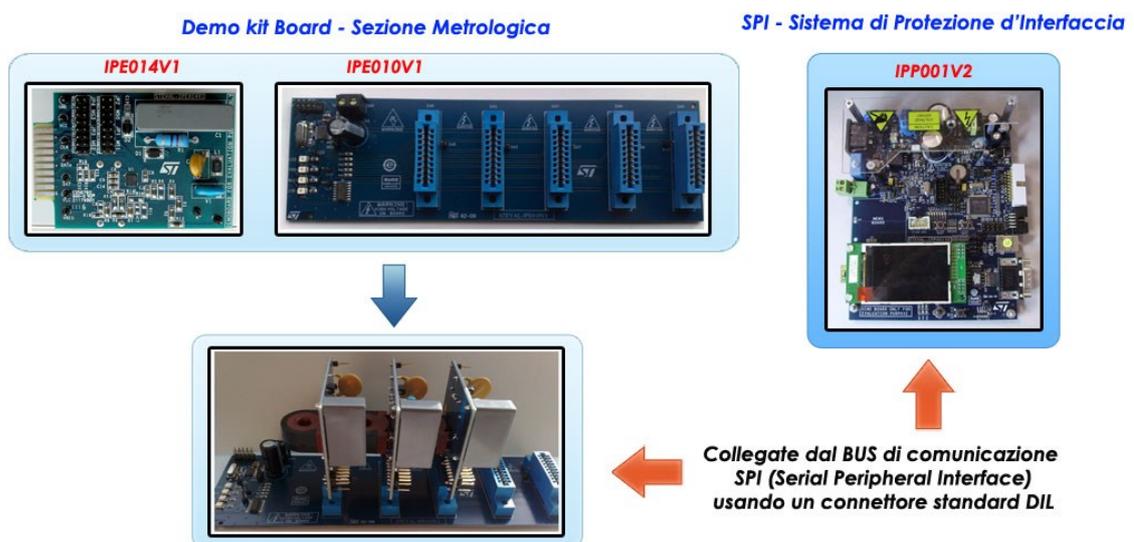


Fig. 54 Connessioni delle parti costituenti il sistema di interfaccia

L'ambiente di sviluppo utilizzato per l'implementazione del firmware per la realizzazione del *DPI* è *Atollic TrueSTUDIO®*. La programmazione è stata fatta via *JTAG probes* utilizzando *ST-Link/V2* di *STMicroelectronics*.

Il dispositivo acquisendo le informazioni provenienti dalla sezione metrologica deve poter inviare un comando di apertura al *Dispositivo di Protezione d'Interfaccia (DPI)*, comandato da un circuito di sgancio controllato dal *SPI* in grado di separare la rete pubblica dall'impianto di *GD* (la separazione deve avvenire anche in caso di guasto o mal funzionamento dell'impianto).

In accordo alle specifiche descritte per il *SPI*, per poter configurare l'interfaccia di gestione/protezione si è reso necessario lo studio delle singole *board* per poterle riconfigurare in modo consono all'obiettivo.

Il firmware è stato sviluppato in modo da implementare le seguenti funzionalità:

- Protezione di massima e minima tensione con due soglie;
- Protezione di massima e minima frequenza con due soglie;
- Gestione dello sgancio del dispositivo generale;
- Gestione della comunicazione con il distributore via power line ed ethernet;
- Gestione dell'inverter in conformità alla CEI 0-21 via RS 232.

#### **4.2.1 Sezione metrologica: Demo kit board**

La funzionalità di rilevazione è affidata alla *board* *STEVAl-IPE014V1*, il cui elemento base è lo *smart sensor* *STPMS2*, progettato nella realizzazione di sistemi di misura per le linee elettriche che usano la *bobina di Rogowski*, trasformatori di corrente o *sensori Shunt*.

Questi dispositivi sono una componente fondamentale per i contatori di energia, monofase o multi fase, basati sul dispositivo *STPMC1* (processore di segnale digitale progettato per la misurazione dell'energia). Questo dispositivo può essere utilizzato in applicazioni di misura di media e alta risoluzione, in cui gli ingressi singoli o doppi devono essere monitorati nello stesso tempo.

Il *STPMS2* è un circuito integrato, a segnale misto, composto da una sezione analogica e una digitale; quella analogica, composta da due canali di misura, presenta un guadagno variabile, un amplificatore a basso rumore, due blocchi di modulazione  $\Delta\Sigma$  del secondo ordine, un riferimento di tensione *band-gap*, un regolatore di tensione *low-*



Entrambi i canali forniscono il segnale di *zerocrossing*, rendendo quindi il STPMS2 in grado di campionare segnali differenziali su entrambi i canali. I segnali analogici convertiti dal STPMS2 generano due flussi digitali, che possono poi essere multiplexati nel tempo per ridurre il numero di connessioni esterne. Il *package* del STPMS2 è in Fig. 56.

Il STPMS2 può operare in due modalità: a risparmio energetico o a piena potenza (senza limitazioni). Nella modalità a piena potenza la frequenza di clock nominale, applicata all'ingresso di clock del dispositivo, è di 4,1 o 4,9 MHz. In questa modalità, la larghezza di banda del segnale è tra 0 e 4 kHz. Nella modalità a risparmio energetico, il clock è quattro volte più lento in modo da ridurre il consumo energetico, le correnti di polarizzazione di riposo del preamplificatore e dell'integratore *delta-sigma* vengono abbassate e la larghezza di banda del segnale si restringe nell'intervallo da 0 a 1 kHz.

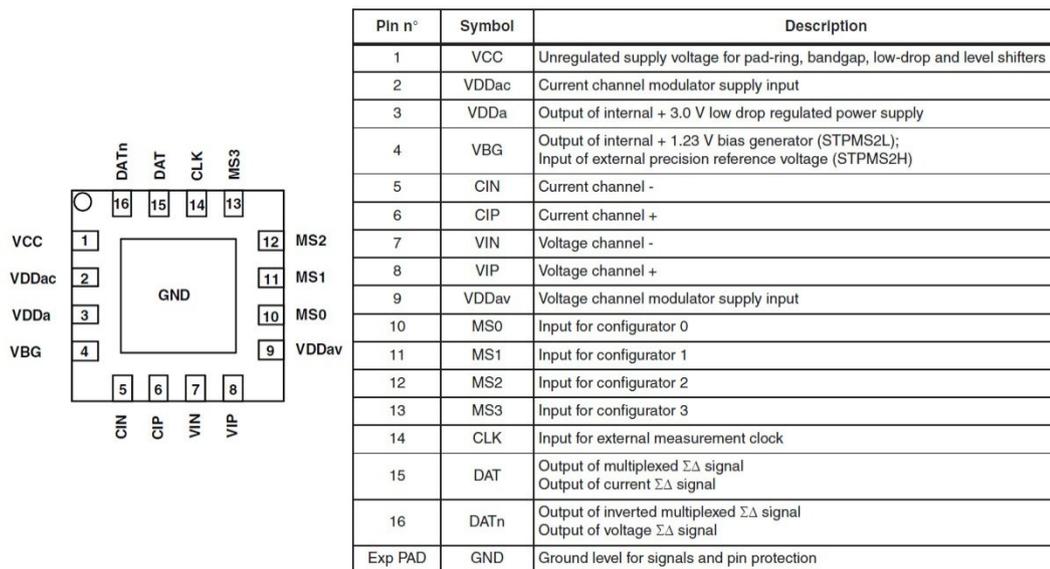


Fig. 56 Package del STPMS2

Un aspetto fondamentale nel funzionamento del STPMS2 è la scelta dei componenti esterni nella sezione trasduzione (punto cruciale nella progettazione delle applicazioni), che influisce sulla precisione e la risoluzione di tutto il sistema. Tra le diverse considerazioni, un compromesso deve essere trovato tra i seguenti requisiti:

1. Massimizzare il rapporto segnale-rumore nel canale di tensione e corrente;

2. Scegliere il corretto rapporto di conversione tra corrente-tensione ( $ks$ ) e il rapporto del partitore di tensione in modo tale da effettuare la giusta taratura;
3. Scegliere  $ks$  per sfruttare l'intera dinamica secondo la corrente massima e la risoluzione desiderata.

Quindi la STEVAL-IPE014V1, che è basata sullo *smart sensor* STPMS2, è progettata per essere utilizzata con il STPMC1 (alloggiato sulla *board* STEVAL-IPE010V1). Le due *board* collegate assieme forniscono un completo sistema di misura per l'energia elettrica.

Quando la STEVAL-IPE014V1 è collegata alla scheda STEVAL-IPE010V1, fornisce valori su una sola fase (per informazioni di lettura di più fasi si devono installare più IPE014V1 su IPE010V1). La conversione e il multiplexing delle informazioni di tensione e corrente vengono inviate, in un unico flusso, al calcolatore di energia STPMC1 della STEVAL-IPE010V1. I valori di lavoro consentiti per il STPMS2, sono riportati nella Tabella 12 [11].

Tabella 12 VALORI RILEVABILI DAL STPMS2

Condition	Value	Unit
$V_{NOM}$	230	$V_{RMS}$
$I_{NOM}$	CT: $I_{NOM} = 1$	$A_{RMS}$
$I_{MAX}$	CT: $I_{MAX} = 30$	$A_{RMS}$
$f_{LIN}$	50/60 $\pm$ 10%	Hz
$T_{OP}$	-40 / +85	$^{\circ}C$

La funzionalità di calcolo dell'energia multifase è affidata alla scheda STEVAL-IPE010V1, il cui elemento base è il STPMC1, che elabora le informazioni provenienti da uno *smart sensor*, il dispositivo che misura l'energia dalle linee elettriche di potenza. Usato in combinazione con uno o più circuiti integrati STPMSx, implementa tutte le funzioni necessarie per la misura d'energia di ognuna delle fasi. Il STPMC1 può essere collegato ad un microprocessore il quale può svolgere svariate funzioni sui dati elaborati dal STPMC1.

Il STPMC1 è costituito da tre sezioni: analogica, digitale e OTP:

- La sezione analogica è composta da un riferimento di tensione *band-gap* e da un regolatore di tensione *low-drop*;
- La sezione digitale è costituito da: un sistema di controllo, un generatore di *clock*, tre PDSP e un NDSP, ed una interfaccia *Serial Peripheral Interface* (SPI);
- I 112-bit del blocco *One Time Programming (OTP)* e i 16 segnali di sistema, usati per il test (configurati e calibrati per tale scopo), sono controllati tramite SPI per mezzo di un comando dedicato di *set*.

Lo schema a blocchi [12] è mostrato in Fig. 57, dove DAx sta per DAR, DAS, DAT, e xDSP sta per RDSP, SDSP, TDSP.

Il STPMC1 presenta cinque linee di ingressi dati: DAR, DAS, DAT, DAN, DAH, di cui quattro ricevono dati dal STPMS2 come mostra la Tabella 3.2.

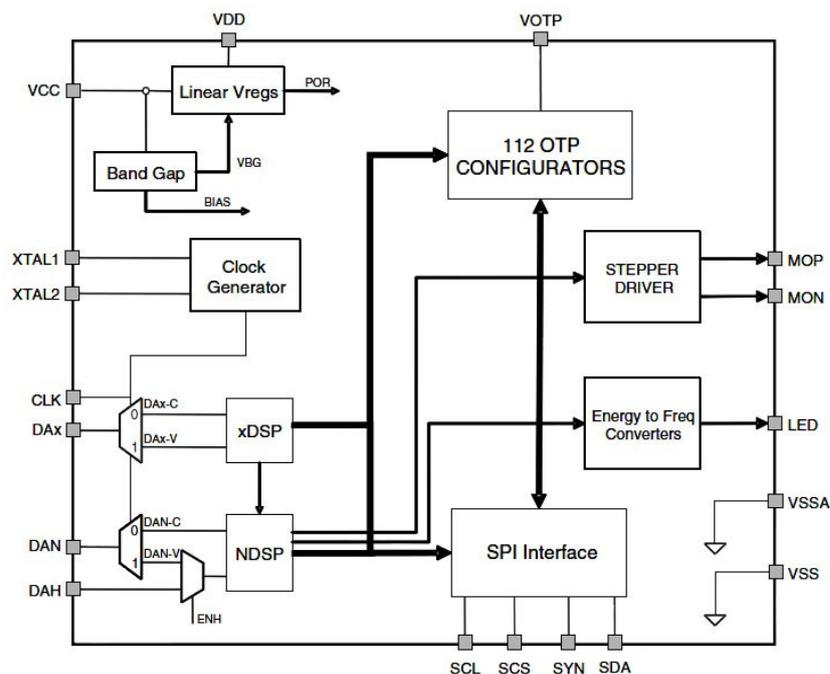


Fig. 57 Schema a blocchi interno del STPMC1

Il quarto ingresso (DAN) riceve anche segnali multiplexati  $\Delta\Sigma$  dal STPMS2 e può essere utilizzato per rilevare la corrente di neutro (1-, 2-, 3- fasi) o di un altro segnale (ad esempio temperatura).

Tabella 13 CANALI DI INPUT DEL STPMC1 PROVENIENTI DAL STPMS2

Channel name	Property	Signal 1	Signal 2
DAR	Multiplexed	Voltage	Current
DAS	Multiplexed	Voltage	Current
DAT	Multiplexed	Voltage	Current
DAN	Multiplexed	Temperature	Current
DAH	Not multiplexed	EMI or temperature	

Il quinto ingresso/pin (DAH) non accetta segnali multiplexati  $\Delta\Sigma$ . Può essere utilizzato per il rilevamento del campo magnetico proveniente da un sensore *Hall*.

L'unità DSP (*Digital Signal Processor*) esegue tutti i calcoli provenienti dai flussi  $\Delta\Sigma$  in tempo reale, per mezzo di blocchi di calcolo  $\Delta\Sigma$ , raggiungendo una precisione di calcolo molto elevata. Tutti i dati registrati dal STPMC1 sono accessibili attraverso la porta SPI, che è anche utilizzata per configurare e calibrare il dispositivo. I dati di configurazione e taratura possono essere salvati in un blocco OTP di 112-bit o nel microprocessore in modalità dinamica.

L'interfaccia SPI supporta un semplice protocollo seriale, che viene realizzato al fine di consentire una comunicazione tra un sistema *master* (microcontrollore o PC) e il dispositivo.

Con questa interfaccia possono essere eseguite tre attività:

- Ripristino del dispositivo da remoto;
- Lettura dei record dei dati;
- Scrittura delle modalità e delle configurazioni dei bit (temporaneamente o definitivamente).

Alcuni pin del dispositivo sono dedicati a questo scopo: SCS, SYN, SCLNCN, SDATD. SCS, SYN e SCLNLC sono tutti pin di ingresso, mentre SDATD può essere di input o di output a seconda che l'SPI sia in modalità di scrittura o di lettura. I registri interni del STPMC1 non sono direttamente accessibili, ma grazie ad una trasmissione a 32-bit si possono pre-caricare i dati prima di essere letti o scritti nei registri interni. L'impostazione ad un livello alto degli ingressi SCS, SYN e SCLNLC determina lo stato di inattività dell'interfaccia SPI non consentendo nessun trasferimento dati.

Quando il STPMC1 è in modalità *stand-alone*, SYN, SCLNLC e SDATD possono fornire informazioni sullo stato della misurazione e non possono essere usati per la comunicazione SPI.

Per quanto riguarda i registri di dati, sono disponibili 7 gruppi di 4 *data record*, ciascuno dei quali è costituito da un *nibble* (mezzo byte) di parità e da un campo dati di 28 bit.

I dati memorizzati hanno una posizione fissa per la lettura. Questo vuol dire che non è necessario l'indirizzamento dei record. Spetta all'applicazione decidere quanti record andrebbero letti dal dispositivo. Se un'applicazione invia al dispositivo un comando precaricato prima della lettura di un gruppo, il puntatore al gruppo interno viene incrementato. In questo modo, è possibile un accesso più veloce ai gruppi più lontani. I registri di dati interni all'STPMC1 sono riportati in Fig. 58.

Il STPMC1 include anche 12 bit di stato cumulativi per le tre fasi e 3 byte di stato, uno per ciascuna fase. Tutti questi forniscono informazioni riguardo lo stato della misurazione della corrente.

STPMC1 data registers

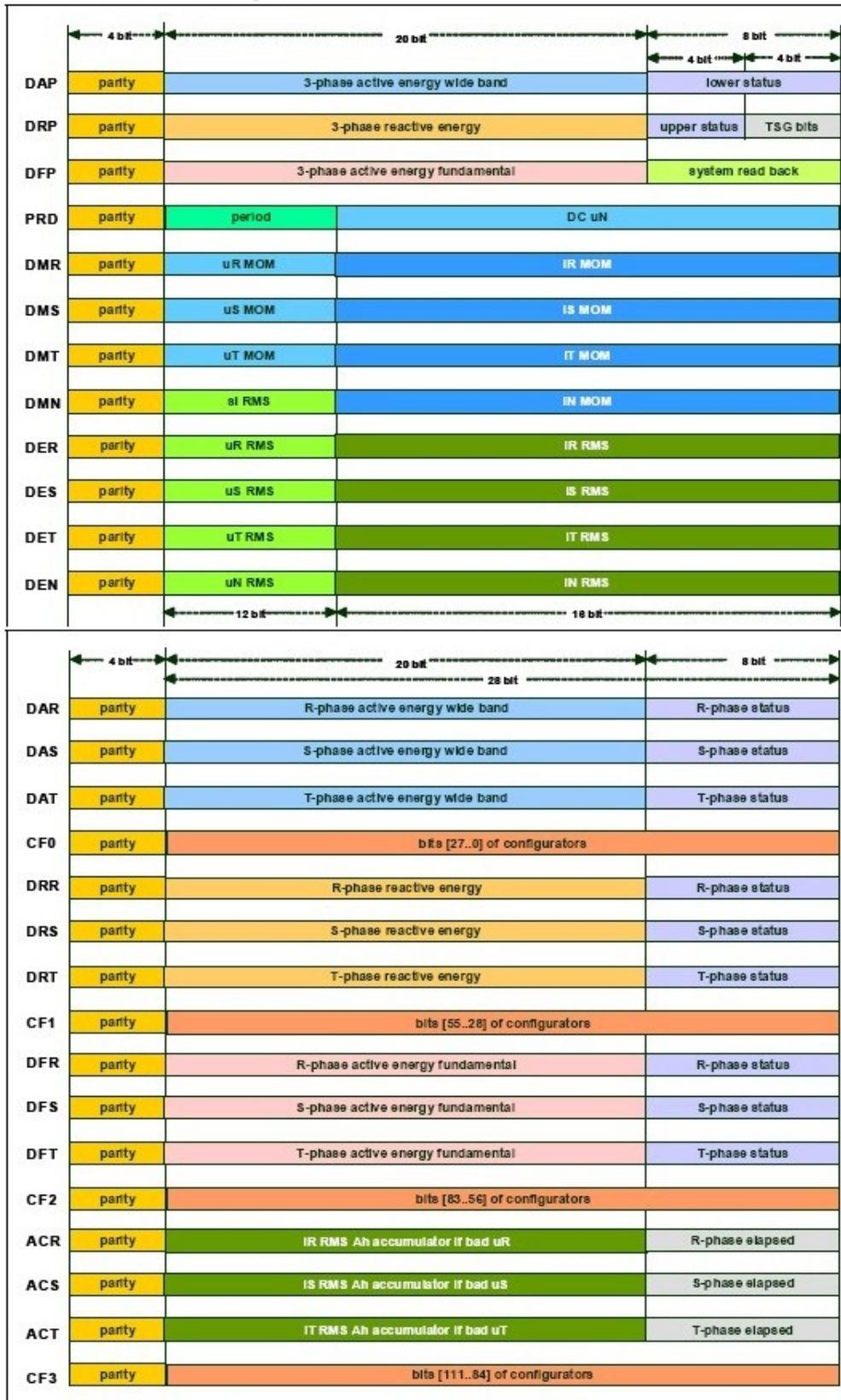
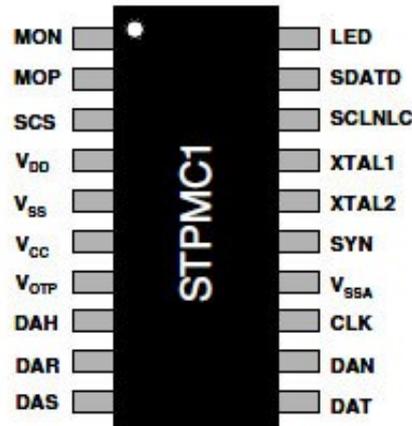


Fig. 58 Registri interni del STPMC1

In Fig. 60 è mostrato il *package* del SMTPC1 e il collegamento con più *smart sensor* STPMS2 mentre in Fig. 61 sono mostrate le due schede e la sezione metrologica nel suo complesso.



Pin n°	Symbol	Type <sup>(1)</sup>	Name and function
1	MON	D / P O	Programmable output pin
2	MOP	D / P O	Programmable output pin
3	SCS	D I	Digital input pin
4	V <sub>DD</sub>	A O	1.8 V output of internal low drop regulator which supplies the digital core
5	V <sub>SS</sub>	A GND	Ground level for pad-ring and power supply return
6	V <sub>CC</sub>	P I	Supply voltage
7	V <sub>OTP</sub>	P I	Supply voltage for OTP cells
8	DAH	D I	Input for non-multiplexed $\Delta\Sigma$ signals
9	DAR	D I	Input for multiplexed $\Delta\Sigma$ R-phase signals
10	DAS	D I	Input for multiplexed $\Delta\Sigma$ S-phase signals
11	DAT	D I	Input for multiplexed $\Delta\Sigma$ T-phase signals
12	DAN	D I	Input for multiplexed $\Delta\Sigma$ PTAT and neutral signal
13	CLK	D O	2 mA clock output for STPMSx devices
14	V <sub>SSA</sub>	A GND	Ground level of core
15	SYN	D I/O	Programmable input/output pin
16	XTAL2	A	Crystal oscillator pin
17	XTAL1	A	Crystal oscillator pin
18	SCLNLC	D I/O	Programmable input/output pin
19	SDATD	D I/O	Programmable input/output pin
20	LED	D O	Programmable output pin

1. A: Analog, D: Digital, P: Power, I: Input, O: Output, GND: Ground

Fig. 59 Connessione e descrizione dei pin del STPMC1

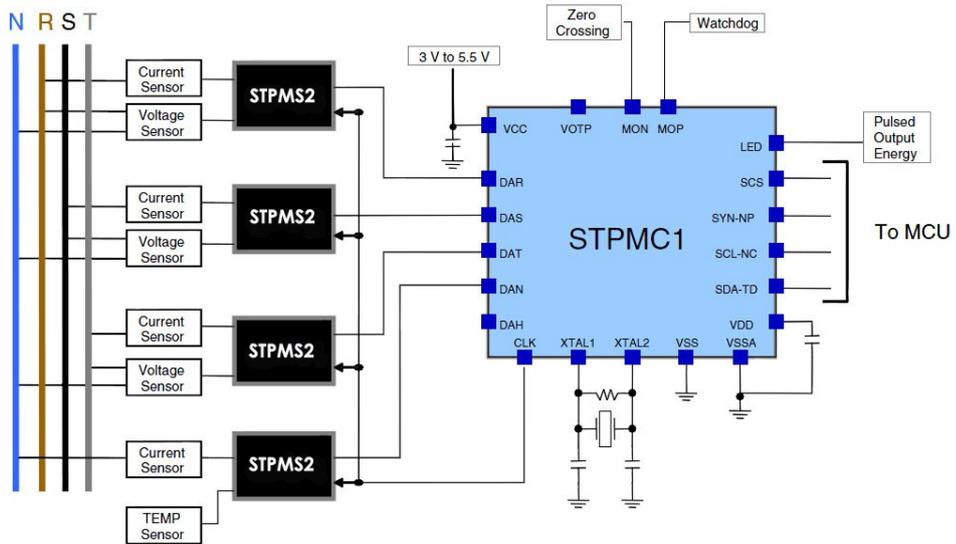
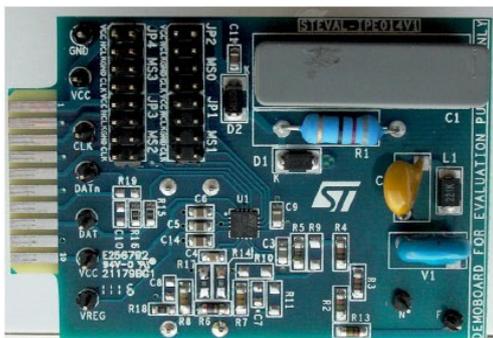


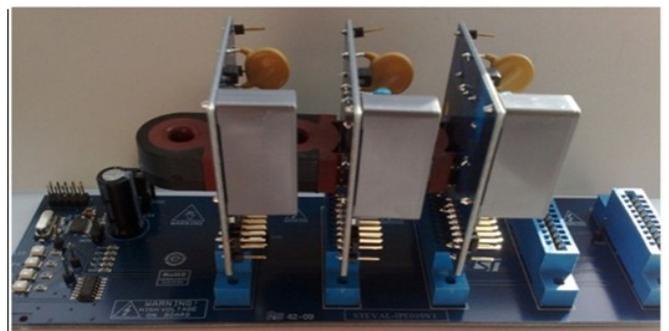
Fig. 60 Esempio di collegamento tra STPMC1 e STPMS2



(A)



(B)



(C)

Fig. 61 (a) Scheda STEVAL-IPE010V1, (b) Scheda STEVAL-IPE014V1, (c) installazione di tre schede IPE014V1 su una scheda IPE010V1.

#### 4.2.2 Sezione elaborazione e comunicazione: E-meter board

Di seguito viene illustrata la scheda STEVAL IPP001V2 (Fig. 62), usata per realizzare l'interfaccia di gestione delle DER, che può essere usata sia in modalità *stand-alone* che di rete.

Tale scheda può essere utilizzata per la progettazione di schede per la misurazione di energia, per la realizzazione di applicazioni di *smart metering* e per la realizzazione di applicazioni in cui occorra effettuare delle elaborazioni su dati analogici acquisiti.



Fig. 62 Scheda STEVAL IPP001V2

La STEVAL-IPP001V2 implementa un modulo *PowerLine Modem (PLM) Smart-Meter* che permette di monitorare parametri elettrici su una o più fasi (tensione, corrente, potenza, fattore di potenza, THD, energia attiva e reattiva e altre informazioni) memorizzandoli in una memoria ed eventualmente visualizzandoli su un display LCD (installato sulla *board*) o inviandoli ad un concentratore dati attraverso le diverse interfacce di comunicazione (*PLM, Ethernet, ZigBee*).

La scheda include le seguenti funzioni:

- Misura dei parametri elettrici attraverso una scheda esterna metrologica;
- Power Line Communication con velocità fino a 28,8 kbps;
- Display LCD per visualizzare le informazioni sul consumo di energia;
- Connettività USB e RS232/IrDA;

- Modulo opzionale di comunicazione ZigBee/Ethernet;
- Supporto di modulo MEMS opzionale;
- Modulo di espansione per interfaccia smartcard.

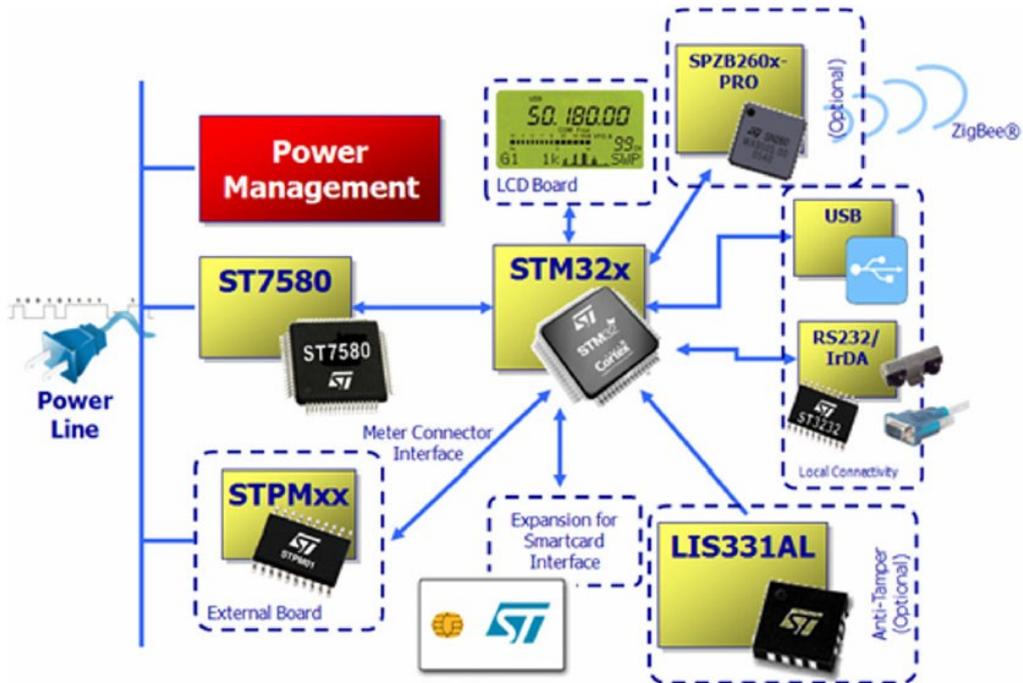


Fig. 63 Schema a blocchi della STEVAL IPP001V2

I componenti hardware che compongono la STEVAL-IPP001V2 sono [13]:

- Un **microcontrollore STM32F103VE**, su cui viene eseguito il firmware dell'applicazione, basato su un processore a 32-bit ARM Cortex M3 con 72 MHz di frequenza, 512 kB di memoria flash e 64 kB di memoria SRAM. Alcuni *jumper* vengono collegati al microcontrollore *General Purpose Input/Output (GPIO)* in modo da permettere la configurazione del firmware;

Tabella 14 MAPPATURA DELL'MCU USATA PER LA SEZIONE METROLOGICA

STM32 resource	Energy meter function
PB8	SYN
SPI2-MOSI/MISO	SDA
SPI2-SCK	SCL
SPI2-NSS	SCS

- Un **modulo LCD a colori**, che fa parte delle interfaccia utente disponibili, con risoluzione 320x240, identificato con la sigla MB542B-01, viene usato per mostrare i dati localmente. Il display LCD assieme a tre LED di stato (1 verde, 1 giallo ed 1 rosso per verificare lo stato delle applicazioni) permettono l'interazione dell'utente tramite un joystick e un pulsante e quindi sono utilizzati come dispositivi di output. Il collegamento del LCD con la *Micro Control Unit (MCU)* può essere scelto tra SPI e GPIO (che emula il protocollo SPI). Le risorse dell'MCU usate per tale scopo sono riportate in Tabella 15.

Tabella 15      MAPPATURA DEI COLLEGAMENTI DELL'MCU PER L'INTERFACCIA UTENTE

STM32 resource	User interface function
SPI1-SCK/PD5	LCD-CLK
SPI1-MISO/PD4	LCD-DO
SPI1-MOSI/PD3	LCD-DI
PC12	LCD-CS
PB0	LCD-RS
PB1	LCD-WR
PB9	LCD-BACKLIGHT
PE15	JOYSTICK-UP
PE14	JOYSTICK-LEFT
PE13	JOYSTICK-RIGHT
PE12	JOYSTICK-SEL
PE11	JOYSTICK-DOWN
PE10	KEY-BUTTON
PE0	LED2
PE1	LED1
PE2	LED0

- Un **modem PLC (ST7580)**, per la connettività power line del sistema, che consente una comunicazione digitale dei dati. La sezione del modem può essere completamente separata dal microcontrollore in modo da consentire la messa a punto del firmware del ST7580. In realtà, questa sezione comprende anche un connettore JTAG, un cristallo a 8 MHz e un pulsante di reset dedicato al modem. Il ST7580 è in grado di eseguire custom firmware dalla memoria flash preinstallata sulla scheda. Supporta sia modulazioni FSK (fino a 9600 bps) che diversi tipi di modulazione PSK con

rate fino a 28,8 kbps. Il modem è in grado di adattare il valore limite della corrente della rete guidando dei MOSFET quando le impostazioni di modulazione vengono modificate. Questa sezione della scheda è isolata dalla rete elettrica da un opto-isolatore collegato tra il pin dello *zerocrossing* del ST7580 e il trasformatore di accoppiamento per la parte di trasmissione/ricezione. La Tabella 16 mostra la mappatura delle risorse dell'MCU utilizzate per la gestione ST7580;

Tabella 16 MAPPATURA DEI COLLEGAMENTI DELL'MCU PER IL PLM ST7580

STM32 resource	ST7580 function
PA0 (USART2-CTS)	GPIO1
PC6	GPIO2
PC7	GPIO4
USART2-RTS	T-REQ
USART2-TX	RXD
USART2-RX	TXD
PC8	RESET

- Una **interfaccia di comunicazione seriale**, configurabile come RS232 isolata o IrDa, la cui mappatura delle risorse MCU usate è riportata in Tabella 17;
- Un **modulo per interfacciare delle smart card** che comprende 21 connettori per l'adattamento (opzionalmente). La Tabella 18 mostra la mappatura delle risorse MCU usate;

Tabella 17 MAPPATURA DEI COLLEGAMENTI DELL'MCU PER L'INTERFACCIA RS232

STM32 resource	Serial communication function
UART4-TX	RS232/IrDA-TX
UART4-RX	RS232/IrDA-RX

Tabella 18 MAPPATURA DEI COLLEGAMENTI DELL'MCU PER L'INTERFACCIARE LE SMARTCARD

STM32 resource	Smartcard interface function
USART1-CK	SC-CLK
USART1-TX	SC-TX
USART1-RX	SC-RX
PD2	SC-nOFF
PC5	SC-RST

- Un **connettore per collegare opzionalmente un modulo di comunicazione ZigBee** (vedi Fig. 64). Il connettore supporta sia l'interfaccia di comunicazione SPI che UART. L'SPI1, utilizzato per il modulo ZigBee, è condiviso con il display LCD. In tale modalità, se l'SPI1 viene utilizzato come interfaccia, il display deve essere utilizzato in modalità emulazione da GPIO. La Tabella 3.8 mostra la mappatura delle risorse MCU usate;

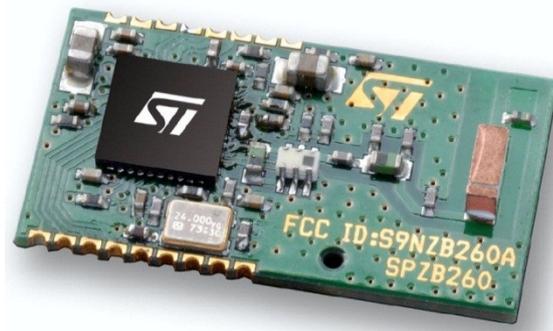


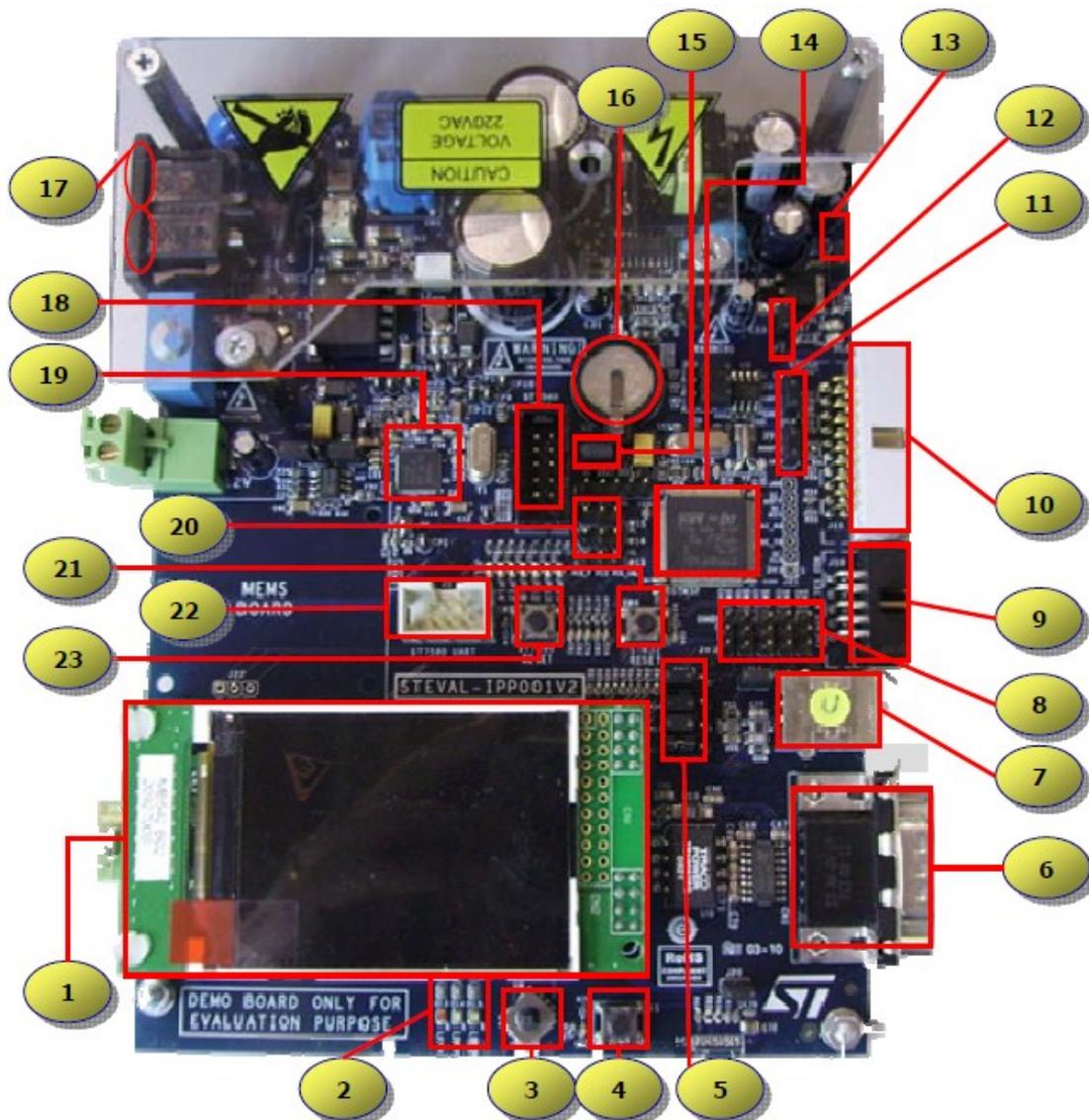
Fig. 64 Modulo ZigBee

- **Jumper di configurazione** (SW 19, 20, 21, 22, 23) usati per configurazioni general purpose;
- 1 **pulsante utente** (S1) ed 1 **joystick** (U8) usati per applicazioni utente;
- 1 **pulsante di reset per il microcontrollore** (SW4);
- 1 **pulsante di reset per l'ST7580** (SW1).

*Tabella 19*      *MAPPATURA DEI COLLEGAMENTI DELL'MCU PER IL MODULO ZIGBEE*

<b>STM32 resource</b>	<b>ZigBee module function</b>
SPI1-SCK	SLK
SPI1-MISO	MISO
SPI1-MOSI	MOSI
USART3-RTS	nSEL-CTS
USART3-CTS	RTS
USART3-TX	HOST-INT-RXD
USART3-RX	TXD

In Fig. 65 vengono riassunte e mostrate le varie componenti della STEVAL-IPP001V2 e il loro posizionamento all'interno di essa.



- |  |   |
|--|---|
| 1. TFT LCD Color display 320x240;  | 11. STM32 Boot configuration jumpers (SW7, SW9);          |
| 2. General purpose application Red, Green, Yellow leds;  | 12. Enable/disable DL2 led;                               |
| 3. General purpose appl. Joystick; switch meter user data;   | 13. Enable/disable DL1 led;                               |
| 4. General purpose user application button; switch the phase view on lcd from 3,R,S,T  | 14. STM32F103VET6 32-bit high density microcontroller;    |
| 5. Energy Meter configuration jumper(SW10) to use SPI-MISO or SPI-MOSI for data line; LCD configuration jumpers (SW16,SW17,SW18) to control LCD via SPI or GPIO; | 15. Battery enabled/disabled configuration jumper (SW12); |
| 6. RS232 USART connector;  | 16. Battery for STM32 VBAT supply;;                       |
| 7. USB connector;  | 17. 85V-256V board power supply. Suggested 110V-220Vac;   |
| 8. General purpose application configuration Jumpers (SW19,SW20,SW21,SW22,SW23);   | 18. ST7580 JTAG 10-pins connector;                        |
| 9. Energy meter external board connector (e.g.IPE010V1);   | 19. ST7580 Power Line Modem IC;                           |
| 10. STM32 JTAG 20-pins connector   | 20. RTC calibration/normal mode configuration jumpers;    |
|  | 21. STM32 microcontroller Reset button;                   |
|  | 22. ST7580 PLM IC UART connection connector;              |
|  | 23. ST7580 PLM IC Reset button;                           |

*Fig. 65 Componenti della STEVAL-IPP001V2*

## 4.3 Strumenti Software utilizzati per la progettazione

### 4.3.1 Ambiente di sviluppo: Atollic TrueSTUDIO

L'ambiente di sviluppo utilizzato per l'implementazione delle modifiche del firmware per la realizzazione del *SPI* è *Atollic TrueSTUDIO*® [35]. Si tratta di un *tool* di sviluppo *C/C++* professionale per sviluppatori *embedded*, che mira a ridurre il *time to market* e l'efficienza nella progettazione di sistemi *embedded*. *Atollic TrueSTUDIO* è considerato uno strumento di sviluppo estremamente potente con un'integrazione senza precedenti. Esso è anche una *suite* di strumenti di compilazione *C/C++* e di *debug* professionale.

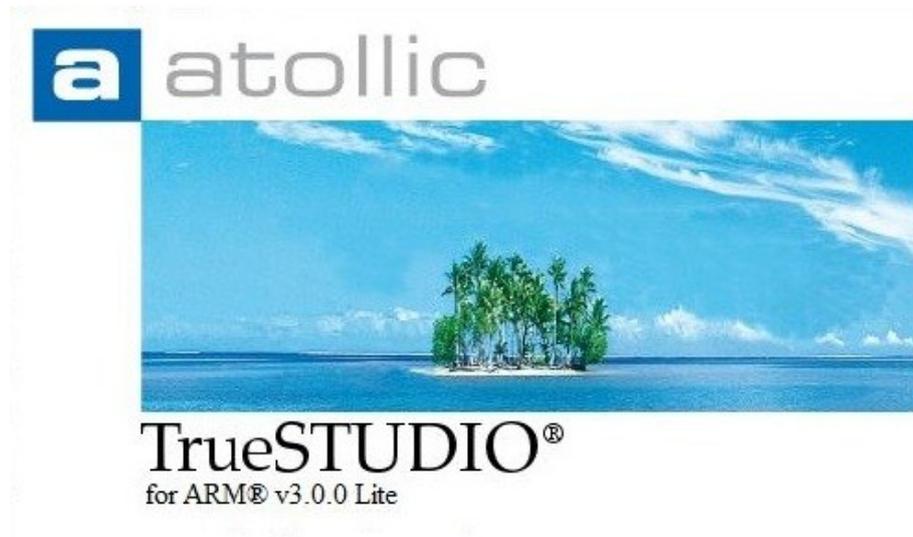


Fig. 66 *Splash Screen di Atollic TrueSTUDIO*

*Atollic TrueSTUDIO* fornisce supporto generico per i processori ARM7, ARM9, Cortex-M0, Cortex-M0+, Cortex-M3 e Cortex-M4, e un supporto specifico per oltre 800 dispositivi ARM dei principali produttori di semiconduttori. Il debugger di *Atollic TrueSTUDIO* si integra perfettamente con i più popolari *JTAG probes*, inclusi *SEGGER J-Link* e *ST-Link* e *ST-Link/V2* di *STMicroelectronics*. Quest'ultimo è quello utilizzato in questo lavoro per la programmazione dell'hardware e si può trovare una descrizione più dettagliata nel seguito.

Atollic TrueSTUDIO si basa in parte su dei componenti open-source che sono sempre più considerati come standard del settore, come l'*ECLIPSE IDE Framework*, e i tools di build e debug GNU.

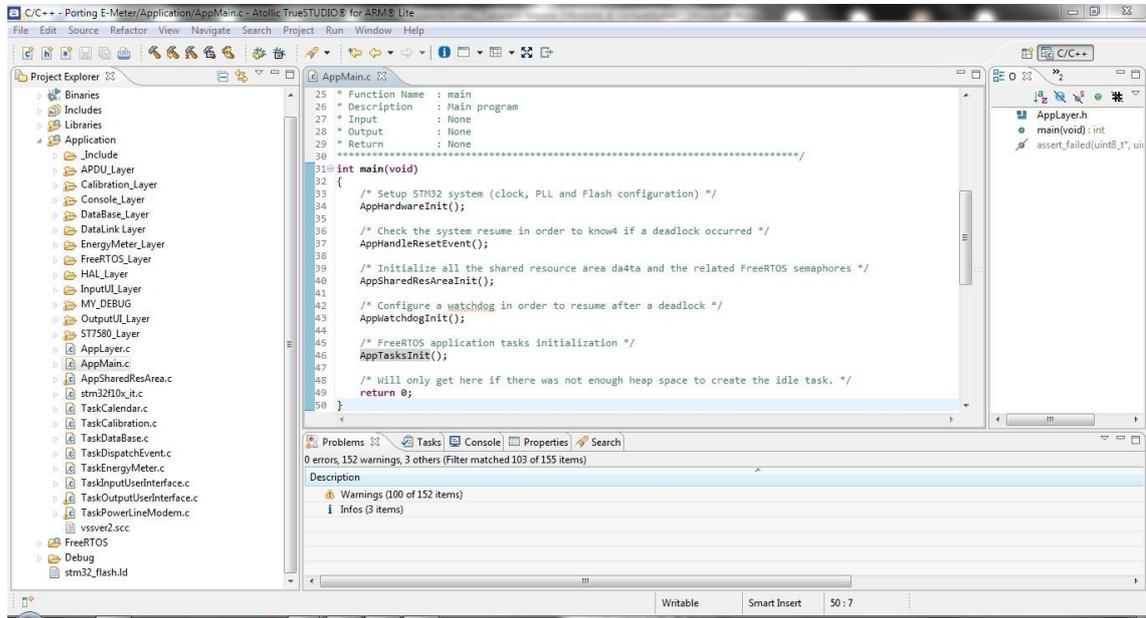


Fig. 67 L'ambiente di sviluppo Atollic TrueSTUDIO

Atollic ha esteso tali moduli *open-source* con del software proprietario, fornendo così una soluzione altamente professionale e conveniente rispetto a ciò che l'industria dei sistemi embedded ha visto fino ad ora.

La versione di Atollic TrueSTUDIO utilizzata per lo sviluppo del progetto oggetto di questa tesi è Atollic TrueSTUDIO® for ARM® Pro. Questa versione rappresenta un'ottimo IDE di compilazione che comprende tutte le funzioni necessarie per lo sviluppo integrato con ARM. L'IDE è dunque adatto allo sviluppo professionale per STM32.

Atollic TrueSTUDIO for ARM contiene un *wizard* di progetto che genera automaticamente progetti C e C++ per dispositivi ARM. La maggior parte dei progetti di esempio gestiscono:

- Accensione e reset
- Interrupt Vector Table
- Inizializzazione del runtime environment
- Librerie di driver dei dispositivi

- Applicazione `main()` di esempio che usa le librerie dei driver dei dispositivi (se applicabile)
- File di configurazione per target adapted linker

Nella maggior parte dei casi, le librerie di driver per i dispositivi dei produttori di semiconduttori sono comprese con il prodotto e integrate all'interno del *wizard* per il progetto; in particolare, quando viene creato un nuovo progetto, la libreria del firmware viene generata automaticamente con l'applicazione di esempio.

Atollic TrueSTUDIO è uno dei prodotti con più rapida crescita sul mercato degli strumenti di sviluppo per sistemi embedded. Molti fornitori di *Real-Time Operating System (RTOS)* e di middleware stanno quindi integrando i loro prodotti con Atollic TrueSTUDIO, tra questi abbiamo CMX Inc, Segger Microcontroller e FreeRTOS. Quest'ultimo è proprio il sistema operativo *Real-Time* utilizzato da *STMicroelectronics* per lo sviluppo di *E-meter*.

#### 4.3.2 Il Sistema Operativo Real-Time FreeRTOS

*FreeRTOS* [16] è un popolare sistema operativo real-time per dispositivi embedded ed è stato utilizzato da *STMicroelectronics* per lo sviluppo di *E-meter*. È distribuito sotto GPL (GNU *General Public License*) con una eccezione opzionale. L'eccezione permette al codice proprietario dell'utente di rimanere *closed source* mantenendo il *kernel* stesso *open-source*, facilitando quindi l'utilizzo di FreeRTOS in applicazioni proprietarie.



Fig. 68 Il logo di FreeRTOS

Un sistema operativo real-time (RTOS) è un sistema operativo (OS) progettato per servire le richieste di applicazioni real-time. Una caratteristica chiave di un RTOS è il livello della sua consistenza riguardo la quantità di tempo che impiega per accettare e completare un task di un'applicazione; questa variabilità è chiamata *jitter*. Un hard

RTOS ha meno *jitter* di un soft RTOS. Il principale obiettivo di questi sistemi operativi non è quello di ottenere un *throughput* elevato, ma piuttosto quello di garantire delle prestazioni di una certa categoria, soft o hard. Un RTOS che di solito riesce a rispettare una determinata *deadline* è un soft real-time OS, mentre se è in grado di soddisfare una *deadline* deterministica allora è un hard real-time OS.

Un RTOS ha un algoritmo di *scheduling* avanzato. La flessibilità dello *scheduler* consente una più ampia capacità di orchestrare la priorità dei processi nel sistema, ma un sistema operativo real-time è più frequentemente dedicato ad un insieme limitato di applicazioni. I fattori chiave in un real-time OS sono la minima latenza di interrupt e la minima latenza nel *thread switching*; un real-time OS è maggiormente apprezzato in base a quanto è veloce o a quanto prevedibilmente esso può rispondere ad una certa quantità di lavoro che esso può svolgere in un determinato periodo di tempo.

Ritornando a FreeRTOS, esso è progettato per essere piccolo e semplice. Il *kernel* stesso è costituito da soli tre o quattro file C. Per rendere il codice maggiormente leggibile, portabile, e gestibile è stato scritto principalmente in C, ma ci sono alcune funzioni *assembly* incluse, ove necessario (per lo più nelle routines di scheduling di architetture specifiche).

FreeRTOS fornisce metodi threads o tasks multipli e semafori. È supportata anche la priorità dei thread. Inoltre sono forniti tre schemi di allocazione di memoria: solo allocazione, allocazione e deallocazione con un algoritmo molto semplice e veloce e un algoritmo di allocazione e deallocazione più complesso. Non c'è nessuna delle caratteristiche più avanzate che si possono trovare tipicamente in sistemi operativi come *Linux* o *Microsoft Windows*, come driver di periferiche, la gestione avanzata della memoria, gli account per gli utenti e il networking. Maggiore enfasi viene data alla compattezza e alla velocità di esecuzione. FreeRTOS può essere pensato come una “libreria di thread” piuttosto che un “sistema operativo”, anche se sono disponibili componenti aggiuntivi per interfacce a linea di comando o del tipo POSIX.

FreeRTOS implementa i multi-thread avendo un programma host che chiama un metodo *thread tick* a brevi intervalli regolari di tempo. Il metodo *thread tick* effettua lo switch dei task in base alla loro priorità e uno schema di scheduling a *round-robin*. L'intervallo comune va da un millesimo di secondo a un centesimo di secondo attraverso un interrupt da un timer hardware, ma questo intervallo viene spesso cambiato per adattarsi all'applicazione particolare.

Il download contiene le configurazioni preparate e delle dimostrazioni per ciascun porting e compilatore, permettendo una rapida progettazione di un'applicazione. Il sito FreeRTOS.org contiene anche tutorial RTOS, dettagli della progettazione di RTOS e confronti delle prestazioni di RTOS su microcontrollori differenti.

La caratteristiche chiave di FreeRTOS sono:

- Minimo impiego di memoria, basso overhead ed esecuzione molto veloce;
- Ottimo per gli appassionati alle prime esperienze con i sistemi operativi;
- Scheduler configurabile per il funzionamento preemptive o cooperative;
- Supporto delle coroutine (una coroutine in FreeRTOS è un task molto semplice e leggero che richiede un utilizzo molto limitato dello *stack*);
- Supporto al tracing attraverso macro di trace generiche. Strumenti quali FreeRTOS+Trace (fornito dal partner di FreeRTOS Percepio) possono quindi registrare e visualizzare il comportamento in esecuzione di sistemi basati su FreeRTOS. Questo include anche lo scheduling dei task e le chiamate al kernel per i semafori e alle operazioni su code.

### 4.3.3 STM32 ST-LINK Utility

Il software *STM32 ST-LINK Utility* facilita la programmazione *in-system* veloce della famiglia di microcontrollori STM32 in ambienti di sviluppo attraverso gli strumenti ST-LINK e ST-LINK/V2 [17].



Fig. 69 Il logo e le info su STM32 ST-LINK Utility

Tra le caratteristiche e le funzionalità di STM32 ST-LINK Utility si possono trovare:

- **Informazioni sul dispositivo.** Attraverso il software è possibile leggere le informazioni relative al dispositivo collegato quali: la famiglia del dispositivo, il codice ID dell'MCU, l'ID di revisione del dispositivo MCU connesso e la dimensione della memoria *Flash* del chip.
- **Visualizzazione e modifica della memoria.** Per quanto riguarda la visualizzazione, sono disponibili tre caselle di testo che consentono di stabilire l'indirizzo di memoria dal quale iniziare la lettura, la quantità di dati da leggere e la larghezza dei dati visualizzati (8-bit, 16-bit o 32-bit). Per quanto riguarda i dati memorizzati, vengono visualizzati i dati letti da un file binario o il contenuto della memoria di un dispositivo connesso. È possibile modificare il contenuto del file prima del download.
- **Cancellazione della memoria Flash.** Sono possibili due tipi di cancellazione:
  - *Flash mass erase:* cancella tutti i settori di memoria della memoria Flash del dispositivo connesso;
  - *Flash sector erase:* cancella il settore (o i settori) selezionato della memoria Flash.
- **Programmazione del dispositivo.** Il software può scaricare file bin, hex o srec nelle memoria Flash o nella memoria RAM del dispositivo.
- **Configurazione dei byte opzionali.** STM32 ST-LINK Utility può configurare tutti i byte opzionali attraverso la finestra di dialogo Option Bytes.
- **Funzioni del core MCU.** Una finestra di dialogo mostra i valori dei registri del core Cortex™-M3.
- **Funzioni in modalità automatica.** La finestra di dialogo della modalità automatica permette la programmazione e la configurazione del dispositivo STM32 *in loop*. Esso permette di riportare le seguenti azioni sul dispositivo STM32: cancellazione completa del chip, programmazione della Flash, verifica, configurazione dei byte opzionali, esecuzione dell'applicazione.

#### 4.4 Implementazione della CZT

L'implementazione della CZT è stata effettuata seguendo lo schema riportato in Fig. 71. Dal punto di vista progettuale, ogni stage è stato riempito dai blocchi di conteggio, somma e prodotto in floating point per i 3 dispositivi. Per ridurre l'errore di leakage dovuto al troncamento del segnale ed alla non perfetta sincronizzazione del campionamento (durata della finestra di osservazione non multipla del periodo del segnale da analizzare), è stato utilizzato un metodo di finestrazione dei campioni di ingresso: il primo blocco del sistema è una finestra di Hanning.

La finestra di Hanning è rappresentata dalla seguente espressione:

$$w(n) = 0,5 \left[ 1 - \cos\left(\frac{2\pi n}{N}\right) \right] \quad 0 \leq n \leq N \quad (4.1)$$

Nell'implementazione abbiamo considerato N-1 elementi. Questa espressione permette di attenuare significativamente l'ampiezza dei campioni al di sotto dei 3dB della curva e quindi esaltare quelli al di sopra. Il risultato rispetto ai campioni stessi e alla risposta in frequenza è mostrata in Fig. 70.

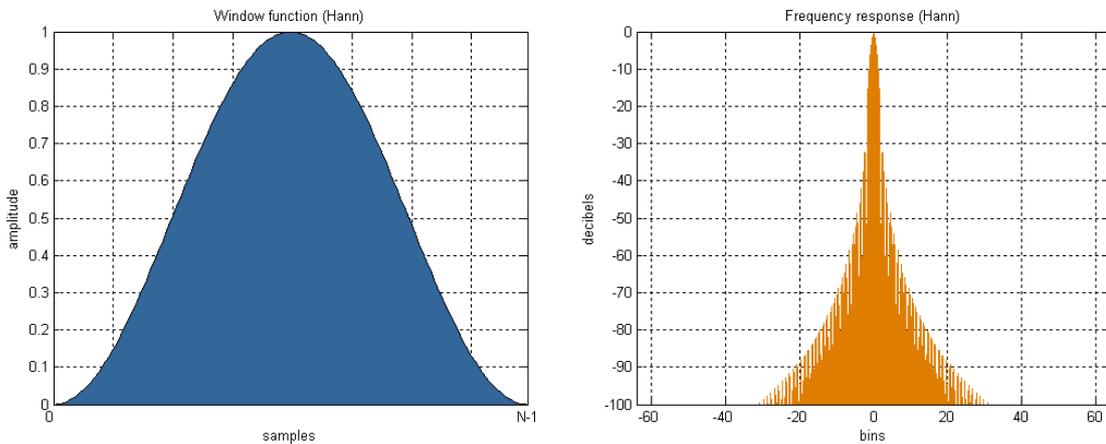


Fig. 70 Finestra di Hanning nel tempo e in frequenza

I parametri impostati per l'implementazione della CZT sono stati:

$$\Delta\omega = \omega_{max} - \omega_{min} = f_{max} - f_{min} = 500 \quad (4.2)$$

$$f_s = 7812,5 \text{ Hz} \quad (4.3)$$

$$N = 625 \quad (4.4)$$

La frequenza di campionamento è vincolata dal campionatore STEVAL-IPE014V1 di cui si è discusso nel paragrafo 4.2.

Inoltre abbiamo supposto che i punti si muovessero sull'arco di circonferenza di raggio unitario, e che il punto di partenza per la nostra CZT fosse proprio il punto di coordinata (1;0) sul piano complesso, per cui il fattore  $A = A_0 e^{j\theta_0}$  è stato posto pari a 1. Inoltre si è scelto di ottenere un numero di campioni di uscita pari al numero di campioni di ingresso, ovvero  $k = n$  [14].

La realizzazione della CZT ha previsto sostanzialmente 4 “stadi. È possibile fare alcune considerazioni di carattere matematico e creare una corrispondenza con la 2.11 per arrivare ad un primo schema concettuale.

Riscrivendo l'equazione 2.5 in modo leggermente differente, otteniamo:

$$X(k) = \sum_{n=0}^{N-1} x[n] A^{-n} W^{nk} \quad (4.5)$$

Che, considerando di separare i termini in modulo e fase, diventa:

$$X(k) = \sum_{n=0}^{N-1} x[n] \cdot (A_0^{-n} e^{-j\theta_0 n}) \cdot (W_0^n e^{-j\Delta\omega n})^k \quad (4.6)$$

Dato che nella nostra analisi partiamo dal punto di coordinate (1;0) del cerchio goniometrico, e poiché il percorso che seguiamo giace sullo stesso cerchio, il raggio sarà costante e pari a 1, i termini  $A_0 = 1$ ,  $\theta_0 = 0$ ,  $W_0 = 1$ , per cui otteniamo:

$$X(k) = \sum_{n=0}^{N-1} x[n] \cdot e^{-j\Delta\omega nk} \quad (4.7)$$

Il valore di  $\Delta\omega$  può essere quantificato nel seguente modo:

$$\Delta\omega = \frac{2\pi\Delta f}{NF_s} \quad (4.8)$$

Ove  $N$  è il numero di campioni di ingresso e  $F_s$  la frequenza di campionamento.

Inserendo la 4.8 nella 4.7 otteniamo:

$$X(k) = \sum_{n=0}^{N-1} x[n] \cdot e^{-j\frac{2\pi\Delta f}{NF_s}nk} \quad (4.9)$$

Se adesso riscriviamo il termine  $nk$  come nella 2.8, il risultato sarà:

$$X(k) = \sum_{n=0}^{N-1} x[n] \cdot e^{-j\frac{2\pi\Delta f}{NF_s} \cdot \frac{1}{2}[n^2+k^2-(k-n)^2]} \quad (4.10)$$

Dopo aver semplificato, facciamo ora la seguente posizione:

$$\frac{\pi\Delta f}{NF_s} = C \quad (4.11)$$

Che per l'analisi di nostro interesse è un valore costante. Possiamo così riscrivere in modo semplificato la 4.10:

$$C(k) = e^{-jCk^2} \cdot \sum_{n=0}^{N-1} \{x[n] \cdot e^{-jCn^2}\} \cdot e^{jC(k-n)^2} \quad (4.12)$$

Adesso si evidenzia in modo più netto il modo in cui implementare la 4.12:

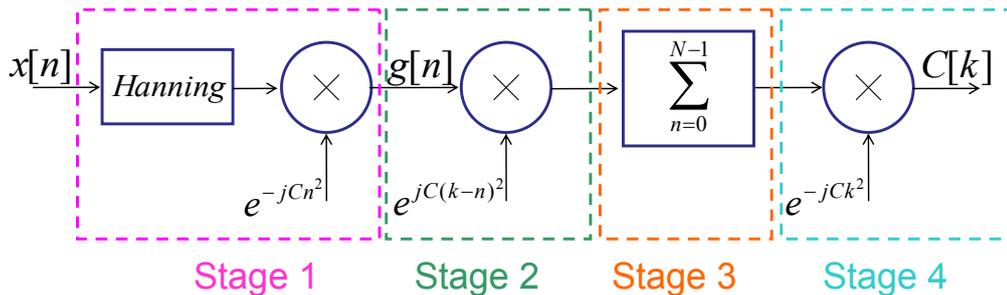


Fig. 71 Schema a blocchi suddiviso per stages dell' algoritmo CZT

Ove i termini  $C[k]$  costituiscono i campioni trasformati. Come anticipato, la CZT è un algoritmo molto potente, però fatta una valutazione del costo computazionale, ci si rende conto che esso è molto oneroso. Per fare questo calcolo basta considerare che  $n$  è l'indice della sommatoria, mentre  $k$  è l'indice dei campioni di uscita. Suddividiamo idealmente la Fig. 71 in 4 stages e analizziamo il numero di operazioni da svolgere: allo stage 1 ( $x[n] \cdot e^{-jCn^2}$ ), scorrendo l'indice  $n$  effettuiamo  $N$  prodotti; allo stage 2 ( $g[n] \cdot e^{jC(k-n)^2}$ ), dobbiamo fissare  $k$  e fare scorrere  $n$  da 0 a  $N$ , quindi il numero totale di prodotti, poiché abbiamo deciso che  $k = n$ , risulta  $N^2$ . Allo stage 3 troviamo le somme dei termini, ed esse, considerando che l'indice che scorre è  $n$ , saranno  $N$  per ogni campione. All'ultimo stage scorrerà solo l'indice  $k$  e quindi avremo  $N$  prodotti da eseguire.

Da questa analisi risulta chiaro come lo stage 2 sia quello più oneroso e il peso dipenda in modo determinante dal numero di campioni impiegati, infatti il peso varia col quadrato del numero dei campioni ( $N^2$ ). Nel caso della FFT, invece, il costo computazionale è di  $N \log_2 N$ .

Dallo schema di Fig. 71 notiamo la presenza di prodotti tra i campioni di ingresso e termini esponenziali. Sappiamo che un numero complesso scritto nella forma  $e^{\pm jx}$  vale:

$$e^{\pm jx} = \cos x \pm j \sin x \quad (4.13)$$

Quindi siamo sicuri che in tutti gli stage in cui è prevista una moltiplicazione il nostro campione di ingresso, indipendentemente dalla sua natura, dovrà essere moltiplicato per una quantità complessa scritta nella forma della 4.13. Se supponiamo, ad esempio, che il nostro campione di ingresso sia del tipo  $z_1 = a + jb$ , dovremo effettuare un prodotto complesso tra due termini:

$$z_1 \cdot z_2 = (ac - bd) + j(ad + bc) \quad (4.14)$$

In termini di implementazione nei 3 dispositivi, si deve necessariamente separare parte reale da parte immaginaria su registri differenti, e poi, considerando correttamente gli indici, “ricomporre” tale numero complesso; per effettuare un prodotto dunque sarà necessario effettuare 4 prodotti e 2 somme e poi immagazzinare il risultato in un registro differente sia per la parte reale che per la parte immaginaria.

Nei paragrafi successivi verrà descritto brevemente come è stata implementata la CZT nei dispositivi testati: la FPGA, la Raspberry Pi B, la STM32F4-discovery.

#### 4.5 Implementazione della CZT su FPGA

Il linguaggio di programmazione utilizzato per implementare la CZT su FPGA è stato il VHDL. La scelta della scheda è stata effettuata in modo da far convergere esigenze diverse e contrastanti: avere una ridotta occupazione di area e mantenere una elevata velocità di elaborazione a causa dell’elevato costo computazionale previsto dalla CZT. In particolare, soltanto alcune classi di FPGA mettono a disposizione la possibilità di utilizzare dei DSP integrati su scheda, cioè dei processori dedicati al calcolo delle quattro operazioni che non gravano sull’area occupata. Dal punto di vista software, questa possibilità è offerta utilizzando il CORE Generator come generatore di blocchi per alcune applicazioni, quali ad esempio l’utilizzo del floating point. Inoltre la FPGA

doveva prevedere un numero sufficientemente ampio di Slices per permettere l'inserimento di blocchi di gestione non riguardanti le operazioni in floating point, gestite interamente dai DSP e senza aggravio di area impiegata [15].

Alla luce delle esigenze di cui si è detto è stata scelta una starter kit Spartan-3A DSP XC3SD1800A [32] che soddisfa tutte le specifiche richieste ed è compatibile con il programma di sintesi Xilinx Ise 11.1. La board dispone delle seguenti caratteristiche:

- 84 DSP48A suddivisi in 4 colonne
- 1.800.000 celle di sistema
- 37.440 celle logiche
- 4,160 CLBs (88 righe per 48 colonne). (1 CLB = 4 Slices, cioè 16.640 Slices)
- Clocks
  - Oscillatore a 125 MHz LVTTTL SMT
  - Socket vuoto per un oscillatore LVTTTL
  - Oscillatore a 25.175 MHz LVTTTL SMT per impiego video
- Memoria
  - 32M x 32 (128MB) DDR2 SDRAM
  - 16Mx8 Flash
  - 64Mb SPI per configurazione e storage
- Interfacce
  - 10/100/1000 PHY
  - Porta JTAG per la programmazione e configurazione
  - Porta RS232
  - Low-Cost VGA
- Tasti e Switches
  - 8 LED gestibili dall'utente
  - 8 DIP switches
  - 4 Tasti programmabili dall'utente
  - Tasto Reset
- Espansioni utilizzabili dall'utente
  - Pettine Digilent 6 pin
  - EXP expansion connector

Gli ingressi del sistema sono il master clock, il reset globale che azzerà uscite e registri, due ingressi che rappresentano la parte reale e immaginaria di un segnale complesso, e un segnale di sincronizzazione con gli stadi a monte che permettono al sistema FPGA di ricevere in modo sincrono un campione di ingresso.

La scelta del software per l'implementazione dell'algoritmo è stata vincolata dalla capacità di sintetizzare e rendere implementabili blocchi in floating point [16]. Per questo motivo è stato scelto il programma Xilinx Ise Design Suite 11.1 con il software in dotazione CORE Generator (cfr. Fig. 72).

Il CORE Generator fornisce dei blocchi sommatore e moltiplicatori in floating point secondo lo standard IEEE-754 e permette di generare il codice VHDL di tutte le funzioni, o operazioni, o algoritmi che il programma possiede in libreria con diversi gradi di personalizzazione. Ad esempio è possibile decidere il numero di colpi di clock che il blocco deve impiegare a compiere quell'operazione, o ancora se dotare il medesimo blocco di segnali di controllo, quali Chip Enable (CE), o Clear (SCLR) o Ready (RDY). Come è mostrato nella Tabella 20, maggiore è la latenza che si imposta, maggiore è la velocità massima che è possibile raggiungere. L'interno dei blocchi utilizzati, ovvero il codice che descrive il funzionamento dei medesimi blocchi, non è accessibile; sono disponibili soltanto ingresso, uscita e i segnali di controllo del blocco.

Lo Xilinx 11.1 consente di creare le connessioni logiche tra i box costituenti il sistema intero, e generare ulteriori blocchi di gestione per pilotare correttamente le tempistiche di accensione e spegnimento dei core. Sempre attraverso lo stesso programma si è generato il bitstream da inserire su scheda per verificare la correttezza del codice scritto e virtualmente funzionante.

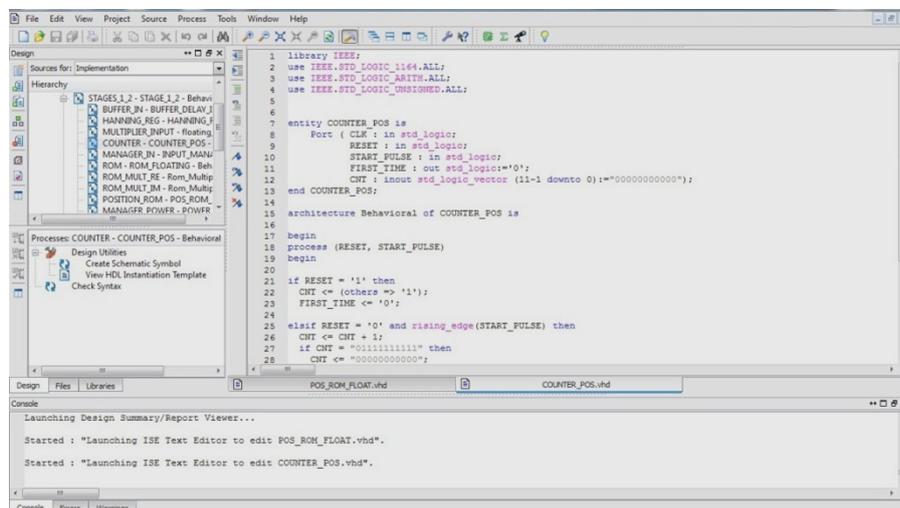


Fig. 72 Xilinx ISE Design Suite 11.1

Il programma di simulazione impiegato è il Modelsim XE III 6.4b (cfr. Fig. 73), che permette di elaborare segnali a virgola mobile e di interfacciarsi correttamente con le librerie dello Xilinx Design Suite 11.1. Le simulazioni naturalmente hanno fornito un andamento behavioral dei segnali.

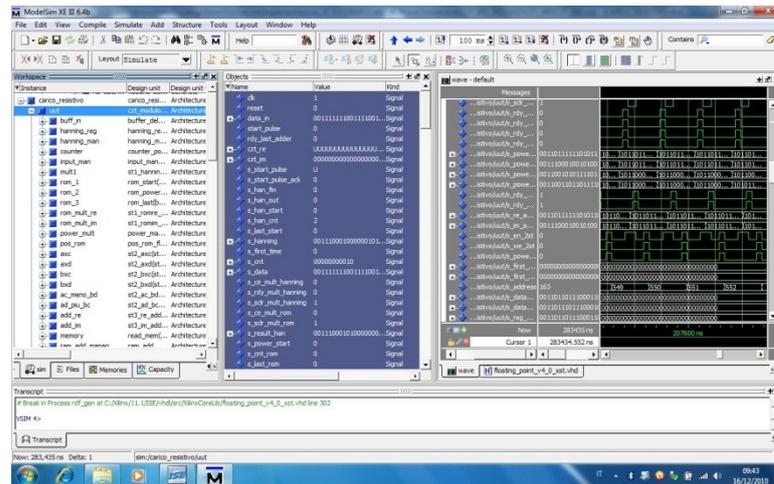


Fig. 73 Modelsim XE III 6.4b

La scelta dei tempi di ritardo dei blocchi utilizzati per le elaborazioni floating point ha in parte comportato la velocità massima che il sistema è stato in grado di raggiungere. Prima di effettuare la scelta dei tempi di ritardo, è stato svolto uno studio della velocità massima raggiungibile da ciascun blocco floating point, per decidere in modo oculato quale delay assegnare al fine di mantenere la velocità del clock quanto più alta possibile. La velocità di alcuni blocchi, in particolare dei moltiplicatori, è funzione del numero di DSP che si decide di utilizzare. Maggiore è il ritardo che si imposta, maggiore sarà la velocità massima che il sistema sarà in grado di raggiungere, e viceversa (come mostrato in Tabella 20).

	Fix_to_Float	Adder	Addsub	Div	Mult 0DSP	Mult 1DSP	Mult 4DSP	Mult 5DSP
Delay								
1	61,922	32,809	32,74	8,436	41,706	58,883	92,736	92,736
2	110,035	63,806	63,542	8,742	77,656	92,441	135,19	114,751
3	144,68	81,032	81,034	16,963	97,916	83,874	139,704	118,56
4	173,036	93,513	93,156	24,173	125,562	83,874	140,115	118,56
5	173,036	102,73	102,73	30,662	114,388	101,774	158,079	118,856

6	173,036	102,73	102,73	35,259	149,693	101,774	168,833	155,984
7		155,086	155,086	41,627	149,693	144,12	169,434	155,984
8		149,111	149,111	50,778	173,036	155,984	173,036	173,036
9		172,734	172,734	50,777		173,036	173,036	173,036
10		173,036	173,036	65,181			173,036	173,036
11		173,036	173,036	65,181				173,036
12		173,036	173,036	65,181				
13		173,036	173,036	65,181				

Tabella 20 *RELAZIONE TRA I TEMPI DI RITARDO SCELTI DALL'UTENTE E LA VELOCITÀ MASSIMA RAGGIUNGIBILE DAI BLOCCHI*

#### 4.6 La CZT in linguaggio C

Per implementare l'algoritmo di analisi armonica nella Raspberry e nella STM32F4-discovery, è stato necessario riscrivere il codice in linguaggio C. Naturalmente a livello strutturale, l'implementazione è risultata concettualmente più semplice rispetto al caso VHDL, in quanto la compilazione in linguaggio C avviene top-bottom (istruzione per istruzione), mentre nel VHDL la compilazione è parallela. Inoltre la possibilità di compilare cicli for ha permesso un approccio più semplice, in quanto l'algoritmo si presenta come somma di prodotti al variare di due indici. Il codice implementato ha riguardato il caso offline, e risulta diverso da quello che verrà inserito in un eventuale prototipo funzionante in real-time.

Il codice possiede soltanto due include: stdio.h e math.h. In effetti l'algoritmo, a parte il calcolo del modulo (inteso come radice quadrata della somma dei quadrati di parte reale e immaginaria), non presenta necessità particolari o l'impiego di specifiche librerie. È stata fatta la scelta di non inserire una libreria per l'impiego dei numeri complessi (che si trova disponibile come complex.h e mette a disposizione funzioni di somma, prodotto, etc.) poiché l'approccio al problema è stato molto simile a quello già sperimentato per il VHDL: l'informazione complessa è stata divisa in due registri, uno per la parte reale e uno per quella immaginaria; i risultati reali e immaginari delle operazioni sono stati memorizzati in array separati.

Prima del main sono state istanziate delle variabili; il codice è stato quasi totalmente parametrizzato per permettere, in fase di debug, una maggiore velocità nella modifica dei parametri. Analogamente al caso VHDL, sono state fatte delle prove in simulazione al PC utilizzando DEV C++ v.4.9.9.2 (Fig. 74) [36], così da effettuare un debug del codice prima di testarlo sui dispositivi hardware. Sia durante le simulazioni

che durante le prove col dispositivo fisico, in linguaggio C sono stati salvati i valori di alcune variabili in files. I nomi dei files sono infatti richiamati prima del main e per ultima è stata aggiunta l'istruzione fopen() (preceduta dalla stringa FILE) per aprire virtualmente i file scritti sopra. In seguito nel codice è stata richiamata l'istruzione di scrittura così da registrare il contenuto delle variabili.

```

crt_db2[r]=0;
}
// Inizio operazioni per il calcolo della FFT
for ( ; ) //Il for infinito serve a permettere al programma di ritornare al punto iniziale man mano che i campioni vanno entrati
{
    i_quad = x[1]*x[1];
    RMS = RMS + i_quad;
    // Finestra di Hanning [SIN E COS DEVONO AVERE GLI ARGOMENTI IN RADIANTI!]
    s[k] = x[1]*0.5*(1-cos(2*3.141592653589793*k/(N*double))); //E' stato necessario inserire Mdouble (che è uguale numericamente al valor
    // Stage 1: Primo prodotto per seno e coseno (exp(-jCk^2))
    gre[k] = s[k]*cos(C*k*k);
    gim[k] = (-1)*s[k]*sin(C*k*k); //gim lo considero positivo, ma il numero complesso è gre -jgim. Il segno lo considero con hre
    // Stage 2/3: Somme dei prodotti per seno e coseno (exp(jC(k-n)^2))
    for (count=0;count<N;count++) // il k-esimo valore è dato dalle somme dell'n-esimo della finestra precedente + l'n-esimo della
    {
        hre[count] = (gre[k]*cos(C*(k-count)*(k-count))-gim[k]*sin(C*(k-count)*(k-count)));
        him[count] = (gre[k]*sin(C*(k-count)*(k-count))+gim[k]*cos(C*(k-count)*(k-count)));
        jre[count]=jre[count]+hre[count];
        jim[count]=jim[count]+him[count];
    }
    k++;
    i++;
    if (k == N)
    {
        RMS = sqrt(RMS/k);
        k = 0;
    }
    // Stage 4: Prodotto per seno e coseno (exp(-jCk^2))
    for (r=0;r<N;r++)
    {
        hre[r] = (jre[r]*cos(C*r*r)+jim[r]*sin(C*r*r)); //Da provare se qui si può riciclare l'array gre e gim
        him[r] = (jim[r]*cos(C*r*r)-jre[r]*sin(C*r*r));
    }
    // Calcolo del modulo
    for (r=0;r<N;r++)

```

Fig. 74 DEV C++ v.4.9.9.2

Il main costituisce il cuore dell'algoritmo. Anche in questo caso è risultato conveniente scomporre l'algoritmo in 4 stages virtuali, anche se, essendo un codice compilato top-bottom, l'ordine delle istruzioni è seriale e inoltre, non avendo difficoltà a trattare float, non è necessaria la gestione di black box.

Eseguito un primo ciclo di azzeramento degli array, l'algoritmo è composto da 4 stages, con la differenza che l'utilizzo dei cicli for semplifica la stesura del codice. Infatti rispetto al VHDL, non sono richieste istruzioni di richiamo a RAM o ROM contenenti valori tabellati, i seni e i coseni sono calcolati grazie alle funzioni di libreria, così come la radice quadrata, le operazioni di somma e prodotto sono effettuate in floating point senza bisogno di dichiarare blocchi inaccessibili.

#### 4.7 Implementazione della CZT su Raspberry Pi B

Il Raspberry Pi è un single-board computer (un calcolatore implementato su una sola scheda elettronica) sviluppato nel Regno Unito dalla Raspberry Pi Foundation. Il progetto ruota attorno a un System-on-a-chip (SoC) Broadcom BCM2835, che incorpora un processore ARM1176JZF-S a 700 MHz, una GPU VideoCore IV, e 256 o 512 Megabyte di memoria. Il dispositivo non contiene né hard disk né una unità a stato solido, e si affida invece a una scheda SD per il boot e per la memoria non volatile. La scheda è stata progettata per ospitare sistemi operativi basati su un kernel Linux o RISC OS [39].



*Fig. 75 Raspberry Pi B*

Il modello impiegato per le prove sperimentali in laboratorio, è stato Raspberry Pi B. Al suo interno è stato caricato un sistema operativo di tipo Raspbian, il cui nome nasce dall'unione di Raspberry e Debian, ed è dedicato alle piattaforme Raspberry.

#### 4.8 Implementazione della CZT su STM32F4-discovery

Le caratteristiche della scheda STM32F4-discovery, mostrata in Fig. 75, sono le seguenti [38]:

- STM32F407VGT6 microcontroller featuring 32-bit ARM Cortex-M4F core, 1 MB Flash, 192 KB RAM in an LQFP100 package
- On-board ST-LINK/V2 with selection mode switch to use the kit as a standalone ST-LINK/V2 (with SWD connector for programming and debugging)
- Board power supply: through USB bus or from an external 5 V supply voltage
- External application power supply: 3 V and 5 V
- LIS302DL or LIS3DSH ST MEMS 3-axis accelerometer
- MP45DT02, ST MEMS audio sensor, omni-directional digital microphone
- CS43L22, audio DAC with integrated class D speaker driver
- Eight LEDs:
  - LD1 (red/green) for USB communication
  - LD2 (red) for 3.3 V power on
  - Four user LEDs, LD3 (orange), LD4 (green), LD5 (red) and LD6 (blue)
  - 2 USB OTG LEDs LD7 (green) VBus and LD8 (red) over-current
- Two push buttons (user and reset)
- USB OTG FS with micro-AB connector
- Extension header for all LQFP100 I/Os for quick connection to prototyping board and easy probing

Il codice implementato nella STM32F4-discovery è stato concettualmente analogo a quello impiegato nella Raspberry, con l'eccezione che sono stati utilizzati i DSP integrati nella scheda (utilizzabili nel codice attraverso funzioni di libreria).

Le funzioni utilizzate per il richiamo dei DSP sono state `arm_mult_f32()`, `arm_add_f32()`, e `arm_sub_f32()` rispettivamente per effettuare il prodotto tra due array a 32 bit la somma e la differenza tra due array in floating point. Il tool di compilazione, come nel caso delle board STEVAL, è stato Atollic TrueSTUDIO®.



Fig. 76 STM32F4-discovery

#### 4.9 Confronto dei risultati offline

Al fine di verificare la velocità di calcolo dei 3 dispositivi nell'implementazione della CZT e l'accuratezza dei risultati sono state effettuate delle prove offline come segue: in ciascun dispositivo i 625 campioni di ingresso, ottenuti campionando le forme d'onda di un carico resistivo da 5A e di una aspirapolvere ad un quarto di carico, sono stati inseriti in un array che ciascun sistema ha provveduto ad elaborare. Nel caso della FPGA è stato dichiarato un'entità a parte (per garantire la gestione dei segnali di controllo con i blocchi a valle) al cui interno sono stati dichiarati i vettori  $Res[i]$  e  $Asp[i]$  contenenti i campioni rispettivamente della resistenza e dell'aspirapolvere; nella Raspberry e nella STM32F4-discovery, i campioni sono stati dichiarati attraverso un vettore  $x[i]$  prima della dichiarazione del main.

Le uscite prelevate al termine dei calcoli sono state plottate attraverso Microsoft Excel per verificare la correttezza del calcolo confrontando i risultati con il calcolo dell'algoritmo effettuato con uno strumento virtuale in ambiente LabVIEW precedentemente sviluppato e validato. Per ogni scheda sono stati valutati i tempi di calcolo.

Il calcolo della CZT in ambiente LabVIEW viene effettuato tramite uno script di MATLAB. Tramite il LabVIEW è possibile impostare il numero di punti della porzione di segnale da analizzare, la frequenza di campionamento, il range di frequenze di interesse. Anche in questo caso il segnale viene finestrato (Hanning).

Il front panel dello strumento per il calcolo della CZT in ambiente LabVIEW sono riportati in Fig. 77. Sul front panel sono visibili gli andamenti del segnale e del suo spettro utilizzati come riferimento per i confronti con l’algoritmo implementato sulle diverse piattaforme.

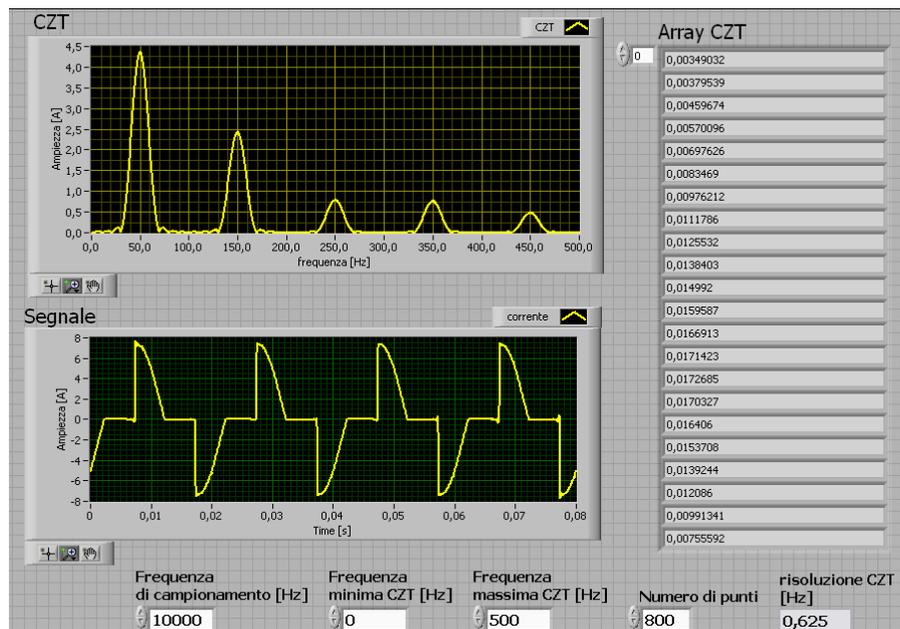


Fig. 77 Front panel dello strumento virtuale in LabVIEW

Come anticipato sopra, al fine di ottenere i campioni delle forme d’onda da fare elaborare ai dispositivi, è stato necessario realizzare un banco di misura; ci si è concentrati su due tipologie di carico: è stata campionata la forma d’onda di corrente di un carico resistivo e di un’aspirapolvere. Ogni singolo carico è stato alimentato a tensione di rete (230 V, 50 Hz). In particolare, le configurazioni di carico realizzate sono le seguenti:

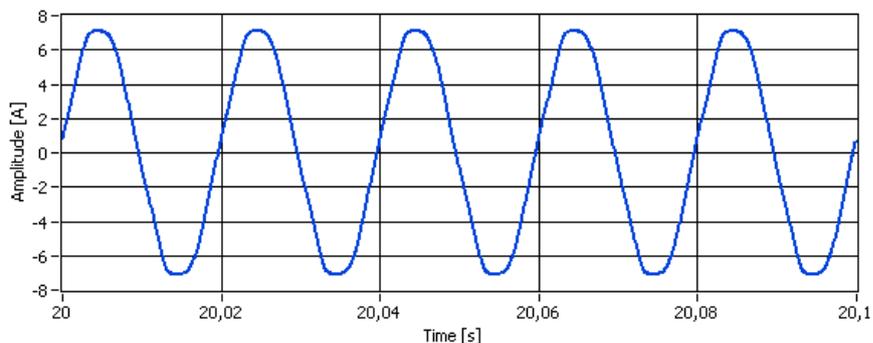
- Carico resistivo da 5A;
- Aspirapolvere.

Tensione e corrente sono state acquisite rispettivamente attraverso una sonda differenziale ad effetto Hall (Tektronix P5200), ed uno shunt (resistenza 0,1 $\Omega$ , accuratezza 0,001%, corrente massima 22A).

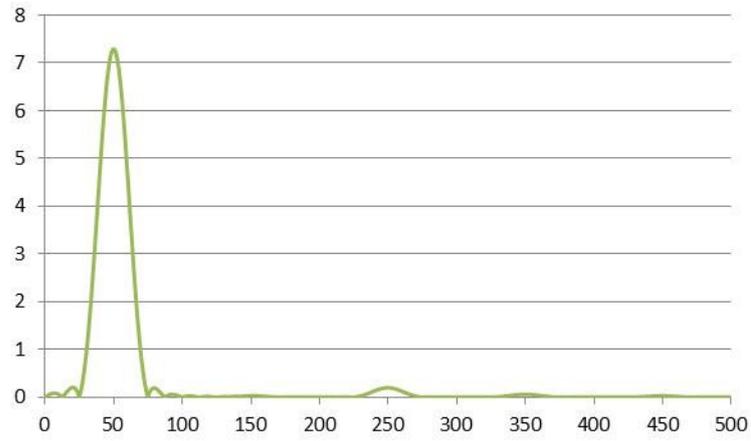
I segnali in uscita dai trasduttori sono stati inviati ad una scheda di acquisizione NI USB 9239, della National Instrument, a 24 bit, campionamento simultaneo, frequenza di campionamento massima  $f_{smax}$  50 kSa/s per canale, filtro anti-aliasing incorporato con regolazione automatica della frequenza di taglio in funzione della frequenza di campionamento, range di tensione in ingresso  $\pm 10$  V (picco-picco), tensione di isolamento tra i canali 250 V.

La scheda è stata inserita collegata ad un PC, ove è stato implementato anche lo strumento virtuale in ambiente LabVIEW per l'analisi spettrale dei segnali acquisiti. I segnali campionati dalla scheda sono stati quindi elaborati dallo strumento virtuale.

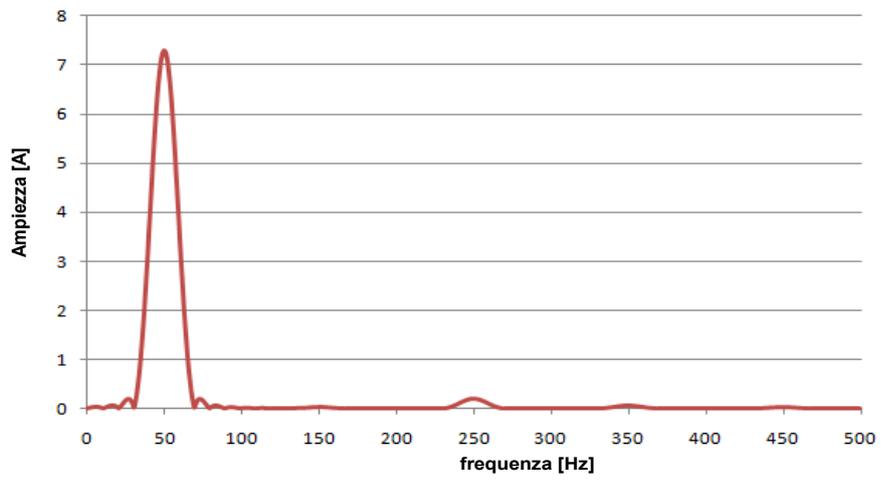
Per verificare il comportamento del prototipo implementato nei dispositivi, è stato effettuato un confronto tra i risultati prodotti dallo strumento virtuale in LabVIEW, assunti come valore vero del confronto, e quelli prodotti dai due dispositivi; tali risultati sono stati prelevati in forma tabulare e resi in forma grafica disponendo in ascisse la frequenza e in ordinate il modulo della CZT. I dati di ingresso per entrambi gli strumenti sono quelli ottenuti sperimentalmente tramite il banco di misura descritto precedentemente, attraverso l'acquisizione della corrente assorbita da vari carichi. Nelle figure che seguono si riportano alcuni dei risultati ottenuti per due tipologie di carico (carico resistivo e aspirapolvere).



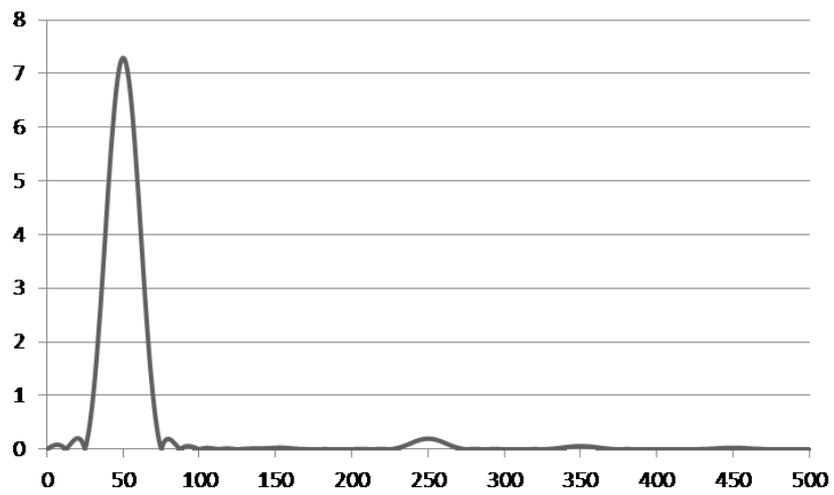
*Fig. 78 Carico resistivo. Corrente acquisita*



*Fig. 79 Carico resistivo. CZT ottenuta da LabVIEW*



*Fig. 80 Carico resistivo. CZT ottenuta da FPGA*



*Fig. 81 Carico resistivo. CZT ottenuta da Raspberry Pi*

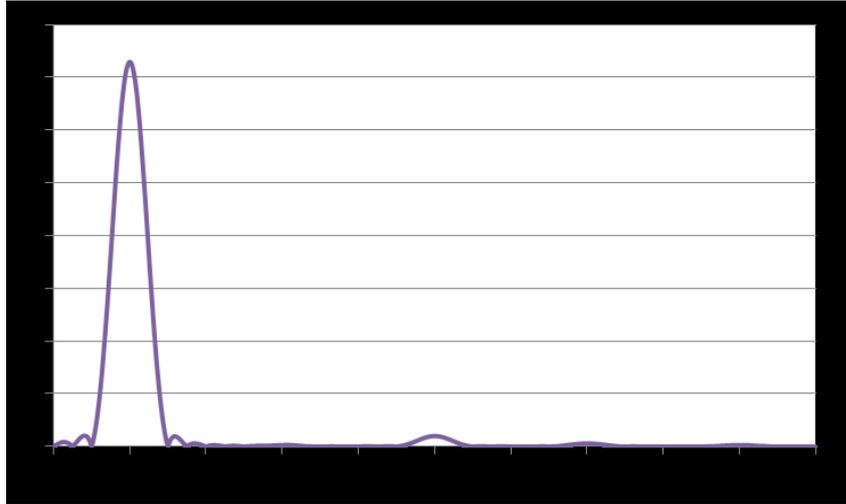


Fig. 82 Carico resistivo. CZT ottenuta da STM32F4-discovery

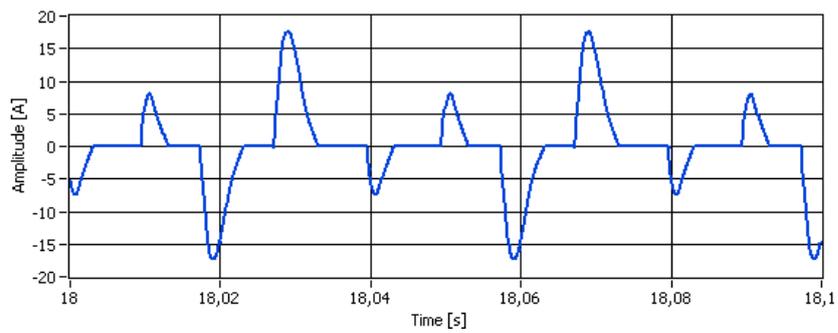


Fig. 83 Aspirapolvere. Corrente acquisita

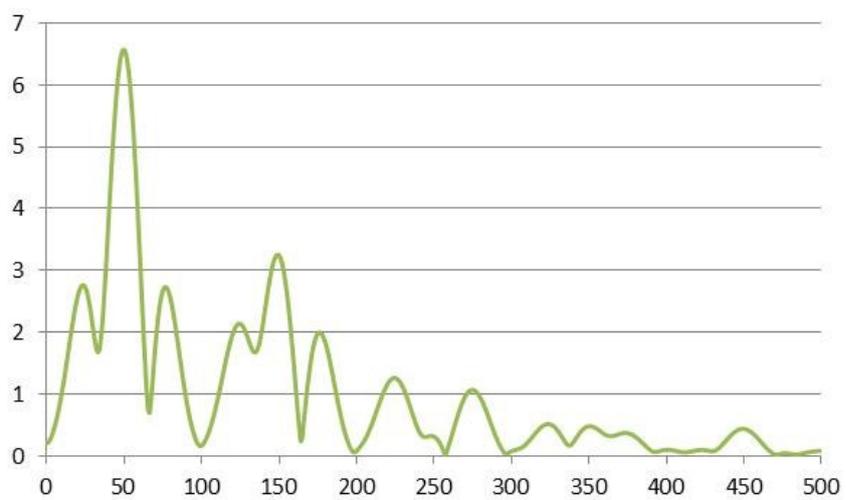
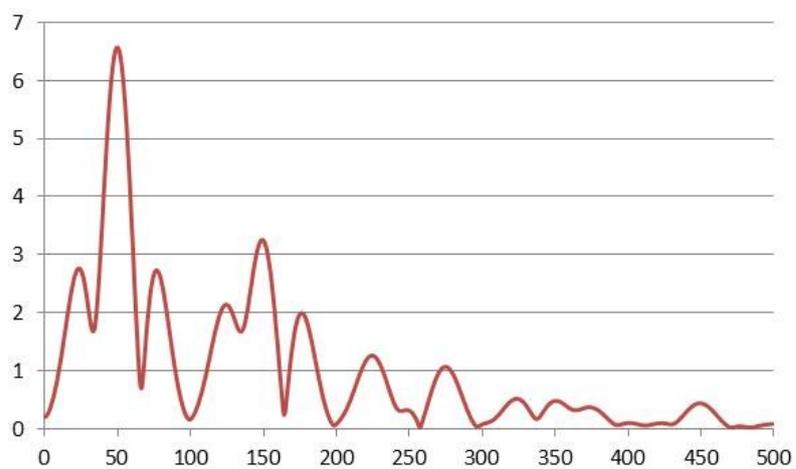
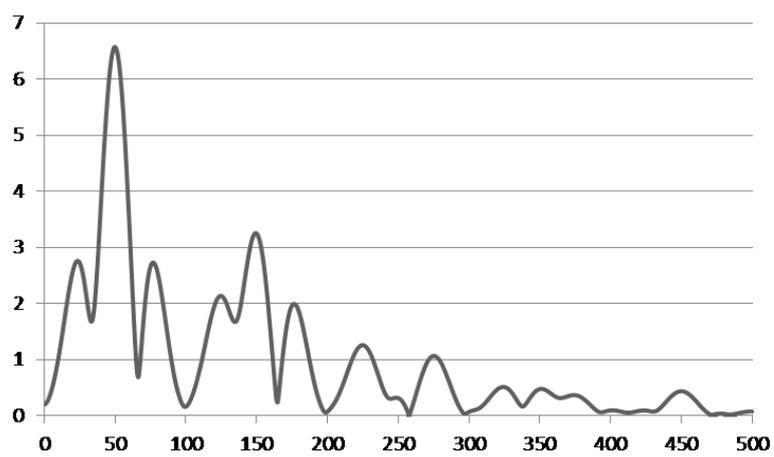


Fig. 84 Aspirapolvere. Campioni della CZT ottenuti da LabVIEW



*Fig. 85 Aspirapolvere. Campioni della CZT ottenuti da FPGA*



*Fig. 86 Aspirapolvere. Campioni della CZT ottenuti da Raspberry Pi*

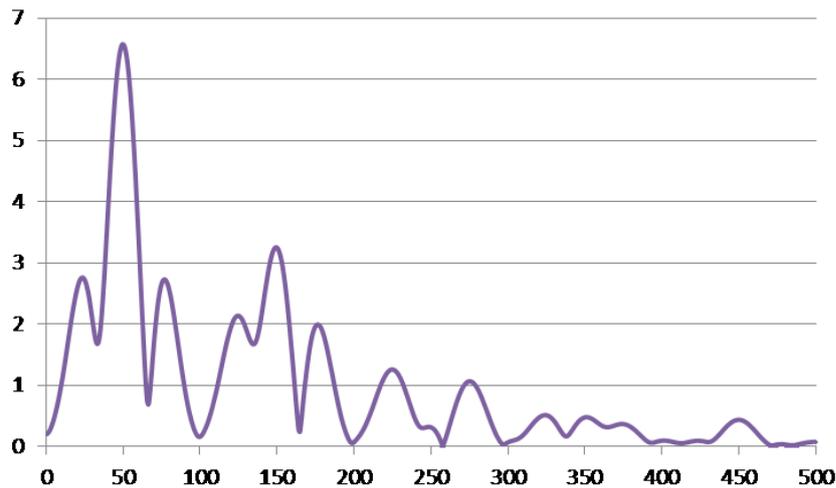


Fig. 87 Aspirapolvere. Campioni della CZT ottenuti da STM32F4-discovery

Si può osservare come le forme d'onda sia nel caso resistivo che nel caso dell'aspirapolvere, le 3 forme d'onda siano perfettamente sovrapponibili.

### Risultati in FPGA

L'approccio scelto per l'elaborazione del segnale è stato a singolo campione: si elabora il campione appena entrato prima che il successivo venga memorizzato. In questo modo il sistema distribuisce il carico delle elaborazioni in modo che i tempi morti si trovino tra la fine dell'elaborazione di un campione e l'ingresso del successivo. Ponendo particolare attenzione a questo aspetto, la scelta dei tempi di ritardo dei blocchi floating point, proprio perché non modificabili, è stata opportunamente selezionata per ottenere come velocità massima (per quanto riguarda i blocchi) un valore superiore a 125MHz in modo da non rappresentare il collo di bottiglia del sistema. In realtà, istanziando più sommatore, moltiplicatori, RAM, ROM, etc, il timing summary, nonostante le ottimizzazioni orientate alla massima velocità, ha riportato quanto segue:

Timing Summary:

-----  
Speed Grade: -5

Minimum period: 30.296ns (Maximum Frequency: 33.008MHz)

Minimum input arrival time before clock: 8.059ns  
Maximum output required time after clock: 5.248ns  
Maximum combinational path delay: No path found

Ovvero la frequenza di clock massima implementabile su scheda è stata 33.008MHz non sufficiente per effettuare prove real-time. Il tempo impiegato dalla FPGA è stato ottenuto contando il numero dei cicli di clock da una variabile dichiarata all'interno del codice. Il tempo totale per ottenere l'intera trasformata è stato di circa 213ms.

### **Risultati in Raspberry Pi**

Come descritto prima, i dati sono stati inseriti in un array  $x[625]$  contenenti i segnali campionati, e l'algoritmo ha restituito in uscita un vettore contenente il modulo della  $czf$ . I dati, sono stati salvati su un file e prelevati solo al termine dei calcoli. Attraverso alcune linee di codice aggiuntive, e sfruttando la libreria `time.h`, è stato implementato un contatore di tempo che ha printato a video il tempo impiegato a svolgere le operazioni (senza includere i tempi di generazione del file e sua scrittura) in ms. Il risultato è stato di circa 160ms. Inoltre è stato osservato che, a causa della presenza di un sistema operativo installato nel dispositivo, i tempi di calcolo registrati non sono mai stati uguali. La motivazione è da addurre all'imprevedibilità con cui il sistema operativo alloca il task relativo al codice compilato della trasformata e il tempo di priorità ad esso assegnato. La compilazione è stata eseguita con la seguente istruzione:

```
gcc -o nome_destinazione nome_partenza -lm
```

### **Risultati in STM32F4-discovery**

La scheda che ha fornito le risposte migliori in termini di tempo e che molto probabilmente sarà impiegata come scheda ausiliaria per il calcolo della CZT, è la STM32F4-discovery. Le caratteristiche di questa board, che apparentemente non sembrano particolarmente performanti, in realtà hanno permesso di ottenere i tempi di elaborazione più brevi in assoluto.

La mancanza di un sistema operativo (come nel caso di Raspberry) ha sicuramente giocato un ruolo fondamentale nel velocizzare i processi di calcolo. Inoltre, la presenza di unità di calcolo dedicate alle operazioni in floating point 32 bit (FPU), ha permesso di ottimizzare il codice e incrementare le prestazioni rispetto ai sistemi precedenti. Il codice è stato inserito programmando direttamente il firmware della board attraverso Atollic e utilizzando come parametro di ottimizzazione globale `-O3`. Per massimizzare la velocità dei DSP, è stato scelto di utilizzare una implementazione di tipo Hardware.

Gli stage 2 e 3 (Fig. 71) sono stati quelli in cui l'inserimento di queste funzioni, ha generato una riduzione dei tempi di calcolo notevole. Il tempo impiegato dal dispositivo è circa 140ms (Fig. 88).

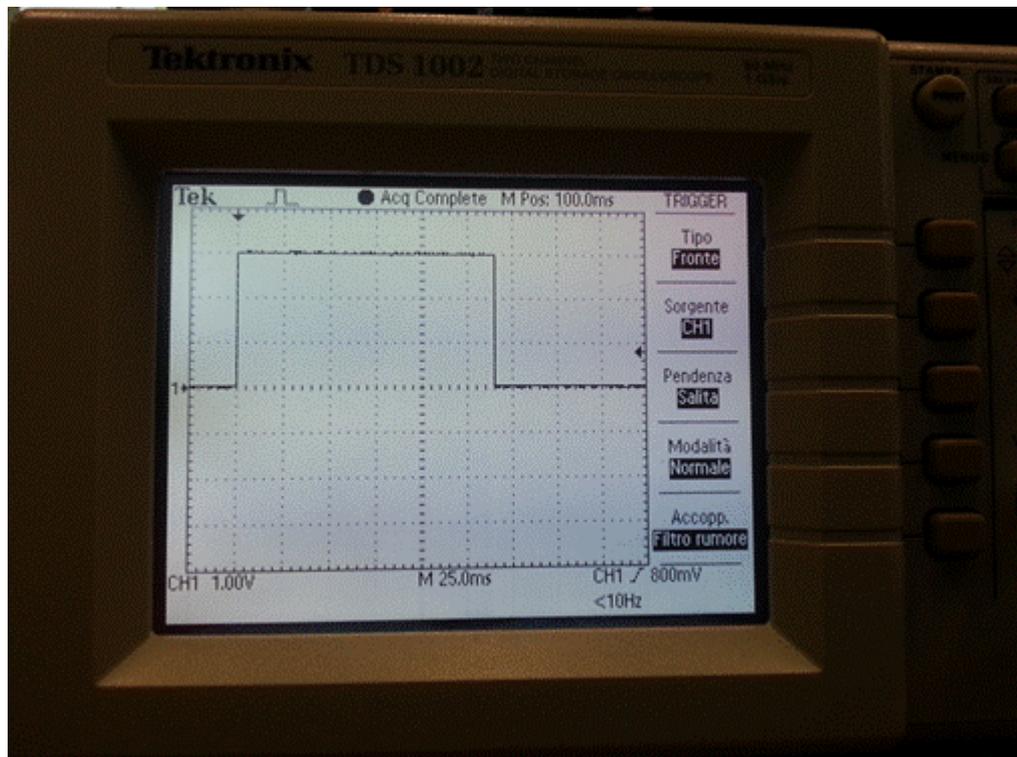


Fig. 88 Tempo totale di elaborazione della STM32F4-discovery

## **CAPITOLO 5: PROVE SPERIMENTALI DEL DISPOSITIVO DI INTERFACCIA PER SMART GRID**

In questa sezione verranno illustrate le prove effettuate in laboratorio o sul campo, in cui saranno validati i modelli in simulazione discussi nei paragrafi precedenti. Il dispositivo di interfaccia è stato testato per valutare la conformità a quanto prescritto dalla nuova norma CEI 0-21 “Regola tecnica di riferimento per la connessione di utenti attivi e passivi alle reti BT delle imprese distributrici di energia elettrica”. Inoltre è stata effettuata una comunicazione power line tra due cabine dell’isola di Ustica. Le cabine distano circa 1,4km.

### **5.1 Prove del Dispositivo di interfaccia con il calibratore FLUKE 6100**

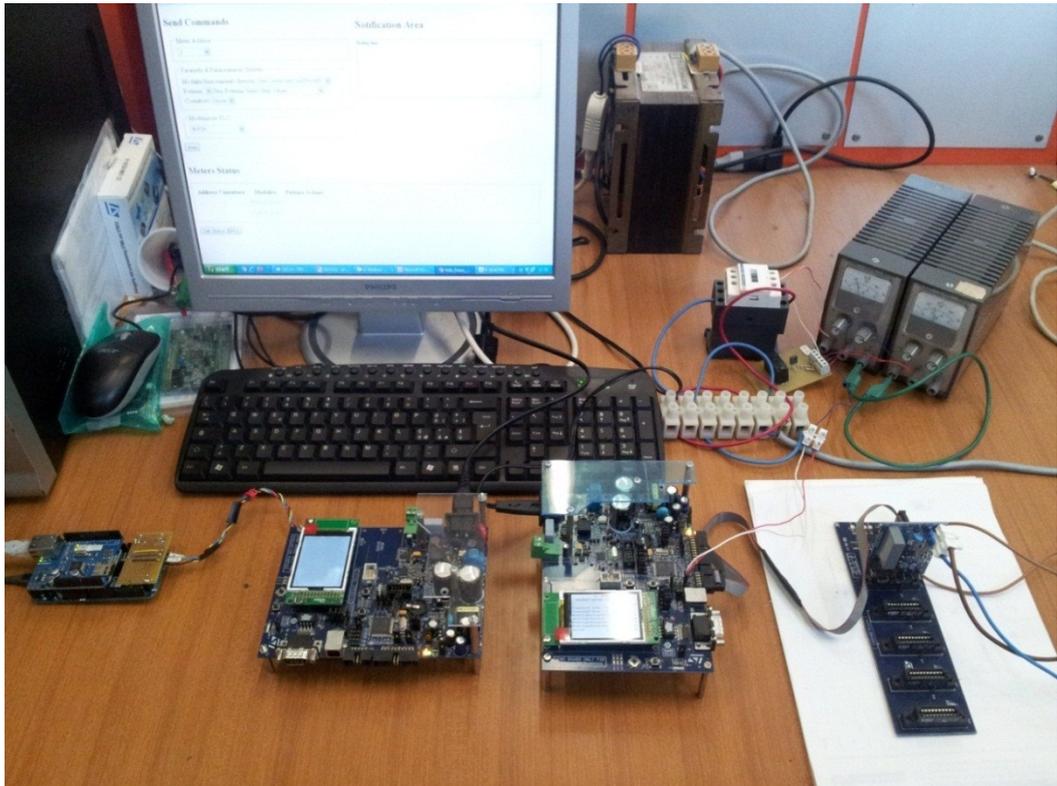
Il Dispositivo di Interfaccia, come detto in precedenza, misura tensione, corrente e frequenza e sulla base di eventuali comandi inviati dal distributore modifica le soglie di intervento del DPI e le funzionalità del convertitore di potenza (*inverter*). Inoltre è in grado di operare lo sgancio del dispositivo generale di protezione al DPI e dell’eventuale rincalzo del DPI (per potenze  $>20\text{ kW}$ ). La comunicazione con il distributore può avvenire o mediante la *PLC (Power Line Communication)* o via *Ethernet* mentre con l’inverter avviene mediante comunicazione seriale *RS232*.

Il DPI è stato realizzato utilizzando schede di sviluppo viste al paragrafo 4.3.

Nelle Fig. 89, Fig. 90 e Fig. 91, è mostrato il sistema realizzato per le prove preliminari di laboratorio. In particolare sono state eseguite, con esito positivo, le seguenti prove, generando i segnali di prova con il calibratore 6100A della Fluke:

- Verifica del funzionamento della protezione di massima e minima frequenza con due soglie;
- Verifica del funzionamento della protezione di massima e minima tensione con due soglie;
- Verifica del funzionamento della gestione dello sgancio al DPI, comandando un contattore;
- Verifica del funzionamento della comunicazione utilizzando la seriale RS 232 con l’inverter.

- Verifica comunicazione power line tra DPI e concentratore in cabina gestito a sua volta da remoto via ethernet.



*Fig. 89 Sistema realizzato per la verifica, in laboratorio, del funzionamento del DPI realizzato*



Fig. 90 Particolare del sistema di misura: scheda di interfaccia ethernet e concentratore, da installare in cabina secondaria per la gestione dei dispositivi di interfaccia via power line

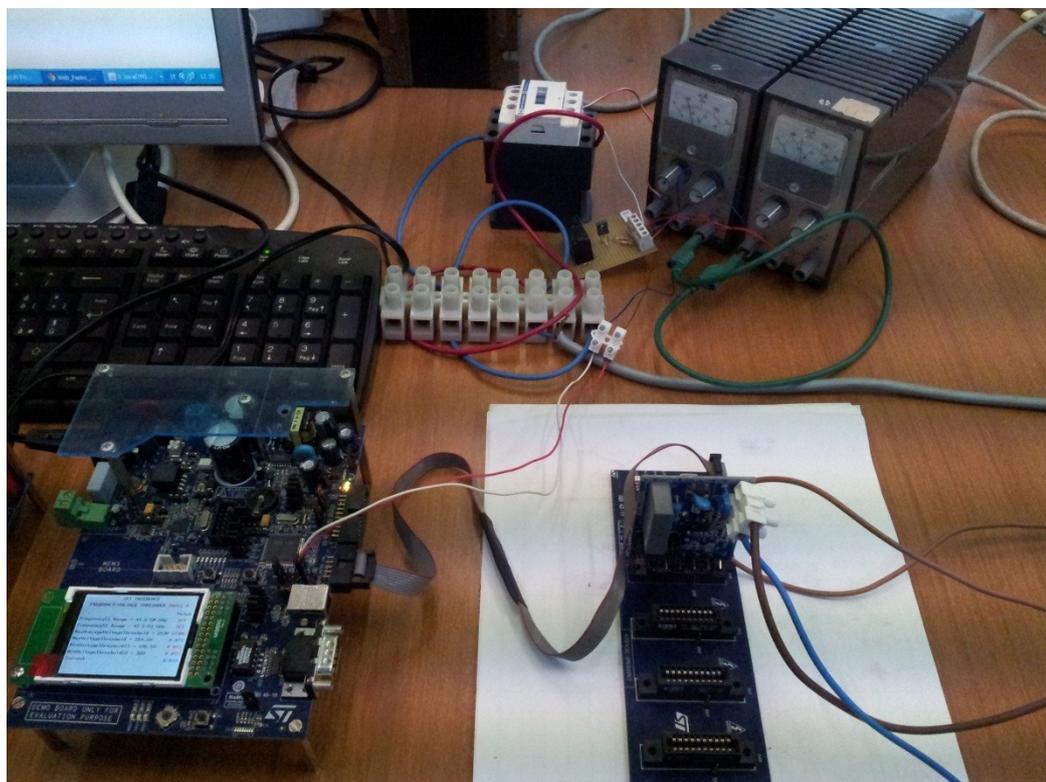


Fig. 91 Particolare del sistema di misura: DPI, scheda di acquisizione e contattore

Il corretto funzionamento del DPI riguardo le protezioni di tensione e frequenza è stato verificato tramite la misura dei tempi di intervento riportati nel paragrafo 8.6.2.1 - tabella 8 della norma CEI-021 del 06/2012.

La misura dei tempi di intervento è avvenuta mediante l'ausilio di un pin di uscita di tipo digitale della scheda del DPI. In particolare il pin viene portato al livello logico alto, in corrispondenza del superamento della soglia della grandezza (tensione o frequenza), e al livello logico basso, dopo che viene trasmesso in uscita il segnale di comando al contattore. Questa transizione alto-basso del pin, corrispondente al tempo di intervento, è stata misurata temporalmente tramite oscilloscopio. A titolo di esempio si riporta in Fig. 92 la misura del tempo di intervento della protezione di *massima frequenza*  $81 > .S1$ .

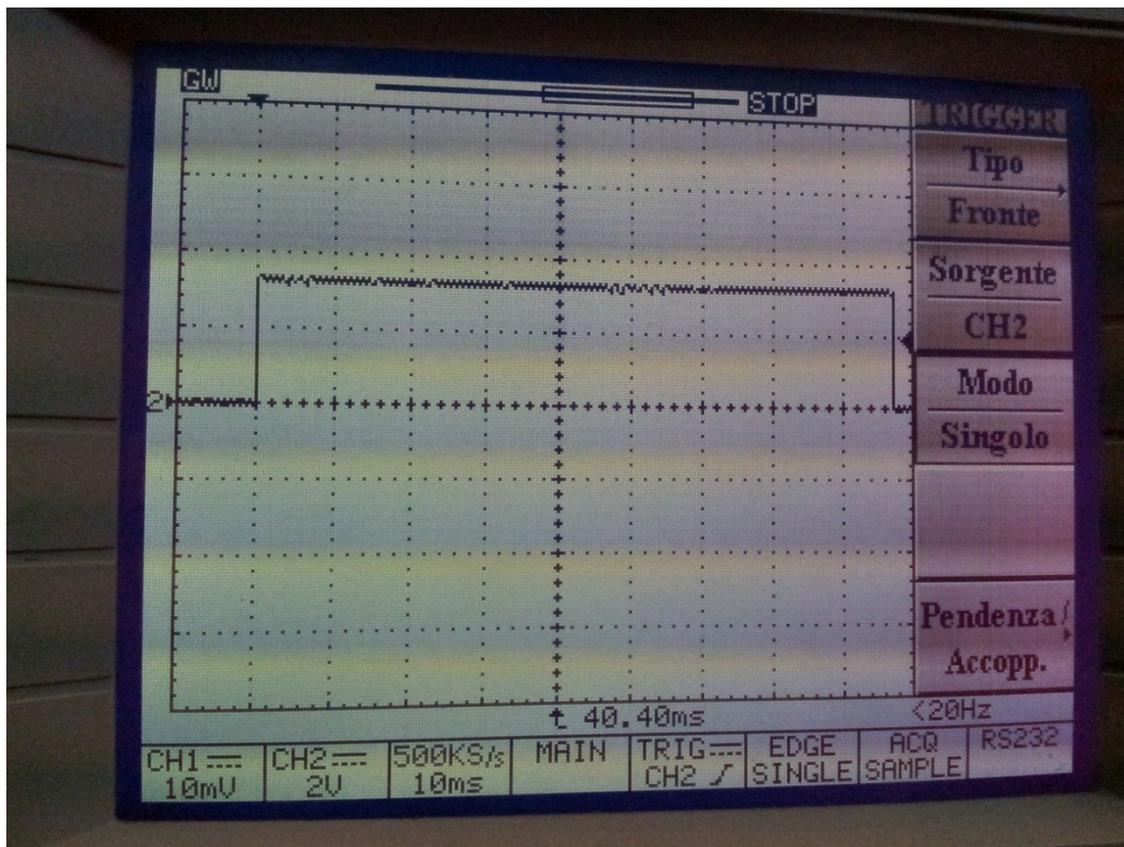


Fig. 92 Tempo di intervento della soglia di massima frequenza  $81 > .S1$ .

La misura del tempo di intervento è stata di 88 ms, inferiore al tempo prescritto di 0,1 s. In Fig. 93 si riporta il display del DPI con la segnalazione del superamento della soglia di *minima frequenza*  $81 < .S1$

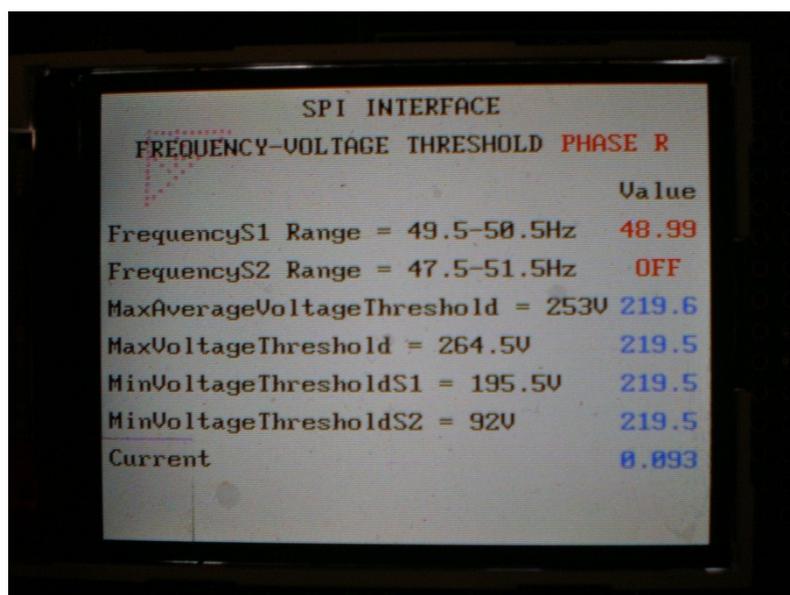


Fig. 93 Superamento della soglia di frequenza  $81 < .S1$  sul display del dpi

In Fig. 94 si riporta il display del DPI con la segnalazione del superamento della soglia di minima tensione 27.S1.

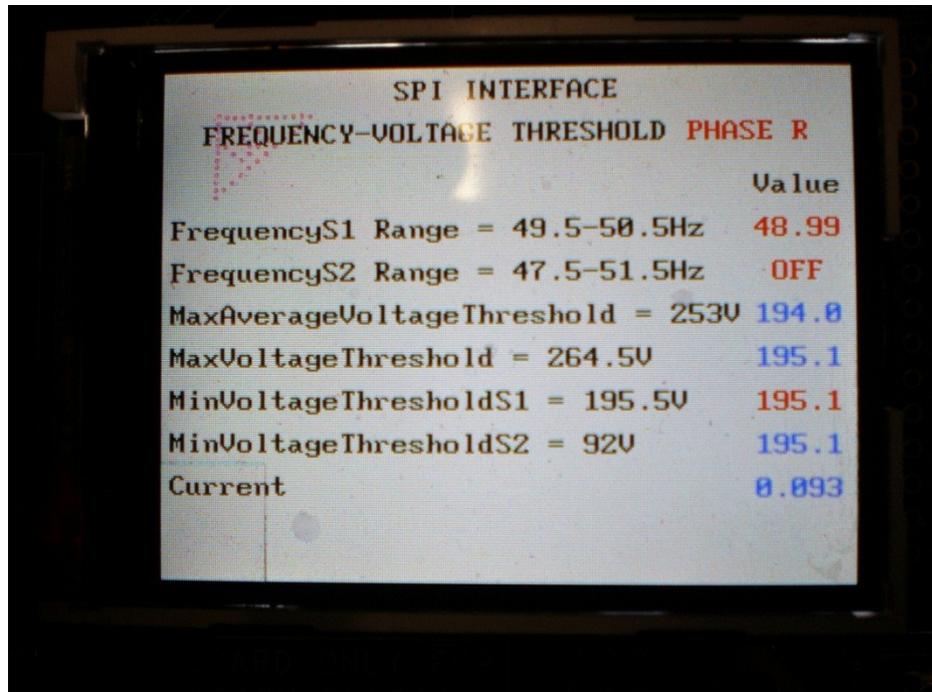


Fig. 94 Superamento della soglia di tensione 27.S1 sul display del dpi

In Fig. 95 si riporta il display del DPI con la segnalazione del superamento della soglia di minima tensione 27.S2

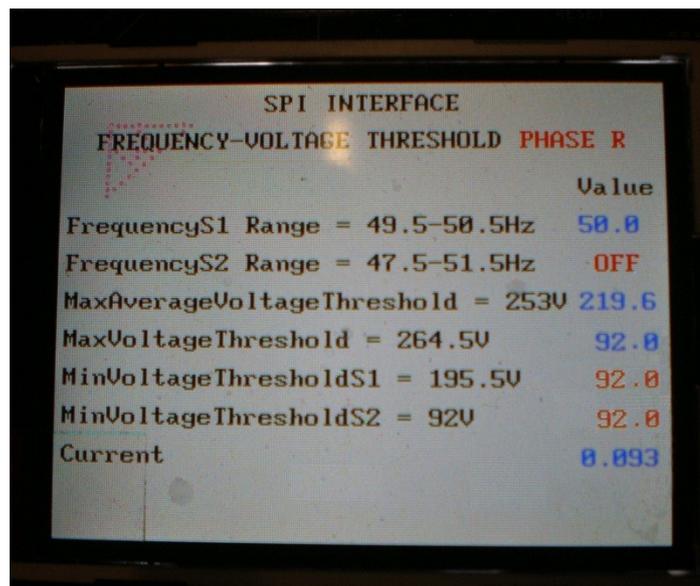
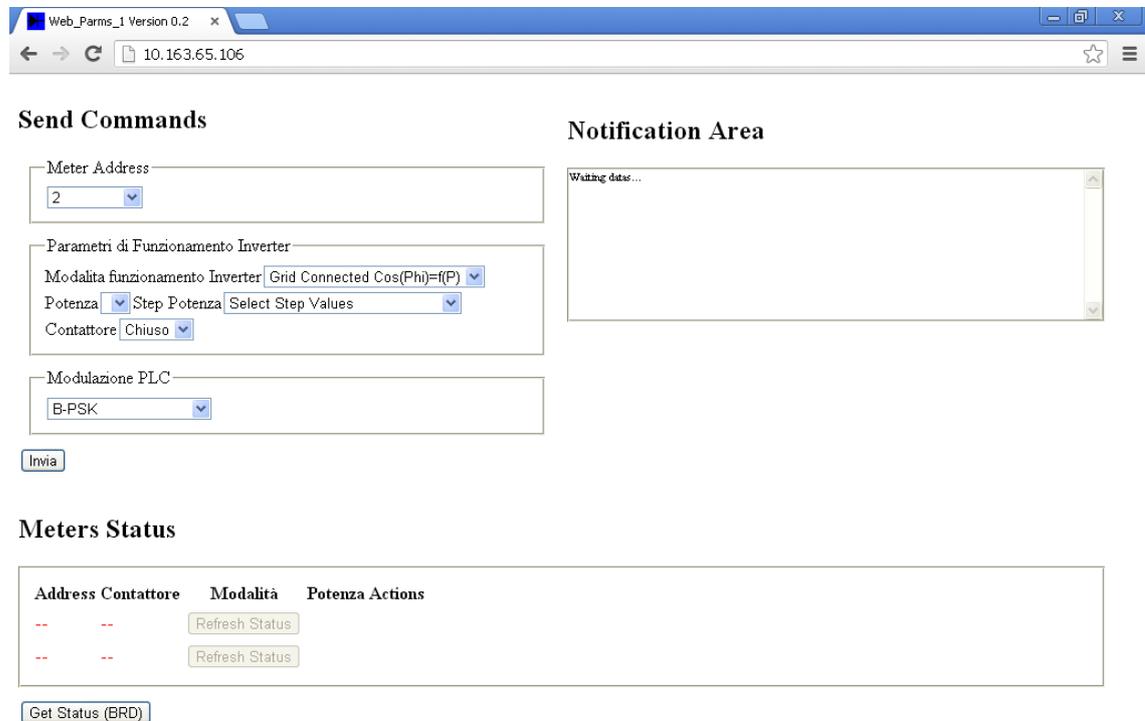


Fig. 95 Superamento della soglia di tensione 27.S2 sul display del dpi

La gestione da remoto tramite ethernet da parte del Distributore è stata emulata attraverso una scheda Arduino (Fig. 90) nella quale è stato caricato il firmware per la realizzazione e la gestione della pagina web riportata in Fig. 96.



*Fig. 96 Pagina web di emulazione del distributore*

Tramite la pagina web riportata in figura può essere simulata una ipotetica comunicazione, quindi scambio di informazioni, tra il distributore e il concentratore. In particolare è possibile settare i parametri di funzionamento o richiedere lo stato di funzionamento di un inverter collegato al DPI, ma anche inviare il comando di tele-distacco settando lo stato del contattore (chiuso-aperto) sulla pagina web. I comandi impostati sulla pagina web vengono acquisiti tramite la porta ethernet della scheda Arduino, elaborati e inviati al Concentratore tramite porta seriale (Fig. 90). Il Concentratore, poi, elabora le informazioni e le invia tramite comunicazione power line ai vari DPI presenti nella rete (Fig. 91). In Fig. 97 è riportato il display del DPI dove è possibile notare il cambiamento dello stato di funzionamento dell'inverter e della potenza di lavoro a seguito di una serie di comunicazioni power line.

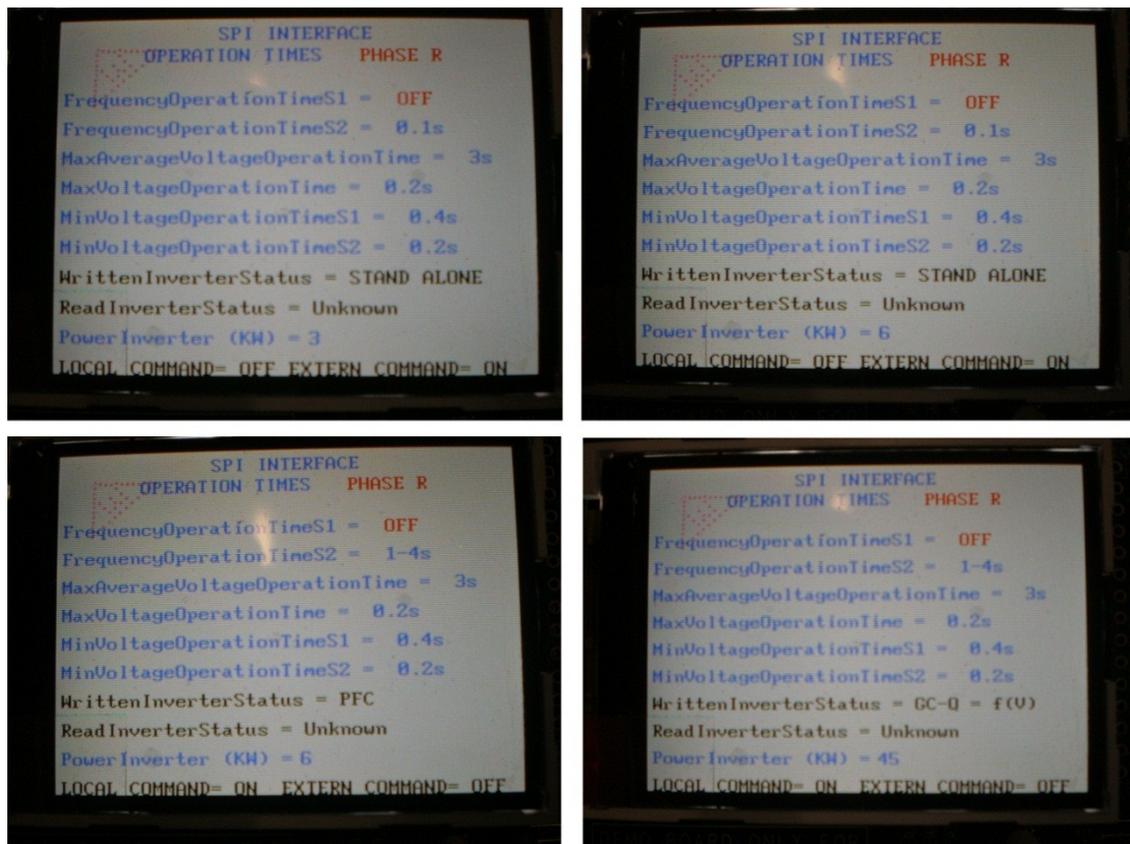


Fig. 97 Gestione dell'inverter a distanza e visualizzazione dei comandi sul display dpi

## 5.2 Prove sperimentali di comunicazione power line communication

Nella Fig. 22 é stata proposta una soluzione per l'implementazione delle tecniche di power line communication nelle reti di distribuzione MT. Tale soluzione prevede di installare un sistema di su entrambi i lati della connessione entra-esci [7]. Tale soluzione consente di mantenere il collegamento di comunicazione anche quando i sezionatori sono aperti, essendo previsto un sistema di accoppiamento ed un transceiver (rice-trasmettitore) a monte e a valle di ogni feeder MT. Come già accennato in precedenza, nel caso di linee in cavo, si preferisce, generalmente, l'iniezione di segnale anima-schermo a quella anima-anima, per la piú semplice modalit  di accoppiamento [29]. Nella configurazione anima-schermo, il segnale   iniettato fra l'anima di ogni cavo e lo schermo, che   connesso a terra alla fine di ogni linea.

Le misure sperimentali sono state condotte una porzione della rete di distribuzione dell'Isola di Ustica, nel mar Mediterraneo. Sono state scelte due cabine secondarie, chiamate Sidoti e Spalmatore, le quali sono connesse da una linea in cavo lunga 1.4 km, come indicato in Fig. 98.

La linea è costituita da tre cavi schermati unipolari MT di tipo RG7H1R con nucleo in alluminio con una sezione di 25 mm<sup>2</sup>. In entrambe le cabine Sidoti e Spalmatore è installato un trasformatore di potenza con rapporto nominale 20/0.4 kV/kV e potenza nominale rispettivamente di 100 e 160 kVA. Ogni cabina può essere configurata sia in connessione entra-esci che terminale. Il segnale viene trasmesso e ricevuto in ogni cabina da un transceiver STMicroelectronics ST7580 N-PSK, che è connesso ad un accoppiatore capacitivo fase-terra commerciale (prodotto da ADD Production S.r.l.).



*Fig. 98 Immagine dell'isola di Ustica in Sicilia, Italia. Percorso dei cavi di media tensione connessi a due cabine secondarie Sidoti e Spalmatore, che si possono apprezzare in figura.*

A titolo di esempio, in Fig. 99, è riportata una foto della cabina Spalmatore, in cui sono mostrati i quadri di distribuzione e la stazione di trasmissione PLC. In entrambe le cabine, l'accoppiatore capacitivo è connesso in parallelo ad una fase del trasformatore di potenza, così come mostrato in Fig. 100 (per la cabina Sidoti).

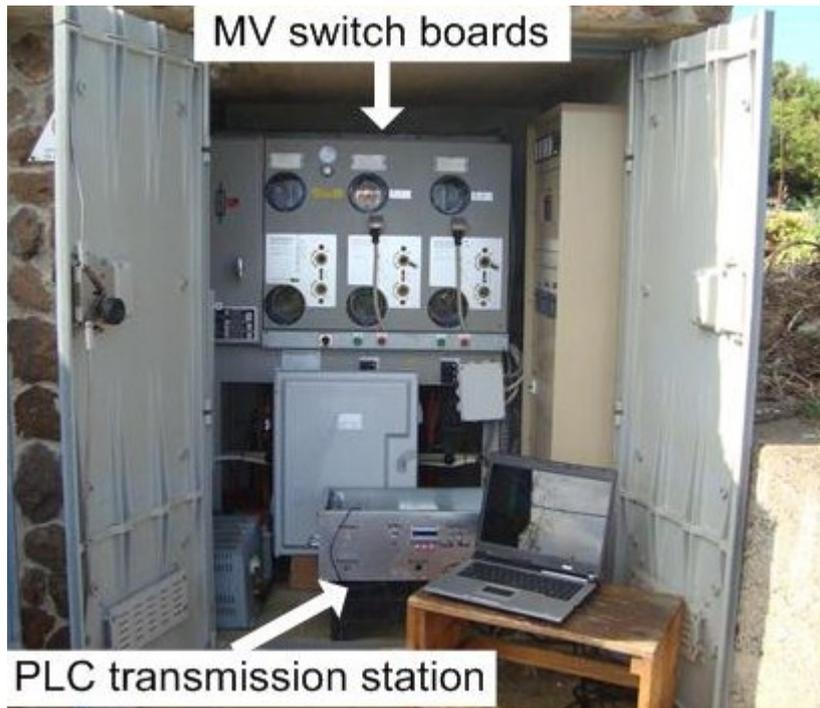


Fig. 99 Cabina Spalmatore. Quadri di distribuzione e stazione di trasmissione PLC

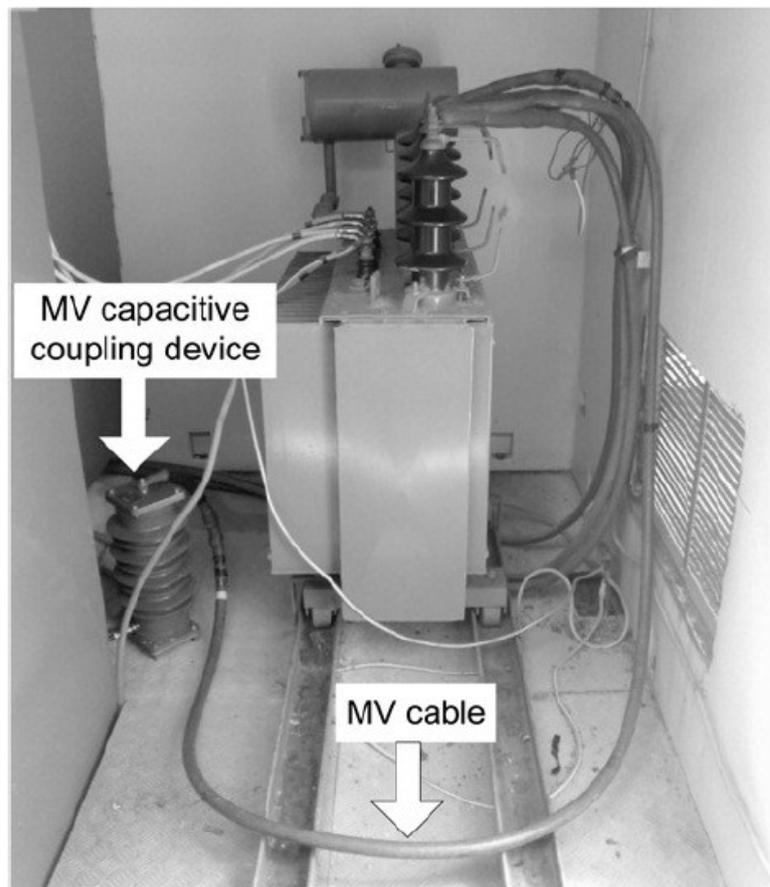


Fig. 100 Cabina Sidoti. Accoppiatore capacitivo connesso in parallelo ad una delle fasi del trasformatore

Il rice-trasmettitore utilizzato per le prove in campo è l'ST7580 che consente due diversi schemi di modulazione: una modulazione B-FSK fino a 9.6 kbps e una modulazione multimodale PSK fino a 28.8 kbps con una stima della qualità del canale, modalità di ricezione a doppio canale e un codice convolutivo. Nella Tabella 21 si riportano le tecniche di modulazione disponibili, insieme ai corrispondenti baud e bit rates.

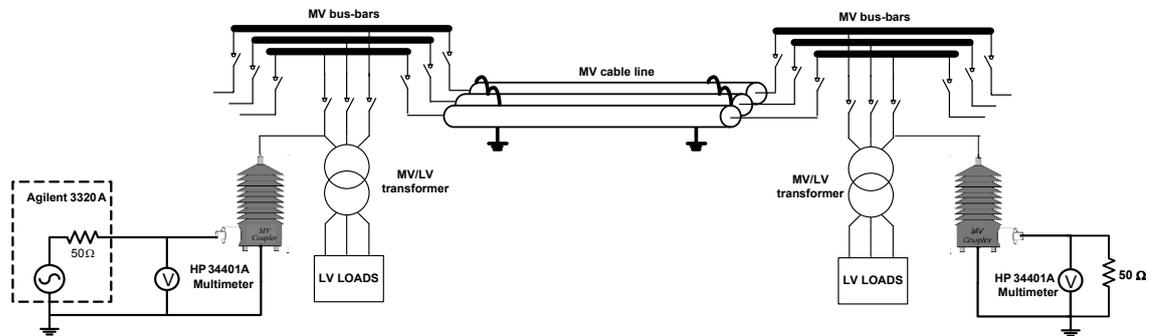
*Tabella 21*      *TECNICHE DI MODULAZIONE DISPONIBILI PER TRANSCEIVER ST7580*

<b>Modulation</b>	<b>Symbol rate [baud]</b>	<b>Information bits per symbol</b>	<b>Bit rate [bps]</b>
BPSK coded	9600	0.5	4800
QPSK coded	9600	1	9600
BPSK	9600	1	9600
QPSK	9600	2	19200
8PSK	9600	3	28800
BFSK	1200	1	1200
BFSK	2400	1	2400
BFSK	4800	1	4800
BFSK	9600	1	9600

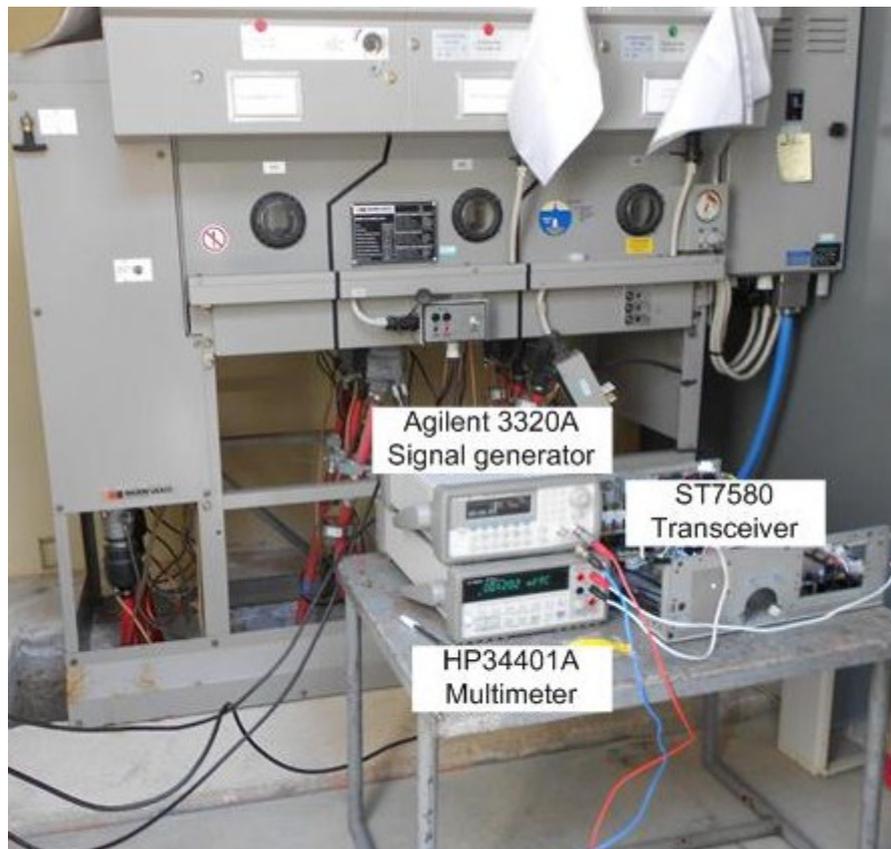
Le prove sperimentali nel tratto di linea descritto sono state eseguite anche allo scopo di verificare i risultati delle simulazioni ottenute con il modello descritto al capitolo 3. Le prove sperimentali hanno in primo luogo quindi previsto le misure di attenuazione fra il segnale trasmesso da una cabina e ricevuto dall'altra. L'attenuazione è stata misurata per differenti frequenza (nel raggio di frequenza di 50-150 kHz) e per diverse configurazioni di rete [29].

In tal modo è stato quindi possibile ottenere la migliore frequenza di trasmissione per il caso in esame. I test sono stati realizzati in presenza della media tensione, 24 kV. Per misurare l'attenuazione del canale di trasmissione fra due cabine secondarie è stato utilizzato lo schema di misura di Fig. 101. Il segnale è stato generato da un generatore di segnale Agilent 33220A ed è stato immesso nell'accoppiatore capacitivo MT installato in una delle due cabine. L'ampiezza del segnale viene misurato all'ingresso dell'accoppiatore capacitivo mediante un multimetro HP 34401A. Il segnale ricevuto viene misurato all'ingresso dell'altro accoppiatore capacitivo (nell'altra cabina) mediante un secondo multimetro HP 34401A. A titolo di esempio in Fig. 102 è mostrato il banco di misura realizzato in cabina Sidoti. Al fine di evitare errori di misura,

insieme al valore efficace della tensione è stata misurata anche la frequenza del segnale. In tal modo è stato possibile verificare che la misura RMS si riferisse al segnale di test sinusoidale e non ad un eventuale disturbo.



*Fig. 101 Rappresentazione schematica del set-up di misura realizzato sul campo*



*Fig. 102 Cabina Sidoti. Stazione di trasmissione PLC, generatore di segnale e multimetro per la caratterizzazione in frequenza del canale di trasmissione*

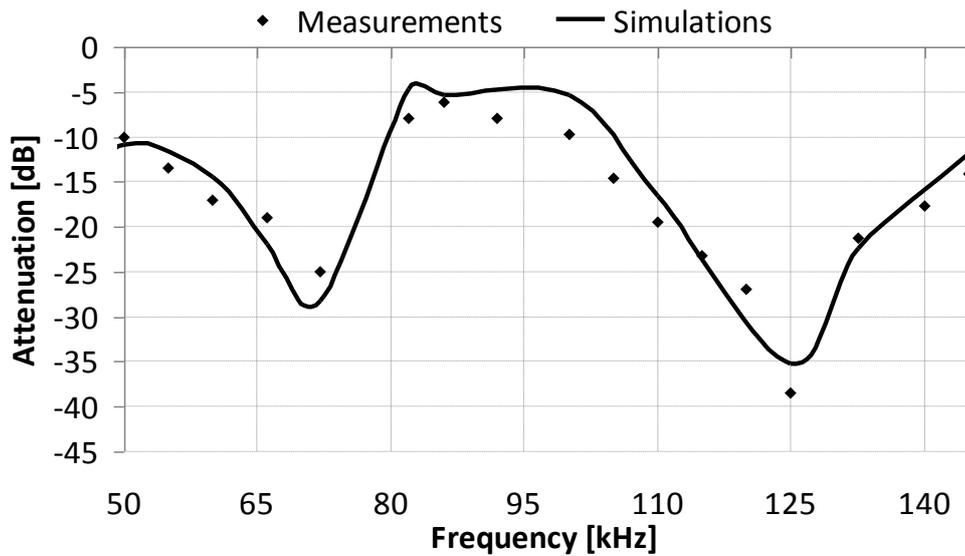


Fig. 103 Simulazione e risultati sperimentali con entrambe le cabine in configurazione entra-esci. Il segnale è stato trasmesso da Sidoti e ricevuto a Spalmatore

I test sono stati realizzati in diverse configurazioni di rete, agendo sui sezionatori sotto carico dei quadri di media tensione delle due cabine.

Ad esempio in Fig. 103 e Fig. 104 è mostrato il confronto tra i risultati di misura e di simulazione ottenuti nel caso in cui entrambe le cabine sono in connessione entra-esci. In particolare, la Fig. 103 si riferisce al caso in cui il segnale è trasmesso dalla cabina Sidoti e ricevuto dalla cabina Spalmatore, mentre la Fig. 104 al caso in cui il segnale è trasmesso dalla cabina Spalmatore e ricevuto dalla cabina Sidoti.

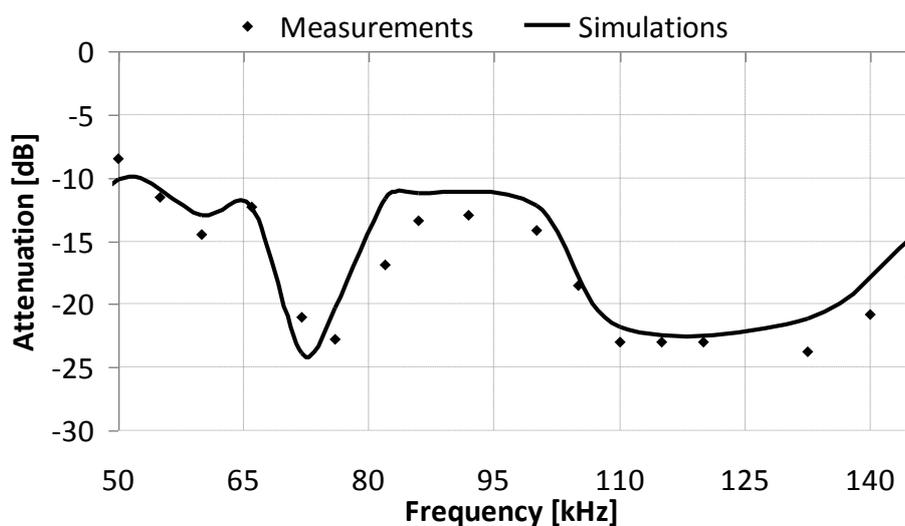


Fig. 104 Simulazione e risultati sperimentali con entrambe le cabine in configurazione entra-esci. Il segnale è stato trasmesso da Spalmatore e ricevuto a Sidoti

È stata testata una seconda configurazione di rete, aprendo il sezionatore della linea in partenza dalla cabina Spalmatore. La cabina Spalmatore è così diventata una cabina terminale, mentre la cabina Sidoti è stata mantenuta in connessione entra-esce. I risultati di misura e di simulazione sono confrontati in Fig. 105 e Fig. 106. Come è possibile notare nelle figure, gli andamenti delle simulazioni concordano sempre con i risultati sperimentali, con un massimo scostamento di 3dB confermando quindi l'affidabilità del modello sviluppato.

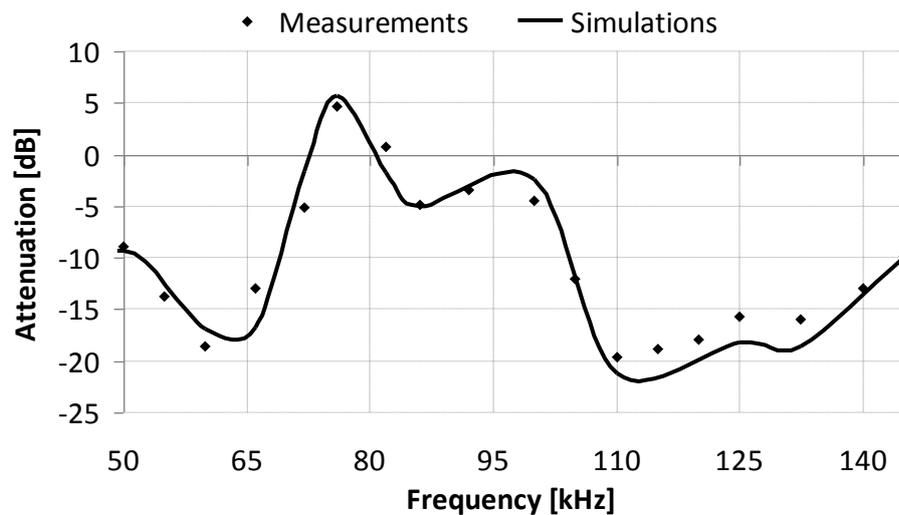


Fig. 105 Simulazione e risultati sperimentali con cabina Sidoti in configurazione entra-esce e Spalmatore in configurazione terminale. Il segnale è trasmesso da Sidoti e ricevuto a Spalmatore

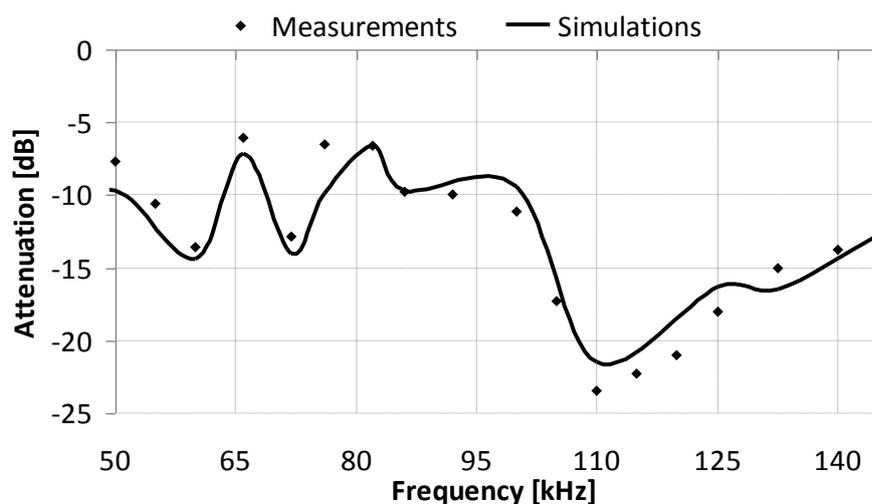


Fig. 106 Simulazione e risultati sperimentali con cabina Sidoti in configurazione entra-esce e Spalmatore in configurazione terminale. Il segnale è trasmesso da Spalmatore e ricevuto a Sidoti

Dai risultati sperimentali, si può inoltre osservare che l'attenuazione del canale dipende dalla frequenza di trasmissione e dalla configurazione di rete. Inoltre l'andamento dell'attenuazione è simile in entrambe le configurazioni di rete, ma un miglior comportamento di trasmissione è stato osservato quando il segnale viene trasmesso dalla cabina Sidoti alla Spalmatore. Questo differente comportamento è ragionevolmente dovuto, ad una lieve differenza fra i due accoppiatori capacitivi. Come previsto, i risultati ottenuti nel caso della connessione terminale sono migliori di quelli relativi alla connessione entra-esci; infatti, in quest'ultimo caso, il livello del segnale ricevuto è ridotto, a causa della presenza di due diramazioni (le linee in arrivo in una cabina ed in partenza dall'altra) che drenano parte del segnale. Purtroppo la connessione entra-esci è la condizione di rete che si incontra più di frequente. Infine, la dipendenza dalla frequenza dell'attenuazione del segnale è dovuto alla banda passante dell'accoppiatore scelto e al comportamento in frequenza della linea in cavo dipendente anche dalla lunghezza. Nel caso in esame si ha un contributo positivo sulla trasmissione del segnale nel range di frequenza fra 80 e 110 kHz [26]. Al fine di verificare la fattibilità della comunicazione e calcolare la migliore frequenza di trasmissione nel caso in esame, è stata realizzata una seconda campagna di test utilizzando due transceiver powerline ST7580 connessi agli accoppiatori capacitivi. Sono state considerate varie tecniche di modulazione con diversi bit rates, così come riportato in Tabella 22. Sono state prese in considerazione due frequenze centrali, 86 e 110 kHz. Le performance di trasmissione sono state valutate considerando la velocità di successo, ovvero la percentuale di pacchetti bit di informazioni ricevute, rispetto a quelle trasmesse. I risultati sperimentali sono riportati nella Tabella 22. Un 100% di probabilità di successo è stato ottenuto con tecniche di modulazione a basso bit rate (FSK, BPSK-coded e QPSK-coded), mentre una minore percentuale di successo è stata ottenuta quando si è aumentato il bit rate (QPSK e 8PSK). La migliore frequenza di trasmissione è stata ottenuta a 86 kHz. Tali risultati concordano con i precedenti risultati di attenuazione, poiché l'aumento del bit rate comporta una più ampia banda di frequenza e, così come osservato in precedenza, l'attenuazione peggiora al di fuori della banda di frequenza 80-100 kHz. Inoltre, questo risultato concorda anche con i risultati della simulazione e col comportamento in frequenza dell'accoppiatore capacitivo utilizzato. Infine, anche in questo caso si è sempre ottenuto una migliore trasmissione quando il segnale era trasmesso dalla cabina Sidoti verso la cabina Spalmatore piuttosto che viceversa (così

come precedentemente osservato dai risultati dell'attenuazione), mostrando la riproducibilità delle misure.

*Tabella 22*      *SUCCESS RATE IN TRASMISSIONE A DIVERSE FREQUENZE CON ENTRAMBE LE CABINE IN CONFIGURAZIONE ENTRA-ESCI*

Modulation technique	Frequency [kHz]	Transmission way	
		Sidoti → Spalmatore	Spalmatore → Sidoti
		Success rate	Success rate
FSK (4800 bps)	86	100%	100%
BPSK-coded	86	100%	100%
QPSK-coded	86	100%	100%
QPSK	86	98%	96%
8PSK	86	96%	94%
FSK (4800 bps)	110	100%	100%
BPSK-coded	110	100%	100%
QPSK-coded	110	100%	100%
QPSK	110	94%	92%
8PSK	110	90%	85%

## Conclusioni

In questa tesi è stata verificata la fattibilità di strategie di misura e comunicazione per lo sviluppo di un nuovo dispositivo di interfaccia per DG e la propria integrazione nella smart grid. Lo studio è stato effettuato nell'ottica di una evoluzione dell'attuale standardizzazione nel campo dell'integrazione dei DG nelle reti di distribuzione. Nello studio è stata posta particolare attenzione all'uso delle tecnologie PLC attraverso numerosi test sul campo che sono stati effettuati sulla rete dell'isola di Ustica. I risultati ottenuti mostrano dunque la possibilità di trasmettere con differenti tipologie di modulazione N-PSK, tra due cabine in configurazione entra-esci mantenendo un elevato success rate a diverse frequenze. È stato inoltre mostrato un modello completo della rete dell'isola di Ustica. I risultati di simulazione confermano la possibilità di impiegare le comunicazioni power line nel caso di connessione entra-esci nelle cabine secondarie. Grazie al modello sviluppato è possibile scegliere la migliore frequenza di trasmissione che dipende da vari parametri. Nel caso normale di lunghezza di cavo superiore a 1km a frequenza superiore a 85kHz, è possibile evitare interferenze con AMR, che lavora nel range tra 72 e 82kHz e trarre vantaggio dal comportamento positivo della linea in cavo.

Il corretto funzionamento del DPI riguardo le protezioni di tensione e frequenza è stato verificato tramite la misura dei tempi di intervento riportati nel paragrafo 8.6.2.1 - tabella 8 della norma CEI-021 del 06/2012. Infatti i suddetti tempi sono stati inferiori a quanto prescritto dalla norma. Inoltre il sistema ha segnalato le condizioni di superamento di soglia di minima frequenza, massima frequenza, massima tensione e minima tensione.

L'integrazione di un terzo dispositivo per l'analisi armonica ha permesso di comprendere i limiti dei dispositivi esaminati e le potenzialità del sistema STM32F4-discovery. Si prevede infatti di ottimizzare ulteriormente il codice e arrivare al di sotto della soglia minima per potere rendere online il sistema di protezione di interfaccia.

## Bibliografia

- [1] Europe 2020: A strategy for smart, sustainable and inclusive growth. Disponibile su <http://ec.europa.eu/eu2020/>
- [2] M. Delfanti, M. Merlo, V. Olivieri, A. Silvestri, Generazione diffusa: impatto attuale sulle reti e qualche prospettiva, AEIT, 2010.
- [3] M. Loddo, Pianificazione e Gestione delle reti di distribuzione attive, Università degli Studi di Cagliari
- [4] V. Mangano, D. G. Rivera, Smart Home. Efficienza energetica per tutti. Eidos, 2011, n. 3 pagg 28-32.
- [5] [http://www.enel.it/it-IT/reti/enel\\_distribuzione/qualita/progetti\\_smart\\_grids/](http://www.enel.it/it-IT/reti/enel_distribuzione/qualita/progetti_smart_grids/)
- [6] [http://www.fub.it/files/Green\\_ict.pdf](http://www.fub.it/files/Green_ict.pdf)
- [7] G. Artale, A. Cataliotti, V. Cosentino, D. Di Cara, R. Fiorelli, P. Russotto, G. Tinè: “Medium voltage smart grid: experimental analysis of secondary substation narrow band power line communication” – IEEE TRANSACTIONS ON INSTRUMENTATION AND MEASUREMENT. Volume 62, No 9, September 2013, pp. 2391-2398. ISSN 0018-9456. DOI 10.1109/TIM.2013.2270924
- [8] G. Artale, A. Cataliotti, V. Cosentino, D. Di Cara, N. Nguyen, G. Tinè: “Measurement and Communication Interfaces for Distributed Generation in Smart Grids” – Proceedings of AMPS 2013, IEEE International Workshop on Applied Measurements for Power Systems, Aachen, Germany, Sept. 25-27 2013. pp. 103-107. IEEE Catalog number CFP13AMS-CDR, ISBN: 978-1-4673-5573-5.
- [9] G. Artale, A. Cataliotti, V. Cosentino, D. Di Cara, R. Fiorelli, P. Russotto, G. Tinè: “Secondary substation power line communications for medium voltage smart grids” – AMPS 2012, IEEE International Workshop on Applied Measurements for Power Systems, Aachen, Germany, Sept. 26-28 2012. pp. 155-160. IEEE Catalog number CFP12AMS-CDR, ISBN: 978-1-4673-1539-5
- [10] CEI 0-21: Regola tecnica di riferimento per la connessione di Utenti attivi e passivi alle reti BT delle imprese distributrici di energia elettrica, disponibile su <http://www.ceiweb.it/>
- [11] <http://www.scribd.com/doc/3299960/5/Stazionari-Non-stazionari>
- [12] <http://www.robots.ox.ac.uk/~sjrob/Teaching/SP/17.pdf>

- [13] [http://en.wikipedia.org/wiki/Discrete\\_Fourier\\_transform#Spectral\\_analysis](http://en.wikipedia.org/wiki/Discrete_Fourier_transform#Spectral_analysis)
- [14] G. Artale: “Analisi spettrale con implementazione su FPGA” – Tesi specialistica in Ingegneria Elettronica – a.a. 2008/2009.
- [15] G. Artale, A. Cataliotti, V. Cosentino, D. Di Cara, G. Tinè: “Sistema di misura per l’analisi spettrale di segnali non stazionari: implementazione in VHDL per lo sviluppo di un prototipo su FPGA” – Rapporto Tecnico dell’ISSIA-CNR di Palermo – n. 403, Anno 2010.
- [16] G. Artale, A. Cataliotti, V. Cosentino: “Implementazione su FPGA di un sistema per l’analisi spettrale tramite CZT. Ottimizzazione e verifiche sperimentali” – Rapporto Interno del Dipartimento di Ingegneria Elettrica, Elettronica e delle Telecomunicazioni, di Tecnologie Chimiche, Automatica e Modelli Matematici dell’Università di Palermo – N. 1, Dicembre 2011.
- [17] G. Artale, A. Cataliotti, V. Cosentino, G. Privitera, “Caratterizzazione e metodi di riconoscimento degli arc faults per applicazioni in sistemi di bassa tensione”, XXX Congresso Nazionale del Gruppo di Misure Elettriche ed Elettroniche, Trento, 8-11 Settembre 2013. Pag. 215-216. ISBN: 978-88-8443-496-8.
- [18] System and Method for Fault Detection and hazard prevention in photovoltaic source and output circuits - U.S. Patent Application Publication No.: US 2009/0207543 A1 - Inventors: Tony Boniface, Bryan Weitzel
- [19] Photovoltaic Panel monitoring apparatus - U.S. Patent Application Publication No.: US 2011/0037600 A1 - Inventors: Toru Takehara, Shinichi Takada
- [20] String and system employing direct current electrical generating modules and a number of string protectors - U.S. Patent Application Publication No.: US 2011/0090607 A1 - Inventors: Charles J. Luebke, Jerome K. Hastings, Birger Pahl, Joseph C. Zuercher, Robert Yanniello
- [21] Jay Jolmson, Michael Montoya, Scott McCalmont, Gil Katzir, Felipe Fuks, Justis Earle, Armando Fresquez, Sigifredo Gonzalez, Jennifer Granata - Differential Series and parallel Photovoltaic Arc Faults - IEEE 2011
- [22] Direct current arc fault circuit interrupter, direct current arc fault detector, noise blanking circuit for a direct current arc fault circuit interrupter, and method of detecting arc faults - U.S. Patent Application Publication No.: US 2011/0141644 A1 - Inventors: Jerome K. Hastings, Birger Pahl, Joseph C. Zuercher, Brian Thomas Pier, Edward T. Gisske

- [23] Method and apparatus for detection and control of dc arc faults - U.S. Patent Application Publication No.: US 2011/0019444 A1 - Inventors: Marv Dargatz, Martin Fornage
- [24] A. Cataliotti, A. Daidone, G. Tinè, "A Medium Voltage Cable model for Power Line Communication", *IEEE Transactions on Power Delivery*, vol. 24, n. 1, pp. 129 – 135, January 2009.
- [25] A. Cataliotti, V. Cosentino, D. Di Cara, G. Tinè, "Oil-Filled MV/LV Power-Transformer Behavior in Narrow-Band Power-Line Communication Systems," *IEEE Transactions on Instrumentation And Measurement*, vol. 61, no. 10, pp. 2842-52, Oct. 2012, ISSN 0018-9456.
- [26] A. Cataliotti, A. Daidone, G. Tinè, "Power line communications in Medium Voltage system: Characterization of MV cables", *IEEE Transactions on Power Delivery*, vol. 23, n. 4, October 2008
- [27] G. Artale, A. Cataliotti, V. Cosentino, D. Di Cara, P. Russotto, G. Tinè: "Comportamento dei trasformatori MT/bt in sistemi di comunicazione power line. Caratterizzazione e modellizzazione", *Atti del XXIX Congresso Nazionale del Gruppo nazionale di Misure Elettriche ed Elettroniche*, Monopoli, 2-5 Settembre, 2012, pp. 251-252, ISBN 978-88-548-5000-2.
- [28] A. Cataliotti, D. Di Cara, R. Fiorelli, G. Tinè: "Power-Line Communication in Medium Voltage System: Simulation Model and Onfield Experimental Tests", *IEEE Transactions on Power Delivery*, Vol. 27, No.1, Gennaio 2012.
- [29] G. Artale, A. Cataliotti, V. Cosentino, D. D. Cara, R. Fiorelli, P. Russotto, and G. Tin`e, "Secondary substation power line communications for medium voltage smart grids," in Proc. IEEE Int. Workshop Appl. Meas. Power Syst., Aachen, Germany, Sep. 2012, pp. 155–160.
- [30] P. A. A. F. Wouters, P. C. J. M. van der Wielen, J. Veen, P. Wagenaars, and E. F. Steennis, "Effect of cable load impedance on coupling schemes for MV power line communication," *IEEE Trans. Power Del.*, vol. 20, no. 2, pp. 633–645, Jun. 2005.
- [31] CEI EN 50065-1, "Trasmissione di segnali su reti elettriche a bassa tensione nella gamma di frequenze da 3 kHz a 148,5 kHz", Seconda edizione, 2002-07.
- [32] <http://www.xilinx.com/products/boards-and-kits/DO-SD1800A-DSP-SK-UNI-G.htm>
- [33] [http://www.st.com/web/catalog/sense\\_power/FM1968/SC923/PF130228](http://www.st.com/web/catalog/sense_power/FM1968/SC923/PF130228)
- [34] [http://www.st.com/web/catalog/sense\\_power/FM1968/SC923/SS1647/PF247185](http://www.st.com/web/catalog/sense_power/FM1968/SC923/SS1647/PF247185)

- [35] Atollic TrueSTUDIO, informazioni disponibili su <http://www.atollic.com>
- [36] <http://www.bloodshed.net/>
- [37] STEVAL-IPP001V2 Schematic diagrams, STMicroelectronics.
- [38] <http://www.st.com/web/catalog/tools/FM116/SC959/SS1532/PF252419>
- [39] [http://it.wikipedia.org/wiki/Raspberry\\_Pi](http://it.wikipedia.org/wiki/Raspberry_Pi)