

# Schlussbericht

---

**Zuwendungsempfänger:**

IHP-GmbH Frankfurt (Oder)

**Förderkennzeichen:**

01 BU 0654

---

**Vorhabensbezeichnung:**

Netz der Zukunft-MxMobile (Multi-Standard Mobile Platform)

Teilvorhaben: Frequenzagile Synthesizer für rekonfigurierbare Basisstationen und  
Unterauftrag "Kalte Endstufe" (RWTH Aachen)

---

**Laufzeit des Vorhabens:**

01.03 2006 bis 28.02.2009

---

**Berichtszeitraum:**

01.03 2006 bis 28.02.2009

---

2. Sept. 2009

---

Dr.-Ing. J. Christoph Scheytt



**RWTH**AACHEN  
UNIVERSITY

GEFÖRDERT VOM



Bundesministerium  
für Bildung  
und Forschung

# **Inhaltsverzeichnis**

1	Projektkurzdarstellung .....	3
1.1	Aufgabenstellung .....	3
1.2	Voraussetzungen .....	3
1.3	Planung und Ablauf des Auftrags .....	3
1.4	Wissenschaftlicher und technischer Stand .....	5
1.5	Zusammenarbeit mit anderen Stellen .....	6
2	Erzielte Ergebnisse .....	6
2.1	Verwendung der Zuwendung .....	6
2.2	Zielsetzungen zum Teilprojekt „Frequenzagiler Synthesizer“ .....	6
2.3	Zielsetzungen des Unterauftrags „Kalte Endstufe“ .....	7
2.4	Ergebnisse des Teilprojekts „Frequenzagiler Synthesizer“ .....	7
2.5	Ergebnisse des Unterauftrags „Kalte Endstufe“ .....	18
2.6	Erfordernis und Angemessenheit der geleisteten Arbeit .....	29
2.7	Voraussichtlicher Nutzen und Verwertbarkeit des Ergebnisses .....	29
2.8	Bekannt gewordener Fortschritt im Projektzeitraum .....	30
2.9	Erfolgte und Geplante Veröffentlichungen .....	30
3	Literaturverweise .....	33

# 1 Projektkurzdarstellung

## 1.1 Aufgabenstellung

Das IHP hatte im vorliegenden Teilvorhaben die Aufgabe, für einen frequenzagilen Multiband-/Multistandard-Synthesizer ein Konzept für die Frequenzerzeugung zu erarbeiten, eine Architektur zu entwerfen, simulativ zu untersuchen und zu optimieren und diese dann als integrierte Schaltung zu entwickeln und zu demonstrieren. Zielstellung war, wenn möglich, eine vollintegrierte Lösung zu erreichen, die die anspruchsvollen Spezifikationen der Basisstation einhält. Der Frequenzsynthesizer sollte in einem bestehenden Multiband-/Multistandard-Basisstation-Demonstrator integriert werden.

Die RWTH Aachen führte in einem Unterauftrag Forschungsarbeiten an einem neuartigen Leistungsverstärker nach dem CLIER-Prinzip (Unterauftrag „Kalte Endstufe“) durch.

## 1.2 Voraussetzungen

Für die Synthesizer-Arbeiten konnte auf Erfahrung aus anderen Synthesizer-Entwicklungen in der Abteilung Circuit Design des IHP zurückgegriffen werden, die sowohl Oszillator- und Synthesizer-IC-Entwicklungen [1]-[6] als auch mathematische Untersuchungen zum Phasenrauschverhalten von Synthesizern umfassen [7].

Als Zieltechnologien standen die Halbleitertechnologien des IHP zur Verfügung (BiCMOS und CMOS-Technologien mit 0.13  $\mu\text{m}$  bis 0.25  $\mu\text{m}$  Strukturgrößen) [8]. Des Weiteren hat das IHP umfangreiche Messmöglichkeiten eingesetzt, zu denen Waferprober, S-Parameter-Messplätze und insbesondere auch ein Phasenrauschmessplatz PN9000 der Fa. Aeroflex zählt.

Das Projekt wurde von einem Doktorand (Sabbir Osmany), sowie Dr. Schmalz und Dr. Scheytt (Projektleitung) bearbeitet. Zur Diskussion der technischen Spezifikationen und Ergebnisse standen die Firmen Lucent und Alcatel und nach deren Fusion Alcatel-Lucent zur Verfügung. Die aktiv beteiligten Mitarbeiter waren hier Georg Fischer, Gerhard Kaminski, Wolfgang Eckl und Heinz Schlesinger.

Für den Unterauftrag „Kalte Endstufe“ lag eine Patentanmeldung zum CLIER-Prinzip vor [20], die mittlerweile als Patent erteilt ist. An der RWTH liegt umfangreiche Erfahrung in der Entwicklung von Leistungsverstärkern für Mobilfunkanwendungen vor. Des Weiteren sind geeignet ausgestattete Labore zur Validierung der Entwicklung vorhanden.

## 1.3 Planung und Ablauf des Auftrags

Das Vorhaben war in 6 Arbeitspakete unterteilt:

**AP-1:** Architekturuntersuchungen und Definition der erreichbaren Spezifikationen

**AP-2:** Simulation und numerische Optimierung der VCOs und PLLs

**AP-3:** Simulation verschiedener Synthesizerarchitekturen

**AP-4:** Design der Teilkomponenten

**AP-5:** Design des Synthesizers und Messung

**AP-6:** Integration in den RMS-Demonstrator

Die geplanten Meilensteine sind in der nachfolgenden Tabelle beschrieben:

**Tabelle 1: Meilensteine des Vorhabens**

Monat	AP	Meilenstein
03/2006		Beginn
06/2006	AP-1 AP-2 AP-4	Vorläufige Spezifikation in Abstimmung mit Alcatel und Lucent 1. Spezifikation und 1. Version von entsprechenden Synthesizer-Architekturen Tapeout: VCO, PLL-Komponenten
12/2006	AP-3 AP-4	2. Version von Synthesizer-Architektur Tapeout: VCO, PLL-Komponenten, rekonfig. Prescaler
06/2007	AP-3 AP-5	3. Version von Synthesizer-Architektur Tapeout: 1. Version für agilen Frequenzsynthesizer
12/2007	AP-5	Tapeout: 2. Version für agilen Frequenzsynthesizer
06/2008	AP-3 AP-6	Simulation des Frequenzsynthesizer für RMS-Demonstrator Tapeout: Agiler Frequenzsynthesizer für RMS-Demonstrator
12/2008	AP-6	Leiterplatten für Integration in RMS-Demonstrator fertig und bestückt Integration in den RMS-Demonstrator erfolgreich getestet
02/2009		Vorhabensende

Die Zeitplanung der Meilensteine erwies sich als realistisch und wurde weitgehend mit kleinen Abweichungen von wenigen Monaten (früher bzw. später) eingehalten. Die finale Architektur des Synthesizers wurde Mitte 2007 festgelegt. Im Jahr 2007 wurden mehrere komplette Synthesizer-ICs zum tape-out gebracht. Ein erster weitgehend funktionierender, frequenzagiler Synthesizer stand nach dem tape-out (Dezember 2007) dann im April 2008 für Tests zur Verfügung. Dieser wurde Synthesizer wurde nochmals modifiziert, gefertigt, auf eine mit Alcatel-Lucent vereinbarte Testplatine montiert und dann im Sept. 2008 an Alcatel-Lucent Nürnberg zum Einbau in den RMS-Demonstrator übersandt. Noch vor Ende des Jahres 2008 wurden erfolgreiche Tests im RMS-Demonstrator durchgeführt. Die verbleibende Zeit bis zum Ende des Projekts wurde von IHP weitere Verbesserungen am Synthesizer-Chip verwendet.

Über den Verlauf des Teilprojekts wurden halbjährlich Workshops abgehalten. Diese Workshops wurden von IHP terminlich und inhaltlich koordiniert, wobei verschiedene Partner als Gastgeber auftraten. Wenn notwendig wurden zusätzlich Telefonkonferenzen durchgeführt. Bei den Treffen wurde der Status des Frequenzsynthesizers und des CLIER-PAs in jeweils einem Vortrag vorgestellt und diskutiert. Überdies wurde jeweils ein zusätzlicher wissenschaftlicher Vortrag aus einem verwandten Forschungsgebiet oder

Forschungsvorhaben gehalten, was sich als fruchtbringende Ergänzung für die Diskussion erwies. Folgende reguläre Treffen wurden abgehalten:

- 17. Mai 2006 Kick-off-Meeting in Berlin, Phönix Gründerzentrum
- 29. Nov. 2006 Statusmeeting / Workshop in Nürnberg, Lucent Technologies
- 14. Mai 2007 Statusmeeting / Workshop in Berlin, Phönix Gründerzentrum
- 21. Jan. 2008 Statusmeeting / Workshop in Nürnberg, Lucent Technologies
- 22. Juli 2008 Statusmeeting / Workshop in Erlangen, Friedrich-Alexander Universität
- 18. Feb. 2009 Abschlussmeeting in Stuttgart, Alcatel-Lucent

Darüberhinaus wurden - neben der gewöhnlichen Kommunikation per Telefon und Internet - nach Bedarf Telefonkonferenzen durchgeführt.

#### **1.4 Wissenschaftlicher und technischer Stand**

Als verwendete Fachliteratur dienten insbesondere internationale Veröffentlichungen in Journalen und auf Konferenzen. Besonders der on-line Zugang zu IEEE Veröffentlichungen über IEEE Xplore hat sich hier als wichtig herausgestellt. Für wissenschaftliche Recherchen wurden weiterhin Google Scholar und ähnliche Dienste benutzt. Des Weiteren wurde für die Recherche von Datenblättern kommerzieller Synthesizer gewöhnliche Suchmaschinen verwendet.

Zu Beginn des Projektes gab es keine integrierten Synthesizer, die einen derartig weiten Frequenzbereich lückenlos umspannten. Demgegenüber gab es aber einen vollintegrierten Synthesizer (National LMX2531, [9]), der den Betrieb mit 2 Frequenzbändern ermöglichte, und in verschiedenen Versionen für verschiedene Frequenzbänder angeboten wurde. Techniken für integrierte Breitband-Oszillatoren wurden in mehreren Veröffentlichungen untersucht [6],[10] - [12]. Im Verlauf des Projektes gab es dann Breitband-Frequenz-synthesizeraktivitäten anderer Institutionen im industriellen und Forschungsbereich.

Viele konkrete Parameter der Spezifikation von Multi-Standard-Synthesizern ergeben sich nicht direkt aus den veröffentlichten Mobilfunkstandards, sondern aus vertraulichen Informationen über Systemarchitekturen von Basisstationen und Terminals. Eine weitere wichtige wissenschaftliche Basis für die Arbeit war daher das Know-how der Firmen Lucent und Alcatel im Bereich kommerzieller Basisstationen, sowie Vorarbeiten am RMS-Synthesizer, aus denen konkrete quantitative Zielstellungen erarbeitet werden konnten.

Der Unterauftrag „Kalte Endstufe“ hatte zum Ziel, das CLIER-Prinzip, das von der RWTH Aachen erfunden wurde, zu untersuchen und zu verifizieren. Wegen der Neuheit des Konzepts gab es keine vergleichbaren Arbeiten. Das Prinzip stellt allerdings ein konkurrierendes Prinzip zu anderen bekannten Verfahren dar, wie z.B. Polar Loop, Envelope Tracking, Class-S und Doherty, an dem es sich im Ergebnis messen lassen muss.

Für Patentrecherchen war der Zugang zum Archiv des Deutschen Patent- und Markenamts in München vorteilhaft [13]. Bis auf das Patent der RWTH [20] wurden keine Schutzrechte für die Durchführung des Projekts benutzt.

## **1.5 Zusammenarbeit mit anderen Stellen**

Im Verbundprojekt MxMobile arbeiteten insgesamt 13 Partner zusammen. Mit Bezug auf die Konsortialpartner war die technisch-wissenschaftliche Kooperation mit Lucent und Alcatel (später Alcatel-Lucent) und RWTH am intensivsten. Des weiteren bestand regelmäßiger Kontakt zum Konsortialführer Infineon.

Des weiteren ergab sich wichtige Querverbindungen zu anderen Projekten, die im IHP durchgeführt wurden, insbesondere:

- Projekt SiMS in Zusammenarbeit mit der ESA (19 GHz Delta-Sigma Fractional-N Synthesizer in SiGe BiCMOS Technologie für Satellitenkommunikation)
- Projekt 30-20 in Zusammenarbeit mit der ESA (10 GHz Delta-Sigma Fractional-N Synthesizer in SiGe BiCMOS Technologie für Satellitenkommunikation)
- Projekt SSSI in Zusammenarbeit mit dem DLR (10 GHz Delta-Sigma-Fractional-N Synthesizer) als Anschlussprojekt an das Projekt 30-20

Die wissenschaftlichen Diskussionen und Erfahrungen mit Partnern (Kayser-Threde, IMST, Saab Space, ESA) im Rahmen dieser Projekte konnten nutzbringend für das vorliegende Projekt eingesetzt werden.

## **2 Erzielte Ergebnisse**

### **2.1 Verwendung der Zuwendung**

Die Zuwendung wurde vom IHP für die Entwicklung eines frequenzagilen Synthesizers für rekonfigurierbare Basisstationen und im Rahmen eines Unterauftrags vom Lehrstuhl für Hochfrequenztechnik der RWTH Aachen für die Entwicklung eines neuartigen effizienten Leistungsverstärkers nach dem CLIER-Prinzip verwendet.

### **2.2 Zielsetzungen zum Teilprojekt „Frequenzagiler Synthesizer“**

Rekonfigurierbare Basisstationen für Multi-Standard-, Multi-Band-Systeme benötigen frequenzagile Frequenzsynthesizer mit sehr großen Frequenzbereich. Der Frequenzsynthesizer sollte die Funkverfahren GSM, GSM Multi-Carrier, CDMA, W-CDMA, W-CDMA Multi Carrier, WiMax, LTE bedienen, was 700 MHz bis 4.4 GHz entspricht. Gefordert waren überdies ein sehr niedriges Phasenrauschen, niedrige Störfrequenzen und ein möglichst hohem Integrationsgrad. Die genauen Phasenrausch- und Störfrequenzspezifikationen sind vertrauliche Informationen der Basisstation-Hersteller und können hier nicht genannt werden. Als Zieltechnologie wurde eine 0.25  $\mu\text{m}$  SiGe BiCMOS Technologie des IHP ausgewählt.

Für diese Ziele sollte eine entsprechende Spezifikation für einen Synthesizer erarbeitet und eine geeignete Architektur entwickelt werden. Ausgehend von den Vorhabenszielen waren Simulation eines Synthesizers für rekonfigurierbare Multi-Standard Basisstationen durchzuführen. Es sollten dann geeignete Synthesizer-Komponenten entwickelt werden, worauf schließlich eine Realisierung des Synthesizers in der SiGe BiCMOS Technologie des IHP erfolgen sollte. Der Nachweis der Eignung des Synthesizers soll dann durch Demonstration in dem bereits vorhandenen RMS Demonstrator erbracht.

### **2.3 Zielsetzungen des Unterauftrags „Kalte Endstufe“**

Ziel des Projektes war die Untersuchung eines Konzeptes zur linearen Verstärkung breitbandiger Signale mit hohem Wirkungsgrad. Eine auf der Kombination von LINC (Linear Amplification with Nonlinear Components) und EER (Envelope Elimination and Restoration) basierende Verstärkerarchitektur wurde entwickelt und umgesetzt.

Für diese Zielsetzungen sollte zunächst eine **simulative Analyse des CLIER-Konzepts** durchgeführt werden. Danach sollte ein **Konzept für den Demonstrator** entwickelt werden und die **Demonstratorkomponenten** (E-Klasse-Verstärker, Einhüllendenverstärker, Leistungsadditionsnetzwerk m. Recycling) entworfen und getestet werden. Schließlich soll der komplette Demonstrator aufgebaut und der **Test des Demonstrators** in einer geeigneten Messumgebung durchgeführt werden.

### **2.4 Ergebnisse des Teilprojekts „Frequenzagiler Synthesizer“**

#### **Spezifikationen**

Lucent und Alcatel erarbeiteten bis Ende Juli 2006 zwei vorläufige Spezifikationen des Synthesizers. Diese Spezifikationen wurden vom IHP zu Untersuchungen hinsichtlich Architekturauswahl und Spezifikation von PLL-Komponenten verwendet. Die von Lucent erarbeitete Spezifikation (RMS-Spezifikation) orientiert sich an den Anforderungen des RMS-Demonstrators, in dem der Synthesizer gegen Ende des Projekts demonstriert werden soll. Die von Alcatel erarbeitete Spezifikation orientierte sich an der internen Synthesizer-Spezifikation für Multi-Standard-Basisstation-Produkte von Alcatel.

#### **Architektur**

IHP hat Architekturuntersuchungen auf Basis der vorläufigen Spezifikationen vorgenommen. Verschiedene Architekturen wurden untersucht und verglichen:

- Delta-Sigma-Fractional-N-PLL
- Integer-N-PLL
- Dual-Integer-N-PLL mit Frequenzmischung
- Integer-N-PLL mit digitaler Modulation/Demodulation

Es stellte sich heraus, dass erst eine gemeinsame Untersuchung von System- und Synthesizer-Architektur eine optimale Lösung hervorbringen kann. Ausgewählt wurde die Integer-N-PLL mit digitaler Modulation bzw. Demodulation mittels eines numerical-controlled oscillators (NCO) im Basisband und moderatem Teilverhältnis N des Synthesizers (s. Abb. 1 ). Dies erfordert eine superheterodyne Transceiver-Architektur mit digitaler Zwischenfrequenz. Diese Architektur stellt die optimale Wahl hinsichtlich der Parameter Frequenzschrittweite, non-harmonic Spur-Level und Phasenrauschen dar.

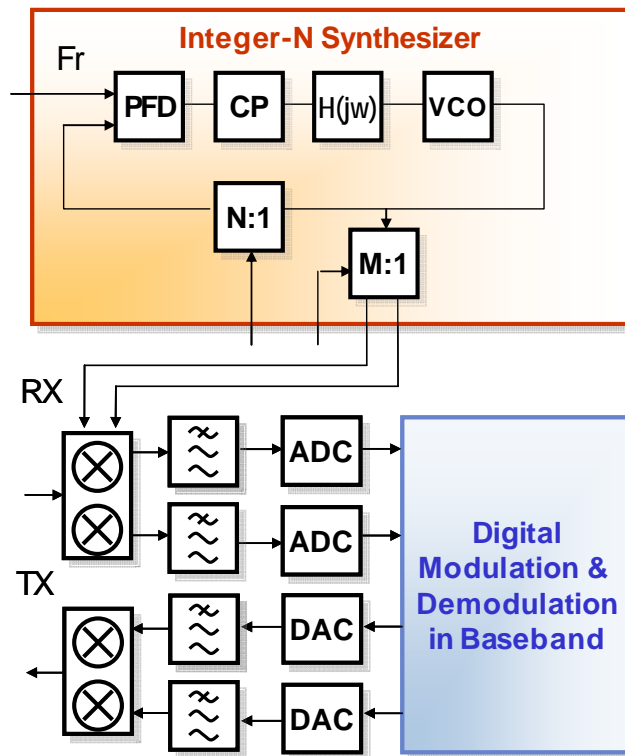


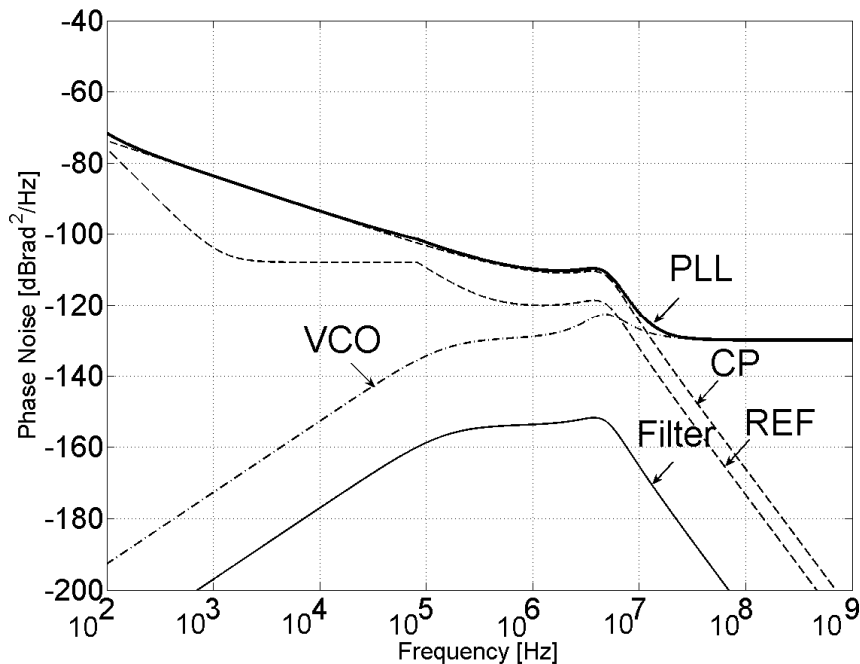
Abb. 1 Transceiver- und Synthesizer-Architektur

### **Simulationen des Synthesizers**

Zur Evaluierung verschiedener Architekturoptionen und Vergleich mit den Spezifikationen wurde am IHP ein Simulationstool auf Basis von Matlab entwickelt, das es erlaubt, die verschiedenen Architekturansätze des frequenzagilen Synthesizers zu modellieren und geforderte Spezifikationen mit realistischen Komponentenparametern zu simulieren. Die Rauschmodellierung des Simulationstools berücksichtigt die Rauschbeiträge des externen Quarzoszillators, der Ladungspumpe, des Schleifenfilters und des VCOs (s. Abb. 2). Die zugehörige Theorie wurde von Hr. Osmany erarbeitet und in [14], [15] publiziert.

Das Vorhaben zielte auf einen vollintegrierten Synthesizer. Dabei ist die kritischste Komponente der vollintegrierte spannungsgesteuerte Oszillator (VCO). IHP's Simulation der vorläufigen Spezifikation von Alcatel zeigten, dass die Anforderungen an das Phasenrauschen des Synthesizer eine vollintegrierte Realisierung des VCOs unrealistisch erscheinen liessen. Die Spezifikation von Lucent (RMS-Spezifikation) dagegen konnte auch mit vollintegriertem VCO eingehalten werden.





**Abb. 2 Ausgabe des Matlab-basierten PLL-Simulations-Tools**

Ein Vergleich mit der Literatur zeigte, dass die vollintegrierten SiGe VCOs des IHP hinsichtlich Phasenrauschen dem Stand der Technik entsprechen bzw. ihn teilweise übertreffen. Somit konnte das Phasenrauschen der Alcatel-Spezifikation allenfalls mittels eines VCO-Moduls, d.h. mit externem VCO, erreicht werden. Für die übrigen PLL-Komponenten und ihre integrierte Realisierung ergaben die Simulationen realistische Werte, die auch mit einer integrierten Realisierung beide Spezifikationen erreichbar erscheinen ließen. In Absprache mit den Partnern wurde als ambitionierte Zielsetzung vereinbart, eine vollintegrierte Lösung zu realisieren und das bestmögliche Phasenrauschen zu erreichen.

Im Ergebnis der Simulationen wurde als optimale Architektur die in Abb. 3 gezeigte Architektur ausgewählt. Die PLL-Architektur zeigt einen Integer-N Synthesizer mit sehr hochfrequentem VCO (20 bis 28 GHz), Prescaler (:2) und M-Teiler.

Die Wahl der hohen VCO-Frequenz wurde durch die folgenden Überlegungen motiviert:

- Optimale Resonatorgüten (integrierte Spule mit integriertem Varaktor) lassen sich in den Technologien des IHP zwischen etwa 20 und 30 GHz erreichen.
- Mittels Frequenzteilung lässt sich eine Verbesserung des Phasenrauschens von  $20 \cdot \log(K)$  erreichen, wobei K das Frequenzteilungsverhältnis ist. Eine Halbierung der Frequenz verbessert also das Phasenrauschen um 6 dB.

Die hohe VCO-Frequenz und die zusätzlichen Teiler erhöhen die Verlustleistung des Synthesizers. Dies stellt aber nur einen geringen Nachteil dar, da die Anwendung des Synthesizers in der Basisstation erfolgt, d.h. kein Batteriebetrieb vorliegt.

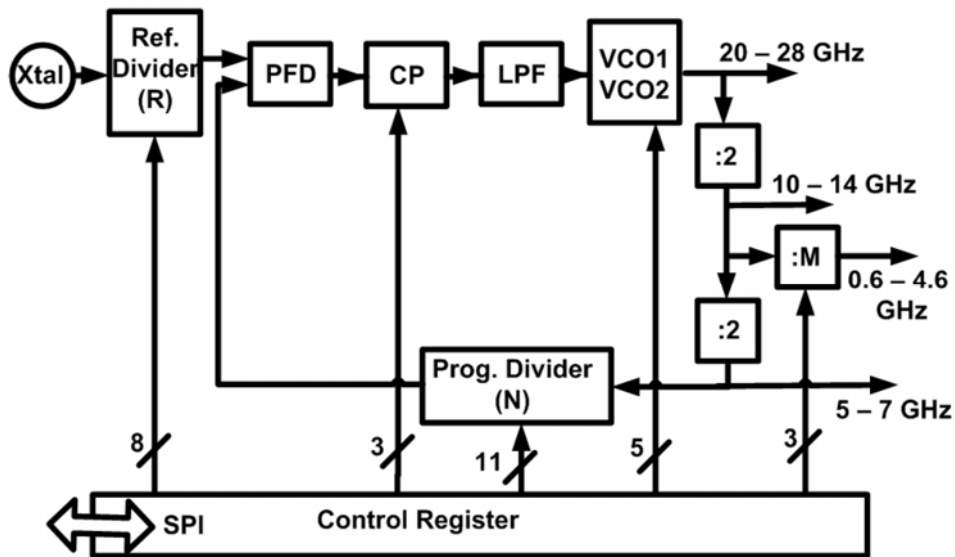
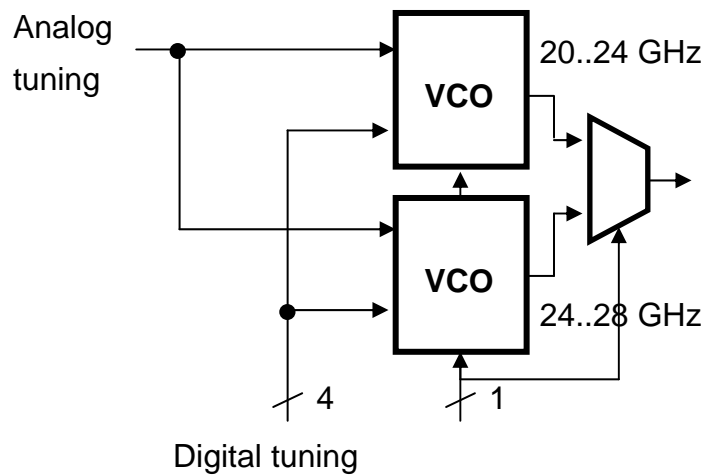


Abb. 3 Architektur des frequenzagilen Synthesizers

### Synthesizer-Komponenten

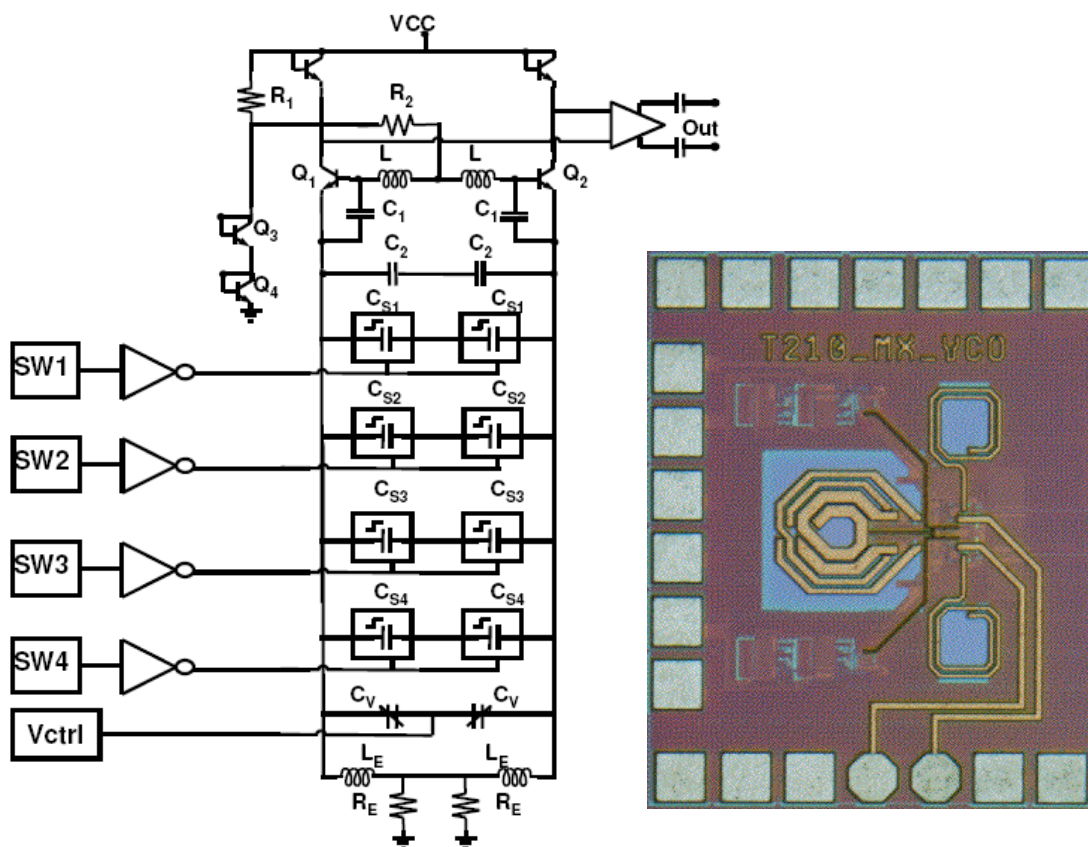
Die kritischste Komponente des Synthesizers ist der integrierte VCO. Der wesentliche Zielkonflikt im Entwurf ist hier Verstimmbereich vs. Phasenrauschen. Ein hoher Verstimmbereich erhöht das Phasenrauschen des VCOs, ein niedriger Verstimmbereich ist kontraproduktiv hinsichtlich der Zielspezifikation. 3 Maßnahmen ermöglichten eine optimale Lösung:

1. Die hohe VCO-Frequenz ermöglicht es, dass der VCO keine volle Oktave Verstimmbereich erreichen musste (20 bis 28 GHz, statt 14 bis 28 GHz). Dies wird möglich durch M-Teiler-Verhältnisse von :2, :3, :4 etc.
2. Zur Erreichung der 20 bis 28 GHz werden 2 VCOs mit 20 bis 24 und 24 bis 28 GHz Verstimmbereich (s. Abb. 4).
3. Jeder der beiden VCOs kann über 16 digital geschaltete Bänder und einen analogen Verstimmungseingang in der Frequenz gesteuert werden. Dadurch kann der analoge Verstimmungseingang mit geringem Verstimmbereich (0.5 bis 1 GHz) ausgelegt werden. Dies reduziert das Phasenrauschen des VCOs.

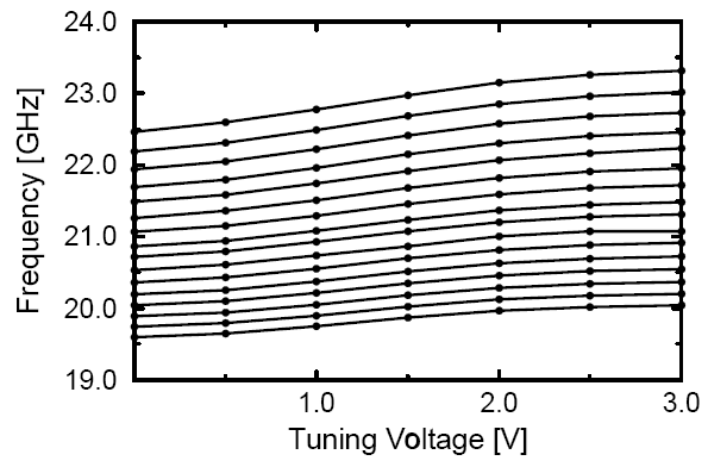


**Abb. 4 Doppel-VCO mit 4 bit Band-Umschaltung und 1 bit VCO-Umschaltung**

Abb. 5 zeigt das Schaltbild und Layout-Foto eines der beiden VCOs. 4 Varaktoren werden mit digitalen Signalen (SW1 bis SW4) geschaltet. Ein Varaktor wird mit analoger Verstimmspannung gesteuert. Eine genauere Beschreibung des VCOs findet sich in [16].



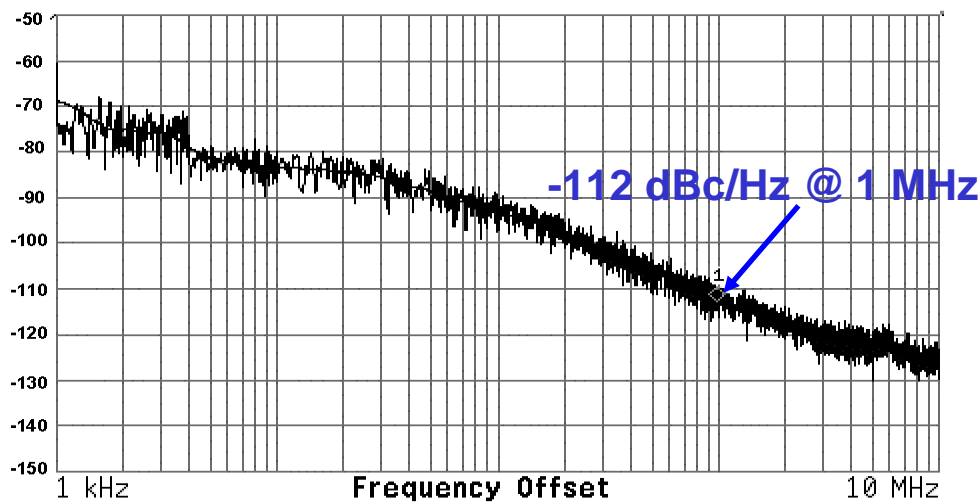
**Abb. 5 Schaltplan und Chipfoto des 16-Band-VCOs**



**Abb. 6 Analoges Verstimmverhalten des 16-Band-VCOs**

Abb. 6 zeigt das analoge Verstimmverhalten des 16-Band-VCOs, Abb. 7 das Phasenrauschen bei 22 GHz. In [16] wird auch ein Vergleich mit dem Stand der Technik vorgenommen, der zeigt, dass dieser VCO trotz seines großen Verstimmbereichs das beste Phasenrauschen aller publizierten siliziumbasierten integrierten VCOs im Bereich 20 bis 40 GHz aufweist.

Die Erreichung des gesamten Frequenzbereichs von 20 bis 28 GHz mit ausreichender Überlappung der Frequenzbänder erforderte mehrere Iterationen des VCO-Designs mit kleineren Anpassungen.



**Abb. 7 Phasenrauschen des 16-Band-VCOs**

Abb. 8 zeigt schematisch den VCO mit Prescaler und M-Teiler, sowie dessen schaltbare Frequenzteilungsverhältnissen. Die auf der rechten Seite aufgetragenen Frequenzteilungsverhältnisse zeigen, dass überlappende Verstimmbereiche über mehrere Oktaven erreicht (625 MHz bis 4.67 GHz).

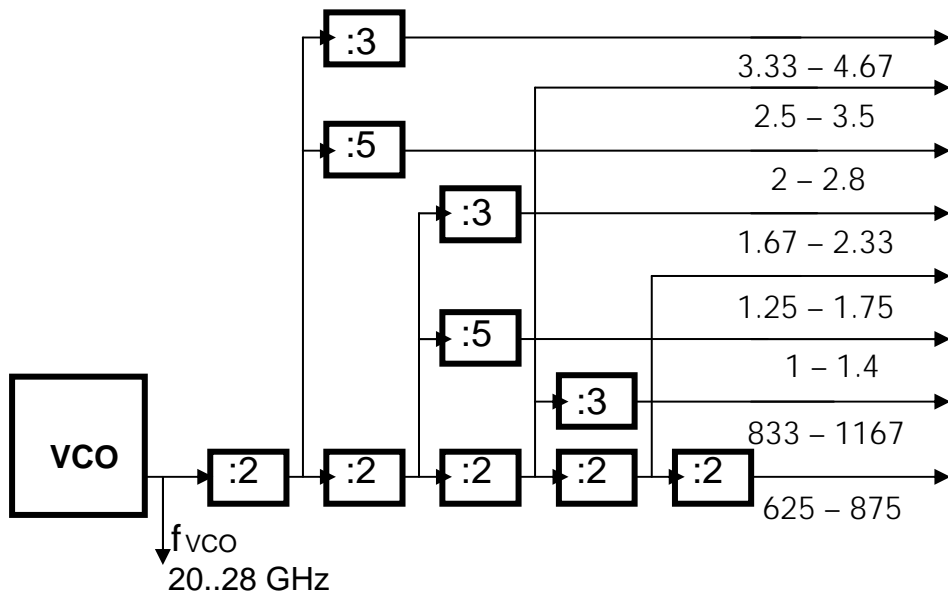


Abb. 8 Frequenzbereich, der mit VCO, Prescaler und M-Teiler erreicht werden kann

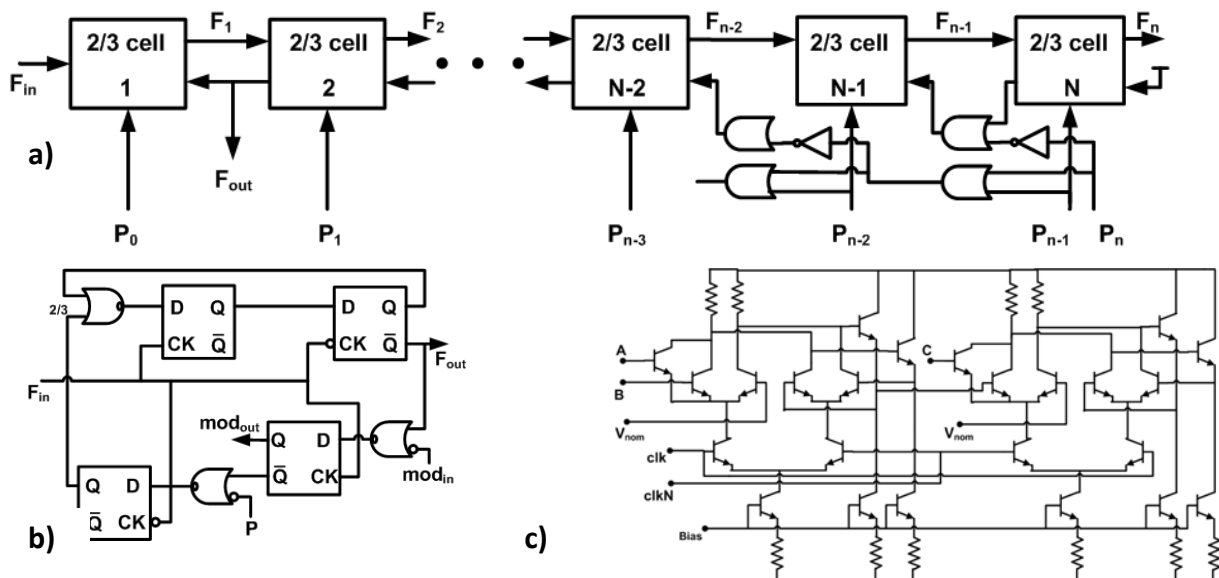


Abb. 9 a) N-Teiler aus kaskadierten 2/3-Zellen  
 b) Aufbau einer 2/3 Zelle  
 c) Realisierung eines Latches in Stromschaltertechnik

Der N-Teiler (s. Abb. 3, Abb. 9) wurde als umschaltbarer Teiler mit Teilverhältnis von 3 bis 2048 entworfen. Er ist aus schaltbaren, kaskadierten 2/3-Teilern aufgebaut. Als Vorbild diente der Frequenzteiler nach [17].

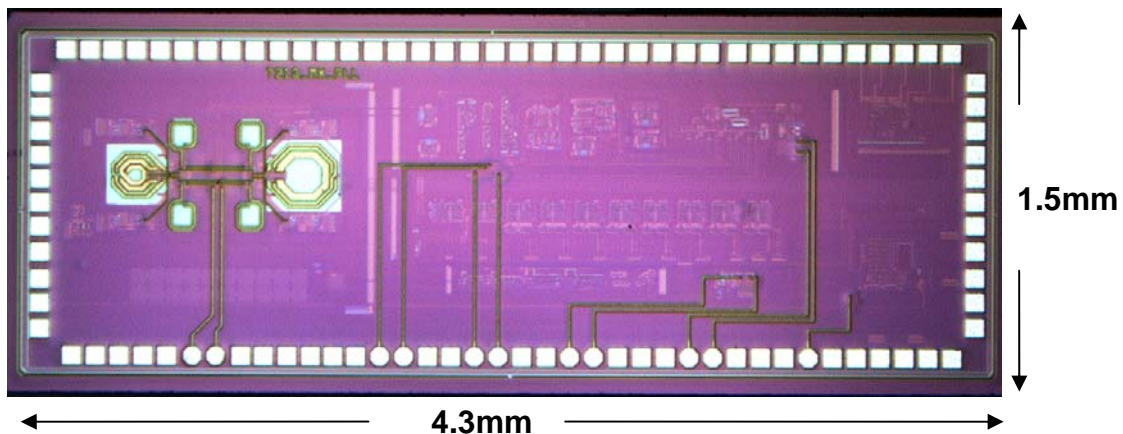
Weitere Komponenten des Synthesizers, die entwickelt wurden, sind:

- Programmierbarer Referenzteiler
- Phasenfrequenzdetektor
- Ladungspumpe

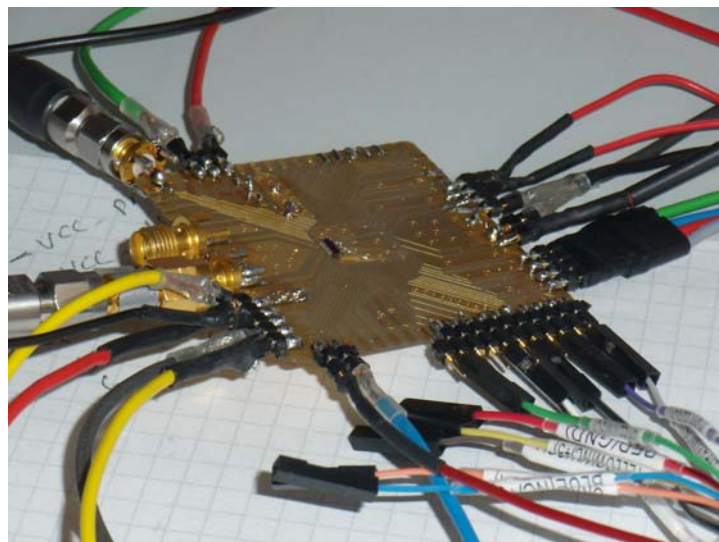
- Schleifenfilter
- SPI-Interface und digitale Steuerbarkeit aller analogen Parameter über das SPI-Interface

### ***Realisierung und Test des Frequenzagilen Synthesizers***

Im Anschluss an die Komponenten-Realisierung wurde der vollintegrierte Synthesizer entwickelt. Abb. 10 zeigt das Chipfoto des Synthesizers, Abb. 11 das Test-Board. Die Messungen zeigten einen voll funktionsfähigen Synthesizer mit sehr guten Phasenrausch- und Störfrequenzwerten.



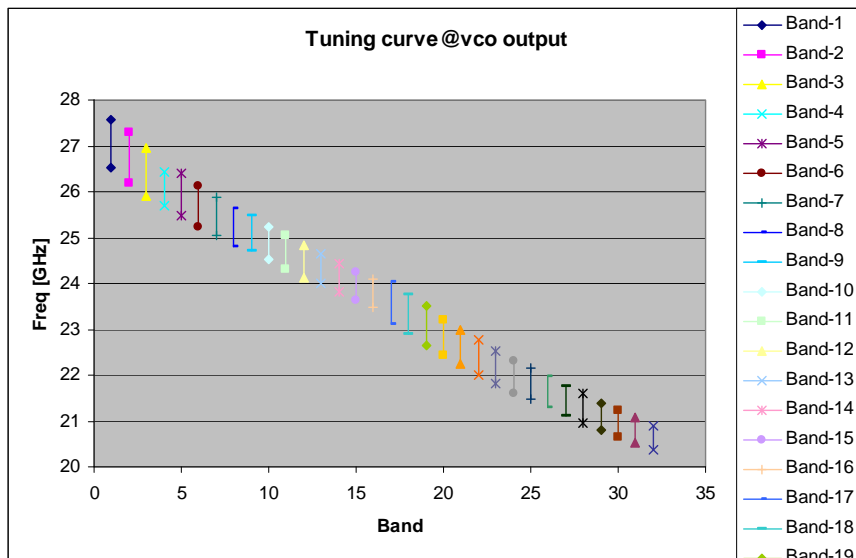
**Abb. 10** Chipfoto des frequenzagilen Synthesizers in SiGe BiCMOS Technologie



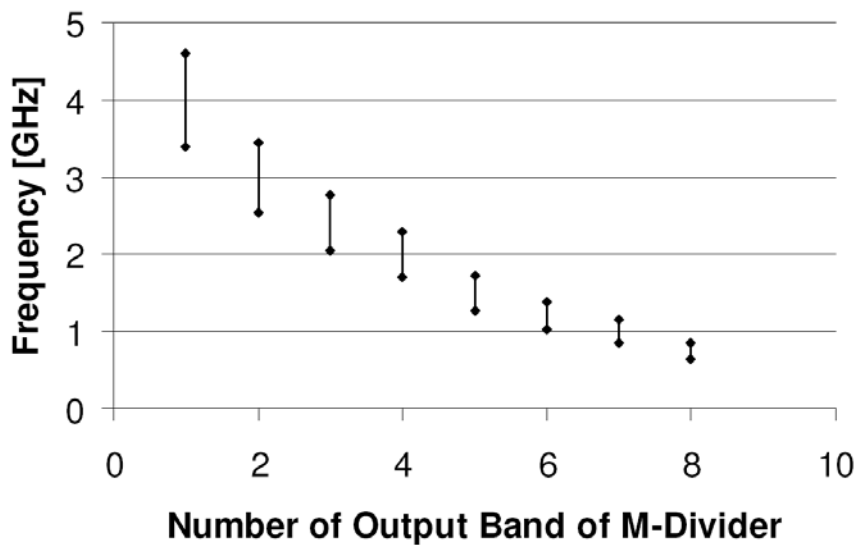
**Abb. 11** Prototypen-Board im Test

Abb. 12 zeigt die Einrastbereiche des Synthesizers für verschiedene VCO-Bänder der beiden VCOs. Man erkennt dass alle Bänder mit Überlappung abgedeckt werden. Abb. 13 zeigt die Einrastbereiche des Synthesizers für verschiedene Umschaltungen des M-Teilers. Auch hier erkennt man, dass der gesamte Zielfrequenzbereich mit Überlappung der angrenzenden

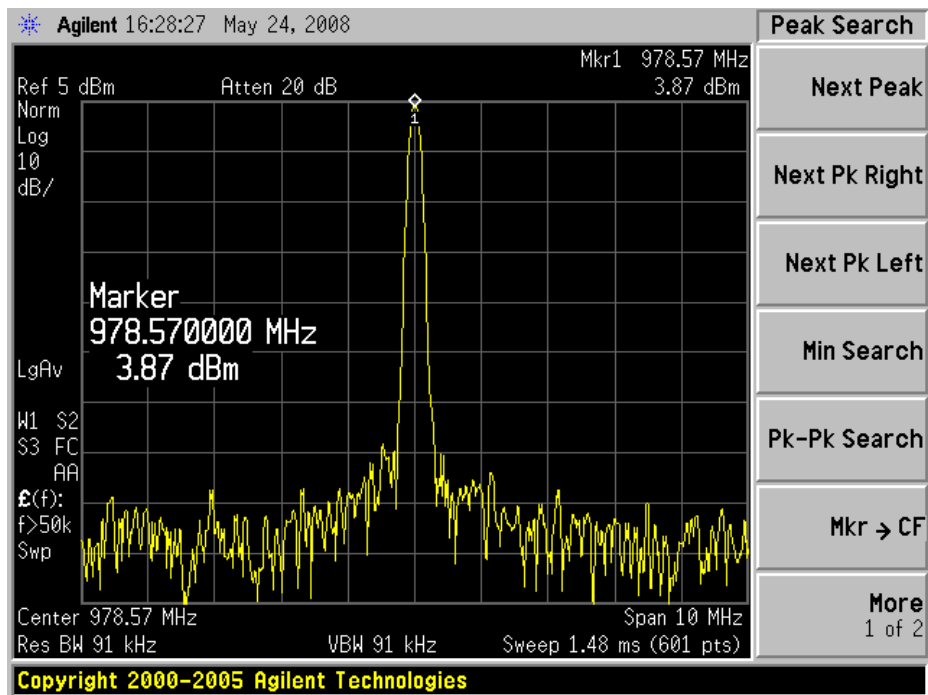
Bänder abgedeckt wird. Abb. 14 zeigt einen typischen Störfrequenzabstand von besser als 65 dB, hier gemessen bei 978 MHz.



**Abb. 12** Einrastbereiche des Frequenzagilen Synthesizers in Abhängigkeit der geschalteten VCO-Bänder

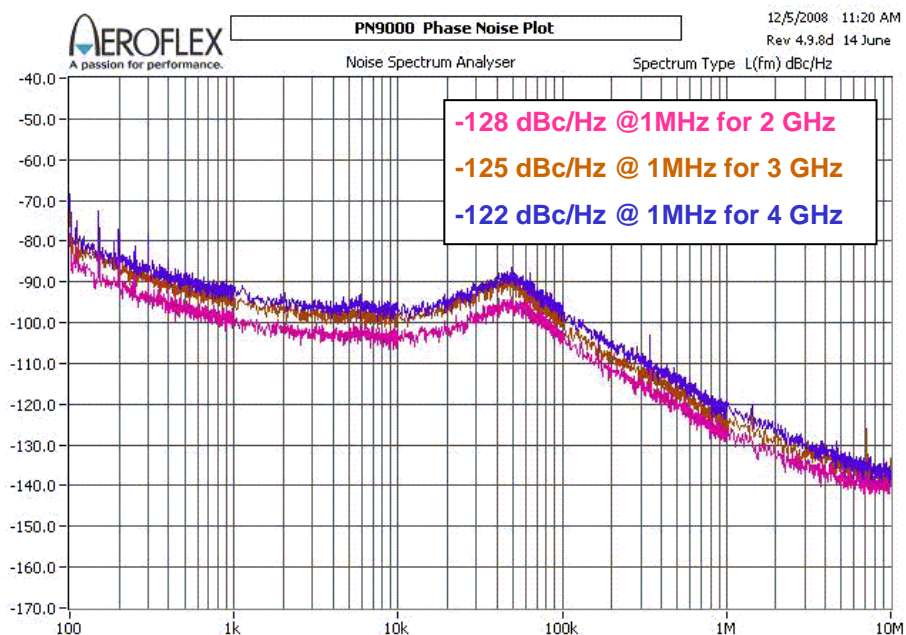


**Abb. 13** Einrastbereich des Synthesizer in Abhängigkeit der M-Teilungsverhältnisse



**Abb. 14** Typisches Störfrequenzverhalten (Störabstand besser als 65dB)

Abb. 15 zeigt das Phasenrauschen für die 3 Frequenzen 2, 3 und 4 GHz. Dieses Phasenrauschen übertrifft die RMS-Spezifikation.



**Abb. 15** Phasenrauschen des Synthesizers bei 2, 3, 4 GHz

Nach den Tests am IHP wurde der Synthesizer als Modul in den RMS-Demonstrator (s. Abb. 16) integriert und erfolgreich getestet.



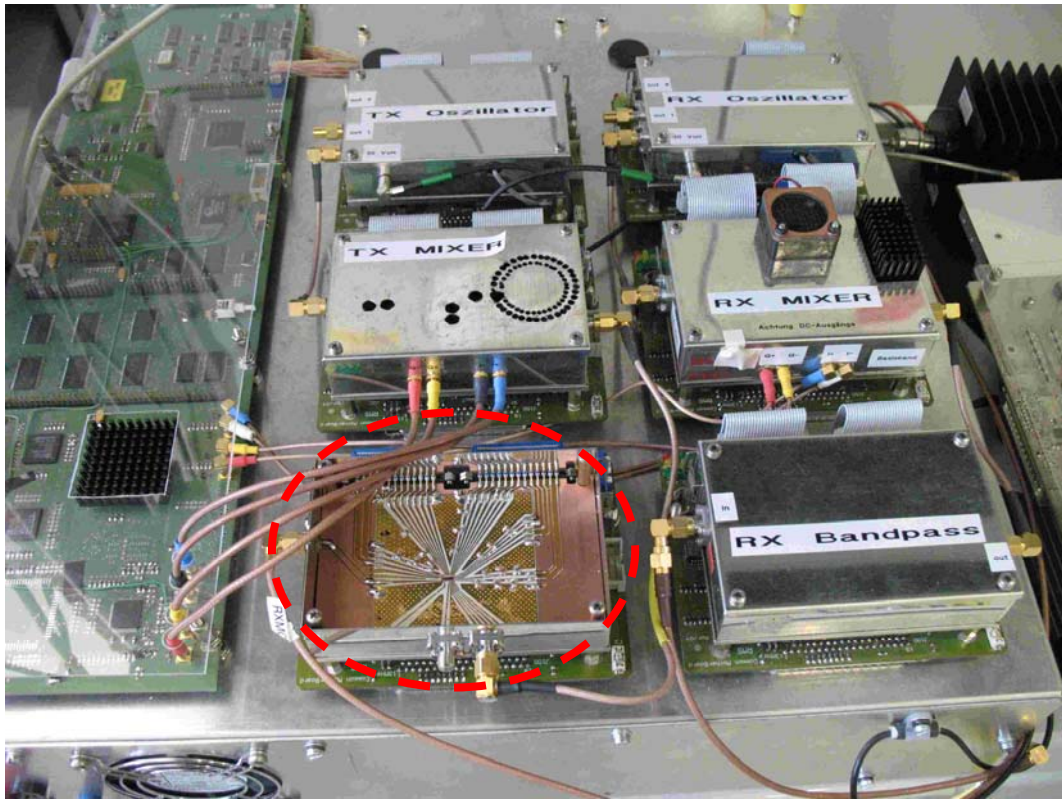


Abb. 16 Test des frequenzagilen Synthesizers im RMS-Demonstrator

## 2.5 Ergebnisse des Unterauftrags „Kalte Endstufe“

### Verstärkerkonzept und Analyse

Ziel des Unterauftrags war die Untersuchung eines Konzeptes zur linearen Verstärkung breitbandiger Signale mit hohem Wirkungsgrad. Eine auf der Kombination von LINC (Linear Amplification with Nonlinear Components) und EER (Envelope Elimination and Restoration) basierende Verstärkerarchitektur wurde entwickelt und umgesetzt.

Aufgabe dieser Architektur war es, den sog. Ausgangswirkungsgrad

$$\eta_o = P_{\Sigma} / (P_{\Sigma} + P_{\Delta})$$

des LINC Prinzips zu erhöhen. Dieses wurde dadurch erreicht, dass die Versorgungsspannung der beiden nichtlinearen hocheffizienten RF-Verstärker über ein Tiefpasssignal mit der Grenzfrequenz  $f_g$  – ähnlich wie beim EER-Prinzip - moduliert wurde.

Das Blockschaltbild dieses CLIER [21] genannten Verfahrens (Combination of LINC and EER) ist in Abb. 17 dargestellt.

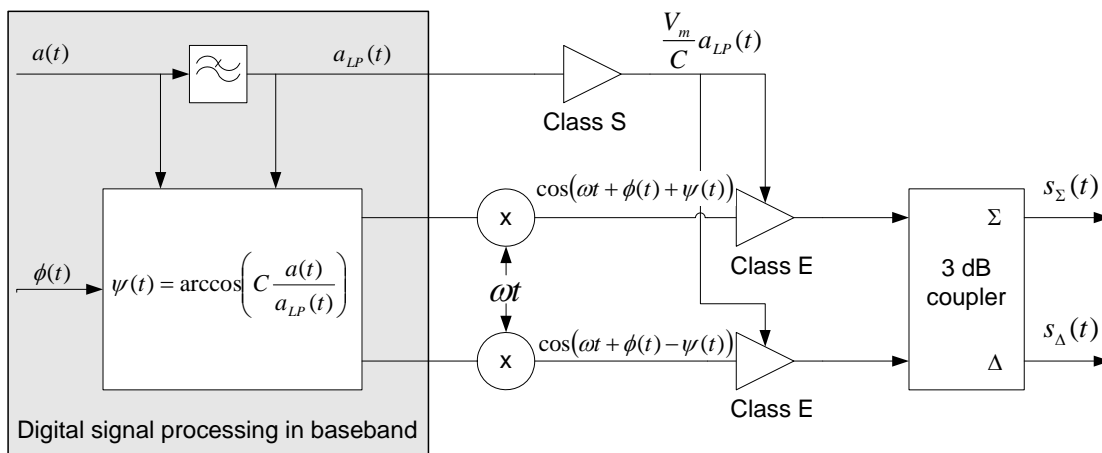


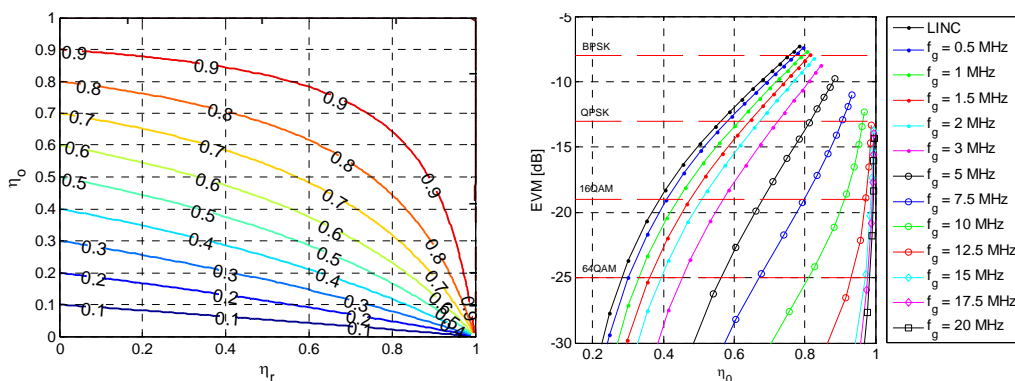
Abb. 17 Blockschaltbild des CLIER Verstärkers

Das Sendesignal sei  $s(t) = a(t) \exp(j\phi(t) + j\omega t)$  mit  $0 \leq a(t) \leq 1$ . Das Signal  $a_{LP}(t)$  wird aus der Einhüllenden  $a(t)$  durch Tiefpassfilterung erzeugt (vgl. Abb. 1). Der Quotient aus  $a(t)$  und  $a_{LP}(t)$  wird mit der Konstanten  $c$  gewichtet und auf eins begrenzt. Damit ergeben sich die beiden Sendesignale mit konstanter Einhüllenden zu  $s_{12} = \cos[\omega t + \phi(t) \pm \arccos(c \cdot s(t) / a_{LP}(t))]$ . Durch Modulation der Versorgungsspannung der RF-Verstärker mit  $V_m a_{LP}(t) / c$  wird das ursprüngliche Signal zurück gewonnen. Die Effizienz des Gesamtsystems lässt sich durch

$$\eta = \frac{\eta_0 \eta_C \eta_E \eta_S}{1 - \eta_C \eta_E \eta_S \eta_r (1 - \eta_0)}$$

berechnen, wenn man davon ausgeht, dass die Verlustleistung am Differenztor mit dem Wirkungsgrad  $\eta_r$  recycelt, d.h. gleichgerichtet und dem System zugeführt wird. Die Variablen  $\eta_C$ ,  $\eta_E$  und  $\eta_S$  sind die Wirkungsgrade des Hybrids, des E-Klasse Verstärkers und des Einhüllendenverstärkers. Die Abhängigkeit der Effizienz  $\eta$  von  $\eta_0$  und  $\eta_r$  ist in Abb. 2 links verdeutlicht. Hier ist die Gesamteffizienz als Konturplot für ansonsten ideale Komponenten dargestellt ( $\eta_C = \eta_E = \eta_S = 1$ ). Die erreichbare Gesamteffizienz hängt primär vom Ausgangswirkungsgrad ab. Durch Recycling lässt sich bei entsprechender Recyclingeffizienz (ca. 50%) vor allem bei mittlerem Ausgangswirkungsgrad eine deutliche Verbesserung erreichen.

Die Abhängigkeit der Parameter Signalqualität, Bandbreite des Einhüllendenverstärkers und  $\eta_0$  wurden im Folgenden anhand eines Signals gemäß dem Standard IEEE 802.11a untersucht. Dieser Standard eignet sich für die Untersuchung, da das Signal eine große Bandbreite von 18 MHz und ein PAPR von 10dB aufweist. Das Ergebnis ist in Abb. 18 rechts dargestellt. Dabei wurden die Grenzfrequenz des Tiefpassfilters  $f_g$  und der Clippingfactor  $c$  variiert. Auf der y-Achse ist das EVM (Error Vector Magnitude), ein Maß für die Signalqualität, dargestellt. Rot gestrichelt sind die noch zulässigen Grenzwerte für die jeweiligen Modulationsraten BPSK, QPSK, 16QAM und 64QAM dargestellt. Durch Erhöhen des Clippingfaktors steigt  $\eta_0$  auf Kosten der Signalqualität bei gleichbleibendem  $f_g$ .



**Abb. 18 Gesamteffizienz des Systems als Funktion von Ausgangswirkungsgrad  $\eta_0$  und Recyclingwirkungsgrad (links) und EVM als Funktion von  $\eta_0$  und der Grenzfrequenz des Einhüllendensignals  $f_g$  (rechts) für ansonsten ideale Komponenten**

Durch Modulation der Einhüllenden (steigendes  $f_g$ ) sinkt das EVM bei gleicher Effizienz  $\eta_0$ . Für  $f_g$  gegen Unendlich wird  $\eta_0$  eins, da der in der Simulation ideale Einhüllendenverstärker die Amplitudenmodulation alleine übernimmt. Anhand der Kurven aus Abb. 18 (links) lässt sich der Gesamteffizienzzuwachs bei ansonsten idealen Komponenten ermitteln.

## Demonstratorkonzept und Hardwarekomponenten

Im Rahmen des Projektes wurde beschlossen, einen Hardwaredemonstrator für das CLIER-Prinzip bei 2,45 GHz mit einer maximalen Ausgangsleistung von 20 W aufzubauen. Das Konzept und die einzelnen Komponenten werden im Folgenden vorgestellt.

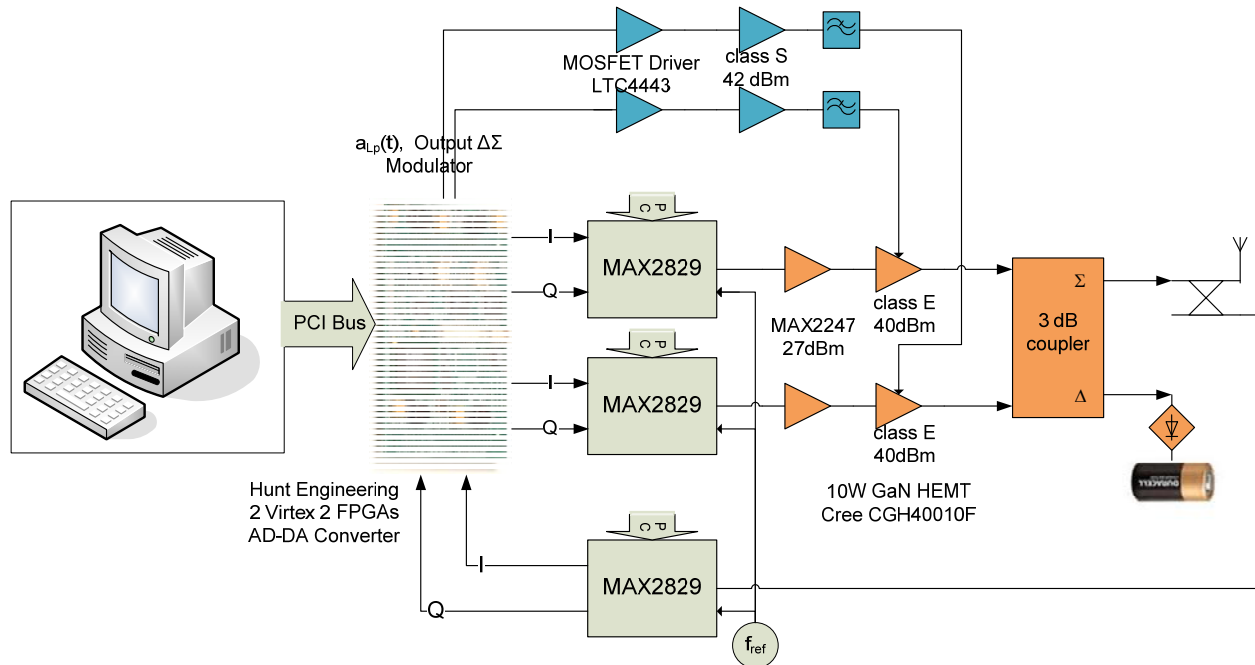


Abb. 19 Blockschaltbild Demonstrator

### Demonstrator

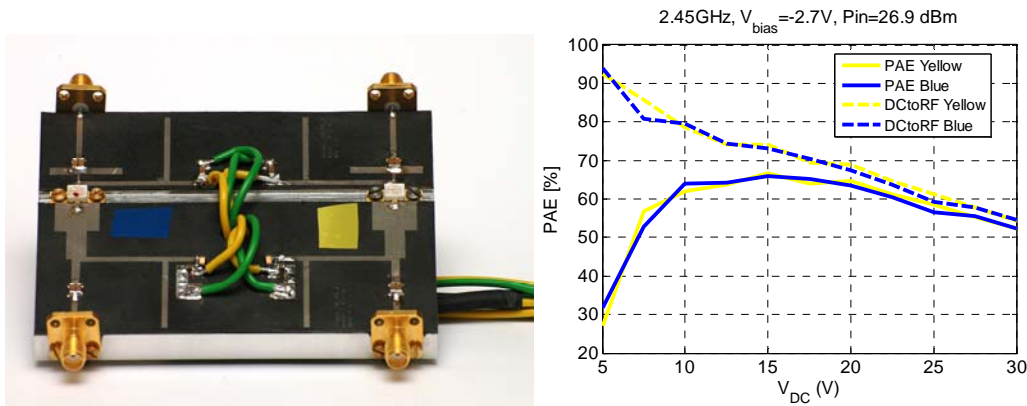
Zur Demonstration der Architektur wurde ein Transmitter nach dem CLIER-Prinzip bei 2,45 GHz aufgebaut. Das Blockschaltbild des Demonstrators ist in Abb. 19 dargestellt. Zur digitalen Signalverarbeitung im Basisband stehen drei FPGA-Karten (eine Heron IO5 und zwei Heron IO2 auf einer Hecp9 Trägerkarte) von Hunt Engineering zur Verfügung, die unidirektional in einer Ring-Architektur bis zu 400 MBit/s Daten austauschen und verarbeiten können. Die Kommunikation mit den Karten geschieht über den PCI-Bus eines handelsüblichen PCs. Die Karten werden über ein externes Referenzsignal mit einer Frequenz von 100 MHz getaktet. Auf diesen Karten werden die Signale  $s_1$  und  $s_2$  im Basisband erzeugt und über jeweils zwei 14 Bit-DA Wandler als IQ Signale in zwei MAX2829 Transceiver gegeben, die die beiden Signale auf 2,45 GHz hochmischen und auf 0 dBm verstärken. Die Transceiver werden ebenfalls über ein gemeinsames Referenzsignal getaktet.

Über zwei MAX2247 Verstärker werden die beiden Signale auf 27 dBm verstärkt und in die zwei E-Klasse Verstärker gegeben. Die Ausgangssignale werden über einen 3 dB-Koppler addiert. Die Verlustleistung am Differenzantrieb wird gleichgerichtet und der Versorgungsspannung zugeführt, das Summensignal zur Kontrolle der Signalqualität über einen 20 dB-Koppler in die FPGAs zurückgeführt.

Die modulierte Versorgungsspannung der E-Klasse Verstärker wird durch zwei Buck Konverter generiert, die über die digitalen Ausgänge der FPGAs angesteuert werden.

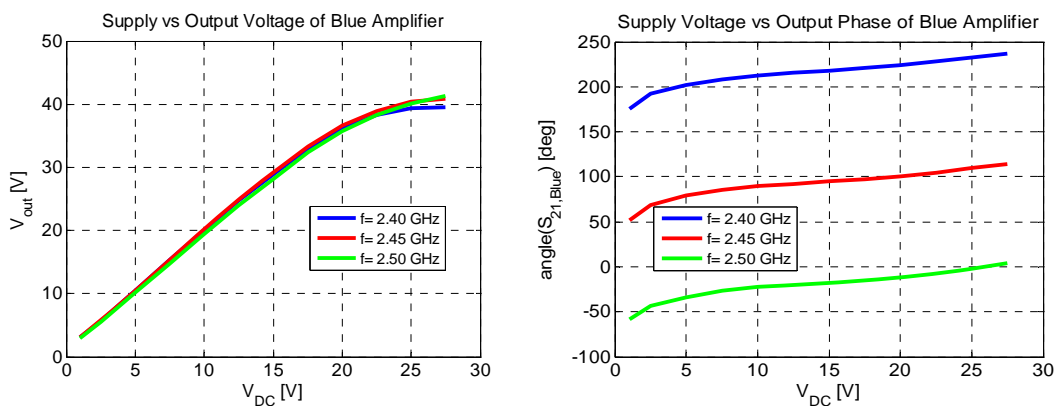
## E-Klasse Verstärker

Als RF-Verstärker wurden zwei E-Klasse Verstärker mit einer jeweiligen Ausgangsleistung von 11 W an 50  $\Omega$  in Mikrostreifenleitungstechnik bei einer Betriebsfrequenz von 2,45 GHz aufgebaut [22]. Für beide Verstärker wurde jeweils ein GaN HEMT Transistor der Firma Cree (CGH40010F) verwendet. Die realisierten Verstärker sind in Abb. 20 dargestellt.



**Abb. 20** Zwei E-Klasse Verstärker (blau links und gelb rechts) mit Eingang in Richtung Betrachter (linkes Bild) und gemessene PAE als Funktion der Versorgungsspannung für beide Verstärker (rechtes Bild)

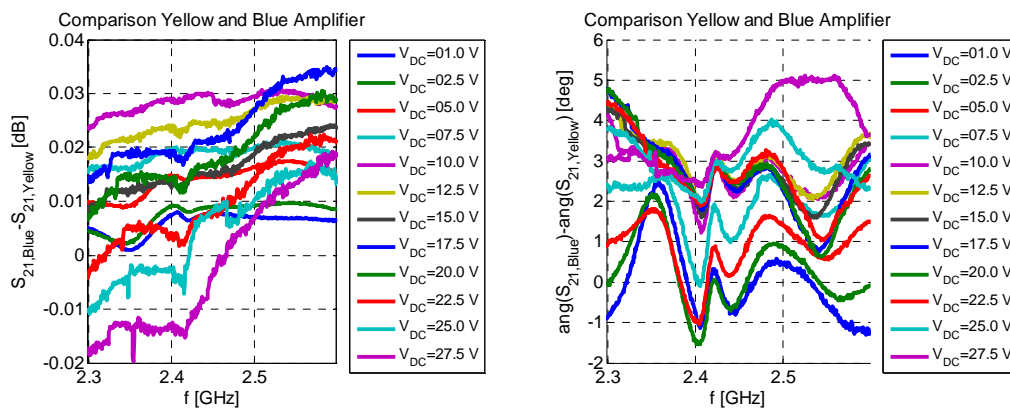
Rechts ist der gemessene Wirkungsgrad von beiden Verstärkern dargestellt – der Verlauf ist für beide fast identisch. Bei einer Treiberleistung von 27 dBm wurde eine maximale PAE von 66% bei einer Versorgungsspannung von 16 V erzielt. Anhand von Streuparametermessungen wurde die Abhängigkeit der Ausgangsspannung von der Versorgungsspannung ermittelt (Abb. 20). Wegen der Ähnlichkeit der Ergebnisse werden hier nur die Ergebnisse für den blau markierten Verstärker diskutiert. Im Bereich von 2 V bis 22 V ergibt sich eine gute Linearität, bei größeren Versorgungsspannungen geht der Verstärker in die Sättigung. In Abb. 21 ist rechts die V<sub>dd</sub>-zu-PM Conversion dargestellt. Diese beeinträchtigt die Signalqualität über den gesamten Arbeitsbereich des Verstärkers und muss daher digital durch Vorverzerrung kompensiert werden, s.u..



**Abb. 21** Ausgangsspannung als Funktion der Versorgungsspannung des blauen E-Klasse Verstärkers (linkes Bild) und Phase des Übertragungsfaktors  $S_{21}$  als Funktion der Versorgungsspannung

Abb. 22 verdeutlicht die Amplituden- und Phasendifferenz der beiden Verstärker bei unterschiedlichen Versorgungsspannungen. Die Amplitudendifferenz beträgt bei identischer Anregung weniger als 0.04 dB. Der maximale Phasenunterschied beträgt weniger als 5° über den gesamten Frequenzbereich.

Im Vergleich zur Literatur wurden nur mittelmäßige PAE Werte erzielt. Dies liegt vor allen Dingen daran, dass das Package des verwendeten Transistors die Kontrolle der Harmonischen erschwert. Bei Verwendung eines Transistors vom selben Hersteller ohne Package (gebondet) wurde für einen Klasse E Verstärker eine PAE von über 80% erreicht.



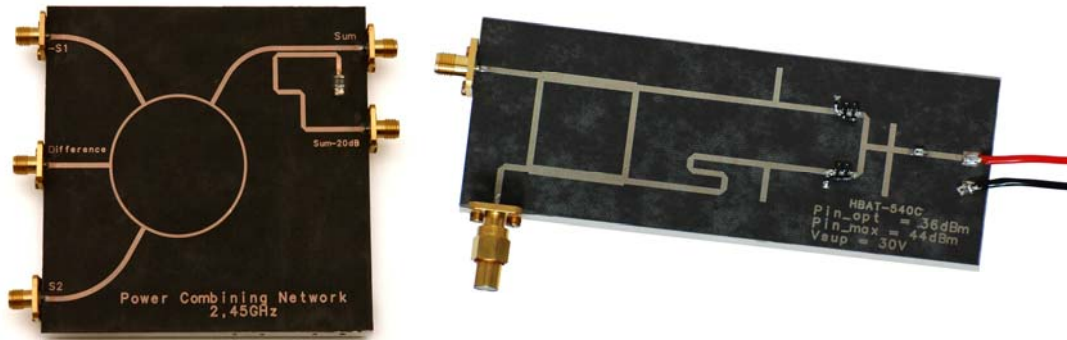
**Abb. 22 Unterschiede von  $S_{21}$  in Amplitude (linkes Bild) und Phase (rechtes Bild) zwischen den beiden E-Klasse Verstärkern**

Allerdings ist der Phasenunterschied nicht frequenzflach, kann also nicht vollständig durch Multiplikation mit einem konstanten Faktor im Basisband kompensiert werden.

### Leistungsadditionsnetzwerk mit Recycling

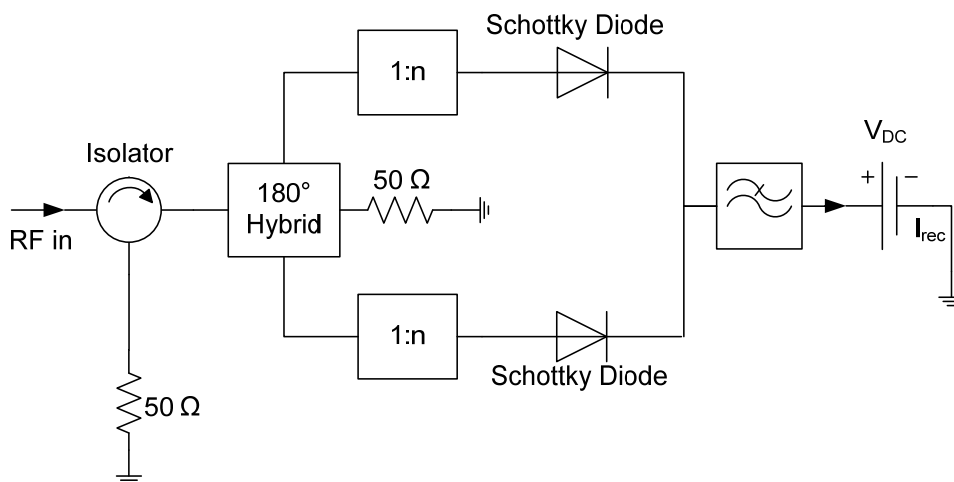
Zur Leistungsaddition dient ein 3-dB-Hybrid mit Recycling [23]. Die Leistungsaddition mit Hybrid erlaubt eine gute Isolation zwischen beiden Verstärkerzweigen. Beide Verstärker sehen also im Gegensatz zur Leistungsaddition nach Chireix eine konstante Last. Der Hybrid als Rat-Race Realisierung weist eine Anpassung und Entkopplung besser als 20 dB über den gesamten Frequenzbereich auf. Die Verlustleistung im Hybrid beträgt weniger als 1 dB. Die am Differenztor auftretende Verlustleistung wird über ein im Weiteren näher beschriebenes Recyclingnetzwerk gleichgerichtet und der Gleichspannungsversorgung zugeführt.

Das Prinzip des Recyclingnetzwerkes erläutert Abb. 23 [23]. Um die Isolation zwischen beiden Verstärkern zu gewährleisten, wird das Recyclingnetzwerk über eine Einwegleitung bestehend aus einem mit 50 Ohm abgeschlossenen Dreitorzirkulator gespeist.



**Abb. 23 Leistungsadditionsnetzwerk mit Hybrid (links) und Recyclingnetzwerk (rechts) in Mikrostreifenleitungstechnik**

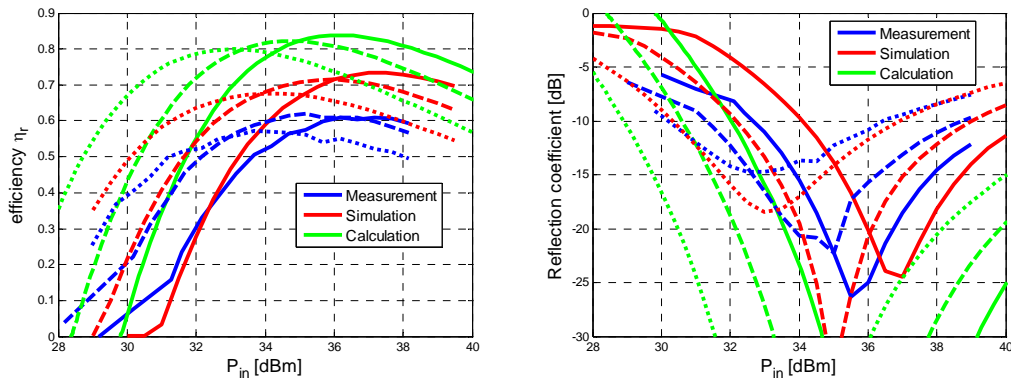
Ein  $90^\circ$  Hybrid mit anschließender  $\lambda/4$  Umwegleitung (Abb. 23) teilt das Signal in zwei gegenphasige Komponenten gleicher Leistung auf, die über ein Anpassungsnetzwerk auf die Dioden gegeben werden. Mit Hilfe des Anpassungsnetzwerkes lässt sich der optimale Arbeitspunkt des Recyclingnetzwerkes einstellen.



**Abb. 24 Blockschaltbild des Recyclingnetzwerkes mit Isolator [3]**

Ein Tiefpassfilters am Ausgang glättet den gleichgerichteten Strom. Mit kommerziellen Schottky Dioden vom Typ HBAT 540C wurde ein für eine Eingangsleistung von 36 dBm bei einer Versorgungsspannung von 30 V optimiertes Recyclingnetzwerk aufgebaut [24] und vermessen (Abb. 23 rechts und Abb. 24). Links in Abb. 24 sind die erreichten Recyclingeffizienzen des gemessenen (blau), des in ADS simulierten (rot), und des nach [23] berechneten (grün) Recyclingwirkungsgrades für die Eingangsspannungen von 30V (durchgezogen), 25V (gestrichelt) und 20V (gepunktet) über die Eingangsleistung aufgetragen. Simulativ wurde eine maximale Recyclingeffizienz von 70 %, im Aufbau allerdings nur von 60 % erzielt. Die nach [23] berechneten Kurven gehen von idealen verlustlosen Dioden aus und wurden in dieser Arbeit nur für die statistische Optimierung des Anpassungsnetzwerkes eingesetzt. Der Eingangsreflexionsfaktor in das Recyclingnetzwerk

(ohne Einwegleitung) ist für die oben diskutierten Fälle rechts in Abb. 25 dargestellt. Wie man sieht, wird die

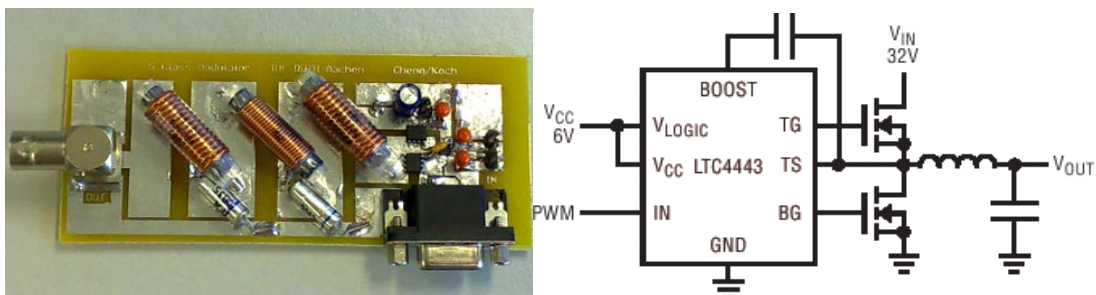


**Abb. 25** Recyclingwirkungsgrad (links) und Eingangsreflexionsfaktor (rechts) des für 36 dBm Eingangsleistung bei einer Versorgungsspannung von  $V_{DC} = 30$  V optimierten Recyclingnetzwerkes. Die Berechnung nach [3] ist grün, die Simulation in ADS rot und die Messergebnisse in Blau dargestellt. Die Versorgungsspannung  $V_{DC} = 20$  V ist punktiert,  $V_{DC} = 25$  V gestrichelt und  $V_{DC} = 30$  V durchgezogen dargestellt.

Einwegleitung zur Isolation benötigt. Für diese Frequenz und die relativ große Eingangsleistung wurden im Vergleich zur Literatur gute Werte erzielt.

### Einhüllendenverstärker

Als Einhüllendenverstärker wurde ein Buck Konverter mit einer maximalen Schaltfrequenz von 16,6 MHz aufgebaut [25], Abb. 26. Die beiden Endstufen sind zwei B50N03S MOSFETs von Infineon, die von dem synchronen LTC4443 MOSFET Treiber von Linear Technology getrieben werden. Die Ansteuerung dieses Treibers geschieht mit Hilfe eines Bitstreams auf TTL-Ebene. Zur Erzeugung des Bitstreams wurden verschiedenen Delta-Sigma-Wandler im Hinblick auf Stabilität und ihre Signalqualität bei einer Überabtastrate von 16 untersucht. Ein Delta-Sigma Modulator 3. Ordnung wurde auf dem FPGA implementiert. Er erzeugt den Bitstream und gibt ihn durch einen digitalen Ausgang des FPGAs direkt auf den Eingang des Treibers.



**Abb. 26** Einhüllendenverstärker(links) und Blockschaltbild (rechts)



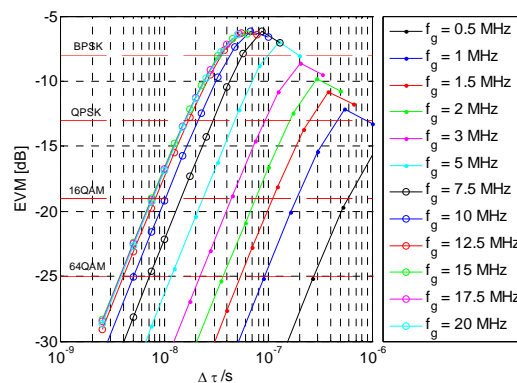
Die Grenzfrequenz des Tiefpassfilters zur Rückgewinnung des Signals beträgt 1 MHz. Mit dieser Anordnung wurde eine Effizienz von über 85 % erzielt.

### Analyse und Kompensation von Front-End Fehlern

Im Folgenden werden die bei der Umsetzung auftretenden Hardwarefehler und ihre Einflüsse auf das System diskutiert [26].

### Synchronisation

Als erstes werden die Anforderungen an die Synchronisation zwischen Einhüllendenmodulation durch den Einhüllendenverstärker und des LINC-Systems diskutiert. Wie oben wurden die Auswirkungen nichtidealer Synchronisation anhand der Signalqualität (EVM) von Signalen nach dem Standard IEEE 802.11a ermittelt. Die Ergebnisse sind in Abb. 27 in Abhängigkeit von der Grenzfrequenz  $f_g$  dargestellt.

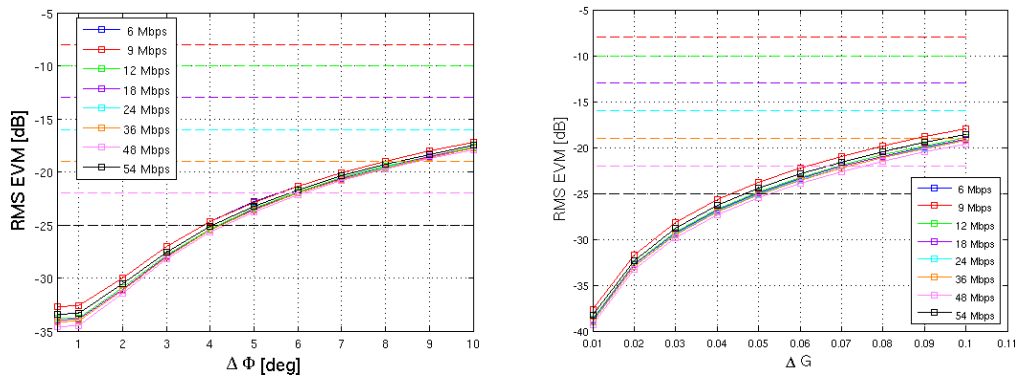


**Abb. 27 EVM als Funktion der zeitlichen Verschiebung  $\Delta\tau$  mit der Grenzfrequenz der Einhüllenden  $f_g$  als Parameter**

Auf der x-Achse ist die relative zeitliche Verschiebung  $\Delta\tau$  dargestellt. Da die Samplingfrequenz des Signals auf den FPGAs 100 MHz beträgt, lassen sich Signale bis zu einer Grenzfrequenz von  $f_g = 3$  MHz noch gut im Samplebereich durch Delaylines ohne großen Aufwand kompensieren, ohne dass die Signalqualität darunter leidet.

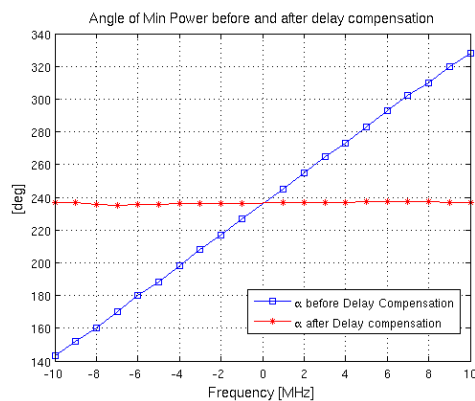
### Ungleichheiten in Gewinn und Phase

Eine wichtige Voraussetzung für eine gute Signalqualität ist die Phasen- und Amplitudensynchronität zwischen beiden LINC-Zweigen (vgl. Abb. 22). Um aus den beiden Signalen mit konstanter Amplitude  $s_1$  und  $s_2$  wieder ein Signal mit variabler Einhüllenden zu erzielen, müssen die beiden Signale exakt überlagert werden. Geringe Phasen- und Amplitudenfehler beeinträchtigen die Signalqualität bereits stark. Dieses wurde für ein Signal nach IEEE 802.11a für frequenzflache Fehler am EVM untersucht (Abb. 28). Wie in Abb. 27 sind die zulässigen maximalen EVM mit eingetragen. Phasenfehler von weniger als  $5^\circ$  und Amplitudenfehler von weniger als 5 % sind für die Einhaltung der Signalqualität erforderlich.



**Abb. 28 Einhüllendenverstärker(links) und Blockschaltbild (rechts)**

Diese hohen Anforderungen lassen sich ohne Kalibrierung nicht erfüllen. Verschiedene Kalibrieransätze aus der Literatur wurden untersucht. Bei der Umsetzung der Kalibrierung stellte sich heraus, dass die D/A-Wandler der verschiedenen Karten zwar synchron aber nicht phasengleich arbeiten. Es ergab sich eine frequenzabhängige Phase (Abb. 13). Dieser Delay konnte durch ein fractional Delay Filter kompensiert werden.



**Abb. 29 Phase des Kalibrierfaktors mit (rot) und ohne (blau) Delaykompensation**

Die Transceiver wiesen kein identisches, flaches Verhalten über den gesamten Frequenzbereich auf, so dass eine frequenzselektive Kalibrierung notwendig ist. Die mit der frequenzselektiven Kalibrierung erzielten Ergebnisse waren im Vergleich zur frequenzflachen Kalibrierung trotz eines im Vergleich großen Aufwands nur geringfügig besser.

### VDC-PM und VDC-AM Verzerrung

Die durch die Modulation der Versorgungsspannung entstehenden  $V_{DC}$ -PM Verzerrung (vgl. Abb. 21) müssen durch eine geeignete Vorverzerrung kompensiert werden. Sie resultieren aus der Spannungsabhängigkeit der Ausgangskapazität der GaN HEMTs. Aus den gemessenen S-Parametern lassen sich die  $V_{DC}$ -PM Kurven gewinnen und polynomial annähern. Die invertierten Kurven wurden für eine Vorverzerrung genutzt. Auch die  $V_{DC}$ -AM Verzerrung läßt sich aus den gemessenen Streuparametern berechnen und durch Vorverzerrung eliminieren. Simulationen lassen eine EVM-Verbesserung um ca. 20 dB

erwarten. Dieses konnte durch Messungen nicht belegt werden, da die Verbesserung durch die Ungleichheit der Transceiver maskiert wurde.

### **Messergebnisse**

Bei Inbetriebnahme des Gesamtsystems (Abb. 30) konnte nach Kalibrierung ein EVM von -14 dB für ein Signal nach dem Standard OFDM 802.11a erzielt werden. Die Spektrale Maske wurde nur knapp verfehlt (Abb. 30). Ursache hierfür sind die vor allen Dingen am Rand ihres Frequenzbereichs doch relativ unterschiedlichen Transceiver. Der Nachweis des CLIER-Prinzips ist im Rahmen der im Projekt verfügbaren Mittel erfolgt. Bei einer mittleren Ausgangsleistung von 2 W konnte eine Gesamteffizienz von 17,1 % ohne Recyclingnetzwerk erreicht werden. Die maximale Ausgangsleistung beträgt 20 W. Weitere Messparameter sind in Tab.1 gelistet. Mit Recycling lässt sich der Wirkungsgrad aber noch um ca. 10% erhöhen.

**Tabelle 2: Parameter Messung ohne Recyclingnetzwerk**

Maximale Ausgangsleistung	20 W
Mittlere Ausgangsleistung ( $\Sigma$ -Ausgang)	2 W
Bandbreite des Ausgangssignals	18 MHz
Mittlere Ausgangsleistung $\Delta$ -Ausgang	5,8 W
Versorgungsspannung (der Endstufe)	28 V
Mittlere Ausgangsleistung Treiber	2 mal 24,3 dBm
Clipping Faktor c	0,5
Effizienz ohne Recycling	0,17

### **Diskussion und Ausblick**

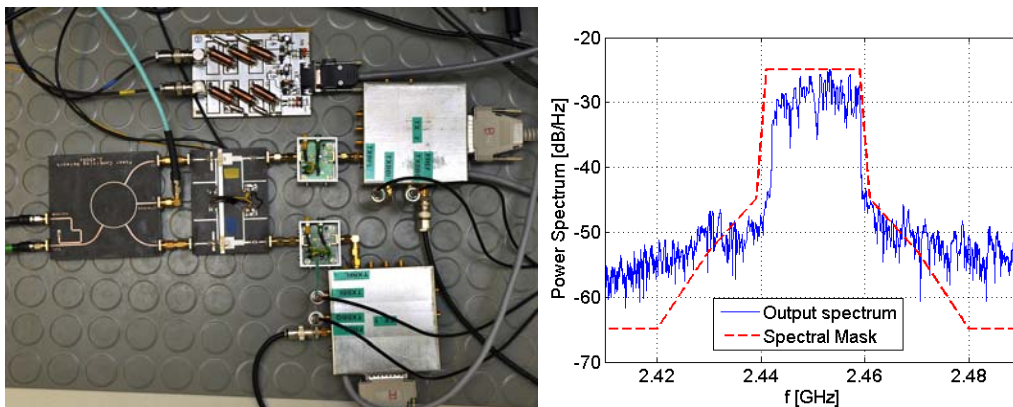
Die hier erreichten Messwerte deuten das Potential des verwendeten Verfahrens an.

Betrachtet man die erreichte Effizienz unter Berücksichtigung der doch eher durchschnittlichen Effizienzen der Einhüllenden- und E-Klasse Verstärker, so sind hier noch Steigerungen der Gesamteffizienz um bis zu 15% realistisch. Mit einer Bandbreitensteigerung des Einhüllendenverstärkers ist auch eine Verbesserung des Ausgangswirkungsgrades möglich. Im Hinblick auf diese Verbesserungsmöglichkeiten sind die erzielten Ergebnisse im Vergleich zu anderen Arbeiten (Abb. 31) durchaus vielversprechend.

Hauptproblem bei der Umsetzung waren die Sender, die eine gute Kalibrierung und damit eine gute Signalqualität unmöglich machen. Im Rahmen dieser Arbeit war es nicht möglich, andere Sender zu benutzen.

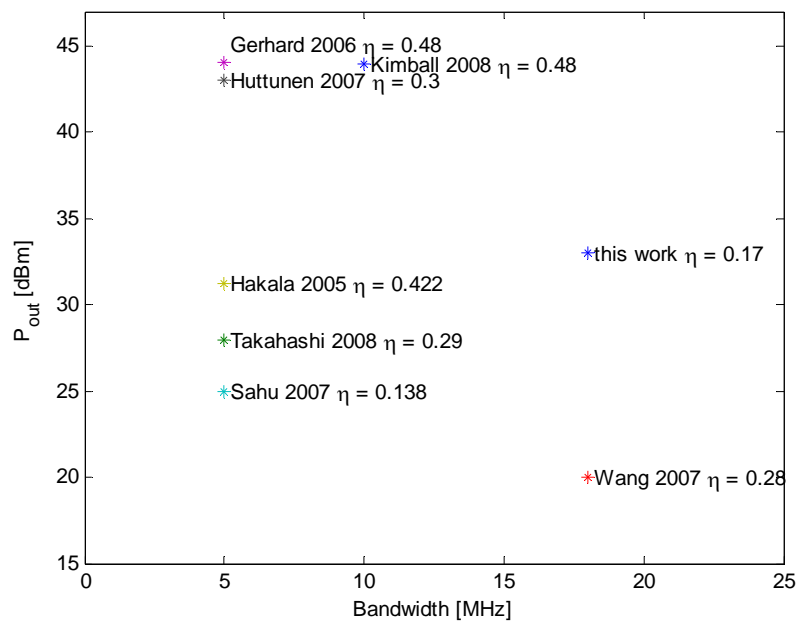
Im Fokus weiterer Arbeiten sollte die Verbesserung der Signalqualität stehen. Dies ist durch integrierte Fertigung der Modulatoren inklusive Mischer und Endstufen möglich. Dadurch kann der frequenzabhängige Unterschied zwischen beiden Sendepfaden deutlich reduziert werden. Das führt zu einem geringeren Kalibrieraufwand. Anstelle der implementierten IQ

Modulation ist auch eine reine Modulation der Phase mit numerisch kontrollierten Oszillatoren (NCOs) ein vielversprechender Ansatz.



**Abb. 30** Messaufbau ohne Recyclingnetzwerk (links) und gemessenes Spektrum mit spektraler Maske nach IEEE802.11a (rechts)

Auch eine Verbesserung der Effizienzen der Einzelkomponenten, insbesondere des Klasse E Verstärkers und des Einhüllendenmodulators bei größerer Schaltfrequenz und damit größerer Grenzfrequenz ist durch Integration möglich.



**Abb. 31** Vergleich zu anderen Arbeiten: Mittlere Ausgangsleistung gegen Bandbreite aufgetragen

## **2.6 Erfordernis und Angemessenheit der geleisteten Arbeit**

Die Arbeiten des IHP betrafen Konzeption und Entwicklung eines frequenzagilen Synthesizers. Zu Beginn des Projekts gab es keine Vorbilder. Die Zielstellungen waren sehr ambitioniert.

Die Arbeiten betrafen den Systementwurf (Architektur), mathematische Modellierung (Matlab-Simulationen), den Entwurf der integrierten Teilkomponenten in mehreren Iterationen, sowie die Integration der Komponenten zu einem frequenzagilen Synthesizer in mehreren Iterationen. Der realisierte Synthesizer stellt einen Mixed-Signal-Chip mit komplexem Analog/HF-Teil dar. In die Entwicklungsarbeiten eingeschlossen sind Fertigung und prototypische Realisierungen von Test-Hardware, sowie der Test selbst. Ausserdem wurden Treiber für die SPI-Interface-Steuerung des Synthesizers entwickelt. Diese umfangreichen Arbeiten rechtfertigten den Einsatz zweier Wissenschaftler, darunter ein Doktorand und ein Post-Doc.

Die Verbrauchsmittel waren aufgrund der notwendigen Optimierung der Komponenten und des Gesamtsynthesizers notwendig.

Die Mittel für Hilfskräfte wurden vor allem für Testsoftware-Entwicklung (Labview) verwendet. Hierfür wurden Informatik-Studenten der Humboldt-Universität in Berlin gewonnen.

Der Unterauftrag „Kalte Endstufe“ wurde von 1 Doktoranden der RWTH (Hr. Olivier Koch) ausgeführt und von Prof. Rembold betreut.

## **2.7 Voraussichtlicher Nutzen und Verwertbarkeit des Ergebnisses**

Die Entwicklung von Mobilfunk-Basisstationen ist ein überaus komplexer Prozess, deren größte Herausforderungen die Abgleichung der Komponenten-Performance und –Kosten mit der geforderten Gesamtperformance und den Gesamtkosten. Für Alcatel-Lucent ergeben sich mit der Realisierung des frequenzagilen Synthesizers wichtige Erkenntnisse zur Machbarkeit eines frequenzagilen Lokaloszillators in einem software-defined-radio-orientierten Basisstation-Konzept. Desgleichen wird mit der Realisierung eines vollintegrierten Synthesizers auch eine grundlegende Kostenabschätzung bzgl. des Lokaloszillators möglich.

Die prinzipielle Systemlösung im RMS-Demonstrator sollte als Referenzsystem für weitere Entwicklungen dienen, und bei den Projektpartnern, vormals Lucent und Alcatel, nunmehr Alcatel-Lucent eine Anwendung finden.

Der Synthesizer ist vor allem für die Anwendung in Basisstationen als Baustein interessant. Derzeit bestehen Kontakte zu Herstellern von Mobilfunkbasisstationen, die Interesse an einer Verwertung gezeigt haben. Als Konkurrenzprodukte sind frequenzagile Synthesizer von STM [18], sowie von Analog Devices [19] zu nennen.

Eine Verwertung auch über die Anwendung in der Basisstation hinaus wird vom IHP angestrebt. Grundsätzlich ist der Synthesizer in vielfältiger Weise für drahtlose Anwendungen im Zielfrequenzbereich geeignet. Hier kann eine Verwertung durch Fertigung von Chips oder auch durch Lizenzierung von IP erfolgen. Dies ermöglicht es, Kunden des IHP

zünftig und risikoarm Synthesizer- bzw. Transceiver-Entwicklungen in der Technologie des IHP vorzunehmen.

## **2.8 Bekannt gewordener Fortschritt im Projektzeitraum**

Zu Beginn des Projektes war nur der LMX2531 von National Semiconductor bekannt [9], der 2 Frequenzbänder pro Chip mit jeweils weniger als 400 MHz anbietet und in verschiedenen Chip-Versionen für verschiedene feste Frequenzbändern ausgeliefert werden konnte. Mittlerweile haben verschiedene Firmen und Forschungsinstitutionen Breitband-Synthesizer-Entwicklungen für Software-Defined-Radio gestartet. Die herausragendsten Entwicklungen kommen von STMicroelectronics und Analog Devices und sollen im Folgenden beschrieben werden.

STMicroelectronics aus Frankreich hat mittlerweile ein vorläufiges Datenblatt des STM81103 publiziert [9], eines Synthesizers, der mit integriertem VCO die folgenden Frequenzbänder abdeckt:

- 2500 - 3050 MHz
- 4350 - 5000 MHz
- 1250 - 1525 MHz
- 2175 - 2500 MHz
- 625 - 762.5 MHz
- 1087.5 - 1250 MHz

Die Frequenzbänder überlappen nicht, sondern weisen jeweils zwischen den Bändern Lücken auf. Zudem bietet der generiert der Synthesizer keine Quadraturssignale, sondern nur jeweils ein In-Phase-Signal. Das in [9] publizierte Phasenrauschen ist ca. 6 bis 7 dB besser als die vom IHP erreichten Werte. Als Technologie wird eine 0.35  $\mu\text{m}$  SiGe BiCMOS Technologie angegeben. Es ist nicht bekannt, ob proprietäre Prozessmodifikationen zur Verbesserung des Phasenrauschens verwendet werden.

Analog Devices hat ebenfalls einen Breitband-Synthesizer mit integriertem VCO realisiert und ein Datenblatt publiziert [19]. Der Synthesizer deckt einen lückenlosen Frequenzbereich von 137.5 MHz to 4400 MHz ab. Das Phasenrauschen ist ähnlich gut wie das, des STM-Chips. Der Chip liefert keine Quadraturssignale. Zur verwendeten Technologie werden keine Angaben gemacht. Vom Integrationsgrad lässt sich schließen, dass es sich um eine BiCMOS oder CMOS-Technologie handelt. Lt. eines uns bekannten Kunden wird wahrscheinlich kein Standardprozess, sondern eine proprietäre Prozessmodifikation verwendet.

Bezüglich des CLIER-Konzepts sind keine Arbeiten anderer Gruppen bekannt.

## **2.9 Erfolgte und Geplante Veröffentlichungen**

Es wurden insgesamt 14 Vorträge auf nationalen und internationalen Konferenzen gehalten, wovn 3 eingeladene Vorträge darstellten. Des weiteren wurden 6 Publikationen in Proceedings oder Zeitschriften getätigt. Im Folgenden sind Vorträge und Publikationen gelistet. Patente wurden nicht angemeldet.

## Vorträge

S.A. Osmany, F. Herzel, K. Schmalz, W. Winkler, „Phase Noise and Jitter Modeling for Fractional-N PLLs“ "Integrierte digitale und analoge Schaltungen" - Kleinheubacher Tagung, September 25-29, 2006, Germany

J.C. Scheytt, „Frequenzagiler Synthesizer und effizienter Leistungsverstärker für Multi-Standard Basisstationen“, BMBF Statusseminar 2006 in Erlangen, June 20-22, 2006, Germany

R. Follmann, D. Köther, T. Kohl, M. Engels, V. Heyer, K. Schmalz, F. Herzel, W. Winkler, S. Osmany, U. Jagdhold „A Low Phase Noise Integrated SiGe 18...20 GHz Fractional-N Synthesizer“ European Microwave Week, Munich, October 08-12, 2007, Germany

S.A. Osmany, F. Herzel, J.C. Scheytt, K. Schmalz, W. Winkler, “An Integrated 19-GHz Low-Phase-Noise Frequency Synthesizer in SiGe BiCMOS Technology”, IEEE Compound Semiconductor IC Symposium (CSIC 2007), Portland, October 14-17, 2007, USA

J. Scheytt, S. Osmany, F. Herzel, “Architecture Design Considerations of a Fully-Integrated Frequency-Agile Synthesizer For Multi-Standard Basestations”, Workshop Analogschaltungen 2007, Institut für Mikrosystemtechnik, Freiburg, March 22 – 23, 2007, Germany

S.A. Osmany, O. Kersten, “Design of a Programmable Divider Using IHP ECL Library”, ECL Statusseminar, Institut für Informatik, Humboldt-Universität, Berlin, June, 25, 2007, Germany (invited talk)

R. Follmann, D. Köther, T. Kohl, M. Engels, T. Podrebersek, H.-V. Heyer, K. Schmalz, F. Herzel, W. Winkler, S. Osmany, U. Jagdhold, “A Single SiGe Chip Fractional-N 275 MHz ...20 GHz PLL with Integrated 20 GHz VCO”, International Microwave Symposium, Atlanta, June 15-20, 2008, USA

S.A. Osmany, J.C. Scheytt, “Frequency Synthesizer for Multi-Band Multi-Standard Base Station Application” Workshop Integrierte Analogschaltungen, Berlin, March 10-11, 2008, Germany

S.A. Osmany, J.C. Scheytt, „Vollintegrierter frequenzagiler Synthesizer mit niedrigem Phasenrauschen“, BMBF Statusseminar Mobile Kommunikation, Freiburg, June 18-19, 2008, Germany

J.C. Scheytt, S. A. Osmany, „Integrierter Frequenzagiler Synthesizer: Eine Schlüsselkomponente für Software-Defined Radio“, RadioTecC, Berlin, October 16, 2008, Germany (invited)

J.C. Scheytt, S. Osmany, F. Herzel, „Design of Integrated SiGe Frequency Synthesizers for Communications“, IEEE SCD - Semiconductors Conference Dresden 2009, April 29 - 30, 2009, Germany (invited)

J.C. Scheytt, S. A. Osmany, F. Herzel, G. Fischer, G. KAminski, W. Eckl, H. Schlesinger, „Integrierter Frequenzagiler Synthesizer“, BMBF Statusseminar Mobile Kommunikation, Dresden, June 18 - 19, 2009, Germany

S.A. Osmany, F. Herzel, J.C. Scheytt, K. Schmalz, W. Winkler, “Integrated 22 GHz Low-Phase-Noise VCO with Digital Tuning in SiGe BiCMOS Technology”, Electronics Letters 45(1), 39 (2009)

S.A. Osmany, F. Herzel, J.C. Scheytt, „An Integrated 0.6-4.6 GHz, 10-14 GHz, and 20-28 GHz Frequency Synthesizer for Software-Defined Radio Applications“, BCTM 2009, IEEE Bipolar / BiCMOS and Technology Meeting, Capri, October 13 - 14, 2009, Italy, (accepted)

S.A. Osmany, F. Herzel, J.C. Scheytt, “An Integrated Fractional-N Frequency Synthesizer for Software-Defined Radio Applications”, IEEE Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems (SiRF 2010), New Orleans, submitted to conference (submitted)

## **Publikationen**

S.A. Osmany, F. Herzel, K. Schmalz, W. Winkler “Phase Noise and Jitter Modeling for Fractional-N PLLs” Advances in Radio Science 5, p. 313 (2007)

R. Follmann, D. Köther, T. Kohl, M. Engels, V. Heyer, K. Schmalz, F. Herzel, W. Winkler, S. Osmany, U. Jagdhold „A Low Phase Noise Integrated SiGe 18...20 GHz Fractional-N Synthesizer” Proc. European Microwave Week, p. 263 (2007), Germany

S.A. Osmany, F. Herzel, J.C. Scheytt, K. Schmalz, W. Winkler “An Integrated 19-GHz Low-Phase-Noise Frequency Synthesizer in SiGe BiCMOS Technology” Proc. CSIC, 191 (2007)

R. Follmann, D. Köther, T. Kohl, M. Engels, T. Podrebersek, H.-V. Heyer, K. Schmalz, F. Herzel, W. Winkler, S. Osmany, U. Jagdhold, “A Single SiGe Chip Fractional-N 275 MHz 20 GHz PLL with Integrated 20 GHz VCO”, Proc. 2008 IEEE MTT-S International Microwave Symposium, Digest, 355 (2008)

S.A. Osmany, F. Herzel, J.C. Scheytt, K. Schmalz, W. Winkler, “Integrated 22 GHz Low-Phase-Noise VCO with Digital Tuning in SiGe BiCMOS Technology”, IET Electronics Letters 45(1), 39 (2009)

S.A. Osmany, F. Herzel, J.C. Scheytt, “An Integrated 0.6-4.6 GHz, 10-14 GHz, and 20-28 GHz Frequency Synthesizer for Software-Defined Radio Applications”, Proc. BCTM 2009, IEEE Bipolar / BiCMOS and Technology Meeting, Capri, October 13 - 14, 2009, Italy, (accepted)

S.A. Osmany, F. Herzel, J.C. Scheytt, “An Integrated Fractional-N Frequency Synthesizer for Software-Defined Radio Applications”, Proc. of the IEEE Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems (SiRF 2010), New Orleans, submitted to conference



### 3 Literaturverweise

- [1] W. Winkler et al., "60 GHz and 76 GHz oscillators in 0.25  $\mu\text{m}$  SiGe:C BiCMOS," ISSCC 2003, pp.454-455.
- [2] F. Herzel, G. Fischer, and H. Gustat, "An Integrated CMOS RF Synthesizer for 802.11a Wireless LAN", IEEE Journal of Solid-State Circuits, Vol. 38, Oct. 2003, pp. 1767-1770.
- [3] W. Winkler et al., "A Fully integrated BiCMOS PLL for 60GHz wireless Applications," ISSCC 2005, pp.406-407.
- [4] H. Gustat et al., "A Fully Integrated Low-Power Low-Jitter Clock Synthesizer with 1.2GHz Tuning Range in SiGe:C BiCMOS Technology," Materials Science in Semiconductor Processing, vol. 8, Feb.2005, pp. 451-458.
- [5] F. Herzel, W. Winkler, "A 2.5-GHz Eight-Phase VCO in SiGe BiCMOS Technology," IEEE Transaction in Circuits and Systems II, Vol. 52, March 2005, pp. 140-144.
- [6] F. Herzel et al., "Integrated CMOS wideband Oscillator for RF Applications", IEE Electronics Letters, Vol. 37, March 2001, pp. 330-331.
- [7] F. Herzel and M. Piz, "System-Level Simulation of a Noisy Phase Locked Loop," in Proc. of the 13<sup>th</sup> European Gallium Arsenide and other Compound Semiconductors Application Symposium, Paris, Oct. 2005, pp.193-196.
- [8] <http://www.ihp-microelectronics.com/12.0.html>
- [9] "LMX 2531 High Performance Frequency Synthesizer System with Integrated VCO", Data Sheet, 2009 (last revision), National Semiconductor Corporation, USA
- [10] A. D. Berny et al., "A wideband-band low-phase noise CMOS VCO," in Proc. IEEE Custom Integrated Circuits Conference, Sep. 2003, pp. 555-558.
- [11] M. Tiebout, "A CMOS Fully Integrated 1 GHz and 2 GHz Dual Band VCO with a Voltage Controlled Inductor, ESSCRC 2002, pp. 799-802. Z. Li et al., "A Low-Phase-Noise and Low-Power Multiband CMOS Voltage-Controlled Oscillator," IEEE Journal of Solid-State Electronics, vol. 40, June 2005, pp. 1296-1302.
- [12] V. Manan "A Dual Band (10/16 GHz) p-HEMT VCO, in Proc. of the 13<sup>th</sup> European Gallium Arsenide and other Compound Semiconductors Application Symposium, Paris, Oct. 2005, pp. 261-264.
- [13] <http://www.depatinet.de>
- [14] S.A. Osmany, F. Herzel, K. Schmalz, W. Winkler, „Phase Noise and Jitter Modeling for Fractional-N PLLs“ "Integrierte digitale und analoge Schaltungen" - Kleinheubacher Tagung, September 25-29, 2006, Germany
- [15] S.A. Osmany, F. Herzel, K. Schmalz, W. Winkler "Phase Noise and Jitter Modeling for Fractional-N PLLs" Advances in Radio Science 5, 313 (2007)
- [16] S.A. Osmany, F. Herzel, J.C. Scheytt, K. Schmalz, W. Winkler, "Integrated 22 GHz Low-Phase-Noise VCO with Digital Tuning in SiGe BiCMOS Technology", IET Electronics Letters 45(1), 39 (2009)

- [17] C. S. Voucher, I. Ferencic, M. Locher, S. Sedvallon, u. Voegeli, and Z. wang, "A Family of low-power truly modular programmable dividers in standard 0.35  $\mu\text{m}$  CMOS Technology," IEEE J. Solid-State Circuits, vol. 35, no. 7, pp. 1039-1045, July 2007.
- [18] "STM STW81103 Multi-band RF Frequency Synthesizer with Integrated VCO", Datasheet, March 2008, STMicroelectronics, France
- [19] "Analog Devices ADF 4350 Wide Band Synthesizer with Integrated VCO", Datasheet, Analog Devices Inc., USA
- [20] R. Rembold, „Anordnung zur linearen Verstärkung eines bandbegrenzten Hochfrequenzsignals“ Patent Nr. DE102006006875B3, Deutsches Patent- und Markenamt München, 15 Feb. 2006
- [21] B.Rembold, O. Koch: "Combination of LINC and EER Method", IEE Electronic Letters 42/16 (2006) pp. 900-902
- [22] M. Dirix, „Optimierung und Implementierung eines Klasse E Leistungsverstärkers für einen 2.4 GHz Sender nach dem CLIER Prinzip“, Diplomarbeit RWTH IHF 2008
- [23] X. Zhang. "An Improved Outphasing Power Amplifier System for Wireless Communications", PhD Thesis, UCA , 2001
- [24] F. Wang, „Optimierung und Aufbau eines Leistungsadditionsnetzwerkes für einen 2,4 GHz Sender nach dem CLIER Prinzip“, Diplomarbeit RWTH IHF 2008
- [25] S. Cheng, „Aufbau eines sehr effizienten Einhüllendenverstärkers für einen 2,4 GHz Sender nach dem CLIER Prinzip“, Diplomarbeit RWTH IHF 2009
- [26] A.Ulbrich, „Analyse und digitale Kompensation von Front-End Fehlern in einem auf einer Kombination von EER und LINC basierenden Hochfrequenzsender“, Diplomarbeit RWTH IHF 2009
- [27] S.A. Osmany, F. Herzel, J.C. Scheytt, „An Integrated 0.6-4.6 GHz, 10-14 GHz, and 20-28 GHz Frequency Synthesizer for Software-Defined Radio Applications“, BCTM 2009, IEEE Bipolar / BiCMOS and Technology Meeting, Capri, October 13 - 14, 2009, Italy, (accepted)
- [28] S.A. Osmany, F. Herzel, J.C. Scheytt, "An Integrated 0.6-4.6 GHz, 10-14 GHz, and 20-28 GHz Frequency Synthesizer for Software-Defined Radio Applications", Proc. BCTM 2009, IEEE Bipolar / BiCMOS and Technology Meeting, Capri, October 13 - 14, 2009, Italy, (accepted)