

Caracterización experimental de dispositivos nanoelectrónicos en el rango criogénico

Miguel Tarancón Cebrián, Jorge Pérez-Bailón, Carlos Sánchez Azqueta

Afiliación: Grupo de Diseño Electrónico (GDE)
Instituto de Investigación en Ingeniería de Aragón (I3A)
Universidad de Zaragoza, Mariano Esquillor s/n, 50018, Zaragoza, Spain.
e-mail: 759966@unizar.es

Resumen

En este trabajo se presenta la caracterización experimental del comportamiento a distintas temperaturas de transistores integrados en un circuito integrado comercial en tecnología CMOS. El rango de temperaturas de interés abarca el habitual de operación de dichos dispositivos (de $-40\text{ }^{\circ}\text{C}$ a $+80\text{ }^{\circ}\text{C}$) e incluye también la caracterización a ultra-baja temperatura hasta el régimen criogénico a 4 K.

Introducción

La computación cuántica se ha propuesto como una alternativa a la computación digital clásica con la previsión de que será capaz de abordar problemas intratables en la actualidad gracias a sus propiedades de paralelización de las operaciones. Se espera así que de lugar a un nuevo paradigma de computación que supondrá lo que ya se conoce como segunda revolución cuántica.

A principios de la década pasada se propuso la implementación de los bits cuánticos (“qubits”) en el espín de los electrones en silicio [1]. Esto permitiría implementar en el mismo chip tanto los “qubits” como su sistema de control, lo que posibilitaría la escalabilidad a matrices grandes de “qubits” [2].

Sin embargo, para poder aprovechar las mejoras computacionales que promete la computación cuántica es necesario que la temperatura de trabajo descienda al rango criogénico profundo. Por tanto, si se quiere disponer de circuitos integrados que implementen tanto los “qubits” como el sistema de control, es necesario disponer de modelos que describan el comportamiento a estas temperaturas de los elementos activos y pasivos que se emplean en el diseño electrónico.

Por esta razón, este trabajo presenta un estudio del comportamiento de dispositivos integrados comerciales (transistores NMOS implementados en un proceso CMOS) en un rango de temperaturas que cubre el rango habitual de operación de dichos

dispositivos (desde $-40\text{ }^{\circ}\text{C}$ hasta $+80\text{ }^{\circ}\text{C}$), que es el que incorporan los kits de diseño microelectrónico en tecnologías nanométricas en Si, añadiendo el rango de temperaturas criogénicas hasta 4 K, lo que se ha caracterizado usando un refrigerador criogénico.

Mediciones

El circuito integrado que se va a medir es la referencia CD4007UBE de Texas Instruments, el cual tiene accesible un transistor MOSFET de tipo NMOS fabricado con una tecnología.

Sistema de medición

Las medidas en el rango de $-40\text{ }^{\circ}\text{C}$ a $+80\text{ }^{\circ}\text{C}$ se han realizado introduciendo el chip en una PCB creada ad-hoc para esta tarea dentro de una cámara climática (modelo FITOTERM 22E), mientras que las mediciones en el rango de temperaturas criogénico hasta 4 K se han realizado introduciendo dicha PCB en un refrigerador criogénico (de Quantum Design).

Para tomar las medidas se ha usado una SMU 2602A de Keithley Instruments. Se han hecho dos mediciones en DC a cada temperatura. La primera es la curva I_D - V_{GS} , la cual permite extraer la tensión umbral V_{TH} del transistor. Después se miden distintas curvas I_D - V_{DS} para varios V_{GS} . Con ellas se pueden obtener las intensidades de saturación I_{Dsat} para tensiones de puerta diferentes.

Resultados de las medidas

En la Figura 1 se muestran las curvas medidas a temperaturas ambiente y criogénica para el transistor NMOS. Como se puede ver, las curvas tienen las formas típicas que se esperan para transistores MOSFET [3], al menos para temperatura ambiente. A partir de ella, se obtienen unas tensiones umbrales $V_{TH,n} = 2.52\text{ V}$ a temperatura ambiente (300 K) y de $V_{TH,n} = 3.16\text{ V}$ para $T = 3.7\text{ K}$. En la Tabla 1 se muestra las I_{Dsat} estimadas a ambas temperaturas.

Finalmente, en la Figura 2 se representa como cambian la tensión umbral y la intensidad de saturación de los transistores con la temperatura. Se observa como la tensión umbral decrece conforme aumenta la temperatura. Por otro lado, la intensidad de saturación crece conforme aumenta la intensidad de puerta, lo cual era de esperar, y también disminuye al aumentar la temperatura, siendo este efecto más notable para tensiones de puerta mayores.

Conclusiones

En este trabajo se ha estudiado la respuesta en DC de un transistor MOSFET comercial de tipo NMOS implementado en un proceso de silicio en un rango de temperaturas de $-40\text{ }^{\circ}\text{C}$ hasta $+80\text{ }^{\circ}\text{C}$ mediante cámara climática, extendiendo dicha caracterización al rango criogénico hasta 4 K mediante un refrigerador de dilución. El objetivo es tener una primera caracterización de dichos dispositivos previa a la que se realizará sobre unos circuitos integrados diseñados específicamente en un proceso CMOS de 65 nm , que ya se han mandado a fabricar y que permitirá contribuir a extender los modelos de simulación de dichos dispositivos proporcionados

por las foundries al rango criogénico, con el objetivo de ser capaces de diseñar interfaces de control y lectura/escritura de computadores cuánticos totalmente integrados en silicio y operando en régimen criogénico profundo a unos pocos K.

Agradecimientos

Este trabajo se ha financiado con una ayuda de la Agencia Estatal de Investigación (PID2020-114110RA-I00).

REFERENCIAS

- [1] PLA, J. y otros. A single-atom electron spin qubit in silicon. *Nature*. 2012, vol. 489, p. 541–545. ISSN 0028-0836.
- [2] BECKERS, A. y otros. Cryogenic characterization of 28 nm bulk CMOS technology for quantum computing. *2017 47th European Solid-State Device Research Conference (ESSDERC)*. 2017, p. 62-65. ISSN 9781-509059782.
- [3] RAZAVI, B. *Fundamentals of microelectronics*. John Wiley & Sons, 2008. ISBN 9780471478461.

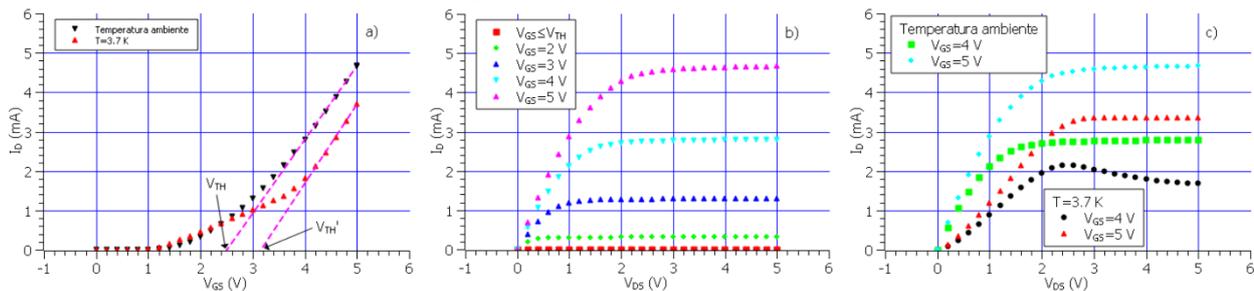


Figura 1. Medidas tomadas a temperaturas ambiente y criogénica (3.7 K) del transistor NMOS: a) I_D - V_{GS} , b) I_D - V_{DS} (ambiente) y c) I_D - V_{DS} para $V_{GS}=4\text{ V}$ y $V_{GS}=5\text{ V}$ a ambas temperaturas.

Tabla 1. Valores estimados de I_{Dsat} del transistor NMOS para diferentes tensiones de puerta a temperatura ambiente.

V_{GS} (V)	0	2	3	4	5
$I_{Dsat}@300\text{K}$ (mA)	0	0.32	1.31	2.80	4.67
$I_{Dsat}@3.7\text{K}$ (mA)	0	0.35	1.06	2.13	3.36

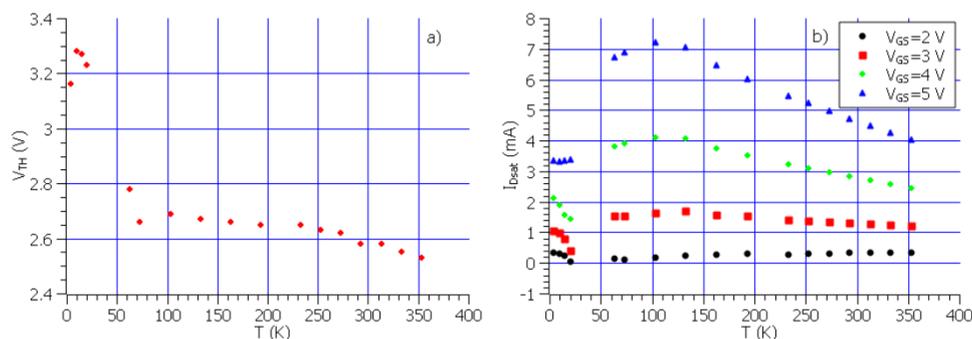


Figura 2. Estimaciones a distintas temperaturas de: a) V_{TH} y b) I_{Dsat} .