

MODULACIÓN DE SEÑALES BINARIAS POR POSICIÓN DE PULSO EN DISPOSITIVOS FPGA

Binary Pulse Position Modulation in Field Programmable Gate Array

RESUMEN

La modulación por posición de pulso binaria BPPM, consiste en la generación de pulsos que varían en su posición de acuerdo al valor binario de la señal de entrada; a mayor valor de la señal de entrada, mayor es el desplazamiento del pulso respecto a una posición de referencia.

En este artículo se presentan dos diseños BPPM de 3 bits para una FPGA Spartan 3 referencia XC3S200 de Xilinx. Se diseña el modulador como una máquina de estados que se programa en la herramienta CAE ISE Foundation v8.2, se genera el código VHDL del modulador, se simula su funcionamiento y se crea el RTL del diseño. La utilización de recursos de la FPGA y la máxima velocidad de operación se comparan en los dos diseños, obteniendo una frecuencia máxima de operación de 18 MHz y una utilización de recursos máxima del 15%.

El diseño de las máquinas de estado puede ser fácilmente modificado para aumentar el número de bits de la señal de entrada.

PALABRAS CLAVES: máquina de estado finito, FPGA, modulación por posición de pulso binaria.

ABSTRACT

The Binary Pulse Position Modulation BPPM is a digital modulation technique where an input binary value is modulated into a variable pulse position signal that is changing to a higher shifting pulse as long as the input is increasing and vice versa. This paper presents two BPPM designs of 3 bits for a Spartan 3 FPGA reference XC3S200 from Xilinx. The modulator is designed as a state machine that is programmed into the tool CAE ISE Foundation v8.2, the VHDL code is generated, its operation is simulated and the RTL design is created. The use of FPGA resources and the maximum operation speed are compared in the two designs, and by this way, a maximum operation frequency of 18 MHz is obtained with a maximum utilization of 15%. The state machine design can be easily modified in order to increase the number of bits in the input signal.

KEYWORDS: Finite State Machine, Field Programmable Gate Array, Binary Pulse Position Modulation.

1. INTRODUCCIÓN

La modulación PPM es una modulación digital cuya señal de salida es una señal binaria en la cual la posición de los valores lógicos altos depende del valor de la señal de entrada. Una opción sencilla para diseñar moduladores PPM consiste en la utilización de un circuito integrado en modo astable como el LM555, en el cual la señal de salida es una onda cuadrada, que de acuerdo a las conexiones realizadas, varía en su posición con respecto a la señal de entrada análoga. Las desventajas de esta implementación son: frecuencia máxima de operación limitada y precisión en el diseño debido a la tolerancia de los elementos utilizados (resistencias y condensadores).

En el caso de aplicaciones PPM con señales de entrada y salida digital, se hace necesario descartar las soluciones análogas, y se propende por los dispositivos programables. Recientemente se han utilizado los DSP (procesadores digitales de señal) para la modulación por posición de pulso, pero se ha encontrado la desventaja de la velocidad máxima de operación en esta solución hardware. Otro campo para el desarrollo de moduladores PPM más recientemente estudiado, ha sido la utilización de dispositivos de arreglo de campo programable FPGAs.

En la literatura se encuentra el desarrollo a la medida de moduladores PPM para pruebas en comunicaciones

DORA MARÍA BALLESTEROS

Ingeniera Electrónica, M. Sc.
Profesor Asistente
Universidad Militar Nueva Granada
doramaria02@gmail.com

PAULINE GAMMA

Estudiante Ingeniería
Telecomunicaciones.
Universidad Militar Nueva Granada.
Grupo de Investigación TIGUM

WILLINGTON CAMACHO

Estudiante Ingeniería
Telecomunicaciones.
Universidad Militar Nueva Granada.
Grupo de Investigación TIGUM

ópticas [1], programación en FPGA de decodificadores PPM para comunicaciones láser de alta velocidad [2], patente de aparatos y métodos para PPM con entrada de datos digital [3], patente de filtrado para PPM [4], patente de protocolos de PPM [5], patente de modulaciones ópticas usando PPM [6], moduladores PPM para comunicaciones de alto ancho de banda [7], moduladores PPM para sistemas caóticos [8], para redes ópticas [9] moduladores para sistemas CDMA [10], entre otros.

En este trabajo se diseña e implementa un modulador por posición de pulsos, basados en el concepto de máquinas de estado finito y utilizando la herramienta CAE de Xilinx ISE Foundation v8.2. La FPGA seleccionada es una Spartan 3 referencia XC3S200, la cual cuenta con 200.000 compuertas equivalentes.

En el segundo capítulo se presentan conceptos básicos de máquinas de estado finito y modulador PPM; en el capítulo tres se presentan condiciones de diseño; en el cuarto capítulo se presentan dos diseños BPPM, en el quinto se simulan y se comparan los recursos hardware asignados en cada caso; en el sexto la discusión de resultados y en el séptimo las conclusiones del trabajo realizado.

2. MARCO TEÓRICO

2.1. Máquinas de estado finito

Los circuitos secuenciales son aquellos que almacenan información por un lapso de tiempo determinado. Cuando se diseñan circuitos que “pasan” de un estado a otro de acuerdo al valor de la señal o señales de entrada, se utiliza el modelo de máquinas de estado finito (el número de estados diferentes debe ser conocido y es limitado). De acuerdo a la forma de actualización del valor de salida de la máquina, se clasifican en máquinas tipo moore y tipo mealy, en el primer caso la salida solamente depende del estado y en el segundo caso depende además de la señal o señales de entrada.

Internamente en una máquina de estado finito se encuentra: un bloque de almacenamiento de la información conformado por flip-flops, una lógica de entrada y una lógica de salida.

En el diagrama de la máquina de estados las condiciones de transición se representan por flechas y los estados por círculos, hay tantos estados como círculos y condiciones como flechas. Si la salida de la máquina se encuentra dentro del círculo, es una máquina moore; en caso de encontrarse en la flecha es una máquina mealy.

El diagrama de estados de la Figura 1, corresponde a una máquina de estados tipo moore con tres estados y una salida de un bit (out1). Para ese ejemplo, la señal de

entrada es **up**, si tiene valor 1 lógico se pasa al siguiente estado, en caso contrario sigue en el estado actual.

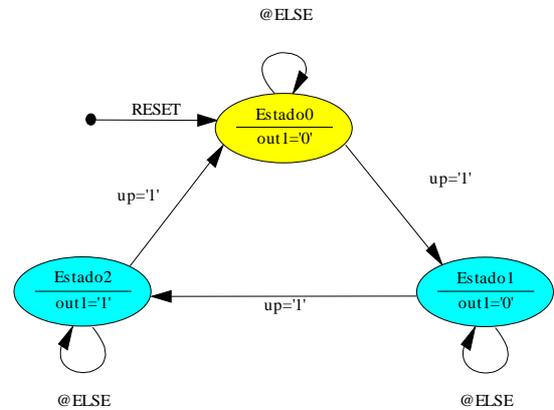


Figura 1. Máquina de estado finita, tipo moore. Diseño del autor

2.2. Modulación por posición de pulso

En la modulación por posición de pulso la información está contenida en la posición en la que ocurre el pulso. El pulso está desplazado respecto a un tiempo de referencia de acuerdo al valor de la señal de entrada. Cada periodo de muestro marca un tiempo de referencia en la modulación. En la Figura 2 se presenta una señal de entrada analógica y su correspondiente señal modulada por posición, cada T_s se evalúa la señal analógica y se calcula el valor de desplazamiento, cuando la señal está a mitad de escala el pulso se encuentra en nT_s , cuando la señal está en la mitad inferior de la escala se presenta el máximo desplazamiento con respecto a nT_s .

La señal modulada viene dada por la ecuación (1), en la cual $s(t)$ es la señal modulada, T_s es el periodo de muestreo, $m(t)$ es la señal de entrada, $g(t)$ es el impulso desplazado y k_p es la sensibilidad en posición del modulador.

$$s(t) = \sum_{n=-\infty}^{\infty} g[t - nT_s - k_p m(nT_s)] \quad (2)$$

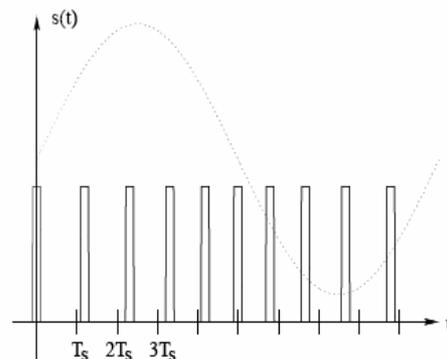


Figura 2. Ejemplo señal de entrada y de salida de PWM. Tomado de [13]

3. CONDICIONES DE DISEÑO

Para el diseño del BPPM se tienen en cuenta las siguientes condiciones.

- Señal de entrada digital de tres bits
- Señal de reloj digital con ciclo útil del 50%
- Señal de salida actualizada cada diez ciclos de la señal de reloj.
- Ocho valores diferentes de desplazamiento del pulso
- Ningún pulso debe presentarse en el tiempo nTs.

Para la utilización de la FPGA se incluyeron las siguientes restricciones:

Adicionalmente se consideran las siguientes restricciones:

- Los recursos hardware del modulador deber ser menores a los disponibles en una Spartan 3 referencia XC3200.
- La herramienta CAE seleccionada debe generar el código VHDL a partir del diagrama de estados del modulador.

Para la construcción de la tabla de salida del modulador BPPM de tres bits se utiliza la ecuación (2) con los siguientes valores:

- $T_s = 10 \cdot clk$
- $K_p = \frac{m+2}{m} \cdot clk$

Donde clk es la señal de reloj, Ts es el periodo de muestreo, kp es la sensibilidad del modulador, g(t) es el pulso y m es el valor digital de la señal de entrada. De tal forma que la ecuación (2) se re-escribe como:

$$s(t) = \sum_{n=-\infty}^{\infty} g \left[t - clk \left(n \cdot 10 - \frac{m(n \cdot 10 \cdot clk) + 2}{m(n \cdot 10 \cdot clk)} m(n \cdot 10 \cdot clk) \right) \right] \quad (3)$$

Para la entrada 011 (3 en decimal) se obtiene el siguiente valor de desplazamiento:

$$g \left[t - clk \left(n \cdot 10 - \frac{m(n \cdot 10 \cdot clk) + 2}{m(n \cdot 10 \cdot clk)} m(n \cdot 10 \cdot clk) \right) \right] =$$

$$g \left[t - clk \left(n \cdot 10 - \frac{3+2}{3} 3 \right) \right] =$$

$$g \left[t - clk \left(n \cdot 10 - \frac{5}{3} 3 \right) \right] =$$

$$g [t - clk(n \cdot 10 - 5)]$$

La primera vez que se modula la señal (n=0) se tiene el desplazamiento $g[t - 5clk]$ correspondiente a cinco ciclos de la señal de reloj (tiempo inicial=0 segundos).

Aplicando la ecuación (3) para los ocho valores digitales de la señal de entrada se construye la tabla 1.

Entrada	Salida									
	clk 1	clk 2	clk 3	clk 4	clk 5	clk 6	clk 7	clk 8	clk 9	clk 10
0 0 0	0	1	0	0	0	0	0	0	0	0
0 0 1	0	0	1	0	0	0	0	0	0	0
0 1 0	0	0	0	1	0	0	0	0	0	0
0 1 1	0	0	0	0	1	0	0	0	0	0
1 0 0	0	0	0	0	0	1	0	0	0	0
1 0 1	0	0	0	0	0	0	1	0	0	0
1 1 0	0	0	0	0	0	0	0	1	0	0
1 1 1	0	0	0	0	0	0	0	0	1	0

Tabla 1. Entrada y salida del modulador BPPM

4. DISEÑO DEL BPPM

4.1. BPPM con 24 estados

El primer diagrama de la máquina de estados utiliza dos estados comunes para todos los valores de la señal de entrada, correspondientes al primer ciclo y último ciclo de la señal de reloj. Adicionalmente existe un estado por valor de entrada para contar el número de 0's de salida anteriores al pulso, otro estado para contar el número de 0's de salida posteriores al pulso y un estado para el pulso.

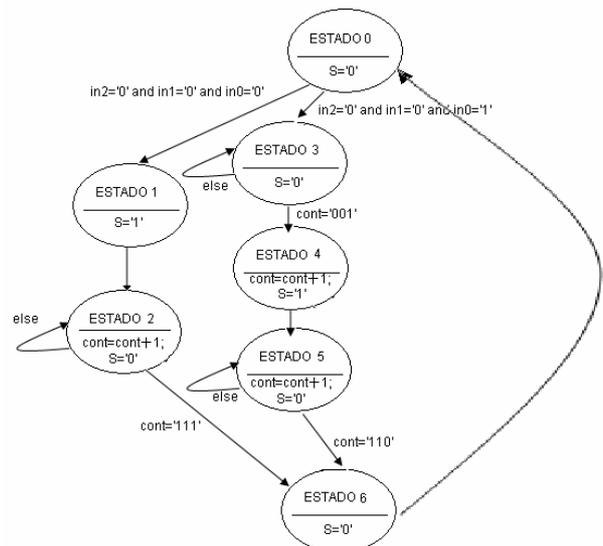


Figura 3. Parte de la máquina de estados BPPM de 24 estados-

En la Figura 3 se presenta una parte de la máquina de estados, en la cual se han incluido los estados comunes

para todas las señales de entrada binaria (los estados 0 y 6), y los estados correspondientes a las entradas “000” y “001”. Los contadores incluidos en los estados 2, 3 y 5 tienen como objetivo contar el número de ciclos de reloj en los cuales la señal de salida es cero lógico.

4.2. BPPM con 3 estados

El segundo diagrama de la máquina de estados utiliza dos estados para los valores de salida 0 digital y un estado para la salida 1 digital (el pulso). Para pasar del primer estado al segundo se utiliza un contador y se evalúa la señal de entrada binaria con unión tipo and, y las ocho condiciones resultantes se unen a su vez con una condición tipo or. El mismo procedimiento se realiza para pasar del estado tres al estado uno y solamente se necesita un flanco de subida de la señal clk para pasar del estado dos al estado tres.

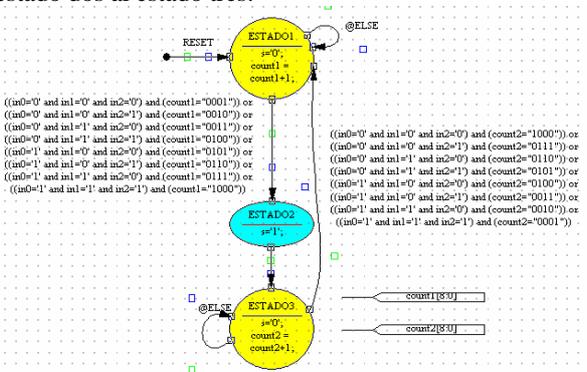


Figura 4. Máquina de estados BPPM con 3 estados.

5. RESULTADOS

5.1. Síntesis de los diseños

Los recursos hardware asignados a la máquina de estados para una FPGA referencia XC3S200, se presentan en la Tabla 2, tomados del reporte automático que genera ISE Foundation al sintetizar la FSM.

Recursos	Utilizados		Disponibles	% Utilización	
	BPPM 26 estados	BPPM 3 estados		V1	V2
Número de slices	76	41	1920	3%	2%
Número de flip-flops	42	10	3840	1%	0.3%
Número de LUTs de 4 entradas	143	78	3840	3%	2%
Número de IOBs	23	13	173	13%	7%
Número de GCLKs	1	1	8	12%	12%

Tabla 2. Utilización de recursos

Después de la asignación de recursos hardware al diseño de la FSM, la herramienta CAE estima el retardo total del diseño y la frecuencia máxima de operación del mismo. Los resultados obtenidos para el BPPM de 24 estados son:

- Mínimo periodo: 6.792 ns
- Máxima frecuencia: 147.237 MHz
- Mínimo tiempo de arribo de la señal de entrada antes de la señal de reloj: 7.93 ns
- Máximo tiempo de salida requerido después de la señal de reloj: 7.75 ns

Debido a que en el diseño propuesto se utilizan diez ciclos de la señal de reloj de entrada, entonces la frecuencia máxima de operación real (frecuencia de muestreo máxima de la señal análoga) es de 14.72 MHz. El RTL de PWM se presenta en la Figura 5.

En la Figura 5 se presenta parte del RTL de esta máquina de estados, y se resaltan con círculos dos bloques sumadores los cuales hacen parte del diagrama circuital de la lógica de entrada y de salida de la FSM



Figura 5. RTL del BPPM de 24 estados

Para el caso del BPPM de 3 estados se tiene:

- Mínimo periodo: 5.326 ns
- Máxima frecuencia: 187.758 MHz
- Mínimo tiempo de arribo de la señal de entrada antes de la señal de reloj: 6.738 ns
- Máximo tiempo de salida requerido después de la señal de reloj: 6.626 ns
- Frecuencia de muestreo máxima señal análoga: 18.77 MHz

En la Figura 6 se presenta el RTL de esta máquina. Los círculos rojos indican las posiciones en las cuales se encuentran los 10 flip-flops tipo D utilizados en el diseño (Tabla 2).



Figura 6. RTL de BPPM de tres estados.

6. SIMULACIÓN

La figura 7 se presenta la simulación de BPPM para una señal de entrada de tres bits correspondiente al diseño de tres estados. Se presentan ocho simulaciones (una para cada combinación de la señal de entrada) con la señal BPPM denominada *s*, la entrada binaria en forma paralela con los bits *in0* (MSB) *in1 in2* (LSB) y *sreg* el estado en que se encuentra la máquina. Los contadores *count1* y *count2* corresponden a los contadores de los 0's antes y después del pulso, respectivamente.

A medida que aumenta en 1 el valor de la señal de entrada el pulso se desplaza una posición de reloj a la derecha, y finalmente, para la entrada 111 el pulso se presenta nueve ciclos de reloj desplazados (el ciclo ocho empezando en cero). Por ejemplo para la señal de entrada "010" se tiene el ciclo común igual a 0, luego tenemos 2 ciclos consecutivos de 0's, sigue un ciclo igual a 1, de nuevo tenemos 5 ciclos consecutivos de 0's y finalmente tenemos un ciclo común igual a 0.

Para el caso de la entrada 110 el contador 1 cuenta de 000 hasta 006 antes del pulso y el contador 2 cuenta desde 000 hasta 0001.

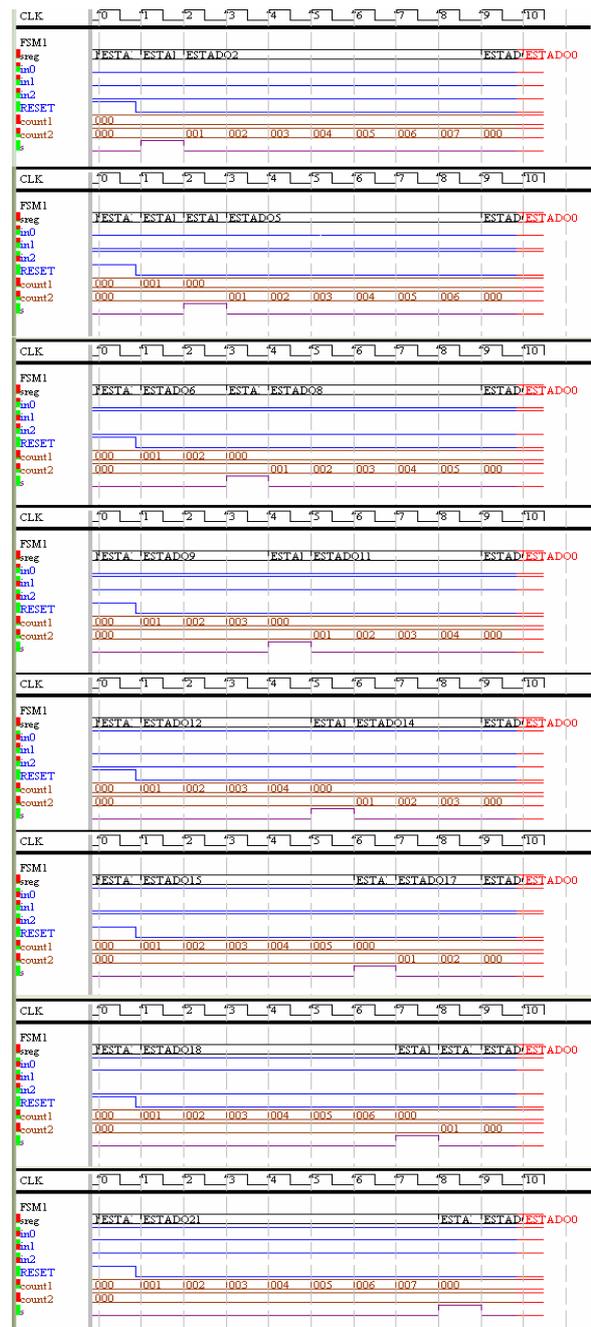


Figura 7. Simulación BPPM de tres estados

7. CONCLUSIONES Y RECOMENDACIONES

En el trabajo presentado en este artículo se verificó que el modulador por posición de pulso binario puede ser modelado como una máquina de estados finito tipo moore, en la cual la posición del pulso depende directamente del valor binario de la señal de entrada. Adicionalmente, la elaboración de la tabla de salida del modulador se pudo construir a partir de la ecuación convencional de PPM y la inclusión de las condiciones

de diseño planteadas (factor de sensibilidad y periodo de muestreo).

Los dos diagrama del modulador BPPM pueden ser fácilmente extensibles para una señal de entrada binaria de N bits. En el caso del segundo diseño, el número de estados no cambia, y solamente se necesitan agregar más condiciones de transición del estado 1 al estado 2 y del estado 3 al estado 1 y aumentar el número de bits del contador.

Los recursos hardware asignados a la máquina de estados son inferiores a los disponibles en la Spartan 3 referencia XC3S200, cumpliendo con el objetivo de asignación de recursos. Para un trabajo futuro se propone la realización del BPPM de 8 bits para la misma referencia de la FPGA y realizar pruebas reales (programar la tarjeta y utilizar un conversor ADC de 8 bits).

El uso de herramientas CAE facilita el diseño a la medida de aplicaciones digitales y en este caso la misma herramienta es la encargada de generar el código VHDL del diseño, construir el RTL y simular el funcionamiento. El éxito del desarrollo radica entonces en el correcto y óptimo diseño del modulador.

8. BIBLIOGRAFÍA

- [1] D Zhu, W Farr. “Programmable Pulse-Position Encoder”. NASA Tech Briefs. Mar 2006.
Disponible en:
http://findarticles.com/p/articles/mi_qa3957/is_200603/ai_n17181427
Página visitada: Junio 5 de 2008
- [2] Mk Cheng et al. “A field programmable gate array implementation of the serially concatenated pulse position modulation decoder”. IPN Progress Report 42-161. May 2005. Disponible en:
http://coding.jpl.nasa.gov/~hamkins/publications/ipn_progress_reports/2005_05_15d.pdf
Página visitada: Mayo 16 de 2008
- [3] Method and apparatus for pulse position modulation. US Patent No. 6212230. Abril 3, 2001. Disponible en: <http://www.patentstorm.us/>
- [4] Band pass filter for a pulse position modulation signal. US Patent 5881328. Marzo 9 de 1999.
- [5] Pulse position modulation protocol. US Patent 6147719. Nov 14, 2000.
- [6] Optical communication system using pulse position modulation. US Patent 4584720. Oct 8, 2002.
- [7] E S et al., “Combined M-ary code shift keying/binary pulse position modulation for ultra wideband communications,” en *Proc. 2004 Global Telecommunications Conference*, pp. 804-808.
- [8] M Sushchik, et al, “Chaotic pulse position modulation: a robust method of communicating with chaos”, *IEEE Communications Letters*, vol. 4, pp.128-130, Apr. 2000.
- [9] K S Kim et al. “Hybrid pulse position modulation/ultrashort light pulse code-division multiple-access systems”. *IEEE Transactions on Communications*, vol. 50, Issue 12, pp. 2018-2031, Dec 2002
- [10] In Dong. “Combined binary pulse position modulation/biorthogonal modulation for direct sequence code division multiple access”. *IEEE Transactions on Communications*, vol.47, Issue 1, pp. 22-26, Jan 1999.
- [11] ISE Help. Working with Architecture Wizard IP. Disponible en:
http://toolbox.xilinx.com/docsan/xilinx8/help/iseguid_e/iseguide.htm#html/ise_using_architecture_wizard.htm. Página visitada: 22 Marzo de 2008.
- [12] J Wakerly. Diseño Digital: Principios y prácticas. Tercera Edición. Ed. Pearson. 2001