

ASIC設計用CAE/CADシステムへのAIアプローチ

著者	若林 哲, 檀 良
出版者	法政大学計算センター
雑誌名	法政大学計算センター研究報告
巻	2
ページ	109-110
発行年	1988-10-01
URL	http://doi.org/10.15002/00024641

ASIC 設計用 CAE/CAD システムへの AI アプローチ

若林 哲, 檀 良

法政大学工学部電気工学科

最近の ASIC 設計の現状を見ると, ASIC の市場の拡大も相俟って設計専門の技術者の数が不足している。そこで専門的知識を有せざるも ASIC の設計を可能にしてゆくために AI 技術の導入を図り, ある意味ではエキスパートシステムの様な設計支援システムを考える必要に迫られてきた。そこで, ASIC 設計用 CAD/CAE システムのエキスパート化の第一段階として, 設計におけるいくつかの部分への AI の導入箇所を考えその部分への AI の導入についての考察を行った。ここではデザイン・ルール・チェックとテストパターンの自動生成, 自動配置・配線の三つの分野を取り上げ自動化, エキスパート化への考察を行っている。

はじめに

ASIC はやがて集積回路市場において最大級の占有率を持つまでに成長するであろうことは疑う余地の無い LSI デバイスである。実際に 1986 年には約 50 億ドルであった市場が年率 20%以上の成長をしていて, 1990 年には 100 億ドルを越える勢いである。しかしその設計に携わる技術者の多くは IC ハウスのデザイナーというより, IC ユーザのいわば集積回路設計に関しては素人に近い人々が主である。そこで, ASIC の設計を素人に近いユーザにも簡単にできるような CAE/CAD システムの出現が待ちこがれている。それには AI の手法を用いてある種のエキスパート化により解決されるであろうことは言われ続けている。現時点では AI の導入は各社共に研究中であり実際に市販されているツールの中には無いに等しい。そこで, 以下に示す設計工程の 3 つの部分に適応する AI 手法の導入に関して検討したので報告する。

ゲートアレイ設計用 CAD システム

ゲートアレイ設計用 CAD システムは, シミュレーションと解析によってデザインを仮定し, 検証することができる媒体を与える。(1) その媒体を用いて検証が完了すると, デザインはコンピュータ上に保持されて, パターン作成のための数値制御用テープの作成は簡単に行われる。このようにして作成されたパターン作成用テープは, 集積回路の製造に使用される。その設計行程を以下に列挙する。

① デザイン仕様の入力

ピン数, パッケージ, 論理回路図(グラフィックまたはテキスト)等のデザイン仕様を入力する。

② デザイン・ルール・チェック (DRC)

入力したデザイン仕様が適切であるかどうかをチェックする。違反等があるとその部分を知らせる。

③ 論理シミュレーション

ゲート遅延, ネットワイヤード機能, ネット遅延, 単位遅延, スwitching・レベルのモデルを含み, 入出力ピンの信号が論理レベルでの正常動作をしているかをシミュレートする。イベント・ドリブンのように④を含む場合もある。

④ タイミング解析

論理ゲートの正しい接続だけでなく, 信号のタイミングを満足させるためのデザイン内の全ての経路の正しいタイミングを検証する。

⑤ 故障シミュレーション用のテスト・パターンの入力

デザインされたゲートアレイを完全に動作させ, エラーを検出できるテスト・パターンを作る。ATPG (Automatic Test Pattern Generator) もある。

⑥ 故障シミュレーション

先に作ったテスト・パターンを用いて, 正しいモデルを使ったシミュレートを行い, 次に全ての可能な縮退故障に対して, 各故障ごとにシミュレーションを繰り返す。正常な回路のシミュレーション結果と比較し故障検出を行う。

⑦ レイアウト及びレイアウト検証

手作業または自動レイアウトを用いてゲートの配置・配線を行う。そして, 正しい物理的な構造, またはマスク・パターンの位置合わせの許容誤差等のレイアウト規則に則り正しい配置・配線が行われているかをチェックする。

⑧ デザインの検証

設計の各段階でのチェックを終え, 最終的にデザイン仕様と照らし合わせ全ての面で満足しているかどうかの検証を行う。ここでは特に電気的な検証を行う。

AI の導入

そこで, この設計行程の中で特に②の DRC, ⑤の ATPG, ⑦のレイアウトの 3 の分野に AI の導入を考えている。ここでは AI を用いて設計のエキスパート化をはかり, 現在の様にエラー箇所だけを示すのではなくそのエラーに対してどう対処したらエラーをなくせるかを指示する様なシステムを構築してゆくことを考えている。以下に個々の部分での対処を挙げる。

②の DRC に於いては, 多くの DRC はチェックをし異常箇所を示しはするが, 自動的に修正を行ったりはしない。そこで正しいかまたは最適なデザインに変更し修正するなどの処置を行わせるために AI 技術を導入し, デザイン仕様を損なうことなくその部分に対して最適なデザインを求め修正させることを考えている。

⑤の ATPG に於いては, スキャン型回路のように一定の形

式に限定して100%の故障検出率を得るものは存在するが、その形式に当てはまらなければ精度を得られないのが現状である。しかもスキャン方式は各メーカーによってその方式が異なり統一性がない。そこでこの分野でも形式に限定されないテスト・パターンを自動生成のためにAI技術の導入をはかり、人手で作成しているテスト・パターンと同等またはそれ以上のものを得られるATPGの開発を考えている。

それと同様にテスト用のスキャン型回路を自動生成させることによってスキャン方式にとらわれない設計を可能にする方法も考えている。それによってスキャン設計の知識が無くともスキャン型回路によりテストを行えるようになり、現在のATPGを変更するのではなくこの場合は回路の自動合成を用いる方法をとることになる。そこで自動合成においてもAIの手法を用いて精度のよい回路の合成を行わせることを考えている。

⑦のレイアウトに於いても、自動配置・配線の分野でAI技術の導入が考えられる。人手によるレイアウトではレイアウト規則に則って配線を行っていても検証が必要になるが、自動で行うことにより、検証を行いながらレイアウトし、レイアウトを終われば最適なパターンを作成することも可能である。現在の自動レイアウトはロジックアレイのレイアウトを100%完成させる能力を持つが、設計者は1つのアレイにできるだけ多くのロジックを詰め込もうとするため、完成度は100%以下になる。ゲートの利用率が90%を越すと、自動レイアウトは相互配線の一部を配線できなくなる場合もある。この分野は規則が複雑でAI技術を導入しエキスパート・システム化することが望ましいと考えられる。

以上の三分野がAIの導入のターゲットとして考えられ、それを実現することがこれからの課題である。また、①の分野での回路入力をピン数、求める信号パターン等から自動的に得られるようになれば、ゲートアレイの設計の完全な自動化も考えられよう。これらの点で現在までAI技術を用いた設計ツールが現存しない理由は、設計とAIとの双方における熟練者の存在が必要であり、さらにその設計知識をデータベースとして構築するには膨大な容量などが必要となってくるからである。例えば、ある特定用途に限定したLSIの設計を自動的に行うシステムは出来つつあるが、通信用のLSIなど極一部に限られている。

キーワード

ASIC, ゲートアレイ, AI, CAD/CAEシステム, エキスパートシステム

Summary

AI approach for ASIC design CAE/CAD systems

Satoshi WAKABAYASI, Ryo DANG

Department of Electrical Engineering, Hosei University†

Key Words

ASIC, gate array, CAD/CAE system, expert system

† 3-7-2 Kajino-cho, Koganei-shi, Tokyo 184, Japan

問題点

現実問題として、ゲートアレイの大規模化に対して納期の短縮化という相反する要求がある。この問題を解決するためにも設計の自動化、エキスパート化を実現しなくてはならない。シミュレーションの高速化も必要だが、人手による入力作業の分野の自動化、エキスパート化が図れば、設計に要する時間の短縮は可能である。そこで先に述べたように、AIの導入に際して設計の知識をどの様に取り入れ、CADシステムとして構築してゆくかに問題はあ

まとめ

ゲートアレイの大規模化に伴い内部の複雑さ、利用の多様化の進む中で設計の短縮化を図る上にも人手の介入を極力減らすことが必要になってきている。また、EWSの高速化及び大容量化が進み、メイン・フレームを用いなくとも高速で大規模なシステムを稼働させることも可能になってきている。そこで、AI技術を導入してLSI設計のエキスパート・システムを組み合わせることも可能になってきた。実際に特定用途向けLSI設計のエキスパートシステムが発表され、LSI設計のエキスパート化が現実のものになり始めてきた。我々は、設計行程の個々の分野でのAI技術の導入を進め、さらにはLSIのトータル設計のエキスパート化を考えている。

謝辞

本稿作成にあたり貴重な助言を頂いた檀研究室のみなさん、京セラ(株)LSIデザイン事業部のAIDAグループ、設計開発部のみなさんに感謝致します。

参考文献

- 1) ジョンW. リード編著, 原田章美訳「ゲートアレイーデザインと応用」, 啓学出版, '87
- 2) FIND増刊号「特集ASIC」より