



ДЕРЖАВНА СЛУЖБА
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ
УКРАЇНИ

УКРАЇНА

(19) **UA** (11) **93798** (13) **U**
(51) МПК
G06F 11/08 (2006.01)

(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

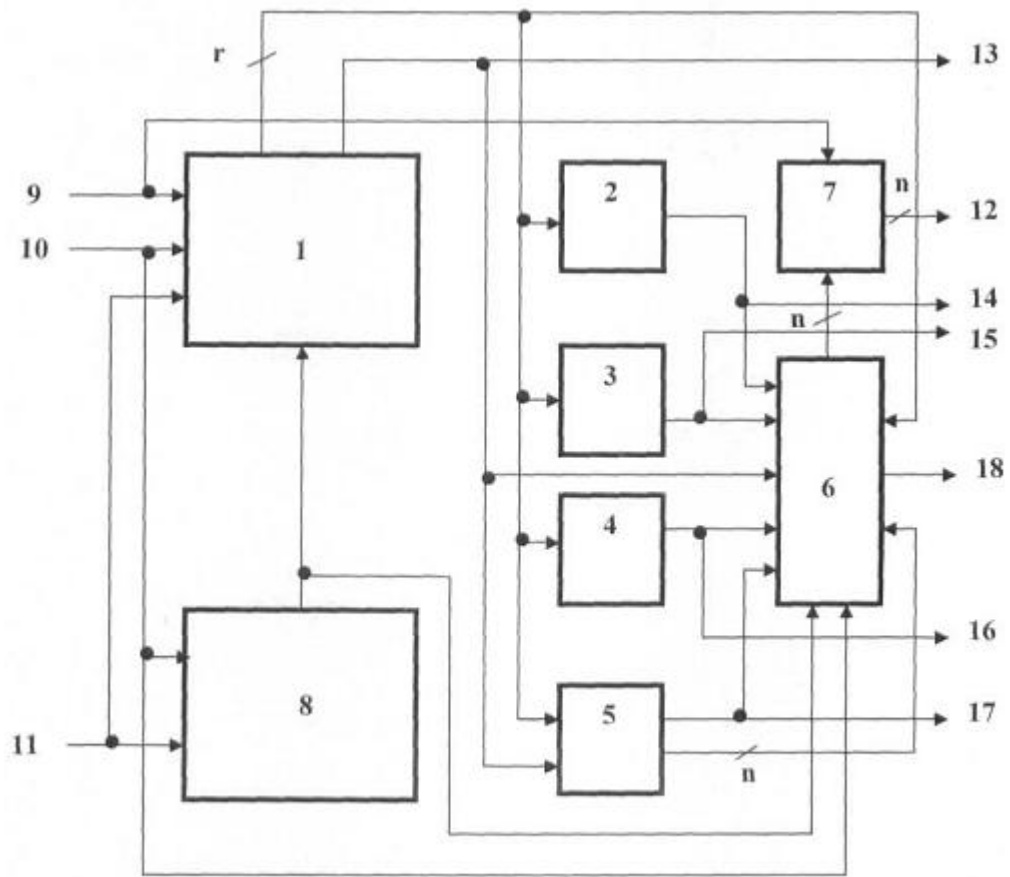
(21) Номер заявки: u 2014 05832	(72) Винахідник(и): Семеренко Василь Петрович (UA)
(22) Дата подання заявки: 29.05.2014	(73) Власник(и): ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ, Хмельницьке шосе, 95, м. Вінниця, 21021 (UA)
(24) Дата, з якої є чинними права на корисну модель: 10.10.2014	
(46) Публікація відомостей про видачу патенту: 10.10.2014, Бюл.№ 19	

(54) ПРИСТРІЙ ДЛЯ ВИПРАВЛЕННЯ ПОМИЛОК В ЦИКЛІЧНИХ (n,k)-КОДАХ

(57) Реферат:

Пристрій для виправлення помилок в циклічних (n,k)-кодах складається з перетворювача кодів і блока синхронізації. В пристрій додатково введені блок виявлення регулярних випадкових помилок, блок виявлення нерегулярних випадкових помилок, блок виявлення розріджених пакетів помилок, блок виявлення суцільних пакетів помилок, блок формування вектора помилки і блок виправлення помилок

UA 93798 U



Фиг. 1

Корисна модель належить до обчислювальної техніки і може бути використана в системах обробки, збереження та передачі дискретних даних.

Відомий пристрій для виправлення двократних помилок в блоках передачі та збереження інформації, який містить вхідний регістр, перший і другий формувачі синдрому помилки, схему порівняння, регістр помилок, блок пам'яті помилок, блок корекції, групу інверторів з керуючим виходом, елемент АБО і тригер помилки корекції [А.С. СССР № 1173417, кл. G06F 11/08, бюл. № 30, 1985 р.].

Недоліком цього пристрою є низька коректуюча здатність та великі апаратні затрати.

Найбільш близьким по технічній суті до запропонованого є пристрій для локалізації пакетів помилок в (n,k) -кодах Боуза-Чоудхурі-Хоквінгема [патент України на винахід № 46078 М. кл., G06F 11/08, H03M 13/15, H03M 13/17, 15.05.2002, бюл. № 5 15.05.2002], який містить перетворювач кодів, блок формування вхідного вектора помилки, блок визначення параметрів пакетів помилок і блок синхронізації, вихід якого з'єднаний з входом синхронізації перетворювача кодів, перший інформаційний вхід, вхід керування і вхід початкового установлення якого під'єднані відповідно до інформаційного входу пристрою, до входу вибору режиму роботи і до входу початкового установлення пристрою, перша і друга m -розрядні або $2m$ -розрядні групи інформаційних виходів блока визначення параметрів пакетів помилок, $m = \lceil \log_2 n \rceil$, де $\lceil \cdot \rceil$ означає округлення до цілого в більший бік, під'єднані відповідно до першої і до другої групи інформаційних виходів пристрою, вхід керування пристрою з'єднаний з першим входом керування блока синхронізації, вихід якого з'єднаний також з входом синхронізації блока формування вхідного вектора помилки, перший інформаційний вихід якого з'єднаний з інформаційним входом блока визначення параметрів пакетів помилок, інформаційний вихід якого під'єднаний до першого інформаційного виходу пристрою і до другого входу керування блока синхронізації, третій вхід керування якого під'єднаний до інформаційного виходу перетворювача кодів і до другого інформаційного виходу пристрою, вхід початкового установлення якого з'єднаний також з входом початкового установлення блока визначення параметрів пакетів помилок, з входом початкового установлення блока синхронізації та з першим входом початкового установлення блока формування вхідного вектора помилки, другий вхід початкового установлення і другий інформаційний вихід якого з'єднані відповідно з виходом керування блока визначення параметрів пакетів помилок і з другим інформаційним входом перетворювача кодів.

Недоліком цього пристрою є можливість виявлення обмеженого типу помилок: тільки суцільних пакетів помилок.

В основу корисної моделі поставлена задача створення пристрою для виправлення помилок в циклічних (n,k) -кодах, в якому за рахунок введення нових блоків та зв'язків досягається можливість виправлення чотирьох типів помилок: випадкових регулярних помилок, випадкових нерегулярних помилок, розріджених пакетів помилок і суцільних пакетів помилок, що призводить до розширення функціональних можливостей.

Поставлена задача вирішується тим, що в пристрої для виправлення помилок в циклічних (n,k) -кодах, який складається з перетворювача кодів і блока синхронізації, вихід синхронізації якого з'єднаний з входом синхронізації перетворювача кодів, інформаційний вхід і інформаційний вихід якого під'єднані відповідно до інформаційного входу та першого інформаційного виходу пристрою, вхід початкового установлення якого з'єднаний з входами початкового установлення перетворювача кодів і блока синхронізації, введени блок виявлення регулярних випадкових помилок, блок виявлення нерегулярних випадкових помилок, блок виявлення розріджених пакетів помилок, блок виявлення суцільних пакетів помилок, блок формування вектора помилки і блок виправлення помилок, n -розрядна група входів якого з'єднана з n -розрядною групою виходів блока формування вектора помилки, а виходи під'єднані до n -розрядної групи інформаційних виходів пристрою, вхід керування якого з'єднаний з входом керування перетворювача кодів і входом керування блока синхронізації, вихід синхронізації якого з'єднаний також з входом синхронізації блока виявлення нерегулярних випадкових помилок і блока формування вектора помилки, керуючий вхід якого з'єднаний з інформаційним виходом перетворювача кодів, g -розрядна група інформаційних виходів якого з'єднана з g -розрядною групою інформаційних входів блока виявлення регулярних випадкових помилок, блока виявлення розріджених пакетів помилок, блока виявлення суцільних пакетів помилок і блока виявлення нерегулярних випадкових помилок, виходи яких з'єднані відповідно з першим, другим, третім і четвертим інформаційними входами блока формування вектора помилки, перша g -розрядна та друга n -розрядна групи інформаційних входів якого з'єднані відповідно з g -розрядною групою інформаційних виходів перетворювача кодів та з n -розрядною групою інформаційних виходів блока виявлення нерегулярних випадкових помилок, причому виходи

блока виявлення регулярних випадкових помилок, блока виявлення розріджених пакетів помилок, блока виявлення суцільних пакетів помилок, блока виявлення нерегулярних випадкових помилок і блока формування вектора помилки під'єднані відповідно до другого, третього, четвертого, п'ятого і шостого інформаційних виходів пристрою.

5 На фіг. 1 представлена функціональна схема пристрою; на фіг. 2 - функціональна схема перетворювача кодів; на фіг. 3 - функціональна схема блока виявлення регулярних випадкових помилок; на фіг. 4 - функціональна схема блока виявлення нерегулярних випадкових помилок; на фіг. 5 - функціональна схема блока виявлення розріджених пакетів помилок; на фіг. 6 - функціональна схема блока виявлення суцільних пакетів помилок; на фіг. 7 - функціональна
10 схема блока формування вектора помилки; на фіг. 8 - функціональна схема блока виправлення помилок, на фіг. 9 - функціональна схема можливої реалізації лінійної послідовної схеми перетворювача кодів.

Пристрій для виправлення в циклічних (n,k)-кодах помилок (фіг. 1) містить перетворювач кодів 1, блок 2 виявлення регулярних випадкових помилок, блок 3 виявлення розріджених
15 пакетів помилок, блок 4 виявлення суцільних пакетів помилок, блок 5 виявлення нерегулярних випадкових помилок, блок 6 формування вектора помилки, блок 7 виправлення помилок і блок 8 синхронізації. Вихід синхронізації блока 8 синхронізації з'єднаний з входами синхронізації блока 5 виявлення нерегулярних випадкових помилок, блока 6 формування вектора помилки і перетворювача кодів 1, інформаційний вхід і інформаційний вихід якого під'єднані відповідно до
20 інформаційного входу 9 та першого інформаційного виходу 13 пристрою, вхід 10 початкового установаження якого з'єднаний з входами початкового установаження перетворювача кодів 1 і блока синхронізації 8. n-розрядна група входів блока 7 виправлення помилок з'єднані з n-розрядною групою виходів блока 6 формування вектора помилки, а виходи під'єднані до n-розрядної групи 12 інформаційних виходів пристрою, вхід 11 керування якого з'єднаний з
25 входом керування перетворювача кодів 1 і з входом керування блока синхронізації 8, вихід синхронізації якого з'єднаний також з входом синхронізації блока формування вектора помилки. Вхід керування блока 6 формування вектора помилки з'єднаний з інформаційним виходом перетворювача кодів 1, r-розрядна група інформаційних виходів якого з'єднана з r-розрядною групою інформаційних входів блока 2 виявлення регулярних випадкових помилок, блока 3
30 виявлення розріджених пакетів помилок, блока 4 виявлення суцільних пакетів помилок і блока 5 виявлення нерегулярних випадкових помилок, виходи яких з'єднані відповідно з першим, другим, третім і четвертим інформаційними входами блока 6 формування вектора помилки, перша r-розрядна та друга n-розрядна групи інформаційних входів якого з'єднані відповідно з r-розрядною групою інформаційних виходів перетворювача кодів 1 та з n-розрядною групою
35 інформаційних виходів блока 5 виявлення нерегулярних випадкових помилок. Виходи блока 2 виявлення регулярних випадкових помилок, блока 3 виявлення розріджених пакетів помилок, блока 4 виявлення суцільних пакетів помилок, блока 5 виявлення нерегулярних випадкових помилок і блока 6 формування вектора помилки під'єднані відповідно до другого 14, третього 15, четвертого 16, п'ятого 17 і шостого 18 інформаційних виходів пристрою.

40 Перетворювач кодів 1 (фіг. 2) містить лінійну послідовну схему (ЛПС) 19, лічильний тригер 20, елемент І-АБО 21 і елемент АБО 22, вихід якого з'єднаний з інформаційним виходом перетворювача кодів і під'єднаний до першого інформаційного виходу 13 пристрою, вхід 11 керування якого з'єднаний з лічильним входом тригера 20, прямий та інверсний виходи якого з'єднані відповідно з першим та другим входами елемента І-АБО 21, третій вхід якого з'єднаний
45 з інформаційним входом перетворювача кодів і під'єднаний до інформаційного входу 9 пристрою, вхід 10 початкового установаження якого з'єднаний з R-входом тригера 20 і з входом початкового установаження ЛПС 19, r-розрядна (r = n-k) група інформаційних виходів якої під'єднана до групи інформаційних виходів 24 перетворювача кодів і з'єднана з входами елемента АБО 22, а вхід синхронізації та інформаційний вхід з'єднані відповідно з входом 23 синхронізації перетворювача кодів і з виходом елемента І-АБО 21, на четвертий вхід якого
50 подається константа логічного 0.

Блок 2 виявлення регулярних випадкових помилок (фіг. 3) містить пороговий елемент 25 і елемент І 26. r-розрядна група інформаційних входів 27 блока 2 з'єднана з входами порогового
55 елемента 25, вихід якого з'єднаний з першим входом елемента І 26, вихід якого з'єднаний з інформаційним виходом блока 2 і під'єднаний до другого інформаційного виходу 14 пристрою. Другий вхід елемента І 26 з'єднаний з першим входом r-розрядної групи інформаційних входів 27 блока 2.

Блок 3 виявлення розріджених пакетів помилок (фіг. 4) містить елемент АБО-НІ 28 і елемент І 29, вихід якого під'єднаний до третього інформаційного виходу 15 пристрою і з'єднаний з
60 виходом блока, група останніх $1/2$ -розрядних входів із r-розрядної групи інформаційних входів 30

якого з'єднана з входами АБО-НІ 28, вихід якого з'єднаний з першим входом елемента І 29, другий вхід якого з'єднаний з першим входом г-розрядної групи інформаційних входів 30 блока.

Блок 4 виявлення суцільних пакетів помилок (фіг. 5) містить дешифратор 31 і елемент АБО 32, вихід якого під'єднаний до четвертого інформаційного виходу 16 пристрою і з'єднаний з виходом блока, г-розрядна група інформаційних входів 33 якого з'єднана з входами дешифратора 31, Γ_2 -розрядна група виходів якого з'єднана з входами елемента АБО 32.

Блок 5 виявлення нерегулярних випадкових помилок (фіг. 6) містить вузол пам'яті 34, генератор адрес 35 і схему порівняння 36, перша г-розрядна група входів якої з'єднана з г-розрядною групою інформаційних входів 37 блока, вхід синхронізації 38 якого з'єднаний з входом генератора адрес 35, m-розрядна група виходів якого з'єднана з адресними входами вузла пам'яті 34, перша г-розрядна група і друга n-розрядна група виходів якого з'єднані відповідно з г-розрядною групою інформаційних входів 39 блока і з другою г-розрядною групою інформаційних входів схеми порівняння 36, вихід якої з'єднаний з виходом блока і під'єднаний до п'ятого інформаційного виходу 17 пристрою.

Блок 6 формування вектора помилки (фіг. 7) містить n-розрядний регістр зсуву 40, реверсивний лічильник 41, перший RS-тригер 42, другий RS-тригер 43, мультиплексор 44, перший елемент АБО 45, другий елемент АБО 46, третій елемент АБО 47, перший елемент І 48, другий елемент І 49, третій елемент І 50, перший вхід якого з'єднаний з входом 53 синхронізації блока, перший, другий, третій інформаційні входи якого під'єднані відповідно до другого 14, третього 15, четвертого 16 виходів пристрою і з'єднані зі входами першого елемента АБО 45, вихід якого з'єднаний з першим входом другого елемента АБО 46 та з першим керуючим входом мультиплексора 44, n-розрядна група виходів якого з'єднана з інформаційними входами регістра зсуву 40, n-розрядна група виходів якого з'єднана з n-розрядною групою виходів 55 блока 6, четвертий інформаційний вхід якого з'єднаний з другим керуючим входом мультиплексора 44 та з другим входом другого елемента АБО 46, вихід якого з'єднаний з входом запису регістра зсуву 40 та з S-входом першого RS-тригера 42, прямий та інверсний виходи якого з'єднані з першими входами першого елемента І 48 та другого елемента І 49, виходи яких з'єднані відповідно з входом віднімання і входом додавання реверсивного лічильника 41, вихід переносу якого з'єднаний з виходом блока, під'єднаний до шостого інформаційного виходу 18 пристрою та з'єднаний з першим входом третього елемента АБО 47, вихід якого з'єднаний з R-входом другого RS-тригера 43, прямий вихід якого з'єднаний з другим входом третього елемента І 50, вихід якого з'єднаний з другими входами першого елемента І 48 та другого елемента І 49. Вхід 10 початкового устанавлення пристрою з'єднаний з входом початкового устанавлення блока та з другим входом третього елемента АБО 47, з R-входом першого RS-тригера 42, з входами початкового устанавлення регістра зсуву 40 і реверсивного лічильника 41, вхід віднімання якого з'єднаний також з входом зсуву регістра зсуву 40. Перша г-розрядна група інформаційних входів 51 та друга n-розрядна група інформаційних входів 52 блока 6 з'єднані відповідно з першою та другою групами входів мультиплексора 44. Вхід 53 керування блока 6 з'єднаний з S-входом другого RS-тригера 43.

Блок 7 виправлення помилок (фіг. 8) містить регістр зсуву 56 і суматор по модулю два 57, перша n-розрядна група входів якого з'єднана з n-розрядною групою 58 входів блока 7, вхід якого під'єднаний до інформаційного входу 9 пристрою і з'єднаний з інформаційним входом регістра зсуву 56, n-розрядна групи виходів якого з'єднана з другою n-розрядною групою входів суматора по модулю два 57, n-розрядна група виходів якого під'єднана до n-розрядної групи інформаційних входів 12 пристрою.

ЛПС 19 (варіант реалізації при $r = 8$) перетворювача кодів 1 (фіг. 9) містить суматор 59 по модулю два, D-тригери 60-67, входи синхронізації яких з'єднані з входом 24 синхронізації перетворювача кодів 1, а установочні входи з'єднані з входом початкового устанавлення перетворювача кодів 1 і під'єднані до входу 10 пристрою. D-вхід D-тригера 60 з'єднаний з виходом суматора 59 по модулю два, перший вхід якого з'єднаний з інформаційним входом 68 ЛПС 19. Виходи всіх D-тригерів 60-67 утворюють 8-розрядну групу інформаційних виходів ЛПС 19, причому прямий вихід (i-1)-го D-тригера з'єднаний з D-входом i-го D-тригера ($i = 2 \div 8$). Виходи D-тригера 60, D-тригера 61, D-тригера 63, D-тригера 67 з'єднані також з іншими чотирма входами суматора 59 по модулю два.

Пристрій працює наступним чином.

Є два режими роботи пристрою:

- режим декодування;
- режим виправлення помилок.

Теоретичною основою декодування циклічних кодів є математичний апарат ЛПС.

В перетворювачі кодів 1 апаратно реалізована двійкова ЛПС, яка в дискретні моменти часу t описується лінійною функцією переходів (стану):

$$S(t+1) = A \times S(t) + B \times U(t), \quad (1)$$

та лінійною функцією виходів:

5 $Y(t) = S(t),$

де $A = \|a_{ij}\|_{r \times r}, B = \|b_i\|_r$ - характеристичні матриці ЛПС,

$S = \|s_j\|_r, U = \|u_i\|_r, Y = \|y_j\|_m$ - відповідно вектори станів, вхідний та вихідний.

У формулі (1) символи '+' та 'x' позначають відповідно операції додавання та множення по модулю два.

10 Можливі два варіанта матриць A та B , які можуть бути реалізовані апаратно в перетворювачі кодів 1:

$$A = \begin{vmatrix} 0 & 1 & 0 & \dots & 0 \\ 0 & 0 & 1 & \dots & 0 \\ \dots & \dots & \dots & \dots & \dots \\ 0 & 0 & 0 & \dots & 1 \\ g_0 & g_1 & g_2 & \dots & g_{r-1} \end{vmatrix}, B = \begin{vmatrix} 0 \\ 0 \\ \dots \\ 0 \\ 1 \end{vmatrix} \quad (2)$$

$$A = \begin{vmatrix} 0 & 0 & \dots & 0 & g_0 \\ 1 & 0 & \dots & 0 & g_1 \\ 0 & 1 & \dots & 0 & g_2 \\ \dots & \dots & \dots & \dots & \dots \\ 0 & 0 & \dots & 1 & g_{r-1} \end{vmatrix}, B = \begin{vmatrix} 1 \\ 0 \\ 0 \\ \dots \\ 0 \end{vmatrix} \quad (3)$$

15 Елементи останнього рядка матриці A в (2) або останнього стовпчика в (3) представляють собою коефіцієнти погоджувального багаточлена $g(x)$ циклічного коду:

$$g(x) = g_0 + g_1x + g_2x^2 + \dots + g_{r-2}x^{r-2} + g_{r-1}x^{r-1}.$$

Під дією t -розрядного вхідного вектора

$$U = u(1), u(2), \dots, u(t)$$

який надходить на вхід ЛПС, відбувається послідовна зміна її внутрішніх станів

20 $S = s(1), s(2), \dots, s(n),$

для обчислення яких, замість формул (1), зручно користуватись наступними співвідношеннями:

$$S(t+1) = A \times S(t) + B, \text{ якщо } u(t) = 1,$$

$$S(t+1) = A \times S(t), \text{ якщо } u(t) = 0,$$

25 На стороні передавача на основі k -розрядного інформаційного вектора $I(x)$ обчислюється n -розрядний кодовий вектор $Z(x)$, який далі передається по каналу зв'язку. Для обчислення кодового вектора $Z(x)$ використовується k -розрядна ЛПС з характеристичними матрицями (2) або (3).

30 На стороні приймача в режимі декодування перевіряється вірність отриманого з каналу зв'язку кодового вектора $Z(x)$ за допомогою ЛПС такої ж структури, що і на стороні передавача.

Перед початком роботи на вхід 10 пристрою надходить сигнал, по якому всі блоки встановлюються в початковий стан.

35 Робота пристрою в режимі декодування починається після приходу керуючого сигналу на вхід 11. Тривалість роботи пристрою в режимі декодування дорівнює n тактів, які складають один цикл. В кожному такті роботи блок 8 формує один синхроімпульс, який надходить на входи перетворювача кодів 1 і блока 6.

Протягом всього режиму декодування на вхід 9 пристрою надходить n -розрядний кодовий вектор $Z(x)$. Режим декодування завершується з отриманням одного із трьох результатів, які свідчать, про те, що:

40 1) в переданому кодовому векторі відсутні помилки в межах коректуючої здатності коду,
2) в переданому кодовому векторі присутні помилки і їх види та параметри можуть бути відразу визначені,

3) в переданому кодовому векторі присутні помилки, але і їх види та параметри не можуть бути відразу визначені.

45 З використанням математичного апарату ЛПС вказані результати декодування визначаються наступним чином.

На початку режиму декодування ЛПС в пристрої встановлюється в нульовий початковий стан $S(0)$ і на її входи подається кодовий вектор $Z(x)$.

5 Якщо тоді через n тактів часу ЛПС знову повернеться в стан $S(0)$, то це буде свідчити про відсутність помилок в кодовому векторі $Z(x)$. В цьому випадку на другому інформаційному виході 13 пристрої буде сигнал логічного нуля.

При наявності помилок в кодовому векторі, який позначимо як $S_{err}(x)$, ЛПС через n тактів часу перейде в ненульовий стан, який позначимо як синдром помилки $S_{err}(n)$. Тоді на другому інформаційному виході 13 пристрою з'явиться сигнал логічної одиниці.

В пристрої виявляються помилки чотирьох видів:

- 10
- випадкові регулярні,
 - випадкові нерегулярні,
 - розріджені пакети помилок,
 - суцільні пакети помилок.

15 Параметри вказаних помилок, які можна виявити і виправити, залежать від мінімальної кодової відстані d_{min} вибраного циклічного коду.

Випадковими регулярними помилками кратності τ в кодовому векторі $S_{err}(x)$ вважається сукупність τ помилок, яка міститься в циклічному інтервалі довжини r і перша з яких розташована в першій позиції цього інтервалу

$$(\tau \leq \tau_{min}, \tau_{min} = \frac{d_{min} - 1}{2}).$$

20 Випадковими нерегулярними помилками кратності τ в кодовому векторі $S_{err}(x)$ вважається сукупність τ помилок в межах всього вектора.

Циклічним розрідженим пакетом помилок довжини τ_b в кодовому векторі $S_{err}(x)$ вважається сукупність помилок довжини τ_b , яка міститься в циклічному інтервалі довжини $(\frac{r}{2})$ і перша і

25 остання з яких розташовані в межах цього інтервалу, а між ними зможуть бути правильні символи $(\tau_b \leq \frac{r}{2})$.

Циклічним суцільним пакетом помилок довжини τ_f в кодовому векторі $S_{err}(x)$ вважається сукупність помилок довжини τ_f , яка міститься в циклічному інтервалі довжини τ_f , в якому всі символи є неправильними $(\tau_f \leq r)$.

30 Факт наявності вказаних видів помилок визначаються на основі аналізу синдрому помилки $S_{err}(n)$ за допомогою блоків 2, 3, 4 і 5. За допомогою блока 6 формується n -розрядний вектор помилки, який містить ненульові (одичні) значення в тих розрядах, які відповідають помилковим позиціям в кодовому векторі $S_{err}(x)$.

35 Якщо відразу після закінчення режиму декодування за допомогою блоків 2, 3 і 4 виявляється факт наявності помилки відповідного типу, тоді з'явиться сигнал логічної одиниці на відповідних інформаційних виходах 14, 15, 16 або 17 і в блоці 6 формується n -розрядний фактичний вектор $E(x)$ цієї помилки, який дорівнює сумі по модулю два n -розрядного нульового вектора $O(x)$ і зсунутого на k розрядів (в сторону старших розрядів) вектора $S_{err}^{rs}(n)$:

$$E(x) = O(x) + S_{err}^{rs}(n). \quad (4)$$

40 Вектор $S_{err}^{rs}(n)$ відрізняється від синдрому помилки $S_{err}(n)$ реверсним розташуванням розрядів: i -й розряд ($i=1 \div r$) вектора $S_{err}^{rs}(n)$ дорівнює $(r-i+1)$ -му розряду синдрому помилки $S_{err}(n)$.

За допомогою блока 5 виявляється факт наявності випадкової нерегулярної помилки і формується n -розрядний фактичний вектор $E^{(n)}(x)$ цієї помилки.

45 На наступному такті роботи пристрою знайдені помилки в векторі $Z_{err}(x)$ в блоці 7 виправляються:

$$Z(x) = Z_{err}(x) + E(x) \quad (5)$$

або

$$Z(x) = Z_{err}(x) + E^{(n)}(x). \quad (6)$$

Далі кодовий вектор $Z(x)$ без помилок видається з першого інформаційного виходу 12.

Якщо після завершення режиму декодування отримано ненульовий синдром помилки $S_{err}(n)$, а вид і параметри помилки не можуть бути відразу визначені, тоді пристрій переходить в режим виправлення помилок.

5 На першому етапі режиму виправлення помилок, який складається з двох етапів і може тривати від одного до $(n-1)$ тактів, за допомогою блоків 2, 3, 4 і 5 перевіряється можлива наявність відповідної помилки.

Якщо на i -му такті першого етапу режиму виправлення помилок ЛПС 19 перейде в стан $S(i)$ і в блоках 2, 3 або 4 виявлена відповідна помилка, тоді на першому етапі в блоці 6 буде сформовано базовий вектор помилки

10
$$E_b(x) = O(x) + S^{rs}(i). \quad (7)$$

Вектор $S^{rs}(i)$ відрізняється від стану $S(i)$ реверсним розташуванням розрядів: i -й розряд $(i=1 \div r)$ вектора $S^{rs}(i)$ дорівнює $(r-i+1)$ -му розряду синдрому помилки $S_{err}(n)$

За допомогою блока 5 на першому етапі виявляється факт наявності випадкової нерегулярної помилки і формується n -розрядний базовий вектор $E_b^{(n)}(x)$ цієї помилки.

15 На другому етапі режиму виправлення помилок в блоці 6 на основі базових векторів $E_b(x)$ або $E_b^{(n)}(x)$ помилок сформований фактичний вектор відповідної помилки: $E(x)$ або $E^{(n)}(x)$. Тривалість другого етапу така ж, як першого етапу.

Далі в блоці 7 виявлена помилка в векторі $Z_{err}(x)$ виправляється, згідно з (5) або (6), і з першого інформаційного виходу 12 видається кодовий вектор $Z(x)$ без помилок.

20 Перетворювач кодів 1 працює таким чином.

Перед початком режиму декодування на вхід початкового установаження перетворювача кодів 1 з входу 10 пристрою надходить сигнал логічної 1, який установає ЛПС 19 в нульовий стан $S(0)$ і лічильний тригер 20 в нульовий стан. Далі на вхід керування 11 надходить сигнал логічної одиниці, який встановлює тригер 20 в одиничний стан.

25 В режимі декодування протягом перших p циклів з входу 9 пристрою через елемент І-АБО 21 на вхід ЛПС 19 надходить кодовий вектор $Z(x)$, під дією якого ЛПС з початкового нульового стану $S(0)$ буде періодично переходити в інші стани, згідно з функцією переходів:

$$S(t+1) = \begin{cases} A \times S(t) + B, & \text{якщо } z_t = 1 \\ A \times S(t), & \text{якщо } z_t = 0 \end{cases} \quad (8)$$

де z_t - значення t -го розряду кодового вектора $Z(x)$ в момент часу t ;

30 $t = 0, 1, 2, \dots, n-1$;

A і B - матриці ЛПС, які визначають її структуру.

Після закінчення режиму декодування за допомогою ЛПС 19 буде сформовано синдром помилки $S_{err}(n)$. При відсутності помилок в кодовому векторі буде отримано нульовий синдром помилки: $S_{err}(n) = S(0)$. За допомогою елемента АБО 22 буде встановлено значення логічного нуля на інформаційному виході перетворювача кодів 1 і, відповідно, на першому інформаційному виході 13 пристрою.

40 В режимі виправлення помилок на вхід керування 11 надходить сигнал логічної 1, який по лічильному входу знову встановлює тригер 20 в нульовий стан. В результаті через елемент І-АБО 21 на вхід ЛПС 19 надходять нульові сигнали, під дією якого ЛПС 19 з початкового ненульового стану $S_{err}(n)$ буде періодично переходити в інші стани, згідно з функцією переходів

$$S(t+1) = A \times S(t). \quad (9)$$

Значення станів ЛПС 19 на кожному такті будуть передаватись на g -розрядну групу інформаційних виходів 24 перетворювача кодів 1.

Блок 2 працює таким чином.

45 На g -розрядну групу інформаційних входів 27 блока 2 надходить синдром помилки $S_{err}(n)$. Ознакою наявності в кодовому векторі $Z_{err}(x)$ випадкової регулярної помилки кратності τ є наявність в синдромі помилки $S_{err}(n)$ τ одиниць, одна з яких розташована в першому розряді $S_{err}(n)$. На виході порогового елемента 25 з'являється логічна одиниця, якщо на його вхід надходить синдром помилки $S_{err}(n)$ з кількістю одиниць, що не перевищує τ_{min} . Для виділення τ одиниць необхідно мати g -входовий пороговий елемент, який реалізує булеву функцію $f(x_1, \dots, x_r)$:

50

$$f(x_1, \dots, x_r) = \begin{cases} 1, & \text{якщо } \tau \leq \tau_{\min} \\ 0, & \text{якщо } \tau > \tau_{\min} \end{cases}$$

Якщо при цьому одна одиниця буде розташована в першому розряді $S_{\text{err}}(n)$, тоді з'являється логічна одиниця на інформаційному виході блока 2 і, відповідно, на другому інформаційному виході 14 пристрою.

5 Блок 3 працює таким чином.

На r -розрядну групу інформаційних входів 30 блока 3 надходить синдром помилки $S_{\text{err}}(n)$. Ознакою наявності в кодовому векторі $Z_{\text{err}}(x)$ циклічного розрідженого пакета помилок довжини τ_b є наявність в синдромі помилки $S_{\text{err}}(n)$ в перших $r/2$ -розрядах τ_b одиниць, одна з яких розташована в першому розряді $S_{\text{err}}(n)$. На виході елемента АБО-НІ 28 з'являється логічна

10 одиниця, якщо на його вхід надходить синдром помилки $S_{\text{err}}(n)$ з $r/2$ нулями в останніх $r/2$ -розрядах. Якщо при цьому одна одиниця буде розташована в першому розряді $S_{\text{err}}(n)$, тоді з'являється логічна одиниця на інформаційному виході блока 3 і, відповідно, на третьому інформаційному виході 15 пристрою.

Блок 4 працює таким чином.

15 На r -розрядну групу інформаційних входів 33 блока 4 надходить синдром помилки $S_{\text{err}}(n)$. Ознакою наявності в кодовому векторі $Z_{\text{err}}(x)$ циклічного суцільного пакета помилок довжини τ_c , є наявність в синдромі помилки $S_{\text{err}}(n)$ τ_c одиниць, які розташовані суцільно ($\tau_c \leq r$), починаючи з першого розряду:

$$\begin{array}{cccccccc} & & & r & & & & \\ & & & \hline 1 & 0 & 0 & \dots & 0 & 0 & & \\ 1 & 1 & 0 & \dots & 0 & 0 & & \\ & & & \dots & & & & \\ 1 & 1 & 1 & \dots & 1 & 1 & & \end{array}$$

20 Якщо суцільний пакет помилок має довжину $\tau_c \leq r/2$, тоді він може бути також ідентифікований як розріджений пакет помилок і виявлений за допомогою блока 3. З метою економії апаратних засобів в блоці 4 виявляються лише суцільні пакети помилок довжини τ_c , синдроми помилки $S_{\text{err}}(n)$ яких містять τ_c ($r/2 < \tau_c \leq r$) одиниць і розпочинаються з $(r/2+1)$ -го розряду:

$$25 \begin{array}{cccccccccccc} & & & r/2 & & & & r/2 & & & & & \\ & & & \hline 1 & 1 & 1 & \dots & 1 & 1 & 0 & 0 & \dots & 0 & & & \\ 1 & 1 & 1 & \dots & 1 & 1 & 1 & 0 & \dots & 0 & & & \\ & & & \dots & & & & & & & & & \\ 1 & 1 & 1 & \dots & 1 & 1 & 1 & 1 & \dots & 1 & & & \end{array} \quad (10)$$

При наявності синдроми помилки $S_{\text{err}}(n)$ виду (10) на одному із виходів дешифратора 31 з'являється логічна одиниця, яка далі передається на інформаційний вихід блока 4 і, відповідно, на четвертий інформаційний вихід 16 пристрою.

Блок 5 працює таким чином.

30 Перед початком декодування у вузол пам'яті 34 записуються w базових векторів $E_b^{(n)}(x)$ випадкових нерегулярних помилок кратності τ та відповідні їм базові синдроми помилки $S_{\text{err}}^b(n)$. В режимі декодування на r -розрядну групу інформаційних входів 37 блока 5 надходить фактичний синдром помилки $S_{\text{err}}(n)$. Ознакою наявності в кодовому векторі $Z_{\text{err}}(x)$ випадкової нерегулярної помилки кратності τ є збіг між $S_{\text{err}}(n)$ та $S_{\text{err}}^b(n)$, що виявляється за допомогою

35 схеми порівняння 36.

Протягом одного такту роботи пристрою в режимі виправлення помилок генератор адрес 35 формує w адрес комірок вузла пам'яті 34, з яких зчитується w базових векторів $E_b^{(n)}(x)$ та відповідні їм синдроми помилки $S_{\text{err}}^b(n)$. Якщо буде виявлено збіг між $S_{\text{err}}(n)$ та одним із $S_{\text{err}}^b(n)$, тоді на n -розрядну групу інформаційних виходів 39 блока 5 подається з вузла пам'яті 34

відповідний базовий вектор $E_b^{(n)}(x)$ і на п'ятий інформаційний вихід 17 пристрою подається сигнал логічної одиниці.

Блок 6 працює таким чином.

Після закінчення режиму декодування на вхід початкового установлення блока надходить сигнал, який встановлює в нульовий стан регістр зсуву 40, реверсивний лічильник 41, перший RS-тригер 42 і другий RS-тригер 43.

Якщо після закінчення режиму декодування відразу буде виявлено помилку, тоді на один із інформаційних входів блока 6 прийде відповідний сигнал помилки, який через перший елемент АБО 45 і другий елемент АБО 46 дозволить здійснити запис в регістр зсуву 40 вектора помилки, який надходить з виходів мультиплексора 44.

Якщо сигнал помилки прийде на перший, другий або третій інформаційний вхід блока 6, тоді відповідний синдром помилки $S_{err}(n)$ (випадкової регулярної помилки, розрідженого або суцільного пакета помилок) з першої r -розрядної групи інформаційних входів 51 через мультиплексор 44 записується в n -розрядний регістр зсуву 41, починаючи з n -го розряду. В результаті в регістр зсуву 41 буде сформовано n -розрядний фактичний вектор відповідної помилки $E(x)$, згідно з (4).

Якщо сигнал помилки прийде на четвертий інформаційний вхід блока 6, тоді n -розрядний вектор $E^{(n)}(x)$ випадкової нерегулярної помилки з другої n -розрядної групи інформаційних входів 52 через мультиплексор 44 записується в регістр зсуву 41.

Далі вектор помилок $E(x)$ або $E^{(n)}(x)$ передається на n -розрядну групу інформаційних виходів 55 блока 6.

Якщо після закінчення режиму декодування не буде відразу виявлено помилку, тоді розпочинається перший етап режиму виправлення помилок приходом одиничного сигналу на вхід 53 керування, який встановлює другий RS-тригер 43 в одиничний стан. В результаті з входу 54 синхронізації блока 6 кожного такту надходять синхросигнали, які через третій елемент І 50 та через другий елемент І 49 надходять на вхід додавання реверсивного лічильника 41, збільшуючи його вміст на одиницю.

Якщо на i -му такті режиму виправлення помилок буде виявлено помилку одного із чотирьох видів, тоді надходить відповідний сигнал на один із інформаційних входів блока 6, який встановить RS-тригер 42 в одиничний стан, що буде означати перехід до другого етапу режиму виправлення помилок. Одночасно здійснюється запис в регістр зсуву 40 даних, що надходять з виходів мультиплексора 44. В результаті в регістрі зсуву 40 буде сформовано базовий вектор помилки $E_b(x)$, згідно з (7), або буде записано базовий вектор помилки $E_b^{(n)}(x)$.

Зміна стану RS-тригера 42 призводить до того, що синхросигнали з входу 54 надходять через третій елемент І 50 та через перший елемент І 48 на вхід віднімання реверсивного лічильника 41 та на вхід зсуву регістра зсуву 40. В результаті на кожному наступному такті роботи пристрою вміст реверсивного лічильника 41 зменшується на одиницю, а вміст регістра зсуву 40 циклічно зсувається на один розряд в сторону старших розрядів. При досягненні в реверсивному лічильнику 41 через i тактів нульового стану в регістрі зсуву 40 буде сформовано фактичний вектор відповідної помилки: $E(x)$ або $E^{(n)}(x)$.

Далі цей вектор помилки передається на n -розрядну групу інформаційних виходів 55 блока 6. Одночасно з виходу переносу реверсивного лічильника 41 на шостий інформаційний вихід 18 пристрою передається сигнал про закінчення режиму виправлення помилок.

Блок 7 працює таким чином.

В режимі декодування в регістр 55 з інформаційний входу 9 пристрою послідовно записується кодовий вектор $Z(x)$. При відсутності помилок далі він послідовно передається на перший інформаційний вихід 12 пристрою. При наявності помилок в кодовому векторі $Z_{err}(x)$ на другий інформаційний вхід 57 блока 7 надходить фактичний вектор відповідної помилки. За допомогою сумматора 56 виконується порозрядна операція додавання по модулю два кодового вектора $Z_{err}(x)$ з помилкою та фактичного вектора відповідної помилки, згідно з (5) або (6).

В результаті на перший інформаційний вихід 12 пристрою передається виправлений кодовий вектор $Z(x)$.

Робота перетворювача кодів 1 та блока 6 виправлення помилок синхронізується синхроімпульсами, які кожного такту формуються в блоці 8 синхронізації.

Розглянемо роботу ЛПС 19, апаратна реалізація якої задається матрицями A і B типу (2) та (3). При апаратній реалізації ЛПС 19 матриця A задає структуру зв'язків між елементами пам'яті (тригерами), а матриця B - структуру вхідних зв'язків. Якщо матриці A і B мають вигляд (2),

тоді ЛПС 19 має вигляд n-розрядного регістра зсуву з одним багатовходовим суматором по модулю 2 на його вході. Якщо матриці A і B мають вигляд (3), тоді ЛПС 19 має вигляд n-розрядного регістра зсуву з кількома суматорами по модулю 2, які розташовані між окремими тригерами.

- 5 Елементи $|a_{rj}|$ останнього рядка матриці A типу (2), які рівні 1, показують наявність зв'язку між виходом j-го D-тригера і входом суматора по модулю 2, вихід якого з'єднаний з входом n-го D-тригера. Елементи $|a_{jr}|$ останнього стовпчика матриці A типу (3), які рівні 1, показують наявність зв'язку між виходом n-го D-тригера і першим входом суматора по модулю 2, другий вхід якого з'єднаний з виходом (j-1)-го D-тригера, а вихід - з входом j-го D-тригера. Для обох
- 10 типів матриці A значення інших елементів $|a_{ij}|=1$ ($|a_{ij}|=0$) показують наявність (відсутність) зв'язку між виходом j-го D-тригера і входом i-го D-тригера. Для одновходової ЛПС 19 значення елемента $|b_i|=1$ ($|b_i|=0$) матриці B показує наявність (відсутність) зв'язку інформаційного входу ЛПС 19 з входом i-го тригера через суматор по модулю 2.

- 15 На фіг. 9 показана 8-розрядна ЛПС 19, яка є апаратною реалізацією таких характеристичних матриць A і B:

$$A = \begin{pmatrix} 0 & 1 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 1 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 1 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 \\ 1 & 0 & 0 & 0 & 1 & 0 & 1 & 1 \end{pmatrix}, B = \begin{pmatrix} 0 \\ 0 \\ 0 \\ 0 \\ 0 \\ 0 \\ 0 \\ 1 \end{pmatrix}. \quad (11)$$

Матриці (11) відповідають (15,7)-коду БЧХ з погоджувальним багаточленом

$$g(x) = 1 + x^4 + x^6 + x^7 + x^8.$$

Ця ЛПС 19 працює наступним чином.

- 20 Перед початком роботи пристрою сигналом, який надходить на вхід 10 пристрою, D-тригери 60-67 устанавлюються в нульовий стан. В режимах декодування та виправлення помилок під дією сигналів, які приходять кожного такту на вхід 24 синхронізації та на інформаційний вхід 68 ЛПС 19, D-тригери 60-67 будуть по чергово змінювати свій стан. Значення виходів D-тригерів 60-67 в будь-якому такті роботи представляють собою 8-розрядний код внутрішнього стану ЛПС
- 25 19, який відображається на групі інформаційних виходів 25.

Розглянемо на прикладі виявлення помилок в (15,7)-коді БЧХ з характеристичними матрицями (9). Нехай було отримано такий кодовий вектор:

$$Z_{err}(x) = 111111011101000. \quad (12)$$

- 30 Згідно з (8), синдром помилки $S_{err}(n)$ є значенням стану S(15) ЛПС при подачі на її входи кодового вектора (10): $z_1 = 1, z_2 = 1, \dots, z_{15} = 0$

$$S(0) = 00000000$$

$$S(1) = A \times S(0) + B \times z_1 = 00000000 + 10000000 = 10000000$$

$$S(2) = A \times S(1) + B \times z_2 = 01000000 + 10000000 = 11000000$$

$$S(3) = A \times S(2) + B \times z_3 = 01100000 + 10000000 = 11100000$$

$$S(4) = A \times S(3) + B \times z_4 = 01110000 + 10000000 = 11110000$$

$$S(5) = A \times S(4) + B \times z_5 = 01111000 + 10000000 = 11111000$$

$$S(6) = A \times S(5) + B \times z_6 = 01111100 + 10000000 = 11111100$$

$$S(7) = A \times S(6) = 01111110$$

$$S(8) = A \times S(7) + B \times z_8 = 00111111 + 10000000 = 10111111$$

$$S(9) = A \times S(8) + B \times z_9 = 11010100 + 10000000 = 01010100$$

$$S(10) = A \times S(9) + B \times z_{10} = 00101010 + 10000000 = 10101010$$

$$S(11) = A \times S(10) = 01010101$$

$$S(12) = A \times S(11) + B \times z_{12} = 10100001 + 10000000 = 00100001$$

$$S(13) = A \times S(12) = 10011011$$

$$S(14) = A \times S(13) = 11000110$$

$$S(15) = A \times S(14) = 01100011.$$

В результаті декодування отриманого кодового вектора (12) отримано синдром помилок

$$S_{err}(15) = S(15) = 011001011. (13)$$

5 Синдром помилок (13) є ненульовим, що свідчить про наявність помилок в отриманому в кодовому векторі (12). Однак синдром помилок (13) не містить ознак жодної із можливих помилок.

Оскільки вид і параметри помилки не можуть бути відразу визначені, тоді пристрій переходить в режим виправлення помилок. Згідно з (9), обчислюються нові значення станів ЛПС 19 при подачі на її входи нульових вхідних сигналів:

$$S(1) = A \times S_{err}(15) = 10111010$$

$$S(2) = A \times S(1) = 01011101$$

$$S(3) = A \times S(2) = 10100101$$

$$S(4) = A \times S(3) = 11011001$$

$$S(5) = A \times S(4) = 11100111$$

$$S(6) = A \times S(5) = 11111000$$

15 Стан $S(6)$ містить ознаку наявності в кодовому векторі (12) суцільного пакета помилок довжини 5. Ця ознака буде сформована в блоці 4 і відповідний сигнал з'явиться на шостому такті роботи пристрою на першому етапі режиму виправлення помилок на виході 16. В реверсивний лічильник 41 буде записано число 6, а в регістр зсуву 40 блока 6 буде записано базовий вектор помилки, згідно з (7):

$$E_b(x) = 00000000011111.$$

20 Далі пристрій переходить до другого етапу режиму виправлення помилок. Протягом шести наступних тактів вміст реверсивного лічильника 41 зменшується на одиницю, а вміст регістра зсуву 40 циклічно зсувається на один розряд в сторону старших розрядів:

$$1 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 1 \ 1 \ 1 \ 1,$$

$$1 \ 1 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 1 \ 1 \ 1,$$

$$1 \ 1 \ 1 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 1 \ 1,$$

$$1 \ 1 \ 1 \ 1 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 1,$$

$$1 \ 1 \ 1 \ 1 \ 1 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0,$$

$$0 \ 1 \ 1 \ 1 \ 1 \ 1 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0.$$

В результаті буде сформовано фактичний вектор відповідної помилки:

$$E(x) = 01111100000000.$$

25 Далі в блоці 7 відбувається виправлення кодового вектора (12), згідно з (5). В результаті буде отримано кодовий вектор без помилок:

$$Z(x) = Z_{err}(x) + E(x) = 100000011101000.$$

30 Перевагою запропонованого пристрою в порівнянні з відомим пристроєм є здатність одночасного виявлення та виправлення більш широкого типу помилок: випадкових регулярних помилок, випадкових нерегулярних помилок, розріджених пакетів помилок та суцільних пакетів помилок. Це дає можливість практичного використання запропонованого пристрою в різноманітних каналах зв'язку, в яких швидко змінюються характеристики каналу.

35

ФОРМУЛА КОРИСНОЇ МОДЕЛІ

1. Пристрій для виправлення помилок в циклічних (n, k) -кодах, який складається з перетворювача кодів і блока синхронізації, вихід синхронізації якого з'єднаний з входом синхронізації перетворювача кодів, інформаційний вхід і інформаційний вихід якого під'єднані відповідно до інформаційного входу та першого інформаційного виходу пристрою, вхід початкового устанавлення якого з'єднаний з входами початкового устанавлення перетворювача кодів і блока синхронізації, який **відрізняється** тим, що в нього введені блок виявлення регулярних випадкових помилок, блок виявлення нерегулярних випадкових помилок, блок виявлення розріджених пакетів помилок, блок виявлення суцільних пакетів помилок, блок формування вектора помилки і блок виправлення помилок, n -розрядна група входів якого

- з'єднана з n -розрядною групою виходів блока формування вектора помилки, а виходи під'єднані до n -розрядної групи інформаційних виходів пристрою, вхід керування якого з'єднаний з входом керування перетворювача кодів і входом керування блока синхронізації, вихід синхронізації якого з'єднаний також з входом синхронізації блока виявлення нерегулярних випадкових помилок і блока формування вектора помилки, керуючий вхід якого з'єднаний з інформаційним виходом перетворювача кодів, g -розрядна група інформаційних виходів якого з'єднана з g -розрядною групою інформаційних виходів блока виявлення регулярних випадкових помилок, блока виявлення розріджених пакетів помилок, блока виявлення суцільних пакетів помилок і блока виявлення нерегулярних випадкових помилок, виходи яких з'єднані відповідно з першим, другим, третім і четвертим інформаційними входами блока формування вектора помилки, перша g -розрядна та друга g -розрядна групи інформаційних виходів якого з'єднані відповідно з g -розрядною групою інформаційних виходів перетворювача кодів та з n -розрядною групою інформаційних виходів блока виявлення нерегулярних випадкових помилок, причому виходи блока виявлення регулярних випадкових помилок, блока виявлення розріджених пакетів помилок, блока виявлення суцільних пакетів помилок, блока виявлення нерегулярних випадкових помилок і блока формування вектора помилки під'єднані відповідно до другого, третього, четвертого, п'ятого і шостого інформаційних виходів пристрою.
2. Пристрій за п. 1, який **відрізняється** тим, що перетворювач кодів містить лінійну послідовну схему (ЛПС), лічильний тригер, елемент І-АБО і елемент АБО, вихід якого з'єднаний з інформаційним виходом перетворювача кодів і під'єднаний до першого інформаційного виходу пристрою, вхід керування якого з'єднаний з лічильним входом тригера, прямий та інверсний виходи якого з'єднані відповідно з першим та другим входами елемента І-АБО, третій вхід якого з'єднаний з інформаційним входом перетворювача кодів і під'єднаний до інформаційного виходу пристрою, вхід початкового устанавлення якого з'єднаний з R-входом тригера і з входом початкового устанавлення ЛПС, g -розрядна ($g = n-k$) група інформаційних виходів якої під'єднана до групи інформаційних виходів перетворювача кодів і з'єднана з входами елемента АБО, а вхід синхронізації та інформаційний вхід з'єднані відповідно з входом синхронізації перетворювача кодів і з виходом елемента І-АБО, на четвертий вхід якого подається константа логічного 0.
3. Пристрій за п. 1, який **відрізняється** тим, що блок виявлення регулярних випадкових помилок містить пороговий елемент і елемент І, вихід якого під'єднаний до другого інформаційного виходу пристрою і з'єднаний з виходом блока, g -розрядна група інформаційних виходів якого з'єднана з входами порогового елемента, вихід якого з'єднаний з першим входом елемента І, другий вхід якого з'єднаний з першим входом g -розрядної групи інформаційних виходів блока.
4. Пристрій за п. 1, який **відрізняється** тим, що блок виявлення розріджених пакетів помилок містить елемент АБО-НІ і елемент І, вихід якого під'єднаний до третього інформаційного виходу пристрою і з'єднаний з виходом блока, група останніх $1/2$ -розрядних виходів із g -розрядної групи інформаційних виходів якого з'єднана з входами АБО-НІ, вихід якого з'єднаний з першим входом елемента І, другий вхід якого з'єднаний з першим входом g -розрядної групи інформаційних виходів блока.
5. Пристрій за п. 1, який **відрізняється** тим, що блок виявлення суцільних пакетів помилок містить дешифратор і елемент АБО, вихід якого під'єднаний до четвертого інформаційного виходу пристрою і з'єднаний з виходом блока, g -розрядна група інформаційних виходів якого з'єднана з входами дешифратора, $1/2$ -розрядна група виходів якого з'єднана з входами елемента АБО.
6. Пристрій за п. 1, який **відрізняється** тим, що блок виявлення нерегулярних випадкових помилок містить вузол пам'яті, генератор адрес і схему порівняння, перша g -розрядна група виходів якої з'єднана з g -розрядною групою інформаційних виходів блока, вхід синхронізації якого з'єднаний з входом генератора адрес, m -розрядна група виходів якого з'єднана з адресними входами вузла пам'яті, перша g -розрядна група і друга n -розрядна група виходів якого з'єднані відповідно з g -розрядною групою інформаційних виходів блока і з другою g -розрядною групою інформаційних виходів схеми порівняння, вихід якої з'єднаний з виходом блока і під'єднаний до п'ятого інформаційного виходу пристрою.
7. Пристрій за п. 1, який **відрізняється** тим, що блок формування вектора помилки містить n -розрядний регістр зсуву, реверсивний лічильник, перший RS-тригер, другий RS-тригер, мультиплексор, перший елемент АБО, другий елемент АБО, третій елемент АБО, перший елемент І, другий елемент І, третій елемент І, перший вхід якого з'єднаний з входом синхронізації блока, перший, другий, третій інформаційні входи якого під'єднані відповідно до другого, третього, четвертого виходів пристрою і з'єднані зі входами першого елемента АБО, вихід якого з'єднаний з першим входом другого елемента АБО та з першим керуючим входом

- мультиплексора, n -розрядна група виходів якого з'єднана з інформаційними входами регістра зсуву, n -розрядна група виходів якого з'єднана з n -розрядною групою виходів блока, четвертий інформаційний вхід якого з'єднаний з другим керуючим входом мультиплексора та з другим входом другого елемента АБО, вихід якого з'єднаний з входом запису регістра зсуву та з S-входом першого RS-тригера, прямий та інверсний виходи якого з'єднані з першими входами першого елемента І та другого елемента І, виходи яких з'єднані відповідно з входом віднімання і входом додавання реверсивного лічильника, вихід переносу якого з'єднаний з виходом блока і під'єднаний до шостого інформаційного виходу пристрою, та з'єднаний з першим входом третього елемента АБО, вихід якого з'єднаний з R-входом другого RS-тригера, прямий вихід якого з'єднаний з другим входом третього елемента І, вихід якого з'єднаний з другими входами другого елемента І та першого елемента І, вихід якого також з'єднаний з входом зсуву регістра зсуву, вхід початкового установлення якого з'єднаний з входами початкового установлення реверсивного лічильника, з R-входом першого RS-тригера, з другим входом третього елемента АБО, з входом початкового установлення блока і під'єднаний до виходу початкового установлення пристрою, причому вхід керування блока з'єднаний з S-входом другого RS-тригера, перша r -розрядна група інформаційних входів та друга n -розрядна група інформаційних входів блока з'єднані відповідно з першою та другою групами входів мультиплексора.
8. Пристрій за п. 1, який відрізняється тим, що блок виправлення помилок містить регістр зсуву і суматор по модулю два, перша n -розрядна група входів якого з'єднана з n -розрядною групою входів блока, вхід якого під'єднаний до інформаційного виходу пристрою і з'єднаний з інформаційним входом регістра зсуву, n -розрядна групи виходів якого з'єднана з другою n -розрядною групою входів суматора по модулю два, n -розрядна групою виходів якого під'єднана до n -розрядної групи інформаційних виходів пристрою.

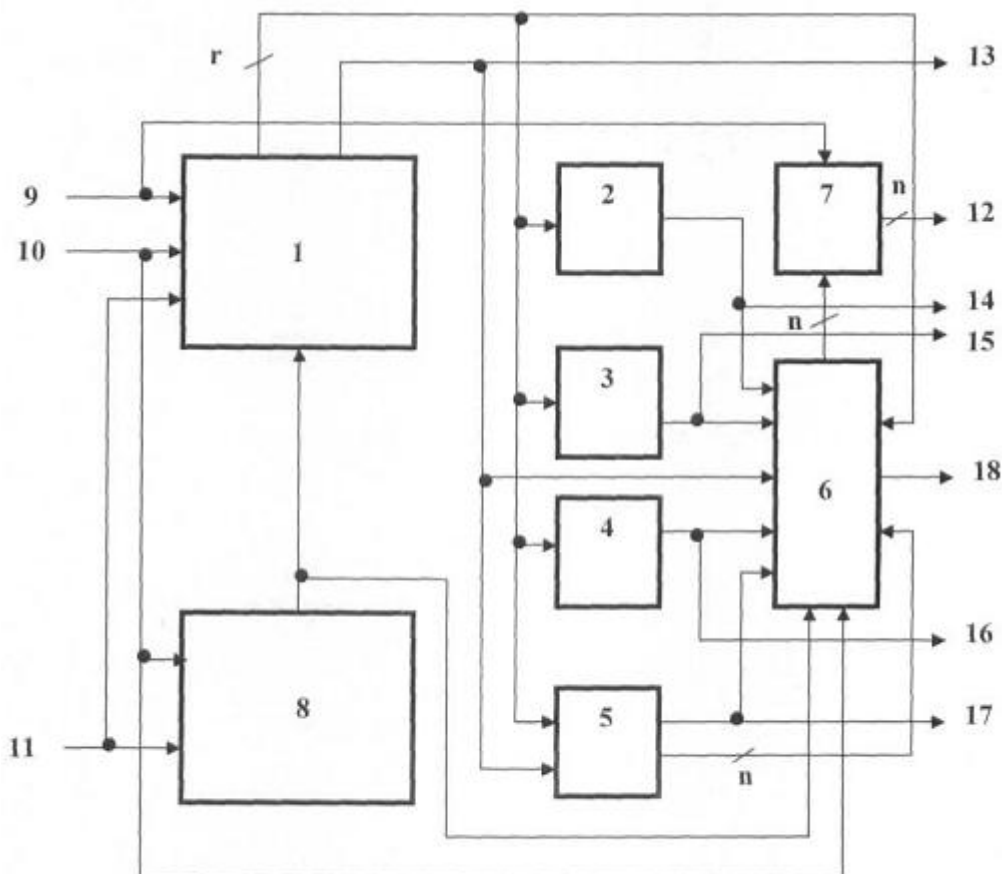
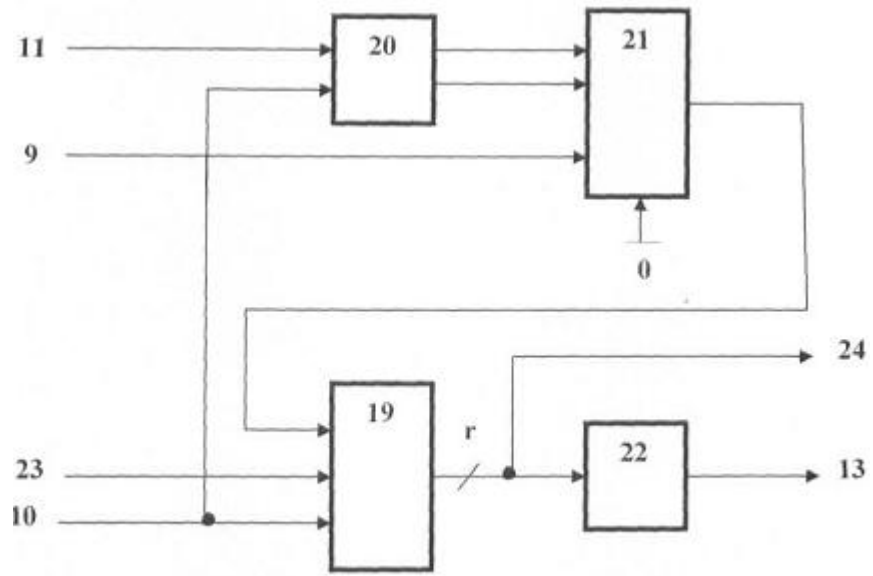
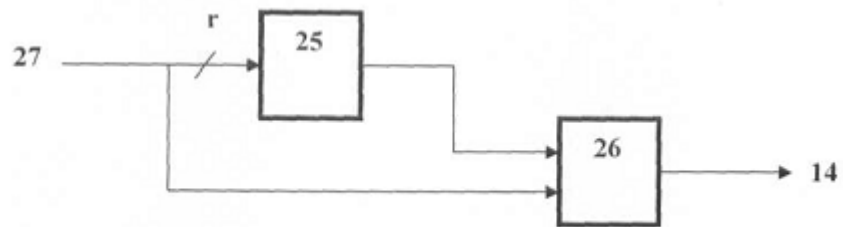


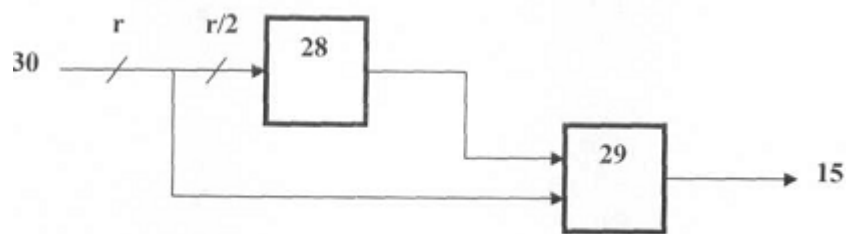
Fig. 1



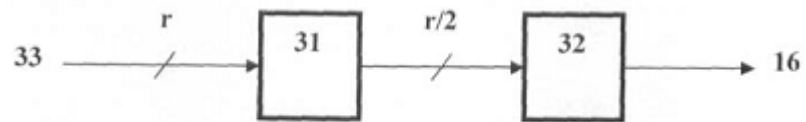
Φir. 2



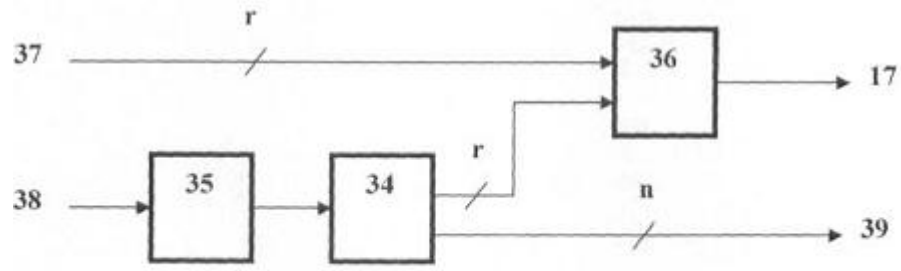
Φir. 3



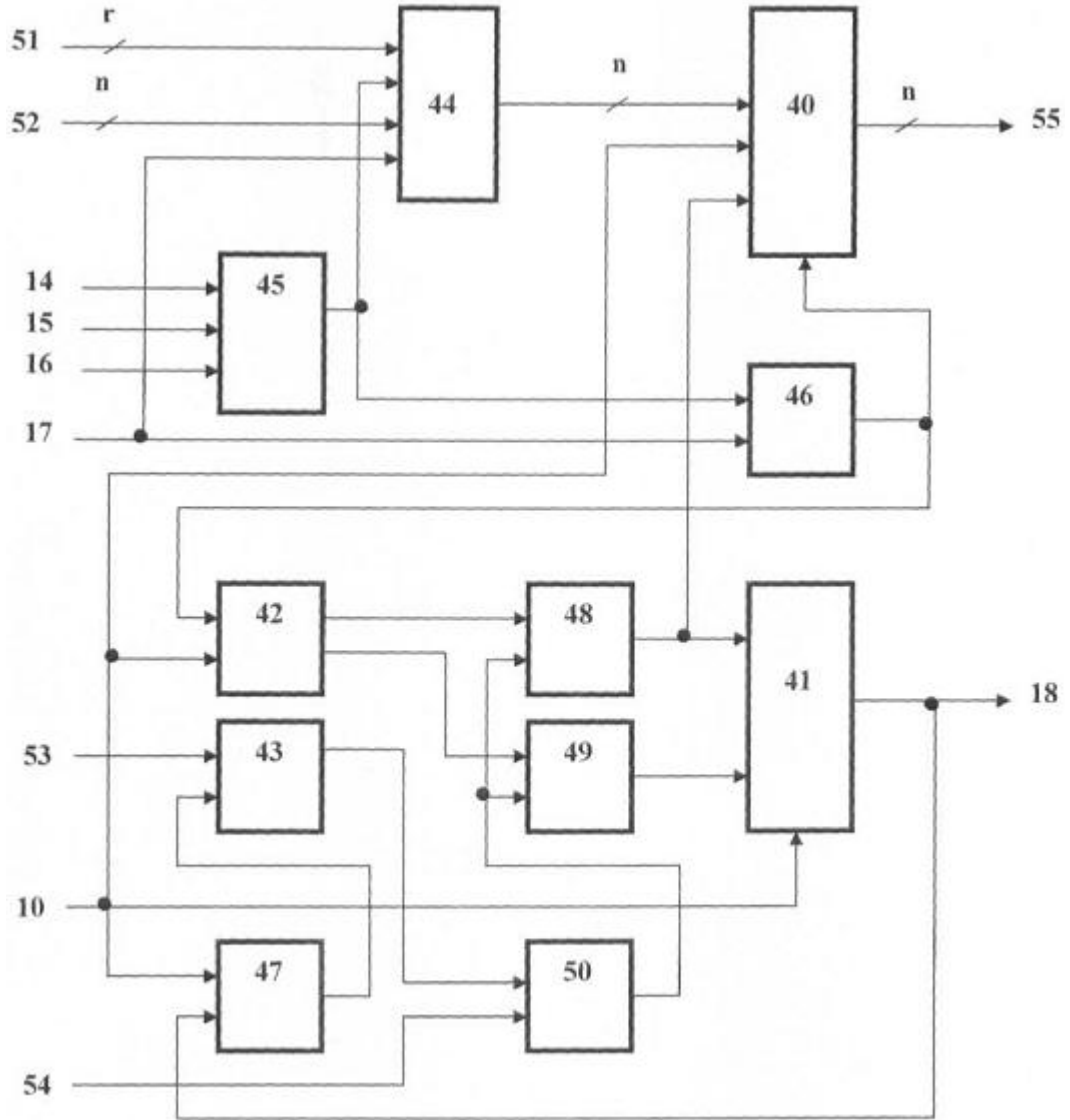
Φir. 4



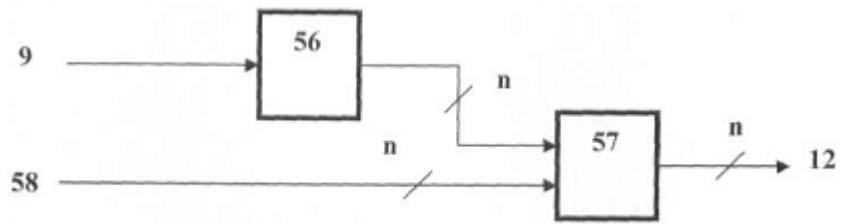
Φir. 5



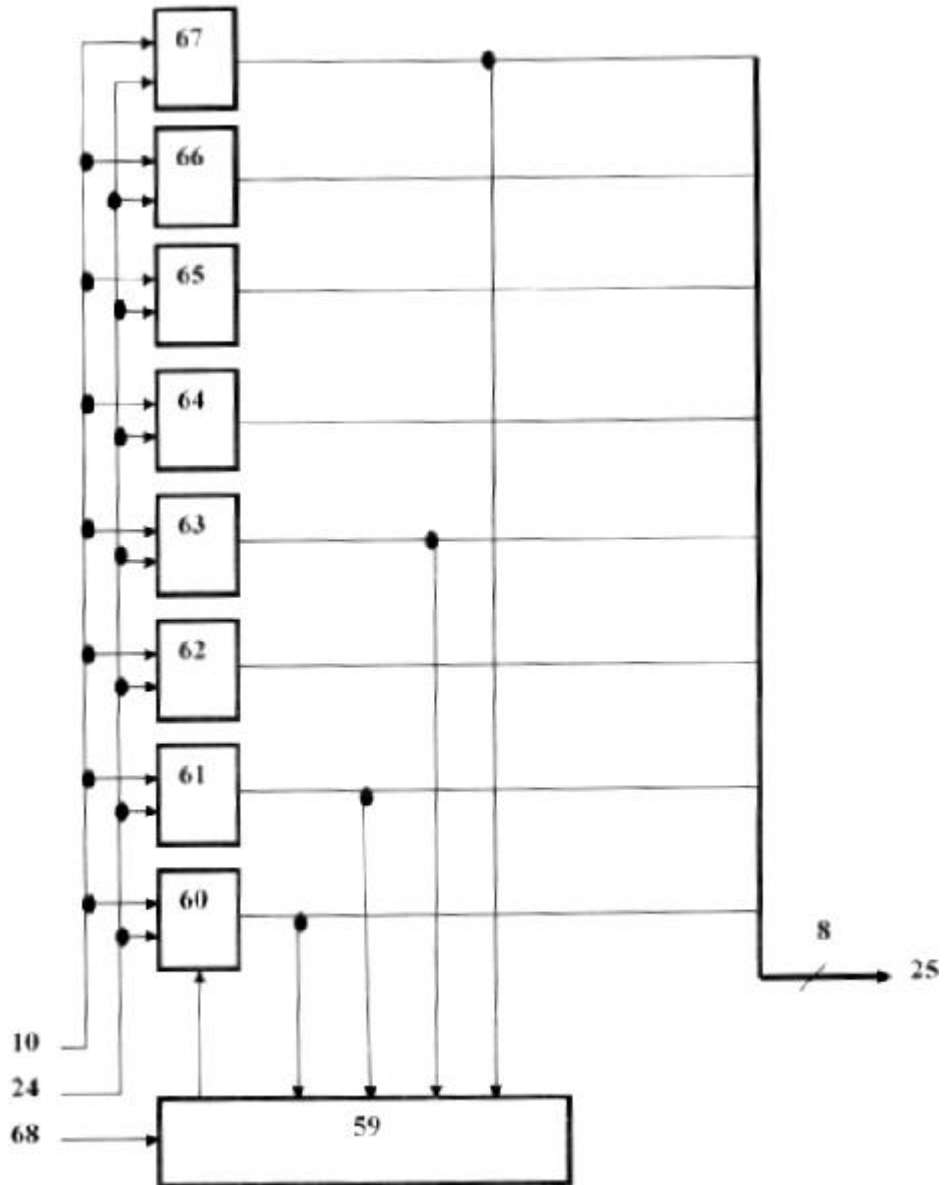
Фиг. 6



Фиг. 7



Фиг. 8



Фиг. 9

Комп'ютерна верстка Д. Шеверун

Державна служба інтелектуальної власності України, вул. Урицького, 45, м. Київ, МСП, 03680, Україна

ДП "Український інститут промислової власності", вул. Глазунова, 1, м. Київ – 42, 01601