

**Universität  
Rostock**



**Traditio et Innovatio**

**Die Kurzschlüsse von IGBT und Diode im  
Active-Neutral-Point-Clamped-  
Dreipunktumrichter**

Dissertation  
zur  
Erlangung des akademischen Grades  
Doktor-Ingenieur (Dr.-Ing.)  
der Fakultät für Informatik und Elektrotechnik  
der Universität Rostock

vorgelegt von:  
M. Sc. David Hammes  
geboren am 15.02.1989 in Leverkusen

Rostock, den 18. Januar 2022

[https://doi.org/10.18453/rosdok\\_id00003458](https://doi.org/10.18453/rosdok_id00003458)



Dieses Werk ist lizenziert unter einer  
Creative Commons Namensnennung - Nicht kommerziell - Keine  
Bearbeitungen 4.0 International Lizenz.

1. Gutachter: Prof. Dr.-Ing. Hans-Günter Eckel (Universität Rostock)
2. Gutachter: Prof. Dr.-Ing. Steffen Bernet (Universität Dresden)
- 3: Gutachter: Prof. Dr.-Ing. Dietmar Krug (Siemens AG Industry)

Datum der Einreichung: 06.05.2021

Datum der Verteidigung: 05.01.2022

## Danksagung

Mein besonderer Dank gilt meinem Doktorvater, Herrn Professor Dr.-Ing. Hans-Günter Eckel, der mir die Chance gab, an seinem Lehrstuhl für *Leistungselektronik und elektrische Antriebe* der *Universität Rostock* für das Projekt *FetConWind\** zu arbeiten und dadurch zu promovieren. Darüber hinaus wäre ohne seine fachliche Kompetenz, seinen Ratschlägen und kritischen Fragen diese Arbeit nicht möglich gewesen. Weiterhin möchte ich mich bei Herrn Dr.-Ing. Manfred Bruckmann herzlich bedanken, der mich in seinem Unterricht zu dem Gebiet der Leistungselektronik brachte und mir hilfreich bei meiner Karriere zur Seite stand. Ferner wäre diese Arbeit ohne die Unterstützung der Mitarbeiter der *Siemens AG Industry* durch die Herren Max Beuermann und Hubertus Köhler nicht möglich gewesen. Ein besonderer Dank geht auch an die Gutachter, Herr Professor Dr.-Ing. Steffen Bernet und Herr Dr.-Ing. Dietmar Krug für ihre sinnvollen Eingaben.

Des Weiteren bedanke ich mich bei meinen Kollegen im Lehrstuhl, mit denen ich erfolgreich zusammenarbeiten durfte. Besonders hervorzuheben sind dabei Herr Dr.-Ing. Sidney Gierschner als mein Projektpartner, Korrektor und Ideengeber, Herr Dr.-Ing. Robin Werner für seine hilfreichen Anregungen zu meiner Arbeit, sowie die Herren Dr.-Ing. Jan Fuhrmann, Dr.-Ing. Patrick Münster und Ing. Yves Hein als Ratgeber und Hilfen beim Erstellen dieser Arbeit. Ein besonderer Dank gebührt meiner Lebensgefährtin Frau Nastaran Fazli, die mich beim Erstellen dieser Arbeit maßgeblich unterstützt hat. Ohne ihre Hilfe und Unterstützung hätte ich es nicht geschafft. Dies gilt genauso für meine Eltern und meinem Bruder (auch wenn er leider Informatik studiert hat), die zum Gelingen der Arbeit beigetragen haben.

---

\* Verbundvorhaben *Umrichter für Windenergieanlagen mit verbessertem Fehler- und Netzverhalten (FetConWind)*, gefördert durch das Bundesministerium für Wirtschaft und Energie (0325789A)

## Motivation

*Die Kurzschlüsse von IGBT und Diode im Active-Neutral-Point-Clamped-Dreipunktumrichter...*

... oder warum aus einer vermeintlich simplen Fragestellung eine Doktorarbeit mit hunderten von Seiten entstehen kann.

Im Laufe meines Studiums im Rahmen meines Bachelors *Regenerative Energien und Energieeffizienz* entdeckte ich meine Affinität zur Leistungselektronik durch ein Praktikum bei der *Siemens AG* im Bereich Elektromobilität. Ab diesem Zeitpunkt faszinierte mich dieser Bereich so sehr, dass ich beschloss, meinen beruflichen Weg voll und ganz dahingehend auszurichten. Aufbauend auf meiner Bachelorarbeit im Bereich Hardware für den Antrieb von bürstenlosen DC-Motoren, fokussierte ich mich dann in einem wissenschaftlich orientierten Master an der *Ostbayerischen Technischen Hochschule Regensburg* ganz auf dieses Gebiet der Ingenieurwissenschaften. Dank einer Kooperation mit der *Siemens AG* im Bereich Traktion von Schienenfahrzeugen konnte ich mein Studium mit einer Arbeit zu einem optimierten Schaltverhalten von IGBTs erfolgreich abschließen. Die bis zu diesem Zeitpunkt gesammelten Erfahrungen ermöglichten es mir, eine Promotion an der *Universität Rostock* anzustreben.

Am Anfang meiner Laufbahn als wissenschaftlicher Mitarbeiter wurde mir von meinem Doktorvater die zunächst einfach klingende Aufgabe gestellt, alle denkbaren Halbleiterkurzschlüsse für den *Active-Neutral-Point-Clamped-Dreipunktumrichter (ANPC)* im Megawattbereich zu untersuchen. Aus einem ersten Brainstorming heraus kam die überschlagsmäßige Hypothese, dass die Gesamtzahl der möglichen Kombinationen an IGBT- und Diodenkurzschlüssen im niedrigen zweistelligen Bereich liegen sollte. Obendrein wurde die zum damaligen Zeitpunkt vertretbare Hypothese aufgestellt, dass alle Fälle in diesem Dreipunktumrichter aus den vier bekannten Kurzschlüssen (*KS*) des gewöhnlichen Zweipunktumrichters abgeleitet werden können. Daher, so die Prognose am Anfang, sollten sich die Untersuchungen relativ zügig abschließen lassen.

Die Realität erwies sich dann aber als deutlich komplexer und umfangreicher als diese Vorhersage. Nach intensiver Analyse der Schaltprozeduren im ANPC-Dreipunktumrichter, und die sich bei eintretendem Halbleiterversagen daraus resultierenden Kombinationen aus Kurzschlüssen, wurde die erste Hypothese ad absurdum geführt. Die auftretenden möglichen Fehlerkombinationen bewegten sich eher im zwei- bis niedrigen dreistelligen Bereich. Später ließ sich zwar diese hohe Nummer an Fällen durch Symmetrieeffekte reduzieren, dennoch blieb die Anzahl immer noch im mittleren zweistelligen Bereich.

Auch die zweite Grundidee (Zusammensetzung aus den bekannten vier KS) bekam in dem Moment Risse, als erkannt wurde, dass der kurz zuvor entdeckte fünfte Kurzschlussfall einen doppelten Effekt auf den ANPC-Dreipunktumrichter hat. Nicht nur existiert dieser durch Plasma ermöglichte Fehler für den IGBT auch für diesen Typ von Umrichter, sondern es müsste auch ein bis dato unbekanntes Pendant für die bipolare Hochspannungsdiode geben. Diese Überlegung wurde dann im Laufe dieser Arbeit bestätigt. Die vermeintlich simple Beantwortung der Fragestellung erledigte sich vollends, als klar wurde, dass Kurzschlüsse im ANPC mit mehr als einem betroffenen Halbleiter ein deutlich komplexeres Strom- und Spannungsmuster erzeugen würden, als es anfangs postuliert wurde.

Die Komplexität, die hinter „einfachen“ Hypothesen in der Wissenschaft stecken können, ergab sich wie so oft erst im Laufe der Untersuchungen. Jedoch erbrachten die in dieser vorliegenden Arbeit durchgeführten Analysen hinsichtlich der Kurzschlussproblematik im ANPC-Dreipunktumrichter wertvolle Resultate bezüglich der Halbleiterfehler. Sei es der neu entdeckte Plasmakurzschluss der Diode, die Interaktion mehrerer Halbleiter im Fehlerfall oder der Einsatz einer Schutzbeschaltung, die als Nebeneffekt Kurzschlüsse verursacht; die gewonnenen Erkenntnisse gab es in dieser Detailliertheit noch nicht in der Wissenschaft. Sie bilden darüber hinaus die Grundlage für zukünftige Fehleranalysen von anderen Umrichtertopologien mit gleichvielen oder mehr Potentialen an Ausgangsspannungen, als den hier vorgestellten ANPC-Dreipunktumrichter.

Rostock, den 18. Januar 2022

---

## Kurzfassung

Die vorliegende Arbeit beschäftigt sich mit den auftretenden Halbleiterkurzschlüssen im Active-Neutral-Point-Clamped-Dreipunktumrichter im Megawattbereich, beispielsweise einsetzbar in Windkraftanlagen oder Schiffsantrieben. Umrichter in solchen Umgebungen haben den inerten Nachteil, dass nach einem Kurzschluss ein einfacher Austausch des Systems nicht möglich ist. Weiterhin birgt ein Durchbruch eines Halbleiters, der dadurch einen Kurzschluss auslöst, die Gefahr, dass weitere Bauelemente zerstört werden und Folgeschäden an der gesamten Anlage entstehen. Um diese Problematik umgehen zu können, muss erst einmal verstanden werden, welche Fehler im ANPC-Dreipunktumrichter möglich sind. Daher hat diese Arbeit die Aufgabe, alle möglichen Schaltkombinationen im Umrichter zur Erzeugung der drei Phasenausgangsspannungen zu untersuchen, welcher Durchbruch eines Halbleiters dabei eintreten kann und welche Kurzschlüsse sich daraus schlussendlich ergeben werden.

Anhand von Messungen in einem praxisnahen Teststand wird aufgezeigt, dass sich die Kurzschlüsse im Umrichter in grob fünf Kategorien aufteilen lassen. Zuerst gibt es die Gruppe der vier schon weitläufig beschriebenen Halbleiterfehler aus dem gewöhnlichen Zweipunktumrichter. Zu diesen Fehlern, die nur einen Halbleiter betreffen, kommen zusätzlich die neuen Kurzschlüsse als nächste Kategorie, bei denen die freien Ladungsträger im Bauteil einen Fehlerfall ermöglichen. Dabei wird die Variante für die Diode erstmalig im Rahmen dieser Arbeit beschrieben. Weitere Untersuchungen zeigen die Auswirkungen von Kurzschlüssen, wenn mehr als ein Halbleiter daran beteiligt ist. Während die Serienschaltung zweier Bauteile im Fehlerfall in den meisten Fällen noch eine starke Analogie zu den vorherigen Fehlern aufweist, ist dies bei den zwei anderen Varianten nicht mehr gegeben. Die Parallelschaltung zweier Kurzschlusspfade, welche erstmalig in dieser Arbeit beschrieben wird, führt zu einer Interaktion der betroffenen Halbleiter untereinander. Eine Verzerrung der Strom- und Spannungsverläufe im Kontrast zu den bekannten Fällen ist das Resultat. Als letzte Kategorie können im ANPC-Dreipunktumrichter Situationen auftreten, bei der beim Fehler eintritt ein Halbleiter mit mehr Spannung belastet werden würde, als er sperren kann. Dieses Problem kann durch Schutzbeschaltung gelöst werden, verursacht dann aber einen Kurzschluss über mindestens drei Halbleiter.

Die vorgestellten Fälle werden messtechnisch untersucht, um aufzeigen zu können, wie die Halbleiter in bis dato unbekanntem Kurzschlussituationen reagieren. Darüber hinaus ermöglicht die Analyse aller Kurzschlüsse im ANPC-Dreipunktumrichter Erkenntnisse, wie Fehlervarianten in anderen Mehrpunktumrichter ausfallen werden.

## Abstract

This thesis deals with the semiconductor short-circuits occurring in three-level active-neutral-point-clamped converters in the range of megawatt, for example in wind power stations or ship propulsion systems. Converters in such environments have the inert disadvantage that after a short circuit a simple replacement of the system is not possible. In addition, a breakthrough in a semiconductor, which thus triggers a short circuit, carries the risk of destroying other components and by that causing damage to the entire system. To avoid this problem, it is necessary to understand the possible errors in the ANPC inverter. Therefore, this thesis has the task to investigate all possible switching combinations in the inverter for the generation of the three phase output voltages, which breakdown of a semiconductor can occur, and which short circuits will finally result from this.

Based on measurements in a practical test stand, it is shown that the short circuits in the inverter can roughly be divided into five categories. First of all, there is the group of the four already widely described semiconductor faults from the usual two-level converter. In addition to these faults, which only affect one semiconductor, there are the new short circuits as the next category, where the free charges in the component allows a failure case. The variant for the diode is described for the first time in this thesis. Further investigations show the effects of short circuits when more than one semiconductor is involved. While the series connection of two components in case of a fault in most cases still allows a strong analogy to the previous faults, this is no longer the case with the other two variants. The parallel connection of two short-circuit paths, which is described for the first time in this thesis, leads to an interaction of the semiconductors with each other. The result is a distortion of the current and voltage curves in contrast to the known cases. As a last category, situations can occur in ANPC converters in which a semiconductor would be faced with more voltage than it can block when a fault occurs. This problem can be solved by using suppressor circuitry, but then causes a short circuit across at least three semiconductors.

The cases presented are investigated by means of measurements in order to show how the semiconductors react in previously unknown short-circuit situations. In addition, the analysis of all short-circuits in the three-point ANPC converter provides insight into how fault variants in other multilevel converters will occur.

# Inhaltsverzeichnis

<b>1</b>	<b>EINLEITUNG.....</b>	<b>1</b>
<b>2</b>	<b>FEHLERANALYSE IM ANPC-UMRICHTER.....</b>	<b>6</b>
2.1	Die Ausführungen an Dreipunktumrichtern.....	6
2.2	Schaltzustände im ANPC-Dreipunktumrichter .....	11
2.3	Mögliche Ursachen von Halbleiterfehlern .....	19
2.4	Kurzschlussvarianten im Dreipunktumrichter.....	21
<b>3</b>	<b>DIE GRUNDLEGENDEN KURZSCHLUSSFÄLLE.....</b>	<b>28</b>
3.1	Kurzschlussfall I.....	30
3.2	Kurzschlussfall II.....	45
3.3	Kurzschlussfall III .....	69
3.4	Kurzschlussfall IV .....	79
<b>4</b>	<b>PLASMA INDUZIERTER KURZSCHLÜSSE .....</b>	<b>87</b>
4.1	Kurzschlussfall IV ohne Laststrom.....	89
4.2	Kurzschlussfall V.....	105
4.3	Sonderfälle durch Plasmaeinfluss.....	116
<b>5</b>	<b>HÖHERINDUKTIVE SERIENKURZSCHLÜSSE.....</b>	<b>117</b>
5.1	Serienschaltung zweier Kurzschlüsse.....	117
5.1.1	Kurzschlussfall II + II .....	118
5.1.2	Kurzschlussfall II + II ZC .....	124
5.1.3	Kurzschlussfall III + III .....	131
5.1.4	Kurzschlussfall IV + IV.....	134
5.2	Pseudo-Serienschaltung zweier Kurzschlüsse .....	137
5.2.1	Kurzschlussfall [III +] IV .....	137
5.2.2	Kurzschlussfall [III +] V.....	139
5.2.3	Kurzschlussfall [II +] IV ZC.....	141
<b>6</b>	<b>PARALLEL AUFTRETENDE KURZSCHLÜSSE .....</b>	<b>143</b>
6.1	Parallele Fälle durch zwei Null-Volt-Pfade .....	143
6.1.1	Kurzschlussfall II     II + III.....	143
6.1.2	Kurzschlussfall III     II + III .....	151
6.1.3	Kurzschlussfall IV     II + II ZC.....	155
6.2	Parallele Fälle mit einem Plasmakurzschluss .....	159
6.2.1	Kurzschlussfall II     [III +] V.....	159
6.2.2	Kurzschlussfall III     [II +] IV ZC .....	162



---

<b>6.3</b>	<b>Parallele Fälle mit zwei Plasmakurzschlüssen .....</b>	<b>164</b>
6.3.1	Kurzschlussfall IV ZC    [III +] V.....	164
6.3.2	Kurzschlussfall V    [II +] IV ZC.....	167
<b>7</b>	<b>KURZSCHLÜSSE DURCH ÜBERSPANNUNG .....</b>	<b>169</b>
<b>7.1</b>	<b>Überspannungsfälle mit drei Halbleitern.....</b>	<b>170</b>
7.1.1	Kurzschlussfall I* + II + II.....	170
7.1.2	Kurzschlussfall I* + III + III .....	176
7.1.3	Kurzschlussfall I* + IV + IV.....	179
<b>7.2</b>	<b>Überspannungsfälle mit vier Halbleitern .....</b>	<b>180</b>
7.2.1	Kurzschlussfall II ZC    I* + II + II.....	181
7.2.2	Kurzschlussfall II ZC    I* + III + III .....	189
<b>7.3</b>	<b>Überspannungsfälle mit Plasmaeinfluss .....</b>	<b>192</b>
7.3.1	Kurzschlussfall V    I* + II + II.....	192
7.3.2	Kurzschlussfall IV ZC    I* + III + III .....	199
<b>8</b>	<b>AUSWIRKUNGEN DER KURZSCHLÜSSE.....</b>	<b>201</b>
<b>9</b>	<b>ZUSAMMENFASSUNG.....</b>	<b>215</b>
<b>10</b>	<b>ANHÄNGE .....</b>	<b>219</b>
10.1	Ersatzschaltbild von IGBT und Diode .....	219
10.2	Schutzmaßnahmen im Kurzschluss.....	223
<b>11</b>	<b>LITERATURVERZEICHNIS .....</b>	<b>229</b>
<b>12</b>	<b>ABBILDUNGSVERZEICHNIS .....</b>	<b>243</b>

## Formel- / Symbolbezeichnung

<b>A</b>	.....	Anode
<b>C*</b>	.....	Kollektor [englisch: Collector]
<b>C<sub>CG</sub></b>	.....	Miller-Kapazität (alternativ: Kollektor-Gate-Kapazität)
<b>C<sub>CE</sub></b>	.....	Kollektor-Emitter-Kapazität
<b>C<sub>DC</sub></b>	.....	Zwischenkreiskondensator
<b>C<sub>GE</sub></b>	.....	Gate-Emitter-Kapazität
<b>C<sub>PL</sub></b>	.....	Plasmaersatzkapazität
<b>D<sub>C</sub></b>	.....	Virtuelle Diode zur Darstellung der Rückwärtssperrfähigkeit des IGBTs
<b>D<sub>N</sub></b>	.....	Virtuelle Diode zur Anpassung der Ersatzstromquelle des IGBTs an das reale Halbleiterverhalten
<b>D<sub>TVS</sub></b>	.....	TVS- oder Suppressordiode, siehe ‚TVS‘
<b>D<sub>X</sub></b>	.....	Diode mit ‚x‘ als Nummerierung
<b>E</b>	.....	Emitter
<b><math>\hat{E}</math></b>	.....	Spitzenwert des elektrischen Feldes
<b>f(x)</b>	.....	Mathematische Funktion mit ‚x‘ als Argument
<b>G</b>	.....	Gate / Steuerelektrode
<b>HE</b>	.....	Hilfs-Emitter
<b>I<sub>C*</sub></b>	.....	Kollektorstrom
<b>I<sub>F</sub></b>	.....	Vorwärtsstrom (analog zum Anodenstrom)
<b>I<sub>L</sub></b>	.....	Laststrom
<b>I<sub>RR</sub></b>	.....	Rückwärtserholungsstrom [englisch: reverse-recovery current]
<b>I<sub>KS</sub></b>	.....	Kurzschlussstrom
<b>I<sub>X</sub></b>	.....	IGBT mit ‚x‘ als Nummerierung
<b>J<sub>AV</sub></b>	.....	Ladungsstromquelle des Avalanche-Effektes
<b>J<sub>N</sub></b>	.....	Elektronenstromquelle
<b>j<sub>n</sub></b>	.....	Elektronenstromdichte
<b>J<sub>P</sub></b>	.....	Löcherstromquelle

---

$j_p$	.....	Löcherstromdichte
$j_{n-AV} / j_{p-AV}$	...	Stromdichte verursacht durch den Avalanche
$j_{n-Diode} / j_{p-Diode}$	..	Gesamte Stromdichte durch die Diode
$j_{n-dp}$	.....	Durch den Self-Turn-On-Effekt hervorgerufene Elektronenstromdichte
$j_{n-dyn} / j_{p-dyn}$	...	Dynamische Stromdichte verursacht durch Plasmaextraktion und / oder Avalanche-Effekt
$j_{n-IGBT} / j_{p-IGBT}$	...	Gesamte Stromdichte durch den IGBT
$j_{n-PL} / j_{p-PL}$	...	Stromdichte verursacht durch das Umladen von $C_{PL}'$
$j_{n-RR} / j_{p-RR}$	...	Stromdichtw verursacht durch das Plasmaausräumen
$j_{n-stat} / j_{p-stat}$	...	Statische Stromdichte verursacht vom Laststromfluss
$j_n (U_{GE})$	.....	Durch $U_{GE}'$ vorgegebene Elektronenstromdichte der IGBT-Ersatzstromquelle
$J_{ST}$	.....	Ladungsstromquelle des Self-Turn-On-Effektes oder Self-Turn-Off-Effektes
$K$	.....	Kathode
$k(x)$	.....	Verstärkungsfaktor mit $x'$ als Argument
$L_\sigma$	.....	Streuinduktivität / parasitäre Induktivität
$L_{\sigma,E-HE}$	.....	Streuinduktivität zwischen Emitter & Hilfsemmitter
$n$	.....	Elektronenkonzentration
$n_{AKKU}$	.....	(Elektronen-) Akkumulationsschicht
$p$	.....	Löcherkonzentration
$P_V$	.....	Schaltverlustleistung
$Q_{PL}$	.....	Plasmaladung / Sperrverzögerungsladung
$R_G$	.....	Gatewiderstand
$R_{G,INT}$	.....	Interner Gatewiderstand
$R_{n^-}$	.....	Widerstand im intrinsischen Gebiet mit Donatordotierung, siehe auch $n^+$
$S_x$	.....	Schalter mit $x'$ als Nummerierung
$t_{D,KS}$	.....	Zeitdifferenz zwischen spannungslosem Ausschalten des Halbleiters und Kurzschlusseintritt
$T_c$	.....	Temperatur am Chip

---

<b>U<sub>CE</sub></b>	.....	Kollektor-Emitter-Spannung
<b>U<sub>CEs</sub></b>	.....	Kollektor-Emitter-Sperrspannung
<b>U<sub>CE,SAT</sub></b>	.....	Sättigungssperrspannung [engl.: saturation voltage]
<b>U<sub>CH</sub></b>	.....	Kanalspannung [engl.: channel voltage]
<b>U<sub>CG</sub></b>	.....	Kollektor-Gate-Spannung
<b>U<sub>DC</sub></b>	.....	Zwischenkreisspannung
<b>U<sub>FR</sub></b>	.....	Einschaltspannung [engl.: forward-recovery voltage]
<b>U<sub>GE</sub></b>	.....	Gate-Emitter-Spannung
<b>U<sub>KA</sub></b>	.....	Kathoden-Anoden-Spannung
<b>U<sub>Lσ</sub></b>	.....	Induktiver Spannungsabfall über parasitäre Induktivität
<b>U<sub>th</sub></b>	.....	Schwellenspannung [engl.: threshold voltage]

- \* Um Verwechslung mit dem Kathodenstrom ( $I_K$ ) zu vermeiden wurde hier  $I_C$  für den Kollektorstrom durch den IGBT gewählt (wie auch im Englischen). Daher ist der Kollektor auch mit  $C$  gekennzeichnet und nicht mit  $K$  (für Kathode).

## Bezeichnungen

<b>AGC</b> .....	Aktive (Gate-) Klemmung [engl.: active (gate) clamping]
<b>ANPC</b> .....	Aktiv geklemmter Neutralpunkt [engl.: Active-Neutral-Point-Clamped]
<b>ESB</b> .....	Ersatzschaltbild
<b>i</b> .....	Intrinsisch / schwach dotiert (meistens Donatoren)
<b>IGBT</b> .....	Bipolartransistor mit isolierter Gate-Elektrode [engl.: insulated-gate bipolar transistor]
<b>KS</b> .....	Kurzschluss
<b>max</b> .....	Maximum / maximal
<b>min</b> .....	Minimum / minimal
<b>MOSFET</b> ...	Metall-Oxid-Halbleiter-Feldeffekttransistor [engl.: metal-oxide-semiconductor field-effect transistor]
<b>MOS-Kanal</b> ...	Kanal durch elektrisches Feld unterhalb Gateoxid im IGBT
<b>MMC</b> .....	Modularer Mehrpunktumrichter [engl.: modular-multi-level converter]
<b>n<sup>+</sup></b> .....	Mit Donatoren dotiertes Gebiet (Elektronen als freie Majoritätsladungsträger), Exponent gibt den Grad der Dotierung an: ‚+‘ $\triangleq$ hohe / ‚-‘ $\triangleq$ niedrige
<b>NPC</b> .....	Geklemmter Neutralpunkt [engl.: Neutral-Point-Clamped]
<b>p<sup>+</sup></b> .....	Mit Akzeptoren dotiertes Gebiet (Löcher als freie Majoritätsladungsträger), siehe ‚n <sup>+</sup> ‘
<b>PGC</b> .....	Passive Gateklemmung [engl.: passive gate clamping]
<b>PiN-Diode</b> ...	Diode mit intrinsisch leitendem Gebiet [engl.: positive-intrinsic-negative diode]
<b>Self-Turn-Off</b> ...	Selbst ausschaltend (Effekt)
<b>Self-Turn-On</b> ...	Selbst einschaltend (Effekt)
<b>TVS</b> .....	Unterdrückung transienter Spannung [engl.: transient voltage suppressor]

# 1 Einleitung

Wenn über Kurzschlüsse von Halbleitern mit hoher Sperrspannung, wie die hier untersuchten *Insulated-Gate Bipolar Transistors* (deutsche Übersetzung: Bipolartransistor mit isolierter Gate-Elektrode (*IGBT*) / siehe [1] oder [2]) und bipolare Dioden mit intrinsischer Schicht (*Pin-Diode*, ab hier nur noch verkürzt als *Diode* bezeichnet / [3]), in aktuellen wissenschaftlichen Diskursen gesprochen wird, dann bezieht sich dies meist auf die vier Fälle des Zweipunktumrichters. Davon werden vorwiegend die ersten beiden Fälle, welche nur den IGBT betreffen, in Erwägung gezogen, vergleiche beispielsweise [4]. Besonders der reine Diodenkurzschluss findet bis dato kaum Erwähnung. Dies liegt unter anderem auch daran, dass dieser Fall erst vor kurzer Zeit entdeckt worden ist [5]. Standardmäßig werden in Datenblättern der Halbleiterhersteller, wenn überhaupt, nur Angaben zum ersten Fall angegeben. Die wissenschaftlichen Erkenntnisse zu Kurzschlüssen in Umrichtern mit mehr als zwei Ausgangsspannungsebenen sind noch dürftiger [6]. Ein Grund dürfte dabei sein, dass Mehrpunktumrichter, beispielsweise als Dreipunkt-Variante, in der Praxis weniger oft eingesetzt werden. Deswegen ungeachtet haben diese Typen, wovon der Active-Neutral-Point-Clamped-Dreipunktumrichter [7] eine weit verbreitete Form darstellt, ihre Daseinsberechtigung. Sie ermöglichen es beispielsweise, die Zwischenkreisspannung bei Einsatz von den gleichen Halbleitern zu erhöhen [8], oder alternativ die notwendige Spannungsstufe der IGBTs und Dioden abzusenken [9]. Weitere Vorteile, wie eine Reduktion der Oberschwingungsanteile der Umrichterausgangsspannung [10], sind hinlänglich in der wissenschaftlichen Welt besprochen worden, genauso wie ihre Nachteile, wie beispielsweise mehr Halbleiter pro Umrichter [11].

Dieser letztgenannte Punkt führt erwartungsgemäß zu einem Problem: je mehr IGBTs und Dioden pro Phase verbaut werden, desto mehr Kurzschlussfälle sind allein statistisch gesehen möglich. Bezogen auf die Eingangsaussage heißt das wiederum zugleich, dass diese bis heute nur zum Teil untersucht worden sein können, wie die Untersuchung an verfügbaren Quellen in dieser Arbeit auch aufzeigen wird. Selbst wissenschaftliche Arbeiten, die sich mit einem nahen Verwandten des ANPC-Dreipunktumrichters, des sogenannten *Neutral-Point-Clamped-Umrichters* (*NPC*), beschäftigen, decken für diese Variante nicht alle möglichen Kurzschlussfälle ab [12]. Viele Aufsätze zu dieser Thematik haben gemeinsam, dass es ihnen an Analysen von Kurzschluss Szenarien mangelt, von realen Fehlermessungen an Halbleitern ganz zu schweigen, vergleiche dazu beispielsweise [13], [14] oder [15]. Erklärtes Ziel der vorliegenden Arbeit ist es daher, zum ersten Mal alle auftretenden Kurzschlüsse im Active-Neutral-Point-Clamped-Dreipunktumrichter durch Analysen zu erfassen, mittels Messungen zu beschreiben und wissenschaftlich auszuwerten. Dies ergibt nicht nur ein detailliertes

Verständnis der Fehler in dieser speziellen Variante, sondern liefert auch Antworten zu Kurzschlüssen in Umrichtern mit mehr Ausgangsspannungsebenen, die oft auf ähnliche Strukturen wie den ANPC-Dreipunktumrichter zurückgreifen. Um dies zu erreichen, werden vorab im zweiten Kapitel unter anderem die möglichen Schaltkombinationen im ANPC-Dreipunktumrichter aufgezeigt. Darauf aufbauend ergibt sich die Analyse an potenziellen Ausfallszenarien und welche Fehler an welcher Stelle überhaupt auftreten können. Auch enthält der zweite Abschnitt eine Beschreibung der Verteilung der parasitären Impedanzen im verwendeten Teststands. Dies spielt für alle Fehlerfälle mit mehr als zwei betroffenen Halbleitern eine entscheidende Rolle, wie die Kapitel 6 und 7 aufzeigen werden. Die im ANPC-Dreipunktumrichter auftretenden Kurzschlussfälle können dann zur besseren Übersicht grob in fünf Kategorien eingeteilt werden [16].

Den Anfang machen die Kurzschlüsse (*KS*) mit einem betroffenen Halbleiter (*Basiskurzschlüsse*), wie sie im dritten Kapitel beschrieben werden. Wie schon eingangs erwähnt, treten die ersten vier davon genauso im Zweipunktumrichter auf. Bei dem ersten Fall (*KS I*) handelt es sich um das Aufschalten des IGBTs auf einen bereits bestehenden Kurzschluss [17]. Wie auch im entsprechenden Abschnitt erklärt wird, handelt es sich daher um einen Einschaltvorgang unter extremen Bedingungen [18]. Der *KS I* wird weiterhin durch die Steuerschaltung des Halbleiters, unter Berücksichtigung der parasitären Streuinduktivität ( $L_\sigma$ ) des Kommutierungskreises, gesteuert [19]. Anders stellt sich das Ganze dann im zweiten Fall (*KS II*) dar [20]. Hierbei leitet der IGBT den Laststrom ( $I_L$ ) und der Kurzschluss tritt währenddessen durch das Versagen des zweiten Halbleiters in der Halbbrückenschaltung auf. Hauptsächlich bestimmen die Streuinduktivität [21] und Rückkopplungseffekte [18], abgesehen von eventuellen Schutzbeschaltungen [4], das Geschehen, bis der einsetzende Entsättigungsprozess sich auswirkt [22]. Im dritten Fall (*KS III*) führt die Freilaufdiode den Strom, der zu ihr antiparallel angeordnete IGBT ist aber weiterhin eingeschaltet [23]. Im Fehlerfall kommutiert der Strom von der Diode auf diesen IGBT, der dann ein ähnliches Verhalten wie beim zweiten Kurzschlussstyp aufzeigt [24]. Bei dem letzten Fall (*KS IV*) im Zweipunktumrichter ist der IGBT abgeschaltet, während die Diode den Laststrom vor dem Kurzschlusseintritt führt [5]. Der eintretende Fehler ist im Grunde ein Ausräumen der gespeicherten Plasmaladung ( $Q_{PL}$ ) unter extremeren Bedingungen als beim normalen Abschaltvorgang der Diode [25]. Folglich könnte er auch zu den beiden nachfolgend vorgestellten Kurzschlüssen mit Plasmaeffekt dazu gerechnet werden.

Einige Mehrpunktumrichter können darüber hinaus weitere Basiskurzschlüsse ermöglichen (*Plasmakurzschlüsse*). Voraussetzung ist, wie es auch das vierte Kapitel dann aufzeigt, eine Struktur wie der doppelte Nullspannungspfad beim ANPC-Dreipunktumrichter [26]. Dies ermöglicht es dann, einen Halbleiter abzuschalten, ohne dass er gleichzeitig Spannung aufnimmt. Dadurch bleibt das

Plasma bei bipolaren Bauelementen im IGBT oder Diode erhalten [16]. Diese gespeicherte Ladung kann auf drei Arten verschwinden:

- A) Durch Rekombination über der Zeit
- B) Mittels Schaltvorgang anderer Halbleiter, die zwangsläufig eine Spannung über das Bauteil mit Plasma anlegen
- C) Auf Grund des Durchbrechens eines anderen Schalters in der Phase, welcher dann einen Kurzschluss auslöst

Der Typ *C* stellt für die bipolare Diode eine Variante des *KS IV* dar und wird daher nicht als eigenständiger Fall interpretiert (*KS IV ZC*) [26]. Diese Möglichkeit war bis dato der Fachwelt nicht bekannt und wird in der vorliegenden Arbeit ausführlich analysiert. Die gleiche Situation kann auch für den IGBT eintreten, welches den fünften Fall ergibt (*KS V*) [27]. Das dritte und das vierte Kapitel bilden zusammen die Grundlagen für die Interpretation der nachfolgenden Fälle, bei denen dann mindestens zwei Halbleiter vom Kurzschluss betroffen sind. Teilweise wird es möglich sein, das Verhalten der Mehrfachkurzschlüsse aus den Basis-kurzschlüssen abzuleiten, teilweise unterscheiden sich die Fehlerbilder aber erheblich [28].

Anschließend folgt im fünften Kapitel eine Analyse der Fälle, bei dem die zwei betroffenen Halbleiter sich in Serie zueinander befinden (*Serienkurzschlüsse*). Sie werden teilweise bereits durch die Literatur abgedeckt, beispielsweise beschrieben in [12] oder [22]. Eine vollständige Übersicht mit detaillierten Untersuchungen hat bis dato aber gefehlt [16]. Dies wird durch die hier vorliegende Arbeit erstmalig erreicht. Es wird sich zeigen, dass diese Fehler im Erscheinungsbild zum Großteil identisch zu den Basiskurzschlüssen sind. Jedoch gibt es auch Ausnahmen bei den Serienkurzschlüssen, wenn einer der Kurzschlussarten mit Plasmaeinfluss auftritt [29]. Dadurch dominiert dieser Typ die Serienschaltung und der zweite betroffene Halbleiter keinen Kurzschluss machen kann. Es handelt sich um einen Pseudo-Serienkurzschluss, wobei der Plasmakurzschluss im Stromkreis eine höhere Streuinduktivität aufweist als die vergleichbare Variante mit nur einem betroffenen Halbleiter. Ein weiterer messbarer Unterschied zu den Fällen *KS I – V* tritt ab dem Zeitpunkt auf, ab dem die Serienkurzschlüsse abgeschaltet werden sollen [29].

Das sechste Kapitel enthält zum ersten Mal die ausführliche Beschreibung einer Fehlersituation, bei der zum Kurzschlusszeitpunkt zwei parallele Strompfade gleichzeitig auftreten (*Parallelkurzschlüsse*) [30]. Hier zeigt sich zum ersten Mal eine Diskrepanz zu dem theoretischen Konzept, das multiple, zeitgleich auftretende Kurzschlüsse aus den Basiskurzschlüssen zusammengesetzt werden können. Die betroffenen IGBTs und / oder Dioden beeinflussen sich während des



Fehlers gegenseitig, was die Spannungs- und Stromverläufe von den bekannten Varianten KS I – V verzerrt [30]. Die Parallelkurzschlüsse lassen sich in zwei Untergruppen aufteilen, je nachdem wer dafür verantwortlich ist, dass der Fall überhaupt eintritt. Die eine Möglichkeit zu zwei parallelen Pfaden ergibt sich durch einen ausgeschalteten Halbleiter mit gespeichertem Plasma, der parallel zum Strompfad vor dem Fehlereintritt liegt. Bei der anderen Variante sind die beiden Pfade mit Null-Volt-Ausgangsspannung in der betroffenen Phase des ANPC-Dreipunktumrichters zeitgleich eingeschaltet, wodurch auch zwei Pfade im Kurzschluss ermöglicht werden. Da bei der letztgenannten Variante das Plasma keine Rolle spielt, unterscheiden sich die beiden Typen der parallelen Kurzschlüsse deutlich voneinander [30].

Vervollständigt wird die Arbeit durch die letzte Kategorie an Kurzschlussfällen im ANPC-Dreipunktumrichter im siebten Kapitel (*Überspannungskurzschlüsse*). Unter bestimmten Umständen kann es bei einem Fehlereintritt passieren, dass die volle Zwischenkreisspannung (hier  $2x U_{DC}$ , da das positive und negative Potential mit  $+U_{DC}$ , respektive  $-U_{DC}$ , bezeichnet worden ist), und damit meist weit über der maximalen Durchbruchsspannung des Bauteiles ( $U_{CES}$ ), über einen zweiten Halbleiter abfällt [12]. Um den Spannungsabfall zu begrenzen und einen sekundären Ausfall zu vermeiden, wird der betroffene IGBT via einer Schutzbeschaltung in den aktiven Bereich gesteuert. Als Resultat wird aber nun ein Kurzschlusspfad über mindestens drei Halbleitern ermöglicht [28]. Die Herausforderung dabei ist, dass der Überspannungsschutz binnen Zehntel Mikrosekunden den IGBT durch Einschalten in den aktiven Bereich schützen muss. Darüber hinaus kann es zu Situationen kommen, bei dem der induktive Laststrom ein sicheres Abschalten dieses IGBTs nach dem Kurzschlusseintritt unmöglich macht [12]. Ohne die Verwendung von speziellen Abschaltkombinationen würde der Halbleiter durch die produzierte Schaltverlustleistung ( $P_V$ ) schlussendlich thermisch zerstört werden. Auch dieser Fall kann in drei Untergruppierungen aufgeteilt werden. Dabei kommt es darauf an, ob ein vierter Halbleiter vor dem Kurzschluss entweder Plasma aufweist oder ein- beziehungsweise ausgeschaltet ist [31]. Dessen Zustand übt dann am Anfang deutliche Auswirkung auf das Fehlerbild aus. Die Überspannungskurzschlüsse wurden zum Teil schon in der Literatur behandelt, es fehlen aber wiederum einige Konstellationen, wie das entsprechende siebte Kapitel aufzeigen wird. Darüber hinaus weisen Messungen zu dieser Thematik oft eine signifikante Einschränkung auf: die gesamte Zwischenkreisspannung ist entweder gleich oder nur leicht höher als die Sperrspannung des IGBTs [12]. Je größer jedoch das Ungleichgewicht zwischen  $2x U_{DC}$  und  $U_{CES}$  ausfällt, desto schneller muss die Spannungsschutzbeschaltung reagieren, um einen sekundären Ausfall verhindern zu können [28]. Die vorliegende Arbeit zeigt daher Messungen mit einer signifikant höheren Zwischenkreisspannung im Vergleich

zur Sperrspannung, um so die volle Auswirkung der Überspannungskurzschlüsse erstmalig zeigen zu können.

Durch diese fünf Kategorien werden alle Fehler im ANPC-Dreipunktumrichter umfassend abgedeckt. Diese Aussage wird mittels Messungen an Hochspannungs-IGBTs und -Dioden in einem realen Megawattumrichter belegt, um so auch die Effekte der Kurzschlüsse und die Interaktion der Halbleiter untereinander aufzeigen zu können. Im achten und letzten Hauptkapitel werden die vorherigen Erkenntnisse auf ihre Auswirkungen hinsichtlich des Stoßstrom-Effektes [32], welcher nach einem Kurzschluss auftreten kann, in Relation gesetzt. Auch wird aufgezeigt, welche Halbleiter im ANPC-Dreipunktumrichter besonders gefährdet sind und welche Lösungsansätze sich bezüglich der Fortführung des Betriebes des Umrichters nach einem Halbleiterfehler ergeben. Die vorliegende Arbeit wird mit einer Zusammenfassung abgeschlossen, in der die wichtigsten Resultate noch einmal aufgegriffen werden.

## 2 Fehleranalyse im ANPC-Umrichter

Ein Kurzschluss ist im Grunde eine niederimpedante, im Extremfall eine impedanzlose, Verbindung der beiden Pole einer elektrischen Quelle. Bezogen auf die hier besprochenen Kurzschlüsse von Halbleitern in Active-Neutral-Point-Clamped-Dreipunktumrichter ist die Quelle der Gleichspannungszwischenkreis. Gemäß dem Ohm'schen Gesetz fließt durch den so geschlossenen Kreis ein entsprechend hoher Kurzschlussstrom ( $I_{KS}$ ). In der Realität sind die Quellen, ausgeführt als Hochspannungsquelle mit Zwischenkreiskondensatoren ( $C_{DC}$ ) zur Spannungsstabilisierung, auf Grund der begrenzten Energie in den Kapazitäten dazu nicht in der Lage. Ihre Spannung bricht bei zu hohem Stromfluss ein. Von der obigen Definition weichen die hier beschriebenen Kurzschlüsse im Halbleiter scheinbar etwas ab. So lange der Kurzschlussstrom durch den oder die IGBTs und / oder Dioden begrenzt wird, bricht die Zwischenkreisspannung nicht oder kaum ein. Dies gilt aber nur unter der Prämisse, dass der Kurzschluss innerhalb einiger Mikrosekunden unterbrochen werden kann. So wird verhindert, dass zu viel Energie aus dem Zwischenkreis entnommen wird, beziehungsweise er komplett entladen wird.

Kommt es jedoch zu einem weiteren Durchbrechen eines oder mehrerer Halbleiter und kein weiteres Element kann den Stromfluss limitieren, so wird die Energieentnahme aus dem Kondensator zu hoch und seine Spannung bricht ein. Es kommt zu einem kompletten Entladen der Quelle in oder durch die Fehlerstelle einhergehend mit meist destruktiven Ergebnissen [33]. Mit Kurzschluss kann aber auch gleichzeitig das Auftreten eines Halbleiterversagens und das Reagieren der restlichen Elemente im Stromkreis darauf bezeichnet werden. Dies gilt, da die Halbleiter im gesättigten Zustand nahezu keinen Widerstand verursachen. Im Halbleiterbereich wird zur Typisierung eine römische Zahl zur Kategorisierung der Kurzschlüsse angehängt, beispielsweise KS I für den ersten Fall.

### 2.1 Die Ausführungen an Dreipunktumrichtern

Bevor auf die Halbleiterkurzschlüsse von IGBT und Diode im Active-Neutral-Point-Clamped-Dreipunktumrichter im Detail eingegangen werden kann, muss zuerst analysiert werden, welche Fehlerfälle überhaupt möglich sind. Als Grundlage wird dafür ein generelles Verständnis dieses Umrichters benötigt. Wie der Name schon vermittelt, weisen Dreipunktumrichter gegenüber der standardmäßigen Zweipunktvariante ein drittes Spannungslevel pro Ausgangsphase auf [10]. Während der Zweipunktumrichter entweder sein positives Zwischenkreispotential ( $+U_{DC}$ ) oder das entsprechende negative Pendant ( $-U_{DC}$ ) am Ausgang einer

Phase anlegen kann, ermöglicht die dreistufige Umrichtervariante ein zusätzliches Spannungslevel von null Volt [34]. Realisiert werden kann ein Dreipunktumrichter in drei Hauptvarianten [8].

Zum einen mit einem auf freiem Potential liegenden Kondensator, der auf die halbe Zwischenkreisspannung aufgeladen ist. Diese auch als *Flying-Capacitor-Umrichter* bezeichnete Variante bietet, mit nur zwei Halbleitern pro Phase mehr als der Zweipunktumrichter, drei Phasenausgangsspannung, siehe [35] und *B* in Abbildung 2-1. Nachteilig erweist sich aber, dass der Kondensator nicht auf einem festen Potential liegt und so während des Betriebes durch Umladevorgänge seine Spannung nicht konstant ist. Schlussendlich führt dies zu Schwankungen des Null-Volt-Levels. Eine Untervariante dieses Konzeptes wurde vor kurzem als *Quasi Three-Level Flying-Capacitor-Umrichter* eingeführt, siehe [36] und *D* in Abbildung 2-1. Dabei handelt es sich um einen Mehrpunktumrichter mit hintereinander geschalteten schwebenden Kondensatoren, wobei die Phasenausgangsspannung auf drei Level reduziert wird. Die restlichen verfügbaren Level, realisiert durch weitere schwebende Kondensatoren, werden dazu benutzt, die Spannungszunahme der Ausgangsspannung zu reduzieren. Dies wirkt sich positiv auf die durch den Umrichter verursachte elektromagnetische Störungen aus und reduziert die Spannungsbelastung der einzelnen Schalter gegenüber dem herkömmlichen Flying-Capacitor-Dreipunktumrichter [36].

Darüber hinaus existiert eine Variante, Umrichter, die in ihrem ursprünglichen Design deutlich mehr als drei Spannungsstufen aufweisen, auch in einer reduzierten Version als Dreipunktumrichter einzusetzen. Erste Option ist eine kaskadierte Schaltung von Vollbrücken (auch genannt H-Brücken), siehe [37] und *C1* in Abbildung 2-1. Dieser Variante, bekannt als *Cascaded-H-Bridge-Umrichter*, weist jedoch das Problem auf, dass eine voneinander potentialgetrennte DC-Einspeisung pro Zelle benötigt wird, welches den Aufwand enorm steigert. Die zweite Option, jedoch ohne extra Einspeisung, ermöglicht der *Modular-Mehrpunktumrichter (MMC)*, siehe [38] und *C2* in Abbildung 2-1. Betrachtet man Kurzschlüsse für diese beiden Mehrpunktumrichter, dann zeigt sich, dass beide nur die ersten vier Fehlerfälle des Zweipunktumrichters aufweisen können. Dies beruht auf der Tatsache, dass kaskadierte Umrichter Vollbrücken verwenden [37], und der MMC entweder mit Halbbrücken oder Vollbrücken bestückt werden kann [39]. Das sind daher dieselben Strukturen wie die des Zweipunktumrichters. Ergo haben die Mehrpunktvarianten mehr oder weniger auch die gleichen Halbleiterfehlerfälle.

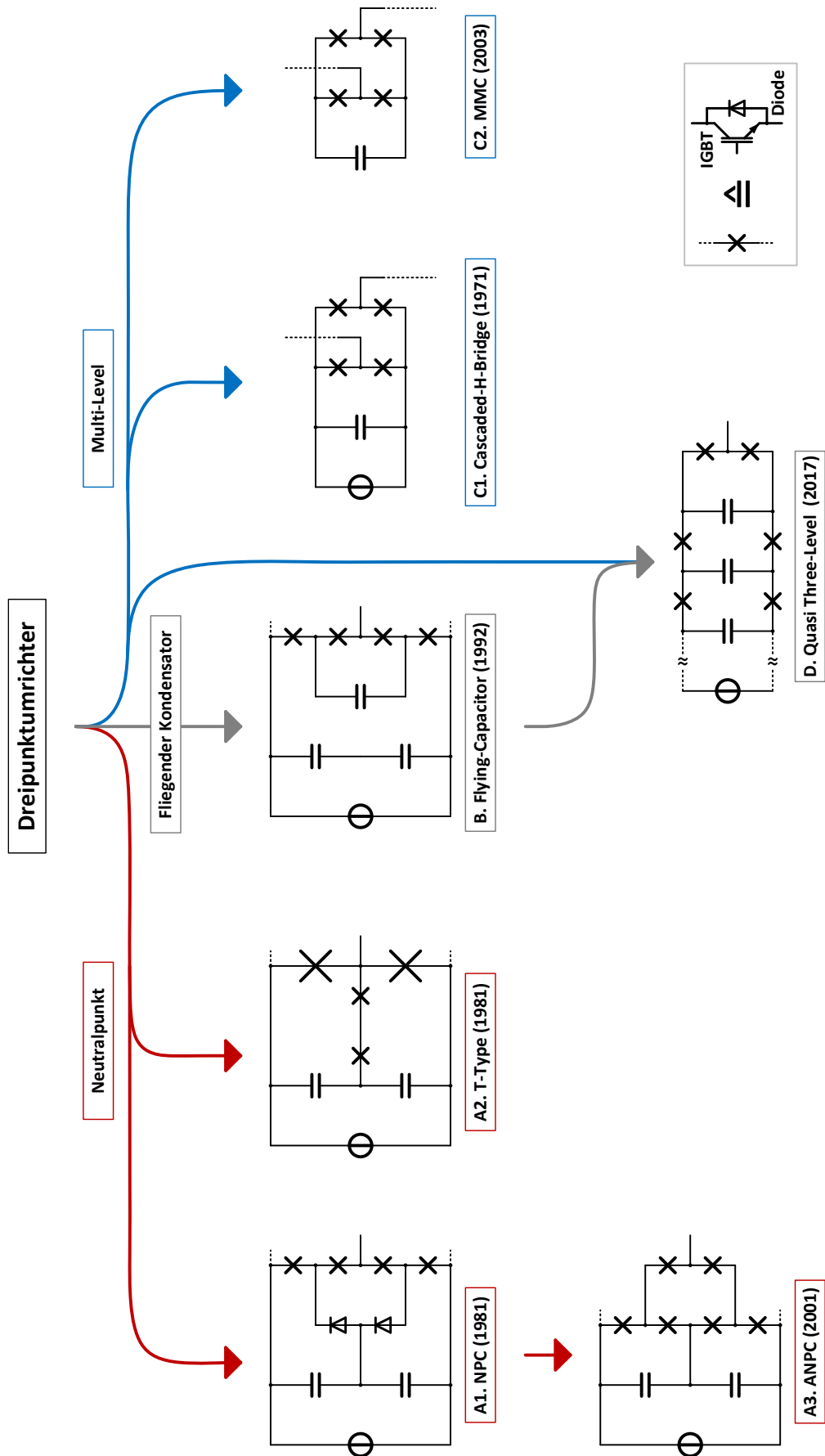


Abbildung 2-1: Übersicht über alle Dreipunktumrichter-Varianten (Darstellung einer Phase inklusive Zwischenkreis)

Als letzte Variante existiert die Möglichkeit, den Zwischenkreiskondensator in zwei Teile aufzuteilen und so einen virtuellen Nullpunkt zu schaffen [34]. Dieser wird über eine Verbindung, bestückt mit weiteren Schaltern, an den Phasenausgang gelegt. Grundsätzliche Überlegungen zu einem Umrichter mit Neutralpunktverbindung zum Phasenausgang wurden schon 1977 angestellt [10]. Die praktische Umsetzung geschah erst einige Jahre später. Option eins ist der Neutral-Point-Clamped-Dreipunktumrichter, welcher erstmalig im Jahre 1981 beschrieben wurde, siehe [34], [40] und A1 in Abbildung 2-1. Zwanzig Jahre später wurde der Active-Neutral-Point-Clamped-Dreipunktumrichter als Erweiterung des NPC-Typen vorgestellt, siehe [7] und A3 in Abbildung 2-1. Vorteil gegenüber dem Flying-Capacitor-Umrichter ist die Vermeidung des schwebenden Kondensators. Erkauft wird das aber durch den Einsatz von zwei weiteren Halbleitern pro Phase. Der *T-Type-Umrichter* (auch bekannt als *NPC 2*) als zweite Option bildet hingegen eine T-förmige Struktur, siehe [34] und A2 in Abbildung 2-1. Dabei wird der Nullspannungspfad durch zwei zueinander antiseriell verschaltete Halbleiter gebildet [41]. Als Vorteil ist hier der Einsatz von nur vier Halbleitern pro Phase zu nennen. Nachteilig ist aber, dass diese wegen ungleichmäßiger Sperrspannungsverteilung auf Grund des Umrichteraufbaus von zwei verschiedenen Spannungsklassen sein müssen [34]. Das heißt, zwei Halbleiter müssen die doppelte Spannung sperren können als die restlichen zwei. Der (A)NPC-Dreipunktumrichter vermeidet diese Problematik, indem sechs Halbleiter eingesetzt werden und damit eine gleichmäßige Spannungsaufteilung (halbe Zwischenkreisspannung pro Halbleiter) ermöglicht wird [7].

Alle Varianten des Dreipunktumrichters unterscheiden sich daher schaltungstechnisch betrachtet in der Anzahl der eingesetzten Halbleiter, deren Spannungs-klasse und der Anzahl an Kondensatoren. Dies führt letztendlich auch zu Unterschieden in der verursachten Schaltverlustleistung je nach Umrichter, beispielsweise beschrieben in [42]. Die vorliegende Arbeit fokussiert sich nahezu ausschließlich auf Halbleiterkurzschlüsse im ANPC-Dreipunktumrichter mit Verweisen auf die verwandte NPC-Variante. Das Verhalten der anderen Dreipunktumrichter kann zum Großteil aus den hier gewonnenen Erkenntnissen und den bekannten Fällen des Zweipunktumrichters deduziert werden. Die Vorteile eines Dreipunktumrichters gegenüber dem am meisten eingesetzten Umrichter, der Zweipunkt-Variante, wie beispielsweise höhere Schaltfrequenz [43], Filterreduzierung bei gleicher Verzerrung des Phasenstromes [44], doppelte Zwischenkreisspannung [11] oder Reduzierung der Sperrspannungsklasse der Halbleiter [9], wird in der vorliegenden Arbeit nicht analysiert. Zu diesem Themenkomplex gibt es diverse wissenschaftliche Publikationen, die sich schon einige Jahre nach der Erfindung des Mehrpunktumrichters damit auseinandergesetzt haben. Dies betrifft genauso deren Nachteile, wie zum Beispiel mehr Halbleiter oder kompliziertere Ansteuerung [42].

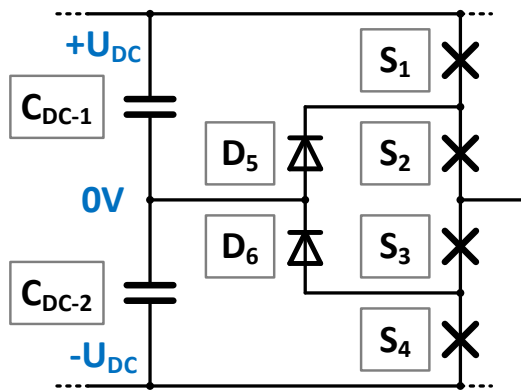


Abbildung 2-2a: NPC-Struktur

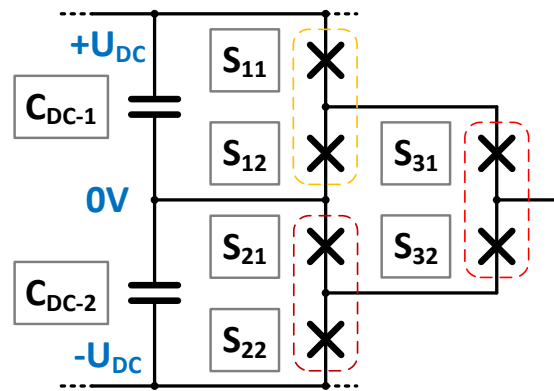


Abbildung 2-2b: ANPC-Struktur

Bevor der ANPC-Dreipunktumrichter zur Fehleranalyse beschrieben werden kann, muss zuerst kurz auf den NPC-Typ (siehe Abbildung 2-2a) eingegangen werden. Dieser besteht aus zwei Mittelpunktsdioden ( $D_5$  &  $D_6$ ) pro Phase zum Klemmen des Null-Volt-Levels [40]. Die restlichen vier Schalter ( $S_1$  -  $S_4$ ) bestehen bei Umrichtern mit hoher Zwischenkreisspannung aus IGBT-Modulen mit entsprechenden Freilaufdioden, siehe [34] und  $A1$  in Abbildung 2-1. Jedoch einer der negativen Aspekte dieses Umrichters beruht auf eben jener Konstruktionsweise. Es werden mindestens zwei verschiedene Modulvarianten, eine bestückt nur mit Dioden und eine gemischte mit beiden Halbleitertypen, benötigt [45]. Dies erhöht zum einen den Auslegungsaufwand, da verschiedene Bauteile dimensioniert und getestet werden müssen. Zum anderen reduziert sich der Skaleneffekt und der Umrichter wird dadurch teurer als ein Modell bestückt mit nur einer Art von Modulen. Um dieses Problem zu umgehen, wurde eine NPC-Variante entworfen, die ausschließlich aus sechs IGBT-Modulen, inklusive integrierter Freilaufdioden, besteht [43]. Um weiterhin Mittelpunktsdioden zu erhalten, werden die betroffenen IGBTs an den Positionen  $S_5$  und  $S_6$  via ihrer Gatetreiber nahezu dauerhaft ausgeschaltet. In der vorgestellten Arbeit wird dieses Konzept weiterhin dazu benutzt, um bei Serienschaltung von Modulen für das Erreichen von höherer Zwischenkreisspannung eine Spannungssymmetrierung im Abschaltvorgang über den Mittelpunktsdioden mittels kurzzeitigem Einschalten der antiparallelen IGBTs zu erzielen [43]. Im Grunde stellt dies schon die Struktur des ANPC-Dreipunktumrichters dar [14], nur wurde er in der Quelle weiterhin als NPC-Variante verwendet und das mögliche Potential nicht erkannt. Eine nachfolgende Arbeit nutzt dann zum ersten Mal aktiv die verbauten IGBTs und erschafft damit endgültig den ANPC-Umrichter, siehe [7] und Abbildung 2-2b.

Im NPC-Dreipunktumrichter bestimmt die Flussrichtung des Phasenausgangsstromes beziehungsweise Laststromes, welche der beiden Null-Volt-Pfade verwendet wird. Dies geschieht passiv durch die beiden Mittelpunktsdioden. Der Vorteil des ANPC-Umrichters gegenüber dem NPC-Typ ist die aktive Selektierung des Null-Volt-Levels unabhängig von der Richtung des Laststromes durch das

Ersetzen von  $D_5$  &  $D_6$  durch die steuerbaren IGBT- und Dioden-Module [42]. Dadurch kann bei gleichbleibender Ausgangsspannung ausgewählt werden, durch welchen der beiden Pfade der Strom fließt. Vereinfacht ausgedrückt kann somit eine Justierung der Halbleiterverluste vorgenommen werden. Das Symmetrieren der Verluste ist bei der NPC-Variante nicht gegeben [46]. Folglich kann mit dem ANPC-Dreipunktumrichter bei gleicher Einsatzumgebung eine verringerte thermische Belastung der Halbleiter durch geschickten Einsatz der redundanten Null-Volt-Level erzielt werden [47]. Dies wirkt sich positiv auf die verfügbare Ausgangsleistung und der Lebensdauer des Umrichters aus [42]. Um gezielt die Temperaturen verteilen zu können, sind diverse Modulationsvarianten für den ANPC-Dreipunktumrichter entwickelt worden, vergleiche dazu [47] oder [48]. Die Komplexität der Modulationsverfahren zur Symmetrierung der Verluste kann aus dem ersten Vorschlag zum ANPC-Dreipunktumrichter in Abbildung 2-3 (lila Pfeile beim Zustandswechsel) entnommen werden [7].

Der ANPC-Dreipunktumrichter kann einen weiteren Vorteil bieten, den die NPC-Ausführung so direkt nicht aufweisen kann. Die Halbleiter, die oft einen Kommutierungskreis bilden, sind in Abbildung 2-2b miteinander gruppiert worden [49]. Dadurch fällt die Streuinduktivität des Kommutierungskreises für die mit Schaltfrequenz taktenden Halbleiter  $S_{11}$  bis  $S_{22}$  geringer aus [50]. Dagegen werden die äußeren beiden Schalter,  $S_{31}$  und  $S_{32}$ , nur mit der Grundfrequenz einbeziehungsweise ausgeschaltet. Dieser Punkt gilt nicht immer und hängt wiederum davon ab, welches Modulationsverfahren gewählt wird. Um diese Aussage verstehen zu können, muss zuerst ein Exkurs auf die möglichen Zustände im Umrichter gemacht werden, dargestellt in Tabelle 2-1 und Abbildung 2-3. Die Tabelle listet Schaltzustände für die drei verfügbaren Phasenausgangsspannungen ( $+U_{DC} / 0 V / -U_{DC}$ ) auf. Dies schlägt sich wiederum in einer Vielzahl von Modulationsverfahren nieder [47]. Diese werden jedoch nie alle zugleich in einem Umrichter verwendet. Eine Auflistung aller Möglichkeiten ist dennoch notwendig, um später jede denkbare Kurzschlussituation für den ANPC-Dreipunktumrichter, ausgehend von den unterschiedlichen Ausgangssituationen, bestimmen zu können, wie es in Kapitel 3 bis 7 beschrieben wird.

## 2.2 Schaltzustände im ANPC-Dreipunktumrichter

Die ersten Ausgangssituationen behandeln das Anlegen des positiven oder negativen Potentials der Zwischenkreisspannung an den Phasenausgang. Der positive, respektive negative, Schaltzustand gibt es dabei in zwei Ausführungen ( $P_1$  &  $P_2$  beziehungsweise  $N_1$  &  $N_2$ ). Beide haben gemein, dass einer der äußeren Schalter ( $S_{11}$  oder  $S_{22}$ ) und der dazu serielle Schalter der Ausgangshalbbrücke ( $S_{31}$  oder  $S_{32}$ ) eingeschaltet ist, siehe Tabelle 2-1. Die Unterscheidung liegt darin, ob ein dritter Schalter ( $S_{21}$  oder  $S_{12}$ ) noch zusätzlich eingeschaltet ist [7] oder nicht



[47]. Das Einschalten des dritten, jedoch nicht am Laststrom beteiligten Schalters, führt dazu, dass der Spannungsabfall über die verbliebenen ausgeschalteten Halbleiter jeweils genau auf der halben Zwischenkreisspannung ( $U_{DC}$ ) fixiert ist, siehe [51] und Abbildung 2-3. Ohne diesen Ansatz würde sich die Spannung gemäß den Impedanzen der Halbleiter unter Vernachlässigung des Einflusses der Chiptemperatur wie bei einem belasteten Spannungsteiler verteilen. Eine Unterscheidung der Spannungen über beide Halbleiter im statischen Zustand wäre für die Bauteile noch so lange in Ordnung, bis die maximale Sperrspannung erreicht werden würde. Von da an käme es zu einem Avalanche-Effekt mit sehr wahrscheinlicher Zerstörung des Halbleiters [52].

In der Praxis stellt diese Theorie ein geringeres Problem dar. Es ist eher unwahrscheinlich, dass der Umrichter in einem Schaltzustand so lange verharrt, bis sich die Potentiale deutlich ungleichmäßig verteilt haben. Durch das Takten der Halbleiter wechseln sich die Schaltzustände in Abständen von wenigen Milli- bis mehreren Mikrosekunden ab, je nach Ausgangs- und Schaltfrequenz [52]. Daher wechseln sich die Spannungsabfälle über den Halbleitern zwischen der Durchlassspannung von IGBT, beziehungsweise Diode, und der halben Zwischenkreisspannung ab, siehe Abbildung 2-3. Da  $U_{CES}$  aber meist einen deutlichen Abstand zu  $U_{DC}$  aufweist, stellt dies in der Realität kein Problem dar. Im hier verwendeten ANPC-Teststand wurden 3,3 kV Halbleiter bei einer maximalen  $U_{DC}$  von 2,1 kV eingesetzt, siehe [26] und Abbildung 2-4. Bei deutlich höheren Spannungswerten können Schaltvorgänge aber nicht mehr vorgenommen werden [53]. Falls dieser Punkt ein Problem darstellen sollte, könnten alle vier inneren Schalter ( $S_{12}$ ,  $S_{21}$ ,  $S_{31}$  und  $S_{32}$ ) für den statischen Dauerzustand eingeschaltet werden. Somit fällt „nur“  $U_{DC}$  über den äußeren Schaltern ( $S_{11}$  und  $S_{22}$ ) ab, wie im Zustand  $0^{\pm}$  in Abbildung 2-3 dargestellt ist. Eine Verteilung gemäß Impedanzen über den Wert von  $U_{DC}$  hinaus kann dann nicht mehr auftreten. Von Interesse ist noch der Punkt, dass die gesamte Zwischenkreisspannung ( $\triangleq 2 \times U_{DC}$ ) je nach Auslegung des Umrichters größer [54] oder kleiner [55] als die Sperrspannung des einzelnen Halbleiters sein kann. Der erste Fall ist eher in der Literatur anzutreffen, beispielsweise in [8], [34] oder [40]. Er bietet eine erhöhte Leistungsausnutzung des Umrichters durch die größere Zwischenkreisspannung als der zweite Fall. Dessen Vorteil ist eine Vermeidung eines Kurzschlusses ausgelöst durch überhöhte Spannung in bestimmten Ausgangssituationen, siehe [16] und Kapitel 7.

Für das dritte Ausgangsspannungslevel, das Null-Volt-Level, gibt es sieben Varianten, siehe Tabelle 2-1. Diese werden in den positiven Null-Volt-Pfad ( $0^+$ ) über  $S_{12}$  plus  $S_{31}$  und das entsprechende negative Pendant ( $0^-$ ) über  $S_{12}$  plus  $S_{32}$  aufgeteilt. Meist werden in den untersuchten Arbeiten von den sieben Möglichkeiten nur ein oder zwei (sowie die dazu komplementären Fälle) verwendet [47]. Beispielsweise listet die erste Quelle zum ANPC-Dreipunktumrichter die Varianten  $0_1^{+/-}$  und  $0_2^{+/-}$  auf, siehe [7] sowie die lila Pfeile zur Reihenfolge der Zustände in

Abbildung 2-3. Der Zustand  $0_{3+/-}$  wird in einer speziellen Modulationsstrategie zur besseren Symmetrierung der Verluste zusätzlich in einer weiteren Arbeit verwendet [46]. Dieser Schaltzustand  $0_{3+/-}$  scheint aber im Vergleich zu  $0_{1+/-}$  und  $0_{2+/-}$  eher selten in der Literatur aufzutauchen. Theoretisch gibt es zu den gelisteten Fällen auch die Option, nur  $S_{31}$  und  $S_{32}$  einzuschalten [7]. Der ANPC-Dreipunktumrichter wird somit zur NPC-Variante degradiert, ein Einsatz macht also wenig Sinn, da alle Vorteile wieder verschwinden [30].

Tabelle 2-1: Mögliche Schaltzustände im ANPC-Dreipunktumrichter

Phasen- ausgangs- spannung	Schalt- zustand	Eingeschaltete Halbleitermodule					
		$S_{11}$	$S_{12}$	$S_{21}$	$S_{22}$	$S_{31}$	$S_{32}$
$+U_{DC}$	$P_1$	X				X	
	$P_2$	X		X		X	
0 V	$0_{1+}$		X			X	
	$0_{2+}$		X		X	X	
	$0_{3+}$		X			X	X
	$0^\pm$		X	X		X	X
	$0_{3-}$			X		X	X
	$0_{2-}$	X		X			X
	$0_{1-}$			X			X
$-U_{DC}$	$N_2$		X		X		X
	$N_1$				X		X

Im letzten möglichen Ausgangszustand ( $0^\pm$ ) sind alle vier inneren Schalter ( $S_{12}$ ,  $S_{21}$ ,  $S_{31}$  &  $S_{32}$ ) eingeschaltet, siehe [7], Tabelle 2-1 und Abbildung 2-3. Diese sehr selten anzutreffende Variante bietet zwei Vorteile. Zum einen führt ein Einschalten von allen vier Halbleitern zu einem Stromteiler und einer Verringerung der Durchlassverluste [56]. Im Projekt FetConWind wurden vorwiegend IGBT- / Dioden-Module vom Typ *Infineon FZ1500R33HL3* ( $U_{CES}$ : 3,3kV / nominale  $U_{DC}$ : 1,8 kV / nominaler  $I_L$ : 1,5 kA) eingesetzt, siehe [16] und [57]. Eine überschlägige Kalkulation mit Datenblattwerten ergab beim Einsatz dieser IGBTs und den dazugehörigen Freilaufdioden im Modus  $0^\pm$  eine Reduktion der

Durchlassverluste um die 20 % ohne Berücksichtigung der Auswirkung auf die Schaltverluste. Der Zustand  $0^\pm$  wird auch in einem Konzept zur Erhöhung der Fehlertoleranz eingesetzt [51]. Jedoch wird dort nur die zusätzlich verwendete vierte Phase bis zu einem Fehlereintritt mit  $0^\pm$  dauerhaft betrieben, die verbliebenen drei Phasen des ANPC-Dreipunktumrichters weisen diesen Zustand nicht auf [51]. Zum anderen kann der Einsatz vom Ausgangszustand  $0^\pm$  eine ungewollte, kurzzeitig andere Phasenausgangsspannung in bestimmten Situation verhindern [58]. Angenommen, bei einem Wechsel von  $0_{1^+}$  auf  $0_{1^-}$  und positivem Laststrom schaltet  $S_{31}$  schneller ab als  $S_{21}$  eingeschaltet werden kann, dann wird durch  $I_L$  für einige Mikrosekunden die Phasenausgangsspannung auf  $-U_{DC}$  via der Zwangskommutierung auf  $D_{22}$  und  $D_{32}$  gezwungen. Durch den Wechsel von  $0_{1^+}$  auf  $0_{1^-}$  über  $0^\pm$  (und vice versa) könnte dieses Problem umgangen werden. Alternativ müssten die Ein- und Ausschaltvorgänge aufeinander abgestimmt werden, um diesen kurzzeitig falschen Ausgangszustand zu unterbinden. Das gleiche Gedankenexperiment kommt auch bei einem Wechsel von  $0_{1^-}$  auf  $P_1$  mit positivem  $I_L$  zum selben Problem, wenn  $S_{21}$  abschaltet und  $S_{11}$  plus  $S_{31}$  noch nicht eingeschaltet sind. Jedoch muss auch noch beachtet werden, dass  $S_{32}$  vor dem Wechsel auf  $P_1$  abgeschaltet ist, ansonsten ist ein Kurzschlusspfad über  $S_{11}$ ,  $S_{21}$ ,  $S_{31}$  und  $S_{32}$  gegeben, siehe Kapitel 5. Das heißt, bestimmte Übergänge von Schaltzuständen können kurzzeitig zu ungewollten Phasenausgangsspannungen und / oder Kurzschlüssen führen. Abhilfe schafft hier entweder der Vorschlag mit dem zusätzlichen Zustand  $0^\pm$ , der Einsatz von anderen Schaltzuständen, hier alternativ  $0_{2^-}$  auf  $P_2$ , oder eine optimierte Ansteuerung der IGBTs.

Jedoch ist es nicht in jedem ANPC-Dreipunktumrichter möglich, alle vorher aufgelisteten Schaltzustände einzusetzen. Beispielsweise ist bei einem Wechsel von  $0_{1^+}$  auf  $P_1$  der Kommutierungskreis die Halbbrücke mit  $S_{11}$  und  $S_{12}$ . Bei der Variante von  $0_{2^-}$  auf  $P_2$  liegt ein deutlich größerer Kreis mit den Schaltern  $S_{11}$ ,  $S_{21}$ ,  $S_{31}$  und  $S_{32}$  vor. Daher kann davon ausgegangen werden, dass dies auch eine höhere Streuinduktivität zum kleineren Pfad aufweist (im hier verwendeten Teststand sind es circa 60 % mehr), siehe [30] und Abbildung 2-4. Ergo müsste die Abschaltgeschwindigkeit reduziert werden, um Überspannungen auf Grund eines zu hohen  $L_\sigma$  zu vermeiden. Dies kann wiederum dazu führen, dass mehr Schaltverluste produziert werden [4]. Umrichter mit zu hoher Streuinduktivität müssten also die Schaltzustände ändern, beziehungsweise einige davon meiden. Dies betrifft besonders eine Abart des hier eingesetzten Umrichters, bezeichnet als *Advanced-ANPC-Dreipunktumrichter* [59]. In dieser Variante wird eine künstliche Induktivität eingebaut, um positive Effekte im Kurzschlussfall erreichen zu können, vergleiche dazu Kapitel 3. Dafür muss dann aber eine spezielle Zustandsreihenfolge eingehalten werden [59] oder der besagte Zustand  $0^\pm$  verwendet werden [16]. Der Advanced-ANPC-Umrichter war am Anfang des Projektes FetConWind als Beantwortung der Frage, wie ein Dreipunktumrichter kurzschlussresistent

gestaltet werden kann, angesehen worden [50]. Der hochinduktive Aufbau ist jedoch mit vielen Nachteilen behaftet, wie zum Beispiel eine notwendige kurzschlussfeste Drossel und einer dazu antiparallel angeordneten Freilaufdiode gegen Überspannung [16]. Es zeigte sich jedoch, dass der Advanced-ANPC-Dreipunktumrichter durch eine geeignete Wahl aus robusten IGBTs plus Dioden und passenden Schutzschaltungen obsolet wurde. Daher kann in dieser Arbeit auf den allgemeinen ANPC-Dreipunktumrichter eingegangen werden, ohne eine Spezialversion untersuchen zu müssen.

Durch den Exkurs über die Schaltzustände kann nun auf die ursprüngliche Ausgangsfrage, den zusätzlichen Vorteilen des ANPC gegenüber dem NPC-Dreipunktumrichter, zurückgekommen werden. Zur Modellierung einer positiven Phasenausgangsspannung wird zwischen  $+U_{DC}$  und 0 V mit der Schaltfrequenz hin- und hergeschaltet (vice versa für negative Spannung). Nimmt man die Schaltzustände  $P_1$  und  $0_1^+$ , dann kommutiert mit dem Takt der Schaltfrequenz der Strom von  $S_{11}$  auf  $S_{12}$  und zurück. Währenddessen ist  $S_{31}$  dauerhaft eingeschaltet [59]. Der Wechsel von  $S_{31}$  auf  $S_{32}$  geschieht nur zweimal pro Periode der Ausgangsfrequenz, wenn von positiver auf negativer Phasenausgangsspannung und umgekehrt gewechselt wird. Bei einem Umrichter, angeschlossen an das europäische 50 Hz-Netz, passiert dies alle 10 ms, daher deutlich seltener im Vergleich zur Schaltfrequenz. Ergo passiert die Kommutierung, wenn diese Schaltzustände verwendet werden, hauptsächlich im Kreis mit  $S_{11}$  und  $S_{12}$ , respektive  $S_{21}$  und  $S_{22}$ , vergleiche auch Abbildung 2-4. Diese zwei Kommutierungskreise sollten, um induzierte Gegenspannung gering zu halten, so niederinduktiv wie möglich ausfallen [59]. Dadurch ergäbe sich auch die Möglichkeit, neuartige niederinduktive Halbbrückenmodule, wie beispielsweise die im Jahre 2015 vorgestellten *XHP* IGBT-Module [60], im ANPC-Dreipunktumrichter sinnvoll einzusetzen.

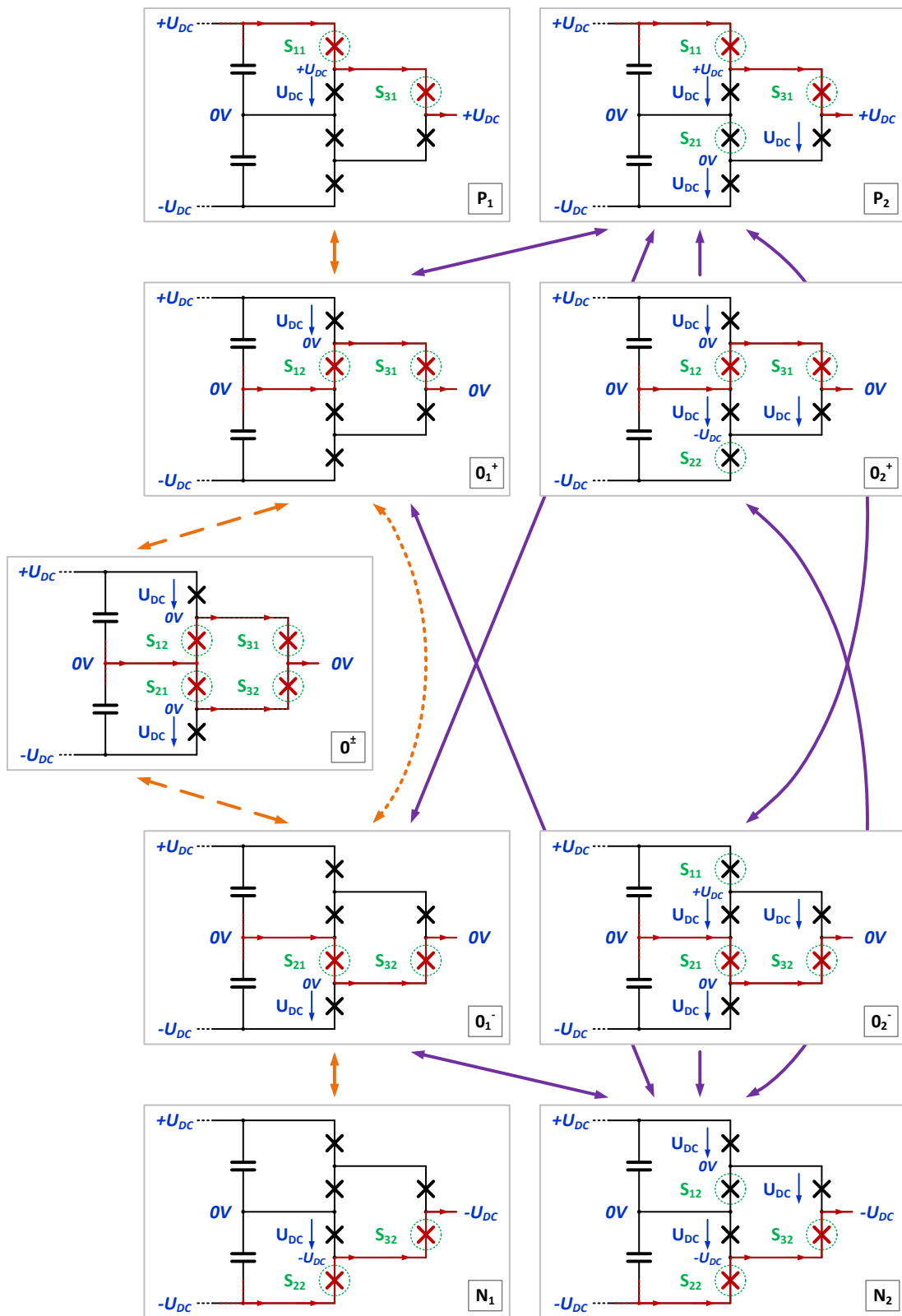


Abbildung 2-3: Auswahl Schaltzustände ANPC-Dreipunktumrichter (ohne  $O_{3^\pm}$ )  
 Legende: rot: Stromfluss, blau: Potential & Spannung, grün: Schalter eingeschaltet / Lila Pfeile nach [7], Orange Pfeile nach [59] mit Zusatz  $O_0^\pm$  (gestrichelt) nach [58]

Ein weiterer Vorteil bei ständigem Takten zwischen  $P_1$  und  $0_1^+$ , beziehungsweise  $N_1$  und  $0_1^-$ , wäre der Einsatz von auf Schaltverluste optimierten Halbleitern an den Positionen  $S_{11}$ ,  $S_{12}$ ,  $S_{21}$  und  $S_{22}$ , sowie auf niedrige Durchlassverluste ausgelegte Module an den Stellen  $S_{31}$  und  $S_{32}$ . Dieses mögliche Konzept ist im NPC-Dreipunktumrichter nicht möglich (die beiden Null-Volt-Pfade sind nicht selektierbar, daher erfolgt ein Sprung von  $+U_{DC}$  auf den negativen Null-Volt-Pfad [34]). Genauso sind gewisse Kombinationen aus Schaltzuständen im ANPC-Umrichter dann nicht mehr möglich, da ansonsten auch die Module  $S_{31}$  und  $S_{32}$  mit der Schaltfrequenz takten, die nicht dafür ausgelegt sind. Ein Beispiel für eine nicht funktionierende Kombination wäre der vorher beschriebene Wechsel von  $+U_{DC}$  auf den negativen Null-Volt-Pfad im ANPC-Dreipunktumrichter [46]. Unabhängig davon, welche Variante an Modulation verwendet wird, werden alle möglichen Schaltzustände in dieser Arbeit hinsichtlich ihrer Einflüsse auf die Kurzschlussfälle in den nachfolgenden Kapiteln 3 bis 7 untersucht.

Der in Abbildung 2-4 gezeigte Aufbau entspricht dem Ersatzschaltbild der Phase des eingesetzten Teststandes des ANPC-Dreipunktumrichters aus der vorliegenden Arbeit [30]. Die Verteilung der Impedanzen lässt sich über die diversen Kurzschlussfälle durch die auftretenden Stromanstiege und Spannungsänderungen über den Halbleitern aus den Kapiteln 3 bis 7 bestimmen. Generell weisen manche Kommutierungspfade im ANPC-Dreipunktumrichter eine höhere parasitäre Streuinduktivität auf als andere [49]. Innerhalb der Kommutierungskreise mit den Halbbrücken, bestehend aus  $S_{11}$  und  $S_{12}$ , respektive aus  $S_{21}$  und  $S_{22}$ , liegt eine geringere induktive Impedanz vor, als jeder Strompfad, der die Module  $S_{31}$  und  $S_{32}$  beinhaltet, vergleiche dazu [59] und Abbildung 2-4. Zu der Verteilung gibt es eine Quelle, die besagt, dass die zwei Kommutierungskreise mit  $S_{11}$  oder  $S_{22}$  ungefähr 60 % an Streuinduktivität im Vergleich zu dem Kreis mit Verwendung von  $S_{31}$  und  $S_{32}$  aufweisen können [61]. Dieser Wert stimmt auch einigermaßen mit dem ANPC-Teststand aus Abbildung 2-4 überein. Jedoch ist anzumerken, dass der eingesetzte Aufbau für die Kurzschlussmessungen nicht symmetrisch in der Verteilung der Induktivitäten ist [28]. Die zwei inneren Kommutierungskreise bestehen jeweils aus einem Zwischenkreiskondensator und zwei Halbleitermodulen. Dies ist entweder  $C_{DC-1}$ ,  $S_{11}$  und  $S_{12}$ , oder  $C_{DC-2}$ ,  $S_{21}$  und  $S_{22}$ . Die Kreise teilen sich eine gemeinsame Streuinduktivität  $L_{\sigma-12}$  (10 nH) am Punkt  $B$ . Der erste Kommutierungskreis mit dem Phasenausgang am Punkt  $A$  weist darüber hinaus noch die parasitären Impedanzen  $L_{\sigma-1A}$  (120 nH) und  $L_{\sigma-1B}$  (15 nH) auf. Für den zweiten Kreis mit dem Ausgang  $C$  liegen  $L_{\sigma-2A}$  (10 nH) und  $L_{\sigma-2B}$  (90 nH) vor. Die Schalter  $S_{31}$  und  $S_{32}$  würden eine weitere Halbbrücke (*Ausgangshalbbrücke*) bilden, angeschlossen an den Punkten  $A$  und  $C$ , siehe Abbildung 2-4. Zu dieser gehören dann auch die restlichen zwei Streuinduktivitäten  $L_{\sigma-3A}$  (50 nH) und  $L_{\sigma-3B}$  (50 nH), die symmetrisch um den Lastausgang ( $D$ ) verteilt sind.

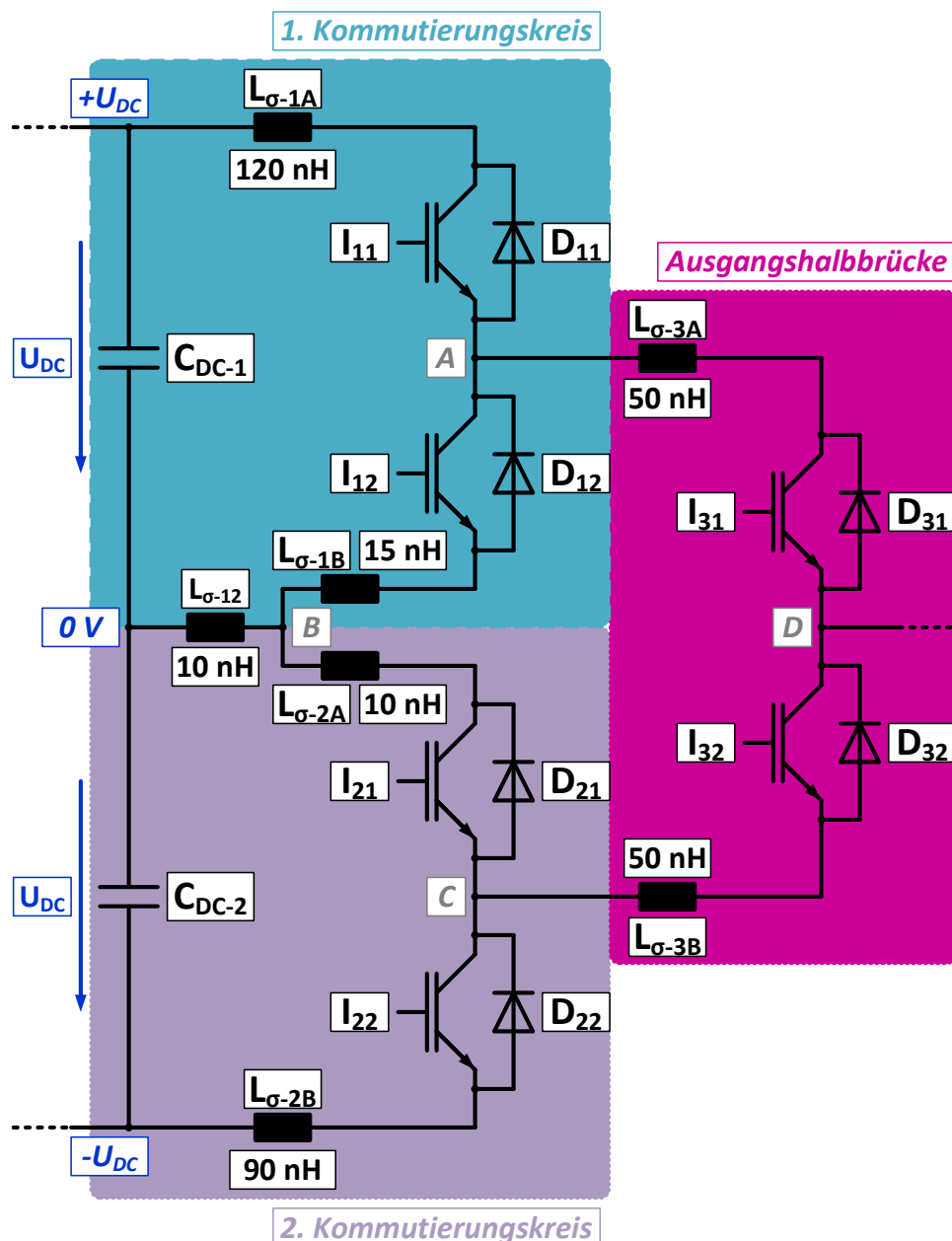


Abbildung 2-4: Phasenaufbau des ANPC-Dreipunktumrichters im hier verwendeten Teststand

Ein Problem bei der Analyse zur Bestimmung der Impedanzen im ANPC-Teststand ist, dass sich die Streuinduktivitäten je nach Richtung des Stromanstiegs kompensieren können. Sollte dies auftreten, verzerrt ihre Kopplung die Werte der ermittelten Impedanzen. Dieses mögliche Problem konnte mit den zur Verfügung stehenden Messmethoden nicht vollends gelöst werden. Insgesamt ist das ermittelte Ersatzschaltbild des ANPC-Teststandes aus Abbildung 2-4 jedoch hinreichend genau, um die eintretenden Stromänderungen über der Zeit bei den in dieser Arbeit untersuchten Kurzschlussfällen ausreichend präzise vorhersagen zu können [30].

Vergleicht man den ANPC-Dreipunktumrichter mit den anderen Dreipunkt-Varianten, so ist festzuhalten, dass dieser mehr Fehlerfälle als ein Flying-Capacitor-, T-Type- oder NPC-Dreipunktumrichter aufweist. Der eine Aspekt ist die erhöhte Halbleiteranzahl gegenüber den ersten beiden Typen. Der nächste Punkt ist die Möglichkeit des redundanten Null-Volt-Pfades, den die beiden anderen Umrichter nicht haben. Daher gibt es im ANPC-Dreipunktumrichter, auch wenn es eher exotische Varianten sind, Schaltzustände wie  $0^\pm$ . Durch den nichtvorhandenen zweifachen Null-Volt-Pfad können die Plasmakurzschlüsse aus dem Kapitel 4 auch nicht im Flying-Capacitor oder dem T-Type Umrichter auftreten. Die Strukturen ermöglichen es schlicht nicht, dass ein Halbleiter abgeschaltet wird, ohne Spannung aufzunehmen [26]. Der NPC-Dreipunktumrichter kann, wenn überhaupt, nur den Diodenplasmakurzschluss ( $KS IV ZC$ ), aufweisen, nicht aber das Pendant für den IGBT. Dies gelingt beim NPC-Dreipunktumrichter nur, wenn der Laststrom einen natürlichen Nulldurchgang ausführt, während derweil die entsprechende Phase schaltet. Wechselt der Laststrom beispielsweise von einem positiven zu einem negativen Wert, dann würde die Diode  $D_5$  keine Spannung aufnehmen, aber ihr Stromfluss würde zu null reduziert, vergleiche Kapitel 4.1 und Abbildung 2-2. Eine weitere Unterscheidung des ANPC-Dreipunktumrichters zum NPC-Typen besteht darin, dass der gleiche Schaltzustand mit unterschiedlichen Schalterkombinationen bei gleichem Laststrom erzielt werden kann (beispielsweise  $0_{1^+}$  versus  $0_{2^+}$  oder  $P_1$  versus  $P_2$ ).

## 2.3 Mögliche Ursachen von Halbleiterfehlern

Durch die bisherige Betrachtung des generellen Aufbaues und aller Schaltzustände ist eine Analyse der möglichen Kurzschlusssituationen im Active-Neutral-Point-Clamped-Dreipunktumrichter möglich. Vorab muss aber noch eine Festlegung erfolgen. Mit Fehlereintritt ist gemeint, dass einer der sechs Schalter, sei es IGBT oder Diode, in der Phase des ANPC-Dreipunktumrichters einen sofortigen Durchbruch erleidet. Das heißt, der betroffene Halbleiter weist instantan keinen Widerstand mehr auf und die Spannung über ihm bricht schlagartig zusammen. Es gibt diverse Gründe für das Auftreten eines Kurzschlusses, nachfolgend werden einige Möglichkeiten aufgelistet:

- Eine Option ist das Einwirken von kosmischer Höhenstrahlung [62]. Dies kann zu einem Durchbruch des Halbleiters binnen Nanosekunden führen, wenn er in dem Moment, in dem das hochenergetische Teilchen aus dem Kosmos im Bauteil einen Avalanche auslöst, Spannung blockiert [12]. Moderne Halbleiter sind aber so konzipiert, dass die Ausfallwahrscheinlichkeit durch Höhenstrahlung reduziert ist, so lange die Zwischenkreisspannung nicht zu hoch ausfällt.



- Ein Durchbruch könnte auch durch einen zu hohen Leckstrom, der wiederum zu viel Schaltverlustleistung im Bauteil bewirkt, in einem der Chips des Moduls entstehen. [33]. Ab einer gewissen Temperatur im Chip, 250°C für Halbleiter aus Silizium, tritt eine thermische Überlastung ein [19]. Es kommt zu einer Generierung von Ladungsträgern, beziehungsweise einem thermischen Avalanche, welcher zusätzliche Verluste im Bauteil verursacht [63]. Dies führt wiederum zu einem Temperaturanstieg und eine positive Rückkopplung setzt ein.
- Über die Nutzungsdauer des Halbleiters kommt es unter anderem dazu, dass Feuchtigkeit eindringt und damit eine schleichende Degradation auslöst [64]. Infolgedessen erhöht sich über die Zeit der Leckstrom, bis es irgendwann zu einem Durchbruch kommt.
- Eine weitere Möglichkeit wäre ein durch äußere Ereignisse verursachter Kurzschluss; stromleitendes Material dringt in den Umrichter ein und überbrückt ein Bauteil und / oder schließt den Phasenausgang mit einem der drei Potentiale ( $+U_{DC}$  / 0 V /  $-U_{DC}$ ) kurz [20].
- Ein Fehler in der Steuerung (Logikversager, Elektromagnetische Störung, falsche Sensorwerte etc.) könnte auch dazu führen, dass ein IGBT ein- oder nicht abgeschaltet wird, wenn dessen Pendant in der Halbbrücke sich noch im Ein-Zustand befindet oder gerade aufgesteuert wird [65]. Alternativ kann es zu Ausfällen beim Schalten des Halbleiters kommen, welches nicht detektiert wird, und der nächste Halbleiter wird dann auf einen Kurzschluss eingeschaltet [22].
- Im Abschaltvorgang des IGBTs kommt es zu einer Überspannung durch den Stromabfall in Verbindung mit der Streuinduktivität [3]. Wird dadurch die kritischen Feldstärke des Halbleiters überstiegen, führt dies zu einem Avalanche-Effekt [19]. Die Spannung nimmt bei Eintritt des Avalanches ab, da das Generieren von Ladungsträgern das elektrische Feld im Bauteil reduziert und somit die Spannung absenkt [66]. Dieses Ereignis kann auch zu einem Durchbrechen des Halbleiters führen [3].
- Die Gefahr eines Einrastens des parasitären Thyristors im IGBT [17], auch bezeichnet als *Latch-up*-Effekt, tritt als Fehler auf Grund optimierter Bauweisen bei modernen Bauteilen eher nicht mehr auf, siehe [67] und [68].

Ausfälle von anderen Bauteilen als Halbleiter werden hier nicht untersucht. Dazu gibt es weiterführende Literatur, siehe beispielsweise [69], [70] oder [71].

## 2.4 Kurzschlussvarianten im Dreipunktumrichter

Der sofortige Durchbruch eines der sechs Schalter in der Phase des ANPC-Dreipunktumrichters zieht, je nach Schaltzustand, eine Potentialänderung über den anderen Elementen und in vielen Fällen einen entsprechenden Kurzschluss nach sich. Allein an der hohen Anzahl an Schaltzuständen, die Tabelle 2-1 liefert deren elf, und Halbleitern pro Phase, ist ersichtlich, dass die Fehleranzahl deutlich höher als beim Zweipunktumrichter ausfallen muss. Eine Arbeit zum NPC-Dreipunktumrichter kommt auf 120 mögliche Fehlerfälle, jedoch ohne genauer einzugehen, wie diese Zahl ermittelt wurde [6]. Obendrein werden in dieser Arbeit nur auf die Kurzschlussfälle vom Typ eins (KS I / siehe [17] und Kapitel 3.1) und zwei (KS II / siehe [20] und Kapitel 3.2) eingegangen. Bis heute sind jedoch zwei weitere Fälle plus die Plasmakurzschlüsse dazugekommen [26]. Die Anzahl von Fehlervarianten kann aber reduziert werden, indem alle Fälle ohne Gefährdung eines Bauteiles abgezogen werden [6]. Beispielsweise würde das Durchbrechen von  $S_{22}$  in  $0_{1+}$  einen Potentialsprung auf  $-U_{DC}$  am Knoten zwischen den Elementen  $S_{21}$ ,  $S_{22}$  und  $S_{32}$  verursachen. So lange kein Plasma in einem oder zwei Halbleitern enthalten ist, führt dies zu einem Umladen der Ersatzkapazitäten der Halbleiter mit einem entsprechenden harmlosen Verschiebestrom, löst aber keinen gefährlichen Kurzschluss aus.

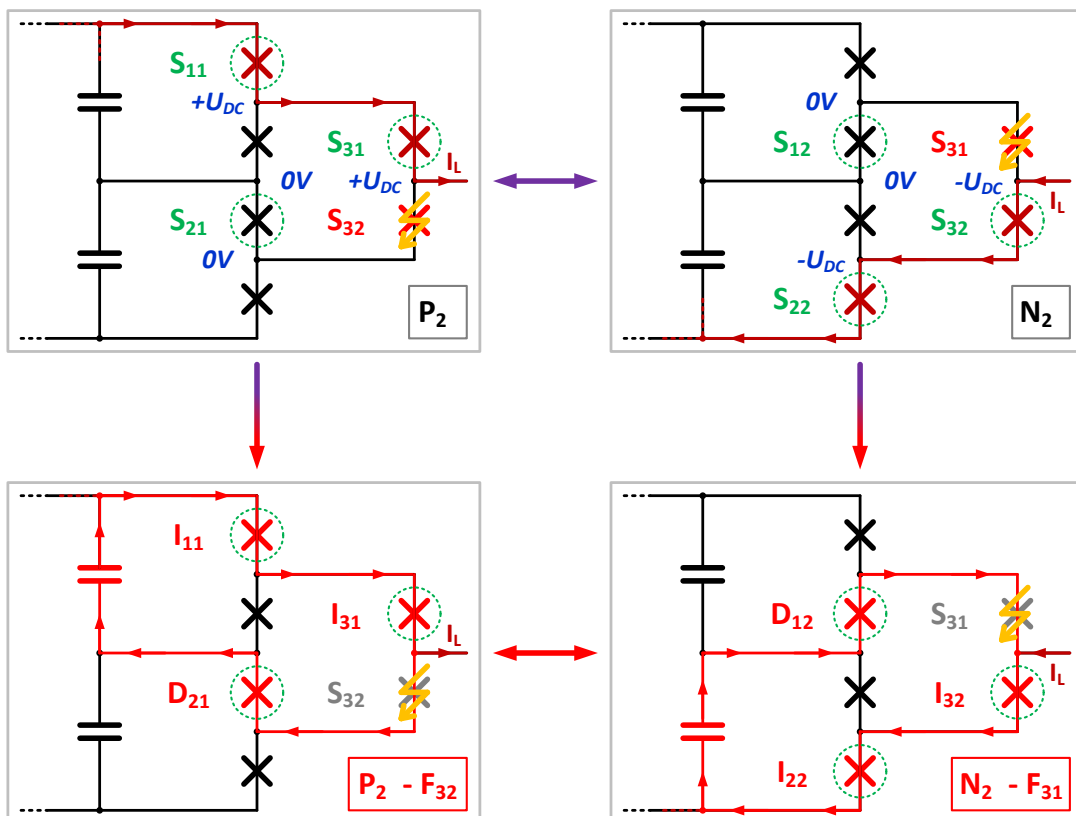


Abbildung 2-5: Darstellung der Symmetrien im Fehlerbild zur Reduktion der Fehlerzahl

Eine weitere Besonderheit des ANPC-Dreipunktumrichters im Vergleich zur NPC-Variante ist, dass der Null-Volt-Schaltzustand unabhängig von der Richtung des Laststromes ist [30]. Der Umrichter ist des Weiteren spiegelsymmetrisch aufgebaut [12]. Daraus erschließt sich, dass zum Abdecken aller Fehler eine Reduktion an Tests durchaus möglich ist, da sie redundant auftreten [72]. Verdeutlicht wird dies in Abbildung 2-5. Als Beispiel ist hier der Schaltzustand  $P_2$  mit positivem und sein Pendant  $N_2$  mit negativem Laststrom dargestellt. Der Durchbruch von  $S_{32}$ , respektive  $S_{31}$ , führt zu einem Kurzschluss. Der Kurzschlussstrom fließt über die IGBTs  $I_{11}$  &  $I_{31}$ , den zerstörten Schalter  $S_{32}$  (Bezeichnung ,F' für Fehler in Abbildung 2-5) und die Freilaufdiode  $D_{21}$  ( $P_2 - F_{32}$ ), beziehungsweise  $D_{12}$ ,  $I_{22}$ ,  $I_{32}$  &  $S_{31}$  ( $N_2 - F_{31}$ ). Das heißt, in beiden Fällen erleiden die Halbleiter mit gleichen Vorbedingungen die identischen Kurzschlüsse, das Ganze ist nur spiegelsymmetrisch vertauscht. Daher müssen entweder nur die Ausfälle der oberen drei Schalter ( $S_{11}$ ,  $S_{12}$  und  $S_{31}$ ) bei positivem oder negativem Laststrom betrachtet werden [12]. Oder es werden alle Schalter untersucht, aber dafür wird nur eine Richtung des Laststromes verwendet [30]. Letztgenannter Ansatz wurde in der vorliegenden Arbeit verwirklicht.

Eine weitere Reduktion der Fehlerzahl erfolgt dadurch, dass sich einige Fälle wiederholen. Beispielsweise führt ein Durchbrechen von  $S_{12}$  im Zustand  $P_1$  dazu, dass der stromführende IGBT  $I_{11}$  einen KS II erfährt ( $P_1 - F_{12}$ ). Die identische Situation liegt im Zustand  $0_{1^-}$  vor, wenn  $S_{22}$  durchbricht und ein KS II für den  $I_{21}$  eintritt ( $0_{1^-} - F_{22}$ ), siehe Abbildung 2-6. Erst mit dem Abschalten des Kurzschlusses kann es beim gleichen Kurzschlusstyp wie in den beiden beschriebenen Beispielen zu einer merklichen Divergenz kommen, vergleiche dazu Kapitel 3 und insbesondere 7. In der Analyse der möglichen Ausfälle im ANPC-Dreipunktumrichter wurde miteinbezogen, dass in den Schaltzuständen nicht jeder ausgeschaltete Halbleiter gleichermaßen gefährdet ist. Nur diejenigen, die auch eine Sperrspannung blockieren oder ein noch vorhandenes Restplasma von vorherigen Schaltvorgängen aufweisen, sind immanent gefährdet. Dem gegenüber stehen Bauteile, die eingeschaltet sind oder keine Spannung sperren und daher keine Gefährdung durch einen Durchbruch aufweisen. Dies führt zu einer weiteren Reduktion der zu betrachtenden Anzahl an Fehlerfälle.

In der vorliegenden Arbeit wurde ein Ausfall zum Zeitpunkt des Kommutierungsvorganges nicht betrachtet. Dies ist der Überlegung geschuldet, dass bei Schaltvorgängen die anliegende Sperrspannung sich zwischen 0 V und  $U_{DC}$  bewegt (unter Vernachlässigung der induktiv erzeugten Überspannung). Das heißt, ob ein Bauteil jetzt im Moment des Abschaltvorganges ausfällt, oder einen Durchbruch bei angelegter Sperrspannung erfährt, ist für den entstehenden Kurzschluss größtenteils irrelevant. Das Fehlerbild ist praktisch identisch und liefert keine zusätzlichen Erkenntnisse. Es ist auch noch festzuhalten, dass in der vorliegenden Arbeit keine Fehler untersucht worden sind, die die Ansteuerlogik

verursacht. Ein Beispiel dafür wäre das ungeplante Aufsteuern des zweiten Halbleiters in der Halbbrücke, wenn der erste immer noch eingeschaltet ist [22]. Dieses konkrete Beispiel würde zu einem Kurzschluss vom Typ eins führen, siehe [17] und Kapitel 3.1. Verhindern lassen sich diese Kurzschlüsse, wenn eine Sicherungslogik überprüfen würde, ob der Halbleiter wirklich sauber abgeschaltet hat oder nicht. Dies wäre beispielsweise möglich durch das Messen der Spannung über dem Halbleiter ( $U_{CE}$ ) oder der Steuerspannung am Gate ( $U_{GE}$ ) [52]. Sollte es jedoch zum Halbleiterfehler kommen, wird dann eine Kurzschlussdetektierung benötigt, um die Zerstörung des Bauteiles zu verhindern [73].

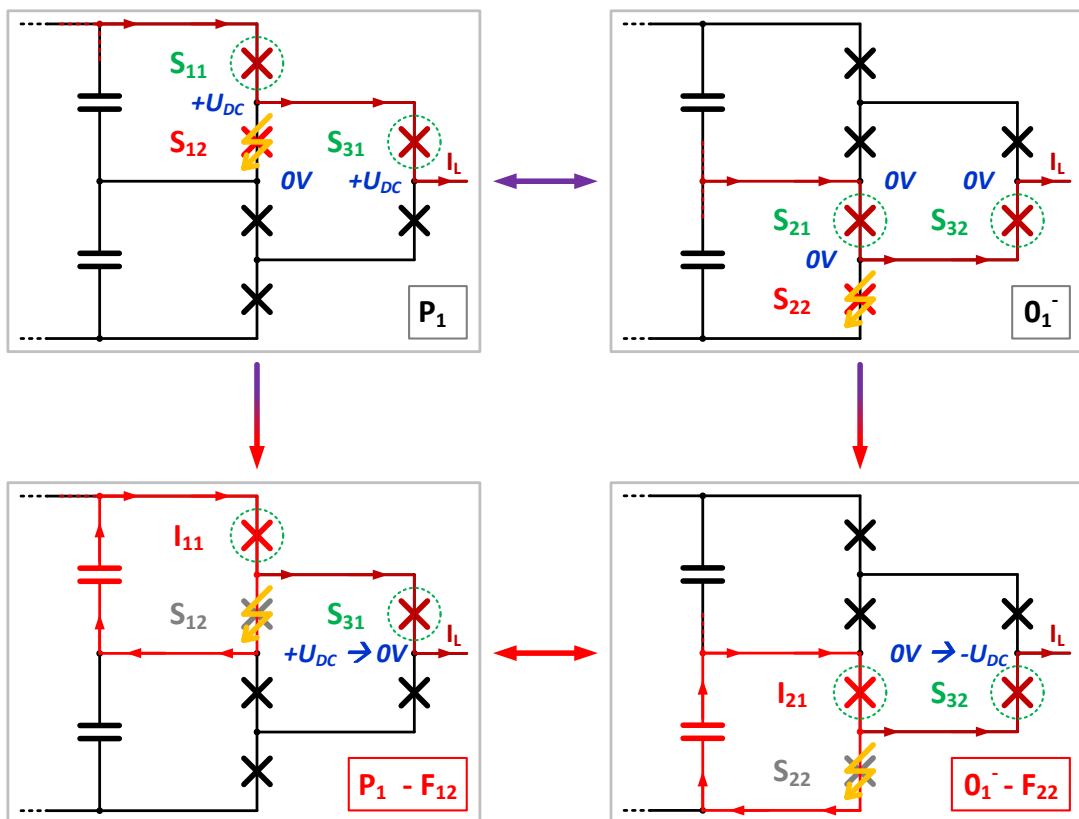


Abbildung 2-6: Gleiches Fehlerbild bei unterschiedlicher Ausgangslage

Alle Halbleiterfehler, die zu einem offenen Stromkreis beziehungsweise zu einem unendlich hohen Widerstand des Bauteiles, führen, sind nicht untersucht worden. Sie verursachen Potentialsprünge mit einem dadurch hervorgerufenen Verschiebestrom [74]. Die extremen Effekte während eines Kurzschlusses tauchen bei diesen Fehlern jedoch nicht auf. Ein nennenswertes Problem mit offenen Stromkreisen im ANPC-Dreipunktumrichter ist die Tatsache, dass mindestens neun der ursprünglichen fünfundzwanzig Schaltzustände nicht mehr möglich ist [75]. In einem eingeschränkten Betrieb kann jedoch der Umrichter mit einem nichtfunktionalen Halbleiter dennoch weiter betrieben werden [76]. Ein Kurzschluss, verursacht durch einen Halbleiterdurchbruch, ist demgegenüber deutlich gefährlicher. Sekundäre Fehler, wie der Ausfall des Elementes, das einen

Kurzschluss durchlebt, sind nicht ausgeschlossen und können im Mehrpunktumrichter zusätzliche tertiäre Beschädigungen verursachen, vergleiche dazu Kapitel 8. Damit ist es sehr wahrscheinlich, dass selbst ein eingeschränkter Betrieb des Umrichters nicht mehr möglich ist [14]. Versagt im Kurzschluss auch der zweite Halbleiter in der Halbbrücke, liegt eine dauerhafte nahezu impedanzlose Verbindung der beiden Pole eines der beiden Zwischenkreisquellen (außer beim Ausfall von  $S_{31}$  und  $S_{32}$ ) vor. Die Energie des Kondensators entlädt sich in die Fehlerstelle, das zu immensen Zerstörungen in den Modulen und am Umrichter an sich führt. Die Höhe des Schadens hängt davon ab, wie hoch die Menge an umgesetzter Energie sein wird und wie stark diese an einer Stelle fokussiert ist [33].

Die auftretenden Kurzschlussfälle werden in der vorliegenden Arbeit grob in fünf Kategorien eingeteilt, wobei Überschneidungen zwischen ihnen möglich sind, siehe [16] und Abbildung 2-7:

- (1) Es existieren Einzelkurzschlüsse, bei denen, neben dem durchgebrochenen Schalter, nur ein weiterer Halbleiter in Mitleidenschaft gezogen wird. Dabei sind diese vier Basiskurzschlussfälle nahezu dieselben, wie sie im Zweipunktumrichter auftauchen, siehe [25] und Kapitel 3.
- (2) Bei den Plasmakurzschlüssen ist auch nur ein Halbleiter betroffen. Jedoch wird, um sie überhaupt zu ermöglichen, eine Struktur mit redundanten Spannungszweigen benötigt, siehe [26] und Kapitel 4. In der Summe gibt es also vier plus einen Einzelkurzschluss, da der Plasmakurzschluss der Diode eine Subkategorie vom vierten Kurzschlussfall darstellt, siehe Abbildung 2-7 [\*].
- (3) Die Struktur des ANPC-Dreipunktumrichters erlaubt es weiterhin, Serienkurzschlüsse, das heißt das gleichzeitige Eintreten eines Kurzschlusses für zwei Halbleiter, zu ermöglichen, siehe [22] und Kapitel 5. Diese können wiederum in zwei Unterkategorien eingeteilt werden [16]. Zum einen gibt es die Fälle, bei denen es sich um eine Aneinanderreihung der vorherigen Basiskurzschlüsse handelt, siehe Kapitel 5.1. Zum anderen ist es möglich, dass von den beiden betroffenen Halbleitern nur der eine das gesamte Verhalten dominiert und der andere keinen wirklichen Kurzschluss erlebt [29]. Folglich kann es auch als eine Art von Einzelkurzschluss mit erhöhter Streuinduktivität bezeichnet werden, siehe Kapitel 5.2. Eine Variante aus dem Kapitel 5 ist aber in Wirklichkeit den parallelen Kurzschlüssen zuzurechnen, wie die Analyse dazu aufzeigen wird, siehe Abbildung 2-7 [\*\*]. Ohne diese gibt es fünf plus einen Fall in der Kategorie der Serienkurzschlüsse.

- (4) Unter bestimmten Voraussetzungen sind Kurzschlussituationen möglich, bei denen zwei Strompfade parallel verlaufen, siehe [30] und Kapitel 6. Dies kann entweder durch den Einsatz des Schaltzustandes  $0^\pm$  erfolgen (Kapitel 6.1) oder dadurch, dass in bestimmten Zuständen zwei parallele Plasmakurzschlüsse vorliegen (Kapitel 6.2). Insgesamt gibt es fünf plus drei Parallelkurzschlüsse im ANPC-Dreipunktumrichter.
- (5) Liegt ein positiver oder negativer Spannungszeiger an (z.B.  $P_1$ ), und der gegenüberliegende äußere Schalter (hier  $S_{22}$ ) bricht durch, kommt es zu einem Spannungsabfall von  $2x U_{DC}$  über  $S_{31}$  (oder  $S_{32}$ ). Um einen sekundären Durchbruch zu verhindern, muss der betroffene IGBT eingeschaltet werden und es kommt zum Kurzschluss, siehe [28] und Kapitel 7. Diese Kategorie kann in drei Unterbereiche aufgeteilt werden: a) Drei Halbleiter sind betroffen (Kapitel 7.1), b) vier Halbleiter erfahren den Kurzschluss (Kapitel 7.2) und c) der vierte Halbleiter weist einen Plasmakurzschluss auf (Kapitel 7.3). Insgesamt gibt es vier plus sechs plus vier Fälle in dieser Kategorie.

Die Einteilung in fünf Kategorien bietet den Vorteil der Gruppierung anhand der Erscheinungsformen der Kurzschlüsse an sich, sei es Basis- (Kapitel 3) oder Plasmafehler (Kapitel 4), Serien- (Kapitel 5) beziehungsweise Parallelschaltungen (Kapitel 6) oder Überspannungsprobleme (Kapitel 7) [16]. Dies stellt das Hauptaugenmerk der hier gemachten Untersuchungen zu den Kurzschlüssen im ANPC-Dreipunktumrichter dar. Es gibt aber auch Einteilungen nach anderen Kriterien [12]. Dort wird beispielsweise ein größeres Augenmerk auf das Detektieren und die Abschaltproblematik der Halbleiterfehler und etwas weniger auf die Erfassung aller Kurzschlussfehler gelegt [6].

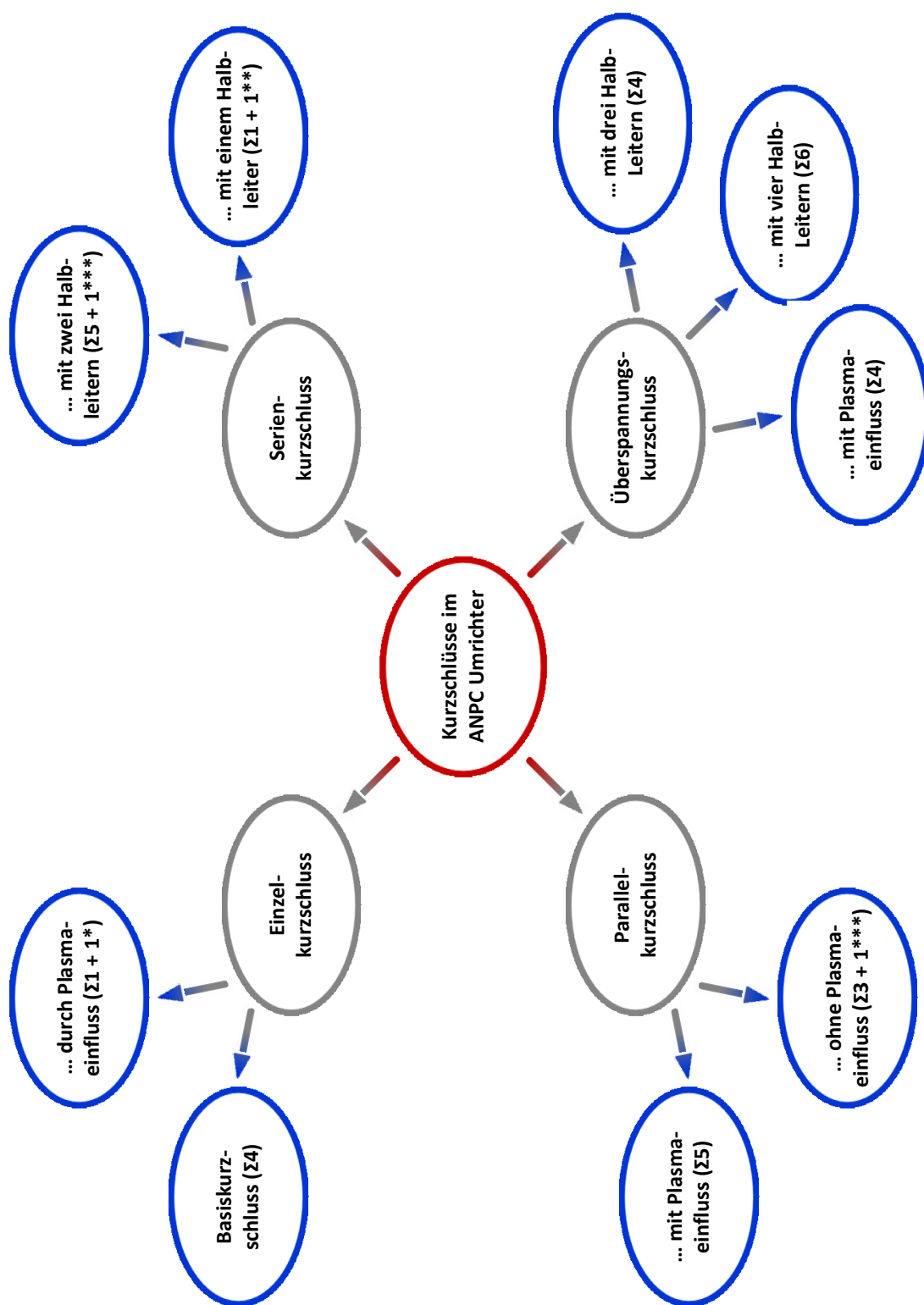


Abbildung 2-7: Übersicht über die Kategorien an Kurzschlussfehlern im ANPC Umrichter

Da der ANPC-Dreipunktumrichter theoretisch wie ein NPC-Umrichter während des Null-Volt-Levels betrieben werden kann (nur  $S_{31}$  &  $S_{32}$  ein), kommen noch zwei Fälle dazu, siehe Abbildung 2-7 [\*\*\*]. Da dieser Schaltzustand in der Realität nicht verwendet wird, werden sie für die Gesamtzahl an Fehlern im ANPC-Dreipunktumrichter nicht mitgezählt. Es liegen im Endeffekt fünf Varianten des Einzelkurzschlusses, sechs des Serienkurzschlusses, acht des Parallelkurzschlusses und vierzehn Überspannungskurzschlüsse vor. Summa summarum ergibt die Analyse also 33 unterschiedliche Situationen mit Kurzschlüssen, wobei dies nicht immer neue, bis dato unbekannte Halbleiterfehler sind. Jedoch ist dies eine deutlich geringere Anzahl an zu untersuchenden Halbleiterfehlern im ANPC-Dreipunktumrichter als die zuerst vermuteten 120 Fehlerfällen für die NPC-Variante [6].

Dazu ist aber auch festzuhalten, dass genau diese Arbeit [6] und ihr Vorgänger [12] sich nur auf Halbleiterfehler vom Typ KS I und KS II fokussiert haben, der dritte Typ (KS III) wird nur erwähnt [6]. Diese dritte Kurzschlussform [23] ist nur vier Jahre vor dem Entstehen der genannten zwei Arbeiten zu Kurzschlüssen im NPC-Dreipunktumrichter entdeckt worden. Dies mag erklären, warum sie kaum Beachtung in der Fehleranalyse des Dreipunktumrichters finden [6]. Der vierte Fall [77] und die Plasmakurzschlüsse [26] sind nahezu gleichzeitig, beziehungsweise erst nach der gemachten Ausfallanalyse zum NPC-Dreipunktumrichter, beschrieben worden. Ergo müsste es eigentlich noch mehr Kurzschlussfehler im ANPC-Dreipunktumrichter durch die höhere Anzahl an Schaltkombinationen und der zusätzlichen Entdeckung von Kurzschlüssen geben. Jedoch, wie die vorherige Analyse zu Fehlersituationen im ANPC-Umrichter aufgezeigt hat, reduzieren Symmetrien und redundant auftretende Fälle die Anzahl wiederum deutlich auf die besagten 33 Kurzschluss-situationen. Ein Ergebnis in dieser Größenordnung sollte dann im NPC-Dreipunktumrichter auch eher zu erwarten sein.



### 3 Die grundlegenden Kurzschlussfälle

Die Kurzschlüsse, die nur einen Halbleiter betreffen, sind, zumindest bezogen auf die ersten vier Fälle, durch ihr mögliches Auftreten im Zweipunktumrichter hinreichend bekannt und analysiert worden. Eine Erweiterung des Kenntnisstandes zu den ersten drei KS-Fällen war für die Untersuchung der Kurzschlüsse im ANPC-Dreipunktumrichter nicht notwendig, nur zum vierten Fall sind ergänzende Untersuchungen angefertigt worden [78]. Aus zwei Gründen ist es dennoch geboten, diesen Fehlern, hier auch als Basiskurzschlüsse bezeichnet, ein eigenes Kapitel zu widmen.

Erstens können die Kurzschlussfälle I bis IV genauso im ANPC-Dreipunktumrichter wie im Zweipunkt-Derivat auftauchen, siehe dazu Kapitel 2. Die Abweichungen zwischen beiden Umrichtern betreffen nur die Auswirkung auf die restlichen vier Schalter der vom Fehler betroffenen Phase. Je nach Fehlerort kommt es zu Potentialänderungen während des Kurzschlusses über den anderen Schaltern. Unter ungünstigen Bedingungen entstehen so Spannungsabfälle in Höhe der vollen Zwischenkreisspannung, welche die Halbleiter zerstören würden, siehe Kapitel 7. Obendrein kann es zu Problemen beim Abschalten des Kurzschlusses je nach Orientierung des Laststromes kommen, siehe [12] und Kapitel 6.

Zweitens wurde mehrmals postuliert, dass die Fehlerfälle mit mehr als einem Kurzschluss aus den Basiskurzschlüssen aufgebaut werden können, beispielsweise in [16] und mit Einschränkung in [6]. Die zuletzt aufgeführte Arbeit weist zugleich daraufhin, dass dies nur zu einem gewissen Grad stimmt. Im ANPC-Dreipunktumrichter weisen die Kurzschlüsse mit mehr als einem Halbleiter leichte bis deutliche Abweichungen von den Basisfällen auf [12]. Besonders drastisch ist dies in den Parallel- und Überspannungsfehlern zu sehen, siehe [28] respektive [30]. Nichtsdestotrotz ist der Ansatz per se richtig, aus den bekannten Fehlern die neuen zu deduzieren und zu interpretieren, vergleiche Kapitel 5 bis 7. Infolgedessen werden für Fehlerfälle mit mehr als einem beteiligten Halbleiter in diesen drei genannten Kapiteln keine Messungen mit einer Variation der Zwischenkreisspannung, des Laststromes, der Chiptemperatur und der Streuinduktivität durchgeführt. Die Erkenntnisse zu diesen vier Aspekten im Kurzschluss des IGBTs und / oder der Diode können aus den Erfahrungen aus dem Kapitel 3 und 4 übertragen werden.

Alle gezeigten Messungen sind, so weit nicht anders vermerkt, bei einer Chip-temperatur ( $T_C$ ) von 25 °C durchgeführt worden. Alle anderen Parameter des jeweiligen Kurzschlussversuches, wie beispielsweise Zwischenkreisspannung, werden immer aufgelistet. Es ist ein Schaltmuster in den Teststand einprogrammiert worden, welches dafür sorgt, dass die richtigen Bedingungen wie zum

Beispiel notwendige Potential- oder Plasmaverteilung vor dem Fehlereintritt eingestellt werden. Dazu zählt auch das Signal zum Auslösen des Kurzschlusses mit Ansteuerung eines IGBTs, dessen Gatetreiber einen Einschaltwiderstand von  $0 \Omega$  aufweist, und die statische Gate-Emitter-Spannung auf  $+30 \text{ V}$  zieht. Diese beiden Aspekte sorgen dafür, dass der Schalter zum Kurzschließen nicht bei den hohen Strömen entsättigt, welches das Fehlerbild verzerren würde. Auch wird durch die minimale Impedanz dieser Kurzschließer so schnell es geht aufgesteuert. Zur Darstellung des KS I wird der Schalter nicht benötigt, für die Erzeugung aller anderen Fehlerfälle im ANPC-Dreipunktumrichter jedoch schon. Darüber hinaus beinhaltet das Schaltmuster zugleich die Abschaltsignale für diejenigen Halbleiter, die einen Kurzschluss durchmachen. Dies geschieht nach  $10 \mu\text{s}$ , respektive  $15 \mu\text{s}$  [12] bei mehrstufigem Abschalten im ANPC-Dreipunktumrichter [52]. Ein Detektieren der Kurzschlüsse ist damit für die hier gemachten Untersuchungen nicht notwendig gewesen. Detaillierte Erläuterungen zu dieser Thematik bieten diverse Arbeiten zur Kurzschlussüberwachungen an, beispielsweise beschrieben in [65], [73] oder [79].

Alle hier aufgelisteten einzelnen Kurzschlussfälle I bis IV zeigen drei voneinander unterschiedliche Verhaltensweisen, die eine gewisse Gliederung ermöglichen. Im Jahre 1988 als erster Fehlerfall des IGBTs entdeckt [17], handelt es sich beim KS I um einen Einschaltvorgang, bei dem aber der Laststrom den Stromfluss im Halbleiter nicht begrenzen kann. Das Verhalten während des KS I ist also größtenteils durch die Treiberschaltung bestimmt [80]. Im zweiten Kurzschlussfall aus dem Jahre 1992 [20], bei dem der IGBT vor dem Fehlerfall den Laststrom führt, ist der Stromanstieg von Anfang an durch die induktive Impedanz des Stromkreises determiniert [21] und hebt sich damit vom KS I deutlich ab. Der vierte Fall, erstmalig beschrieben 2011, dreht sich um den reinen Diodenkurzschluss, wenn die Diode den Laststrom führt aber ihr antiparallel angeordneter IGBT ausgeschaltet ist [77]. Dies ist ein Abschaltvorgang der Diode, jedoch unter erschwerten Bedingungen und dominiert durch das Ausräumen ihres Plasmas [25]. Der dritte Fall, der zwei Jahre vor dem KS IV beschrieben wurde [23], ist auf gewisser Art und Weise eine Mischung aus KS II und KS IV. Die Diode führt wiederum den Laststrom, jedoch ist nun ihr antiparalleler IGBT zeitgleich eingeschaltet [23]. Anfänglich definiert die Diode das Verhalten des Kurzschlusses [81], bis der IGBT dominiert [68].

Alle hier beschriebenen Kurzschlussfälle können auch mit Hilfe des kapazitiven Ersatzschaltbildes (*ESB*) für IGBT und Diode beschrieben werden, vergleiche [82] und [83]. Die Grundidee des Ganzen ist, dass beide Halbleiter in dynamischen Vorgängen ein kapazitives Verhalten aufzeigen [18]. Mit dem ESB lassen sich die Vorgänge im Kurzschluss dann einfacher erklären [25]. Das bestehende Ersatzschaltbild ist im Rahmen dieser Arbeit um physikalische Aspekte erweitert worden [29]. Die vollständigen ESBs sind im Kapitel 10.1 aufgeführt.

### 3.1 Kurzschlussfall I

Der erste entdeckte Kurzschlussfall für den IGBT ist auf Grund dessen auch einer der bestuntersuchten Halbleiterfehler für dieses Bauteil. Angaben in Datenblättern zur Widerstandsfähigkeit gegenüber Kurzschlüssen, auch bekannt als *Short-Circuit Safe-Operating Area (SCSOA)* [deutsch: sicherer Kurzschlussarbeitsbereich] [4], beziehen sich meistens nur auf diesen Fehler [84]. Genau so liegt der Fall bei den oft zitierten 10  $\mu\text{s}$  als maximaler Dauer, die ein IGBT im Kurzschluss widerstehen kann, bevor er abgeschaltet werden muss [85]. Dieser Wert bezieht sich nur auf den KS I [52]. Die Zeitangabe mit 10  $\mu\text{s}$  stammt ursprünglich aus der Berechnung der maximal erlaubten Verlustenergie, geteilt durch die umgesetzte Leistung im Fehlerfall [52]. Neuere IGBT-Generationen mit erhöhter Stromdichte können vor dieser Zeitdauer schon ausfallen [68]. Ein Beispiel dafür sind Halbleiter mit einer sogenannten *Micro-Pattern-Trench*-Struktur, die schon nach 8  $\mu\text{s}$  abgeschaltet werden müssen [86]. Noch weniger Mikrosekunden beim KS I können Halbleitern aus Siliziumkarbid widerstehen, siehe [87] oder [88]. Der erste Kurzschlussfall wird in der Literatur vor allem in der Zeit nach seiner Entdeckung auch als *hard (switching) fault* [deutsch: harter (Schalt-) Fehler] bezeichnet, vergleiche [89] und [90]. Dies liegt an der Tatsache, dass der Halbleiter einen Einschaltvorgang ohne Strombegrenzung durch den Laststrom ausführt [4]. Zu Missverständnissen kann es dabei kommen, dass ein KS I mit hoher Streuinduktivität mit Beginn der Untersuchungen zu Halbleiterfehlern manchmal auch als KS II bezeichnet worden ist, beispielsweise in [91] und [92]. Eine Begründung dafür ist, dass Analogien zwischen diesen beiden Fällen bestehen. Jedoch ist weiterhin der hochinduktive KS I in den allermeisten Fällen durch den Treiber am Anfang determiniert [92]. Der KS II wird zum gleichen Zeitpunkt durch den Spannungsabfall über die parasitäre Streuinduktivität definiert, siehe [3] und Kapitel 3.2. Eine weitere selten verwendete Bezeichnung für den hochinduktiven KS I ist die Nummerierung mit ,1.5' anstatt ,1' [93].

Der erste Kurzschlussfall kann im Active-Neutral-Point-Clamped-Dreipunktumrichter auf diverse Arten eintreten. Eine mögliche Ursache wäre, dass eine Treiberschaltung fehlerhaft wird und das Abschaltsignal der übergeordneten Steuerung nicht umsetzt. Ohne ein Detektieren dieses Fehlverhaltens schaltet der serielle IGBT in der Halbbrückenkonfiguration beim nächsten Taktzyklus ein und der Kurzschluss entsteht. Sollte der beschädigte Treiber das Gate noch auf die positive Treiberspannung von meist +15 V klemmen können, kann es sein, dass beide IGBTs zur gleichen Zeit den Kurzschlussstrom begrenzen. Ein ähnliches Phänomen kann bei Serienschaltung von Kurzschlüssen beobachtet werden, siehe [22] und Kapitel 5. Sollte der Treiber jedoch hochohmig vom Gate entkoppelt sein, kann dieses ungehindert aufsteuern und die Strombegrenzung tritt nicht ein.

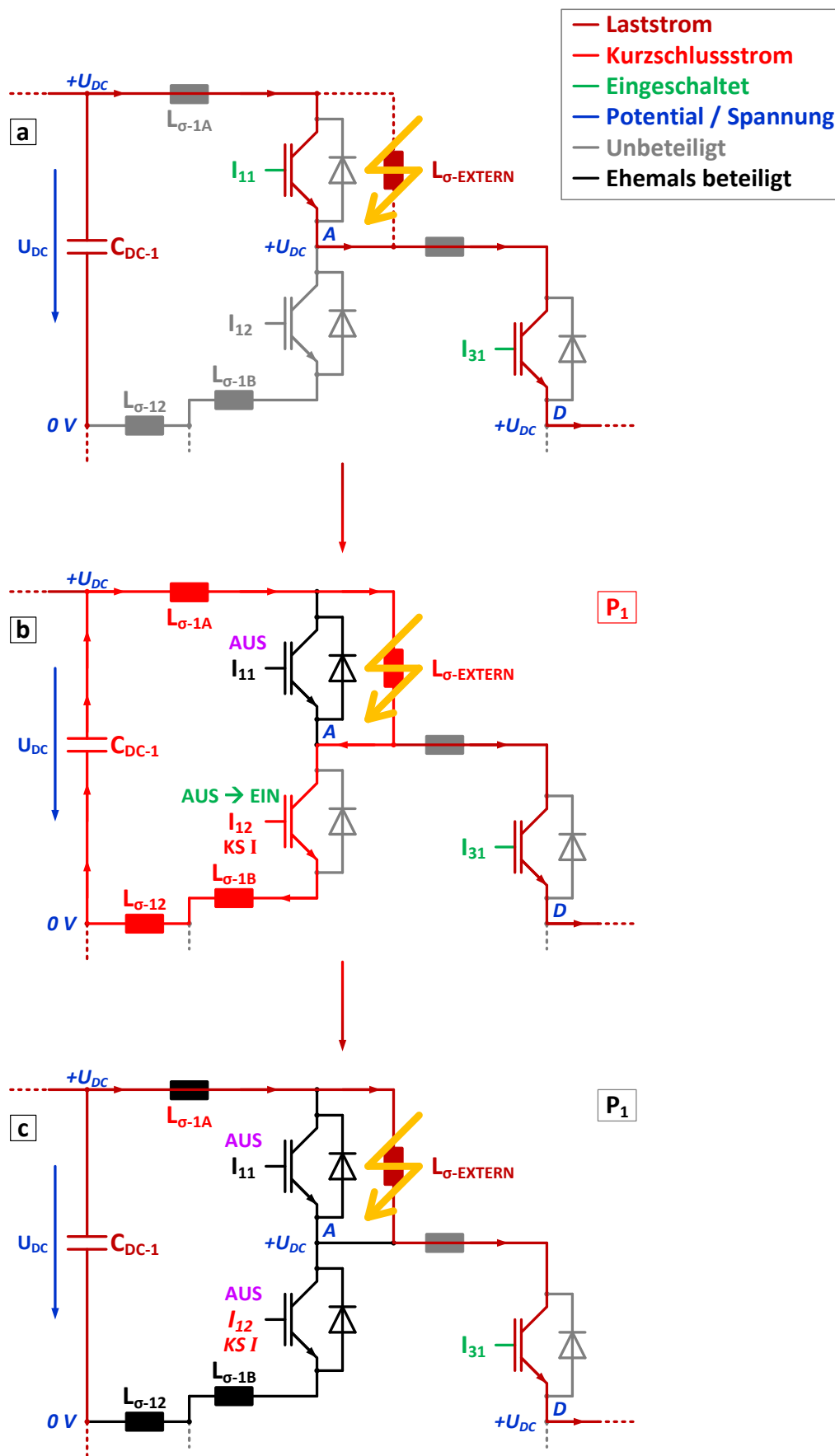


Abbildung 3-1: Hergang des ersten Kurzschlussfalles im ANPC-Dreipunktumrichter

Ein ähnliches Verhalten würde eintreten, wenn im Abschaltvorgang der IGBT ausfällt, ohne dass dies detektiert wird. Ein weiteres Szenario entsteht durch ein Überbrücken eines der beiden Schalter der Halbbrücke durch ein externes Element [21]. Dies wird ermöglicht entweder vor Inbetriebnahme des Umrichters durch Konstruktionsfehler oder durch später von außen in den Umrichter eindringende und zugleich leitfähige Materialien, siehe Abbildung 3-1a. Die Abbildung 3-2 zeigt einen KS I bei einer Streuinduktivität im Fehlerfall von um die 125 nH. Dies entspricht nahezu dem Mittelwert für den ersten und zweiten Kommutierungskreis des in dieser Arbeit verwendeten ANPC-Teststandes, vergleiche dazu Abbildung 2-4.

In dem Moment, bei dem der IGBT  $I_{12}$  aus dem obigen Beispiel eingeschaltet wird, tritt der erste Kurzschlussfall ein, vergleiche [19] und Abbildung 3-1b. Der KS I entsteht dabei erst, wenn die aktuelle Gate-Emitter-Spannung bei  $0 \mu\text{s}$  über die Schwellenspannung ( $U_{th}$ ) gezogen wird, siehe Abbildung 3-2. Diese liegt um die 6 V für den verwendeten IGBT FZ1500R33HL3 der Infineon AG [57]. Bei der Messung ist zu beachten, dass die außen am Modul gemessene  $U_{GE}$  nicht exakt der am Chip auf Grund des Einflusses von dazwischen liegenden parasitären Impedanzen entspricht, vergleiche dazu [24] oder [94]. Es fallen einige Millivolt bis hin zu Werten im einstelligen Volt-Bereich als Spannungsunterschied ab, je nachdem wie hoch der interne Gate-Widerstand ( $R_{G,INT}$ ) des IGBT-Moduls ausfällt. Wie beim normalen Einschalten des IGBTs bildet sich eine n-leitende Inversionsschicht, beziehungsweise der sogenannte MOS-Kanal, unter dem Gateoxid im p-dotiertem Gebiet (*p-Wanne*) aus, das den Elektronenanteil nun führt [18]. Die einsetzende Stromzunahme, determiniert durch den Treiber, respektive der Ladungsfluss durch dessen Gatewiderstand ( $R_G$ ) [92], vergrößert die Inversionsschicht und erhöht damit den maximal möglichen Elektronenfluss vom Emitter zum Kollektor [18]. Der positive Stromanstieg führt zu einem Spannungsabfall über der Streuinduktivität, welcher in der hier gezeigten Messung maximal 300 V beträgt, siehe Abbildung 3-2. Dabei gilt, dass ein höherer Gatewiderstand den Stromanstieg wie beim „normalen“ Einschaltvorgang reduziert und daher auch den Spannungseinbruch [95]. Der KS I weist im Gegensatz zu den anderen Basis-kurzschlussfällen kein Plasma vor dem Fehlerfall auf [84]. Auch dies lässt sich wieder auf die Tatsache zurückführen, dass der Halbleiter aus dem ausgeschalteten Zustand auf einen bestehenden Kurzschluss einschaltet [68].

Ab etwa  $2,2 \mu\text{s}$  hat der Treiber die Gate-Emitter-Spannung auf +15 V gebracht und es fließen von ihm keine Ladungen mehr in das Gate des IGBTs, siehe Abbildung 3-2. Der MOS-Kanal kann dadurch nicht mehr zunehmen [18]. Die vorliegende Inversionsschicht weist durch den hohen Kurzschlussstrom in ihrer Form einen dreiecksförmigen Verlauf auf. Die Ursache hierfür ist ein immer höherer Spannungsabfall über den Kanalwiderstand durch den ansteigenden Kurzschlussstrom, welcher den MOS-Kanal zum intrinsischen Gebiet hin reduziert

[18]. Wenn dann die Inversionsschicht nicht mehr das intrinsische Gebiet erreicht, wird der MOS-Kanal als abgeschnürt [englisch: pinched-off] bezeichnet und der Elektronenfluss ist limitiert [84]. Ab dem Zeitpunkt, an dem die Kanalspannung ( $U_{CH}$ ) größer oder gleich der Gate-Emitter-Spannung minus der Schwellenspannung ( $U_{th}$ ) ist, tritt damit das sogenannte Entsättigen ein [96] und der Sättigungsstrom wird erreicht [84]. Dieser ist unter anderem abhängig von der Dotierung der p-Wanne und der angelegten Treiberspannung an das Gate [3]. Der MOS-Kanal ist nun zwar abgeschnürt, jedoch existiert weiterhin ein Stromfluss durch den IGBT, getrieben von dem elektrische Feld, siehe [97] und [98]. Eine Folge dessen ist es auch, dass die Mehrheit der Löcher nicht mehr parallel zum ursprünglichen MOS-Kanal fließt [4], sondern nun den direkten Weg vom Kollektor zum Emitter nimmt [22].

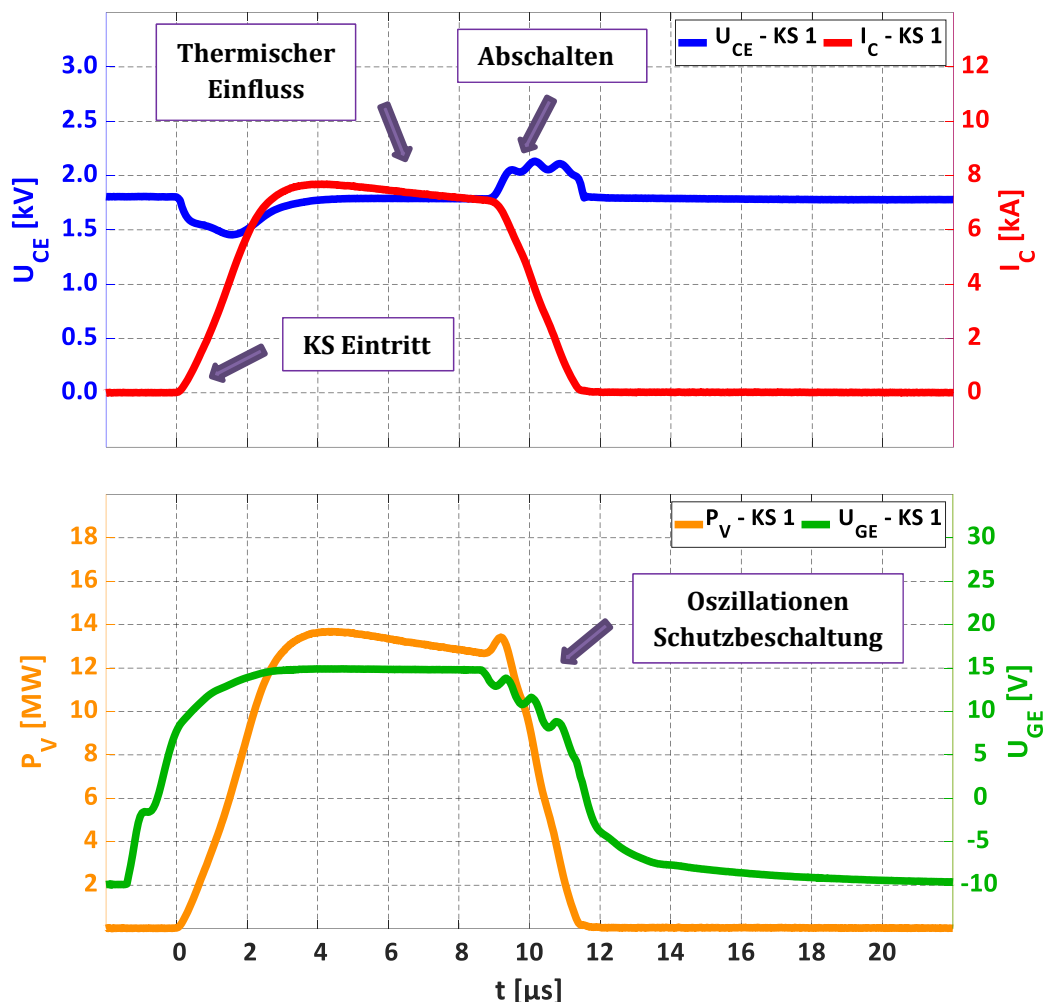


Abbildung 3-2: Messung des ersten Kurzschlussfalles gemessen bei  $U_{DC} = 1,8 \text{ kV}$ ,  $L_{\sigma} = 125 \text{ nH}$

Ein weiterer Anstieg des Kurzschlussstromes kann nicht mehr über die Elektronen und deren korrespondierenden Löcher erbracht werden, da der Kanal

abgeschnürt ist und den Elektronenfluss limitiert [99]. Daher könnte eine weitere Anhebung des Kurzschlussstromes nur über die Entnahme der Ladungsträger aus dem Ausräumen des Plasmas geschehen. In einem niederinduktiven KS I hat sich aber kein Plasma in der intrinsischen Gebiet ausgebildet, so dass es umgehend zu einem Aufbau des elektrischen Feldes und damit einer Zunahme von  $U_{CE}$  kommt [18]. Der Stromanstieg wird damit ab  $1,7 \mu\text{s}$  begrenzt, bis er schließlich bei  $4 \mu\text{s}$  zu null wird. Infolgedessen nimmt der Spannungsabfall über der Streuinduktivität ab, siehe Abbildung 3-2.

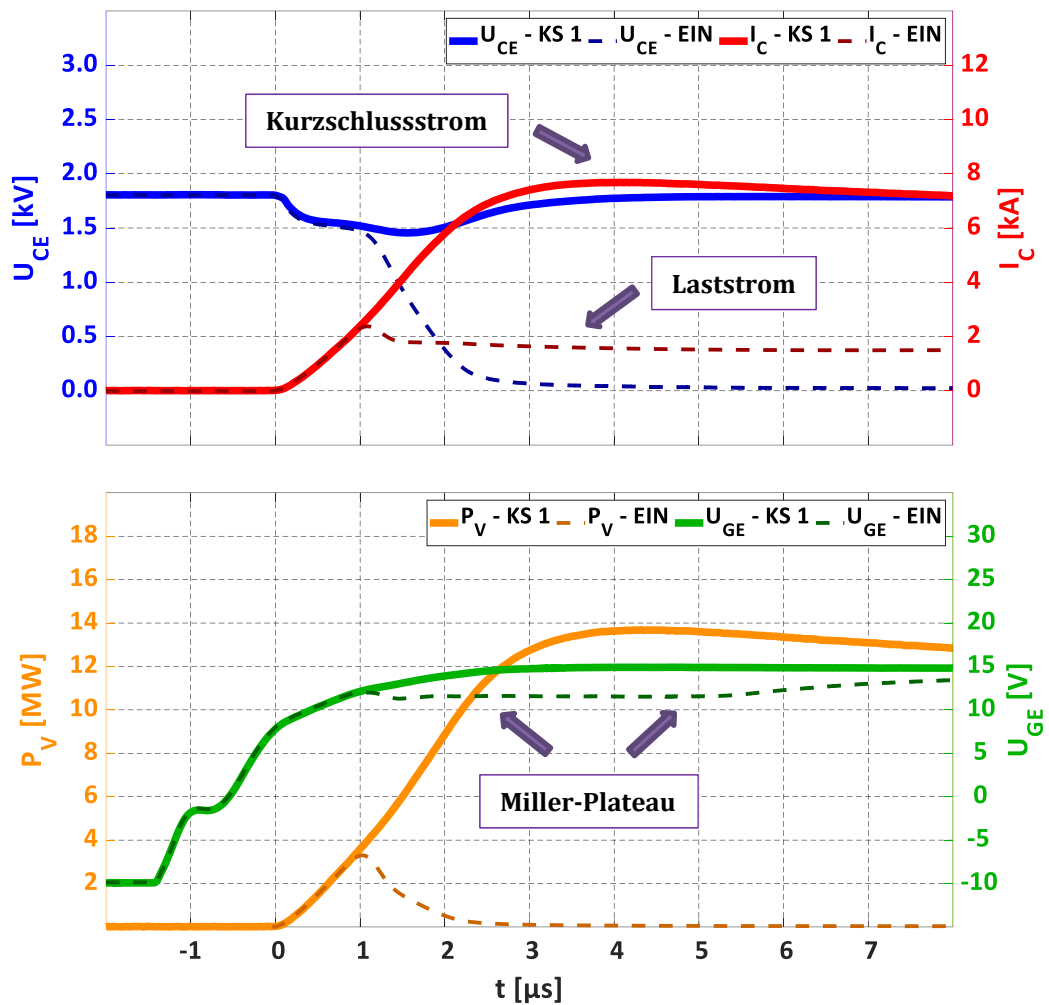


Abbildung 3-3: Vergleich KS I (durchgezogen) mit Einschaltvorgang (gestrichelt) gemessen bei  $U_{DC} = 1,8 \text{ kV}$ ,  $L_\sigma = 125 \text{ nH}$ ,  $I_L = 1,5 \text{ kA}$  (nur Einschalten)

Deutlich zu identifizieren ist die Tatsache, dass beim KS I im Gegensatz zum normalen Einschaltvorgang kein Miller-Plateau auftaucht, siehe Abbildung 3-3 ab  $1 \mu\text{s}$ . Diese Messung verdeutlicht noch einmal, dass sich der KS I am Anfang wie das Einschalten des IGBTs verhält (von  $-1,5 \mu\text{s}$  bis  $1,0 \mu\text{s}$ ). Wenn die antiserielle Diode ihren Stromnulldurchgang bei ihrem Abschaltvorgang hat, wird ihr Plasma ausgeräumt und sie nimmt Spannung auf [3]. Der Laststrom begrenzt den

Kommutierungsvorgang und das Plasma der Diode spiegelt sich in der Überstromspitze des IGBTs wieder [4]. Dadurch wird die Spannung über dem IGBT während seines Einschaltvorganges abgebaut, hier ab  $1 \mu\text{s}$  in Abbildung 3-3. In der Gate-Emitter-Spannung kommt es zum charakteristischen Miller-Plateau, welches durch den Spannungsabfall und den Self-Turn-On-Effekt geformt wird [18]. Obwohl der positive Stromanstieg sowohl beim KS I als auch beim Einschalten annähernd gleich ist, sieht es bei dem Spannungsabfall anders aus. Das Absinken von  $U_{CE}$  durch die Spannungsübernahme der Diode verursacht eine negative Rückkopplung via der Miller-Kapazität auf das Gate im normalen Abschaltvorgang des IGBTs. Beim KS I hingegen tritt dieser Effekt nicht auf, da keine antiserielle Diode Spannung übernehmen kann. Im Gegenteil, die Spannungszunahme mit Einsetzen des Entsättigungsvorganges führt zu einer positiven Rückkopplung durch den Miller-Effekt und steuert das Gate auf.

Obendrein führt im KS I der weiterhin steigende Kurzschlussstrom bis  $3 \mu\text{s}$  zu einem positiv wirkenden Self-Turn-On-Effekt, welches zusätzlich das Gatepotential anhebt [18]. Dieser Effekt ist im niederinduktiven KS I die dominierende Rückkopplungsart [100] und wird ausführlich im Kapitel 3.2 besprochen. Unterstützt wird das Ganze auch dadurch, dass beim KS I vor dem Fehlerfall und währenddessen  $U_{CE}$  relativ hoch ist. Der nichtlineare Wert der Miller-Kapazität ist in gewisser Weise reziprok zum Betrag des elektrischen Feldes zwischen Kollektor und Gate [4]. Je höher also  $U_{CG}$  ausfällt, desto geringer ist zugleich  $C_{CG}$  [3]. Ergo fällt der Strom ins Gate durch einen entsprechenden Spannungsanstieg über  $C_{CG}$  im KS I gering aus [101]. In der Messung aus Abbildung 3-2 ist die Gate-Emitter-Spannung relativ gut geklemmt, es kommt daher kaum zu einem Übersteuern über die  $+15 \text{ V}$  der Treiberspannung. Ähnliche Kurvenverläufe mit einem geringen Strommaximum lassen sich in diversen Quellen finden, siehe beispielsweise [102]. Bei schlechterer Gateklemmung kommt es durch die zwei Rückwirkungsarten zu einer deutlicheren Erhöhung des Gatepotentials im KS I [103]. Daher steigt das Maximum des Kurzschlussstromes weiter an und der Zeitpunkt der Abschnürung des MOS-Kanals verschiebt sich durch den verringerten Kanalwiderstand nach hinten. Der Kurzschlussstrom hat sein Maximum um die  $4 \mu\text{s}$  in der Untersuchung aus Abbildung 3-2.

Nach dem Überschreiten des Maximums stabilisiert sich der IGBT zum stationären Wert des Kurzschlussstromes, hier von  $4 \mu\text{s}$  bis  $9 \mu\text{s}$  in Abbildung 3-2. Der stationäre Strom ist dabei definiert durch die angelegte Gate-Emitter-Spannung, die Zwischenkreisspannung und die Temperatur im Chip [84]. Mit fortlaufender Kurzschlussdauer sinkt der stationäre Kurzschlussstrom durch eine Erhöhung der Chiptemperatur auf Grund der Verluste immer weiter ab, siehe [52] und den Abschnitt zum Temperatureinfluss im KS I. Der stationäre Kurzschlussstrom wird manchmal auch als Sättigungsstrom bezeichnet, obwohl der IGBT an sich entsättigt ist, beispielsweise so verwendet in [3] oder [104]. Werden die



Messungen aus Abbildung 3-3 und Abbildung 3-4 miteinander verglichen, dann ist ersichtlich, dass sich die umgesetzten Schaltverlustleistungen zwischen den beiden Fällen deutlich unterscheiden (hier um  $\sim 600\%$ ). Dies verdeutlicht noch einmal, welche Ausnahmesituation ein Kurzschluss darstellt.

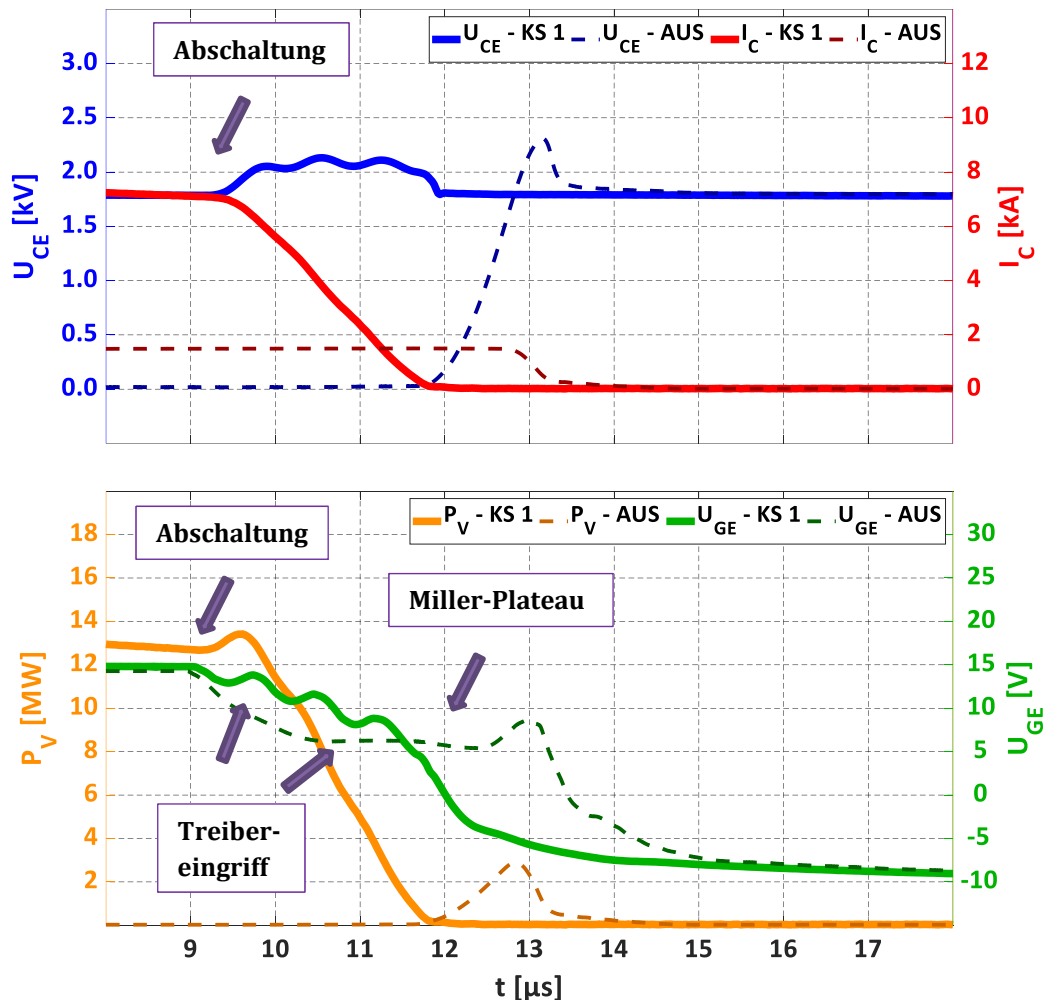


Abbildung 3-4: Vergleich KS I (durchgezogen) mit Ausschaltvorgang (gestrichelt) gemessen bei  $U_{DC} = 1,8$  kV,  $L_\sigma = 125$  nH,  $I_L = 1,5$  kA (nur Ausschalten)

Der Abschaltvorgang wird kurz vor den zehn Mikrosekunden mit Absenken von  $U_{GE}$  eingeleitet, siehe Abbildung 3-4. In dem Moment, wenn  $U_{GE}$  verringert wird, erhöht sich der Kanalwiderstand, beziehungsweise das Feld im Kanal wird reduziert, und der Elektronenfluss senkt sich [18]. Die übliche Vorgehensweise beim KS I ist hierbei, dass ein sanfteres Abschalten zur Reduktion des negativen Stromanstiegs und daher zu weniger Überspannung führt [3]. Die einfachste Lösung ist ein Ausschalten im Kurzschluss mit einem erhöhten Gatewiderstand als im Normalbetrieb [20]. Im Gegensatz zum normalen Abschalten kann im Fehlerfall die Höhe der Überspannung relativ gut über den Widerstand beeinflusst werden [85]. Einen in diese Richtung gehender Ansatz verfolgt der in dieser Arbeit

eingesetzte Treiber. Fällt beim Abschaltvorgang die Überspannung zu hoch aus, so wird das Entladen des Gates durch die Steuerschaltung des Treibers deutlich reduziert und der Betrag des Stromanstiegs sinkt, siehe Abbildung 3-4. Die Gate-Emitter-Spannung, die Kollektor-Emitter-Spannung und der Kollektorstrom zeigen im Bereich von 9  $\mu\text{s}$  bis fast 12  $\mu\text{s}$  substantielle Schwingungen, welche der eingesetzte Gatetreiber verursacht. Er greift jedoch nur im KS I aktiv in den Abschaltvorgang ein, während des KS II oder dem normalen Abschaltvorgang dagegen nicht, vergleiche dazu Kapitel 3.2 und Abbildung 2-2. Die Oszillationen resultieren aus dem Abwechseln zwischen seinem Eingreifen zum Schutz vor Überspannung und, bei keiner vorhandenen Gefährdung mehr, dem normalen Abschalten. Alternativ kann ein zweistufiges Abschalten verwendet werden, bei dem die Gate-Emitter-Spannung zuerst abgesenkt, aber noch nicht unter die Schwellenspannung gezogen wird. Dies geschieht dann im zweiten Schritt und reduziert im Endeffekt die Spannungsspitze [105].

Das Abschalten von Kurzschlüssen, unter Vernachlässigung der Überspannungsproblematik, ist weniger kritisch als ein normales Abschalten [84]. Durch die Entsättigung hat der IGBT die Zwischenkreisspannung schon aufgenommen, beziehungsweise das elektrische Feld hat sich im Halbleiter ausgebreitet. Beim niederinduktiven KS I wird kein Plasma aufgebaut, bei einem hochinduktiven KS I ist der Großteil des Plasmas im statischen Fehlerbereich schon ausgeräumt [84]. Die restlichen freien Ladungsträger, sofern sie überhaupt im Halbleiter noch vorhanden sind, befinden sich im Bereich des Kollektors [96]. Daher ist das Auftreten eines dynamischen Avalanches im Vergleich zum normalen Abschaltvorgang unwahrscheinlicher geworden [84]. Ein Abschalten, bevor der IGBT vollständig entsättigt ist, wird laut Literatur nicht empfohlen [4]. Frühere Generationen von IGBTs hatten das Problem, dass dies zu einem Einrasten der parasitären Thyristorstruktur (Latch-up) führte [98]. Dieser Effekt führt dazu, dass der IGBT nicht mehr aktiv abgeschaltet werden kann [3]. Erst wenn der Kollektorstrom durch ein externes Ereignis unterbrochen werden würde, würde der Thyristor gelöscht [19]. Im Kurzschlussfall ist dies eher unwahrscheinlich und der Halbleiter wird zerstört. Ein weiteres Problem des Abschaltens vor dem Entsättigen ist, dass dabei ein dynamischer Avalanche möglich geworden ist [96]. Diese Arbeit merkt auch an, dass dieser Vorgang zu einer Zerstörung des Halbleiters führen kann. Schlussendlich kann unter den gleichen Randbedingungen, bei dem der IGBT einen KS I übersteht, dieser zerstört werden, wenn er schon früher während seiner Entsättigungsphase abgeschaltet wird [96].

Die Überspannung kann auch durch den Einsatz von Schutzschaltungen reduziert werden, vergleiche Kapitel 10.2. Im hier eingesetzten Teststand geschieht das über eine Rückkopplung des Kollektorpotentials via einer Schaltung aus TVS-Dioden auf das Gate, auch bekannt als *active (gate) clamping* [deutsch: aktive (Gate) Klemmung / AGC], siehe Abbildung 10-3. Sollte  $U_{CG}$ , und damit indirekt

auch  $U_{CE}$ , höher sein, als die Schwelle der TVS-Dioden, brechen diese durch und das Gate wird angehoben. Durch das Operieren des IGBTs im aktiven Bereich wirkt sich dies auf eine Vergrößerung des Kanales aus und der negative Stromanstieg fällt geringer aus. Im KS I ist der Eingriff des AGC dank des Treibers weitestgehend nicht erfolgt, bei dem KS II und dem KS III kann dies jedoch eintreten.

Messbare Unterschiede zwischen einem Abschalten im Kurzschluss und einem normalen Ausschaltvorgang sind zum einen das Fehlen des Miller-Plateaus bei ersterem. Der IGBT hat schon Spannung aufgenommen, deshalb fällt die Miller-Kapazität von Haus aus klein aus und der Effekt ist gering [4]. Des Weiteren gibt es, unter Vernachlässigung der Überspannung, keinen Spannungsanstieg, der zu einer Potentialveränderung des Gates führen könnte, siehe Abbildung 3-4. Zum anderen gibt es beim Abschalten eines Kurzschlusses keinen Schweif- beziehungsweise Tail-Strom, da der IGBT vorher kaum noch Plasma führt. Der normale Abschaltvorgang zeigt in der Messung einen sichtbaren, vom Ausräumen der freien Ladungsträger getriebenen, Tail-Strom von  $13,2 \mu\text{s}$  bis  $14,5 \mu\text{s}$ . Dies alles beschleunigt messbar den Abschaltvorgang beim KS I im Vergleich zum normalen Betrieb. Der Kurzschluss ist beendet, wenn  $U_{GE}$  unter  $U_{th}$  gefallen ist und damit keine Elektronen mehr vom Emitter durch die p-Wanne fließen, vergleiche dazu auch Abbildung 3-1c.

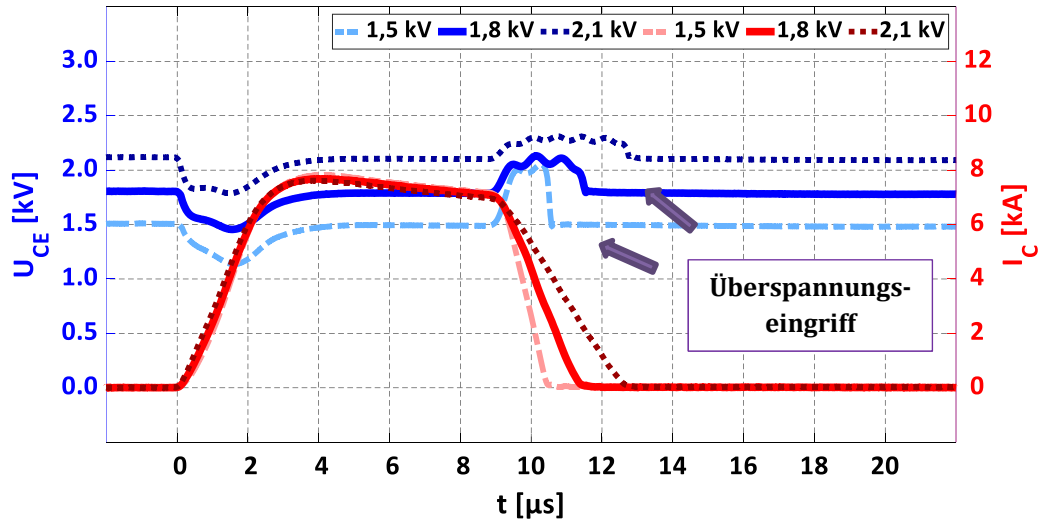


Abbildung 3-5: Variation der Zwischenkreisspannung beim KS I gemessen bei  $U_{DC} = 1,5 / 1,8 / 2,1 \text{ kV}$ ,  $L_{\sigma} = 125 \text{ nH}$

Die Variation der Zwischenkreisspannung beim ersten Kurzschlussfall ergibt kaum Abweichungen untereinander, siehe Abbildung 3-5. In diesem Vergleich ist der Bereich um die Nominalspannung von  $1,8 \text{ kV}$  mit plus minus  $300 \text{ V}$  variiert worden. Da der Anfang des Fehlerfalls durch die Steuerschaltung bestimmt wird [92], kann eine Variation von  $U_{DC}$  nahezu keinen Effekt bei einem niederinduktiven KS I ausüben. Die drei Messungen aus Abbildung 3-5 verdeutlichen diese

These noch einmal. In der Theorie stimmt die Aussage, das Verhalten im KS I von der Zwischenkreisspannung entkoppelt ist, jedoch nicht ganz. Der Self-Turn-On-Effekt ist an die Höhe des Spannungsabfalles über dem IGBT gekoppelt, siehe [18] und das ESB aus dem Kapitel 10.1. Mit steigendem  $U_{CE}$  nimmt der Self-Turn-On-Effekt zu und steuert das Gate damit weiter auf [100]. In den Messungen aus Abbildung 3-5 ergibt sich dadurch grob eine Zunahme des Stromanstiegs um 10 % bei einer Erhöhung der  $U_{DC}$  von 1,5 kV zu 2,1 kV. Signifikante Auswirkungen sind erst beim Abschaltvorgang zu beobachten. Jedoch liegt das nicht am Kurzschluss an sich, sondern an dem Überspannungseingriff des Treibers. Knapp unterhalb von 2 kV greift der Schutzmechanismus ein und reduziert die Stromabnahme durch das kontrollierte Aufsteuern des Gates, siehe Abbildung 3-5. Ohne diesen Effekt ähneln sich die drei Messungen, abzüglich des durch variierten  $U_{DC}$  verursachten Spannungs-Offsets, stark. Dies verdeutlicht auch die Darstellung des sicheren Arbeitsbereichs im Kurzschluss, siehe Abbildung 3-6. Die Ergebnisse hinsichtlich der Variation von  $U_{DC}$  im KS I zeigen einen gewissen Abstand von mindestens 0,2 kV zur maximal erlaubten Spitzenspannung im Kurzschluss von 2,5 kV auf, die der Hersteller für diesen IGBT in seinem Datenblatt angibt, siehe [57] und Abbildung 3-6 ‚Datenblatt‘.

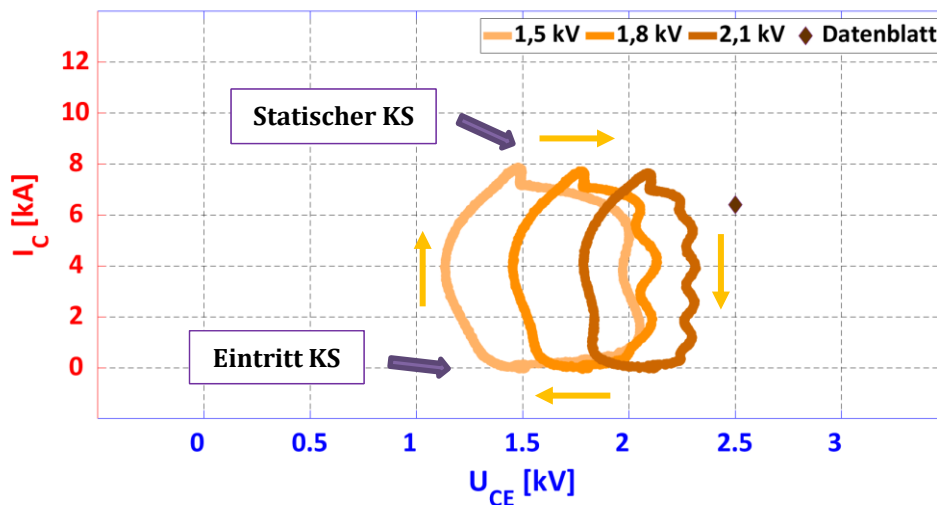


Abbildung 3-6: Sicherer Arbeitsbereich beim KS I mit variabler  $U_{DC}$  gemessen bei  $U_{DC} = 1,5 / 1,8 / 2,1$  kV,  $L_{\sigma} = 125$  nH

Ohne den Eingriff des Treibers würde im KS I die maximal erlaubte Spannung überschritten werden, vergleiche dazu auch den Abschaltvorgang beim KS II in Kapitel 3.2. Der Spitzenwert des Kurzschlussstromes im KS I übersteigt hingegen die Angabe aus dem Datenblatt um mehr als 20 %, siehe Abbildung 3-6. Jedoch kam es in den hier durchgeführten über 80 Messungen zum KS I insgesamt nur zu zwei Ausfällen. Beide ereigneten sich bei extremen Arbeitspunkten, einmal bei  $U_{DC}$  von 0,9 kV, das andere Mal bei 2,8 kV. Beide Fehlerbilder passen relativ gut zu den Ausfällen verursacht durch Stromfilamentierung im IGBT [84].

Halbleiterversager dieser Art sind gemäß Literatur vorwiegend im Bereich sehr niedriger und sehr hoher Zwischenkreisspannung anzutreffen [67]. Dieser Aspekt wird bei den Ausfällen zum KS II noch genauer erörtert, siehe Kapitel 3.2. Von Nachteil erweist sich dabei der Punkt, dass ein Ausfall bei den Halbleiterfehlern nicht gut prognostiziert werden kann [106]. Das heißt, übersteht der IGBT einen Kurzschluss bei einer bestimmten Ausgangssituation und ein Parameter davon wird dann leicht verändert, kann es zu einem Versagen beim nächsten Versuch kommen. Sollten jedoch die Parameter des überstandenen Kurzschlusses nicht variiert werden, können IGBTs genau diesen Arbeitspunkt auch öfters widerstehen [106]. Wie oft genau ist in der Literatur nicht eindeutig geklärt, die vorliegenden Angaben schwanken von maximal 1.000 Fällen [4] bis über 50.000 Kurzschlüssen [107].

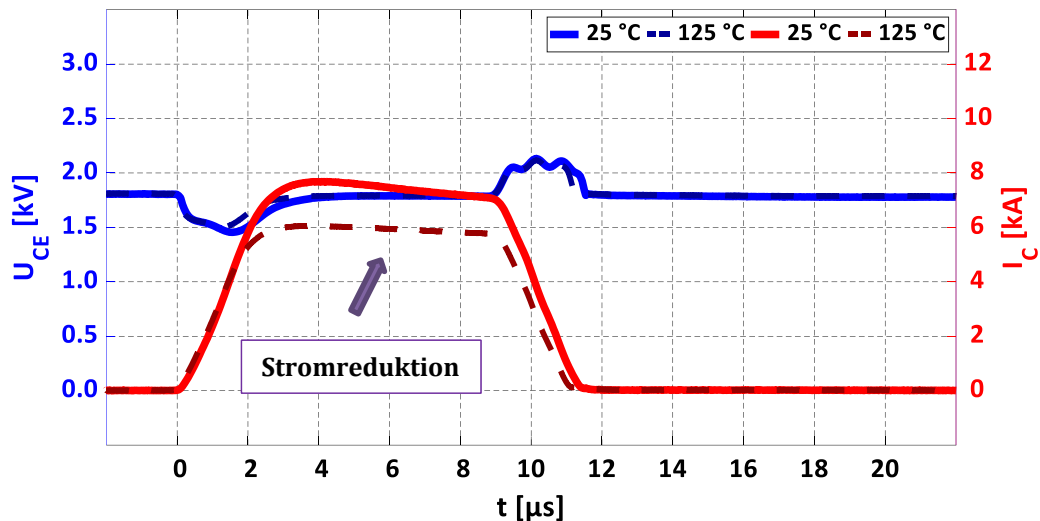


Abbildung 3-7: Variation der Chiptemperatur beim KS I  
gemessen bei  $U_{DC} = 1,8 \text{ kV}$ ,  $L_{\sigma} = 125 \text{ nH}$ ,  $T_C = 25 / 125 \text{ °C}$

Ein Aspekt, der unmittelbar bei Variation der Chiptemperatur im KS I ersichtlich ist, ist ihr schon vorher beschriebener Einfluss auf die Höhe des Kurzschlussstromes, vergleiche [63] und Abbildung 3-7. Im Vergleich zum statischen Wert bei  $25 \text{ °C}$  ist der Kurzschlussstrom bei einer erhöhten Temperatur von  $125 \text{ °C}$  in der Messung kleiner als  $80 \%$ , wie es auch in anderen Arbeiten beobachtet wurde [104]. Ein Anstieg der Temperatur erhöht den Kanalwiderstand, reduziert den Elektronenfluss und damit auch den Löcherstrom [84]. Dies erklärt auch, warum der statische Strom über der Zeitdauer des Halbleiterfehlers absinkt. Während des Kurzschlusses wird Leistung im Megawattbereich im Halbleiter umgesetzt, siehe Abbildung 3-2. Durch die hohe eingebrachte Schaltverlustleistung nimmt die Temperatur im Halbleiter zu. Infolgedessen erhöht sich der Kanalwiderstand (schlechtere Beweglichkeit der Elektronen) und der Basisstrom des PNP-Transistors reduziert sich, welches wiederum zum Absinken des Stromes führt [63]. Anders ausgedrückt, führt eine Temperaturerhöhung im IGBT zu einem

abfallenden Kurzschlussstrom, da das Bauelement einen positiven Temperaturkoeffizienten aufweist [84]. Beim KS I sinkt daher der Strom bei 25 °C um circa 135 A /  $\mu\text{s}$  ab, bei 125 °C fällt der negative Anstieg in etwa nur halb so hoch aus. Dieser positive Temperaturkoeffizient stellt daher in gewisser Weise eine Stabilisierung des Kurzschlussstromes dar [4]. Durch den verringerten Elektronenfluss bei niedrigerer Temperatur ist der Kurzschluss dann als kritischer anzusehen [67]. Umgekehrt ausgedrückt, steigt die Robustheit gegenüber einem Nichtbestehen des KS I mit steigender Temperatur an [84]. Zusätzlich nimmt mit erhöhter Temperatur auch die Durchbruchsspannung zu, welches ein weiterer positiver Aspekt ist [53].

Sollte jedoch die Temperatur zu hoch ansteigen, dann kann es zu einem negativen Temperaturkoeffizienten kommen, welcher eine Stromfilamentierung einleiten kann, vergleiche dazu [108] oder [109]. Dieser kritischer Temperaturbereich liegt bei einigen hundert Grad Celsius und hängt von den eingesetzten Materialien im Chip ab [110]. Mit steigender Temperatur erhöht sich auch der Leckstrom des Halbleiters während des Sperrvorganges. Sollte dieser dann zu viel Schaltverlustleistung verursachen, welche darüber hinaus durch die Peripherie nicht mehr abgeführt werden kann, kommt es zu einer positiven Rückkopplung [111]. Der Leckstrom nimmt weiter zu, dadurch wiederum die Schaltverlustleistung und die Endlosschleife, das sogenannte *thermische Weglaufen* [3], ist geschlossen. Schlussendlich kommt es dann zu einer thermischen Avalanche und das Bauteil wird zerstört. Dieses Fehlerbild kann bis zu mehrere Sekunden nach dem Kurzschluss eintreten [63]. Ausfälle durch Temperatureinfluss sind jedoch in allen Messungen zu der vorliegenden Arbeit nicht aufgetreten. Ein weiterer Effekt einer erhöhten Temperatur im IGBT-Chip ist eine verringerte Schwellenspannung, der Miller-Effekt bleibt hingegen unverändert [112]. Die während des Kurzschlusses produzierte Wärme ist auf Grund der hohen thermischen Kapazität des Chips nur in diesem konzentriert und (noch) nicht an die Umgebung abgegeben worden [113].

Die Untersuchungen zur Variation der Streuinduktivität während des Fehlerfalles sind aus zwei Gründen bedeutend. Zum einen muss der KS I nicht notwendigerweise nur innerhalb der Phase stattfinden, sondern kann beispielsweise auch durch eine niederimpedante Verbindung zwischen einem Potential und dem Phasenanschluss verursacht werden, siehe [114] und Abbildung 3-1a. Dann entspricht die Streuinduktivität im Kurzschlussfall auch nicht mehr der Kommutierungskreisimpedanz, sondern fällt meistens im Wert größer aus [21]. Zum anderen weist der ANPC-Dreipunktumrichter mehrere Kommutierungskreise mit mehr als zwei Halbleitern auf, vergleiche dazu Abbildung 2-4. Je nach eingeschlagenem Strompfad kann die Streuinduktivität zwischen 240 nH und 310 nH schwanken. Als mittlerer Wert für die hochimpedanten Untersuchungen zum KS I wurden 280 nH gewählt.

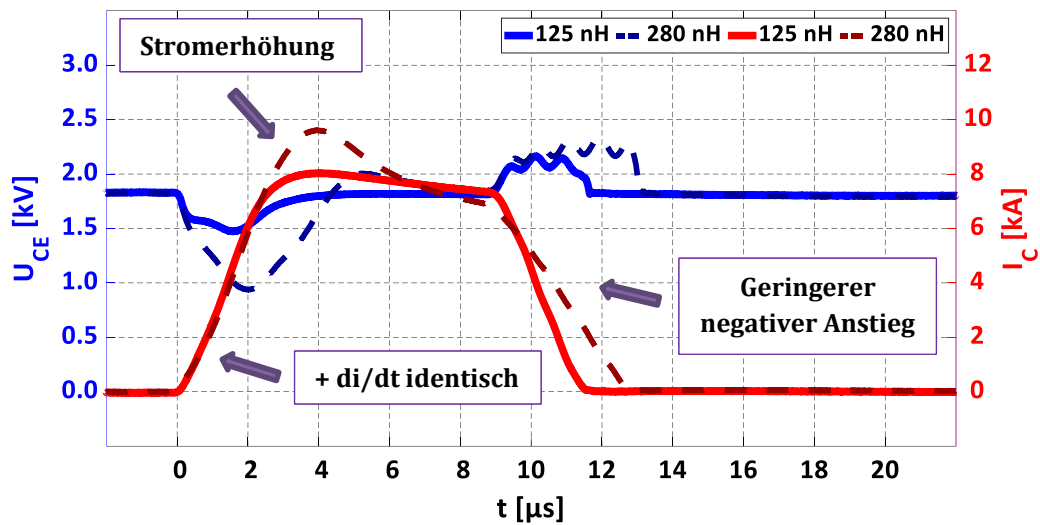


Abbildung 3-8: Variation der Streuinduktivität beim KS I  
gemessen bei  $U_{DC} = 1,8 \text{ kV}$ ,  $L_{\sigma} = 125 / 280 \text{ nH}$

Eine mehr als doppelt so große Streuinduktivität ändert erst einmal nichts an der Tatsache, dass der KS I weiterhin am Anfang durch die Steuerschaltung dominiert wird [92]. Der identische Stromanstieg verursacht jedoch einen um circa 150 % höheren Spannungseinbruch über dem Halbleiter, siehe Abbildung 3-8. Der Wert der Miller-Kapazität ist bei verringerter  $U_{CE}$  erhöht [115], der Self-Turn-On-Effekt ist jedoch verringert [18]. Als Konsequenz wird das Gate bei der Untersuchung mit 280 nH deutlich stärker aufgesteuert, als bei 125 nH. Die Gate-Emitter-Spannung steigt im ersten Fall auf maximal 15,6 V an, im Letzteren übersteigt sie nicht die stationäre Treiberspannung von annähernd +15 V. Die Auswirkung ist im Kurzschlussstrom ersichtlich, der höherinduktive Fall weist einen um 20 % höheren Spitzenwert auf, wie auch der Kurzschlussarbeitsbereich aus Abbildung 3-9 verdeutlicht. Beim Abschalten divergieren die beiden Messungen aus Abbildung 3-8 voneinander. Der Gatetreiber greift in beiden Fällen ein, um die Überspannung konstant zu halten. Dieselbe Spannung führt jedoch bei einem erhöhten  $L_{\sigma}$  zu einer Reduktion des Stromanstieg, wie dies auch in der obigen Messung ersichtlich ist. Ohne den Eingriff der Steuerschaltung würde eine größere Impedanz zu einer stärkeren Überspannung führen. Gelangt der Wert über die maximale Blockierspannung, würde es zu einem Durchbruch beziehungsweise einem Avalanche mit möglicher Zerstörung kommen [116]. Die im Aufbau eingesetzte Schutzschaltung mittels TVS-Dioden zur Begrenzung von  $U_{CE}$  würde dieses Problem aber abfangen.

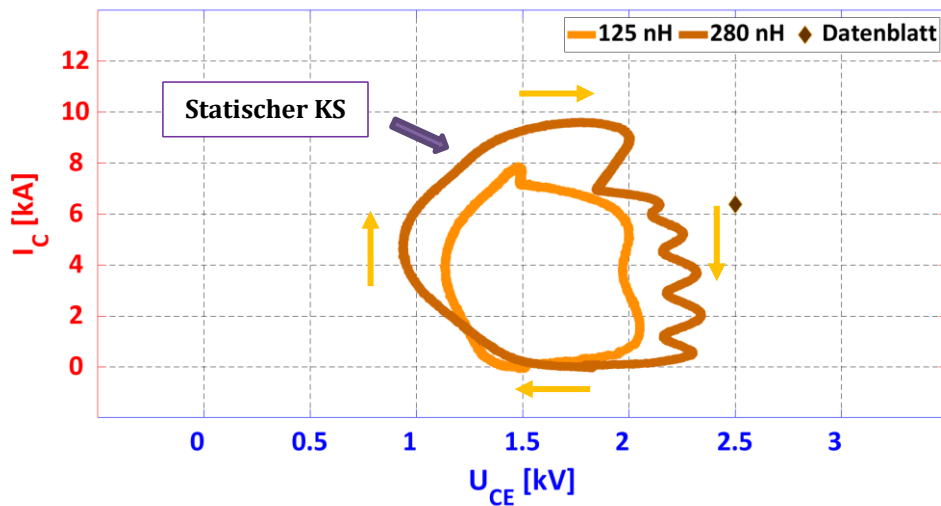


Abbildung 3-9: Sicherer Arbeitsbereich beim KS I mit variablem  $L_\sigma$   
gemessen bei  $U_{DC} = 1,8 \text{ kV}$ ,  $L_\sigma = 125 / 280 \text{ nH}$

Wird die Streuinduktivität weiter erhöht oder ein stärkerer Stromanstieg durch den Treiber verursacht, kommt es zu dem Zeitpunkt, an dem der Spannungseinbruch zeitweise bis auf 0 V absinkt [92]. Der IGBT wechselt dadurch von der Phase der Entsättigung in die Sättigung [22]. Eine noch weitere Erhöhung der parasitären Impedanz verändert das ganze Verhalten des KS I deutlich. Weniger als 0 V kann über dem IGBT nicht abfallen. Das Kurzschlussverhalten wird daher nicht mehr allein durch die Treiberschaltung dominiert, sondern auch durch die Streuinduktivität. In Messungen mit 4,5 kV Feld-Stopp-IGBTs [117] zeigt sich dieser Effekt deutlich, siehe Abbildung 3-10.

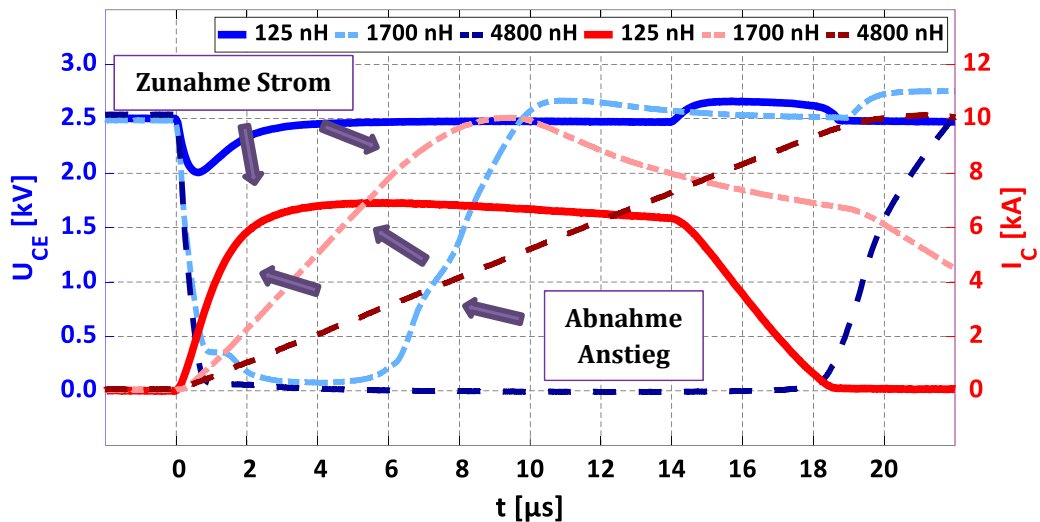


Abbildung 3-10: Auswirkung hoher Streuinduktivität im KS I  
gemessen bei  $U_{DC} = 2,5 \text{ kV}$ ,  $L_\sigma = 125 / 1700 / 4800 \text{ nH}$  / CM1200HG-90R (IGBT)



Je höher die Streuinduktivität ausfällt, desto geringer muss der Stromanstieg sein, da der Spannungsabfall über der Impedanz weiterhin konstant bei  $U_{DC}$  liegt. Diese Thematik hat zu der Aussage in der Literatur geführt, dass ein höheres  $L_{\sigma}$  im KS I zu einer Reduktion des Stromanstieg führt, beschrieben in [95] und [115]. Dies stimmt aber nicht uneingeschränkt, wie die vorherigen Erklärungen gezeigt haben, vergleiche Abbildung 3-8 mit Abbildung 3-10. Im hochinduktiven Fall, bei dem die komplette Spannung über der Impedanz abfällt, ist ein stärkeres Aufsteuern des Gates und damit ein höherer Spitzenkurzschlussstrom zu beobachten, als im Vergleich zum niederinduktiven KS I, siehe Abbildung 3-10. Darüber hinaus baut der IGBT Plasma während des hochinduktiven KS I auf. Dies zeigt, dass sich die Rückkoppeleffekte zwischen einem gesteuerten KS I und einem durch die Streuinduktivität dominiert KS I zum Teil unterscheiden. Der hochinduktive KS I weist daher Analogien zu dem KS II auf. Die Unterschiede zum KS II sind die nichtvorhandene Flutung und die zeitgleich angelegte Zwischenkreisspannung des IGBTs vor dem Fehlereintritt. Ab dem Zeitpunkt des Entsättigens ähneln sich jedoch die Kurvenverläufe, vergleiche dazu [4] und Abbildung 3-13 aus dem nachfolgenden Kapitel.

## 3.2 Kurzschlussfall II

Der zweite Fehlerfall, das Auftreten eines Kurzschlusses während der IGBT leitet [20], wird in der Literatur auch als *fault under load* [deutsch: Fehler unter Last] geführt, vergleiche [89] oder [118]. Eine weitere, weniger gebräuchliche Bezeichnung ist *soft short circuit* [deutsch: sanfter Kurzschluss], als Analogie zur Beschreibung des KS I als *hard short circuit* [90], siehe auch Kapitel 3.1. Der KS II ist von der Treiberschaltung unabhängig, die Klemmung des Gatepotentials durch eine Schutzbeschaltung übt aber einen großen Einfluss aus [18], wie nachfolgend in diesem Kapitel noch aufgezeigt wird. Das Geschehen wird vorwiegend durch die parasitäre Induktivität des Kurzschlusskreises dominiert [21]. Der KS II ist, neben der extensiven Betrachtung im Zweipunktumrichter, auch in einigen Multilevelstrukturen aufgezeigt worden. Es lässt sich an mehreren Stellen eine Beschreibung des Eintretens für Neutralpunkt-Strukturen in Umrichtern finden, beispielsweise in [11] oder [119]. Messungen inklusive Analyse im NPC-Dreipunktumrichter, beziehungsweise in der ANPC-Variante, liefern dann zwei weitere Arbeiten, siehe [12], respektive [72].

Der Ablauf des KS II ist in einer möglichen Variante für den ANPC-Dreipunktumrichter in Abbildung 3-11 gezeigt. Während des Schaltzustandes  $P_1$  zur Erzeugung der positiven Ausgangsspannung bricht der Schalter  $S_{12}$  durch. Dieses Ereignis leitet umgehend den KS II für  $I_{11}$ , der vorher den Laststrom geführt hat, ein, siehe Abbildung 3-11b. Sollte der Halbleiter mit dem Kurzschluss diesen überstehen können, dann wird er nach circa  $10 \mu\text{s}$  von seinem Treiber wie beim KS I abgeschaltet. Hier jedoch zeigt sich schon der Unterschied zum ersten Halbleiterfehler. Bei diesem blockiert der betroffene IGBT vor und nach dem Kurzschluss die Zwischenkreisspannung. Im KS II jedoch fällt vorher keine nennenswerte Spannung ab, da der Halbleiter Strom führt. Mit dem Entsättigungsvorgang nimmt er dann die Zwischenkreisspannung auf, siehe Abbildung 3-12. Deshalb führt ein KS II zu einer Potentialveränderung in der betroffenen Halbbrücke, vergleiche dazu auch Abbildung 3-1c mit Abbildung 3-11c. Als Endresultat liegt nach dem Abschalten am Phasenausgang in der obigen Konstellation anstatt  $+U_{DC}$  nun  $0 \text{ V}$  an. Dies führt auch zu einer Spannungsänderung über mindestens dem Schalter  $S_{32}$ . Als Folge tritt ein kapazitiver Umladungseffekt für diesen Halbleiter auf, welcher einen Verschiebestrom erzeugt. Mit Kurzschlusseintritt (bei  $0 \mu\text{s}$ ) fallen die gesamten  $1,8 \text{ kV}$  der Zwischenkreisspannung abzüglich der Durchlassspannung des IGBTs über der Streuinduktivität ab [21]. Dadurch formt sich in der Messung aus Abbildung 3-12 ein Stromanstieg von ungefähr  $16 \text{ kA}/\mu\text{s}$  bei  $110 \text{ nH}$  aus. Dieser Wert des  $di/dt$  liegt etwas über dem theoretisch Erreichbaren mit der Streuinduktivität von  $125 \text{ nH}$  aus dem Versuch von KS I. Der Teststand ist bei beiden Messungen gleich, die Abweichung im  $L_\sigma$  kommt durch den leicht veränderten Aufbau durch den benötigten Kurzschließer.

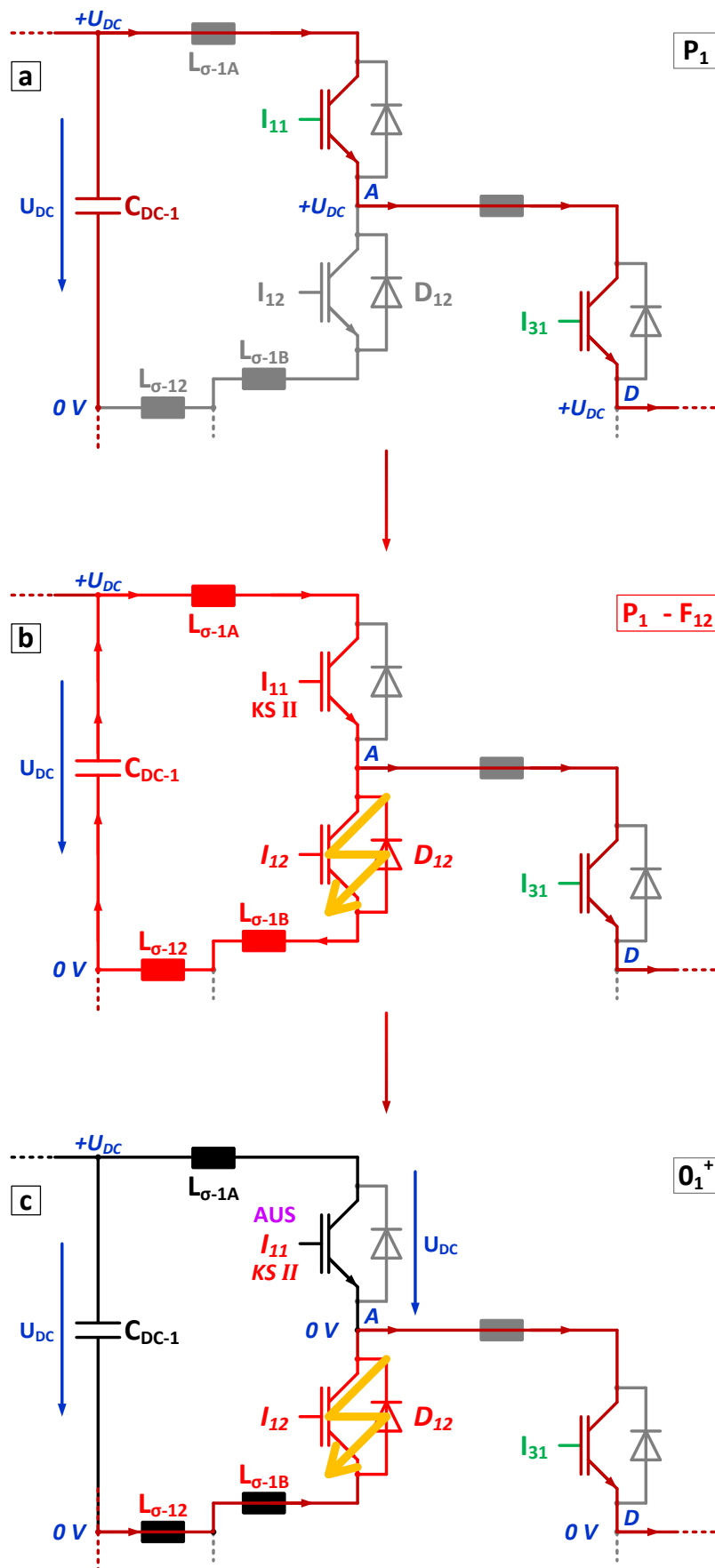


Abbildung 3-11: Hergang des zweiten Kurzschlussfalles im ANPC-Dreipunktumrichter

Im zweiten Kurzschlussfall steuert das Gate während des positiven Stromanstieg deutlich auf, in der obigen Abbildung 3-12 von +15 V auf ungefähr +20 V. Dieser Wert ist das außen am Modul gemessene Potential. Durch die parasitären Impedanzen und den internen Gatewiderstand zwischen Gehäuseanschluss und Chipkontakt fällt die Gate-Emitter-Spannung für den IGBT direkt am Chip noch höher aus [94]. Die kurzzeitige Erhöhung um  $\sim 33\%$  bei  $U_{GE,MAX}$  führt zu einem deutlich höheren Spitzenkurzschlussstrom von über 200 % im Vergleich zum KS I, siehe Abbildung 3-13. Schon lange ist bekannt, dass eine Anhebung des Gates um einige Volt eine immense Auswirkung hat, beispielsweise aufgezeigt in [80] oder [104]. Folglich weisen statischer und dynamischer Kurzschlussstrom im zweiten Fehlerfall eine deutliche Abweichung von einem Faktor größer drei voneinander auf, siehe Abbildung 3-12. Eine Quelle kam beim KS II bei einer Aufsteuerung von grob 20 % auf eine Verdoppelung zwischen dynamischen und statischen Werten [22], welches durch eine weitere Literatur bestätigt wurde [84]. Wie hoch der Spitzenwert ansteigt, hängt dabei von diversen Faktoren ab. Gegen ein Aufsteuern des Gatepotentials an sich wirken sich die Impedanzen des Gatekreises aus:

- Je größer der Gatewiderstand ist, desto höher fällt der Spitzenstrom aus [120]. Die Ursache liegt darin, dass die Endstufe des Treibers im eingeschalteten Zustand auf +15 V liegt. Wird das Gate aufgesteuert, ergibt sich eine Spannungsdifferenz über dem Gatewiderstand und Ladung fließt aus dem Gate ab. Je höher dabei die Impedanz ausfällt, desto weniger Gatestrom fließt aus dem IGBT und er steuert stärker auf [118].
- Eine zusätzliche externe (oder vergrößerte) Gate-Emitter-Kapazität fängt einen Teil der durch die Rückkoppeleffekte generierten Ladung ins Gate auf [95]. Der Nachteil dabei ist, dass es dadurch zur Beeinflussung bei Schaltvorgängen und währenddessen auch zu Oszillationen kommt [121].
- Parasitäre Induktivitäten im Steuerkreis des IGBTs stehen einer effektiven Abführung des zusätzlichen Ladungsflusses im Wege [121]. Je mehr  $L_G$  vorhanden ist, desto eher verhindert diese Impedanz auch die Reduktion der Gateladungen.

Nicht nur die Impedanzen, auch die Effektivität der Gateklemmung wirkt sich darauf aus, wie hoch  $U_{GE,MAX}$  im KS II ausfällt, vergleiche dazu [22] und Kapitel 10.2. In den hier durchgeführten Messungen hat sich gezeigt, dass eine Klemmung des Gates via einer Schottky-Diode auf das Treiberpotential effektiver ist als eine TVS-Diode zwischen Gate und Emitter.

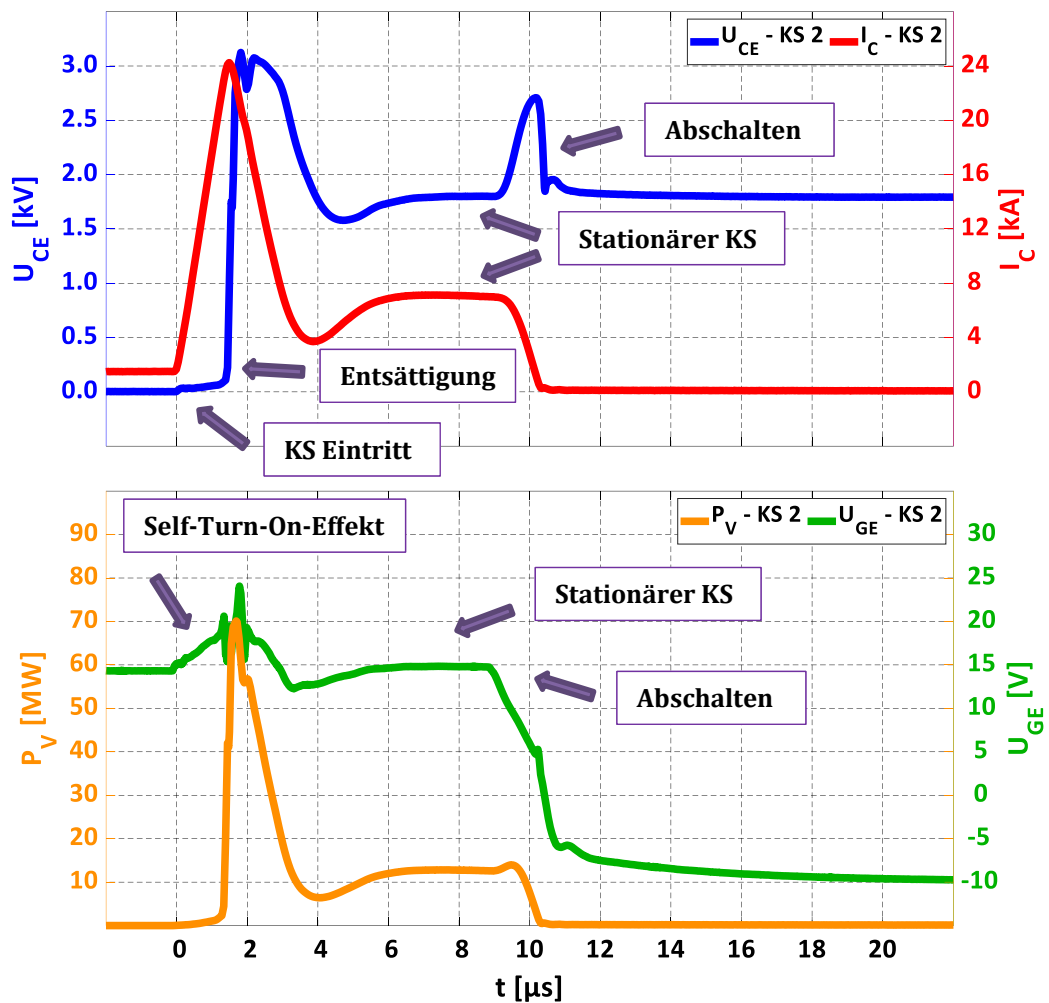


Abbildung 3-12: Messung des zweiten Kurzschlussfalles gemessen bei  $U_{DC} = 1,8 \text{ kV}$ ,  $I_L = 1,5 \text{ kA}$ ,  $L_\sigma = 110 \text{ nH}$

All diese Punkte führen in einigen Arbeiten zu der Hypothese, dass eine Unterdrückung der Aufsteuerung des Gates während des KS II schwierig ist, beispielsweise in [82] oder [94]. Der später einsetzende Entsättigungsvorgang kann bei einer perfekten Klemmung des Potentials auf +15 V auch als intrinsisch bezeichnet werden [82]. Das heißt, nur das Ausräumen der Plasmaersatzkapazität bestimmt den Spannungsanstieg, Rückkopplungseffekte zeigen keine Auswirkung. Dieselbe Arbeit stellt aber auch zugleich fest, dass schon ein Gatewiderstand von einigen Milliohm das Aufsteuern zulässt [82]. Infolgedessen wird die Entsättigung durch den Gatestrom mitbeeinflusst und findet erst bei einem höheren Kurzschlussstrom statt. Die ideale Klemmung ist in der Realität dann auch ein eher hypothetisches Konstrukt im KS II.

Die Ursache des Aufsteuern des Gatepotentials direkt beim Auftreten des Halbleiterfehlers wird auf zwei Mechanismen zurückgeführt [18]. Bis zur Entdeckung des Self-Turn-On-Effektes wurde der Miller-Effekt allein dafür verantwortlich

gemacht, beispielsweise beschrieben in [22], [25] oder [122]. Der wissenschaftliche Konsens war, dass der Miller-Effekt sich auf zwei Arten während des KS II auswirkt [123]. Nach Fehlereintritt fällt nur die Durchlassspannung über dem IGBT ab. Daher ist zu diesem Zeitpunkt die Miller-Kapazität sehr hoch [4]. Durch den hohen Stromanstieg erhöht sich der Spannungsabfall über dem IGBT mit einem Anstieg von  $\sim 36 \text{ V}/\mu\text{s}$ , wie die Messung aus Abbildung 3-12 aufzeigt. Ein geringer Spannungsanstieg bei gleichzeitig hoher Kapazität soll daher die Rückkopplung auf das Gate bewirken. In dem Moment, wenn der IGBT im KS II entsättigt, steigt die Spannung mit circa  $21,3 \text{ kV}/\mu\text{s}$  rapide an, siehe [82] und Abbildung 3-13. Die Miller-Kapazität verringert sich aber durch das sich nun ausbreitende elektrische Feld [4]. Folglich liegt nun der umgekehrte Fall eines hohen Stromanstieg bei gleichzeitig niedriger Impedanz vor. Dies, so die Literaturangaben, reicht aber aus, um das Gate während der Entsättigung anzuheben [3].

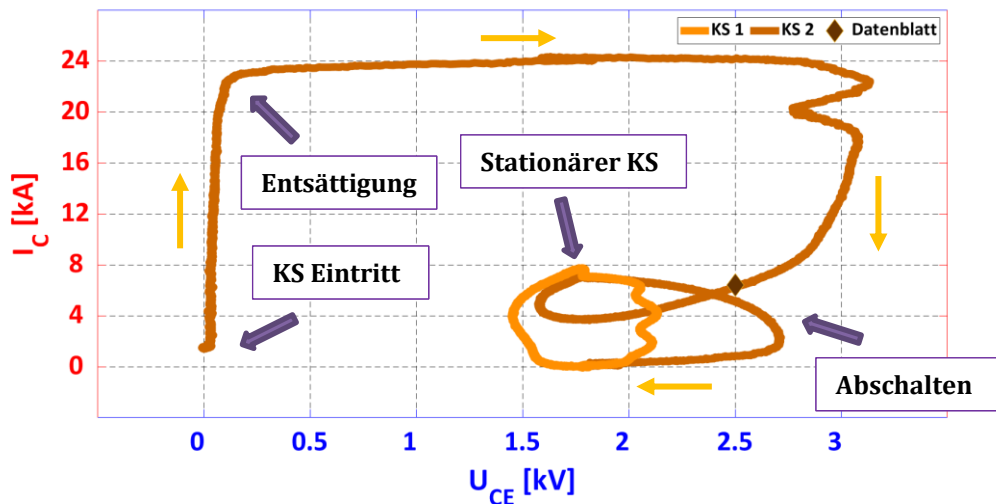


Abbildung 3-13: Sicherer Arbeitsbereich für KS I gegenüber KS II gemessen bei  $U_{DC} = 1,8 \text{ kV}$ ,  $I_L = 1,5 \text{ kA}$  (nur KS II),  $L_\sigma = 110 / 125 \text{ nH}$  (KS I)

Das Problem bei diesem Erklärungsmodell ist unter anderem, dass in Messungen festgestellt werden kann, dass  $U_{GE}$  heruntergezogen wird, sobald  $U_{CE}$  den Wert von  $U_{DC}$  erreicht hat. Ab diesem Zeitpunkt beträgt der Spannungsabfall über der parasitären Induktivität null Volt und der Stromanstieg kippt ins Negative. In der Abbildung 3-14 geschieht dies ab  $1,6 \mu\text{s}$ , jedoch überlagern Messartefakte die Gate-Emitter-Spannung, so dass dieser Effekt nicht deutlich sichtbar ist. Gemäß Rückwirkung durch die Miller-Kapazität müsste jedoch das Gatepotential weiter ansteigen. Ein Erklärungsansatz für dieses Phänomen war zunächst die Annahme, dass in diesem Arbeitspunkt eine negative Miller-Kapazität vorliegt, welche ein inverses Verhalten erzeugen würde [124]. In einer anderen Arbeit wurde dieses Verhalten auf den Namen *Self-Turn-Off-Effekt* getauft [121]. Dieser Begriff gilt auch, selbst wenn  $U_{GE}$  nicht immer zwingend unter  $U_{th}$  fallen muss und der IGBT somit nicht wirklich ausschaltet. Beispiele für einen KS II, bei dem der

Kurzschlussstrom kurzzeitig fast auf null Ampere durch die Rückkoppelungseffekte abfällt, kann im Kapitel 7 bei den Überspannungskurzschlüssen in Abbildung 7-3 gesehen werden. Neben der negativen Miller-Kapazität wird die parasitäre Induktivität zwischen Gate und Treiber für den Self-Turn-Off-Effekt verantwortlich gemacht [22]. Die These lautet, dass nach der Anhebung des Gatepotentials durch den Miller-Effekt der Treiber das Gate wiederum entlädt. Theoretisch hört dieser Entladestrom auf zu fließen, sobald  $U_{GE}$  wieder auf 15 V abgesunken ist. Jedoch treibt die parasitäre Induktivität im Steuerkreis den Gatestrom weiter, was ein Unterschreiten dieser Spannung zur Folge haben soll [22].

Vor kurzem konnte aber nachgewiesen werden, dass die Hauptursache für die Aufsteuerung des Gates während des positiven Stromanstieg bis zur Entsättigung der Self-Turn-On-Effekt sein muss, siehe [100] und [125]. Dabei kommt es auf das Verhältnis von  $U_{GE}$  zu  $U_{CE}$  bei der Betrachtung des Self-Turn-On-Effektes an [18]. So lange die Gate-Emitter-Spannung höher als die Kollektor-Emitter-Spannung ist, liegt unter dem Gateoxid eine Elektronenakkumulationsschicht vor. Sind die Spannungsverhältnisse umgekehrt, so findet in diesem Bereich eine Löcherakkumulation statt [126]. In dieser Quelle wird aufgezeigt, dass eine Änderung der Löcherakkumulation zwischen Gateoxid und Drift-Gebiet zu einer Feldänderung und somit einem Verschiebestrom führt. Dies wurde aber anstatt unter der Bezeichnung des Self-Turn-On-Effektes als *negative Gatekapazität* geführt [127].

Eine Änderung des elektrischen Feldes im Bereich des Gateoxides führt, wie es bei einem Stromanstieg auftritt, zu einem Verschiebestrom in oder aus dem Gate [125]. Dieser Verschiebestrom tritt auch dann auf, wenn eine Änderung des Feldes in der Raumladungszone auftritt. Letzteres ist auch bekannt als der vorher beschriebene Miller-Effekt [125]. Die hohe Miller-Kapazität im Durchlass ( $U_{GE} > U_{CE}$ ) kann dabei mit der vorhandenen Elektronenakkumulationsschicht begründet werden [18]. Mit steigendem Kurzschlussstrom, beziehungsweise damit auch der zunehmenden Kollektor-Emitter-Spannung, wird zuerst die Elektronenakkumulationsschicht durch die Feldänderung abgebaut [123]. Dies verursacht dann die Anhebung des Gatepotentials durch den einsetzenden Verschiebestrom [18]. Nähert sich die Spannung über dem IGBT seiner Steuerspannung an, so kommt es zum fließenden Übergang vom Abbau der Elektronen- zum Aufbau der Löcherakkumulationsschicht [123]. Übersteigt während des kontinuierlichen Anstieges des Kurzschlussstromes  $U_{CE}$  die Spannung  $U_{GE}$  weiter, dann akkumulieren sich immer mehr Löcher unter dem Gateoxid [18]. Dies führt zu einem massiven Anstieg des Feldgradienten, welches wiederum eine Felderhöhung unter dem Gate verursacht. Ergo kommt es zu einem Verschiebestrom vom Drift in das Gategebiet mit weiterer Anhebung des Gatepotentials [18]. Dieser Vorgang ist so stark ausgeprägt, dass der IGBT sich erst einmal weiter aufsteuert, selbst wenn der Steuerkreis vom Halbleiter abgekoppelt werden sollte. Daher auch die Bezeichnung Self-Turn-On-Effekt [18].

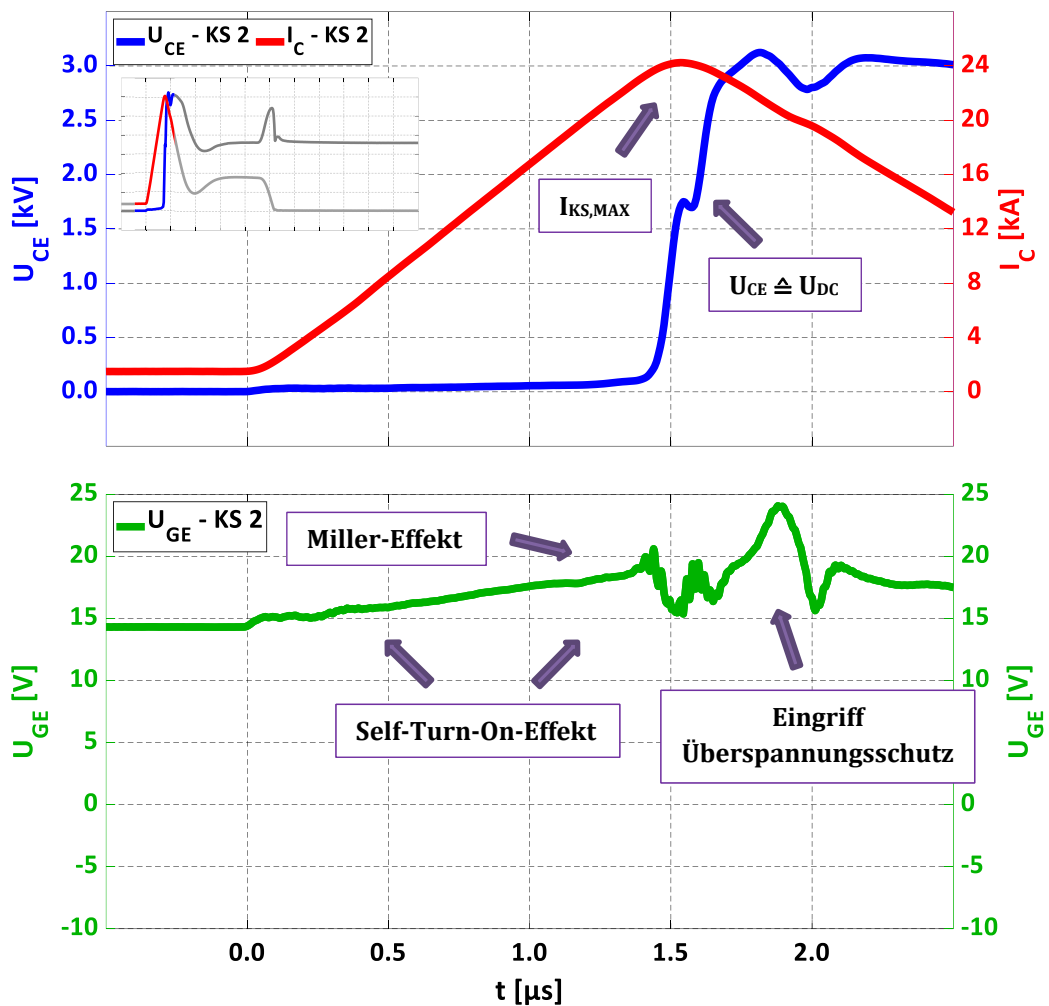


Abbildung 3-14: Auszug vom Beginn des KS II

Die Vergrößerung der Messung aus Abbildung 3-12 im Bereich des Fehlereintritts zeigt besser die Aufsteuerung des Gates während der Rückkoppeleffekte im KS II, siehe Abbildung 3-14. Bis zum Zeitpunkt der Entsättigung bei  $1,4 \mu\text{s}$  wirkt sich nur der Self-Turn-On-Effekt aus [123]. Der Wechsel in der Akkumulationschicht von Elektronen zu Löchern ist aus der Messung heraus nicht feststellbar, da die Auflösung der eingesetzten Messsonden dafür unzureichend ist. Die Veränderung der Akkumulationsschicht während des Stromanstieg wird auch als lokaler Effekt eingeordnet, die Auswirkungen des Miller-Effektes während des Entsättigens hingegen als globales Phänomen bezeichnet [18].

Ohne eine Klemmung des Gates würde sich der IGBT immer weiter selbst aufsteuern und der maximale Kurzschlussstrom fällt immer höher aus [18]. Durch Begrenzung des Anstieges von  $U_{GE}$  kommt der IGBT ab  $1,4 \mu\text{s}$  in den Arbeitspunkt, indem er entsättigt. Im Ersatzschaltbild des IGBTs wird dieser Vorgang als getrieben durch das Ausräumen der Plasmaersatzkapazität bezeichnet, vergleiche [25] und Kapitel 10.1. Dabei gilt, je höher der Spannungsanstieg während der



Entsättigungsphase ausfällt, desto schneller wird die Elektronenakkumulationsschicht abgebaut und die Löcherakkumulation aufgebaut [18]. Die Spannungsaufnahme des Halbleiters führt zugleich dazu, dass sich der Spannungsabfall über der parasitären Induktivität des Kurzschlusskreises reduziert. Infolgedessen verringert sich der positive Stromanstieg und der Self-Turn-On-Effekt nimmt ab. Gleichzeitig wirkt sich der Miller-Effekt durch das immens hohe  $du/dt$  als Rückkopplung nun verstärkt aus. In Untersuchungen hat sich dabei gezeigt, dass der letztgenannte Effekt gegenüber der Auswirkung der Löcherakkumulation um den Faktor fünf geringer ausfällt [18]. Daher wird in dieser Quelle auch dargelegt, dass mit Einsetzen der Entsättigung der Verschiebestrom messbar abnimmt.

Bei etwas mehr als  $1,5 \mu\text{s}$  entspricht  $U_{CE}$  in der Messung aus Abbildung 3-14 der Zwischenkreisspannung. Damit ist genau zu diesem Zeitpunkt der Spannungsabfall über den parasitären Induktivitäten im Stromkreis null Volt. Infolgedessen ist auch der Stromanstieg zu null geworden und das Strommaximum im KS II wird erreicht. Die maximale Höhe des Kurzschlussstromes steht dabei in Korrelation mit der Güte der Gateklemmung [22]. Diese Arbeit vermutet des Weiteren, dass bei idealer Klemmung der maximale Kurzschlussstrom gleich dem statischen Wert entspricht. Das heißt, es gäbe keine Überstromspitze im KS II [22]. Dem gegenüber stehen Quellen, die die These vertreten, dass dieser Idealfall der Fixierung des Gatepotentials in der Realität niemals erreicht werden kann, wie es in [82] oder [94] beschrieben ist. Des Weiteren lässt sich die Aussage finden, dass die Überstromspitze nicht nur durch die Rückkopplungseffekte, sondern auch durch das Ausräumen von Restplasma entsteht [82]. Diese Arbeit zeigt zugleich auf, dass das Plasma den kleinsten Anteil am Überstrom darstellt. Alles andere kommt durch die Aufsteuerung des Gates via dem Self-Turn-On- und dem Miller-Effekt [82].

Ist der Kanal des IGBTs abgeschnürt, dann führt der Halbleiter genau den Kurzschlussstrom, den die Gate-Emitter-Spannung erlaubt [18]. In Konsequenz führt eine Veränderung des Gatepotentials direkt zu einer Änderung des Kollektorstromes. Die Entladung des Gates durch den Gatetreiber und die Schutzbeschaltung zur Gateklemmung reduziert wiederum  $U_{GE}$ , welches dann  $I_{KS}$  herabsetzt [121]. Dies geschieht, wenn eine Reduktion von  $U_{GE}$  eine gleichzeitige Verringerung des Elektronenflusses im Kanal und somit auch des Löcherstromes bewirkt [18]. Dieser abnehmende Stromfluss führt zur einer Reduktion der akkumulierten Löcher im Bereich des Gateoxides und ein negativer Verschiebestrom ist das Resultat [18]. Dieser Self-Turn-Off-Effekt [121], der invers zu dem Self-Turn-On-Effekt ist, zieht das Gatepotential weiter herunter und vergrößert damit den negativen Stromanstieg zusätzlich [18]. Im Gegensatz zum Beginn des KS II wirken nun die Gateklemmung und der Effekt der Änderung der Löcherakkumulation in die gleiche Richtung. Daher fällt die Entladung des Gates ab der Entsättigung stärker aus, als das Aufsteuern davor. Als Folge kann der negative Stromanstieg größer

geraten als das vorherige positive Pendant. Bei dem hier verwendeten Messaufbau fällt bei einem  $U_{DC}$  von 1,2 kV der negative Wert um bis zu 60 % höher aus, als der des positiven Anstieges, vergleiche auch Abbildung 3-16. Bei höheren Zwischenkreisspannungen überlagert der Eingriff der Überspannungsbegrenzung dieses Phänomen. Bei 1,8 kV beträgt daher der negativ Stromanstieg nur noch 80 % des positiven Wertes, vergleiche dazu auch Abbildung 3-16.

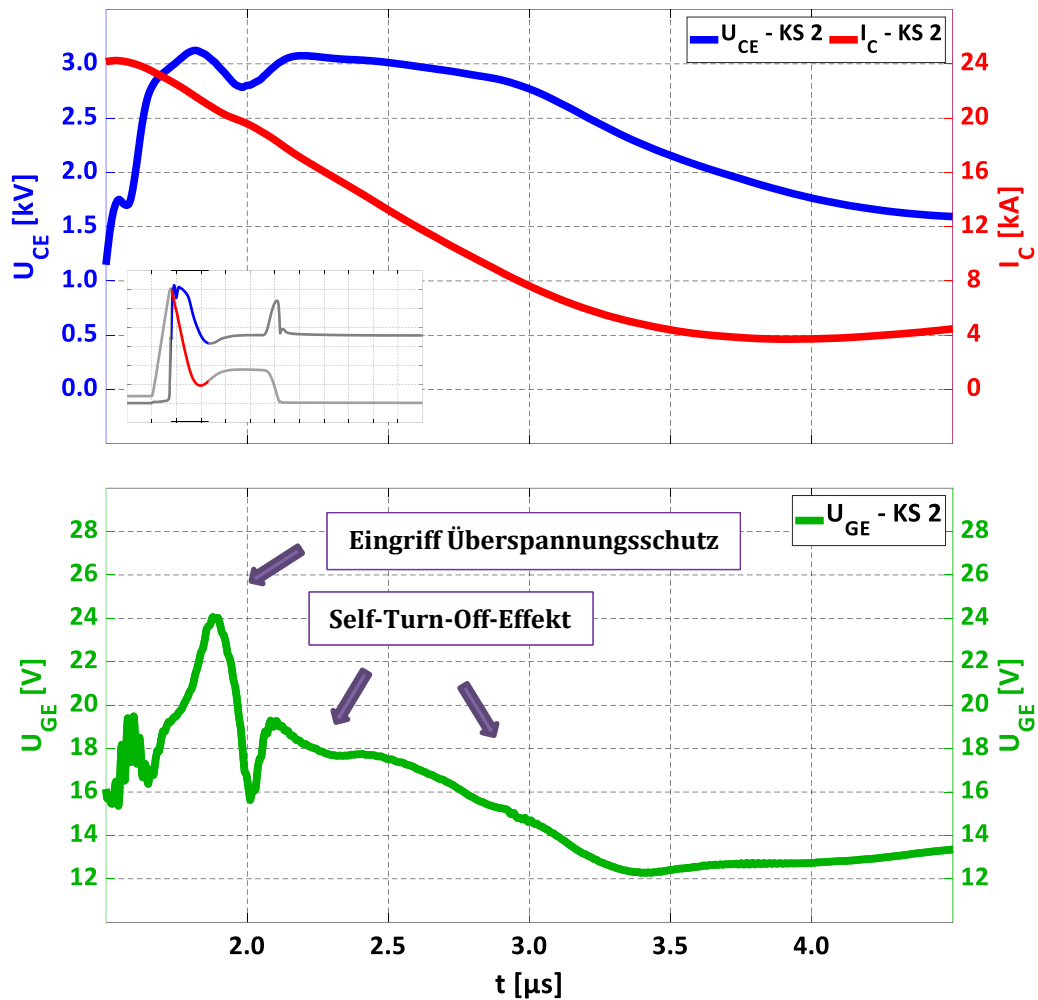


Abbildung 3-15: Auszug ab Entsättigung beim KS II

Zusätzlich führt das negative  $di/dt$  ab circa 1,5  $\mu\text{s}$  bis 3,7  $\mu\text{s}$  in Abbildung 3-15 zu der Überspannungsspitze auf Grund der Streuinduktivität [21]. Ab 1,7  $\mu\text{s}$  fängt die Gate-Emitter-Spannung deutlich an zu steigen, siehe Abbildung 3-15. Dies korreliert mit der zeitgleich anliegenden sehr hohen Kollektor-Emitter-Spannung von über 2,6 kV. Ab diesem Wert greift messbar die Schutzbeschaltung zur Spannungsbegrenzung ein. Ersichtlich ist dies unter anderem an dem schnellen Abflachen des Spannungsanstieg. Durch die Aufsteuerung des Gates mittels aktiver Klemmung wird der negative Stromanstieg herabgesetzt, welches wiederum  $U_{CE}$  reduziert. Das Gate wird daher bis auf 24 V kurz vor 2  $\mu\text{s}$  angehoben. Danach

wird es durch die Gateklemmung, den Self-Turn-Off-Effekt und den nachlassenden Miller-Effekt wieder entladen. Die zweite Spannungsspitze nach  $2 \mu\text{s}$  lässt sich auf das Wirken des Überspannungseingriffes zurückführen. Die Auswirkungen des Self-Turn-Off-Effektes können durch eine Gateklemmung reduziert werden [22]. Auf den ersten Blick mag diese Aussage nicht einleuchtend sein, da die Begrenzung des Gatepotentials erst einmal nur den Self-Turn-On-Effekt verringert. Jedoch führt eine Reduktion des Gateanstieges wiederum zu einem geringeren Druck, das Gate durch die Schutzbeschaltung zu entladen. Der negative Anstieg von  $U_{GE}$  fällt damit geringer aus und damit auch das Pendant in der Stromabnahme.

Ein weiteres Phänomen tritt beim KS II während der Phase des negativen Stromanstiegs auf [18]. Bis zum Erreichen der Treiberspannung von 15 V entladen Treiber, Klemmschaltung und der Self-Turn-Off-Effekt das Gate. Der Miller-Effekt wirkt dem etwas und der AGC deutlich entgegen. Jedoch ist festzustellen, dass ab Erreichen von 15 V die Gate-Emitter-Spannung weiter reduziert wird, vergleiche Abbildung 3-15 ab  $2,8 \mu\text{s}$ . Dieses Phänomen ist dem Self-Turn-Off-Effekt durch den immer noch vorhandenen negativen Stromanstieg zu zuweisen [22]. Dabei gilt auch hier, dass die Veränderung der Löcherakkumulationsschicht eine größere Auswirkung auf das Gatepotential hat als der Miller-Effekt [18]. Im Ausnahmefall kann die Entladung während der negativen Stromflanke das Potential unter die Schwellenspannung ziehen und den Halbleiter kurzzeitig abschalten [121]. Der Stromanstieg wird zu null, der Self-Turn-Off-Effekt verschwindet und der Treiber steuert den Halbleiter wieder auf. Infolgedessen kommt es zu einer Art nachgelagertem KS I, da der IGBT quasi auf einen bestehenden Kurzschluss bei gleichzeitigem hohem Spannungsabfall über ihm einschaltet [121]. Dieses Extrem wurde in den hier angestellten Untersuchungen nicht beobachtet, jedoch lässt sich in einigen Messungen feststellen, dass der Kurzschlussstrom zeitweise unter den Laststrom vor dem Fehlereintritt fallen kann, siehe beispielsweise Abbildung 5-3 zum KS II + II.

Ein Minimum des Kurzschlussstromes (circa 4 kA) liegt bei  $4 \mu\text{s}$  vor, siehe Abbildung 3-12. Nach dem Erreichen des Minimums zieht der Treiber die Gate-Emitter-Spannung wieder auf den statischen Wert hoch [121]. Dieser Vorgang vollzieht sich in der obigen Messung aus Abbildung 3-12 bis circa  $6 \mu\text{s}$ . Durch die einsetzende Stromzunahme, jedoch mit einem geringeren  $di/dt$  als beim Fehlereintritt, kommt es wieder zu einem Self-Turn-On-Effekt. Ein positiver Stromanstieg hat gleichzeitig zur Folge, dass die Spannung über dem IGBT kurzzeitig geringer als die vom Zwischenkreis ist. Hier fällt sie auf ungefähr 1,6 kV ab. Wie beim KS I pendelt sich der statische Kurzschlussstrom auf ungefähr 7,1 kA ein, vergleiche dazu auch den Kurzschlussarbeitsbereich in Abbildung 3-13. Dies entspricht etwa dem fünffachen Wert des Laststromes vor dem Fehler [84].

Der Abschaltvorgang eines Kurzschlusses ist für die Varianten I bis II nahezu identisch, vergleiche dazu [4] und Abbildung 3-13. In der vorliegenden Arbeit sind jedoch Unterschiede im negativen Stromanstieg und damit der resultierenden Überspannung zwischen KS I und KS II festzustellen. Bei ersterem kann der eingesetzte Treiber den KS I detektieren und ein sanftes Abschalten einleiten, vergleiche Kapitel 3.1. Der KS II wird hingegen nicht detektiert und es kommt zu einem Abschaltvorgang mit deutlich höherem negativen  $di/dt$ . Demzufolge kommt es zu der höheren Überspannung beim KS II im Vergleich zum KS I. Eine Reduktion des Kollektorstromes im Abschaltvorgang, sei es im Kurzschluss oder im normalen Betrieb, führt wiederum zum Self-Turn-Off-Effekt, welches eine zusätzliche Reduktion der Gate-Emitter-Spannung verursacht [18].

Die Überspannungen sowie der Spitzenstrom liegen beim KS II einige Grade über den Werten des KS I. Der zweite Halbleiterfehler reißt auch merklich den im Datenblatt definierten Arbeitspunkt, den der Halbleiter widerstehen können sollte, siehe Abbildung 3-13. Trotzdem kann auch ein KS II, selbst wenn der IGBT nicht von den Herstellern dafür spezifiziert wurde, überstanden werden, wie die Messungen hier beweisen. Wird der Kurzschluss abgeschaltet, dann liegt, wie schon erläutert wurde, kein Plasma mehr im IGBT vor. Im Umkehrschluss bedeutet dies, dass ein Avalanche zu diesem Zeitpunkt nicht auftreten kann, da die Löcher im statischen Kurzschlussbereich dann immer in Kombination mit Elektronen auftreten, siehe [84] und [97]. Sollte jedoch die Überspannung im Abschaltvorgang zu hoch ausfallen, kann dadurch ein Avalanche ausgelöst werden [3].

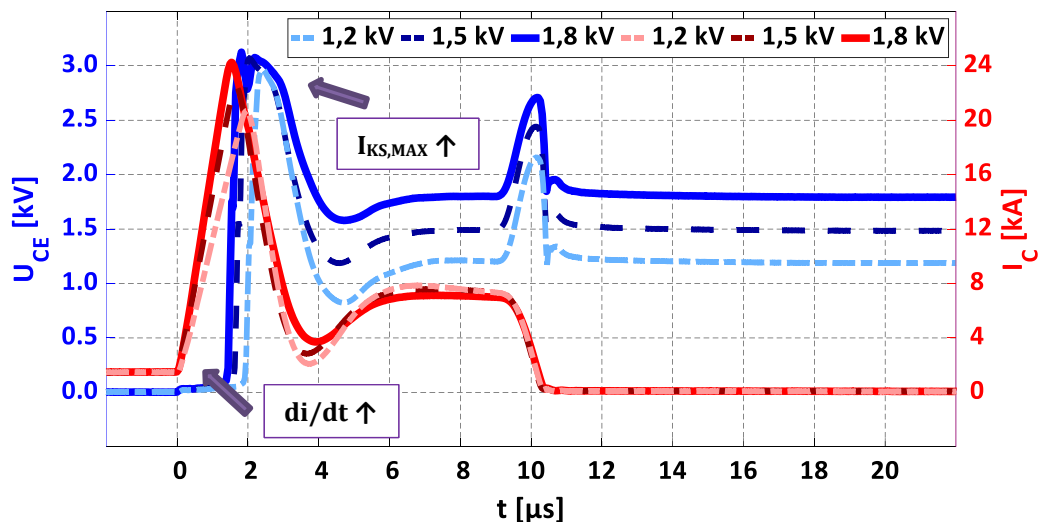


Abbildung 3-16: Variation der Zwischenkreisspannung beim KS II gemessen bei  $U_{DC} = 1,2 / 1,5 / 1,8 \text{ kV}$ ,  $I_L = 1,5 \text{ kA}$ ,  $L_\sigma = 110 \text{ nH}$

Eine Variation der Zwischenkreisspannung ruft im Gegensatz zum KS I beim KS II eine messbare Veränderung der Verläufe hervor. Je höher  $U_{DC}$  ausfällt, desto steiler muss bei einer unveränderten Streuinduktivität der Strom ansteigen,

vergleiche [92] und Abbildung 3-16. Infolgedessen nimmt der Self-Turn-On-Effekt zu und der maximale Kurzschlussstrom steigt durch verstärkte Anhebung des Gatepotentials mit  $U_{DC}$  an. Weiterhin gilt, dass die Veränderungen in der Akkumulationsschicht spannungsabhängig sind und eine Zunahme der Zwischenkreisspannung die Rückkopplung durch den Self-Turn-On-Effekt vergrößert [125]. Eine Zunahme der Spannung um 50 % (von 1,2 kV auf 1,8 kV) erhöht  $I_{KS,MAX}$  um 17 % in den vorliegenden Messungen. Der Zeitpunkt des Entsättigens verschiebt sich mit niedriger Zwischenkreisspannung nach hinten, da der Strom weniger stark ansteigt [95]. Im dargestellten Vergleich handelt es sich dabei um einige hundert Nanosekunden Zeitdifferenz zwischen 1,2 kV und 1,8 kV, siehe Abbildung 3-16. Unter Vernachlässigung der geänderten Rückkopplungseffekte durch die Änderung von  $U_{DC}$  sind jedoch die Verläufe von Strom und Spannung nahezu identisch, siehe [82] und [128].

Ein postulierter Effekt, nämlich die Anhebung des statischen Kurzschlussstromes durch Zunahme der Zwischenkreisspannung [22], lässt sich in den dargestellten Messungen jedoch nicht feststellen. Mit ansteigender  $U_{CE}$  über dem Halbleiter steigt auch der bipolare Verstärkungsfaktor und somit der Löcherstrom an, beispielsweise beschrieben in [53] und [84]. Die Messungen für den KS II aus der Abbildung 3-16 weisen jedoch einen nahezu gleichen  $I_{KS}$  für alle drei Zwischenkreisspannungen ab circa  $7 \mu s$  auf. Die Abweichungen untereinander betragen weniger als 10 %. Auch beim KS I kam es zum selben Bild, die Veränderung von  $U_{DC}$  wirkte sich nicht im statischen Bereich aus, siehe Abbildung 3-5. Weiterhin messbar ist, dass der Spannungsabfall über dem IGBT während der Phase des positiven Stromanstiegs höher ist als im Durchlassbetrieb. Die Ursache kann nicht nur allein durch den immer höher ausfallenden Kollektorstrom begründet werden, da dieser Effekt quasi von Beginn an auftritt. Schlussendlich führt ein schnellerer Anstieg des Fehlerstromes dazu, dass der Spannungsabfall, verursacht durch die parasitären Streuinduktivitäten im IGBT-Modul im Wert von einigen Nanohenry [57] zwischen Kollektor und Emitter, zunimmt. Diese Spannung addiert sich auf die über dem Halbleiter abfallende  $U_{CE}$  dazu und verzerrt damit das Messergebnis [53].

Ein zusätzliches Phänomen taucht in der obigen Messreihe auf. Mit steigender  $U_{DC}$  steigt das Minimum des Kurzschlussstromes kurz vor  $4 \mu s$ . Normalerweise führt ein höherer Stromanstieg bei Kurzschlusseintritt zu einer stärkeren Aufsteuerung des Gates. Durch die Schutzbeschaltung des Gates wird es nach Einsetzen der Entsättigung stärker entladen. Dies führt zu einer vergrößerten Stromabnahme und der Self-Turn-Off-Effekt fällt höher aus. Alles in allem müsste damit das Gatepotential bei Messungen mit erhöhter Zwischenkreisspannung eigentlich weiter hinuntergezogen werden. Die Begründung im Auftreten des gegenteiligen Effektes liegt im Eingriff der Überspannungsbegrenzung. Die Überspannung über dem IGBT bei hoher  $U_{DC}$  fällt durch den größeren negativen Stromanstieg

höher aus. Damit wirkt sich der Eingriff des AGC zur Begrenzung von  $U_{CE}$  deutlich stärker aus. Der Self-Turn-Off-Effekt wird damit konterkariert und das Gatepotential sackt nicht so weit ab. Infolgedessen liegt bei 1,8 kV das geringste Minimum während des KS II im Vergleich zu niedrigeren Zwischenkreisspannungen vor.

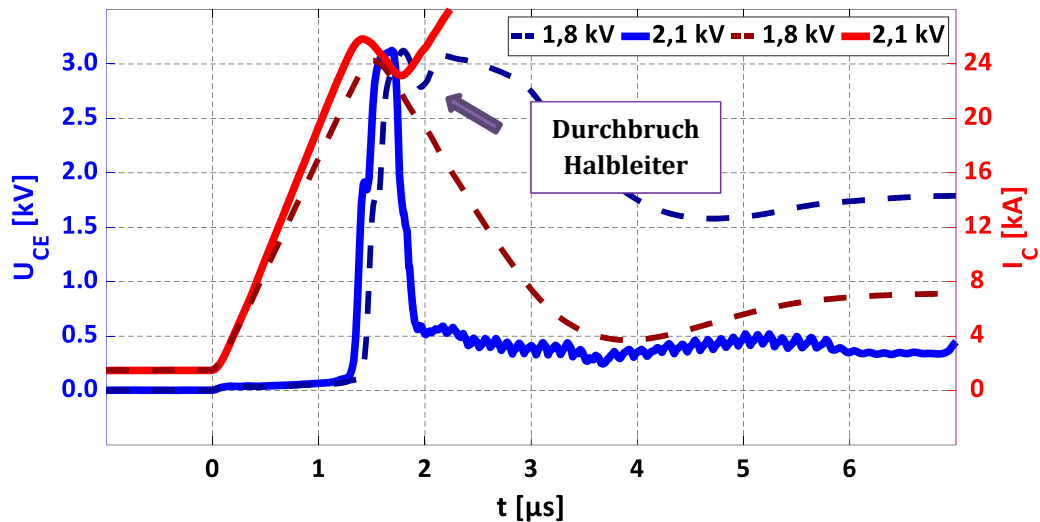


Abbildung 3-17: Halbleiterversagen im zweiten Kurzschlussfall  
gemessen bei  $U_{DC} = 1,8 / 2,1$  kV,  $I_L = 1,5$  kA,  $L_\sigma = 110$  nH

Die Messungen aus Abbildung 3-16 gehen nur bis 1,8 kV. Bei einer Zwischenkreisspannung von 2,1 kV ist der Halbleiter während der Phase der Entsättigung, aber noch vor Erreichen der maximalen Überspannung, durchgebrochen, siehe Abbildung 3-17. In der Literatur hat sich gezeigt, dass die Hauptschwierigkeit hinsichtlich Robustheit des IGBTs der zweite Kurzschlussfall ist, vergleiche [82] und [116]. Wenige hundert Nanosekunden nach Überschreiten des Spitzenwertes vom Kurzschlussstrom (bei der Messung mit 2,1 kV erreicht er 25,8 kA) kommt es zum Durchbruch. Dabei verliert der Halbleiter binnen Nanosekunden seine Sperrfähigkeit und der Kurzschlussstrom steigt, determiniert durch die Streuinduktivität, wieder deutlich an. Jedoch wird hier der IGBT nicht komplett leitfähig, wie es bei einigen Halbleitern durchaus der Fall sein kann [99]. Es fallen weiterhin circa 0,4 kV über dem Bauteil ab, überlagert von hochfrequenten Oszillationen im niederen Megahertz-Bereich. Es dürfte sich dabei um Schwingungen, ausgelöst durch die parasitären Elemente im Kurzschlusskreis, handeln, die der zerstörte IGBT nicht mehr unterbinden kann [18]. Das obige Fehlerbild ist dabei nicht nur auf den KS II limitiert, sondern tritt auch im KS I auf, beispielsweise beschrieben in [84] und [116]. In den durchgeführten Untersuchungen aus der vorliegenden Arbeit kam es jedoch zu keinem Durchbruch während des KS I im Arbeitsbereich für  $U_{DC}$  von 1,2 kV bis 2,1 kV und einer Variation für  $L_\sigma$  von 125 nH bis 520 nH.

Die Ursache des Halbleiterdurchbruches kann nicht in der Überspannung liegen, wie bereits in einer Arbeit vermutet wird [102], da in der obigen Messung ein Abstand von knapp 200 V zwischen  $U_{CE,MAX}$  und  $U_{CES}$  eingehalten wird. Es lassen sich in der Literatur diverse Erklärungen für Ausfälle des IGBTs finden, darunter das thermische Weglaufen [63], das Auftreten eines Avalanches [97] und im Abschaltvorgang [107]. Alle dort beschriebenen Fehlerbilder passen aber nicht zu den hier vorgestellten Messdaten. Auch das häufig beschriebene Problem des Einrastens des parasitären Thyristors [17], spielt bei modernen IGBT Generationen praktisch keine Rolle mehr, vergleiche [97] und [108]. Ein Hinweis auf die wahrscheinlichste Ursache liefert eine Arbeit, die ein nahezu exakt gleiches Fehlerbild, nur gemessen bei einem KS I, aufzeigt [96]. Diese Arbeit argumentiert, dass es sich um ein Stromfilament handeln muss. Damit wird ein Zustand beschrieben, bei dem der Stromfluss im Halbleiter in einem Gebiet eine Fehlverteilung aufweist und es zu einer lokalen Stromkonzentration kommt [67]. Als Begründung für das Stromfilament im Kurzschluss wird angeführt, dass das Versagen zu einem Punkt eintritt, bei dem durch den Ent sättigungsvorgang die Spannung ansteigt. In diesem Bereich ist der kritische Kurzschlussstrom deutlich herabgesetzt [84]. Wird im Kurzschluss diese Grenze überschritten, dann kommt es zum Prozess der Stromfilamentierung im Halbleiter [84]. Es gilt dabei, dass mit steigendem Spitzenwert des Kurzschlussstromes die Gefahr zunimmt, genau die kritische Grenze zu überschreiten. Dabei muss der IGBTs nicht unbedingt direkt nach Überschreiten der Grenze ausfallen, er kann auch erst kurz darauf in der negativen Stromflanke durchbrechen, vergleiche [96] und Abbildung 3-18. Eine andere Arbeit zeigt darüber hinaus, dass das Versagen des Halbleiters durch Stromfilamentierung sogar noch deutlich später, beispielsweise im statischen Kurzschlussbetrieb, passieren kann [67].

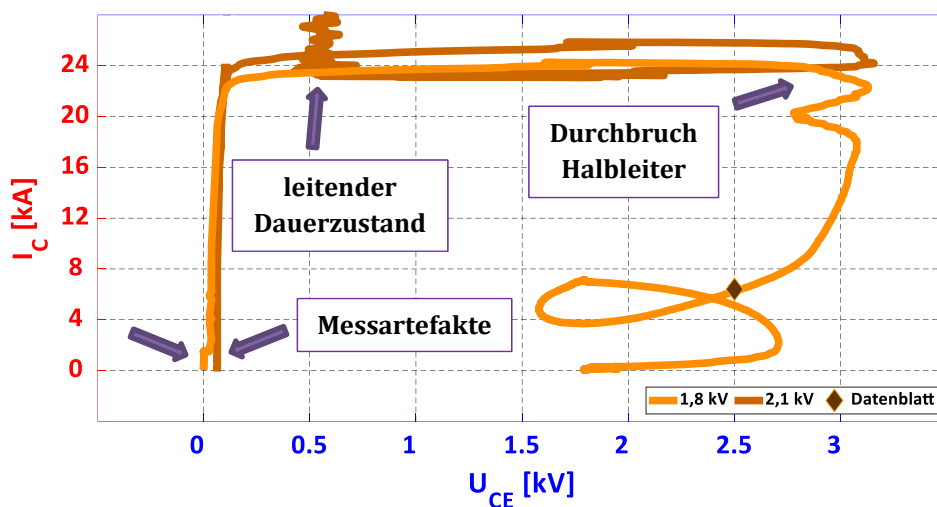


Abbildung 3-18: Kurzschlussarbeitsbereich des Halbleiterversagens beim KS II  
gemessen bei  $U_{DC} = 1,8 / 2,1 \text{ kV}$ ,  $I_L = 1,5 \text{ kA}$ ,  $L_\sigma = 110 \text{ nH}$

Es gibt Quellen, die in Messungen das Auftreten eines Stromfilaments durch einen sehr kleinen und kurzzeitigen Spannungseinbruch in  $U_{CE}$  festgestellt haben [66]. Dieses Verhalten wurde in den hier vorliegenden Ausfällen jedoch nicht detektiert. Die Existenz eines Stromfilaments muss auch nicht zwangsläufig zu einem Halbleiterdurchbruch führen [12]. Dieser tritt nur ein, wenn die konzentrierten hohen Ströme in der lokalen Störstelle zu einer so hohen Temperatur führen, dass Ladungsträger generiert werden [84]. Dieser Avalanche verursacht den vorher schon beschriebenen kurzzeitigen Spannungseinbruch bei Entstehung des Filaments [129]. Dies führt dann zu einem irreversiblen thermischen Versagen des IGBTs. Mit Ausnahme der nicht sichtbaren Spannungseinbrüche, lassen all diese Punkte daher die These zu, dass die hier festgestellten Ausfälle beim KS II durch Stromfilamentierung verursacht werden.

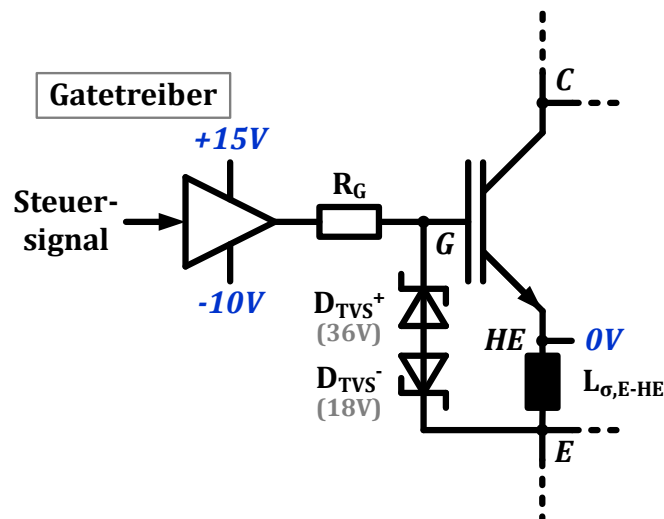


Abbildung 3-19: Schutzschaltung zur Gegenkoppelung des Stromanstieg

Sollte das Aufsteuern des Gates zu Halbleiterausfällen führen, beispielsweise durch die beschriebenen Stromfilamentierung, dann kann beispielsweise ein Wechsel des Halbleiterherstellers [22] oder eine effektivere Klemmung des Gates [82] das Problem reduzieren. All diese Optionen wurden im Verlaufe dieser Arbeit ausgenutzt, beispielsweise durch den Wechsel auf robustere IGBTs von der Sperrspannungsklasse 4,5 kV [117] auf 3,3 kV [57]. Jedoch führte auch eine aktive Klemmung des Gates mittels Diode auf die Versorgungsspannung immer noch zu den besagten Ausfällen bei hohem Strom, siehe Abbildung 3-17. Auf Grund dessen wurde beschlossen, den Kurzschlussstrom durch eine schnellere Entsättigung im Fehlerfall zu begrenzen [17]. Konzepte dieser Art zur Begrenzung des Fehlerstromes sind in diversen Ausführungen in der Literatur beschrieben worden, beispielsweise in [122], [130] oder [131]. Als Mittel der Wahl wird eine passive Gegenkoppelung des Stromanstiegs gewählt, vergleiche [82] und Abbildung 3-19. Vereinfacht gesagt, führt ein Stromanstieg zu einem Spannungsabfall zwischen dem Hilfsemmitter, auf dem der Treiber liegt, und dem (*Leistungs-*)



Emitter durch die dortige Streuinduktivität von wenigen NanoHenry, siehe Kapitel 10.2. Wird das Gate über eine TVS-Diode auf den Emitter gelegt, so bricht diese bei einem entsprechend hohen  $di/dt$  durch und reduziert das Gatepotential. Zur Bedämpfung des zu starken Entladens während der Phase mit dem Self-Turn-Off-Effekt kommt eine weitere inverse TVS-Diode zum Einsatz [4]. Außerdem verhindert diese, dass bei positiver Treiberausgangsspannung und einem leitenden IGBT, Ladung über die Schutzbeschaltung in das Gate fließt. Es hat sich gezeigt, dass ein Eingriff in das normale Schaltverhalten des IGBTs vermieden werden kann, wenn die Schwellen bei mindestens 36 V ( $D_{TVS^+}$ ) und 18 V ( $D_{TVS^-}$ ) liegen.

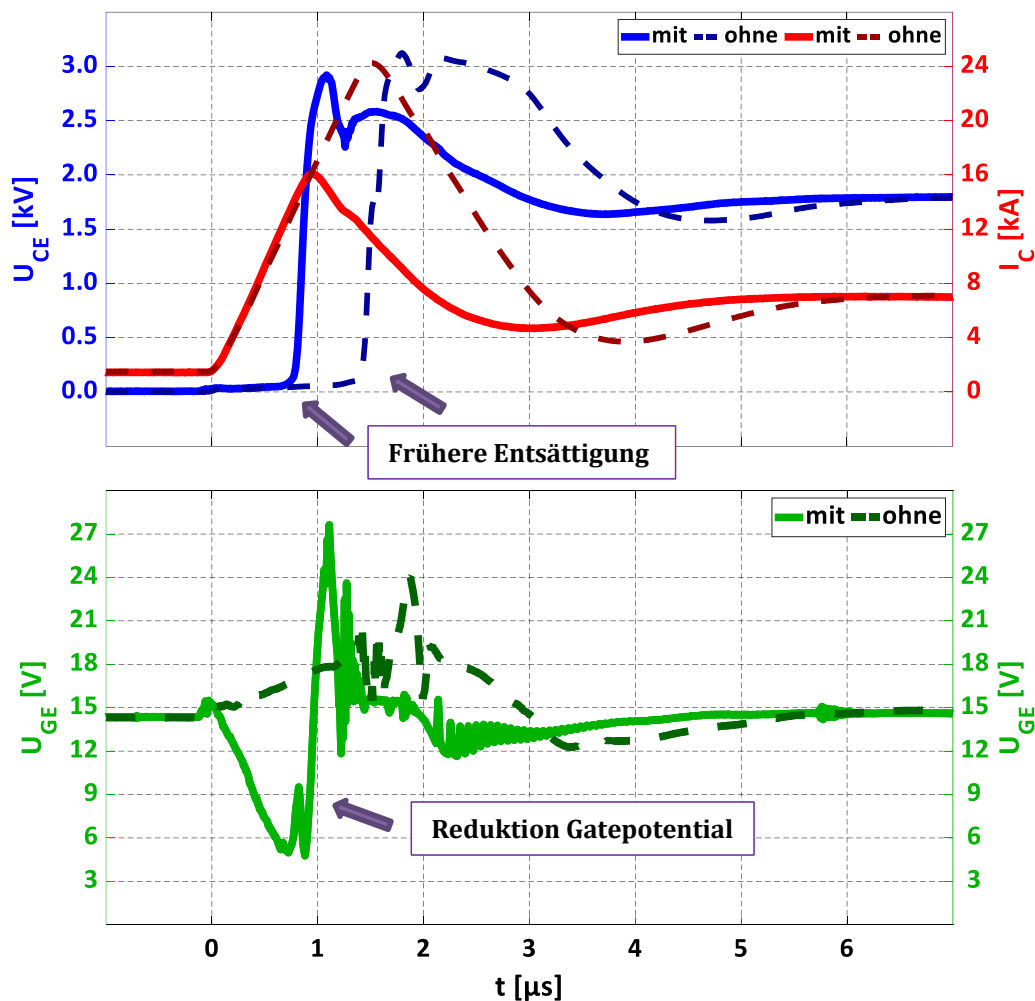


Abbildung 3-20: Auswirkung der Gegenkoppelung des Stromanstieg im KS II (mit) im Vergleich zu einem ‚normalen‘ Fehlerfall (ohne) gemessen bei  $U_{DC} = 1,8$  kV,  $I_L = 1,5$  kA,  $L_\sigma = 110$  nH

Der Stromanstieg von ungefähr 17,4 kA/µs führt nahezu instantan zum Durchbrechen von  $D_{TVS^+}$ , da mehr als 36 V über  $L_{\sigma,E-HE}$  abfallen. Obwohl der Stromanstieg konstant ist, fällt die Gate-Emitter-Spannung von  $\sim 15$  V auf 5 V in einer Mikrosekunde ab, siehe Abbildung 3-20. Die Spannung springt also nicht

schlagartig, welches eigentlich zu erwarten wäre. Grund hierfür dürften parasitäre Kapazitäten sein, die einer zu schnellen Spannungsänderung im Wege stehen. Während die Gegenkoppelung des Stromanstiegs das Gate entlädt, wirken sich weiterhin die bekannten Rückkopplungseffekte aus. Das Elegante an der Gegenkoppelung ist, dass mit steigender  $U_{DC}$  das positive  $di/dt$  ansteigt und damit auch ihr Eingriff stärker ausfällt. Damit wird die gleichzeitig stattfindende Anhebung des Gates durch den Self-Turn-On-Effekt kompensiert, zum Teil sogar überkompensiert. Bei Nennstrom sinkt der  $I_{KS,MAX}$  um knapp 10 % bei einer Erhöhung der  $U_{DC}$  von 1,2 kV auf 1,8 kV ab. Im ‚normalen‘ KS II führt die gleiche Vergrößerung der Zwischenkreisspannung bei 1,5 kA zu der erwarteten Anhebung des maximalen Kurzschlussstromes um  $\sim 31$  %, siehe Abbildung 3-21.

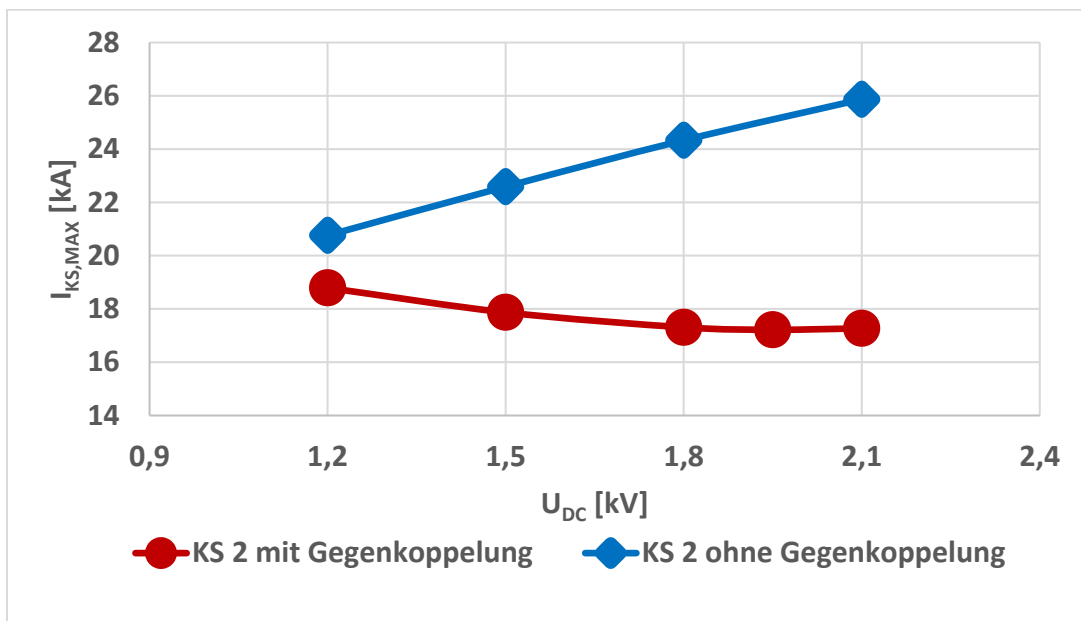


Abbildung 3-21: Maximaler Kurzschlussstrom ohne und mit Gegenkoppelung im KS II gemessen bei  $U_{DC} = 1,2 - 2,1$  kV,  $I_L = 1,5$  kA,  $L_\sigma = 110$  nH

Mit der Schutzbeschaltung wird der Zeitpunkt der Entsättigung deutlich vorgezogen. Er beträgt nur noch knapp die Hälfte der Zeit nach Fehlereintritt im Vergleich zum ‚normalen‘ KS II. Der maximale Kurzschlussstrom wird dadurch auf circa 2/3 des ursprünglichen Wertes reduziert. Bei kurz vor  $1 \mu s$  ist der Stromanstieg so weit reduziert, dass die TVS-Diode nicht mehr leitet und das Gatepotential springt von 5 V auf über 25 V, siehe Abbildung 3-20. Dieser Sprung kommt auch durch das erfolgte Eingreifen der  $D_{TVS}$ . Dadurch wird erreicht, dass der negative Stromanstieg auf 67 % reduziert wird und damit auch die Überspannung um 14 %. Die Effekte der Gegenkoppelung des Stromanstiegs sind im Kurzschlussarbeitsbereich für den Vergleich zwischen dem ‚normalen‘ KS II und seinem Pendant mit der Schutzbeschaltung deutlich erkennbar, siehe Abbildung 3-22. Es wird weiterhin der sichere Arbeitspunkt im Datenblatt überschritten [57].

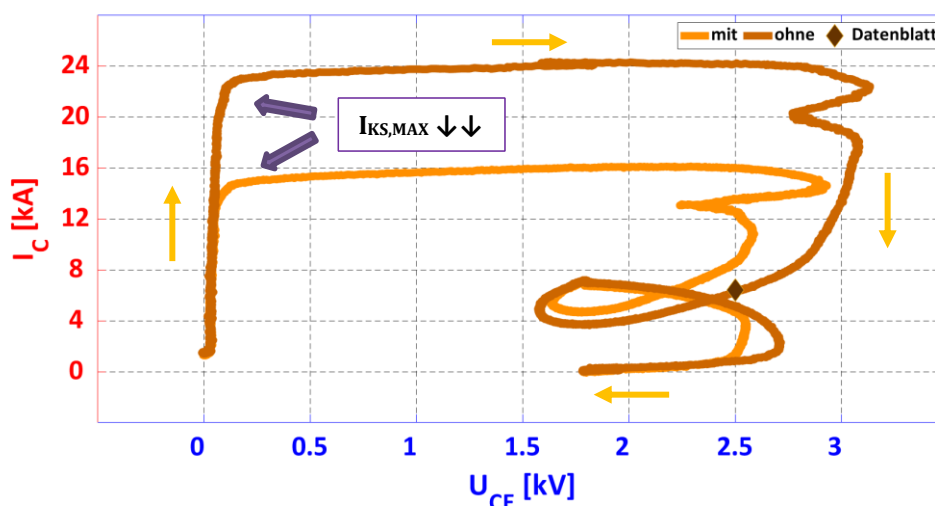


Abbildung 3-22: Kurzschlussarbeitsbereich beim KS II mit und ohne Gegenkoppelung gemessen bei  $U_{DC} = 1,8 \text{ kV}$ ,  $I_L = 1,5 \text{ kA}$ ,  $L_\sigma = 110 \text{ nH}$

Mit dieser Lösung ist es möglich gewesen, auch den Arbeitspunkt bei  $1,5 \text{ kA}$  ( $I_L$ ) und  $2,1 \text{ kV}$  ( $U_{DC}$ ), bei dem es vorher zum Ausfall des IGBTs kam, zu überstehen. Jedoch zeigte sich, dass es bei doppeltem Nennstrom wieder zu Ausfällen ab einer Zwischenkreisspannung von  $1,95 \text{ kV}$  kam. Der sichere Arbeitsbereich wird durch die Gegenkoppelung des Stromanstiegs deutlich erweitert, jedoch nicht vollständig bis  $2,1 \text{ kV}$  bei  $3,0 \text{ kA}$ . Die Gegenkoppelung des Stromanstiegs könnte zur Unterbindung der Ausfälle stärker ausgelegt werden [82]. Nur zeigte sich dann in den Messungen, dass somit auch das normale Schaltverhalten des IGBTs beeinflusst wird. Demnach wurde hier die Konzeption mit  $36 \text{ V}$  für die TVS-Diode beibehalten. Kritische Arbeitspunkte wurden in den Fehlerfällen mit mehr als einem Halbleiter nicht mehr angesteuert. Alternativ könnte mit aktivem Detektieren des Kurzschlusses durch den Treiber das Gatepotential zusätzlich herabgesetzt werden.

Dadurch, dass der IGBT vor dem Kurzschluss einen Strom führt, ist der Halbleiter im Fehlerfall logischerweise mit Ladungsträgern geflutet [92]. Also weist er mehr Plasma im Vergleich zum KS I auf [84]. Diese Aussage ist mit Einschränkung zu betrachten, da für die Variante KS II ohne Laststrom [102] (und den im nachfolgenden Kapitel 3.3 vorgestellten KS III [23]) der IGBT keinen Strom vor dem Fehlereintritt leitet. Dieses Plasma wird dann durch den Aufbau des elektrischen Feldes während der Entsättigung ausgeräumt [68]. Die Höhe des Laststromes, respektive der freien Ladungsträger im Halbleiter, weist ein interessantes Phänomen auf. Schon in den ersten Arbeiten zum KS II zeigte sich, dass eine Anhebung des Laststromes zu einem höheren maximalen Kurzschlussstrom führt [122]. Die hier gemachten Messungen mit dem FZ1500R33HL3 weisen das gleiche Verhalten auf, siehe Abbildung 3-23. Dort wird neben dem Nennstrom auch der halbe ( $0,75 \text{ kA}$ ) und der doppelte Wert ( $3,0 \text{ kA}$ ) dargestellt. Auch in einer

anderen Arbeit, bei dem der Typ FZ1500R33HE3 dem KS II unterzogen wurden, zeigt sich der Effekt [82].

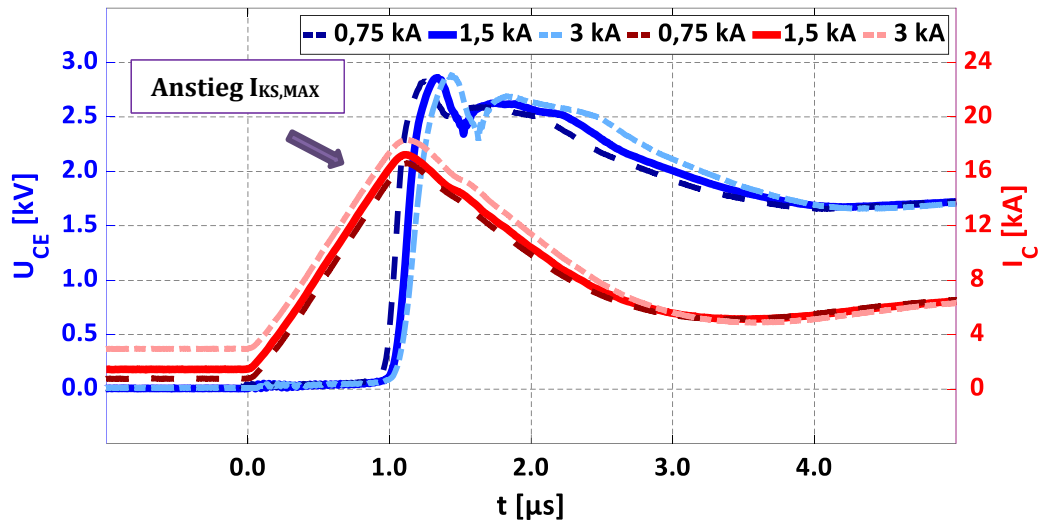


Abbildung 3-23: Auszug bei Variation des Laststromes im KS II gemessen bei  $U_{DC} = 1,8 \text{ kV}$ ,  $I_L = 0,75 / 1,5 / 3,0 \text{ kA}$ ,  $L_\sigma = 110 \text{ nH}$

Eine Beschreibung für die Korrelation des Laststromes zur Anhebung des Gatepotentials wird in allen bisherigen Arbeiten zu Rückkoppelungseffekten im Kurzschluss nicht wirklich gegeben. Alle drei Messungen aus Abbildung 3-23 weisen den gleichen Stromanstieg auf, da die Streuinduktivität und die über sie abfallende Zwischenkreisspannung identisch ist. Folglich müssten der Self-Turn-On-Effekt und damit der Spitzenwert des Kurzschlusses bei allen drei Fällen identisch sein. Dass dies nicht zutrifft, ist in der Abbildung 3-23 offensichtlich. Bei einer Steigerung des Laststromes um 300 % (von 0,75 kA auf 3,0 kA) hebt sich das Gatepotential messbar an und der Spitzenstrom steigt um 10%. Die Korrelation zwischen der Erhöhung des Laststromes und dem Spitzenwert ist damit gesehen relativ schwach. Jedoch hat sich in den vorherigen Abschnitten gezeigt, dass eine minimale Anhebung des  $I_{KS,MAX}$  schon ausreicht, um zwischen Bestehen und Versagen im KS II zu trennen. Fakt ist, dass der Laststrom, beziehungsweise das dadurch im Halbleiter eingetragene Plasma, vor dem Kurzschluss eine Auswirkung auf die Rückkopplungseffekte gemäß den Messergebnissen haben muss, obwohl sich dazu keine Erklärung in der Literatur finden lässt.

Der zweite Kurzschlussfall muss nicht immer mit einem Stromfluss durch den IGBT vor Fehlereintritt auftreten. Die erste Beschreibung des auch als KS II ZC [Abkürzung: zero current / deutsch: null (Last-) Strom] bezeichneten Falles ist aus dem Jahre 2010 [102]. Es gibt vor allem im Dreipunktumrichter einige Konfigurationen, bei denen diese spezielle Variante des KS II auftreten kann. Die erste Variante ist, dass der Laststrom, während der IGBT leitet, zu null Ampere wird. Jedoch spielt sich dieser Vorgang relativ kurz binnen weniger Mikrosekunden ab.

Ergo ist der IGBT selbst genau im Zeitpunkt des Stromnulldurchgangs sehr wahrscheinlich noch mit Plasma geflutet. Nach dem Stromnulldurchgang kommutiert der Strom im Modul vom IGBT auf die Diode und es kommt dann zum KS III, vergleiche Kapitel 3.3. Eine weitere Möglichkeit taucht bei den Überspannungskurzschlüssen aus Kapitel 7.2 mit vier betroffenen Halbleitern auf. Jedoch ist der dort auftretende KS II ZC stark durch die anderen auftretenden Fehler verzerrt; es kann also nicht von einem reinen Einzelkurzschluss gesprochen werden [28]. Die dritte Variante hat als Ausgangspunkt den Zustand  $0_{2^+}$ , bei dem die Schalter  $S_{12}$ ,  $S_{22}$  und  $S_{31}$  eingeschaltet sind, vergleiche dazu [7] und Tabelle 2-1. Bricht nun  $S_{21}$  durch, dann erfährt der IGBT  $I_{22}$  einen KS II, ohne jedoch vorher den Laststrom geführt zu haben. Damit hat der Halbleiter auch kein Plasma vor dem Fehlereintritt aufgebaut. Als Resultat fällt der Widerstand des intrinsischen Gebietes  $R_N$  hoch aus [18]. Mit Eintritt des Kurzschlussstromes fällt über diesen dann die Einschaltspannung (englisch: *forward-recovery voltage*), ab, siehe auch Kapitel 3.3. In der Messung für den KS II ZC aus Abbildung 3-24 beträgt diese knapp 250 V, welches sich mit Angaben aus der Literatur deckt [82]. Diese Spannung wird mit steigendem Strom, sprich mit Eintragung von Plasma und damit Verbesserung der Leiteigenschaften des IGBTs, reduziert [3]. Allein dadurch wird die Aussage einer Quelle ad absurdum geführt, dass es keinen Unterschied macht, ob vor dem Eintritt des KS II Plasma im Halbleiter ist oder nicht [77].

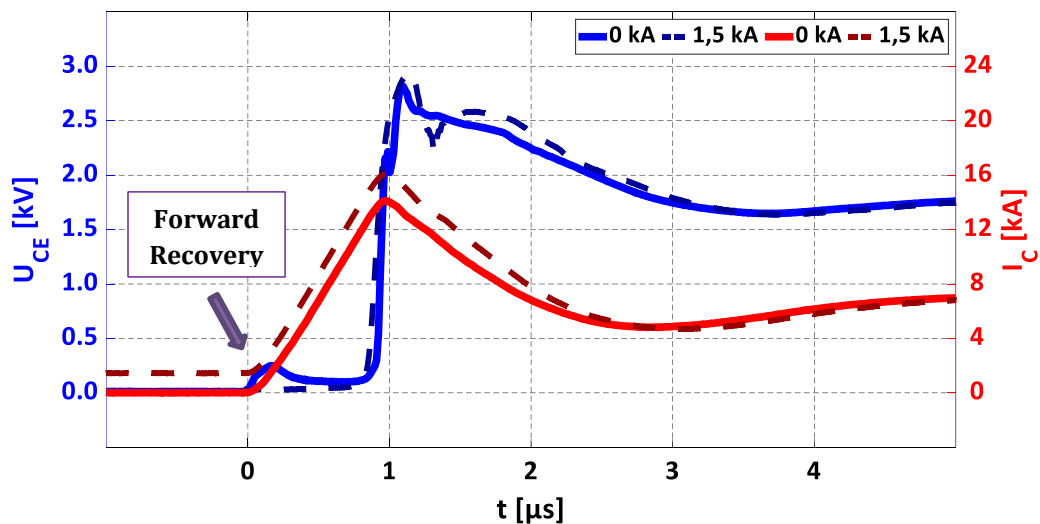


Abbildung 3-24: Auszug vom Anfang des KS II ZC im Vergleich zum KS II gemessen bei  $U_{DC} = 1,8 \text{ kV}$ ,  $I_L = 0$  (KS II ZC) /  $1,5 \text{ kA}$  (KS II),  $L_\sigma = 110 \text{ nH}$

Im Vergleich zwischen einem KS II und KS II ZC zeigt sich noch einmal der Einfluss des Kollektorstromes beziehungsweise des Plasmas vor dem Fehlereintritt auf die Rückkoppelungseffekte, siehe Abbildung 3-24. Im KS II steigt der Spitzenstrom des Kurzschlusses auf  $\sim 16,1 \text{ kA}$  bei knapp  $1 \mu\text{s}$ . Im Gegensatz dazu beträgt  $I_{KS,MAX}$  nur noch 88 % im KS II ZC. Der zweite Kurzschlussfall ohne Laststrom steuert also das Gate weniger weit auf. Nach Überschreiten des Strommaximums

zeigt sich, dass der negative Stromanstieg beim KS II ZC um wenige Prozente geringer ist, als das Pendant beim KS II. Dieser Punkt ist auch sichtbar an der etwas geringeren Überspannung. Jedoch überlagert der Überspannungseingriff die geringere Anhebung des Gatepotentials beim KS II ZC zeitgleich, welches das Ganze in etwa wieder ausgleicht. Nach dem Durchschreiten des Minimums vom Kurzschlussstrom verhalten sich beide Fälle dann nahezu identisch. Beim KS II ZC wurden keine Halbleiterausfälle beobachtet, unabhängig ob eine Rückkopplung des Stromanstiegs verbaut wurde oder nicht. Dies ist in den theoretischen Vorüberlegungen vor den Messungen erwartet worden, da laut Literatur die Stromfilamentierung eher bei hohen Kurzschlussströmen auftritt [67].

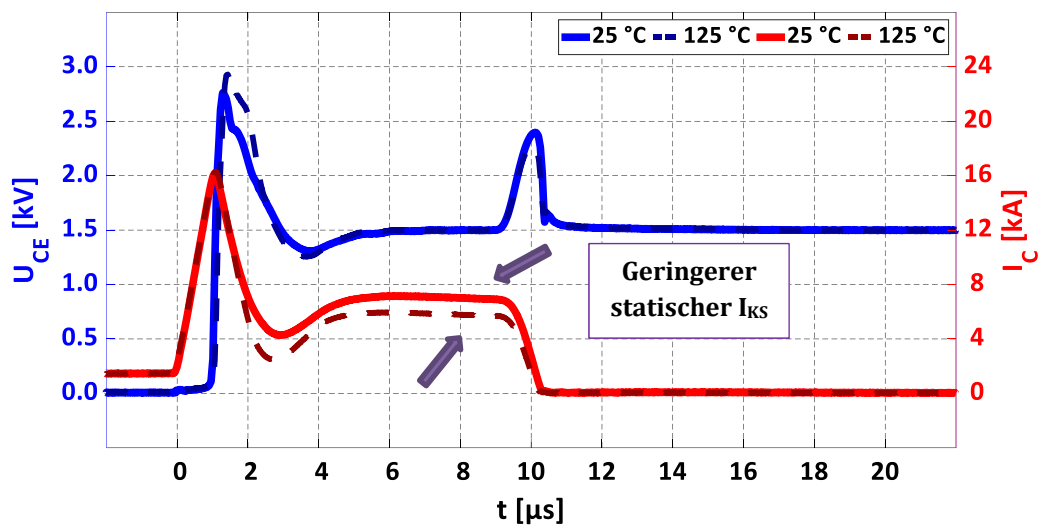


Abbildung 3-25: Variation der Chiptemperatur beim KS II  
gemessen bei  $U_{DC} = 1,5 \text{ kV}$ ,  $I_L = 1,5 \text{ kA}$ ,  $L_\sigma = 110 \text{ nH}$ ,  $T_C = 25 / 125 \text{ °C}$

Die Auswirkungen einer Variation der Chiptemperatur sind nahezu analog zum KS I, vergleiche dazu Abbildung 3-7. Der positive wie negative Stromanstieg während des zweiten Halbleiterfehlers ist praktisch identisch im Vergleich zwischen  $25 \text{ °C}$  und  $125 \text{ °C}$ , siehe Abbildung 3-25. Wie zu erwarten ist, sinkt mit steigender Chiptemperatur die Beweglichkeit der Ladungsträger und daher der stationäre Kurzschlussstrom [104]. Interessanterweise kam es bei  $1,8 \text{ kV}$  und  $125 \text{ °C}$  zu einem Halbleiterversagen, das Fehlerbild ist analog zu der vorherigen Thematik des Halbleiterausfalles im KS II bei hohem Laststrom gewesen. Die obige Messung ist daher, wie schon der niedrige Spitzenstrom aufzeigt, mit einer Rückkopplung des Stromanstiegs durchgeführt worden. Dass es bei erhöhter Chiptemperatur und ansonsten gleichen Bedingungen vor dem Fehlereintritt zu Ausfällen kommen kann, deckt sich mit einer Quelle, die postuliert, dass erhöhte Temperatur die Robustheit im KS II herabsetzt [102]. Jedoch gibt es Literaturquellen, die zu der gegenteiligen These kommen, beispielsweise in [67] oder [84]. Dort heißt es, dass mit steigender Chiptemperatur die Robustheit gegenüber Kurzschlüssen zunimmt. Eine mögliche Begründung ist, dass die in diesen Arbeiten gemachten

Untersuchungen nur den KS I betreffen, jedoch nicht den KS II. Da die bei hoher Temperatur aufgetretene Zerstörung kurz nach Überschreiten der Kurzschlussstromspitze eingetreten ist, spricht das Fehlerbild eher wieder für Stromfilamentierung [96]. Eine genaue Erklärung, warum beim zweiten Kurzschlussfall die höhere Temperatur kritischer zu sein scheint, sollte Gegenstand einer weiteren Arbeit sein.

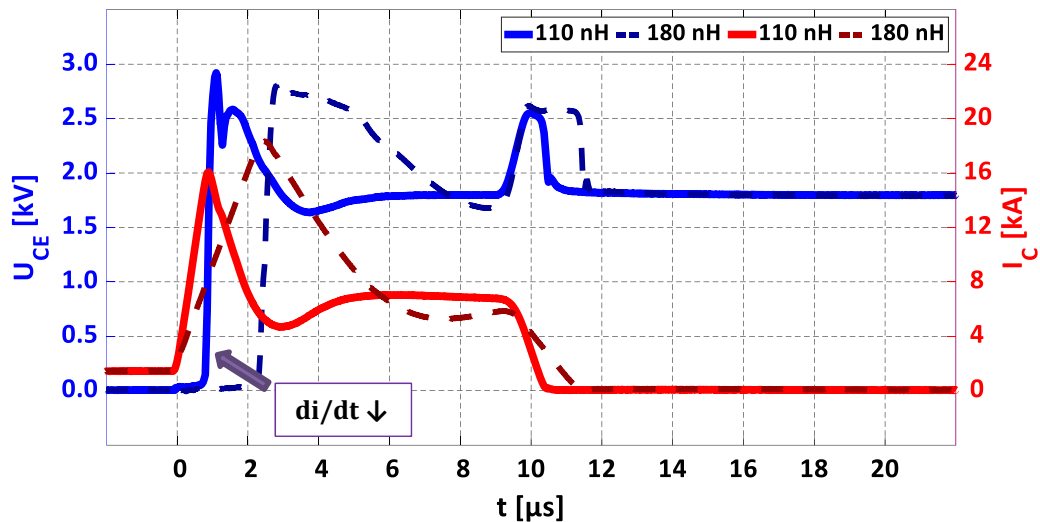


Abbildung 3-26: Variation der Streuinduktivität beim KS II  
gemessen bei  $U_{DC} = 1,8 \text{ kV}$ ,  $I_L = 1,5 \text{ kA}$ ,  $L_\sigma = 110 / 180 \text{ nH}$

Eine Erhöhung der Streuinduktivität führt zu einer Verringerung des Stromanstiegs im KS II, siehe [92] und Abbildung 3-26. Dies hat zur Folge, dass die Rückkopplung durch die Ladungsträgerakkumulation geringer ausfällt und das Gatepotential weniger aufgesteuert wird [100]. Folglich muss der Spitzenwert des Kurzschlussstromes mit steigender Streuinduktivität absinken. Dies steht jedoch scheinbar im Widerspruch zu dem Vergleich aus Abbildung 3-26. Die Ursache für die Abweichung ist, dass das  $di/dt$  bei 180 nH ( $\sim 7 \text{ kA}/\mu\text{s}$ ) nicht ausreicht, um die Rückkopplung des Stromanstiegs zu aktivieren. Die Messung mit 110 nH weist dagegen einen grob um den Faktor 2,5 höheren Wert des  $di/dt$  auf. Dies ist mehr als ausreichend, um die TVS-Dioden durchbrechen zu lassen und das Gatepotential herabzuziehen. Dieser Durchbruch führt zu einer früheren Entsättigung und der Spitzenwert des Kurzschlussstromes ist deutlich niedriger.

Ohne die Gegenkopplung des Stromanstiegs stimmt die Theorie mit der Realität überein; je höher das  $L_\sigma$  ist, desto geringer fällt  $I_{KS,MAX}$  aus, siehe [115] und Abbildung 3-27. Als erste Annahme gilt, dass mehr Streuinduktivität zu einer höheren Überspannung nach dem Entsättigen führt, beispielsweise aufgeführt in [102] oder [122]. Ganz so einfach ist diese These aber nicht, da eine Erhöhung der parasitären Impedanz zugleich die Rückkopplungseffekte reduziert. Die Reduktion des  $du/dt$  lässt sich mit der Plasmaersatzkapazität erklären; je

langsamer sie geladen wird, desto geringer ist der Anstieg. Durch ein geringeres Aufladen des Gatepotentials fällt auch der Self-Turn-Off-Effekt geringer aus und die Überspannung wird abgesenkt. Die Realität liegt irgendwo dazwischen. Mehr  $L_{\sigma}$  sollte die Überspannung erhöhen, das negative  $di/dt$  wird aber auch herabgesetzt und wirkt dies wiederum entgegen. Die hier gemachten Messungen geben auch keine finale Antwort, da die diversen Schutzbeschaltungen in den Verläufen hinsichtlich Klemmung des Gatepotentials und der Kollektor-Emitter-Spannung eingreifen.

Die in der Abbildung 3-27 dargestellte Messreihe zeigt eine positive Entwicklung des Kurzschlussarbeitsbereichs bei Erhöhung der Streuinduktivität, wie sie auch in der Literatur zu finden ist [120]. Interessant ist die Tatsache, dass bei hohen parasitären Induktivitäten der dynamische Spitzenkurzschlussstrom sich dem statischen Wert angleicht. Gut zu sehen ist dies bei der Messreihe mit 4810 nH in Abbildung 3-27. Der Spitzenwert des Kurzschlussstromes beträgt circa 9,2 kA, das statische Pendant 66 % davon. Bei dem Test mit einem  $L_{\sigma}$  von 135 nH ist das Verhältnis auf 28 % gefallen. Eine Quelle führt daher an, dass ein hochinduktiver KS II daher einem KS I entspricht [77]. Dies kann aber nicht stimmen, da im KS II der IGBT vorher meistens mit Ladungsträgern geflutet ist und währenddessen keine Spannung sperrt. Obendrein ist der KS I ein Schaltvorgang, dominiert durch die Steuerschaltung des IGBTs. Ein Nachteil ist aber bei den beiden hochinduktiven Messungen evident, da die Impedanzen von 935 nH geschweige 4810 nH eine sehr hohe Überspannung bis über die Sperrfähigkeit produzieren würden. Daher wurde bei diesen beiden Kurzschlüssen parallel zu einem Großteil der Streuinduktivität eine Freilaufdiode eingebaut (Indikator durch ‘\*’) [16]. Das Problem hierbei ist, neben dem Einsatz eines zusätzlichen Bauteiles, dass diese Diode im Normalbetrieb mit Plasma geflutet sein kann. Sollte ein Kurzschluss unter Beteiligung der Induktivität auftreten, so vollzieht die Diode einen KS IV (Kapitel 3.4). Dadurch wird die Impedanz überbrückt und es erfolgt erst ein niederinduktiver Fehlerfall. Dieses Problem wurde beim Konzept des Advanced-ANPC-Dreipunktumrichters übersehen, vergleiche [50] und [78].

In der Untersuchung aus Abbildung 3-27 wurde der IGBT FZ1500R33HE3 [132] verwendet, und nicht wie bei den meisten anderen Messungen der FZ1500R33HL3 [57]. Erstgenannter ist optimiert auf die Reduktion der Schaltverluste, der andere Typ ist im Gegensatz dazu auf die Senkung der Durchlassverluste ausgelegt. Der verwendete FZ500R33HE3 hat den Arbeitspunkt bei niederinduktiver Streuinduktivität und 1,8 kV überstanden, sein Pendant ist aber in einer Messung mit nahezu gleicher Spezifikation zerstört worden. Eine Arbeit führt dazu die These an, dass durchlassoptimierte IGBTs später als schaltoptimierte Typen entsättigen [103]. Ergo führen sie im Kurzschluss mehr Spitzenstrom, was wiederum zum Problem der Stromfilamentierung führen könnte. Dies



würde dann eher zu den hier vorliegenden Ergebnissen passen, vergleiche Abbildung 3-22 mit Abbildung 3-27.

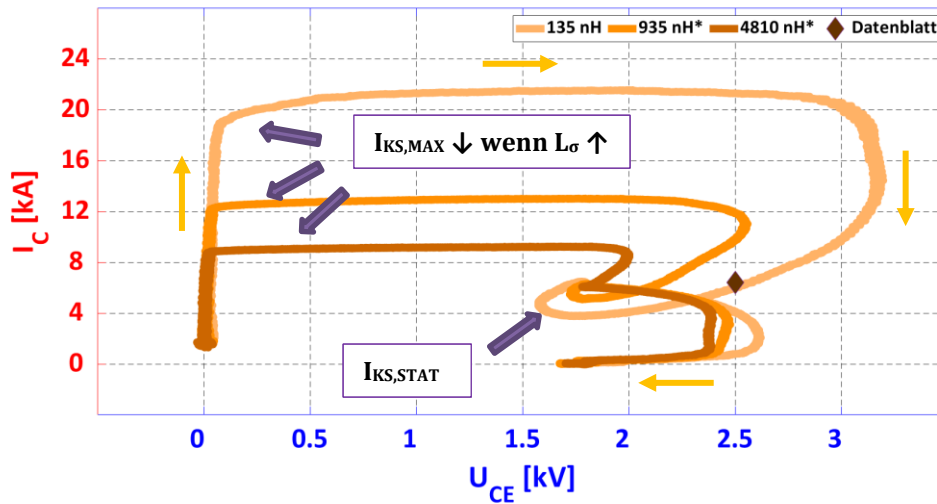


Abbildung 3-27: Kurzschlussarbeitsbereich beim KS II mit variabler Streuinduktivität gemessen bei  $U_{DC} = 1,8 \text{ kV}$ ,  $I_L = 1,5 \text{ kA}$ ,  $L_\sigma = 135 / 935^* / 4810^* \text{ nH}$

Bis dato lässt sich in der Literatur keine eindeutige Aussage finden, dass eine Erhöhung der Streuinduktivität die Robustheit während des KS II erhöht [115] oder verringert [116]. Wie die Messergebnisse in der vorliegenden Arbeit jedoch deutlich zeigen, reduziert eine Vergrößerung der Streuinduktivität im Endeffekt den Spitzenwert des Kurzschlussstromes. In anderen Arbeiten mit hochinduktiven KS II ist in den abgebildeten Messungen dieses Phänomen ersichtlich, auch wenn die Veränderung der Akkumulationsschicht meist nicht als Begründung geliefert wird, beispielsweise in [82] oder [116]. Zum einen ist die Wirksamkeit des Self-Turn-On-Effektes weniger stark. Zum anderen ermöglicht eine längere Zeitdauer zwischen Fehlereintritt und Entsättigung des IGBTs der Schutzbeschaltung, das Gate effektiver zu entladen. Ein weiteres Problem der hohen Streuinduktivität ergibt sich dann beim Abschalten des Kurzschlusses. Die einsetzende Überspannung wird in der Messung aus Abbildung 3-26 durch den Überspannungseingriff wieder abgefangen. Sollte also ein Versagen des IGBTs durch einen zu hohen Kurzschlussstrom im KS II eintreten, so kann gemäß den hier durchgeführten Messungen eine Erhöhung der Robustheit durch mehr Streuinduktivität erzielt werden. Jedoch lässt sich dies auch durch eine bessere Klemmung des Gatepotentials oder einen anderen Halbleiter erreichen.

All die vorher genannten Punkte wie die deutliche Aufsteuerung des Gatepotentials mit folgender Anhebung des Spitzenkurzschlussstromes machen den zweiten Kurzschlussfall zu einer Herausforderung für den IGBT. Die allermeisten Ausfälle in den durchgeführten Messreihen der vorliegenden Arbeit sind auf den KS II zurück zu führen.

### 3.3 Kurzschlussfall III

Mehr als eine Dekade nach der Entdeckung der ersten beiden Halbleiterfehler des IGBTs wurde der dritter Fall im Jahre 2009 entdeckt [23]. Dieser weist zum KS II auf den ersten Blick starke Analogien auf. Die messbaren Unterschiede entstehen dadurch, dass die Diode den Laststrom führt, während der IGBT ‚nur‘ über sein Gate eingeschaltet ist. Er weist jedoch keinen Kollektorstrom auf, da er nicht rückwärts leitfähig ist [68]. Mit Einsetzen des Kurzschlusses kommt es innerhalb des Halbleitermoduls zu einer Kommutierung von der Diode auf den IGBT und er wird somit passiv eingeschaltet [23]. Sobald jedoch die Verläufe von Strom und Spannung von Diode und IGBT während des Kurzschlusses getrennt analysiert werden, lassen sich deutlich messbare Unterschiede zum KS II erkennen [24]. Es kommt dazu, dass die Beanspruchung, die im KS II nur beim IGBT liegt, in Richtung der Diode beim KS III verschoben wird [82]. Zur Verwirrung mag beitragen, dass in manchen Untersuchungen anfänglich der eigentliche KS III als KS II mit Diodeneffekt bezeichnet wurde [6].

Die Abbildung 3-28 zeigt eine Variante für das Auftreten dieses Fehlers im ANPC-Dreipunktumrichters. Während die Schalter  $S_{12}$  und  $S_{31}$  eingeschaltet sind, fließt der positive Laststrom über die Diode  $D_{12}$ , siehe Abbildung 3-28a. Das Durchbrechen von  $S_{11}$  in Abbildung 3-28b leitet den KS III für die Diode ein. Wie beim KS II fällt die Zwischenkreisspannung wiederum über der Streuinduktivität ab und der Kurzschlussstrom steigt an. Wie beim KS II ist der Stromanstieg um mehrere Faktoren höher als beim normalen Einschalten [133]. Circa 150 ns nach dem Fehlereintritt ist der Stromfluss durch die Diode zu null Ampere geworden, siehe Abbildung 3-29. Es erfolgt die modulinterne Kommutierung von der Diode auf den IGBT mit dem Stromnulldurchgang. Zu diesem Zeitpunkt lässt sich in der Messung eine erste Spannungsspitze mit circa 340 V detektieren, welche durch den Forward-Recovery-Effekt verursacht wird [134]. Mit Anstieg des Stromes im IGBT tritt auch umgehend der Self-Turn-On-Effekt wieder auf und steuert das Gate auf. Wie beim KS II wurde anfangs die Anhebung von  $U_{GE}$  in der Literatur auf den Miller-Effekt geschoben [23]. Jedoch ist zwischen  $0,6 \mu\text{s}$  und  $1,4 \mu\text{s}$  das  $du/dt$  gemäß der Messung aus Abbildung 3-29 praktisch null. Dies ist ein weiteres Indiz für das Aufsteuern durch den Self-Turn-On-Effekt und nicht über die Miller-Kapazität. Während des Wirkens des Kurzschlusses in der Diode kann es logischerweise keine Änderung in der Akkumulation von Elektronen und Löchern geben. Folglich ist bis zum Stromnulldurchgang auch keine merkliche Änderung der Gate-Emitter-Spannung messbar. Ab dem Zeitpunkt der Entsättigung bei  $1,6 \mu\text{s}$  bis zum Abschaltvorgang (Abbildung 3-28c) verhält sich dann der KS III vom äußeren Erscheinungsbild hinsichtlich des Verlaufs von Strom und Spannung nahezu wie der KS II ZC, vergleiche Abbildung 3-24 mit Abbildung 3-29.

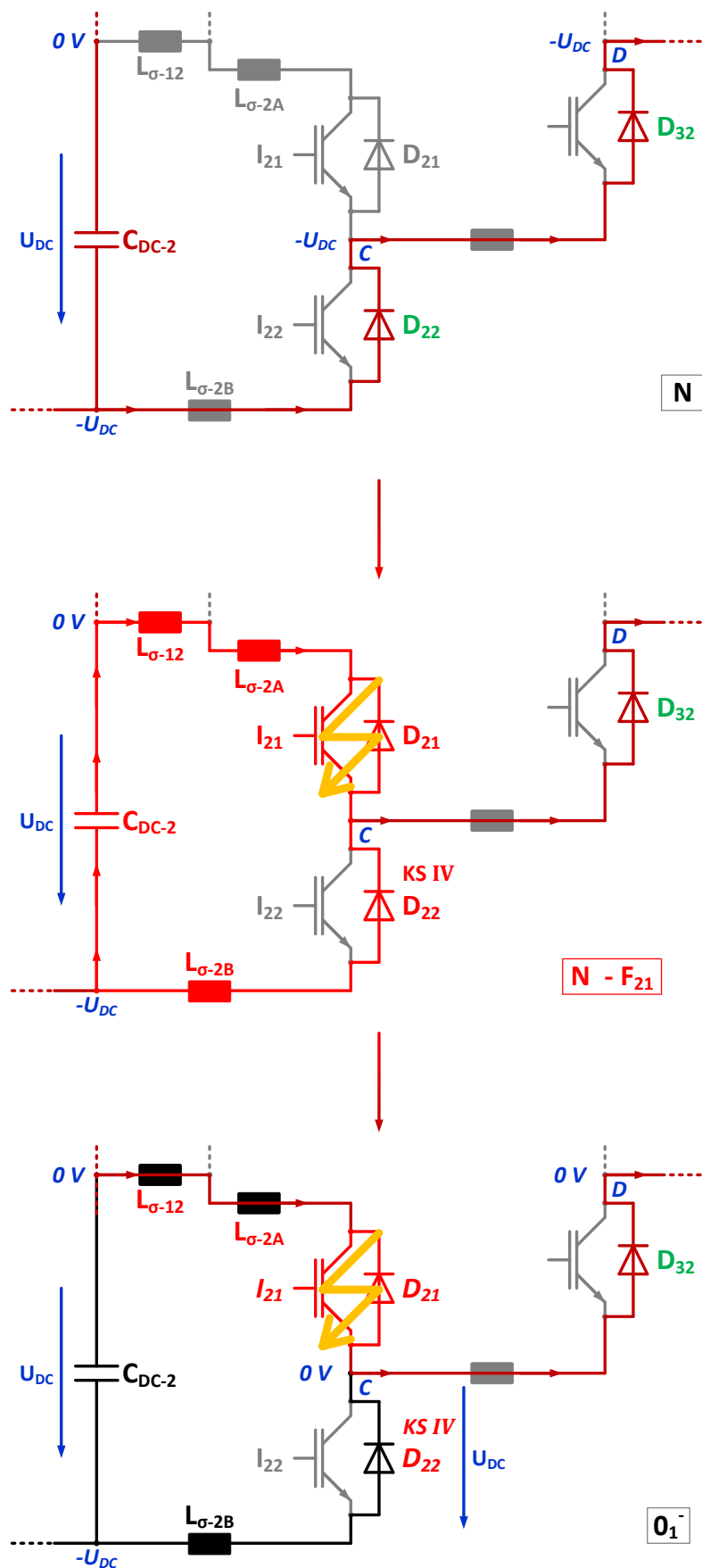


Abbildung 3-28: Hergang des dritten Kurzschlussfalles im ANPC-Dreipunktumrichter

In einigen Arbeiten sind Oszillationen bei der Gate-Emitter-Spannung während des KS III detektiert worden [23]. Als Begründung wird dort der negative Gatestrom durch Rückkopplungseffekte im Entsättigungsvorgang angeführt. Jedoch passt das mit den dort und den hier gemachten Messungen nicht zusammen, da die Schwingungen schon vor dem Entsättigen auftreten, vergleiche dazu [23] und Abbildung 3-29. Ein anderer Erklärungsansatz ist das Einkoppeln von Störungen durch den hochdynamischen Kurzschlussvorgang. In der hier vorgelegten Messung ist vor allem im Bereich des Entsättigens eine Oszillation von ungefähr  $\pm 3,5$  V auf  $U_{GE}$  festzustellen. Dies spricht für eine kapazitive Einkoppelung beziehungsweise einer Beeinflussung des Gatekreises durch das  $du/dt$  von mehr als  $20$  kV/ $\mu$ s.

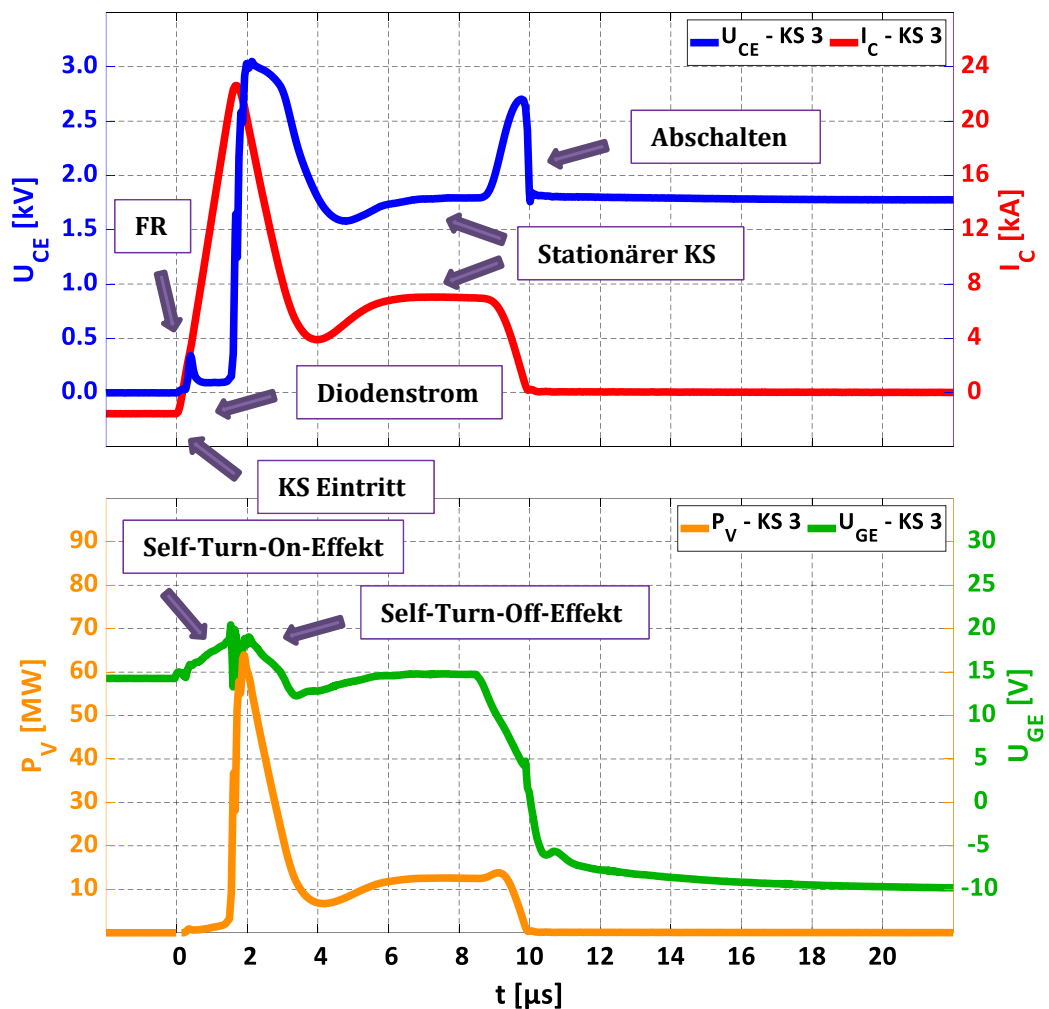


Abbildung 3-29: Messung des dritten Kurzschlussfalles gemessen bei  $U_{DC} = 1,8$  kV,  $I_L = -1,5$  kA,  $L_\sigma = 110$  nH

Zunächst erfolgt eine detailliertere Betrachtung des Forward-Recovery-Effektes [3]. Dieses Phänomen taucht nicht nur beim KS II ZC und KS III auf, sondern ist auch in einem Matrix Umrichter in bestimmten Situationen detektiert worden

[135]. Dort wird der Effekt aber als „passive turn-on“ [deutsch: passives Einschalten] bezeichnet. Eine vereinfachte Erklärung dessen ist, dass es sich beim Forward-Recovery-Effekt um den Spannungsabfall über dem IGBT handelt, bis das Drift-Gebiet mit Ladungsträgern geflutet wird [22]. Durch das eingebrachte Plasma via des einsetzenden Kollektorstromes wird der Widerstand des intrinsischen Bereiches ( $R_n$ ) herabgesetzt und der Spannungsabfall sinkt, siehe Abbildung 3-30 und Kapitel 10.1. Der  $R_n$ -verhält sich daher indirekt proportional zum Plasma im intrinsischen Gebiet. Diese Impedanz wird dabei unter anderem definiert durch die Geometrie des intrinsischen Gebietes, dessen Dotierung und durch die Stromdichte [22]. Dabei gilt, je größer der Stromanstieg ausfällt, desto höher ist auch die Forward-Recovery-Spannung [134]. Dies erklärt sich dadurch, dass in einem kürzeren Zeitraum mehr Strom über den gleichen Widerstand fließt. Sowohl IGBT als auch Diode können auf Grund identischer Strukturen im Drift-Gebiet den Forward-Recovery-Effekt aufweisen [3]. Der Forward-Recovery-Effekt kann auch als Reaktion auf das passive Einschalten des IGBTs gesehen werden [135].

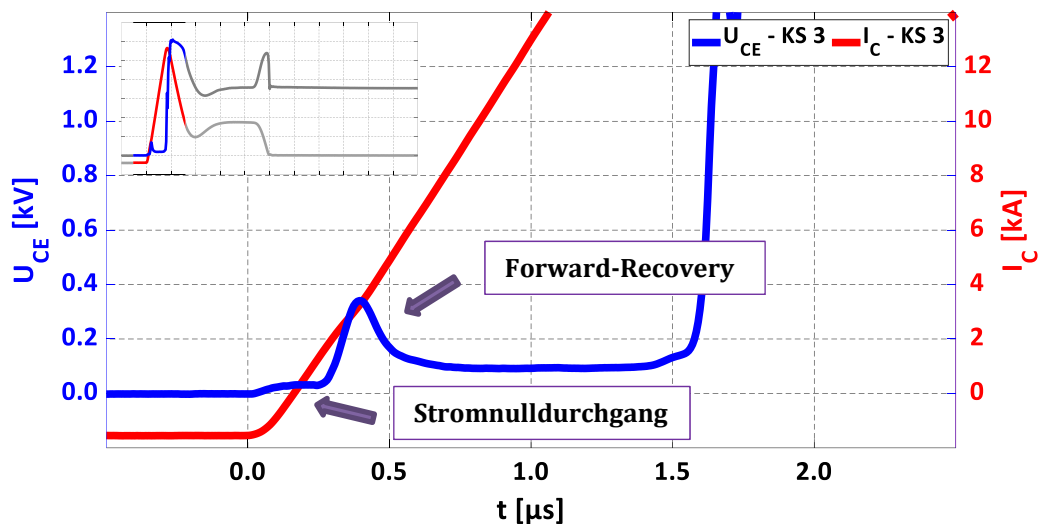


Abbildung 3-30: Auszug vom Beginn des KS III mit dem Forward-Recovery-Effekt

Bei Betrachtung des Verlaufs von dem Kurzschlussstrom aus Abbildung 3-30 zwischen  $0,2 \mu\text{s}$  und  $0,7 \mu\text{s}$ , lässt sich eine mehrmalige Änderung im Stromanstieg feststellen. Der Grund liegt im Spannungsabfall von bis zu  $340 \text{ V}$  in der Spitze bei  $0,4 \mu\text{s}$ . Dieser nicht unerhebliche Abfall über dem IGBT reduziert damit die Spannung über der parasitären Streuinduktivität im selben Maße. Ergo muss das  $di/dt$  kleiner werden. Mit Abnahme der Forward-Recovery-Spannung steigt der Stromanstieg dann wieder an, vergleiche [23] und Abbildung 3-30. Da der Effekt nur in einem sehr kurzen Zeitraum erfolgt, hier für circa  $400 \text{ ns}$ , übt der Forward-Recovery-Effekt nur einen geringen Einfluss auf den KS III aus.

Ein besonderer Aspekt des Forward-Recovery-Effektes ist, dass die Spannung über der Diode deutlich kleiner ausfällt als beim normalen Abschaltvorgang. Daher ist das elektrische Feld geringer und hat sich zwangsläufig unvollständig im Halbleiter ausgebreitet [136]. Als Konsequenz ist das vor dem Fehler in der Diode gelagerte Plasma auch nur zu einem Teil ausgeräumt [82]. Mit dem Eintreten der Entsättigung des IGBTs werden durch die Spannungszunahme an der Diode die restlichen Ladungsträger aus dem Drift-Gebiet entfernt, vergleiche dazu [23], [24] und [102]. Zur Verdeutlichung dieses Effektes und den weiteren Auswirkungen auf Diode und IGBT während des KS III sind in der nachfolgenden Abbildung 3-31 die beiden Halbleiter voneinander separiert worden. Dies wurde durch ein spezielles IGBT-Modul ermöglicht, in dem keine Diodenchips verbaut worden sind. Der IGBT ist vom Typ FZ1500R33HE3 [132] und weicht damit in den Durchlass- und Schaltverlusten zu einem geringen Teil von dem sonst hier eingesetzten Typ FZ1500R33HL3 [57] ab. Die Diodenchips sind in einem separaten Modul parallel zum IGBT angeordnet. Durch diese Anordnung können nun die Ströme durch die beiden Halbleiter getrennt voneinander gemessen werden. Jedoch wird dadurch mehr parasitäre Streuinduktivität zwischen den beiden Halbleitern, verglichen mit einem normalen Modul, eingebracht [82]. Dadurch sind die dann hier durchgeführten Ergebnisse nicht eins zu eins auf den ‚normalen‘ KS III übertragbar. Beispielsweise kann sich ein deutlicher Spannungsunterschied durch die erhöhte parasitäre Impedanz zwischen den zwei parallelen Halbleitern ausbreiten, siehe [24] und Abbildung 3-31. Jedoch liefern sie qualitative Aussagen zum Verhalten der Diode und IGBT in diesem Fehlerfall.

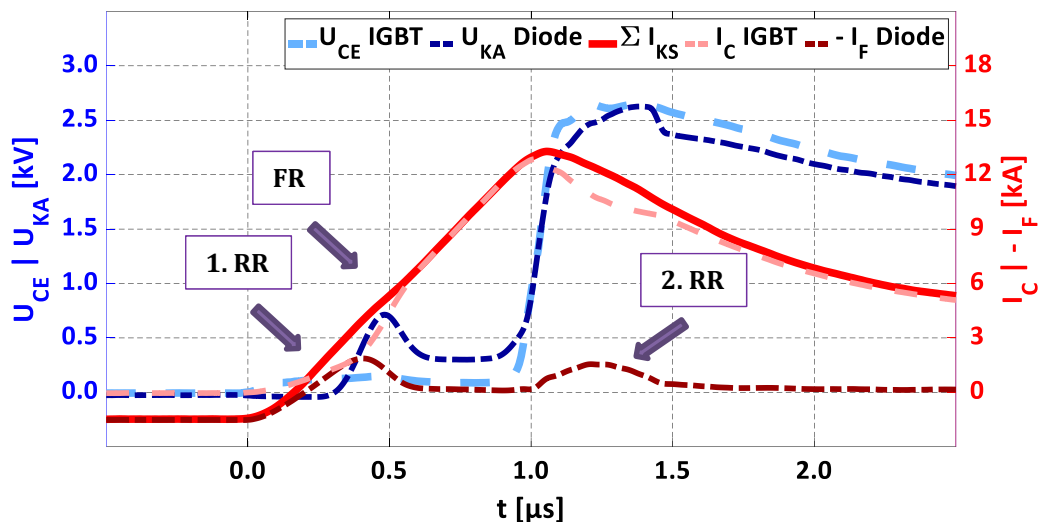


Abbildung 3-31: Messung von Diode und IGBT separat im KS III gemessen bei  $U_{DC} = 1,8 \text{ kV}$ ,  $I_L = -1,5 \text{ kA}$ ,  $L_\sigma = 125 \text{ nH}$

Mit der Messung aus Abbildung 3-31 zeigt sich, dass nur vom äußeren Erscheinungsbild her sich der KS III und der KS II nach dem Stromnulldurchgang ähneln, jedoch nicht innerhalb eines Moduls auf Ebene der Chips. Der erste Effekt, der bei

der getrennten Stromführung sichtbar ist, zeigt, dass weniger als 100 ns nach Fehlereintritt im IGBT schon Strom fließt, obwohl die Diode noch nicht den Stromnulldurchgang erreicht hat [24]. Eigentlich müsste der von der Diode verursachte Spannungsabfall einen Kollektorstrom verhindern. Die Ursache für den beobachteten Effekt liegt in der Streuinduktivität zwischen dem IGBT und dessen antiparalleler Freilaufdiode [82]. Der hohe Stromanstieg des einsetzenden Kurzschlusses kann bei entsprechend großem  $L_{\sigma}$  eine so starke Gegenspannung verursachen, dass die Durchlassspannung der Diode überkompensiert wird [24]. Somit wird dann dem IGBT ermöglicht, Strom zu führen. Dieser Effekt tritt immer weniger zu Tage, wenn die Streuinduktivität zwischen den Chips sehr klein gehalten wird, wie es in einem ‚normalen‘ Modul eher der Fall ist [81]. Diese Tatsache erklärt auch, warum der Forward-Recovery-Effekt hier nicht so stark ausgeprägt ist, wie beim ‚normalen‘ KS III in Abbildung 3-29. Der IGBT führt nahezu von Beginn an Strom und der dazugehörige Anstieg fällt relativ gering aus, welches die Forward-Recovery-Spannung reduziert [134].

Mit der Kommutierung des Diodenstromes bei  $0,2 \mu\text{s}$  in Abbildung 3-31 wechselt der Kurzschlussstrom vermehrt von der Diode auf den IGBT über und das gespeicherte Plasma wird innerhalb der Diode ausgeräumt. Dieser Rückwärtsbetrieb der Diode, bei dem freie Ladungsträger vor allem aus der intrinsischen Zone ausgeräumt werden, firmiert auch unter der Bezeichnung *Reverse-Recovery-Effekt (RR)* [3]. Die freien Ladungsträger werden auch als Sperrverzögerungsladung bezeichnet [4]. Die Diode baut ihr Plasma ab (*1. RR*) und der IGBT füllt den fehlenden Anteil zum Kurzschlussstrom auf, welches gut sichtbar bei  $0,4 \mu\text{s}$  in Abbildung 3-31 und dem Kurzschlussarbeitsbereich aus Abbildung 3-32 ist. Das heißt, die Stromanstiege innerhalb des Moduls unterscheiden sich anfänglich von der äußerlich messbaren Steigerung des Kurzschlussstromes, welcher durch die gesamte Streuinduktivität determiniert wird, deutlich [24]. Das Ausräumen der freien Ladungsträger aus der Drift-Zone führt zu einem Anstieg der Kathoden-Anoden Spannung bis  $\sim 650 \text{ V}$ . Da der parallel geschaltete IGBT jedoch eingeschaltet ist, verhindert dieser eine zu hohe Spannungsaufnahme der Diode. Die Differenz zwischen  $U_{CE}$  und  $U_{KA}$  beruht wieder auf der induktiven Impedanz zwischen IGBT und Diode in dem Spezialaufbau [24]. Dadurch verhindert der IGBT, dass die Diode ihr Plasma signifikant ausräumen kann. Der Stromanstieg in der Diode nimmt deutlich ab und das  $di/dt$  des IGBTs nähert sich der übergeordneten Steigung des KS III an, siehe Abbildung 3-31 bis  $0,6 \mu\text{s}$ .

In dem Moment, indem der IGBT ab  $1,0 \mu\text{s}$  entsättigt, nimmt die Spannung über ihm zu. Auf Grund der parallelen Anordnung der Halbleiter im Modul erfährt diese Spannungsänderung auch die Diode und sie beginnt ihr restliches Plasma nun auszuräumen (*2. RR*) [133]. Die Belastung der Diode zu diesem Zeitpunkt fällt damit sehr hoch aus. Dies könnte in der Diode zu einem Stromfilament führen [137], welcher jedoch in keiner der hier durchgeführten Messungen eingetreten

ist. Das Laden der Plasmaersatzkapazität beider Halbleiter definiert den Spannungsanstieg, siehe [24] und Kapitel 10.1. Dies ist ein weiterer Unterschied zum KS II, bei dem nur das Verhalten des IGBTs das  $du/dt$  bestimmt. Mit steigendem Diodenstrom nimmt zwangsläufig der Kollektorstrom durch den IGBT wieder ab, sichtbar von  $1,0 \mu\text{s}$  bis  $1,5 \mu\text{s}$  in Abbildung 3-31. Das  $di/dt$  der Diode führt durch die Streuinduktivität zwischen ihr und dem IGBT wieder zu einem Spannungsunterschied zwischen  $U_{KA}$  und  $U_{CE}$ . Sobald die freien Ladungsträger komplett ausgeräumt sind, führt wieder der IGBT allein den Kurzschluss, vergleiche dazu die Abbildung 3-31.

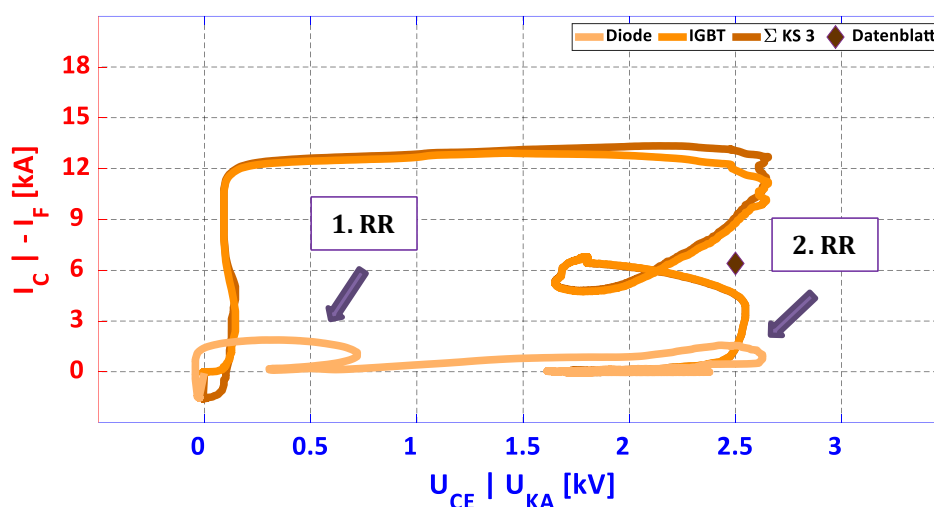


Abbildung 3-32: Kurzschlussarbeitsbereich beim KS III mit getrennter Diode und IGBT gemessen bei  $U_{DC} = 1,8 \text{ kV}$ ,  $I_L = -1,5 \text{ kA}$ ,  $L_\sigma = 125 \text{ nH}$

Beim zweiten Reverse-Recovery-Effekt der Diode wurde in Simulationen und Messungen auch manchmal das Auftreten eines Avalanche-Effektes in der Diode beobachtet [24]. In Ausnahmesituationen kann es sogar dazu kommen, dass der Avalanche der Diode kurzzeitig für den ganzen Kurzschlussstrom sorgt und der Strom durch den IGBT zu null Ampere wird [24]. Im Vergleich des insgesamt ausgeräumten Plasmas der Diode zwischen ihrem normalen Abschaltvorgang (vergleiche Abbildung 3-36) und dem KS III (siehe Abbildung 3-31) zeigt sich, dass die freien Ladungsträger im Kurzschluss eine höhere Gesamtanzahl aufweisen. Das ist ein Indiz für das Auftreten des Avalanche-Effektes im KS III für die Diode in dieser Messung. Einen endgültigen Beleg würde eine Simulation des Bauteiles hinsichtlich des elektrischen Feldes im Kurzschluss ergeben [136]. Zum Problem wird der eintretende Avalanche aber erst dann, wenn sich in dieser Situation ein Stromfilament ausbildet [133]. Dann kommt es zum Halbleiterdurchbruch und der ganze Kurzschlussstrom fließt durch die Diode. Jedoch muss ein Avalanche nicht zwangsläufig zum Filament führen [133].



Die Variation der Zwischenkreisspannung ergibt ein ähnliches Bild wie beim KS II und wird daher an dieser Stelle nicht weiter ausgearbeitet. Eine Erhöhung von  $U_{DC}$  vergrößert den Stromanstieg mit Einsetzen des Fehlerfalles. Infolgedessen steuert das Gate mittels Rückkopplungseffekten weiter auf und der Spitzenwert des Kurzschlussstromes steigt an. Wie vorher schon postuliert wurde, verursacht ein größeres  $di/dt$  einen stärkeren Forward-Recovery-Effekt [134]. Auch gilt, dass ein Anheben von  $U_{DC}$  das Auftreten des Avalanche-Effektes wahrscheinlicher macht [133].

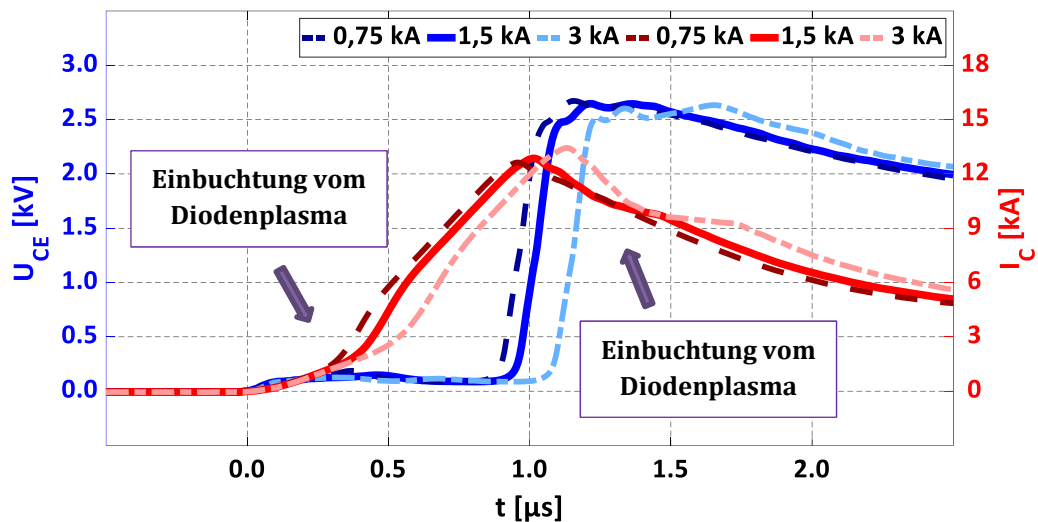


Abbildung 3-33a: Auszug bei Variation des Laststromes im KS III für den IGBT

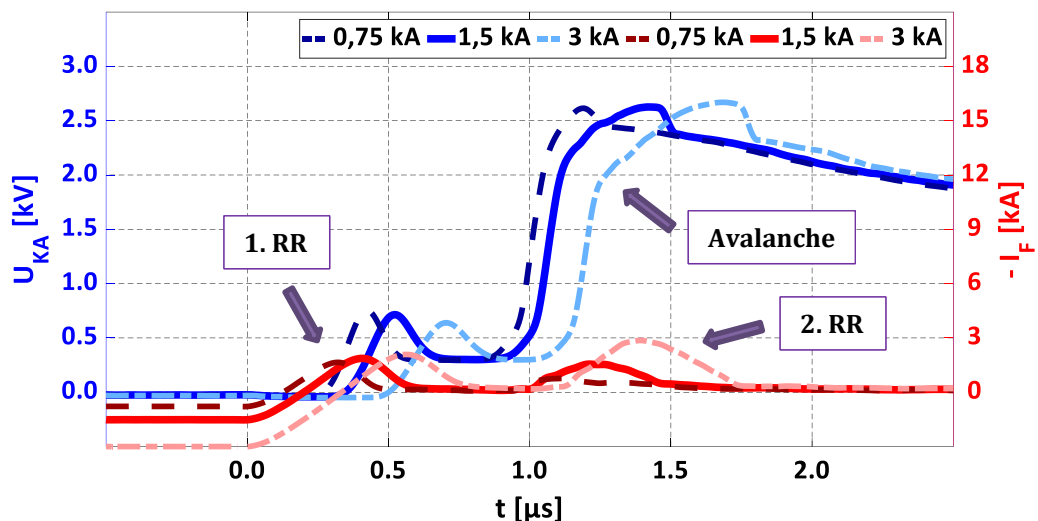


Abbildung 3-33b: Auszug bei Variation des Laststromes im KS III für die Diode  
alles gemessen bei  $U_{DC} = 1,8 \text{ kV}$ ,  $I_L = -0,75 / -1,5 / -3 \text{ kA}$ ,  $L_\sigma = 125 \text{ nH}$

In der Literatur wurde schon beobachtet, dass die Höhe des Kurzschlussstromes im KS III geringer ist, als im KS II [23]. Dadurch, dass auf Grund des

Verhaltens der Diode der IGBT zeitweise einen geringeren Stromanstieg hat, sollte sich der Self-Turn-On-Effekt weniger stark auswirken. Obendrein führt der IGBT keinen Strom vor dem Fehler und weist damit kein Plasma auf. Gemäß den Erkenntnissen aus dem Kapitel 3.2 verringert dies auch den Rückkopplungseffekt weiter. Wie die in dieser Arbeit gemachten Messungen zeigen, reduziert sich der Spitzenstrom vom KS II zum KS III bei gleichen Testbedingungen (der Laststrom ist nur invers geführt) um mindestens 5 %. Diese Reduktion an sich ist gering, hat aber in den hier angestellten Untersuchungen ausgereicht, dass kein IGBT durch einen KS III ausgefallen ist, während dies beim KS II mitunter der Fall war, vergleiche dazu Kapitel 3.2. Mit steigendem Laststrom durch die Diode steigt konsequenterweise auch die Menge des Plasmas, welches im KS III wieder ausgeräumt werden muss, siehe Abbildung 3-33b. Dabei nimmt der Spitzenwert des ersten Reverse-Recovery-Effektes mit Zunahme des  $I_L$  von -0,75 kA zu -3 kA um etwas mehr als 25 % zu. Zusätzlich erhöht sich die Dauer des Ausräumens der Ladungsträger um nahezu 60 %. Dadurch, dass mehr Ladungsträger ausgeräumt werden, ist der negative Stromanstieg reduziert. Da die Plasmaersatzkapazität dieselbe bleibt, ist der Spannungsanstieg folglich herabgesetzt, siehe Abbildung 3-33b im Bereich von 0,2  $\mu$ s bis 0,7  $\mu$ s. Mit der Zunahme der freien Ladungsträger, die in den beiden Reverse-Recovery-Vorgängen in der Diode ausgeräumt werden, verringert sich zeitweise der Stromanstieg des IGBT, siehe Abbildung 3-33. Je mehr sich Plasma in der Diode befindet, desto geringer ist zeitweise der Anteil des IGBTs am Kurzschlussstrom. Bei einem Stromfluss von 3 kA vor dem Fehlereintritt zeigt sich beim zweiten Reverse-Recovery-Vorgang der Diode bei knapp 2 kV eine deutliche Änderung des Spannungsanstiegs durch den Avalanche.

Ein Effekt durch ansteigenden Laststrom in der Diode ist auf den ersten Blick nicht erklärbar. Der Spitzenwert des Kurzschlussstromes nimmt dadurch zu, siehe Abbildung 3-33a. Der IGBT führt vor dem Kurzschluss keinen Strom, also fallen die Rückkopplungseffekte geringer aus. Darüber hinaus führt das Ausräumen von mehr Plasma aus der Diode nach dem Stromnulldurchgang dazu, dass sich das  $di/dt$  des IGBTs deutlich verringert, siehe Abbildung 3-33a ab 0,3  $\mu$ s. Deshalb ist der Self-Turn-On-Effekt bei einem höheren Laststrom im KS III verringert. Zusammengefasst ergibt sich daher die Hypothese, dass ein steigender Diodenstrom vor dem Kurzschluss einen gleichen oder sogar niedrigeren Spitzenstrom des Kurzschlusses erzeugen sollte. Jedoch passiert genau das Gegenteil. Bei einer Anhebung des Laststromes vor dem Fehlereintritt von -0,75 kA auf -3 kA steigt das Maximum des Kurzschlussstromes um fast 10 % an. Die Ursache darin liegt schlussendlich an dem erhöhten Diodenplasma, das während des ersten Reverse-Recovery-Effektes ausgeräumt wird. Wie vorher beschrieben, reduzieren mehr freie Ladungsträger vor dem Fehlerfall den Stromanstieg des IGBTs im KS III. Als Resultat wird die Schwelle, bei dem die Rückkoppelung des Stromanstiegs eingreifen würde, nicht überschritten. Mit Aussetzen des

Ausräumens der Ladungsträger steigt das  $di/dt$  im IGBT signifikant an und löst damit die Schutzbeschaltung zur Begrenzung des Stromanstiegs aus. Das Gate wird aktiv nach unten gezogen, vergleiche Kapitel 3.2. Je mehr Plasma ausgeräumt wird, desto später geschieht auch der Eingriff zur Reduktion des Spitzenstromes. Der Zeitpunkt der Entsättigung wird dadurch weiter nach hinten geschoben. Der IGBT steuert sein Gate mehr auf und der maximale Kurzschlussstrom steigt an, siehe Abbildung 3-33a.

Die Auswirkungen einer erhöhten Chiptemperatur sind bis auf zwei Ausnahmen analog zu den Erkenntnissen aus dem Abschnitt zum KS II. Zum einen erhöht sich der Forward-Recovery-Effekt bei einem aufgeheizten IGBT [134]. Zum anderen kommt es durch ein höheres  $T_j$  bei gleichem Laststrom zu mehr Ladungsträgern im Halbleiter [138]. Infolgedessen nehmen die beiden Reverse-Recovery-Effekte mit steigender Chiptemperatur zu.

Die Veränderungen durch die Variation der Streuinduktivität beim KS III sind im Vergleich zum KS II auch eher marginal. Hervorzuheben ist der Punkt, dass ein geringer Stromanstieg bei erhöhtem  $L_\sigma$  zu einem geringeren Forward-Recovery-Effekt führt [134]. Zusätzlich ergibt sich ein verlangsamtes Ausräumen des Diodenplasmas durch den reduzierten Anstieg des Kurzschlussstromes. Daher entlastet eine Reduktion des Stromanstiegs die Diode [5]. Alle anderen Merkmale, wie beispielsweise das spätere Eintreten der Entsättigung [16], sind dann wieder analog zum KS II.

### 3.4 Kurzschlussfall IV

Zuerst noch als KS III bezeichnet [77], führt der ausgeschaltete IGBT vor dem Fehlereintritt dazu, dass sich das Verhalten des KS IV [5] deutlich von den anderen drei Fehlern unterscheidet. Dieser reine Kurzschluss der Diode wird dominiert durch die Plasmaersatzkapazität [25] und dem Spannungsabfall über der Streuinduktivität [78]. Tatsächlich ist ein Großteil des Verhaltens der Diode im KS IV schon durch ihr Auftreten im KS III vorweggenommen worden. Das Einleiten des Kurzschlussereignisses, siehe Abbildung 3-34, führt dazu, dass der Strom in der Diode absinkt und kurze Zeit später einen Stromnulldurchgang erfährt. Anschließend wird der Kurzschlussstrom, wie anfänglich beim KS III, durch das Ausräumen des Plasmas in der Diode gespeist. Gemäß der Plasmaersatzkapazität wird mit Entnahme von Ladungsträgern eine Spannungsaufnahme verursacht [25]. Dies wiederum reduziert den Spannungsabfall über  $L_\sigma$  und der Stromanstieg wird reduziert. In der Messung zum KS IV ist jedoch eine Zeitdifferenz zwischen dem Stromnulldurchgang und dem Anstieg der Diodenspannung von etwas mehr als 100 ns messbar, siehe Abbildung 3-35. Die Ursache liegt darin, dass ein elektrisches Feld sich erst im Bauteil ausbreiten kann, wenn ein Teil der freien Ladungsträger aus dem Drift-Gebiet ausgeräumt wurde. Konkret bedeutet dies, dass das Plasma am p-n-Übergang auf null zurückgeführt werden muss, um eine Feldentstehung zu ermöglichen [3].

Erreicht die aufgenommene Spannung den Wert der Zwischenkreisspannung, kann die parasitäre Streuinduktivität keinen Stromanstieg mehr verursachen. Dabei erreicht der Scheitelwert des Kurzschlussstromes, also das Maximum des Reverse-Recovery-Stromes, 2,8 kA bei 0,4  $\mu$ s, siehe Abbildung 3-35. Der Ladungsträgerberg ist nicht symmetrisch um den Spitzenwert verteilt. Die Ursache hierfür wird auf das Auftreten eines dynamischen Avalanche-Effektes während des KS IV zurückgeführt. Ab circa einem  $U_{KA}$  von 1,3 kV ist eine messbare Reduktion des Spannungsanstieg zu beobachten, welches ein typisches Anzeichen für einen Avalanche ist [66]. Dieser Effekt generiert zusätzliche freie Ladungsträger, welche das zeitgleich stattfindende Ausräumen des Plasmas reduzieren [25]. Da das Plasma danach weiter ausgeräumt wird, erfolgt ein negativer Anstieg des Kurzschlussstromes und es kommt zur typischen induktiv verursachten Überspannung am Bauteil [78]. Sobald die freien Ladungsträger komplett ausgeräumt sind, versiegt der Kurzschlussstrom. Das heißt, im Gegensatz zu allen drei vorherigen Kurzschlussfällen endet der KS IV von selbst, außer die Diode bricht währenddessen durch. Im Vergleich zum ersten Ausräumen des Plasmas im KS III nach dem dortigen Stromnulldurchgang sind hier die freien Ladungsträger zahlreicher. Die Ursache ist das fehlende Eingreifen des IGBTs, welches im KS III das vollständige Ausräumen zuerst bis zu seiner Entsättigung unterbindet, vergleiche dazu Abbildung 3-31 mit Abbildung 3-35.

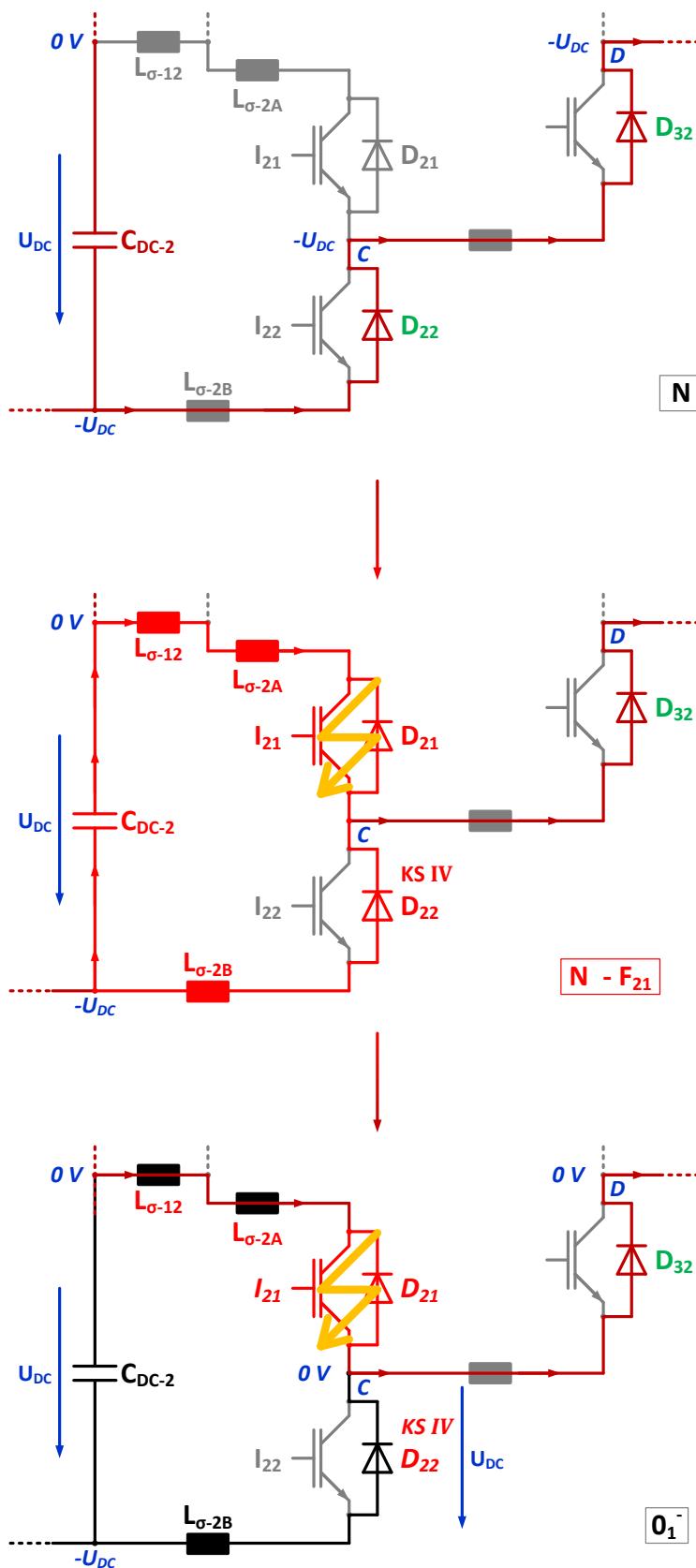


Abbildung 3-34: Hergang des vierten Kurzschlussfalles im ANPC-Dreipunktumrichter

Es gibt zwei mögliche Ursachen für den KS IV. Bei der ersten Variante führt vor dem Fehlereintritt die Diode den Laststrom und auf Grund der Verriegelungszeit zum Schutz gegen Querschüder in der Halbbrücke [4] ist der antiparallele IGBT noch nicht eingeschaltet [5]. In der zweiten Option kommt es bei induktiven Lasten am Umrichter dazu, dass nach dessen Abschalten der Laststrom für einige Zeit über die Freilaufdioden weiter fließt, vergleiche [3] und Abbildung 3-34a (Zustand  $N_F$  – negatives Potential im Freilauf). Die Dioden  $D_{22}$  und  $D_{32}$  leiten und das Ausgangspotential der Phase liegt zwangsläufig bei  $-U_{DC}$ . Bricht der Schalter  $S_{21}$  dann durch, erfährt  $D_{22}$  einen Kurzschluss der vierten Art, siehe Abbildung 3-34b. Nach Ausräumen ihres Plasmas ist der Fehlerfall unterbunden worden [5]. Der Freilaufpfad springt auf den zerstörten Schalter  $S_{21}$  über und verbleibt weiterhin bei  $D_{32}$ , siehe Abbildung 3-34c.

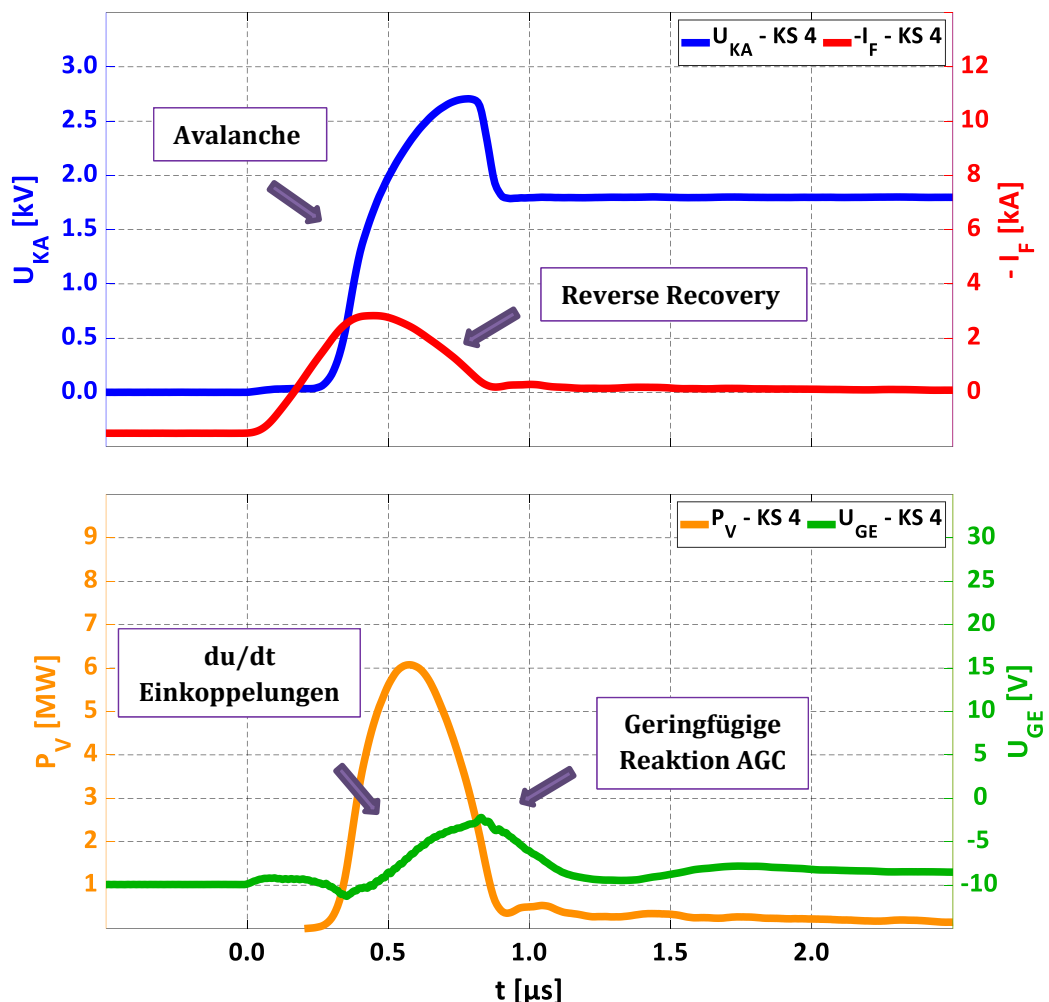


Abbildung 3-35: Messung des vierten Kurzschlussfalles  
gemessen bei  $U_{DC} = 1,8 \text{ kV}$ ,  $I_L = -1,5 \text{ kA}$ ,  $L_\sigma = 125 \text{ nH}$

Wird der ‚normale‘ Ausschaltvorgang der Diode mit dem KS IV verglichen, dann fallen mehrere Unterschiede auf, siehe Abbildung 3-36. Der Kurzschluss

findet im Zeitraum binnen einer Mikrosekunde statt. Der Ausschaltvorgang dagegen über mehrere Mikrosekunden, da er vom IGBT gesteuert wird [52]. Ein schnelleres Schalten des IGBTs und damit indirekt der Diode würde zu der Gefahr des Auftretens eines Avalanches und vermehrten Schaltverlusten führen [3]. Im Grunde genau die Probleme, welche dann beim KS IV letztendlich eintreten. Der Spitzenwert des Kurzschlussstromes wird in etwa bei Erreichen der Zwischenkreisspannung erreicht. Dagegen liegt im Ausschaltvorgang das Maximum des Reverse-Recovery-Stromes nur bei der Hälfte von  $U_{DC}$ , siehe Abbildung 3-36. Da das Plasma im KS IV viel schneller ausgeräumt wird, denn der Stromanstieg ist deutlich höher, ist eben jener Spitzenwert des Reverse-Recovery-Stromes auch mehr als 200 % größer als im Ausschaltvorgang. Da die Gesamtmenge der freien Ladungsträger vor Fehlereintritt beziehungsweise Einleitung des Abschaltens in beiden Fällen identisch ist, müsste auch die Menge des ausgeräumten Plasmas gleich sein. Jedoch verursacht das Auftreten des Avalanches eine Vergrößerung der Ladungsmenge, siehe Abbildung 3-36. Aufgrund dessen ist beim KS IV der maximale Wert der Schaltverlustleistung um einen Faktor von zehn höher. Der Kurzschluss als Ausnahmesituation stellt eine härtere Belastung für die Diode dar als der normale Ausschaltvorgang [78]. Es kann die Gefahr bestehen, dass es zu einer Stromfilamentierung im Bauteil beim KS IV kommt [139]. Ein Ausfall durch diesen Effekt wurde hier aber in den über 50 Messungen nicht festgestellt.

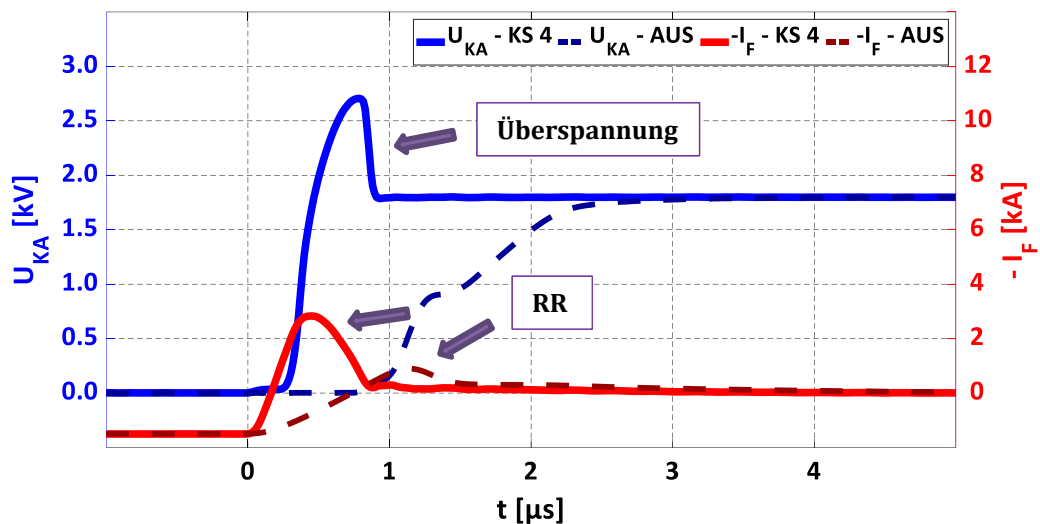


Abbildung 3-36: Vergleich KS IV (durchgezogen) mit Ausschaltvorgang (gestrichelt) gemessen bei  $U_{DC} = 1,8 \text{ kV}$ ,  $I_L = -1,5 \text{ kA}$ ,  $L_\sigma = 125 \text{ nH}$

Wie auch schon in den vorherigen Kurzschlussfällen führt eine höhere Zwischenkreisspannung zu einem Anstieg des Stromanstiegs, siehe Abbildung 3-37. In einer Quelle wurde beobachtet, dass der Spitzenwert des Kurzschlussstromes mit Erhöhung von  $U_{DC}$  ansteigt, jedoch ohne dort auch eine Begründung für diese Beobachtung zu liefern [5]. Die Erklärung ist einfach der höhere Stromanstieg im Zusammenspiel mit dem Ausräumen der Plasmaersatzkapazität. Da der Last-

strom in allen drei dargestellten Fällen identisch ist, muss dies auch die Menge des Plasmas innerhalb der Diode sein. Je steiler das  $di/dt$  ausfällt, desto kürzer aber umso höher fällt der Reverse-Recovery-Effekt dann aus. Jedoch passt diese Erklärung nicht ganz mit den hier gemachten Messungen zusammen, da mit steigender Zwischenkreisspannung auch die Menge an ausgeräumtem Plasma zunimmt. Die Ursache hierfür liegt wiederum in dem Auftreten des Avalanche-Effektes, siehe Abbildung 3-37 ab  $0,35 \mu\text{s}$ . Dieser führt mit steigender Spannung zur Erzeugung von mehr zusätzlichen Ladungsträgern.

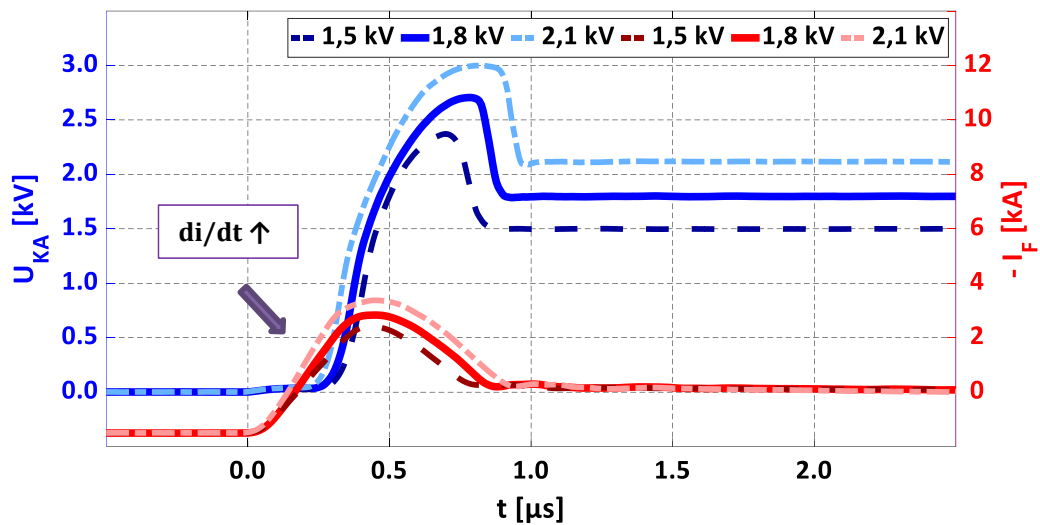


Abbildung 3-37: Variation der Zwischenkreisspannung beim KS IV gemessen bei  $U_{DC} = 1,5 / 1,8 / 2,1 \text{ kV}$ ,  $I_L = -1,5 \text{ kA}$ ,  $L_\sigma = 125 \text{ nH}$

Die Variation des Laststromes vor dem Fehlereintritt in der Diode führt zu einer proportionalen Änderung des gespeicherten Plasmas, siehe [4] und Abbildung 3-38. Der Ladungsträgerberg, der nach dem Stromnulldurchgang aus dem Drift-Gebiet ausgeräumt werden muss, erhöht sich deutlich mit zunehmendem Laststrom vor dem Fehlerfall. Infolgedessen nimmt auch die Dauer des KS IV zu, siehe Abbildung 3-38. Es zeigt sich, dass mit mehr Ladungsträger durch einen größeren Laststrom in der Diode der Eintritt des Avalanche-Effektes verstärkt auftritt [66]. Die Ursache liegt darin, dass mehr Löcher beim Ausräumen des erhöhten Plasmas durch das elektrische Feld wandern und damit die Feldaufsteilung verstärken [3]. Dagegen kann es zum Auftreten von einem Stromabriss in der Diode bei einem geringen Laststrom kommen [78]. Dieses Ereignis verursacht eine sehr hohe Überspannung und ist ein einziges Mal in den Messungen zum KS IV aufgetreten.



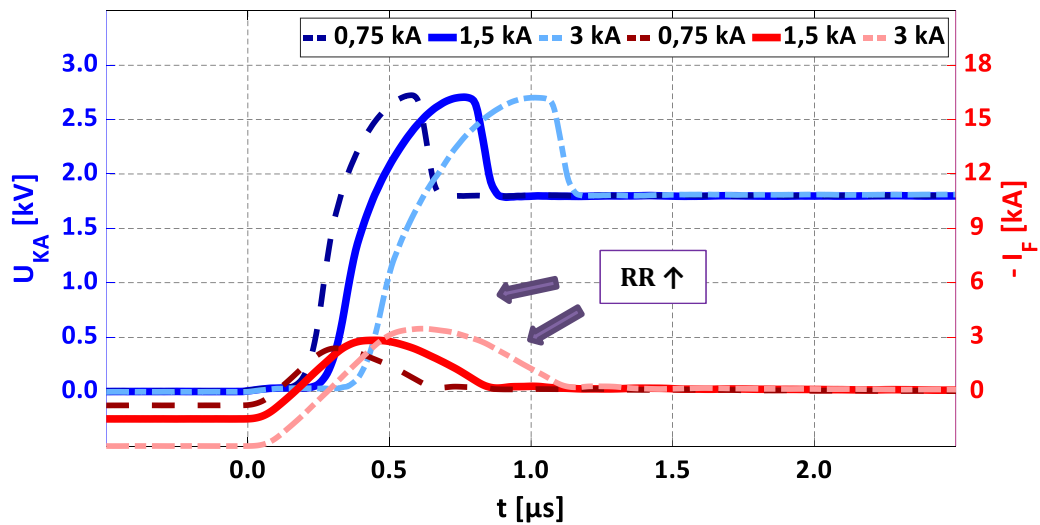


Abbildung 3-38: Variation des Laststromes im KS IV  
gemessen bei  $U_{DC} = 1,8 \text{ kV}$ ,  $I_L = -0,75 / -1,5 / -3 \text{ kA}$ ,  $L_\sigma = 125 \text{ nH}$

Die Variation der Chiptemperatur führt nahezu zu denselben Erkenntnissen im KS IV wie bei der Diode im KS III. Eine höhere Temperatur bedeutet beim gleichen Laststrom automatisch mehr Plasma im Bauteil [138]. Infolgedessen fällt der Ladungsträgerberg größer aus, siehe Abbildung 3-39. Nach Eintreten des Avalanche-Effektes ist die Reduktion des Spannungsanstiegs gemäß der Messung bei hoher Chiptemperatur größer als bei der niedrigeren. Daher ist die Überspannung bei  $125 \text{ °C}$  auch etwas geringer (weniger als 5 %) im Vergleich zu dem Wert bei  $25 \text{ °C}$ . Ansonsten gibt es in den Verläufen von Strom und Spannung keine weiteren Effekte durch eine Temperaturerhöhung im KS IV festzustellen.

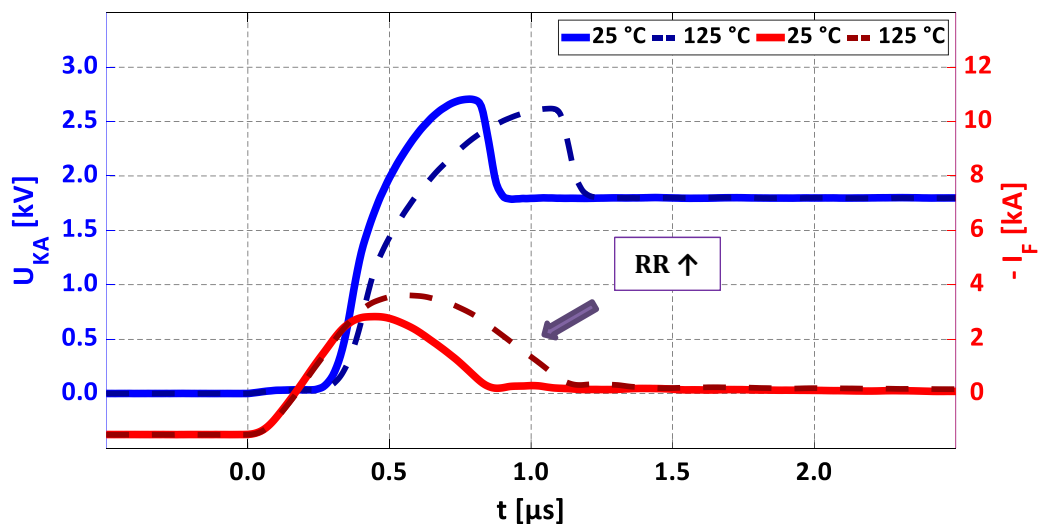


Abbildung 3-39: Variation der Chiptemperatur beim KS IV  
gemessen bei  $U_{DC} = 1,8 \text{ kV}$ ,  $I_L = -1,5 \text{ kA}$ ,  $L_\sigma = 125 \text{ nH}$ ,  $T_c = 25 / 125 \text{ °C}$

Eine Erhöhung der Streuinduktivität verringert den Stromanstieg im KS IV, siehe [78] und Abbildung 3-40. Die Menge des Plasmas innerhalb der Diode ist unabhängig von der Variation des  $L_\sigma$ , so lange der Avalanche-Effekte nicht in Erscheinung tritt. Durch das geringere  $di/dt$  mit steigender Streuinduktivität muss sich der Spitzenwert des Kurzschlussstromes verringern. Als Konsequenz nimmt damit aber die Dauer des KS IV zu, da immer noch die gleiche Menge an Plasma ausgeräumt werden muss, siehe Abbildung 3-40. Derselbe Effekt wurde im Vergleich zwischen dem KS IV und dem ‚normalen‘ Abschalten der Diode beobachtet, siehe Abbildung 3-36.

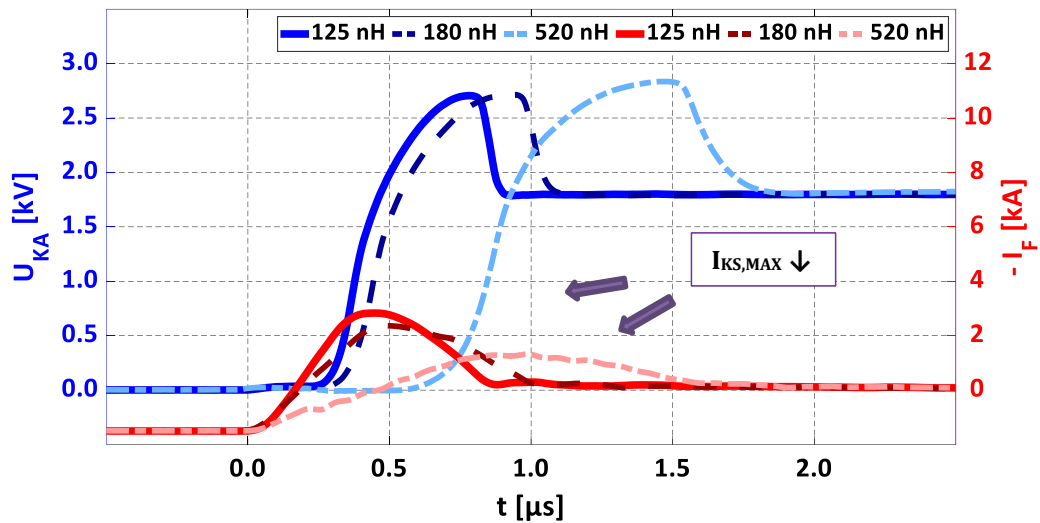


Abbildung 3-40: Variation der Streuinduktivität im KS IV  
gemessen bei  $U_{DC} = 1,8 \text{ kV}$ ,  $I_L = -1,5 \text{ kA}$ ,  $L_\sigma = 125 / 180 / 520 \text{ nH}$

Die Plasmaersatzkapazität dominiert den Spannungsanstieg während des Entladens der freien Ladungsträger im KS IV [25]. Die Überspannung ist bei den drei unterschiedlichen Streuinduktivitäten in der Messreihe nahezu gleich. Das heißt, in dem Maße, wie das  $L_\sigma$  erhöht wird, wird zugleich der negative Stromanstieg verringert. Dazu kommt noch das Auftreten des dynamischen Avalanches, der den Spannungsanstieg merklich verringert.

Einen interessanten Effekt erzeugt der Einsatz einer Schutzbeschaltung zur Begrenzung der Überspannung, wie sie auch schon im KS II eingesetzt wurde. Ab einer Zwischenkreisspannung von 2,1 kV schafft es der Überspannungseingriff, die Gate-Emitter-Spannung sicher über die Schwellenspannung des IGBTs zu ziehen, siehe Abbildung 3-41. Infolgedessen steuert der Halbleiter auf und beginnt Strom zu führen. Die Spitzenspannung bricht mit Übernahme des Kurzschlussstromes durch den IGBT auf einen Wert in der Nähe der Zwischenkreisspannung ein. Als Konsequenz wird das Plasma der Diode nicht ganz ausgeräumt, siehe Abbildung 3-41.

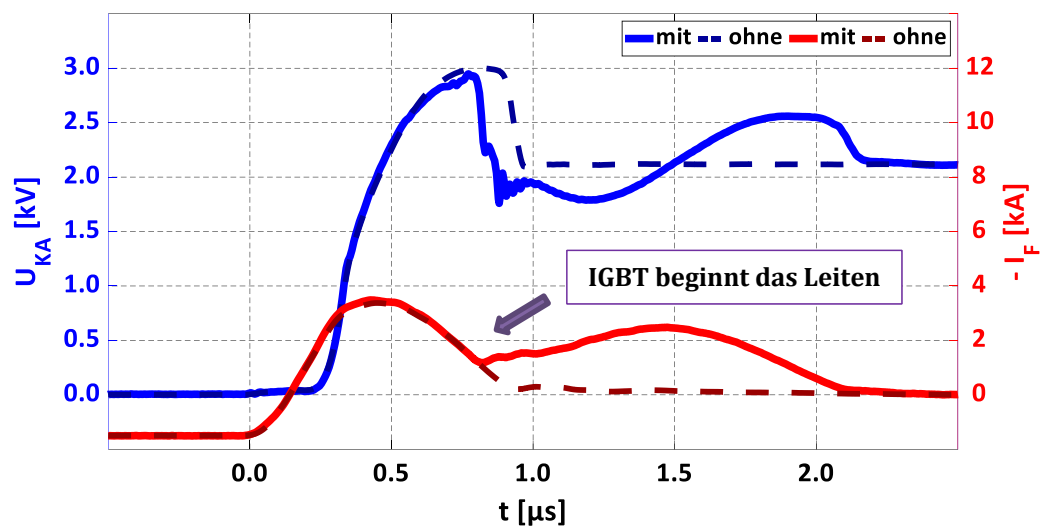


Abbildung 3-41: Aufsteuern des IGBTs im KS IV durch Schutzbeschaltung mit Spannungsbegrenzung (mit) im Vergleich zum KS IV ohne Eingriff (ohne) gemessen bei  $U_{DC} = 2,1 \text{ kV}$ ,  $I_L = -1,5 \text{ kA}$ ,  $L_\sigma = 125 \text{ nH}$

Da der IGBT durch die Schutzbeschaltung im aktiven Bereich gehalten wird, definiert der Halbleiter die Stromzunahme [3]. Mit Unterschreiten der Schwellenspannung der Schutzbeschaltung hört der Ladungsfluss zum Gate wieder auf und der Treiber entlädt den IGBT. Dieser reduziert seinen Stromfluss und es kommt zur zweiten Überspannung. Mit Unterschreiten seiner eigenen Schwellenspannung hört der IGBT auf zu leiten. Die Diode führt danach so lange den Kurzschlussstrom, bis der Rest ihres Plasmas auch ausgeräumt ist. Dieses Phänomen stellt im Grunde betrachtet einen KS IV mit nachgelagerten KS I dar, da der IGBT auf einen bestehenden Kurzschluss bei hoher Kollektor-Emitter-Spannung einschaltet. Der Fall KS IV mit nachgelagertem KS I stellt für den IGBT eine vergleichsweise geringe Belastung dar. Jedoch zeigt das Beispiel aus Abbildung 3-41, wie stark Schutzbeschaltungen das Verhalten eines Halbleiterfehlers beeinflussen können.

## 4 Plasma induzierte Kurzschlüsse

Die vier vorher beschriebenen Kurzschlüsse im Kapitel 3 sind im Zweipunktumrichter entdeckt worden. Die nachfolgend vorgestellten zwei Halbleiterfehler, ermöglicht durch Restplasma im Bauteil, können dort jedoch normalerweise auf Grund einer Bedingung nicht existieren. Sei es für den Kurzschluss im IGBT oder der Diode, das Bauteil darf nach Abschalten des Stromes keine Spannung aufnehmen [26]. Dadurch wird erreicht, dass das Plasma vom Leitvorgang weiterhin in der Drift-Zone verbleibt [27]. Voraussetzung für diese spezielle Situation ist ein Umrichter, bei dem ein festes Gleichspannungspotential über zwei verschiedene Pfade an den Phasenausgang gelegt werden kann [26]. Der ANPC-Dreipunktumrichter bietet mit seinen beiden Null-Volt-Pfaden (entweder via  $S_{12}$  &  $S_{31}$  oder via  $S_{21}$  &  $S_{32}$ ) genau diese Struktur. Es muss jedoch nicht zwingend ein Nullpotential sein, es könnten je nach Aufbau des Umrichters auch positive oder negative Potentiale sein, Hauptsache es gibt zwei Pfade für das gleiche Spannungslevel. Ein Beispiel dafür liefert der NPC-Fünfpunktumrichter, der auch  $\pm U_{DC} / 2$  über jeweils zwei Zweige liefern kann [140].

Das Wechseln von einem Null-Volt-Pfad auf den anderen im ANPC-Dreipunktumrichter, ohne dass dabei Bauteile Spannung aufnehmen, ist in der Literatur auch als Nullspannungskommütierung [englisch: zero voltage commutation (ZVC)] bekannt [58]. Genau genommen stimmt die Bezeichnung nicht ganz, denn die Reduktion des Stromes im Abschaltvorgang führt zu einer induktiv erzeugten Überspannung, welche an dem Halbleiter anliegt, siehe Abbildung 4-1. Infolgedessen bildet sich im Bauteil kurzzeitig ein elektrisches Feld aus, das jedoch in der Höhe weit von demjenigen entfernt ist, welches in einem normalen Abschaltvorgang vorhanden wäre. Als Resultat kommt es bei der Nullspannungskommütierung zu einem Teilausräumen des Plasmas [58].

Eine weitere Option wird durch Umrichter ermöglicht, die mittels eines Schwingkreises einen Abschaltvorgang machen, bei dem der Halbleiter ohne zeitgleicher Spannungsaufnahme ausgeschaltet wird [134]. Diese Art des Schaltvorganges ist auch bekannt unter der Bezeichnung *zero voltage switching*. Ein positiver Effekt ist dadurch die Reduktion der Schaltverluste, negativ schlägt der benötigte Schwingkreis zu Buche [4]. Auch bei diesem speziellen Schaltvorgang ist kurzzeitig Plasma im abgeschalteten Halbleiter, bis Spannung im nächsten Schritt angelegt wird [134].

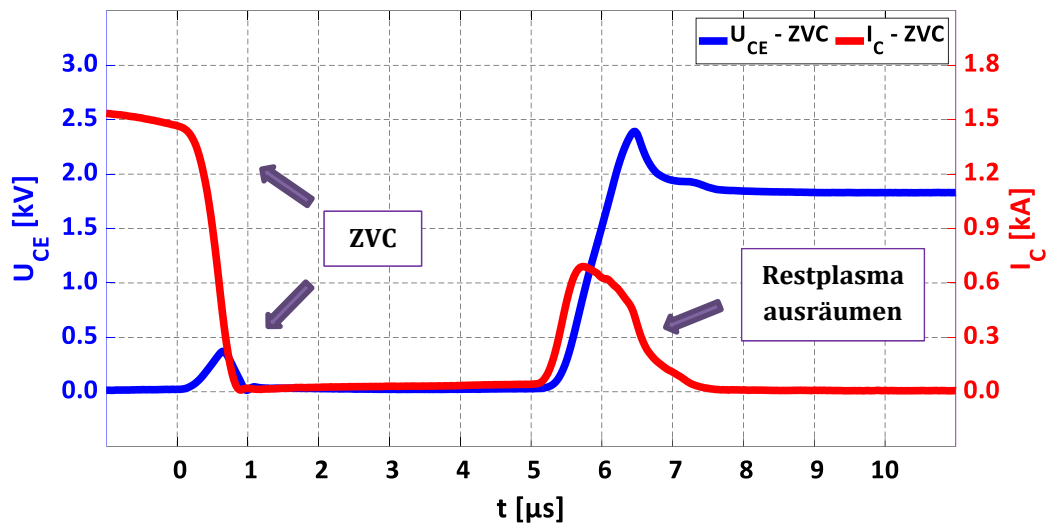


Abbildung 4-1: Nullspannungskommütierung für den IGBT bei  $0 \mu\text{s}$ , weiterer Schaltvorgang führt zu Spannungsaufnahme und Plasmaausräumung ab  $5 \mu\text{s}$

Unabhängig von den vorgestellten Varianten zum Einbringen der freien Ladungsträger ist ihr Ausräumen genauso von Bedeutung. Das Plasma kann dabei über drei Arten aus dem Bauteil entfernt werden:

- Durch einen weiteren Schaltvorgang wird am entsprechenden Halbleiter Spannung angelegt und das Plasma wird entfernt.
- Die freien Ladungsträger rekombinieren im Verlaufe der Zeit im Halbleiter [138]. Wird lange genug gewartet, ist kein Plasma mehr in der Drift-Zone vorhanden. In den in dieser Arbeit verwendeten Halbleitern dauert dies bis zu mehreren hundert Mikrosekunden [26]. Diese Zeit hängt dabei unter anderem von der Dotierung des Bauteiles, der Größe der Drift-Zone, der vorher eingebrachte Ladungsmenge und vor allem der Ladungsträgerlebensdauer ab [3].
- Bricht der gegenüberliegende serielle Schalter in der Halbbrücke durch, kommt es zum Zwangsenträumen der freien Ladungsträger. Erstmals wurde der Plasmakurzschluss für den IGBT, der sogenannte KS V, im Jahre 2016 beschrieben [27]. Ein Jahr später wurde das Pendant für die Diode vorhergesagt [16] und dann 2018 via Messungen dessen Existenz bestätigt [26]. Auf Grund des größtenteils ähnlichen Verhaltens des Diodenplasmafehlers zum KS IV wurde die Neuentdeckung als vierter Halbleiterfehler ohne Laststrom betitelt (KS IV ZC). Die Bezeichnung „ZC“ in KS IV ZC steht wiederum für die englische Bezeichnung „zero current“, also „Nullstrom“ oder „ohne Laststrom“, analog zu dem KS II ZC aus dem Kapitel 3.2.

## 4.1 Kurzschlussfall IV ohne Laststrom

Zum Beginn dieser Arbeit tauchte gleichzeitig zum ersten Mal die Beschreibung des Plasmakurzschlusses vom IGBT in der Literatur auf [27]. Daher war der Ansatz, dass es ein ähnliches Phänomen auch für die Diode als bipolares Bauteil mit Plasma in der Drift-Zone während des Leitvorganges geben muss, siehe Abbildung 4-2. Eine ausführliche Analyse der Schaltvorgänge im ANPC-Dreipunktumrichter und dessen Struktur ergaben dann die Bestätigung, dass dieser spezielle Kurzschluss auch für die Diode existiert [26]. Ein möglicher Verlauf an Schaltvorgängen zum Erreichen des KS IV ZC ist in Abbildung 4-3 dargestellt. Ausgehend vom Zustand  $0_{1+}$ , bei dem der Laststrom durch  $D_{12}$  und  $I_{31}$  fließt (Abbildung 4-3a), kommt es zuerst zum Wechsel auf  $N_1$  mit eventuellen Zwischenschritten über  $0_{1-}$  und  $0^{\pm}$  (Abbildung 4-3b). Dadurch wird aus dem IGBT das Plasma durch Änderung des Potentials an seinem Emitter entfernt. Ein Rücksprung auf  $0_{1-}$  sorgt dafür, dass über  $I_{31}$  keine gefährliche Spannung im Fehlerfall abfallen kann (Abbildung 4-3c). Ein Durchbruch von  $S_{11}$  sorgt dann für den Eintritt des Kurzschlusses für  $D_{12}$  bei noch vorhandenem Restplasma (Abbildung 4-3d). Sind keine freien Ladungsträger mehr vorhanden, beispielsweise durch Überschreiten der Rekombinationszeit, kommt es nur zu einem kapazitiven Spannungssprung über dieser Diode inklusive Verschiebestrom.

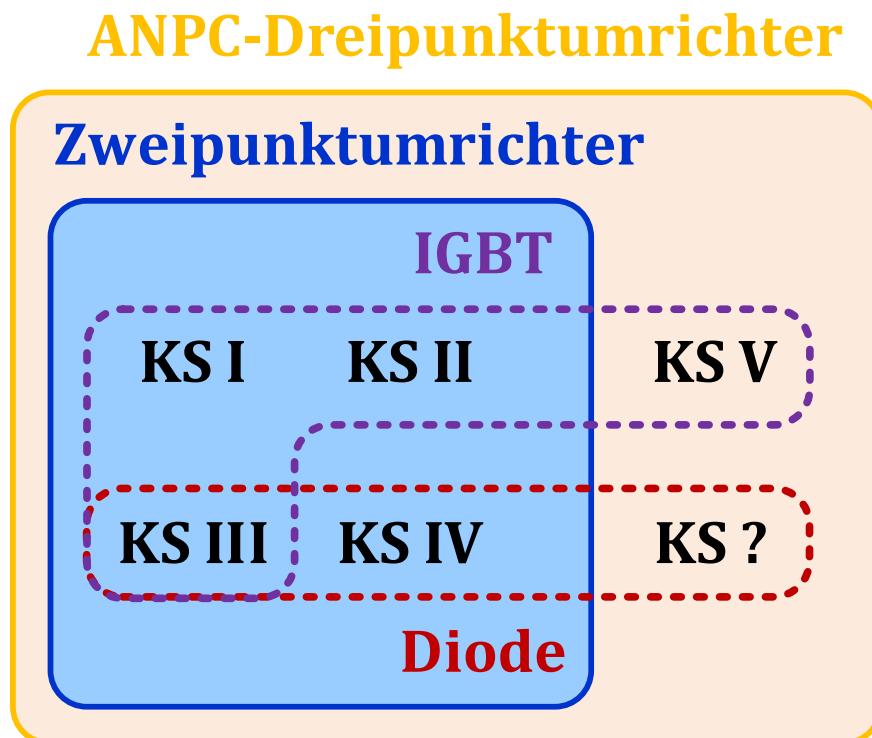


Abbildung 4-2: Theorie zum fehlenden Kurzschlussfall

Grundsätzlich ist festzuhalten, dass es äußerst schwierig ist, einen Fehlerfall im ANPC-Dreipunktumrichter zu finden, bei dem nur ein einzelner der beiden Plasmakurzschlüsse auftaucht [29]. Meist haben vor dem Fehlereintritt zwei Halbleiter noch freie Ladungsträger in ihrem Drift-Gebiet, welches dann zu parallelen Kurzschluss Szenarien führt, vergleiche dazu die Kapitel 6.2 und 6.3. Weiterhin kann es auch passieren, dass andere Fehlertypen während oder nach dem Plasmakurzschluss in Erscheinung treten [30]. Ein Beispiel wird in der Quelle zum KS IV ZC unabsichtlich selbst aufgeführt [26]. Dort wird die Phase vom Zustand  $0_{1+}$  auf  $N_1$  gewechselt. Dadurch verbleibt nur noch Plasma in  $D_{12}$ . Ein Ausfall von  $S_{11}$  zwingt die Diode zu einem KS IV ZC, jedoch führt auch die Spannungszunahme über ihr zu einer gefährlichen Überspannung für den Halbleiter  $S_{31}$ . Infolgedessen kommt es zu einem Überspannungskurzschluss, vergleiche dazu [31] und das Kapitel 7.3. Es ist also kein reiner Plasmakurzschluss mehr, ein Fakt, den die Quelle dort übersehen hatte [26].

Bevor auf die Beschreibung des Fehlerfalles eingegangen werden kann, muss noch eine begriffliche Definition vorgenommen werden. Zwischen dem Abschalten des Halbleiters, ohne dass dieser nennenswert Spannung übernimmt, und dem Durchbruch eines seriell gelegenen zweiten Bauteils, kann eine gewisse Zeitdifferenz bestehen [26]. Diese ist in der Literatur auch als Zeitverzögerung des Plasmakurzschlusses bekannt ( $t_{D,KS}$ ). In der Messung des KS IV ZC aus Abbildung 4-4 liegt ein Wert von  $15 \mu\text{s}$  zwischen der Nullspannungskommütierung und dem Fehlereintritt vor. Im verwendeten ANPC-Teststand sind keine Zeiten unterhalb dieses Wertes möglich gewesen. Die Ursache dafür liegt zum einen in den Verriegelungszeiten, um Querschüder zwischen ab- und gerade einschaltenden IGBTs zu vermeiden [4]. Zum anderen ist es wichtig, dass die Bauteile vollständig und gleichmäßig mit Ladungsträgern geflutet sind. Andernfalls kann es zu Oszillationen bei den Schaltvorgängen kommen [4]. Aus diesen beiden Gründen war es daher unmöglich, die Zeitverzögerung  $t_{D,KS}$  unter  $15 \mu\text{s}$  zu bekommen.

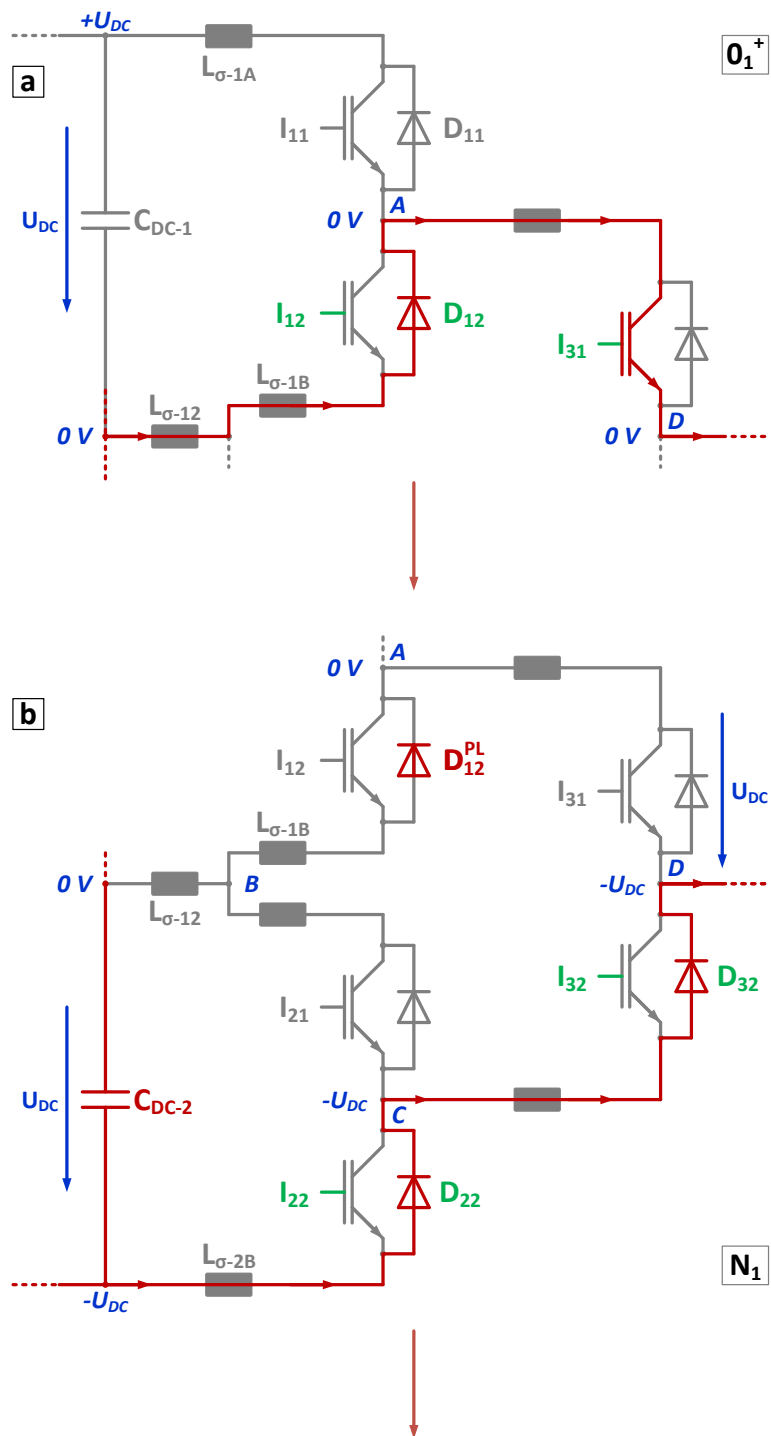


Abbildung 4-3: Erster Teil zur möglichen Variante vom Auftreten des reinen Plasma-kurzschlusses der Diode im ANPC-Dreipunktumrichter



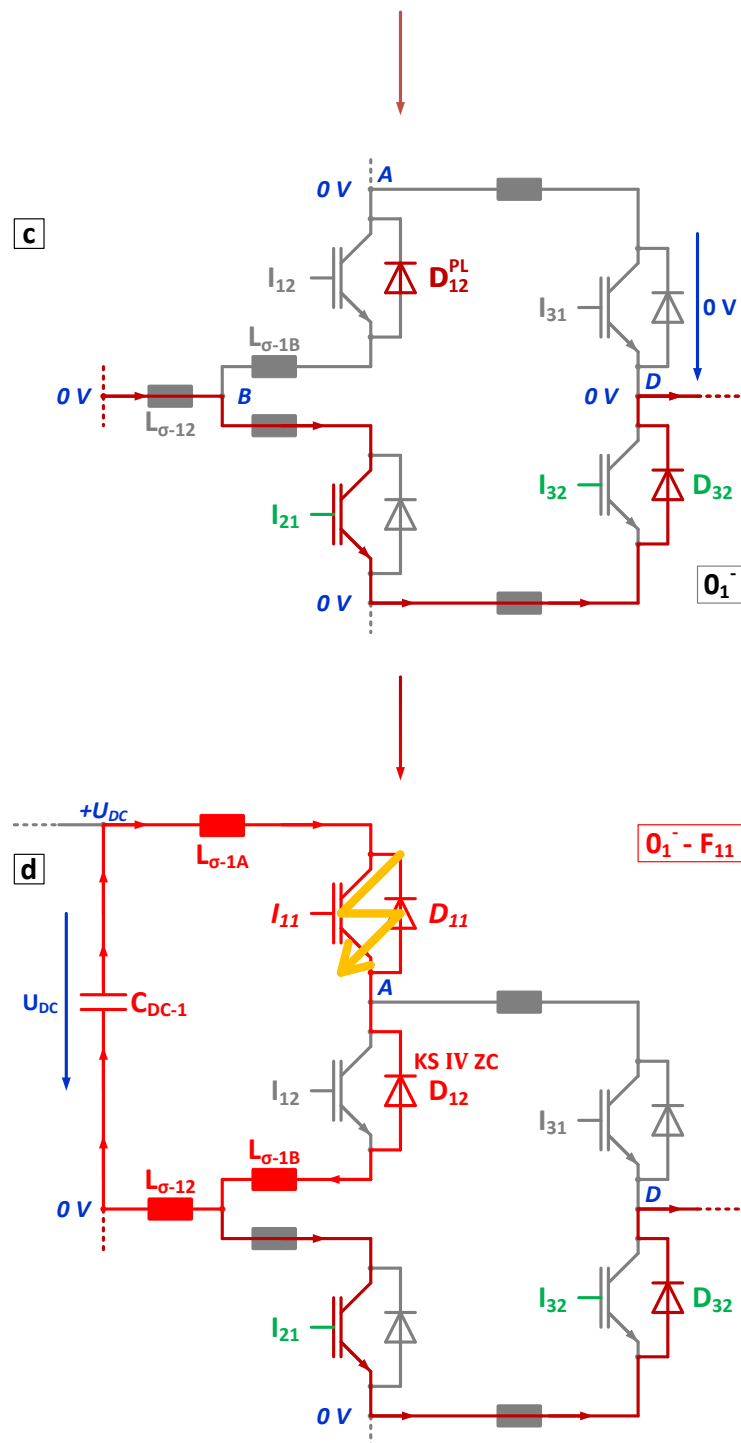


Abbildung 4-3: Zweiter Teil zur möglichen Variante vom Auftreten des reinen Plasma-kurzschlusses der Diode im ANPC-Dreipunktumrichter

Die Messung aus Abbildung 4-4 zeigt deutlich, dass vor Eintritt des Kurzschlusses weder Spannung über der Diode anliegt noch Strom durch sie hindurchfließt. In der intrinsischen Zone liegt dabei eine Ladungsträgerneutralität vor [3]. Das heißt, der Anteil an Elektronen wie Löchern ist gleich, weil genau diese Bedingung im leitenden Zustand der Diode vorgegeben war [18]. Da sich die Zusam-

mensetzung der freien Ladungsträger mit dem spannungslosen Abschalten des Halbleiters nicht merklich ändert, gilt dies auch bis zum Eintritt des Kurzschlusses [26]. Der Fehlereintritt bei  $0 \mu\text{s}$  führt zur sofortigen Stromzunahme, determiniert durch den Spannungsabfall über der Streuinduktivität des Stromkreises [26]. Wie beim KS IV auch, kann die Diode erst Spannung aufnehmen, wenn ein Teil der Ladungsträger aus dem intrinsischen Gebiet ausgeräumt ist. Das heißt, eine Ausbreitung des elektrischen Feldes um die Anode herum findet erst statt, wenn dort das Plasma abgebaut worden ist. Dies erklärt den Zeitversatz zwischen Strom- und Spannungszunahme von etwas mehr als  $40 \text{ ns}$  in Abbildung 4-4. Dabei fließen wie beim normalen Abschalten die Elektronen aus dem Plasmaberg zum Kollektor und die Löcher zur Anode ab, vergleiche [4] und das Ersatzschaltbild der Diode aus Kapitel 10.1. Das Abbauen der freien Ladungsträger führt dann zum Anstieg der Spannung, das bestimmt wird durch die Plasmaersatzkapazität. Dies führt wiederum zu einer Reduktion des Spannungsabfalles über der Streuinduktivität und verringert damit dann das  $di/dt$ .

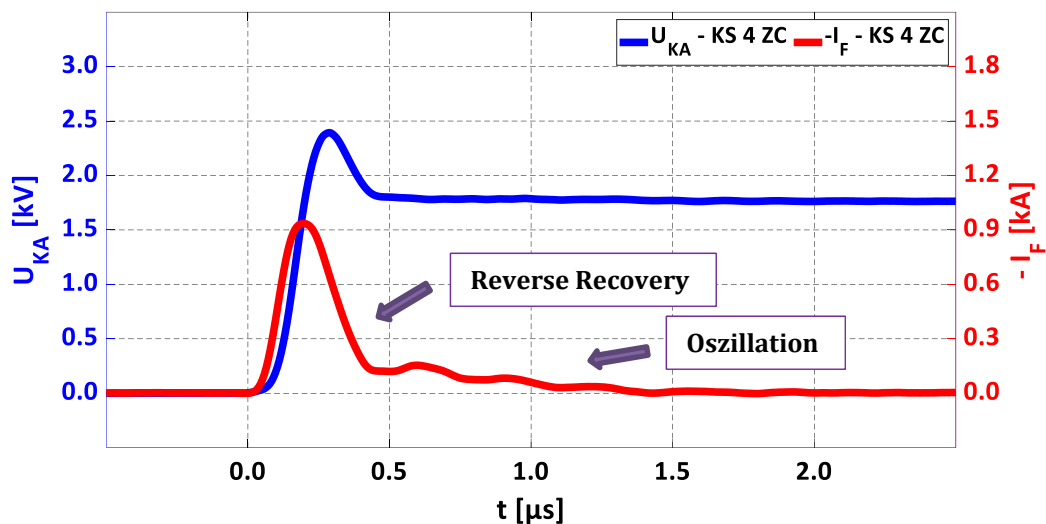


Abbildung 4-4: Messung des vierten Kurzschlussfalles ohne Laststrom gemessen bei  $U_{DC} = 1,8 \text{ kV}$ ,  $I_L = -1,5 \text{ kA}$  (bei ZVC),  $L_\sigma = 135 \text{ nH}$ ,  $t_{D,KS} = 15 \mu\text{s}$

Abgesehen vom fehlenden Laststrom ist das beschriebene Verhalten nahezu identisch zum vierten Kurzschlussfall [26]. Nach Erreichen der Zwischenkreis-Spannung bei circa  $0,2 \mu\text{s}$  invertiert sich der Stromanstieg und es kommt zur bekannten Überspannung von bis zu  $2,4 \text{ kV}$ . Ab  $0,4 \mu\text{s}$  ist ein geringer Tail-Strom von maximal  $120 \text{ A}$  festzustellen, der in der vorliegenden Messung bis  $1,4 \mu\text{s}$  anhält. Dass dieser Strom kein Messartefakt ist, zeigt sich dadurch, dass bei diesem geringen negativen Stromanstieg eine Überspannung von grob  $50 \text{ V}$  feststellbar ist. Wird der Kurzschlussstrom, beziehungsweise der Plasmaentladestrom, zu null Ampere, dann entspricht der Spannungsabfall über der Diode gleich der Zwischenkreisspannung.

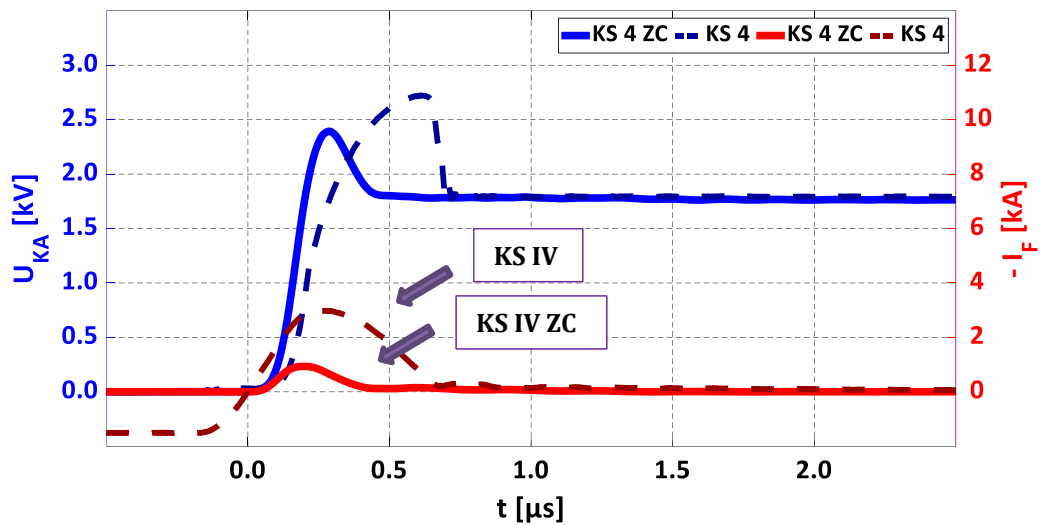


Abbildung 4-5: Vergleich KS 4 mit (gestrichelt) und ohne (durchgezogen) Laststrom gemessen bei  $U_{DC} = 1,8 \text{ kV}$ ,  $I_L = -1,5 \text{ kA}$  (bei ZVC),  $L_\sigma = 135 \text{ nH}$ ,  $t_{D,KS} = 15 \text{ µs}$  (KS IV ZC)

Eine Gegenüberstellung des vierten Kurzschlussfalles mit und ohne Laststrom durch die Diode vor dem Fehlereintritt zeigt viele Gemeinsamkeiten, aber auch geringe Unterschiede, vergleiche [26] und Abbildung 4-5. In der obigen Messung ist, um eine bessere Vergleichbarkeit gewährleisten zu können, die Zeitachse beim KS IV um 160 ns nach links verschoben worden. Dadurch liegt der Stromnulldurchgang des ‚normalen‘ Diodenfehlers in dem Zeitpunkt, bei dem der Plasmakurzschluss eintritt. Abgesehen von  $t_{D,KS}$  sind die Parameter des Testes aus Abbildung 4-5 für beide Halbleiterfehler im Messaufbau identisch.

Der deutlichste Hauptunterschied zwischen beiden Fehlerarten liegt in der Menge des im Kurzschluss extrahierten Plasmas, siehe Abbildung 4-6. Die Ursache liegt in der Rekombination von Ladungsträgern in den 15 µs zwischen spannungslosem Abschalten und dem Fehlereintritt beim KS IV ZC. Die Rekombinationsrate, beziehungsweise -zeit, wird definiert durch die Ladungsträgerlebensdauer in PiN-Dioden [3]. Je kleiner daher  $t_{D,KS}$  ausfällt, desto mehr Plasma ist noch im Bauteil. Würde die Verzögerungszeit den Wert null Mikrosekunden erreichen, läge dann wieder der reine KS IV vor und das Maximum der Ladungsträger im Kurzschluss wird erreicht. Durch die geringere Anzahl an Plasma muss zwangsläufig auch der Spitzenwert des Kurzschlussstromes geringer ausfallen [26]. In der Messung aus Abbildung 4-6 liegt der Unterschied in etwa bei Faktor drei für das Strommaximum zwischen KS IV und KS IV ZC. Eine weitere Konsequenz der verringerten Anzahl an freien Ladungsträgern vor dem Fehlereintritt ist die reduzierte Dauer des Halbleiterfehlers und des Tail-Stromes im KS IV ZC im Vergleich zum KS IV. Dabei ist die Ladungsmenge des Tail-Stromes des KS IV in ungefähr so groß wie das gesamte ausgeräumte Plasma des KS IV ZC ( $\sim 170 \text{ µC}$ ). In beiden Fehlerzuständen tauchen im Tail-Strom Oszillationen auf. Eine mögliche Erklärung könnte das Ausbilden eines Schwingkreises aus Streuinduktivität,

Halbleiterkapazitäten und dem Zwischenkreiskondensator sein [26]. Dadurch, dass kaum noch Plasma im intrinsischen Gebiet vorliegt, wäre dieser Kreis kaum noch bedämpft und es könnten sich daher Oszillationen ausbilden. Durch die geringere Anzahl an freien Ladungsträger lässt sich erklären, warum die Schwingfrequenz beim KS IV um den Faktor drei höher ist ( $\sim 9,1$  MHz), als beim KS IV ZC.

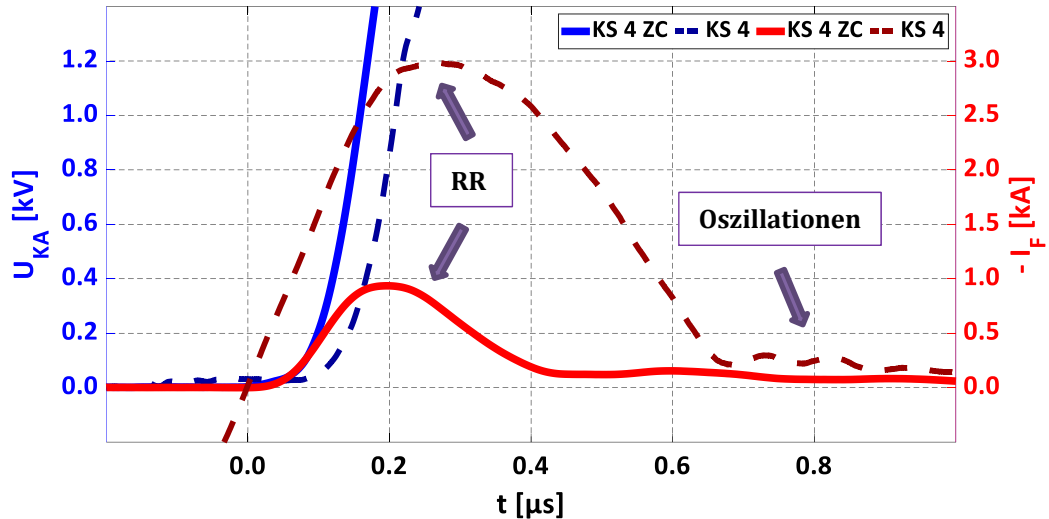


Abbildung 4-6: Auszug des Vergleiches KS IV mit dem KS IV ZC gemessen bei  $U_{DC} = 1,8$  kV,  $I_L = -1,5$  kA (bei ZVC),  $L_\sigma = 135$  nH,  $t_{D,KS} = 15$   $\mu$ s (KS IV ZC)

Beide benötigen einige hundertstel Mikrosekunden zwischen dem ersten Ausräumen des Plasmas ab  $0 \mu$ s und der Spannungszunahme [26]. Durch die erhöhte Menge an Plasma im KS IV im Vergleich zum KS IV ZC bei Fehlereintritt muss mehr von den freien Ladungsträgern ausgeräumt werden, bis sich ein elektrisches Feld im Bereich der Anode ausbreiten kann, vergleiche dazu auch Abbildung 4-11. Daher erfolgt der Spannungszunahme im KS IV auch circa  $50$  ns später. Der Stromanstieg ist im Falle des KS IV in etwa  $40\%$  höher als beim KS IV ZC [26]. Die Ursache hierfür ist wiederum die unmittelbar einsetzende Spannungsaufnahme im KS IV ZC durch das verringerte Plasma. Diese reduziert binnen Nanosekunden die Spannung über  $L_\sigma$  und damit den Stromanstieg, siehe Abbildung 4-6. Beim KS IV jedoch dauert es länger, bis eine substanzielle Menge an freien Ladungsträgern entfernt wird, so dass sich ein elektrisches Feld ausbreiten kann. Mit Erreichen des Wertes der Zwischenkreisspannung kehrt sich der Stromanstieg ins Negative um. Beim KS IV ZC ist das negative  $di/dt$  geringer in Bezug auf den Wert beim KS IV, da nur noch eine geringere Restplasmamenge vorhanden ist und es zu einem sanfteren Ausräumen kommt. Infolgedessen ist auch die Überspannung beim Plasmakurzschluss geringer (circa  $90\%$ ) als beim KS IV. Die geringere Anzahl an freien Ladungsträgern beim KS IV ZC erklärt auch, warum in Abbildung 4-5 kein Avalanche im Gegensatz zum KS IV auftritt. Generell können aber auch im KS IV ZC Avalanche-Ereignisse geschehen.

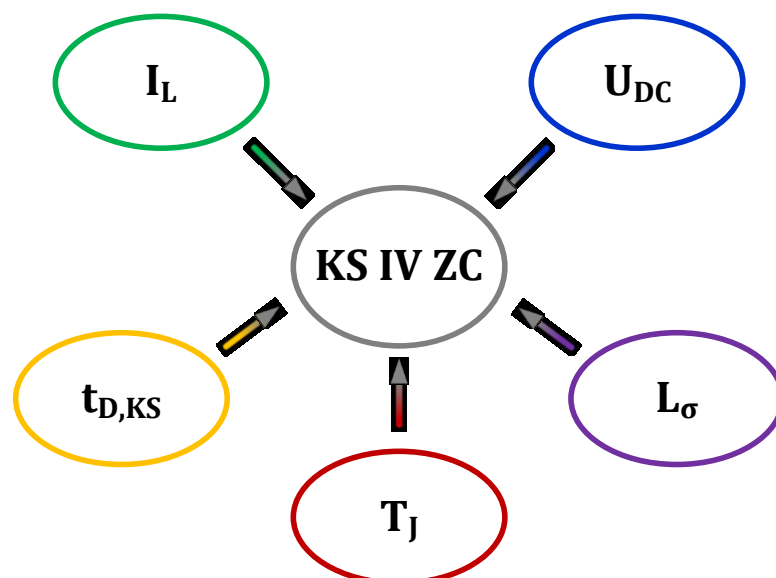


Abbildung 4-7: Einflussfaktoren auf den KS IV ZC

Auf den vierten Kurzschlussfall ohne Laststrom in der Diode wirken die fünf Einflussfaktoren aus Abbildung 4-7 ein [26]. Die Punkte Chiptemperatur, Streuinduktivität, Zwischenkreisspannung und Laststrom vor der Nullspannungskommütierung sind weitgehend analog zu den Erkenntnissen vom KS IV aus Kapitel 3.4. Da der ANPC-Teststand die Messungen zur Variation der Temperatur und der parasitären Streuinduktivität hinsichtlich des KS IV ZC nicht hergab, müssen beide aus den Analysen des KS IV abgeleitet werden. Da beide Fehlerfälle, wie vorher belegt wurde, starke Ähnlichkeiten aufweisen, ist dies eine legitime Vorgehensweise.

Generell ist bekannt, dass eine Anhebung der Chiptemperatur zu einer vergrößerten Menge an Plasma im Bauteil führt, vergleiche [138] und Abbildung 3-39. Gleichzeitig erhöht sich noch die Ladungsträgerlebensdauer [108], so dass bei größerem  $T_c$  die Rekombination zurück geht [141]. Beide Punkte zusammen müssten also dazu führen, dass eine höhere Temperatur zu deutlich mehr Plasma im KS IV ZC bei vergleichbarer Verzögerungszeit führt. Eine Anhebung der Streuinduktivität im KS IV führt zu einer Reduktion des Stromanstiegs, vergleiche dazu Abbildung 3-40. Dies hat zur Folge, dass bei nahezu gleicher Plasmamenge im Ausräumvorgang der Spitzenstrom sinken muss, jedoch die Dauer des Vorganges sich erhöht. Das identische Verhalten dürfte so auch für den KS IV ZC gelten, da eine Verringerung des Plasmas vor dem Fehlereintritt auf die obige These keine Auswirkung hat.

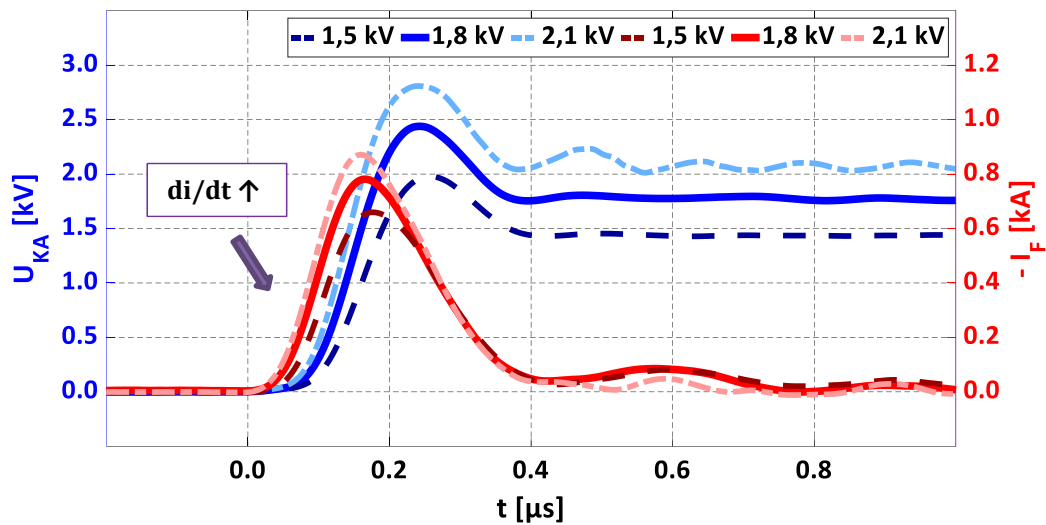


Abbildung 4-8: Variation der Zwischenkreisspannung beim KS IV ZC gemessen bei  $U_{DC} = 1,5 / 1,8 / 2,1$  kV,  $I_L = -1,5$  kA (bei ZVC),  $L_\sigma = 135$  nH,  $t_{D,KS} = 20$   $\mu$ s

Die Anhebung der Zwischenkreisspannung führt wie gehabt zu einem Ansteigen des Stromanstiegs im Kurzschluss, siehe Abbildung 4-8. Wie auch schon beim KS IV führt dies wiederum dazu, dass der Scheitelwert des Kurzschlussstromes sich erhöht. Begründung ist hier wie dort, dass der Laststrom vor dem spannungslosen Abschalten derselbe war. Dadurch ist die Menge des Plasmas in der Diode unabhängig von der Zwischenkreisspannung. Nimmt das  $di/dt$  zu, muss sich bei gleicher Anzahl an freien Ladungsträgern zwangsläufig der Stromspitzenwert vergrößern. Als Konsequenz daraus muss aber auch das Ausräumen des Plasmas bei höherer  $U_{DC}$  schneller erfolgen. Dieser Punkt ist in den obigen Messungen aus Abbildung 4-8 praktisch nicht zu erkennen. Auch das Auftreten eines Avalanches kann nicht detektiert werden, welcher erklären würde, warum das Ende des Hauptplasmaberges für alle drei Spannungen bei  $0,4$   $\mu$ s liegt. Die Oszillationen im Tail-Strom verzerren daher wahrscheinlich die Erfassung der korrekten Menge an ausgeräumten Ladungsträgern und erklären die Diskrepanz zwischen Theorie und Messung.

Dass die gemachte These, höheres  $U_{DC}$  vergrößert das  $di/dt$ , welches den  $I_{KS,MAX}$  erhöht, jedoch nicht falsch ist, lässt sich aus dem ansteigenden Betrag des negativen Stromanstiegs ablesen. Dabei fallen auf den ersten Blick die Unterschiede im  $-di/dt$  auch zunächst nicht so groß aus, siehe Abbildung 4-8. Jedoch steigt die Differenz der Überspannung zur Zwischenkreisspannung ( $\Delta U_{KA}$ ) von  $550$  V (bei  $1,5$  kV  $U_{DC}$ ) auf  $740$  V (bei  $2,1$  kV  $U_{DC}$ ) an, die eine Zunahme des negativen Anstieges indiziert, siehe Abbildung 4-9. Daher trifft die These, dass ein erhöhtes  $U_{DC}$  zu einem höheren aber kürzeren Plasmaberg führt, in gewisser Weise zu. Es fällt auf, dass der Tail-Strom bei  $2,1$  kV geringer ausgeprägt ist als bei niedriger Spannung, siehe Abbildung 4-8. Jedoch lassen die auftretenden Schwingungen in dieser Phase eine genauere Analyse nicht zu.

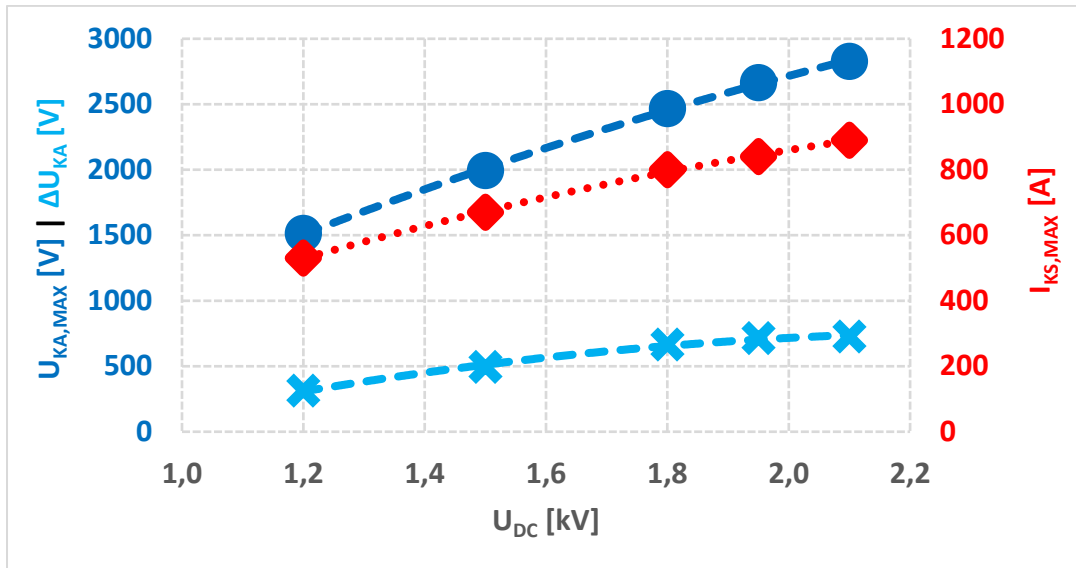


Abbildung 4-9: Variation von  $U_{DC}$  mit der Auswirkung auf  $U_{KA,MAX}$ ,  $\Delta U_{KA}$  und  $I_{KS,MAX}$  gemessen bei  $U_{DC} = 1,2 - 2,1$  kV,  $I_L = -1,5$  kA (bei ZVC),  $L_\sigma = 135$  nH,  $t_{D,KS} = 20$   $\mu$ s

Die Variation des Laststromes, bevor die Diode spannungslos abgeschaltet wird, zeigt die zu erwartenden Resultate, siehe Abbildung 4-10. Je mehr Strom durch die Diode im leitenden Zustand fließt, desto mehr freie Ladungsträger befinden sich im Bauteil [4]. Der Spitzenwert des Plasmaberges nimmt mit dem Wechsel des Laststromes von 0,75 kA bis 3 kA um 12 % und seine Dauer um fast 25 % zu. Auch ist der Tail-Strom bei doppeltem Nennstrom vor dem Fehlereintritt etwas größer als bei einem halben Laststrom, siehe Abbildung 4-10. Der Stromanstieg ist nur gekoppelt am Spannungsabfall über der Streuinduktivität und daher in allen drei Tests praktisch derselbe. Da die Plasmaersatzkapazität proportional zur Menge der eingebrachten Ladung ist, heißt das, dass bei gleichem Entladestrom das  $du/dt$  größer ausfallen muss bei geringerem Laststrom. Dieser Effekt sieht man gut in der Messung aus Abbildung 4-10. Der Spannungsanstieg bei 3 kA ist nur noch 80 % von dem bei 0,75 kA. Zusätzlich ist die Überspannung bei dem doppelten Nennstrom vor dem spannungslosen Abschalten grob 5 % größer als bei dem halben Wert. Dies deutet auf eine Abnahme des  $-di/dt$  bei mehr Plasma im Bauteil hin. Der Vorgang fällt umso sanfter aus, je mehr freie Ladungsträger sich noch in der Diode vor dem Kurzschluss befinden.

Die vorherigen ersten vier Einflussfaktoren sind demnach identisch zu denjenigen vom KS IV. Das große Unterscheidungsmerkmal ist aber der fünfte Punkt, die Verzögerungszeit zwischen spannungslosem Abschalten der Diode und dem Kurzschlusseintritt [26]. Offensichtlich ist, dass mit Ansteigen von  $t_{D,KS}$  die Menge an Plasma immer mehr auf Grund der Rekombination innerhalb der Diode abnimmt. Dabei gibt es zwei Extrema bezüglich  $t_{D,KS}$ . Ein Wert von 0  $\mu$ s indiziert, dass in dem Moment, wenn die Diode spannungslos abschaltet, der Kurzschluss einsetzt. Folglich ist dieses Ereignis identisch zum KS IV. Geht dagegen  $t_{D,KS}$  gegen

unendlich, dann sind die freien Ladungsträger vollständig rekombiniert. Ein Durchbruch des seriellen Schalters in der Halbbrücke würde ‚nur‘ zu einem kapazitiven Sprung an der Diode mit entsprechendem Umladevorgang führen [26]. Zwischen diesen beiden Grenzen befindet sich der KS IV ZC.

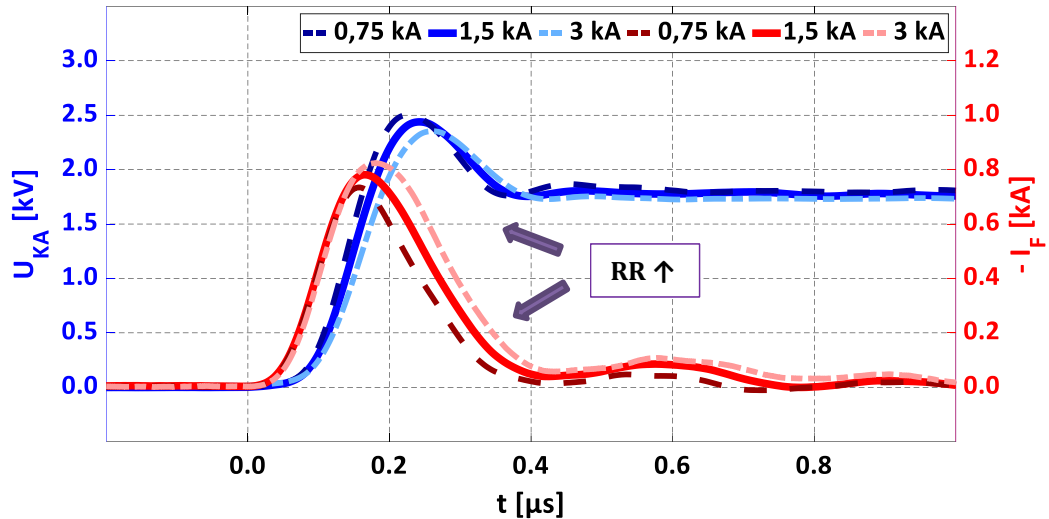


Abbildung 4-10: Variation des Laststromes vor dem ZVC beim KS IV ZC gemessen bei  $U_{DC} = 1,8 \text{ kV}$ ,  $I_L = -0,75 / -1,5 / -3 \text{ kA}$  (bei ZVC),  $L_\sigma = 135 \text{ nH}$ ,  $t_{D,KS} = 20 \text{ µs}$

Für das bessere Verständnis dieses Kurzschlusses wird hier, neben den Messungen, eine simulative Untersuchung des Bauteiles gemacht. Dabei wird mit dem *Synopsys Sentaurus Device* Bauteilsimulator [142], der die Finite-Elemente-Methode für Halbleiter durchführen kann, eine 3,3 kV EmCon-Diode untersucht. Das Modell der Diode wurde so angepasst, dass bei einem Nennstrom von 1,5 kA die gleiche Durchlassspannung über dem Bauteil wie in den Messungen abfällt. Die Dicke des Drift-Gebietes ist dabei auf 350 µm, um ein ähnliches Verhalten wie beim realen Halbleiter zu bekommen, festgelegt. Die beiden hochdotierten Gebiete mit der Metallkontaktierung für die Elektrode befinden sich links (*Kathode*) und rechts (*Anode*) davon, siehe Abbildung 4-11.

Mit diesem Konzept kann die Plasmaverteilung im Bauteil genau vor dem Eintritt des Kurzschlusses evaluiert werden, siehe Abbildung 4-11. Die Verteilung bei 0 µs, also das Auftauchen des KS IV und nicht des KS IV ZC, entspricht dem bekannten Verhalten aus der Literatur, siehe beispielsweise [143]. Im Bereich der Übergänge von der intrinsischen Zone zur Anode ( $p^+n$ -Zone), beziehungsweise zur Kathode ( $n^+n$ -Zone), findet sich eine erhöhte Ansammlung an freien Ladungsträgern. Dabei befindet sich der höhere Anteil im Bereich der Kathode, um ein sanftes Schaltverhalten zu garantieren [3]. Im Plasmaberg liegt vor dem Fehlereintritt eine Ladungsträgerneutralität vor [18]. Mit einer Verzögerungszeit zwischen spannungslosem Abschalten und Fehlereintritt von mehr als 0 µs nimmt das Plasma durch die Rekombination deutlich ab, siehe Abbildung 4-11.



Bei  $1 \mu\text{s}$  ist die Anzahl der Ladungsträger an den Rändern der Drift-Zone von  $12 \times 10^5 \text{ cm}^{-3}$  (*Kathode*), respektive  $10 \times 10^5 \text{ cm}^{-3}$  (*Anode*), auf grob  $6,5 \times 10^5 \text{ cm}^{-3}$  abgefallen. Die Talsohle bei  $200 \mu\text{m}$  ändert sich dagegen kaum. Es findet also eine Art gleichmäßige Verteilung des Plasmas im Bauteil statt. Nach weiteren  $2 \mu\text{s}$  fängt jedoch auch das Minimum an abzusinken. Durch die stärkere Rekombination in den Randgebieten des intrinsischen Gebiets kommt es dort zu einer schnelleren Absenkung der Ladungsträger als bei der Mitte um  $200 \mu\text{m}$  [3].

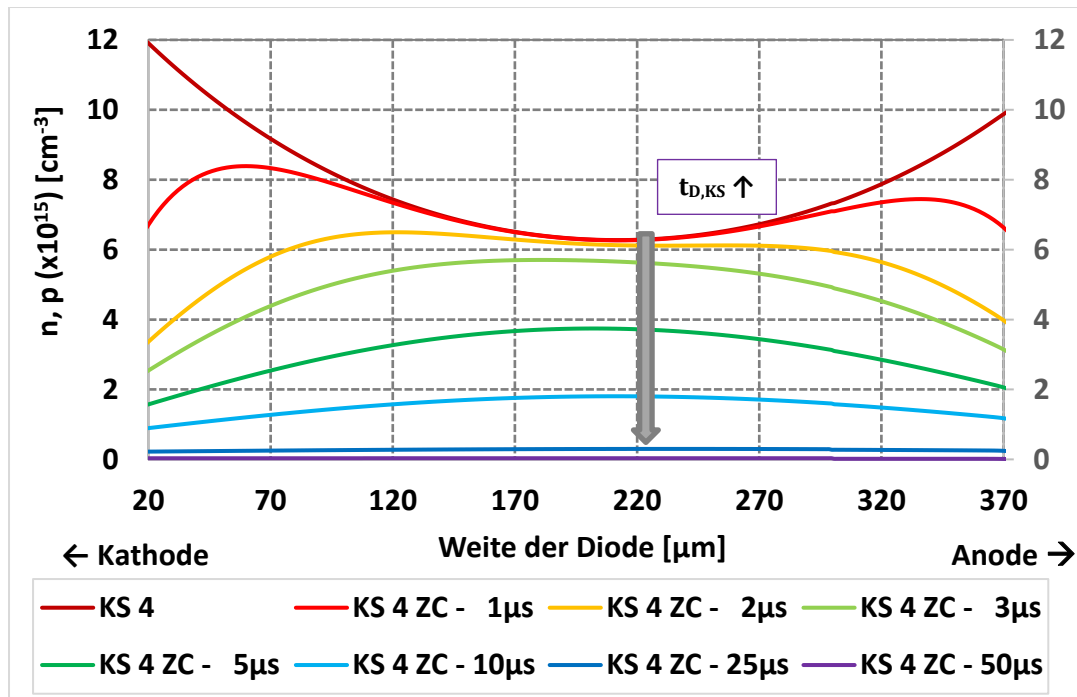


Abbildung 4-11: Verteilung des Plasmas vor dem Kurzschluss in Abhängigkeit von  $t_{D,KS}$  simuliert bei  $U_{DC} = 1,8 \text{ kV}$ ,  $I_L = -1,5 \text{ kA}$  (bei ZVC),  $L_\sigma = 135 \text{ nH}$ ,  $t_{D,KS} = 0 - 50 \mu\text{s}$

Die Entwicklung des Plasmaverlaufes als eine Art von Tal bei  $0 \mu\text{s}$  ist schon ab  $3 \mu\text{s}$  umgedreht. In den nächsten Mikrosekunden reduzieren sich die freien Ladungsträger immer mehr, bis dann bei  $25 \mu\text{s}$  praktisch kaum noch Ladungsträger vorliegen. Ab  $50 \mu\text{s}$  kann in der Simulation unter den verwendeten Spezifikationen das Plasma als nahezu null angesehen werden. Folglich tritt mit Kurzschlusseintritt dann ‚nur‘ noch der kapazitive Sprung auf. Aus der Simulation ergibt sich, dass der KS IV ZC für die  $3,3 \text{ kV}$  Diode bei  $1,5 \text{ kA}$  im Zeitbereich von  $0 \mu\text{s} \leq t_{D,KS} \leq 50 \mu\text{s}$  nur existiert, vergleiche [26] und Abbildung 4-11. Dabei ist in der Simulation aber zu beachten, dass diese für den reinen Plasmakurzschluss der Diode durchgeführt wurde. Das Verhalten des Kurzschlusses in einem ANPC-Teststand konnte auf Grund der Komplexität nicht simuliert werden. Dadurch fällt beispielsweise die Nullspannungskommutierung weg, die einen Teil der Ladungsträger ausräumt [58]. Dadurch dürfte die Plasmaverteilung in der Realität mit der Simulation aus Abbildung 4-11 nicht mehr ganz übereinstimmen, da sich kurzzeitig ein elektrisches Feld an der Anode ausbreitet. In diesem Bereich

müsste daher das verbliebene Plasma geringer als in der Simulation sein. An der Grundaussage des stetigen Absinkens der Plasmamenge über der Zeit und einer Konzentration in der Mitte ändert die beschriebene Diskrepanz jedoch wenig.

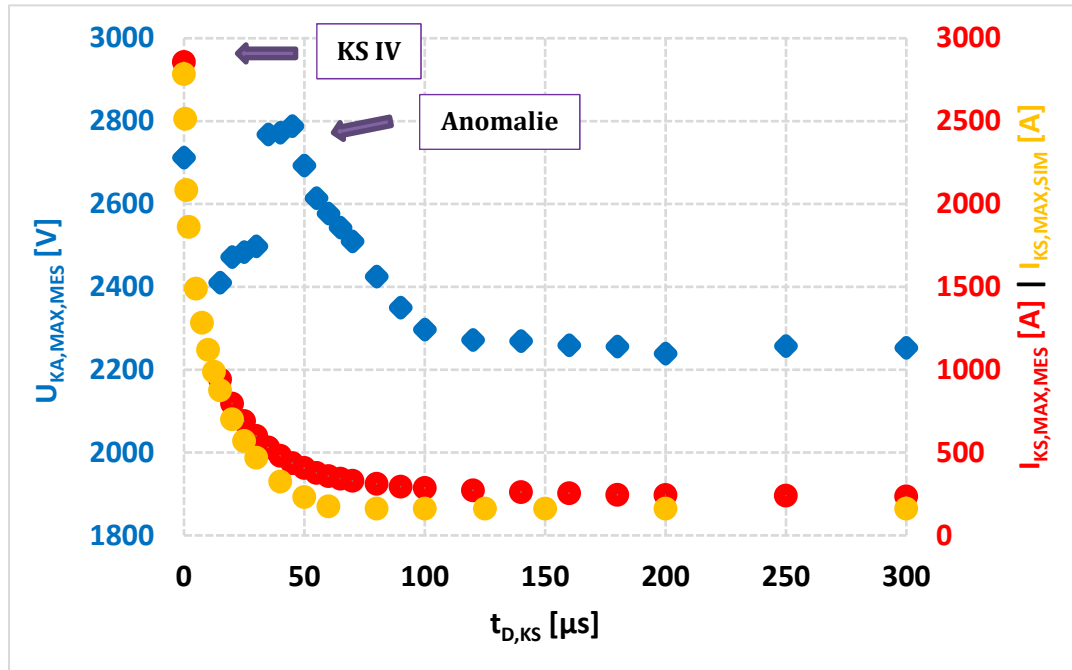


Abbildung 4-12: Auswirkung der Variation der Zeitverzögerung im KS IV ZC auf  $I_{KS,MAX}$  (simuliert – orange / gemessen – rot) und  $U_{KA,MAX}$  (gemessen) simuliert bei  $U_{DC} = 1,8 \text{ kV}$ ,  $I_L = -1,5 \text{ kA}$  (bei ZVC),  $L_\sigma = 135 \text{ nH}$ ,  $t_{D,KS} = 0 - 300 \mu s$

Wie schon vorher angeführt wurde, kann im Zeitbereich zwischen  $0 \mu s$  und  $15 \mu s$  im eingesetzten ANPC-Teststand kein KS IV ZC gemessen werden. Diese Messlücke kann mittels der Simulation geschlossen werden, siehe Abbildung 4-12. In dieser Messreihe sind die Spitzenwerte des Kurzschlussstromes sowohl für die Simulation (orange) als auch die gemessenen Maxima (rot) dargestellt. Die blauen Punkte in dieser Abbildung stehen für die maximal erreichte Spannung über der Diode, jedoch nur für die Messungen. Für die Simulationen konnten keine vernünftigen Messergebnisse hinsichtlich  $U_{KA,MAX}$  erzielt werden, da es immer zu einem Stromabriss kam. Infolgedessen sprang  $U_{KA}$  auf viel höhere Werte, als es eigentlich ohne diesen Effekt geschieht. Über den maximalen Kurzschlussstrom lässt sich ein einfacher Indikator für die gesamte ausgeräumte Plasmamenge im Fehlerfall finden. Da dies jedoch nicht in den Messungen passiert ist, können die beiden Testreihen hinsichtlich der Spannungen nicht sinnvoll miteinander verglichen werden.

Die Verläufe des Spitzenwertes über der Zeitverzögerung zwischen realem Bauteil und Simulation sind ähnlich. Jedoch rekombiniert das Plasma in der Simulation schneller. Der Verlauf des Absinkens entspricht dabei nicht einer exponentiellen Funktion, da die Halbwertszeit nicht konstant ist. Die simulierte Diode

weist praktisch kein Plasma mehr ab  $50 \mu\text{s}$  auf, das reale Pendant eher ab  $150 \mu\text{s}$ , vergleiche [26] und Abbildung 4-12. Folglich stimmt die simulierte Diode nicht ganz mit dem Verhalten der Freilaufdiode des Moduls FZ1500R33HL3 überein. Dieser Unterschied könnte über eine Änderung der Ladungsträgerlebensdauer im Modell korrigiert werden [3]. Da diese Diskrepanz erst in der späteren Messauswertung festgestellt wurde, ist eine Korrektur mit erneuter Simulation aller Tests nicht mehr durchgeführt worden. Der Offset im Spitzenstrom von  $240 \text{ A}$  (bei der Messung ab  $150 \mu\text{s}$ ), beziehungsweise  $160 \text{ A}$  (bei der Simulation ab  $50 \mu\text{s}$ ) stellt den kapazitive Umladestrom dar. Die Kernaussage bleibt jedoch bestehen, dass in den ersten Mikrosekunden nach dem spannungslosen Abschalten das Plasma deutlich rekombiniert. Gemäß Simulation ist bei  $5 \mu\text{s}$   $t_{D,KS}$  nur noch das halbe Maximum des Reverse-Recovery-Stromes vorhanden. Dies erklärt auch, warum im Vergleich zwischen dem KS IV und dem KS IV ZC der Plasma-kurzschluss gering ausfällt, siehe Abbildung 4-5. Die unvermeidliche  $15 \mu\text{s}$  Zeitverzögerung im Teststand führen dazu, dass der Spitzenwert des Kurzschlussstromes zu diesem Zeitpunkt auf  $30 \%$  beim KS IV ZC in Kontrast zum KS IV abgesunken ist.

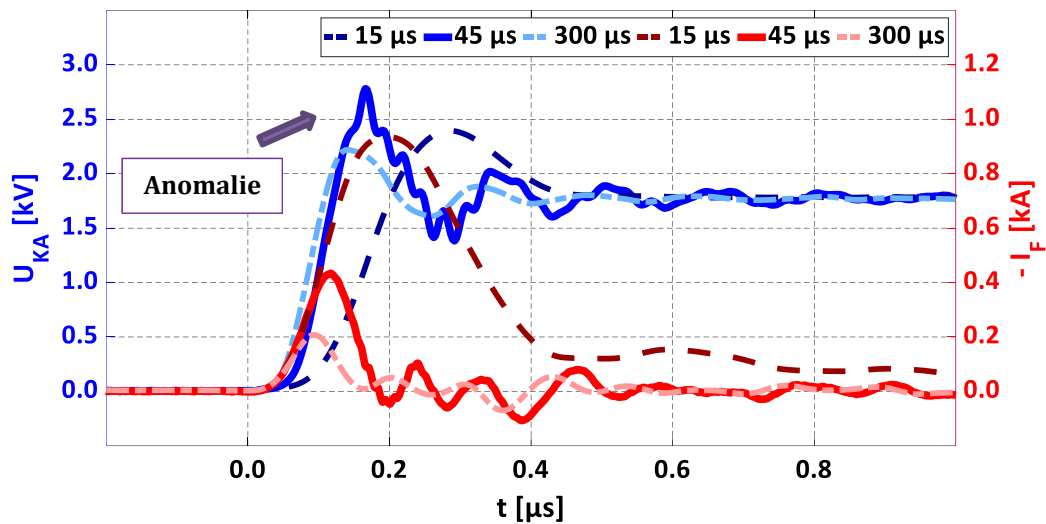


Abbildung 4-13: Anomalie bei  $t_{D,KS} = 45 \mu\text{s}$  im Vergleich zu zwei normalen Messungen gemessen bei  $U_{DC} = 1,8 \text{ kV}$ ,  $I_L = -1,5 \text{ kA}$  (bei ZVC),  $L_\sigma = 135 \text{ nH}$ ,  $t_{D,KS} = 15 / 45 / 300 \mu\text{s}$

In der real gemessenen Spannung der Diode zeigt sich dabei eine Art von Anomalie im Zeitbereich von  $35 - 100 \mu\text{s}$  für  $t_{D,KS}$ , vergleiche [26] und Abbildung 4-12. Die Überspannung beim KS IV ZC erreicht  $2,7 \text{ kV}$  und sinkt dann auf  $2,4 - 2,5 \text{ kV}$  bei  $15 - 30 \mu\text{s}$  ab. Die Abbildung 4-13 zeigt die Anomalie bei  $45 \mu\text{s}$ , wo sie am stärksten im Vergleich zu dem unbetroffenen KS IV ZC bei  $15 \mu\text{s}$  und dem kapazitiven Spannungssprung bei  $300 \mu\text{s}$  auftritt. Sichtbar ist, dass bis zum Erreichen der Zwischenkreisspannung keine Auffälligkeit im Spannungsverlauf messbar ist. Auch das Absinken des Ladungsträgerberges mit Einsetzen der Überspannung ab  $0,12 \mu\text{s}$  verläuft zu den anderen zwei Messungen analog. Ab

0,15  $\mu\text{s}$  treten Oszillationen mit einer Frequenz von fast 40 MHz in der Diodenspannung, jedoch ungefähr 90 MHz in ihrem Stromfluss auf, siehe Abbildung 4-13. Es sieht dort so aus, als würden die Schwingungen den normalen Verlauf überlagern. Dieses Phänomen taucht nicht in den Simulationen auf. Daher kann aus ihnen nicht abgeleitet werden, welches die Ursache sein könnte.

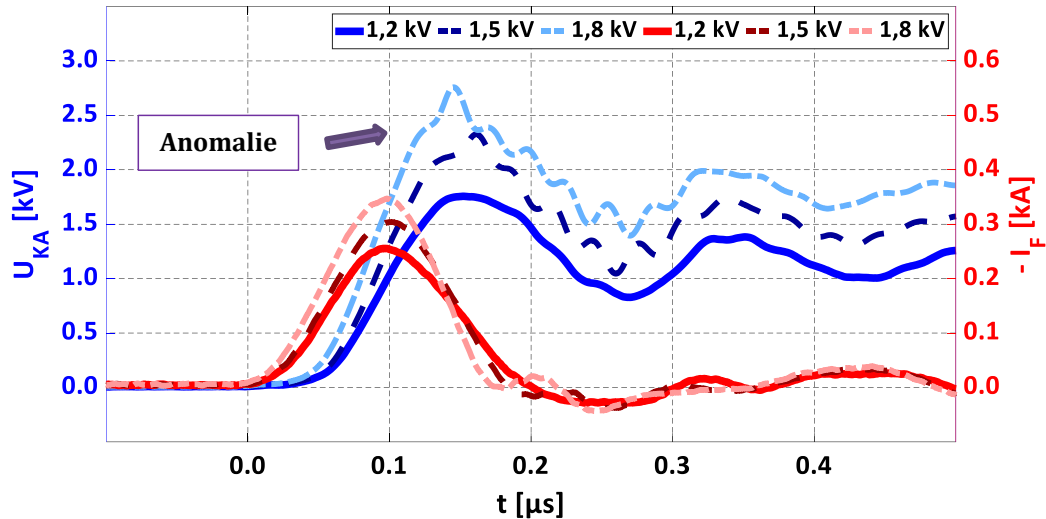


Abbildung 4-14: Abhängigkeit der Anomalie von der Zwischenkreisspannung gemessen bei  $U_{DC} = 1,2 / 1,5 / 1,8 \text{ kV}$ ,  $I_L = -1,5 \text{ kA}$  (bei ZVC),  $L_\sigma = 135 \text{ nH}$ ,  $t_{D,KS} = 45 \mu\text{s}$

Festzuhalten ist der Punkt, dass die Anomalie mit der Menge der verbliebenen Ladungsträger korrelieren muss. Wenn viel ( $0 - 30 \mu\text{s } t_{D,KS}$ ) oder fast gar kein Plasma (ab  $100 \mu\text{s } t_{D,KS}$ ) sich mehr in der Diode befindet, existieren keine Oszillationen. Zusätzlich zeigt sich, dass die Anomalie an die Zwischenkreisspannung gekoppelt ist, siehe Abbildung 4-14. Bei 1,2 kV lässt sich keine Spannungsspitze im Vergleich zu den Messungen bei 1,5 kV und 1,8 kV feststellen. Jedoch gibt es auch dort schon schwache Oszillationen der gleichen Frequenz von  $\sim 40 \text{ MHz}$ . Sie tauchen aber erst nach dem Spannungsmaximum und mit sehr geringer Amplitude im Vergleich zu den anderen Zwischenkreisspannungen auf. Es ist jedoch nicht identifizierbar, ob die Anomalie durch die höhere Zwischenkreisspannung oder der durch sie verursachten steileren Stromanstiege (sowohl positiv als auch negativ) hervorgerufen wird. Die Differenz zwischen maximaler Dioden- und Zwischenkreisspannung steigt für  $45 \mu\text{s } t_{D,KS}$  bis 1,8 kV an. Ab da an sinkt sie wieder ab [26]. Dies deckt sich mit der vorherigen Analyse, dass die Schwingungen bei 1,2 kV in der Messreihe von  $45 \mu\text{s } t_{D,KS}$  nicht ausgeprägt sind. Mit steigender Zwischenkreisspannung differiert die Überspannung bei diesem Zeitwert aber messbar von den Messungen mit  $t_{D,KS}$  von  $15 \mu\text{s}$  und  $300 \mu\text{s}$ , siehe Abbildung 4-12.

Als Erklärungsmodell für die Anomalie ist ein Stromabriss im Abschaltvorgang von Halbleitern mit dadurch verursachter zusätzlicher induktiver Überspannung

denkbar [3]. Begünstigt wird dieses Verhalten durch geringes Plasma im Halbleiter und eine geringe Konzentration im Bereich des Kollektors der Diode. Genau dieser Punkt liegt auch im KS IV ZC bei längerer Zeitdifferenz zwischen spannungslosem Abschalten und Fehlereintritt vor, siehe Abbildung 4-12. Es kommt zu einem relativ sanften Stromabriss, welcher sich in einer geringen zusätzlichen Überspannungsspitze niederschlägt, siehe Abbildung 4-13. Die Anomalie verursacht in dieser Messreihe beispielsweise bei einem  $t_{D,KS}$  von 35  $\mu\text{s}$  circa 10 % mehr Überspannung, als dies ohne den Stromabriss zu erwarten gewesen wäre. Da die Anomalie aber nicht in den Halbleitersimulationen auftaucht und auch nur relativ schwach ausgeprägt ist, gibt es für diese These keinen endgültigen Beweis und müsste in weiterführenden Arbeiten untersucht werden. Die Anomalie stellt auch kein wirkliches Problem hinsichtlich der Robustheit der Diode dar, denn die so verursachte zusätzliche Überspannung fällt moderat aus, siehe Abbildung 4-14. Die maximale Diodenspannung wird zwar durch das Schwingen erhöht, bis zu einer Zwischenkreisspannung von 2,2 kV ist sie aber noch weit von der Bauteilgrenze entfernt. In der Quelle zum KS IV ZC wurde darüber hinaus postuliert, dass bei Interpolation der Messwerte theoretisch eine Zwischenkreisspannung von 2,6 kV möglich sei, bis die 3,3 kV als maximal erlaubte Spannung im KS IV ZC erreicht werden würden [26].

Andere Erklärungsmodelle für Anomalien im Schaltvorgang von Halbleitern passen von ihrem Erscheinungsbild nicht zu den hier gemachten Messungen. Weder interne Schwingungen zwischen den Halbleiterchips im Modul [3], oder Oszillationen, die mit der Gate-Emitter-Spannung korrelieren [144], noch auftretende und kurz darauf wieder verlöschende Stromfilamente bei hoher Spannung [22] passen zur Anomalie im KS IV ZC. Da in den Messungen zum KS IV ZC kein messbarer Avalanche dokumentiert wurde, können dadurch ausgelöste sekundäre Effekte auch nicht stimmen [145]. In der Quelle, die zum ersten Mal den KS IV ZC beschrieben hat, wurde vermutet, dass es sich bei der Anomalie um einen *switching-self-clamping-mode-Effekt* handeln könnte [26]. Die These besagt, dass zuerst ein dynamischer Avalanche im Abschaltvorgang auftritt [146]. Ist in dieser Zeit das Plasma in der Diode erschöpft, kommt es zum Stromabriss und der Avalanche hört auf. Infolgedessen steigt die Spannung rapide an [3]. Übersteigt die Spannung dadurch die statische Avalanche-Schwelle des Bauteiles, welche meist über der angegebenen maximalen Sperrspannung liegt, werden wieder Ladungsträger generiert. Die Diodenspannung wird dadurch geklemmt und ein Stromfluss setzt wieder ein. Infolgedessen ist im Verlauf des Kurzschlussstromes nur ein kleiner Einbruch zu sehen, der durch das zweite Avalanche Ereignis wieder kompensiert wird [146]. Jedoch kann der *switching-self-clamping-mode-Effekt* nicht die Erklärung sein, denn die erzeugte Überspannung ist weit von der statischen Avalanche-Schwelle von mehr als 3,3 kV im Bauteil entfernt. Die Angabe aus der Literatur kann dementsprechend nicht stimmen [26].

## 4.2 Kurzschlussfall V

Der fünfte und letzte Einzelkurzschluss, erstmals beschrieben in [27] und [82], ist das Pendant des IGBTs zum KS IV ZC der Diode [26]. Die Ursache beruht wiederum auf Restplasma im intrinsischen Gebiet des Bauteiles, welches nicht durch ein spannungsloses Abschalten ausgeräumt wurde. Beim Fehlereintritt kommt es auf Grund der geringen Höhe des Plasmaentladestromes zu keinem Entsättigungsvorgang. Ein Eingreifen des Treibers passiert auch nicht, da er die ganze Zeit über abgeschaltet ist. Ein Aufsteuern des IGBTs geschieht nur, wenn eine eventuell verbaute Schutzbeschaltung ab einer zu hohen Kollektor-Emitter-Spannung eingreifen würde [27]. Einen Unterschied gibt es jedoch; die schon für die vorherigen Kurzschlüsse I bis III beschriebenen Rückkoppeleffekte treten hier auch auf. Da der Treiber aber das Gatepotential auf negative Werte, hier  $-10\text{ V}$ , zieht, kommt es zu keiner Auswirkung. Außerdem wurde auch schon bei der Diode die Rückkopplung durch den Miller-Effekt in der Gate-Emitter-Spannung des antiparallelen IGBTs beobachtet. Dieser betrug jedoch nur wenige Volt und  $U_{GE}$  war noch über  $10\text{ V}$  von  $U_{th}$  entfernt. Ein weiterer Punkt ist, dass der KS V im eigentlichen Sinne kein Reverse-Recovery-Effekt wie beim KS IV (ZC) darstellt. Der Fluss der Elektronen und Löcher geht in die gleichen Richtungen wie beim Ausräumen des Plasmas im normalen Abschaltvorgang, siehe Kapitel 10.1. Bei der Diode liegt jedoch ein diametrales Verhalten bezüglich der Fließrichtung von Elektronen und Löcher vor. Alles in allem kann festgehalten werden, dass die Unterschiede, wenn es sie überhaupt gibt, im Erscheinungsbild zwischen KS IV ZC und KS V minimal sind. Daher wurde der Analyse des fünften Kurzschlussfalles, auch weil er vorher schon bekannt war [27], in der vorliegenden Arbeit weniger Raum als dem Diodenfehler gegeben.

Die Entstehung des reinen KS V im ANPC-Dreipunktumrichters kann über die gleiche Vorgehensweise wie in Abbildung 4-3 zum KS IV ZC erfolgen. Damit jedoch  $I_{12}$  anstatt  $D_{12}$  das Plasma vor dem Durchbruch von  $S_{11}$  hat, muss der Laststrom nun invers in seiner Flussrichtung sein. Dann fließt im Zustand  $0_1^+$  der Strom über  $I_{12}$  und  $D_{31}$ . Der weitere Ablauf verhält sich analog zu der Beschreibung im vorherigen Kapitel 4.1 mit der Ausnahme, dass die Nullspannungskommütierung nun für den IGBT  $I_{12}$  und nicht für die Diode  $D_{12}$  wie im KS IV ZC auftritt. Für einen positiven Laststrom wäre das Vorgehen zum Erreichen eines KS V gespiegelt zum vorherigen Ablauf. Der Ausgangszustand wäre  $0_1^-$  ( $I_{21}$  &  $D_{32}$  leiten) und ein Wechsel auf  $P_1$  (mit eventuelle Zwischenschritte über  $0^\pm$  und / oder  $0_1^+$ ) treibt das Plasma in der Theorie aus  $D_{32}$  aber nicht  $I_{21}$ . Ein Rückwechsel auf  $0_1^+$  verhindert dann, dass beim Durchbruch von  $S_{22}$  die doppelte Spannung über  $S_{32}$  abfallen könnte, siehe Kapitel 4.1. Auch durch diesen Verlauf käme es zum fünften Kurzschlussfall, dann eben für den IGBT  $I_{21}$ .

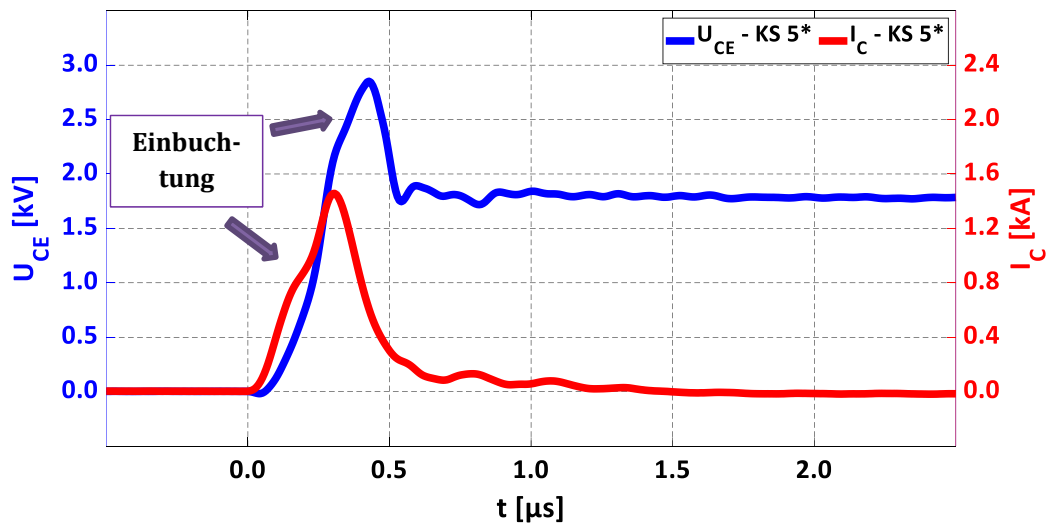


Abbildung 4-15: Messung des fünften Kurzschlussfalles im ANPC-Teststand gemessen bei  $U_{DC} = 1,8 \text{ kV}$ ,  $I_L = 1,5 \text{ kA}$  (bei ZVC),  $L_\sigma = 135 \text{ nH}$ ,  $t_{D,KS} = 15 \mu\text{s}$

Die vorherigen Erklärungen führten zu der These, dass der KS V vom Verlauf für Strom und Spannung nahezu identisch zum KS IV ZC sein sollte. Die Messung des Plasmakurzschlusses im IGBT in Abbildung 4-15 zeigt aber keinen gleichmäßig geformten Plasmaberg. Der Stromanstieg ändert drei Mal seinen Wert. Zwischen 160 ns und 220 ns ist er nahezu um die Hälfte niedriger als davor und danach. Auch die Überspannung zeigt zwischen 310 ns und 400 ns eine Einbuchtung, die von den bisherigen Verläufen in Kurzschlüssen abweicht. In der Literatur ist der Plasmaberg ohne die Artefakte für einen Spezialteststand, der sich nicht wie ein ANPC-Dreipunktumrichter verhält, abgebildet worden [27]. Diese Punkte weisen darauf hin, dass der hier gemessene KS V durch mindestens ein weiteres Ereignis beeinflusst wird.

Das Problem für diese Abweichung von der Theorie liegt im Zwischenschritt, bei dem vom Null-Volt-Pfad auf den negativen Zweig gewechselt wird, um die freien Ladungsträger aus der Diode (hier  $D_{31}$ ) zu entfernen, siehe Abbildung 4-16. Im Kommutierungsvorgang von  $D_{21}$  auf  $I_{22}$  wird über  $D_{31}$  die Spannung von 0 V (Abbildung 4-16a) auf  $U_{DC}$  verändert (Abbildung 4-16b). Es kommt dadurch zum gewünschten Ausräumen der freien Ladungsträger bei der Transition von  $0_1^-$  (Abbildung 4-16a) auf  $N_1$  (Abbildung 4-16c). Das Problem ist jedoch, dass der Zwischenkreiskondensator  $C_{DC-2}$  derweil einen Strom treiben kann, der das Plasma aus  $D_{31}$  über  $D_{12}$ ,  $I_{22}$  und  $I_{32}$  ausräumt. Dies passiert so lange, bis alle freien Ladungsträger aus der Diode  $D_{31}$  entfernt sind, flutet dabei jedoch die Diode  $D_{12}$ , die keine Spannung im gesamten Vorgang blockiert. Damit sind nun beide Halbleiter im Modul  $S_{12}$  mit Plasma geflutet (Abbildung 4-16d) und es kommt zum gleichzeitigen Eintritt des KS IV ZC ( $D_{12}$ ) und des KS V ( $I_{12}$ ).

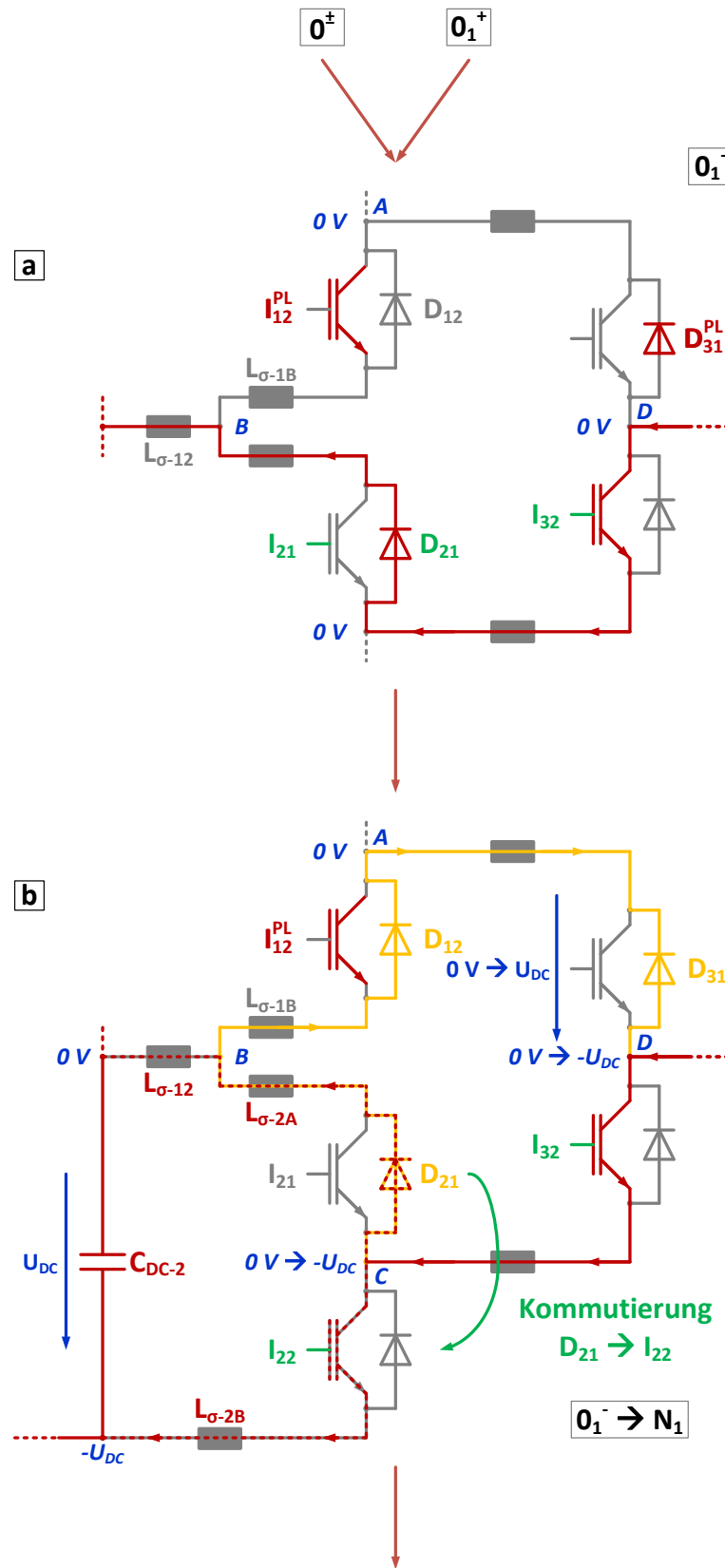


Abbildung 4-16: Erster Teilabschnitt zur Erklärung der Interferenzen im KS V bei Einsatz von ANPC-Dreipunktumrichtern, Strompfad des Plasmas von  $D_{31}$  in gelb gezeichnet



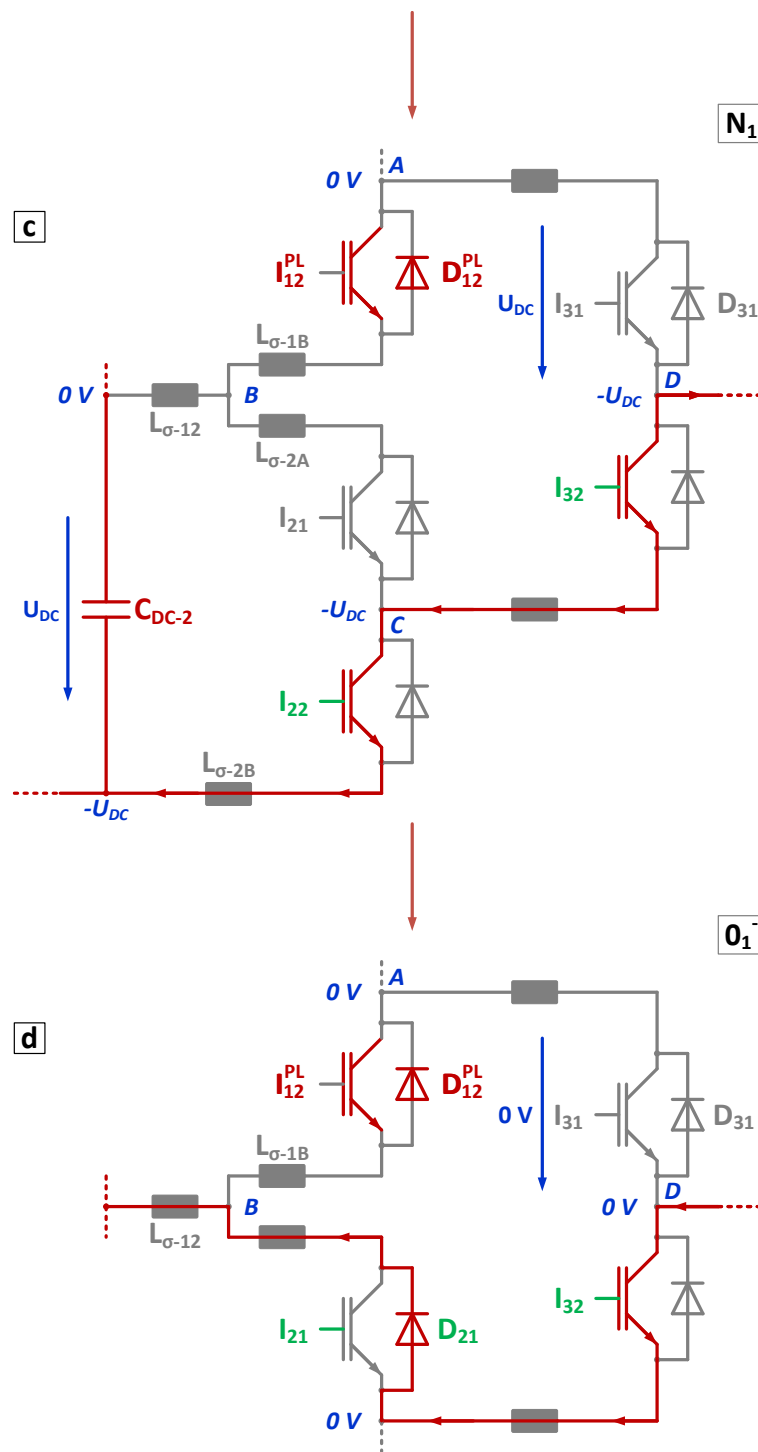


Abbildung 4-16: Zweiter Teilabschnitt zur Erklärung der Interferenzen im KS V bei Einsatz von ANPC-Dreipunktumrichtern,  $I_{12}$  &  $D_{12}$  weisen beide nun Plasma vor dem KS V auf

Die Messung der Ereignisse vor Eintritt des KS V für den  $I_{12}$  in Abbildung 4-17 zeigt zuerst die Nullspannungskommütierung bei  $-13 \mu\text{s}$  bis  $-12 \mu\text{s}$ . Der negative Stromanstieg verursacht die Spannungsspitze von fast 400 V, welche damit schon einen Teil des Plasmas in der Drift-Zone ausräumt [58]. Diese Quelle zeigt mittels Simulationen, dass das elektrische Feld am Emitter in diesem Bereich alle freien

Ladungsträger ausgeräumt hat. Da die Spannung, erzeugt durch den negativen Stromanstieg, aber gering ist im Vergleich zum normalen Abschalten, befindet sich das meiste Plasma noch im Drift-Gebiet [58]. Vor diesem Ereignis, von  $-19 \mu\text{s}$  bis  $-13 \mu\text{s}$ , sinkt der Strom im IGBT schon leicht ab. Das beruht auf der kurzzeitigen Verwendung des Zustandes mit beiden Null-Volt-Pfaden ( $0^\pm$ ). Interessant wird der Zeitpunkt ab  $-10 \mu\text{s}$ . Die Messung zeigt deutlich, dass ein inverser Strom durch das Modul  $S_{12}$  fließt, siehe Abbildung 4-17. Das Ausräumen des Plasmas aus  $D_{31}$  flutet daher, wie vorher theoretisch postuliert wurde, das intrinsische Gebiet der Diode  $D_{12}$ , siehe Abbildung 4-16b. Die Ladungsträger werden im ANPC-Dreipunktumrichter so von einem Bauelement zum anderen, abzüglich der zwischenzeitlich auftretenden Rekombination, geschoben. Dieser Stromfluss durch  $D_{12}$  ist im Betrag des Spitzenwertes circa 40 % kleiner im Vergleich zum auftauchenden KS V. Sichtbar ist weiterhin ein ziemlich langer Tail-Strom, der bis kurz vor  $-4 \mu\text{s}$  anhält. Er beträgt etwa 170 % der Dauer im KS V, siehe Abbildung 4-17. Das heißt, die eingebrachte Ladung in  $D_{12}$  ist ein nicht zu vernachlässigender Teil im darauffolgenden Plasmakurzschluss für  $I_{12}$ .

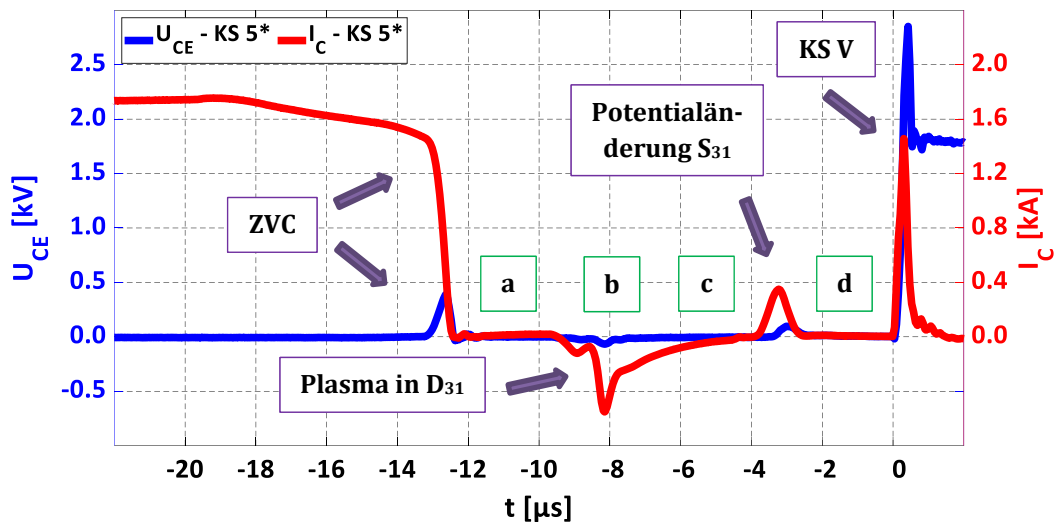


Abbildung 4-17: Ereignisse für das betroffene Bauteil vor dem Eintritt des KS V für  $I_{12}$  mit Markierungen für die Ereignisse aus Abbildung 4-16 a-d

Es erfolgt die Umschaltung von  $N_1$  (Abbildung 4-16c) zurück auf  $0_1^-$  (Abbildung 4-16d), um so Überspannungskurzschlüsse zu vermeiden, vergleiche auch Kapitel 7. Dies verändert auch den Spannungsabfall über  $I_{31}$ , sein Emitter wird von  $-U_{DC}$  auf  $0 \text{ V}$  gezogen. Dieses negative  $du/dt$  sorgt in Zusammenspiel mit der Plasmaersatzkapazität des gesamten Moduls dafür, dass nun ein inverser Ladestrom fließt. Für  $S_{12}$  heißt das, dass durch den IGBT noch einmal eine gewisse Menge an Ladungsträgern für kurze Zeit strömt, siehe Abbildung 4-17 bei  $-3,5 \mu\text{s}$ . Da jedoch keine nennenswerte Spannung über ihm aufgebaut wird, ändert dies am Kurzschlussverlauf wenig. Dadurch, dass nun  $I_{12}$ , aber auch  $D_{12}$ , Plasma vor dem Kurzschluss aufweisen, führt dies zu einem unbeabsichtigten KS IV ZC für

$D_{12}$  parallel zum KS V des  $I_{12}$ . Der Plasmakurzschluss der Diode überlagert also das Ausräumen des IGBTs und verzerrt die entsprechende Messung aus Abbildung 4-15. Das Problem mit dem unbeabsichtigten Fluss durch das antiparallele Bauelement gibt es so nicht beim KS IV ZC im ANPC-Teststand. Zwar wird dort auch die unerwünschte Ladung aus  $I_{31}$  via eines Kommutierungsvorganges herausgelöst. Diese fließt wiederum über  $D_{12}$ , jedoch ist dies genau der Halbleiter, der den Plasmakurzschluss erleiden wird. Der Entladevorgang von  $I_{31}$  über  $D_{12}$  führt des Weiteren zu keinem Spannungsabfall über der Diode, eine Forward-Recovery-Spannung kann sich nicht aufbauen, da sie schon geflutet ist. Der einzige Punkt, der eine Auswirkung haben kann, ist die Tatsache, dass der IGBT mehr Ladung aufweist, als zu diesem Zeitpunkt noch in der Diode durch Rekombination vorhanden ist. Dadurch wird die Höhe des Ladungsträgerberges im KS IV ZC verzerrt. Jedoch belegen die Simulationen aus Abbildung 4-12, dass sie ähnlich ausfallen wie die realen Messungen. Da in der Simulation die Probleme wie Plasma in einem zweiten Bauteil nicht implementiert sind, kann geschlussfolgert werden, dass das Entladen von  $I_{31}$  kaum Auswirkung auf den KS IV ZC zeigt.

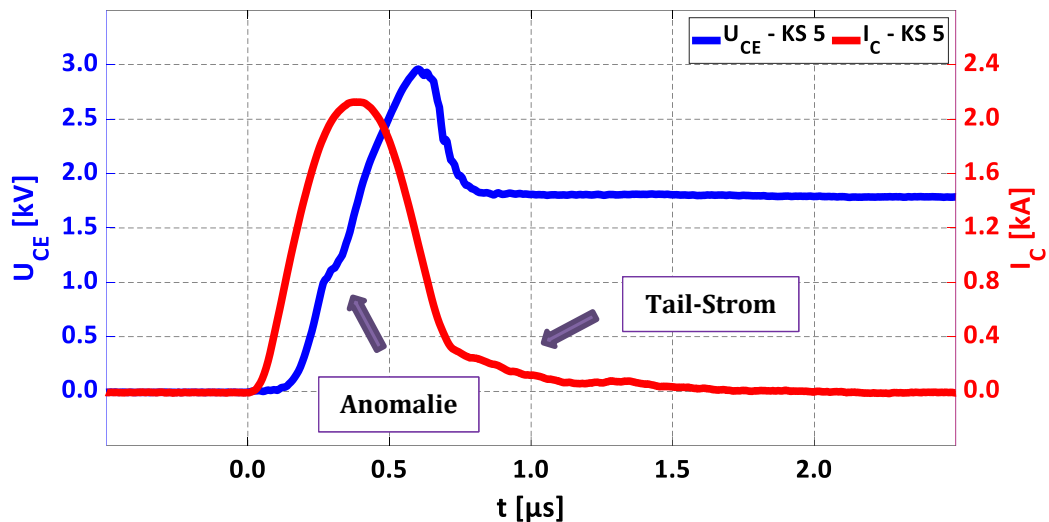


Abbildung 4-18: Messung des reinen fünften Kurzschlussfalles im Spezialteststand gemessen bei  $U_{DC} = 1,8 \text{ kV}$ ,  $I_L = 1,5 \text{ kA}$  (bei ZVC),  $L_\sigma = 185 \text{ nH}$ ,  $t_{D,KS} = 15 \mu\text{s}$

Um einen unbeeinflussten KS V ohne die Verzerrung durch den ANPC-Teststand zu bekommen, wurde ein Spezialteststand eingesetzt, bei dem keine Kommutierung, welche die antiparallele Diode fluten würde, auftritt. Alle Messungen des KS V im ANPC-Dreipunktumrichter für das Kapitel 4.2 sind nachfolgend mit ‚\*‘ indiziert worden. Ohne dieses Attribut stammt die Messung des reinen fünften Fehlerfalles vom Spezialteststand, vergleiche dazu Abbildung 4-19. Außerdem ermöglicht der Spezialteststand, dass keine Nullspannungskommutierung eintritt, welche durch das kurzzeitige Ausbreiten eines moderaten elektrischen Feldes ein Teil des Plasmas ausräumen würde. Unter den gleichen Randbedingungen fällt im KS V der Plasmaberg im Spezialteststand bedeutend höher aus, als im

ANPC-Teststand, vergleiche Abbildung 4-15 mit Abbildung 4-18. Der reine fünfte Plasmakurzschluss sieht dann im Verlauf von Strom und Spannung wieder in etwa so aus wie der KS IV ZC. Mit Einsetzen des Kurzschlusses steigt der Strom steil an, bis das Ausräumen der Plasmaersatzkapazität ab 120 ns so weit gekommen ist, dass sich ein elektrisches Feld ausbreiten kann. Dadurch wird der Verlauf des Stromanstiegs durch Herabsetzen der Spannung über der Streuinduktivität reduziert. Trotz des Spezialteststandes gibt es ab 300 ns, beziehungsweise 1,1 kV, eine Einbuchtung im Verlauf der Spannung über dem IGBT, siehe Abbildung 4-18. Da dieses Phänomen nicht in der Simulation repliziert werden konnte, ist es nicht möglich gewesen, zu klären, was die Anomalie verursacht. Der Stromfluss zu dem Zeitpunkt ist relativ gering im KS V aus Abbildung 4-18 und das  $du/dt$  ist vor und nach der Anomalie annähernd identisch, jedoch leicht reduziert. Beides spricht daher eher gegen einen Avalanche-Effekt [3].

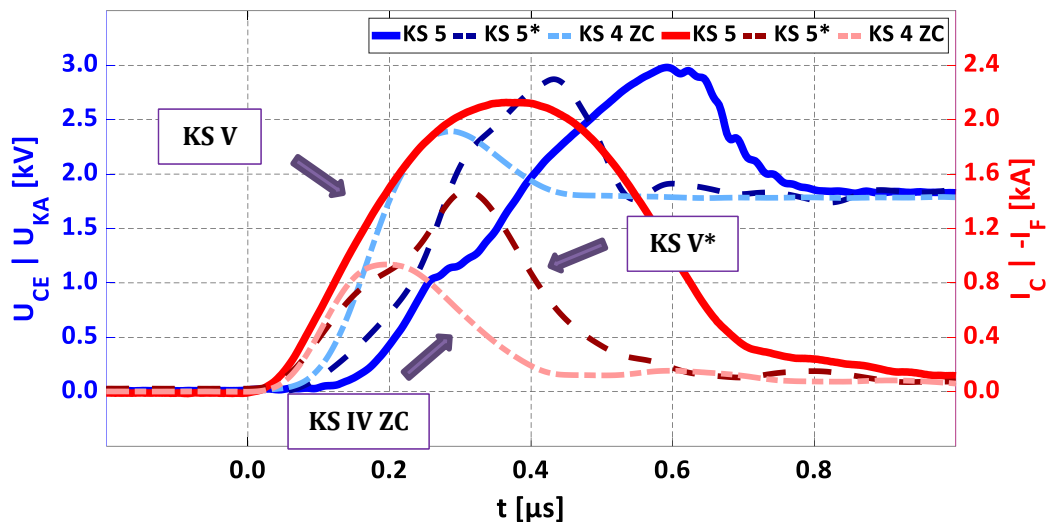


Abbildung 4-19: Vergleich KS V im Spezialteststand (durchgezogen) mit KS V\* (gestrichelt) sowie KS IV ZC im ANPC-Dreipunktumrichter (gestrichelt-gepunktet) gemessen bei  $U_{DC} = 1,8 \text{ kV}$ ,  $(-) I_L = 1,5 \text{ kA}$  (bei ZVC),  $L_\sigma = 135 / 185 \text{ (KS V) nH}$ ,  $t_{d,KS} = 15 \text{ µs}$

Der Vergleich zwischen KS V und KS IV ZC zeigt einen deutlichen Unterschied im ausgeräumten Plasma, siehe Abbildung 4-19. Nur mit dem Wegfall der Nullspannungskommütierung lässt sich das nicht vollständig erklären. Selbst der Vergleich der beiden Plasmakurzschlüsse, aufgenommen im ANPC-Teststand, zeigt, dass der KS V einen höheren Spitzenwert aufweist und zugleich länger andauert. Sprich, die Menge an freien Ladungsträgern ist deutlich in Kontrast zum KS IV ZC erhöht. Ein Teil der Differenz dürfte durch den ungewollten parallelen Plasmakurzschluss der Freilaufdiode des IGBTs entstehen. Ein weiterer Punkt ist, dass sich die Plasmakonzentrationen trotz gleichem Laststrom vor dem Kurzschluss zwischen IGBT und Diode deutlich unterscheiden können. Im verwendeten Halbleitermodul steht die Anzahl an IGBT-Chips gegenüber Dioden-Chips im Verhältnis von 2:1 [57]. Allein dadurch liegen mehr freie Ladungsträger vor. Zu

bedenken ist hierbei auch, dass die Diode des Halbleitermoduls Einstellungen zur Ladungsträgerlebensdauer haben [3]. Dadurch rekombiniert das Plasma in der Diode schneller als im IGBT. Zusätzlich wurde im KS V bei 1,8 kV der Eingriff des Überspannungsschutzes beobachtet, vergleiche dazu Abbildung 4-21. Da im KS IV ZC kein Einfluss der Schutzbeschaltung erfolgt ist, führt das Wirken des Überspannungsschutzes im KS V auch zu vergleichsweise mehr Ladungsträgern. Dies alles erklärt dann, warum der KS V im Fehlerfall so viel mehr Plasma aufweist, als der KS IV ZC bei gleichen Spezifikationen. In der Abbildung 4-19 lässt sich auch erkennen, dass der KS V im ANPC-Teststand eine Überlagerung aus dem KS IV ZC und dem reinen KS V des Spezialteststandes ist. Der Wendepunkt bei  $0,2 \mu\text{s}$  im Stromverlauf ist der Punkt, in dem der KS IV ZC in der Wirkung zurück geht und der KS V übernimmt. Der Spannungsverlauf ist durch die Plasmaersatzkapazität an den Kurzschlussstrom gekoppelt, eine Änderung von dessen Anstieg führt auch zu den mehrmaligen Unterschieden im  $du/dt$ .

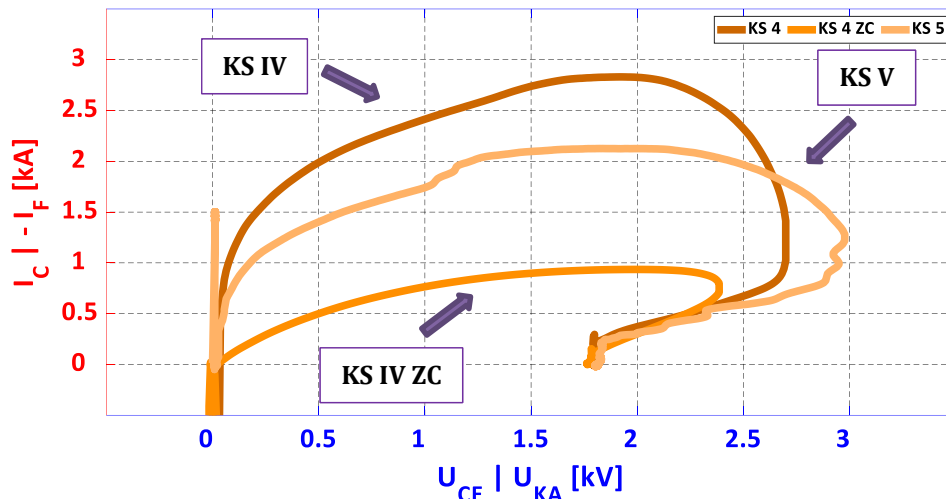


Abbildung 4-20: Kurzschlussarbeitsbereich für die drei plasmadominierten Halbleiterfehler KS IV, KS IV ZC und KS V, gemessen bei  $U_{DC} = 1,8 \text{ kV}$ ,  $(-) I_L = 1,5 \text{ kA}$  (bei ZVC),  $L_\sigma = 125 \text{ nH}$  (KS IV)  $135 \text{ nH}$  (KS IV ZC) /  $185 \text{ nH}$  (KS V),  $t_{D,KS} = 15 \mu\text{s}$  (gilt nicht für KS IV)

Während der KS V mehr Plasma aufweist, als der KS IV ZC, zeigt der vierte Kurzschlussfall noch einmal deutlich mehr freie Ladungsträger beim Ausräumen des intrinsischen Gebietes, siehe Abbildung 4-20. Diese Tatsache ist wenig verwunderlich, hat sich doch schon beim KS IV ZC gezeigt, dass in den ersten Mikrosekunden an Verzögerungszeit zwischen spannungslosem Abschalten und Fehlereintritt das meiste Plasma rekombiniert, vergleiche dazu Abbildung 4-12. Zum Kurzschlussarbeitsbereich der drei durch Plasma dominierten Fälle ist noch anzumerken, dass der gemäß Datenblatt kurzschlussfeste Arbeitspunkt [57] durch alle drei nicht oder nur kaum überschritten wird.

Wie auch schon beim KS IV ZC sind die Effekte der Einflussfaktoren Temperatur und Streuinduktivität beim KS V erwartbar. Je höher die Chiptemperatur ausfällt, desto mehr Plasma ist bei ansonsten gleichen Spezifikationen im IGBT vorhanden [138]. Das Resultat dürfte in der Theorie analog zu dem sein, welches bei einer Erhöhung des Laststromes verursacht wird. Die Variation der Streuinduktivität führt im ersten Moment zu einer Änderung des Stromanstiegs [27]. Mit Einsetzen des Ausbildens eines elektrischen Feldes übt die Höhe des Kurzschlussstromes indirekt über die Plasmaersatzkapazität Einfluss auf den Spannungsanstieg aus. Wie beim KS IV führt ein höheres  $L_\sigma$  zu einem geringeren Stromanstieg und der gesamte Vorgang des Kurzschlusses dauert daher länger.

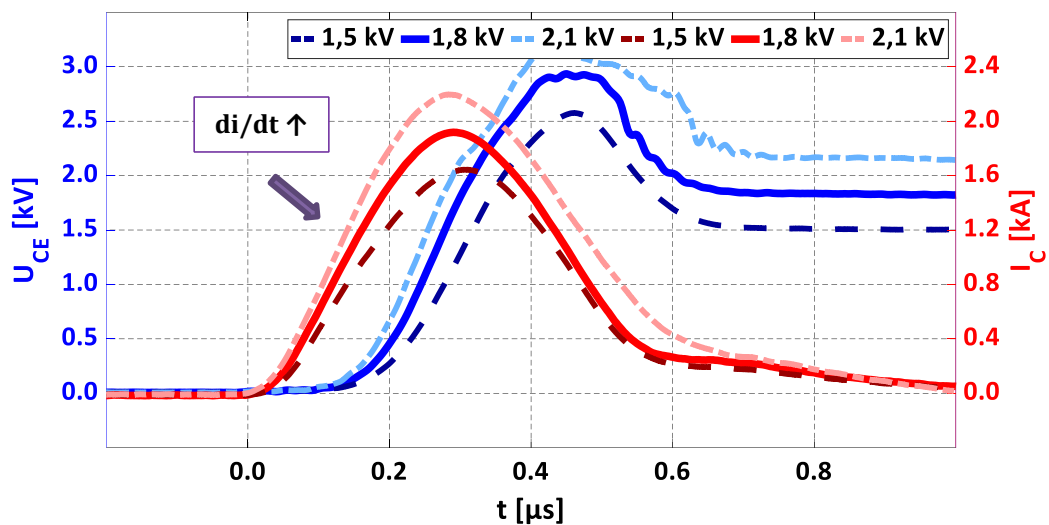


Abbildung 4-21: Variation der Zwischenkreisspannung beim KS V gemessen bei  $U_{DC} = 1,5 / 1,8 / 2,1$  kV,  $I_L = 1,5$  kA (bei ZVC),  $L_\sigma = 185$  nH,  $t_{D,KS} = 20$   $\mu$ s

Der offensichtlichste Unterschied ist die Erhöhung des Stromanstiegs durch eine Anhebung der Zwischenkreisspannung, analog zu den Erkenntnissen aus dem KS IV ZC des Kapitels 4.1. Einen Unterschied gibt es aber bei sehr hoher Zwischenkreisspannung von 2,1 kV beim KS V zu beobachten. Die Überspannungsspitze fällt dort so hoch aus, dass der Überspannungsschutz kurzzeitig den IGBT wieder aufsteuert. Durch das Wirken der Schutzbeschaltung werden zusätzliche freie Ladungsträger in das Drift-Gebiet befördert, welche nach Ende des Eingriffes wieder entladen werden müssen. Beim KS IV ZC wird der Eingriff des Überspannungsschutzes dagegen nicht beobachtet. Die Ursache für das unterschiedliche Verhalten der beiden Plasmakurzschlüsse bei gleicher Ausgangslage ist das verringerte  $L_\sigma$  im ANPC-Teststand (135 nH) im Gegensatz zum Spezialteststand (185 nH), welches eine geringere Überspannung verursacht.

Eine Variation des Laststromes durch den IGBT, bevor er spannungslos abgeschaltet wird, führt wie schon beim KS IV ZC zu einer deutlichen Vergrößerung des Plasmabergeres bei konstantem Stromanstieg. Die Anhebung der freien

Ladungsträger wirkt sich damit direkt auf die Plasmaersatzkapazität aus. Bei erhöhtem Plasma sinkt durch einen gleichbleibenden Entladestrom der Spannungsanstieg folglich. Der KS V kann besonders bei hohen Zwischenkreisspannungen einen Avalanche aufweisen [27]. Die Begründung dafür liegt an dem geschlossenen MOS-Kanal und dem Abbau des Plasmas mit Löcherwanderung durch das sich ausbreitende elektrische Feld, vergleiche dazu [66] und [147].

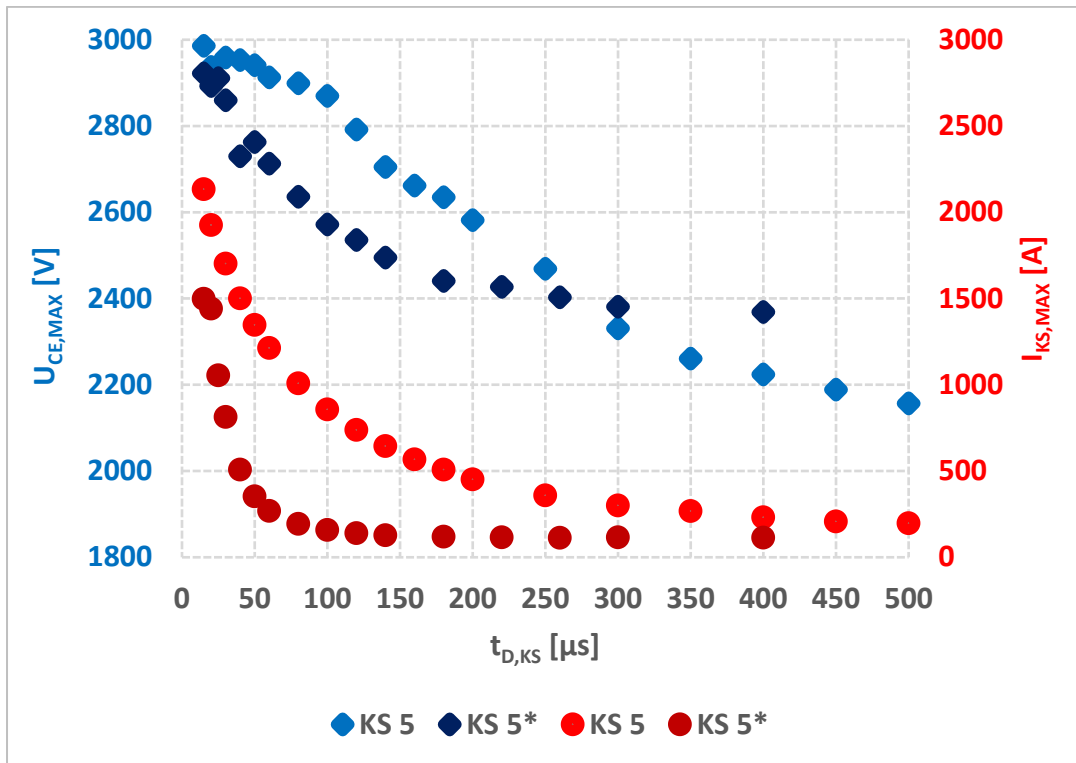


Abbildung 4-22: Auswirkung der Variation der Zeitverzögerung im KS V auf  $I_{KS,MAX}$  und  $U_{CE,MAX}$  (helle Farben KS V im Spezialaufbau / dunkle Farben KS V\* im ANPC Messstand) gemessen bei  $U_{DC} = 1,8 \text{ kV}$ ,  $I_L = 1,5 \text{ kA}$  (bei ZVC),  $L_\sigma = 135 \text{ nH}$  (KS V\*) /  $185 \text{ nH}$  (KS V)

Wie schon beim KS IV ZC nimmt mit zunehmender Zeitdifferenz zwischen spannungslosem Abschalten und Eintritt des KS V die Menge des Plasmas im IGBT weiter ab, vergleiche Abbildung 4-11 mit Abbildung 4-22. In der Literatur lässt sich dazu die Aussage finden, dass mit Zunahme von  $t_{D,KS}$  sich das Plasma vor allem in der Mitte des Bauteiles befindet [27], welches auch bei der Diode vor dem KS IV ZC beobachtet wurde, siehe Abbildung 4-11. An den Rändern der intrinsischen Zone, das heißt die hochdotierten Bereiche am Kollektor und Emitter des IGBTs, diffundieren die freien Ladungsträger stärker [58]. Die induktiv verursachte Gegenspannung durch die Nullspannungskommütierung führt zu einem teilweisen Ausräumen des Plasmas im Emitter-Bereich und erklärt, warum der KS V im ANPC-Teststand weniger freie Ladungsträger aufweist als im Spezialteststand, siehe Abbildung 4-22.

Der Vergleich zwischen der Messung des KS V im ANPC-Teststand und im Spezialteststand in Abbildung 4-22 zeigt, dass in beiden Fällen der maximale Kurzschlussstrom als Indikator für das Plasma relativ rasch in den ersten 50  $\mu\text{s}$  Mikrosekunden abfällt. Jedoch reduziert sich in den Messungen im ANPC-Teststand die Menge der freien Ladungsträger deutlich schneller, ab 140  $\mu\text{s}$   $t_{D,KS}$  ist der stationäre Endstand erreicht. Im Spezialaufbau tritt dieser Zustand erst ab circa 450  $\mu\text{s}$  ein. Dies ist ein weiteres Indiz dafür, wie stark die Nullspannungskommutterung sich auf die Menge des Plasmas im Halbleiter auswirkt. Zu beachten ist auch, dass die Streuinduktivität im Spezialteststand mehr als ein Drittel größer ausfällt als bei dem ANPC-Teststand. Gemäß den Erkenntnissen aus dem KS IV mit variabler  $L_\sigma$  in Abbildung 3-40 ist bekannt, dass mehr Streuinduktivität zu einem geringeren Spitzenwert im Kurzschlussstrom führt. Übertragen auf die hier gemachten Untersuchungen hieße dies, dass alle Messungen zum KS V im ANPC-Teststand ein größeres  $I_{KS,MAX}$  bei gleichen Messparametern haben müssten. Das der umgekehrte Fall eintritt, zeigen deutlich die Werte vom KS V in Vergleich zum KS V\* in Abbildung 4-22. Dies belegt, dass schon mehr Ladung vor dem Fehlerfall im ANPC-Teststand ausgeräumt wurde. Dazu gehört auch die Tatsache, dass bis 250  $\mu\text{s}$   $t_{D,KS}$  die Überspannung im hochinduktiven Testaufbau wie erwartet größer ausfällt. Ab da an kehrt sich das Verhältnis um. Der niederinduktivere ANPC-Teststand weist mehr Überspannung auf als das Pendant mit dem Spezialteststand. Die Ursache hierfür dürfte darin liegen, dass im ANPC-Teststand neben dem IGBT I<sub>12</sub> auch der Halbleiter S<sub>31</sub> einen kapazitiven Spannungssprung erfährt, siehe Abbildung 4-16. Dies verzerrt den Verlauf der Spannung im KS V, denn im Spezialteststand erfährt nur der IGBT mit dem KS V, aber kein anderer Halbleiter, eine rapide Änderung der Spannung. Im Vergleich zum KS IV ZC ist beim KS V, egal in welchem Teststand, keine Spannungsanomalie zu beobachten, vergleiche dazu Abbildung 4-12 mit Abbildung 4-22.

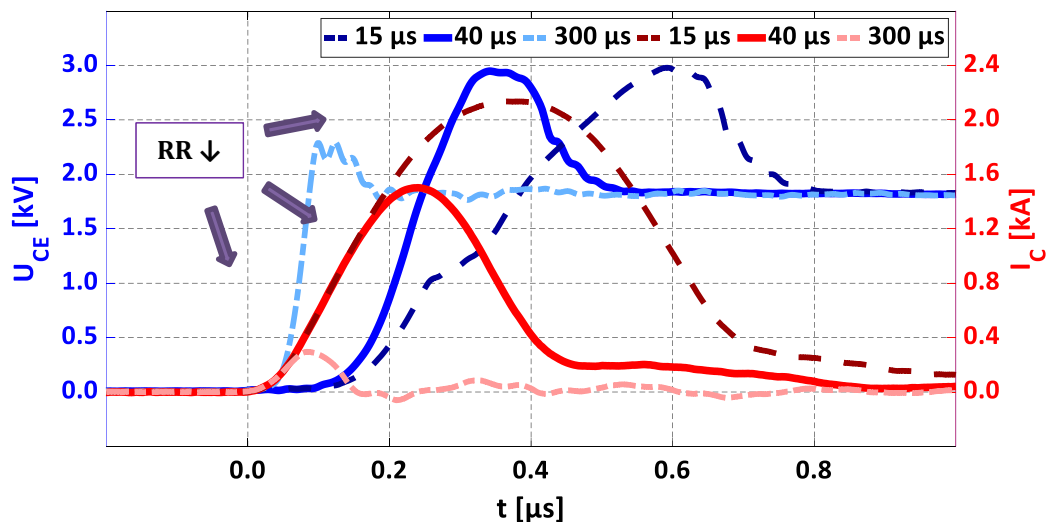


Abbildung 4-23: Variation der Zeitverzögerung im KS V bei ausgewählten Punkten gemessen bei  $U_{DC} = 1,8 \text{ kV}$ ,  $I_L = 1,5 \text{ kA}$  (bei ZVC),  $L_\sigma = 185 \text{ nH}$  (KS V),  $t_{D,KS} = 15 / 40 / 300 \mu\text{s}$



Ein Vergleich der Messungen bei  $15 \mu\text{s}$ ,  $40 \mu\text{s}$  und  $300 \mu\text{s}$   $t_{D,KS}$  zeigt den Effekt der Reduktion der Plasmamenge im IGBT, siehe Abbildung 4-23. Logischerweise führt eine Erhöhung der Zeitdifferenz zwischen spannungslosem Abschalten und Fehlereintritt zu einer Absenkung der freien Ladungsträger, wie auch schon Abbildung 4-22 aufgezeigt hat. Je weniger Plasma im Bauteil noch vorhanden ist, desto größer der Spannungsanstieg, da der Entladestrom durch die parasitäre Induktivität indirekt definiert ist. Mit verringerter Plasmaersatzkapazität muss folglich das  $du/dt$  zunehmen. In Abbildung 4-23 zeigt sich noch einmal, dass die Anomalie aus dem KS IV ZC im KS V nicht auftaucht. Dies ist ein weiterer Hinweis, dass für das beobachtete Phänomen beim KS IV ZC weder der Teststand noch Messartefakte verantwortlich sind, sondern ein interner Vorgang in der Diode der Grund sein muss.

### 4.3 Sonderfälle durch Plasmaeinfluss

Zwei eher ungewöhnliche Fälle sind auch theoretisch durch Plasma im Halbleiter möglich. Ihre Entdeckung erfolgte erst am Ende dieser Arbeit und sie wurden daher nicht gemessen. Ein weiterer Grund ist, dass sie beide sehr analog zu den vorherigen Kurzschlussfällen sind. Für den ersten Fall ist der Startpunkt der Zustand  $0_{1^-}$  (oder  $0_{2^-}$ ), bei dem  $I_{21}$  und  $D_{32}$  den Laststrom führen, vergleiche dazu Tabelle 2-1 und Abbildung 2-3. Ein Wechsel auf die positive Phaseausgangsspannung via dem Zustand  $P_2$  führt dazu, dass nun  $I_{11}$  und  $I_{31}$  den Strom führen. Jedoch bleibt  $I_{21}$  weiterhin eingeschaltet und mit Plasma geflutet, hat aber im Unterschied zum KS V einen ausgebildeten Kanal. Kommt es nun zum Versagen von  $S_{22}$ , so erlaubt der eingeschaltete  $I_{21}$  das Ausbilden eines Kurzschlussstromes. Das Ganze ist damit eigentlich eine Variante vom KS II ZC mit einem markanten Unterschied. Das weiterhin existente Plasma, soweit es nicht durch Rekombination schon reduziert wurde, sorgt dafür, dass der Widerstand des Drift-Gebietes niedrig ist. Infolgedessen kommt es zu keinem oder einem nur schwach ausgeprägten Forward-Recovery-Effekt. Es ist also genau genommen ein KS II ZC mit Plasma.

Der zweite Fall ist quasi zu dem vorher beschriebenen gespiegelt. Im Zustand  $0_{1^+}$  (oder  $0_{2^+}$ ) fließt der Laststrom über  $D_{12}$  und  $T_{31}$ , siehe auch Tabelle 2-1 und Abbildung 2-3. Wird als nächster Arbeitspunkt der Phase der Zustand  $N_2$  angesteuert, erfolgt eine Kommutierung auf die Schalter  $S_{22}$  und  $S_{32}$ , respektive die entsprechenden Freilaufdioden. Jedoch ist in der Diode  $D_{12}$  weiterhin Plasma enthalten, da keine Spannung an sie angelegt wurde. Zusätzlich ist ihr antiparalleler IGBT weiterhin eingeschaltet. Kommt es nun zum Durchbruch von  $S_{11}$ , so kommt es zu einer Variante vom KS III, da der IGBT den Kurzschlussstrom führen kann, während die Diode noch Plasma enthält. Die Abgrenzung zum dritten Halbleiterfehler erfolgt aber durch den fehlenden Laststrom durch die Diode. Daher könnte dieser beschriebene Sonderfehler auch als KS III ZC bezeichnet werden.

## 5 Höherinduktive Serienkurzschlüsse

In den vorherigen Kapiteln sind alle existierenden Grundtypen an Halbleiterkurzschlüssen im Detail erläutert worden. Alle Fehlersituationen mit mehr als einem betroffenen IGBT und / oder Diode bauen in der Theorie auf den fünf Kurzschlüssen auf [16]. Daraus ergibt sich die Möglichkeit, dass nicht jeder Aspekt von Kurzschlüssen mit mindestens zwei betroffenen Halbleitern untersucht werden muss, sondern aus den Erkenntnissen des Kapitels 3 deduziert werden kann. Die einfachste Möglichkeit für eine Kombination an Halbleiterfehlern stellt die Serienschaltung zweier Kurzschlüsse dar [16]. Dieses Konstrukt ist in diversen Arbeiten, sei es zum NPC-Dreipunktumrichter [12], dem ANPC-Dreipunktumrichter [22] oder allgemein eine Serienschaltung zweier IGBTs [148], vorgestellt worden. Jedoch hat bis dato eine allumfassende Untersuchung zu der Thematik im besonderen Bezug auf den ANPC-Dreipunktumrichter gefehlt [29]. Auf diese Arbeit baut der vorliegende Abschnitt auf und erweitert die Erkenntnisse an bestimmten Stellen. Dabei gliedert sich das Kapitel 5 in zwei große Blöcke auf. Der erste behandelt die direkte Serienschaltung zweier IGBTs und / oder Dioden. Im zweiten Abschnitt werden sogenannte Pseudofehler aufgezeigt, bei denen in der Praxis nur einer der beiden Halbleiter einen Kurzschluss erfährt [29].

### 5.1 Serienschaltung zweier Kurzschlüsse

Die erste Erwähnung einer Serienschaltung mindestens zweier Halbleiter im Kurzschluss beim ANPC-Dreipunktumrichter erfolgte im Jahre 2009, jedoch ohne zu benennen, um welche Kurzschlussstypen es sich konkret handelt [76]. Vorab tauchten Beschreibungen für andere Varianten an Umrichtern in der Literatur auf. Die allererste Nennung, jedoch unter Einsatz von Thyristoren, stammt aus dem Jahre 1995 [11]. Die Serienschaltung zweier Kurzschlüsse kann in drei Gruppen weiter eingeteilt werden [29]. Die erste Variante als Summe zweier Kurzschlüsse zweiter Ordnung ( $KS II + II$ ) weist dabei diverse Abarten auf. Die anderen beiden, zweimal der dritte Fehlerfall ( $KS III + III$ ), beziehungsweise der vierte Typ ( $KS IV + IV$ ), weisen dagegen nur eine Ausführung auf [29]. Neben dem durchgebrochenen Bauelement, welches den Kurzschluss initiiert, und den zwei betroffenen Halbleitern im Kurzschluss, kommt dabei eine zusätzliche Freilaufdiode ins Spiel, um den Kurzschlusspfad zu ermöglichen [149]. So lange diese nicht durch den hohen Kurzschlussstrom Stromfilamente verursacht [139], greift sie nicht aktiv in das Geschehen ein. Es kommt zu einem steigenden Spannungsabfall über der Diode gemäß ihrem Kennlinienfeld, dass jedoch im Vergleich zur Entsättigungsspannung des IGBTs marginal ist.

### 5.1.1 Kurzschlussfall II + II

Eine erste fundierte Beschreibung inklusive Messung eines KS II + II für den NPC-Dreipunktumrichter lässt sich im Jahre 2013 finden [12]. Die Ausgangslage für den Kurzschluss ist bei positivem Laststrom eine Phaseausgangsspannung von  $+U_{DC}$ , beziehungsweise die Halbleiter  $I_{11}$  und  $I_{31}$  sind eingeschaltet [150]. Ob der Schalter  $S_{21}$  dabei auch eingeschaltet ist ( $P_2$ ) oder nicht ( $P_1$ ), spielt für den Verlauf des Kurzschlusses erst einmal keine Rolle. Ein Durchbrechen des Elementes  $S_{32}$ , dass vorher  $U_{DC}$  blockiert hat, führt zu einem Ausbreiten des Kurzschlusses über  $I_{11}$ ,  $I_{31}$  und  $D_{21}$ , siehe Abbildung 5-1. Im Gegensatz zum einfachen KS II ist hierbei die Streuinduktivität des Kreises deutlich größer, da eine Summe aus  $L_{\sigma-1A}$ ,  $L_{\sigma-12}$ ,  $L_{\sigma-2A}$ ,  $L_{\sigma-3A}$  &  $L_{\sigma-3B}$  im Vergleich zur Summe aus  $L_{\sigma-1A}$ ,  $L_{\sigma-1B}$  &  $L_{\sigma-12}$  beim KS II vorliegt, siehe Kapitel 3.2 und Abbildung 5-2a. Infolgedessen ist auch der Stromanstieg mit Einsetzen des doppelten Kurzschlusses herabgesetzt. Werden die Durchlassspannungen über den betroffenen Halbleitern vernachlässigt, ergibt dies eine Absenkung des  $di/dt$  auf grob 60 % des ursprünglichen Wertes beim KS II im ANPC-Teststand.

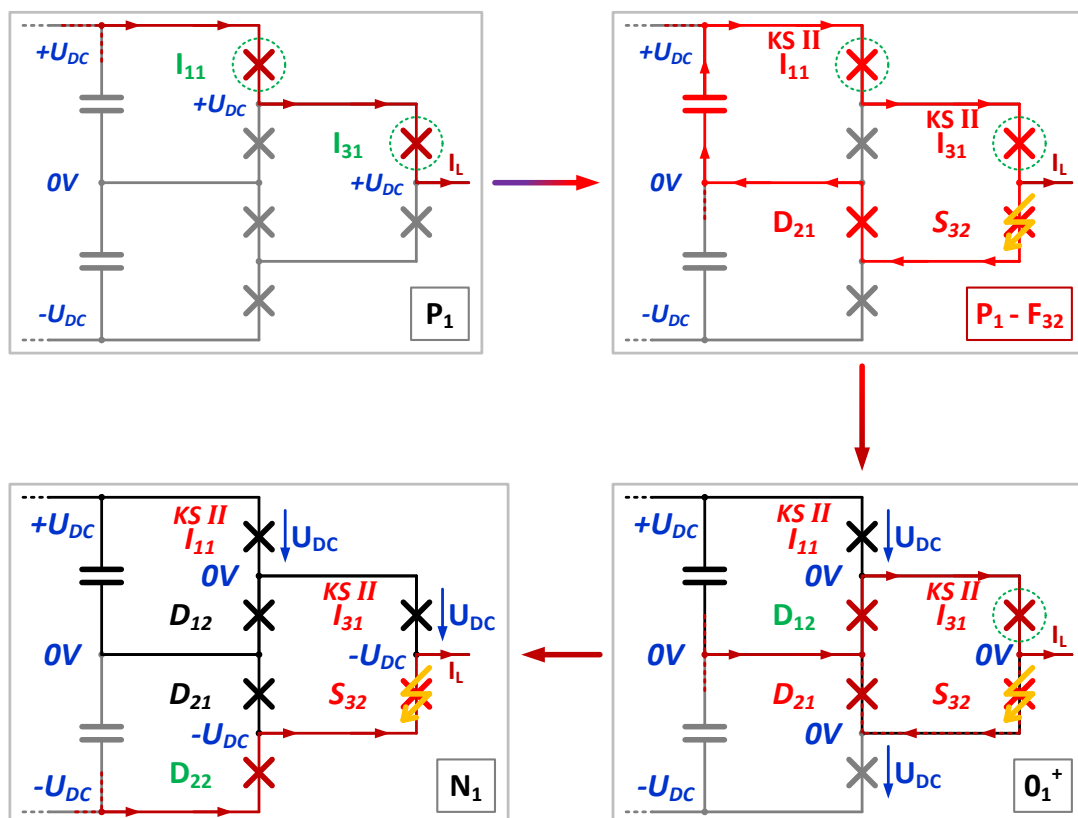


Abbildung 5-1: Eintritt des KS II + II im ANPC-Dreipunktumrichter

Während bei der Stromzunahme der KS II + II relativ analog zum KS II ist, kommt es beim Entsättigungsvorgang zu messbaren Unterschieden, siehe Abbildung 5-3. Auf Grund des geringeren  $di/dt$  von ungefähr  $9,1 \text{ kA}/\mu\text{s}$  verschiebt sich

der Zeitpunkt des Entsättigens im Vergleich zum Einzelkurzschluss um mehr als 300 ns nach hinten, vergleiche dazu Abbildung 3-12 mit Abbildung 5-3. Wie schon im Kapitel 3.2 zum KS II erklärt wurde, führt ein geringerer positiver Stromanstieg auch zu einem entsprechend reduzierteren Abfall nach Erreichen der Stromspitze. Als Konsequenz bleibt die Überspannung bei Werten um 2,8 kV und überschreitet nicht wie beim KS II die Schwelle von 3,0 kV. Beide IGBTs im KS II + II entsättigen nahezu zeitgleich bei 2,2  $\mu$ s, der Unterschied beträgt nur wenige Nanosekunden, siehe Abbildung 5-3. Eine Erklärung für diese geringe Zeitdifferenz zwischen den beiden Halbleitern könnten Totzeiten zwischen den Messsonden sein. Alternativ führt ein geringer Unterschied in  $U_{GE}$  bei den beiden Treibern für  $I_{11}$  und  $I_{31}$  dazu, dass der Zeitpunkt der Kanalabschnürung leicht differiert [3]. Als Letztes kann eine natürliche Streuung der Bauteilparameter dazu führen, dass das Ausgangskennlinienfeld der IGBTs unterschiedlich ausfällt [94]. Auch dies würde zu einer gewissen Spreizung zwischen den Zeitpunkten der Entsättigung für  $I_{11}$  und  $I_{31}$  führen.

Im statischen Kurzschlussbereich ab 6,5  $\mu$ s teilt sich die Zwischenkreisspannung nahezu hälftig über den beiden IGBTs auf, siehe Abbildung 5-3. Eine Abweichung von einer 1:1 - Verteilung kann von einer Unterscheidung im Ausgangskennlinienfeld des IGBTs herrühren [22]. Eine Steigerung des Laststromes und / oder der Zwischenkreisspannung vor dem Fehlereintritt verbessert gemäß der Literatur die Symmetrierung über beiden IGBTs [148]. Sollten jedoch die Parameter der Halbleiter zu sehr streuen, oder die Gate-Emitter-Spannung bewusst bei einem der IGBTs herab gesetzt worden sein [22], dann verändert dies auch den Spannungsteiler. Aus der Halbierung von  $U_{CE}$  pro Halbleiter im Vergleich zum KS II folgt, dass die Schaltverlustleistung und damit auch Energie während des Serienkurzschlusses deutlich unter dem des Einzelfalles liegt, siehe [16] und Abbildung 5-4. Die Robustheit muss damit aber nicht unbedingt besser werden, wie in einer Quelle als These vertreten wird [22]. Wie in Arbeiten zum Thema Ausfall durch Stromfilamentierungen dargelegt wurde, führt eine niedrige Zwischenkreisspannung dazu, dass ein gefährlicher Arbeitspunkt mit Durchbruch des Halbleiters erreicht werden kann [84]. Demgegenüber steht jedoch, dass die erhöhte Streuinduktivität im KS II + II im Vergleich zum KS II ein niedrigeres  $di/dt$  verursacht, welches eine Reduktion des Self-Turn-On-Effektes hervorruft. Folglich steuern die IGBTs im Serienkurzschluss weniger stark auf und der Spitzenstrom senkt sich um mehr als 15 % gegenüber dem Einzelfehlerfall ab, siehe Abbildung 5-4. In den in dieser Arbeit mehr als 80 durchgeführten Messungen zu dem KS II + II kam es zu keinem Durchbruch eines Halbleiters im Kontrast zum KS II. Dieses Problem könnte jedoch entstehen, wenn der Entsättigungspunkt einer der beteiligten Halbleiter bei einem deutlich niedrigeren Kurzschlussstrom eintritt als für den zweiten Schalter [22]. Dadurch würde der zweite IGBT keine Entsättigung und damit keinen Kurzschluss erfahren. Der erste IGBT führt einen

reinen hochinduktiven KS II aus und übernimmt die komplette Zwischenkreisspannung. Vorteilhaft wäre aber immer noch der reduzierte Rückkopplungseffekt durch das erhöhte  $L_\sigma$ , welches indirekt den Spitzenstrom senkt.

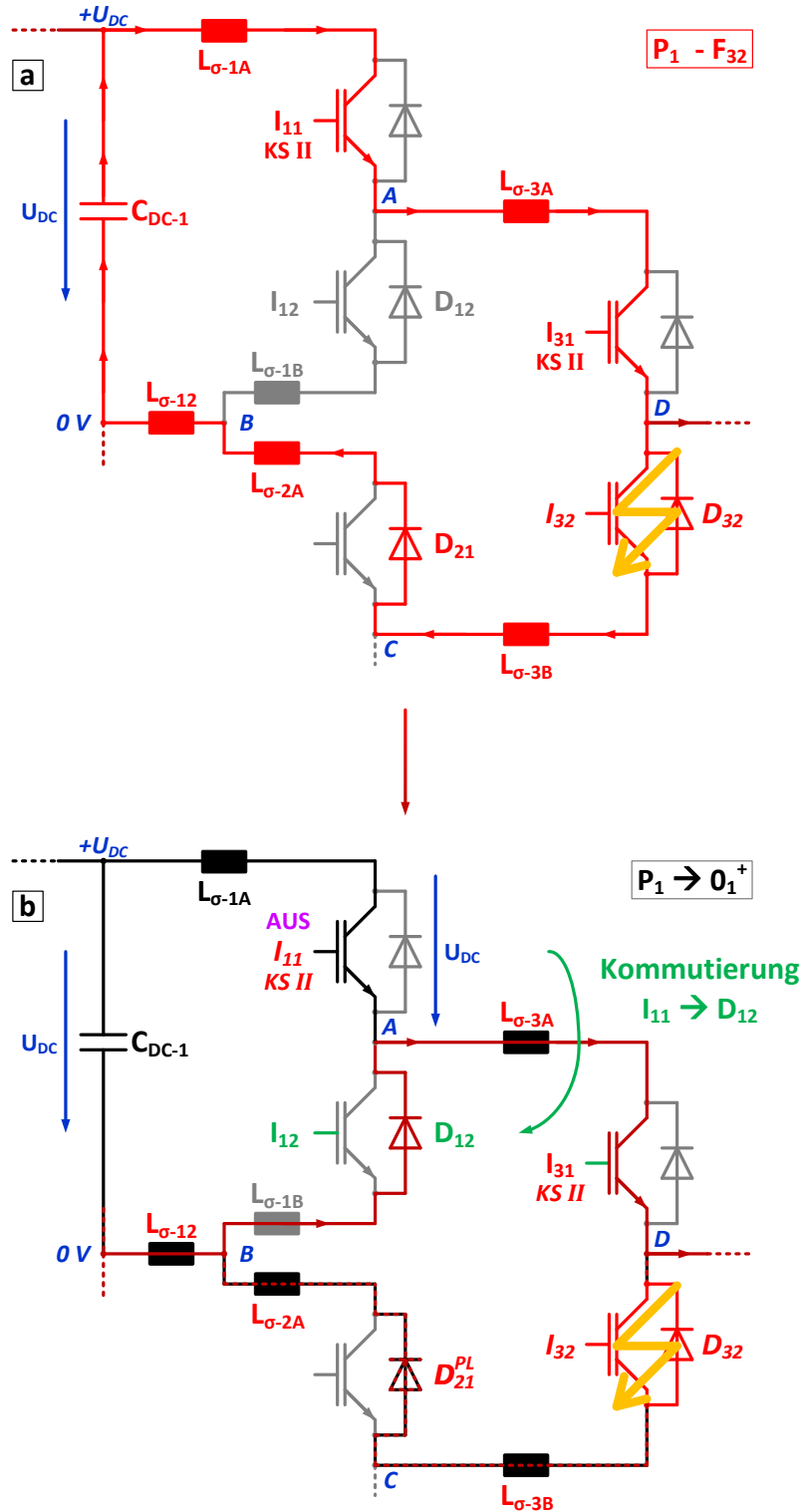


Abbildung 5-2: Detailansicht des KS II + II im ANPC-Dreipunktumrichter erster Abschaltvorgang

Für den Ausschaltvorgang eines Serienkurzschlusses wurde schon im Jahre 2009 beschrieben, dass ein zeitversetztes Abschalten zwischen den beiden Halbleitern benötigt wird [45]. Zuerst soll dabei der äußere ( $I_{11}$ ) und danach der innere IGBT ( $I_{31}$ ) abgeschaltet werden [72]. Dadurch erfolgt eine Kommutierung innerhalb der niederinduktiven Halbbrücke von  $I_{11}$  auf  $D_{12}$ , siehe [29] und Abbildung 5-2b. Zusätzlich wird dadurch der beteiligte Zwischenkreiskondensator  $C_{DC-1}$  aus dem Kurzschlusskreis genommen [16]. Anders herum würde ein Abschalten von  $I_{31}$  vor  $I_{11}$  dazu führen, dass der erstgenannte IGBT gegen eine viel höhere Streuinduktivität abschalten muss [6]. Die so entstehende höhere Überspannung über dem Halbleiter müsste entweder mit einer Schutzbeschaltung [148] oder einer Freilaufdiode, falls überhaupt möglich, reduziert werden [16]. Obendrein würde es zu einer Kommutierung von  $I_{31}$  auf  $D_{22}$  kommen, da der positive Laststrom, getrieben durch die Lastinduktivität, auf diesen Pfad gezwungen werden würde. Dies würde zu einem Sprung in der Phaseausgangsspannung von  $+U_{DC}$  vor dem Fehlereintritt auf danach  $-U_{DC}$  führen. Bei der korrekten Abschaltreihenfolge erfolgt dagegen ein erster Schritt auf 0 V [16]. Erst mit dem Abschalten von  $I_{31}$  würde die Phaseausgangsspannung dann auf  $-U_{DC}$  durch den Wechsel auf den Freilaufpfad via  $D_{22}$  und  $D_{32}$  wechseln.

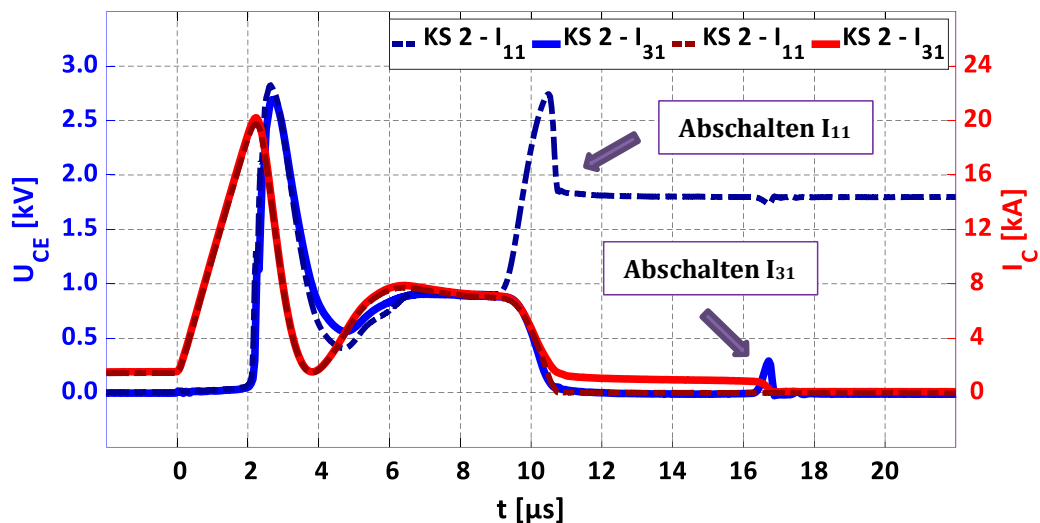


Abbildung 5-3: Messung des Serienkurzschlusses KS II + II  
gemessen bei  $U_{DC} = 1,8 \text{ kV}$ ,  $I_L = 1,5 \text{ kA}$ ,  $L_\sigma = 240 \text{ nH}$

In der Abbildung 5-3 zeigt sich, dass mit dem ersten Abschaltbefehl kurz vor  $10 \mu\text{s}$  der IGBT  $I_{11}$  der Kurzschlussstrom reduziert und daher Überspannung erfährt. Der zweite Halbleiter  $I_{31}$  kann keine Spannung sperren, da nun die Diode  $D_{12}$  leitet und dieser IGBT weiter eingeschaltet ist. Dadurch wird der Kurzschlussstrom durch  $I_{11}$  abgeschaltet und der Laststrom teilt sich über die beiden Null-Volt-Pfade auf, vergleiche dazu [29] und Abbildung 5-2b. Diese Verteilung dürfte eigentlich nicht auftreten, da  $D_{21}$  den Stromfluss durch den negativen Pfad blockieren müsste. Jedoch übernimmt sie in der Konstellation keine Spannung und

weist somit noch Plasma auf. Infolgedessen ist auch durch sie kurzzeitig bis zu ihrem vollständigen Ausräumen der freien Ladungsträger ein Strom möglich. Des Weiteren gilt, dass die parasitären Induktivitäten, durch die der Kurzschlussstrom geflossen ist, auch nach dem Abschalten von  $I_{11}$  erst einmal den Strom weitertreiben. Dabei sorgt  $L_{\sigma-3A}$  dafür, dass der Strom von  $D_{12}$  zu  $I_{31}$  fließt. Die Impedanzen  $L_{\sigma-12}$  und  $L_{\sigma-3B}$  erzwingen jedoch einen Stromfluss durch  $D_{21}$  und dem zerstörten  $S_{32}$ . Das heißt, dieser Fluss ist nun dem durch das Plasma von  $D_{12}$  ermöglichten Entladestrom entgegengesetzt. Es existiert also kurzzeitig neben dem Laststrom eine Art Kreisstrom über  $D_{12}$ ,  $D_{22}$ ,  $I_{31}$  und  $S_{32}$  [29].

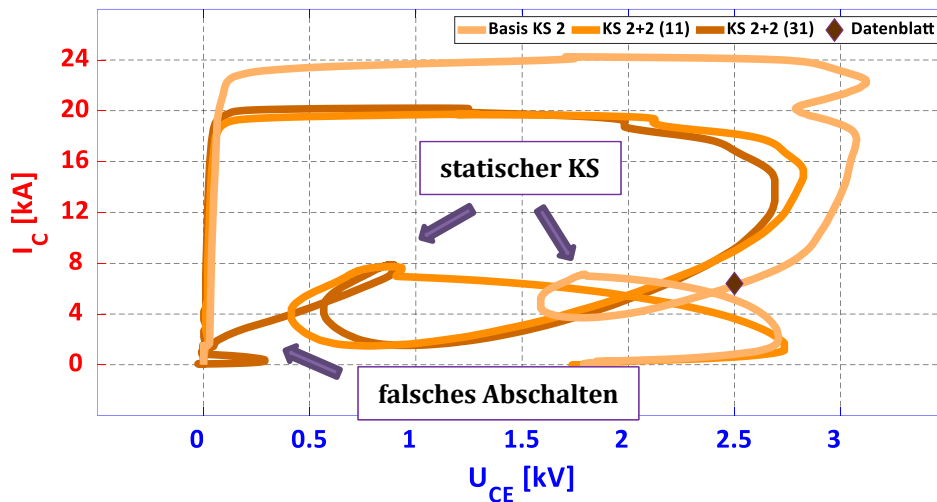


Abbildung 5-4: Kurzschlussarbeitsbereich beim KS II im Vergleich zum KS II + II gemessen bei  $U_{DC} = 1,8 \text{ kV}$ ,  $I_L = 1,5 \text{ kA}$ ,  $L_\sigma = 110 \text{ nH}$  (KS II) /  $240 \text{ nH}$

Jedoch sollten die beiden vorherigen Begründungen nur zu einem zweiten Null-Volt-Pfad für wenige Mikrosekunden führen. Danach müsste der gesamte Laststrom über  $D_{12}$  und  $I_{31}$  fließen. Die Messung aus Abbildung 5-3 zeigt aber ein gegenteiliges Bild, der Stromfluss durch den positiven Null-Volt-Pfad beträgt nur 66 % vom Laststrom. Die Hauptursache für diese Abweichung liegt in einem Konstruktionsfehler des Teststandes. Die Drossel zur Erzeugung des Laststromes hätte zwischen dem Phasenausgang und dem Neutralpunkt im Versuchsaufbau angebracht werden müssen, um eine korrekte Messung zu erhalten. Stattdessen befindet sie sich jedoch parallel zum  $S_{32}$ . Zwar verursacht das bis  $10 \mu\text{s}$  den richtigen KS II + II, jedoch kann ein Teil des Laststromes nach Abschalten von  $I_{11}$  über  $D_{32}$  sich freilaufen. Dies verzerrt das Verhalten zwischen  $10 \mu\text{s}$  bis  $15 \mu\text{s}$ . Ohne diese Fehlanordnung müsste  $I_{31}$  den kompletten Laststrom führen. Eine dann korrekte Darstellung des Abschaltvorganges findet sich in der Messung zum KS II ZC + II im nachfolgenden Kapitel 5.1.2.

Der nun durch den IGBT  $I_{31}$  fließende Strom, unabhängig vom fehlerhaften Teststandaufbau, ist kleiner als im Kurzschlussfall, da er maximal den Wert des

Laststromes erreicht. Infolgedessen geht der IGBT  $I_{31}$  wieder in die Sättigung über. Nach weiteren  $5 \mu\text{s}$  erfolgt das Abschalten dieses Halbleiters und der Laststrom kommutiert auf  $D_{22}$  sowie  $D_{32}$ . Da dieser IGBT nicht mehr entsättigt ist, geschieht ein normaler Abschaltvorgang bei dem folgerichtig ein Miller-Plateau in der Gate-Emitter-Spannung auftaucht. Auch hier zeigt sich das Problem des fehlerhaften Teststandes. In der Theorie würde ein Abschalten von  $I_{31}$  eine Kommutierung auf  $D_{22}$  veranlassen, was zu einer Spannungsaufnahme über diesem IGBT in Höhe der Zwischenkreisspannung plus induktiver Überspannung führt. Durch die falsche Anordnung der Lastdrossel gibt es einen weiteren Freilaufpfad für den Laststrom, der beim Abschalten von  $I_{31}$  verhindert, dass der IGBT  $U_{DC}$  blockiert. Daher ist der Verlauf der Spannung ab  $16 \mu\text{s}$  für den  $I_{31}$  in [29] und Abbildung 5-3 nicht korrekt dargestellt.

In einer Quelle werden beide Schalter gleichzeitig abgeschaltet, was zu einer Art Spannungsaufteilung führt jedoch nicht zu dem mehrstufigen Ausschalten [12]. In [16] wird zuerst bewusst der innere Halbleiter abgeschaltet, um aufzuzeigen, welche Effekte die falsche Reihenfolge hat. Der Laststrom würde von  $I_{11}$  und  $I_{31}$  auf  $D_{32}$  und  $S_{22}$  beim Abschalten von  $I_{31}$  kommutieren. Dadurch kommt eine deutlich Streukreisinduktivität zum Tragen und würde beim eingesetzten ANPC-Teststand eine Erhöhung von  $L_{\sigma}$  um mehr als das Doppelte verursachen. In einer weiteren Quelle bezüglich Serienkurzschlüsse hat einer der Halbleiter von Anfang an nahezu die gesamte Zwischenkreisspannung blockiert, welche damit das ganze Kurzschlussverhalten deutlich verändert [148]. Die letzte Quelle mit realen Messungen zu einem KS II + II weist den Nachteil auf, dass der Schalter zum Kurzschließen zeitweise im Abschaltvorgang Spannung aufnimmt [72]. Daneben ist dort ein mehrstufiges Abschalten in der abgebildeten Messung nicht erfasst worden. Eine Arbeit mit korrekter Darstellung eines mehrstufigen Abschaltvorganges beim KS II + II existiert daher nicht.

Bei einem weiteren Serienkurzschluss, dem KS II ZC + II, kommt es zu sehr ähnlichen Verläufen hinsichtlich der Ströme und Spannungen im Fehlerfall im Vergleich zum KS II + II, siehe Abbildung 5-9 im Kapitel 5.1.2. Dort wurde die Lastdrossel korrekt im Teststand verbaut. Es wurde jedoch nicht erkannt, dass die fehlerhafte Anordnung die Messungen zum KS II + II schon negativ verzerrt hatte. Daher fließt beim KS II ZC + II zwischen  $10 \mu\text{s}$  und  $15 \mu\text{s}$  der gesamte Laststrom durch den verbliebenen Pfad. Auch führt das zweite Abschalten dort dazu, dass der betroffene IGBT ab  $15 \mu\text{s}$  richtigerweise Spannung aufnimmt.



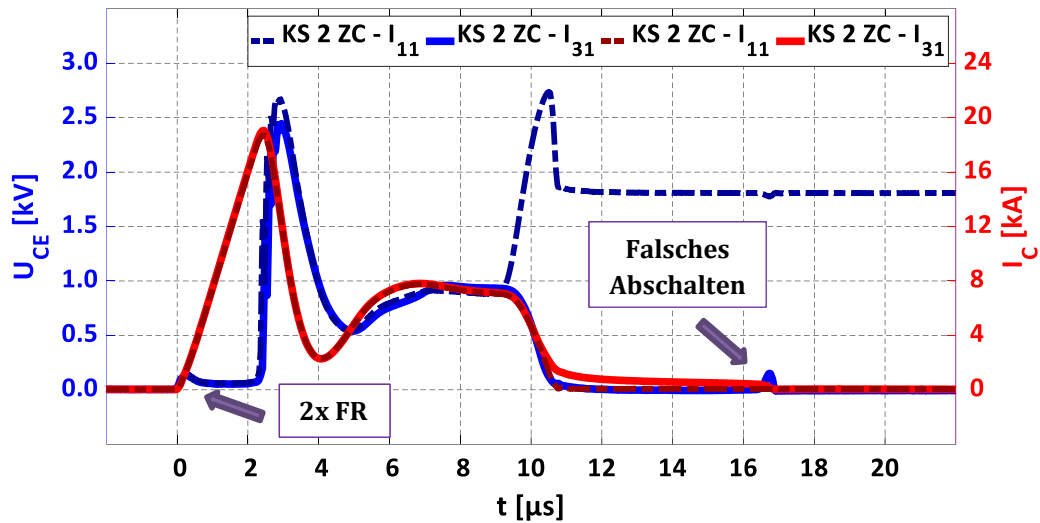


Abbildung 5-5: Messung des Serienkurzschlusses KS II ZC + II ZC gemessen bei  $U_{DC} = 1,8 \text{ kV}$ ,  $I_L = 0 \text{ kA}$ ,  $L_\sigma = 240 \text{ nH}$

Sollte der Laststrom vor dem Fehlereintritt wiederum null Ampere betragen, dann tritt ein KS II ZC + II ZC auf, siehe [29] und Abbildung 5-5. Wie vom KS II ZC in Kapitel 3.2 zu erwarten ist, gibt es mit Fehlereintritt eine Forward-Recovery-Spannung über beide IGBTs, da sie noch nicht mit Plasma geflutet sind. Auf Grund des nicht vorhandenen Laststromes fällt der Self-Turn-On-Effekt, wie vorher schon beschrieben wurde, geringer aus. Daher ist der Spitzenwert des Kurzschlussstromes im Vergleich zum KS II + II um etwas mehr als 5 % gesenkt. Nach dem Abschalten von  $I_{11}$  kurz vor  $10 \mu\text{s}$  fließt durch  $I_{31}$  ein Strom von knapp  $0,9 \text{ kA}$ , der sich nach  $5 \mu\text{s}$  auf etwa die Hälfte reduziert, siehe Abbildung 5-5. Dieses Absinken mit knapp  $-0,1 \text{ kA}/\mu\text{s}$  ist ein Indikator dafür, dass der Stromfluss durch  $I_{31}$  von den parasitären Streuinduktivitäten  $L_{\sigma-2}$  und  $L_{\sigma-3}$  erzwungen wird. Der Laststrom beträgt weiterhin null Ampere. Daher spielt es auch keine Rolle, dass die Lastdrossel falsch im Teststand verbaut gewesen ist. Als Konsequenz ist der sichtbare Strom aus Abbildung 5-5 ab  $10,5 \mu\text{s}$  ein induktiv erzeugter Kreisstrom via  $D_{12}$ ,  $D_{21}$ ,  $I_{31}$  und dem zerstörten  $S_{32}$ . Auch hier gilt, dass das Abschalten von  $I_{31}$  nicht korrekt dargestellt ist, da der Halbleiter eigentlich Spannung hätte aufnehmen müssen. Die Messung des KS II ZC + II ZC zeigt jedoch, dass der im KS II + II gemessene Stromfluss durch  $I_{31}$  nach  $10 \mu\text{s}$  nahezu nur der induktiv verursachte Kreisstrom gewesen ist. Der Laststrom ist dort durch den Fehler im Teststandaufbau zum größten Teil über  $D_{32}$  geflossen.

### 5.1.2 Kurzschlussfall II + II ZC

Ein NPC-Dreipunktumrichter kann eine zusätzliche Abart des vorherigen Serienkurzschlusses zweier KS II produzieren. Als Ausgangssituation liegt ein Null-Volt-Level vor, bei dem  $S_{31}$  und  $S_{32}$  eingeschaltet sind und positiver Laststrom

über den positiven Null-Volt-Pfad fließt (Zustand  $0_{NPC}$ ), siehe [34] und Abbildung 5-6. Ein Versagen des äußeren Schalters  $S_{22}$  führt zu der Situation, dass  $I_{31}$  einen KS II erfährt. Der IGBT  $I_{32}$  erlebt jedoch gleichzeitig einen KS II ZC, da er vorher keinen Laststrom führt [12]. Diese Ausgangslage kann auch im ANPC-Teststand erzeugt werden, indem  $I_{12}$  und  $I_{21}$  dauerhaft ausgeschaltet bleiben und ihre Schutzbeschaltung gegen Überspannung nicht eingreifen kann, siehe [29] und Abbildung 5-6.

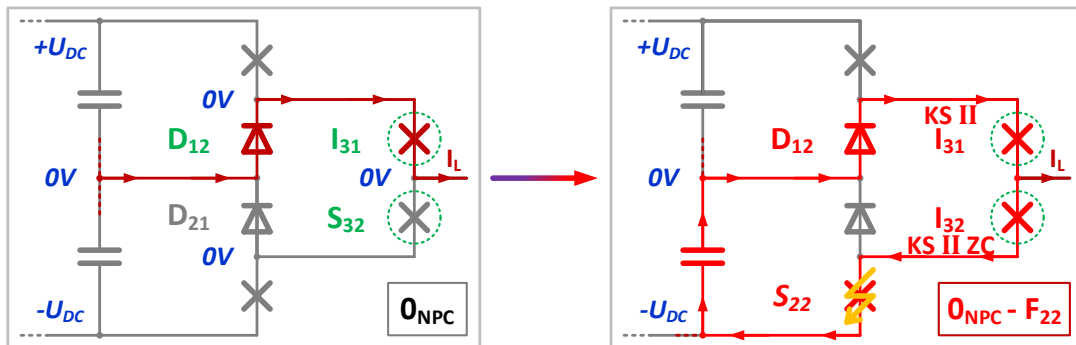


Abbildung 5-6: Auftreten des KS II + II ZC im (A)NPC-Dreipunktumrichter

Die dazugehörige Messung in Abbildung 5-7 zeigt deutlich mit Fehlereintritt das Auftreten der Forward-Recovery-Spannung im KS II ZC des  $I_{32}$ . Die Oszillationen am Anfang des Kurzschlusses bei  $0 \mu\text{s}$  dürften entweder Einkoppelungen in die Messsonden oder Reaktionen der parasitären Impedanzen auf das hochdynamische Ereignis sein [123]. Während des ganzen Fehlerfalles ist die Differenz durch den Laststrom in beiden Halbleitern messbar, sei es im dynamischen als auch im statischen Bereich des Kurzschlusses [29]. Gut sichtbar wird das im Entsättigungsvorgang, bei dem  $I_{31}$  (KS II) gut  $130 \text{ ns}$  vor  $I_{32}$  (KS II ZC) den MOS-Kanal abschnürt. Durch den die ganze Zeit vorliegenden höheren Kurzschlussstrom ist der MOS-Kanal des  $I_{31}$  deutlich eher abgeschnürt als das Pendant beim  $I_{32}$ . Daher nimmt auch der  $I_{31}$  viel mehr Spannung im Vergleich zum zweiten IGBT auf, siehe Abbildung 5-7. Dass der  $I_{32}$  wieder aus der Entsättigung ab  $4,5 \mu\text{s}$  auf Grund des geringeren Stromes geht, wie in der Literatur an einer Stelle behauptet wurde [29], kann nicht stimmen. Ansonsten würde er im eingeschalteten Zustand die ganze Dauer des Kurzschlusses keine nennenswerte Spannung blockieren. Die Spannungsspitze des  $I_{32}$  von  $2,3 \text{ kV}$  bei  $2,7 \mu\text{s}$  wird durch den negativen Stromanstieg in Kombination mit den parasitären Induktivitäten verursacht. Ab  $7,0 \mu\text{s}$  nimmt die Spannung über  $I_{32}$  langsam zu, während sie dementsprechend bei  $I_{31}$  absinkt.

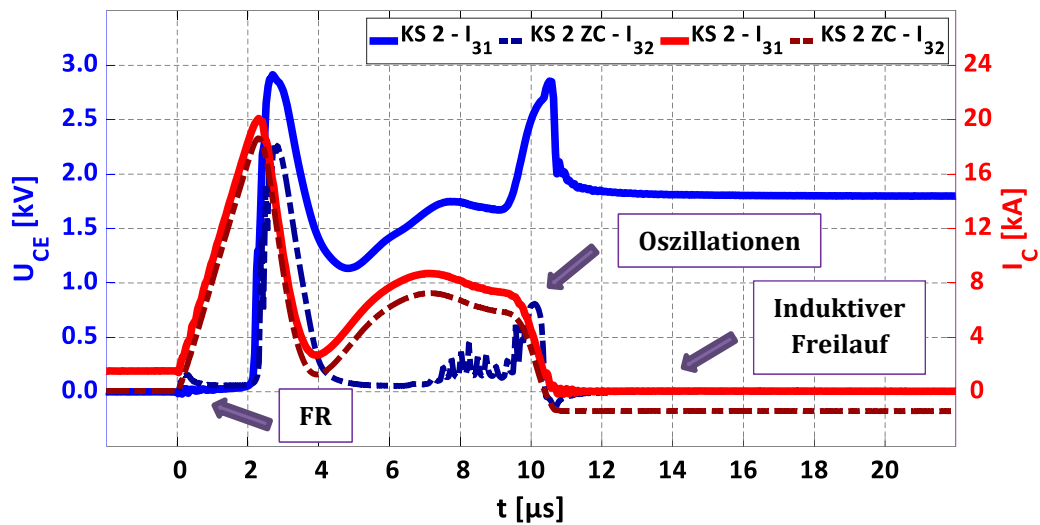


Abbildung 5-7: Messung des Serienkurzschlusses KS II + II ZC gemessen bei  $U_{DC} = 1,8 \text{ kV}$ ,  $I_L = 0 \text{ kA}$  ( $I_{32}$ ) /  $1,5 \text{ kA}$  ( $I_{31}$ ),  $L_\sigma = 215 \text{ nH}$

Von  $7,1 \mu\text{s}$  bis  $9,8 \mu\text{s}$  sind im Spannungsverlauf von  $I_{32}$  hochfrequente Oszillationen von ungefähr  $3,7 \text{ MHz}$  zu detektieren. Der Kurzschlussstrom dagegen zeigt keine Anomalien auf. Letzteres wurde bei Schwingungen im Kurzschluss schon einmal beobachtet [94]. Es wurde in zusätzlichen Untersuchungen beobachtet, dass mit Anhebung der Zwischenkreisspannung die Oszillationen in der Amplitude abnehmen. Die denkbar beste Lösung für das beobachtete Phänomen findet sich in zwei Quellen, die aufeinander aufbauen, siehe [112] und [151]. Die Oszillationen entstehen gemäß dieser Quellen innerhalb des Chips selbst. Weiterhin wird festgestellt, dass diese vorwiegend bei niedriger Zwischenkreisspannung auftreten [112], analog zu den hier gemachten Messungen. Zusätzlich taucht auch dort das Phänomen auf, dass praktisch keine Oszillationen im Kurzschlussstrom gemessen werden können, vergleiche [112] mit Abbildung 5-7. Die Ursache der Schwingungen liegt gemäß [151] an drei Effekten:

- Das elektrische Feld in dem Zeitabschnitt mit Oszillationen dreht sich zeitweise um. Das heißt, der höchste Wert liegt kurzzeitig im Bereich des Kollektors und nicht wie normalerweise in der Emitter-Region. Verursacht wird dies durch die zeitweilig höhere Anzahl an Elektronen im Gegensatz zu den freien Löchern und der Donatordotierung im intrinsischen Gebiet.
- Bei niedriger Spannung über dem IGBT kommt es zur Elektronenakkumulation im Bereich des Emitters, respektive unterhalb des Gates.
- Die Ansammlung von Elektronen wird durch das niedrigere elektrische Feld, welches wiederum eine geringere Beweglichkeit der freien Ladungsträger verursacht, verstärkt.

Diese drei Punkte zusammen erklären die dauernde Veränderung des elektrischen Feldes und der Ladungsträger im Bauteil [151]. Als Folge wechselt der Wert der Eingangskapazität des IGBTs mehrmals über der Zeit. Der Chip verursacht dann die beobachteten Oszillationen auf  $U_{CE}$  und  $U_{GE}$ . Diese Schwingungen verschwinden nicht nur bei größerer Zwischenkreisspannung, sondern auch durch eine erhöhte Chiptemperatur [112] oder ein Absenken der Gate-Emitter-Spannung [151]. Letzteres bietet als Vorteil auch eine gleichzeitige Reduktion des Kurzschlussstromes an, jedoch auf Kosten von mehr Durchlassspannung [52]. Eine kritische Auswirkung auf die Robustheit während des Fehlerfalles, unter Vernachlässigung der elektromagnetischen Störabstrahlung durch die hochfrequenten Signale, wurde in den hier durchgeführten Messungen jedoch nicht festgestellt.

Da im KS II + II ZC keine äußeren Schalter betroffen sind, werden  $I_{31}$  und  $I_{32}$  zum gleichen Zeitpunkt kurz vor  $10\mu\text{s}$  abgeschaltet, siehe [29] und Abbildung 5-7. Rein theoretisch reicht aber schon das Ausschalten von  $I_{31}$  dazu aus, den Serienkurzschluss zu unterbinden [12]. Dieser IGBT übernimmt die gesamte Zwischenkreisspannung plus die durch den negativen Stromanstieg verursachte Überspannung, siehe Abbildung 5-7. Der zweite IGBT mit dem KS II ZC erfährt dagegen nur die Überspannung bei  $10\mu\text{s}$ . Der positive Laststrom wird durch die induktive Last weitergetrieben, welches einen Fluss durch  $D_{22}$  und  $D_{32}$  erzwingt. Daher wechselt die Phasenausgangsspannung von  $0\text{ V}$  auf  $-U_{DC}$ . Wie die obige Messung verdeutlicht, führt  $D_{32}$  nun den sich freilaufenden Laststrom.

Wird die gleiche Ausgangslage mit  $0_{NPC}$  verwendet, jedoch dann fällt  $S_{11}$  und nicht  $S_{22}$  aus, tritt eine neues Fehlerbild auf. In der Literatur ist dies fälschlicherweise auch als KS II + II ZC bezeichnet worden, vergleiche [12] und [14]. Es stimmt zwar, dass die beiden IGBTs  $I_{31}$  und  $I_{32}$  wieder einen KS II, respektive KS II ZC erfahren, jedoch wird übersehen, dass die Diode  $D_{12}$ , geflutet mit Plasma, zeitgleich einen parallelen KS IV vollzieht [30]. Die Beschreibung dieses Falles gehört daher nicht in das Kapitel 5.1, sondern in das entsprechende Kapitel 6.1.3.

Die Ausgangslage für eine weitere Kombination aus KS II ZC und KS II, diesmal jedoch nur existent im ANPC-Dreipunktumrichter, wurde in der Literatur schon aufgezeigt, ohne jedoch Messungen dazu zu liefern [149]. Die Ausgangslage bildet der positive Null-Volt-Pfad  $0_{2^+}$ , bei dem  $S_{12}$ ,  $S_{22}$  plus  $S_{31}$  eingeschaltet sind und  $D_{12}$  sowie  $I_{31}$  den Laststrom führen [7]. Bricht nun der Halbleiter  $S_{32}$ , der vorher  $U_{DC}$  gesperrt hat, durch, dann bildet sich ein Serienkurzschluss aus, siehe [29] und Abbildung 5-8. Vergleicht man diese Skizze des Kurzschlusses mit der Problematik vom NPC-Dreipunktumrichter aus Abbildung 5-6, so ergibt sich, dass in der Theorie die Verläufe ähnlich sein müssten. Der IGBT  $I_{22}$  zeigt kurzzeitig wieder den Forward-Recovery-Effekt, siehe Abbildung 5-9. Sein Kurzschlussstrom ist um den Wert des Laststromes von dem des  $I_{31}$  verringert. Der IGBT  $I_{22}$  steuert auf

Grund des fehlenden Laststromes weniger stark auf. Dadurch entsättigt er auch bei einem niedrigeren Kurzschlussstrom, wie auch die Messung in Abbildung 5-9 bei  $1,7 \mu\text{s}$  aufzeigt. Es treten auch wieder die Chipschwingungen bei der niedrigen Spannung von  $I_{22}$  ab  $6,5 \mu\text{s}$  auf [151].

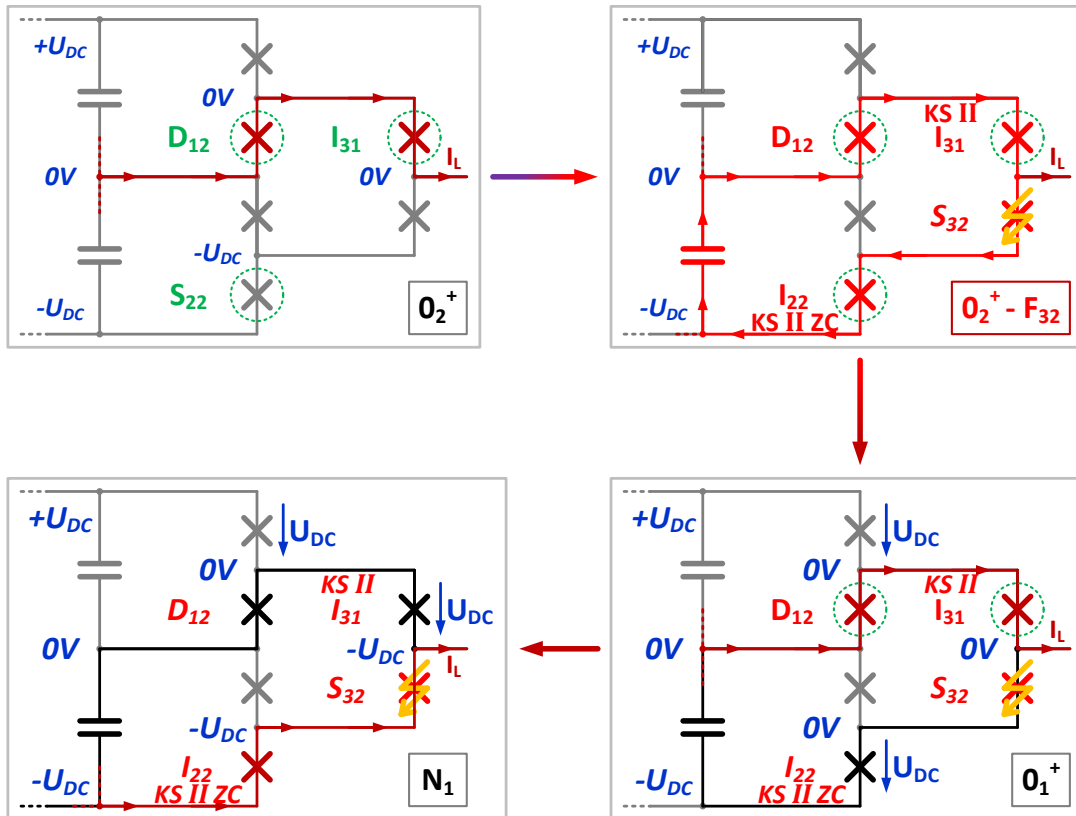


Abbildung 5-8: Eintritt des KS II ZC + II im ANPC-Dreipunktumrichter

Jedoch kommt es zur Unterscheidung zwischen dem vorherigen KS II + II ZC und dem hier vorliegenden KS II ZC + II, wenn der äußere Halbleiter, hier  $I_{22}$ , gemäß der Regel zuerst abgeschaltet wird [29]. Er nimmt die Zwischenkreisspannung auf und unterbindet wie beim KS II + II den Kurzschlussstrom, vergleiche dazu Abbildung 5-3. Der Laststrom läuft sich über  $D_{12}$  und  $I_{31}$  frei, siehe Abbildung 5-9. In der hier vorliegenden Messung ist der Abschnitt  $10 \mu\text{s}$  bis  $15 \mu\text{s}$  nun korrekt im Vergleich zum KS II + II wiedergegeben, da die Lastdrossel richtig positioniert worden ist. Die Höhe des sich freilaufenden Stromes in den zwei Halbleitern ist exakt die des Laststromes vor dem Kurzschluss. In dem Moment, wenn  $I_{31}$  und  $I_{12}$  bei  $15 \mu\text{s}$  abschalten, kommutiert der Laststrom von dem positiven Null-Volt-Pfad auf  $D_{22}$  und dem zerstörten  $S_{32}$ , siehe Abbildung 5-8. Der IGBT  $I_{31}$  führt einen normalen Abschaltvorgang durch, da er vorher auf Grund des geringen Stromflusses wieder in die Sättigung gegangen ist, siehe Abbildung 5-9. Die Zwischenkreisspannung wird dabei nicht mehr vom  $I_{22}$ , sondern von dem  $I_{31}$  gesperrt, wie die Messung aus Abbildung 5-9 zeigt. Dieser Aspekt tritt in dem vorherigen KS II + II ZC nicht auf, da dort ab  $10 \mu\text{s}$  der Laststrom dauerhaft auf  $D_{22}$

und  $D_{32}$  kommutiert ist. Eine Änderung der Spannung über den beiden vom Kurzschluss betroffenen IGBTs findet bei  $15\mu\text{s}$  auch nicht statt. Daher wurde dem bis dato unbeschriebene Serienkurzschluss aus Abbildung 5-9 eine leicht veränderte Namensbezeichnung, nämlich KS II ZC + II, gegeben.

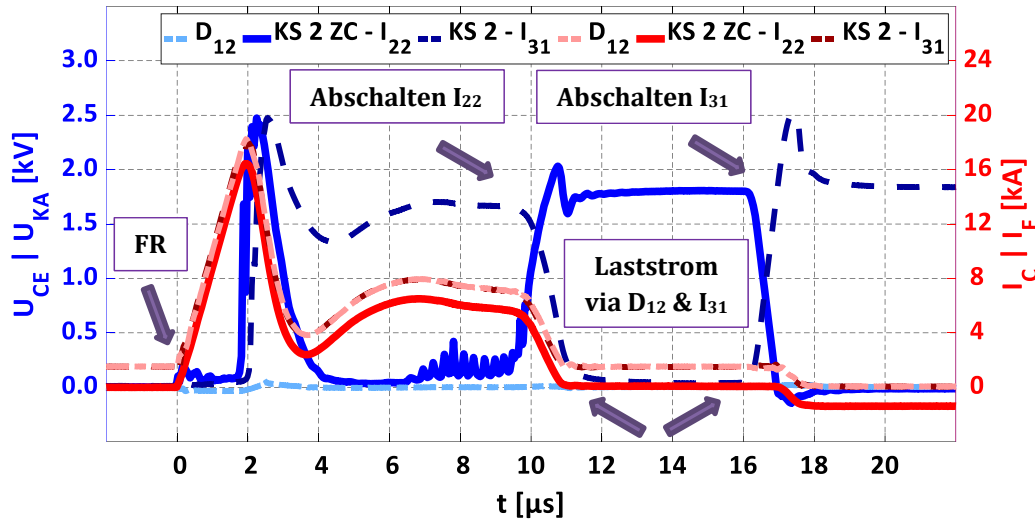


Abbildung 5-9: Messung des Serienkurzschlusses KS II ZC + II  
gemessen bei  $U_{DC} = 1,8\text{ kV}$ ,  $I_L = 0\text{ kA}$  ( $I_{22}$ ) /  $1,5\text{ kA}$  ( $D_{12}$  &  $I_{31}$ ),  $L_\sigma = 215\text{ nH}$

Die Ausgangssituation des KS II ZC + II, kann gespiegelt werden, welches ein leicht verändertes Fehlerbild hervorbringt. Dabei liegt vor dem Fehlereintritt der Zustand  $0_2^-$  bei positivem Laststrom vor. Das heißt,  $S_{11}$ ,  $S_{21}$  und  $S_{32}$  sind eingeschaltet und der Strom fließt über  $I_{21}$  und  $D_{32}$  [7]. Das Durchbrechen von  $S_{31}$ , welcher vorher  $U_{DC}$  gesperrt hat, verursacht für  $I_{11}$  einen KS II ZC und für  $I_{32} / D_{32}$  einen KS III, siehe Abbildung 5-10. Zusätzlich erfolgt eine interne Kommutierung im Modul  $S_{21}$  durch den einsetzenden Kurzschluss, bei dem der Laststrom im IGBT auf die antiparallele Diode kommutiert. Hinweise auf diesen Serienkurzschluss lassen sich in der Literatur an zwei Stellen finden. Eine grobe Beschreibung der Ausgangssituation und die Möglichkeit eines Serienkurzschlusses werden in [29] und [152] thematisiert. Dieser Serienkurzschluss stellt eine Mischung aus dem vorherigen KS II ZC + II und dem im nachfolgenden Kapitel 5.1.3 vorgestellten KS III + III dar [29].

Die Messung des KS II ZC + III in Abbildung 5-11 zeigt zum einen mit Kurzschlusseintritt den Forward-Recovery-Effekt von  $I_{11}$  als Nebeneffekt des KS II ZC. Ab  $0,3\mu\text{s}$  kommt es beim Modul  $S_{32}$  zum Stromnulldurchgang in Folge der Kommutierung von  $D_{32}$  auf  $I_{32}$  mit dem kurzzeitigen Spannungsabfall über der ungefluteten intrinsischen Zone des IGBTs. Zeitgleich tritt dieser Effekt auch für die Kombination aus  $I_{21}$  und  $D_{21}$  auf mit dem Forward-Recovery-Effekt bei der Diode, siehe Abbildung 5-11. Daher ist auch eine negative Spannungsspitze von fast  $-200\text{ V}$  bei  $0,6\mu\text{s}$  messbar.

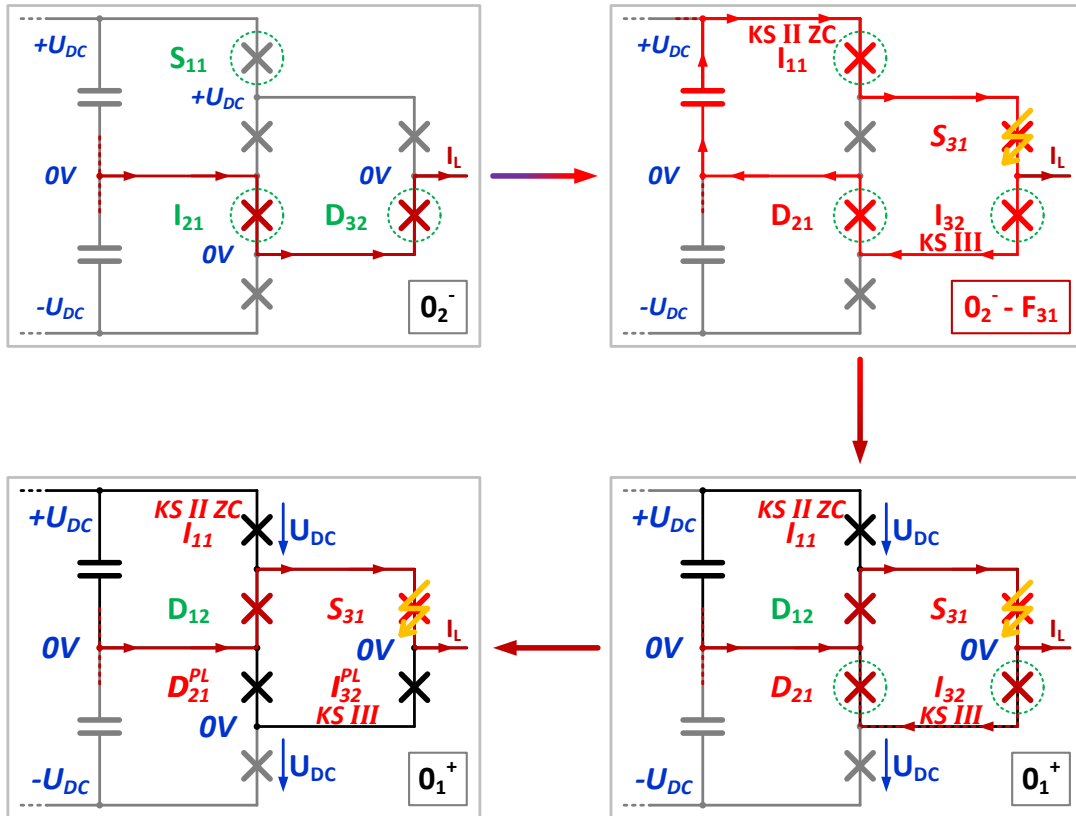


Abbildung 5-10: Auftreten des KS II ZC+ III im ANPC-Dreipunktumrichter

Dazu gibt es die Aussage, dass dieses Phänomen ein Problem für den IGBT darstellen kann, da er nicht unbedingt für eine inverse Gegenspannung ausgelegt sein muss [84]. Im KS III ist dies kein Problem, da der IGBT den Spannungsabfall verursacht und die Diode in die gleiche Richtung wie die normale Durchlassspannung die Forward-Recovery-Spannung des IGBTs sperren muss. Im KS II ZC + III ist dieses Problem existent, da der negative Spannungsabfall über der Diode den IGBT entgegen seiner normalen Sperrrichtung belastet. Sollte die durch den Fehlerstrom verursachte Forward-Recovery-Spannung höher ausfallen als derjenige Wert im normalen Einschaltvorgang der Diode, nachdem der antiparallele IGBT ausgelegt worden ist, kann es unter Umständen zum Durchbrechen des Halbleiters kommen [3]. In den hier gemachten Messungen zum KS II ZC + III und anderen Fehlern mit einem ähnlichen Kommutierungsvorgang von IGBT auf Diode sind jedoch keine Ausfälle seitens des IGBTs aufgetreten. Mit dem Abschalten von  $I_{11}$  kurz vor  $10 \mu\text{s}$  versiegt der Kurzschlussstrom. Dieser IGBT nimmt Spannung auf und der Laststrom kommutiert auf  $D_{12}$ , siehe Abbildung 5-11. Ein Teil dieses Stromes wird auch noch weiterhin über  $I_{21}$  und  $D_{32}$  geführt, jedoch nimmt dieser Anteil stetig ab. Das Ausschalten von  $S_{32}$  (und auch  $S_{21}$ ) stellt einen spannungslosen Abschaltvorgang für beide Elemente dar. Es liegt also kurzzeitig, bis es wieder vollends rekombiniert, Plasma in  $I_{21}$  und  $D_{21}$  vor. Zusätzlich unterbricht dies den Stromfluss durch den negativen Null-Volt-Pfad. Da der Strom dort aber praktisch schon den Wert null Ampere hat, kommt es zu keinem nennenswerten negativen

Stromanstieg und die Überspannung tritt nicht ein. Auch erfolgt keine Kommutierung, wie im vorherigen Serienkurzschluss KS II ZC + II, auf  $D_{22}$  und  $D_{32}$ , da der positive Laststrom weiterhin über  $D_{12}$  und dem zerstörten  $S_{32}$  fließen kann.

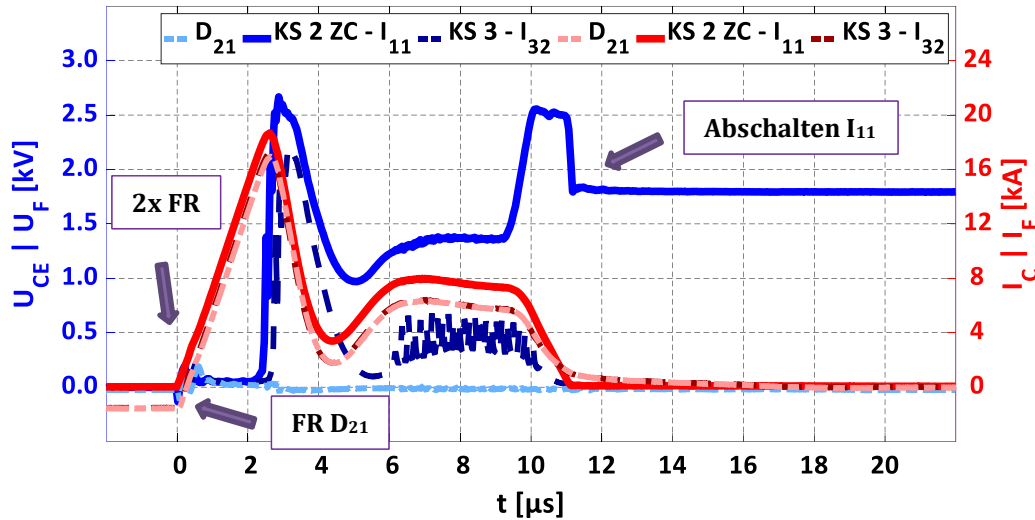


Abbildung 5-11: Messung des Serienkurzschlusses KS II ZC + III  
gemessen bei  $U_{DC} = 1,8 \text{ kV}$ ,  $I_L = 0 \text{ kA}$  ( $I_{22}$ ) /  $1,5 \text{ kA}$  ( $D_{12}$  &  $I_{31}$ ),  $L_\sigma = 240 \text{ nH}$

Durch die hier drei Mal auftauchenden Forward-Recovery-Effekte und die Kommutierung vom IGBT auf seine antiparallele Diode hebt sich der KS II ZC + III von den bisherigen Serienkurzschlüssen hervor.

### 5.1.3 Kurzschlussfall III + III

Die Möglichkeit einer Serienschaltung zweier KS III in einem Mehrpunktumrichter wurde schon relativ früh erkannt, beispielsweise beschrieben in [14] und [153]. Jedoch wurden dort die Halbleiterfehler weder genau identifiziert noch gemessen. Untersuchungen zu einer Serienschaltung zweier KS III in einem Zweipunktumrichter sind sieben Jahre nach Entdeckung des KS III zum ersten Mal durchgeführt worden [148]. Im Unterschied zu einem ANPC-Dreipunktumrichter erfolgt die Abschaltung beider IGBTs in etwa zum gleichen Zeitpunkt im gleichen Kommutierungskreis. Zwei Jahre darauf wurde dann der Verlauf im ANPC-Dreipunktumrichter publiziert [29]. Im Grunde ist die Ausgangslage zur Situation beim KS II + II gespiegelt, siehe Abbildung 5-1 in Kapitel 5.1.1. Der Laststrom fließt über die Dioden  $D_{22}$  und  $D_{32}$ , siehe [7] und Abbildung 5-12. In dem aufgezeigten Beispiel führt ein Durchbruch des sperrenden Elementes  $S_{31}$  zu einem Serienkurzschluss mit passivem Einschalten der Freilaufdiode  $D_{12}$ , siehe auch Abbildung 5-13. Die antiparallelen IGBTs  $I_{22}$  und  $I_{32}$  sind gleichzeitig eingeschaltet, welches zur Ausbildung des KS III pro Schalter führt [16].



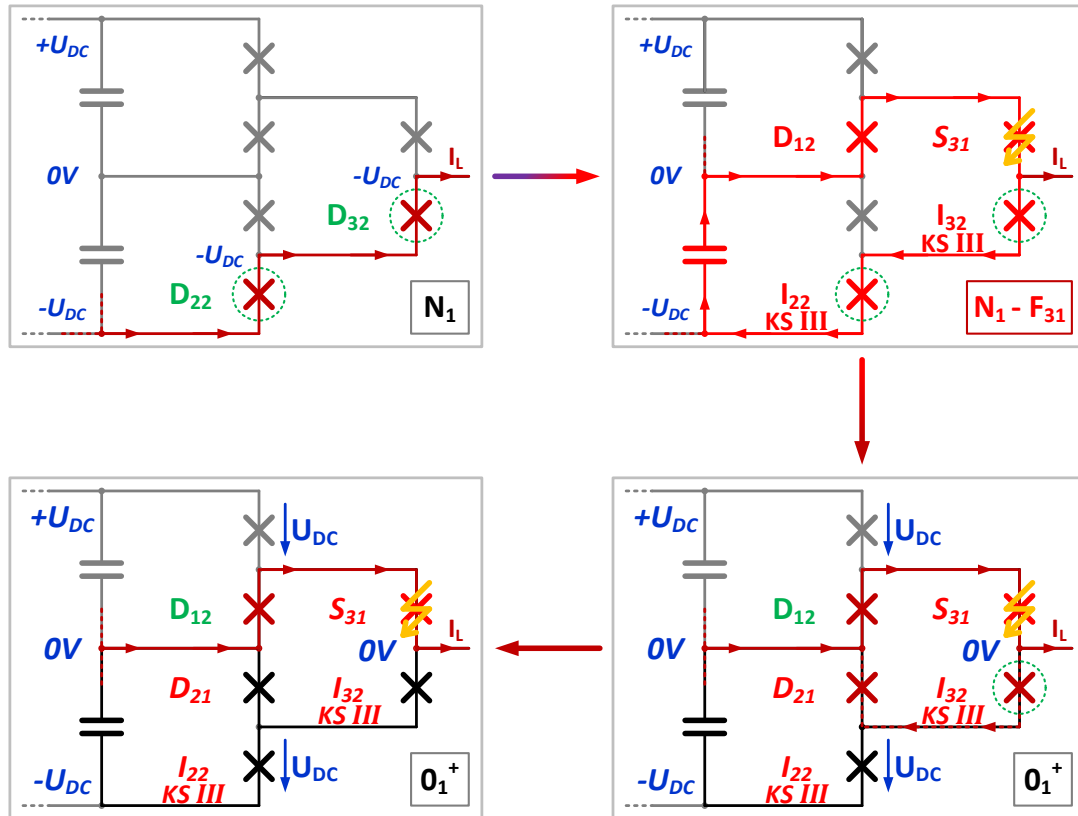


Abbildung 5-12: Auftreten des KS III + III im ANPC-Dreipunktumrichter

Ob der Schalter  $S_{12}$  für den dargestellten Fehler nun eingeschaltet ist (Zustand  $N_2$ ) oder nicht (Zustand  $N_1$ ), spielt keine Rolle. Die Freilaufdiode  $D_{12}$  hat auf Grund des fehlenden Plasmas analog zum Verhalten der  $D_{21}$  im KS II + II einen Forward-Recovery-Effekt. Der eintretende Stromanstieg des Serienfehlers wird durch den Spannungsabfall über den parasitären Induktivitäten im Kurzschlusskreis erzeugt, siehe Abbildung 5-13. Im Gegensatz zum KS II + II verursachen die zusätzlichen zwei Forward-Recovery-Spannungen durch den ungefluteten intrinsischen Bereich von  $I_{22}$  und  $I_{32}$  eine temporäre Reduktion des induktiven Spannungsabfalles. Dies geschieht bei der internen Kommutierung im jeweiligen Modul, wenn der Kurzschlussstrom von den Dioden auf die IGBTs wechselt. In der dazugehörenden Messung geschieht dies circa 350 ns nach Fehlereintritt, siehe Abbildung 5-14. Zum gleichen Zeitpunkt ist entsprechend der Theorie eine Reduktion des Stromanstiegs kurzzeitig um bis zu 17 % messbar. Ab 1,2  $\mu$ s ist diese Phase überwunden und der KS III + III verhält sich nahezu wie ein KS II ZC + II ZC unter Beachtung der generellen Unterschiede zwischen KS II ZC und KS III, vergleiche dazu die Kapitel 3.2 mit 3.3. Zwischen den Chips des Moduls tritt aber wieder das bekannte Phänomen auf, dass die Diode im KS III nur einen Teil des Plasmas ausräumen kann, da ihr antiparalleler IGBT dies bis zu seinem eigenen Entsättigen unterbindet. Im dynamischen als auch im statischen Bereich des Kurzschlusses verteilt sich der Spannungsabfall über beide Elemente nahezu gleichmäßig, siehe Abbildung 5-14.

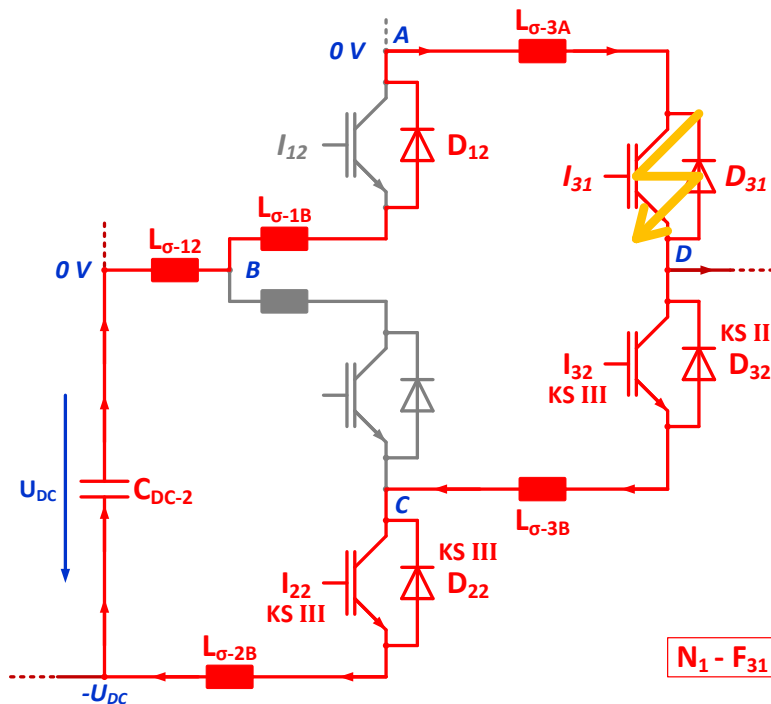


Abbildung 5-13: Detaillierte Ansicht des KS III + III im ANPC-Dreipunktumrichter

Mit Eintreten des Abschaltvorganges kurz vor  $10 \mu\text{s}$  vom äußeren IGBT  $I_{22}$  wird der Kurzschlusspfad unterbunden, siehe Abbildung 5-12 und Abbildung 5-14. Der Laststrom kommutiert nun auf den positiven Null-Volt-Pfad mit  $D_{12}$  und dem zerstörten  $S_{31}$ . Daher führt das Abschalten des IGBTs  $I_{32}$  nach weiteren  $5 \mu\text{s}$  zu keiner Veränderung bezüglich des Strompfades [29]. Auch kann der  $I_{32}$  daher keine Spannung aufnehmen. Der Laststrom läuft sich über  $D_{12}$  und  $S_{31}$  frei, selbst wenn die gesamte Phase abgeschaltet ist. Zwischen  $10 \mu\text{s}$  und  $15 \mu\text{s}$  ist ein Stromfluss von einigen hundert Ampere mit abnehmender Tendenz durch  $I_{32}$  zu messen.

Dabei dürfte es sich um einen Kreisstrom durch  $D_{21}$  handeln. Dieser wird dadurch ermöglicht, dass der IGBT  $I_{32}$  weiterhin eingeschaltet ist. Die Zwischenkreisspannung hat  $I_{22}$  komplett übernommen. Da kein hoher Kurzschlussstrom mehr vorliegt, sättigt der Halbleiter  $I_{32}$  wieder, und ein Stromfluss ist bis zu dem Zeitpunkt möglich, an dem er abgeschaltet wird, siehe Abbildung 5-14. Jedoch fließen bei  $15 \mu\text{s}$  nur noch knapp  $350 \text{ A}$  durch diesen IGBT, was beim Ausschalten nur noch eine marginale Überspannung von um die  $100 \text{ V}$  verursacht. Ein höherer Anstieg von  $U_{CE}$  des  $I_{32}$  wird durch den weiterhin existierenden Null-Volt-Pfad über  $D_{12}$  und  $S_{31}$  unterbunden.

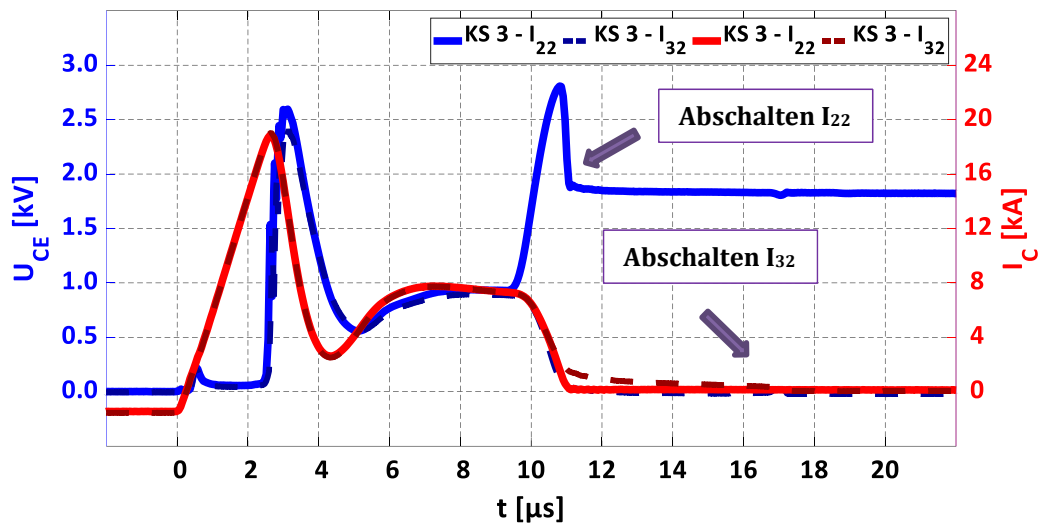


Abbildung 5-14: Messung des Serienkurzschlusses KS III + III  
gemessen bei  $U_{DC} = 1,8 \text{ kV}$ ,  $I_L = -1,5 \text{ kA}$ ,  $L_\sigma = 240 \text{ nH}$

Im Gegensatz zu den Problemen bei der Messung zum KS II + II ist hier der Serienkurzschluss aus zwei KS III korrekt dargestellt.

#### 5.1.4 Kurzschlussfall IV + IV

Eine Adaption der vorherigen Ausgangskondition, positiver Laststrom über  $D_{22}$  und  $D_{32}$ , jedoch ohne eingeschaltete antiparallele IGBTs, führt zum Serienkurzschluss zweier KS IV [16]. Die beschriebene Ausgangssituation kann beispielsweise auftreten, wenn der Umrichter abgeschaltet ist und der positive Laststrom, getrieben durch induktive Lasten, sich freiläuft. Das Ausfallen von  $S_{31}$  führt zur Ausbildung des KS IV + IV, siehe Abbildung 5-15. Wie die theoretische Darstellung des KS IV + IV im ANPC-Dreipunktumrichter aus der Abbildung 5-15 aufzeigt, schaltet der Serienkurzschluss sich selbst ab [29]. Dieses Verhalten ist von den Kurzschlüssen mit Plasmaeinwirkung schon bekannt. Die Spannung  $U_{DC}$  sollte sich hälftig über beide Dioden nach Ende des Fehlers aufteilen, da beide betroffenen Halbleiter dieselben sind und daher einen gleichmäßigen Spannungsteiler aufziehen [29]. Auch ist die Plasmaverteilung nahezu identisch für  $D_{22}$  und  $D_{32}$ , da der Laststrom vor dem Kurzschluss derselbe durch beide Bauteile gewesen ist. Dies zeigt auch das Ausräumen der freien Ladungsträger nach dem Stromnulldurchgang in Abbildung 5-16. Daher sind der Spannungsanstieg und damit die Felddausbreitung in den beiden Halbleitern dieselbe. Abweichungen in der Herstellung können jedoch zu einer leichten Ungleichmäßigkeit im kapazitiven Spannungsteiler führen. Dies ist auch schon in den anderen Serienkurzschlüssen, beispielsweise im KS III + III aus Abbildung 5-14, ersichtlich gewesen.

Das Durchbrechen von  $S_{31}$  führt zum Eintreten des KS IV für  $D_{22}$ , respektive  $D_{32}$ , siehe Abbildung 5-16. Im Gegensatz zum klassischen vierten Kurzschlussfall im Zweipunktumrichter ist auf Grund des komplexeren Aufbaues der Phase die Streuinduktivität im Kurzschlusskreis nahezu doppelt so groß. Infolgedessen reduziert sich der Stromanstieg in etwa um die Hälfte. Aus den Untersuchungen zum KS IV ist bekannt, dass ein geringeres  $di/dt$  eine Absenkung des Spitzenwertes des Fehlerstromes und damit die Reduktion der Höhe des ausgeräumten Plasma-berges verursacht. In der Messung zum KS IV + IV tritt auch dieses Verhalten auf, siehe Abbildung 5-16. Im Unterschied zu einer Anhebung der parasitären Induktivität im KS IV tritt jedoch das Phänomen im KS IV + IV auf, das mit Absenkung des Stromspitzenwertes bei gleicher Plasmamenge vor dem Fehlereintritt sich die Kurzschlussdauer nicht erhöht, vergleiche Abbildung 3-40 mit Abbildung 5-16. Die Hypothese dazu ist nun, dass die beiden Dioden sich den Spannungsabfall hälftig aufteilen. Dadurch wird die Ausbreitung des gesamten elektrischen Feldes in den Halbleitern verhindert und ein Teil des Plasmas verbleibt noch in den Bauteilen. Unterstützt wird diese Theorie dadurch, dass bis  $5 \mu\text{s}$  nach Kurzschluss-eintritt noch ein schwacher Tail-Strom für beide Dioden messbar ist, welcher das Plasma ausräumt. Der Rest der verbliebenen Ladungsträger rekombiniert über die Zeit, vergleichbar zu den Vorgängen beim KS IV ZC im Kapitel 4.1.

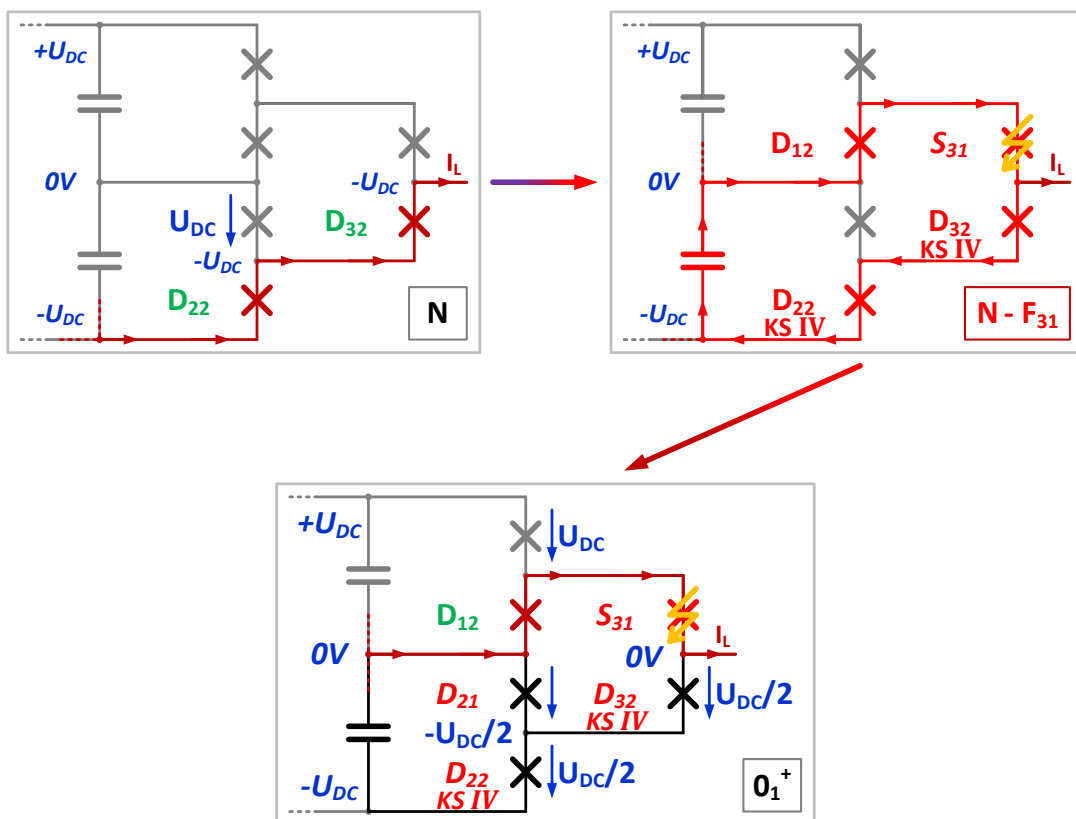


Abbildung 5-15: Auftreten des KS IV + IV im ANPC-Dreipunktumrichter

Die Messung belegt eindeutig im Zeitbereich bis etwa  $2,0 \mu\text{s}$ , dass der Spannungsabfall über beide Dioden in etwa symmetrisch ausfällt. Ab da an lässt sich erfassen, dass die Spannungsabfälle über beide Dioden im Wert sich sehr langsam voneinander entfernen [29]. Die Divergenz ist gemäß der Untersuchung circa  $12 \text{ V}/\mu\text{s}$ , also relativ moderat zu all den anderen Spannungsanstiegen im Kurzschluss.

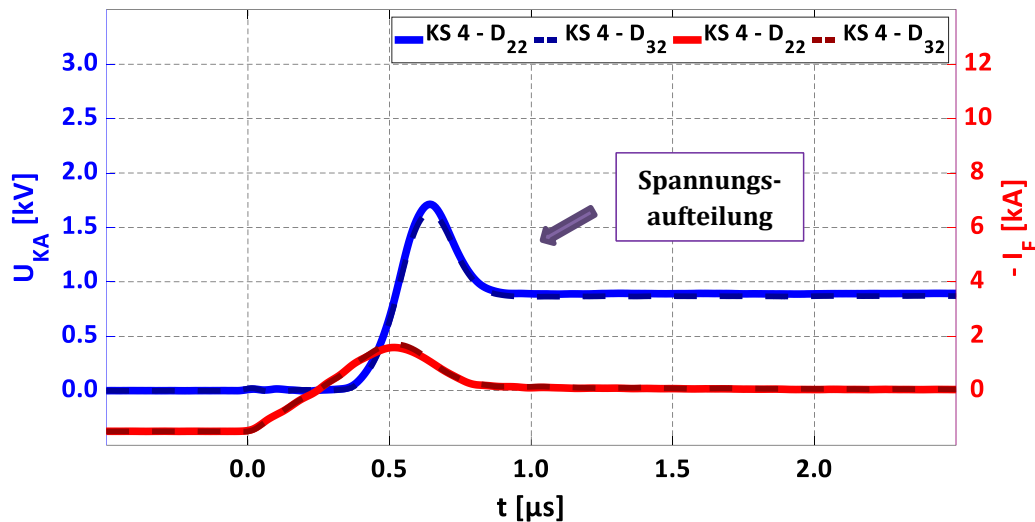


Abbildung 5-16: Messung des Serienkurzschlusses KS IV + IV  
gemessen bei  $U_{DC} = 1,8 \text{ kV}$ ,  $I_L = -1,5 \text{ kA}$ ,  $L_\sigma = 240 \text{ nH}$

Wie auch schon bei den anderen Serienkurzschlüssen ist die Belastung des einzelnen Halbleiters im Vergleich zu den klassischen Kurzschlüssen auf Grund der geringeren Spannung deutlich reduziert. Sichtbar wird dies auch daran, dass die Überspannung bei  $0,64 \mu\text{s}$  nur noch grob 60 % des Wertes vom einzelnen KS IV entspricht, vergleiche dazu Abbildung 3-35 mit Abbildung 5-16. Im KS IV + IV wurde dementsprechend auch kein Avalanche beobachtet, der beim KS IV bei circa  $1,4 \text{ kV}$  aufgetreten ist, siehe Kapitel 3.4.

## 5.2 Pseudo-Serienschaltung zweier Kurzschlüsse

Bei der Untersuchung der Serienkurzschlüsse hat sich ein Problem hinsichtlich der getroffenen Einordnung gezeigt [29]. Gemäß der aufgestellten Definition handelt es sich bei dieser Fehlerklasse um eine Reihenschaltung von mindestens zwei Halbleiterfehlern. Jedoch kommt es in Situationen, bei dem von einem Plasma dominierter Kurzschluss vorliegt, zu dem Problem, dass dieser einen Halbleiterfehler für weitere Schalter unterbindet [16]. Die Kurzschlüsse mit Plasma nehmen schon bei einem Kurzschlussstrom im Bereich einstelliger Kiloampere-Werte die Spannung auf, während der zweite (oder dritte) Halbleiterfehler erst bei Strömen mit zweistelligen Kiloampere-Werten entsättigt. Der Spitzenwert des ausgeräumten Plasmaflusses liegt meist sogar im Bereich des nominalen Laststromes, vergleiche dazu beispielsweise Abbildung 3-12 (KS II) mit Abbildung 3-35 (KS IV). Infolgedessen kann ein IGBT in so einer Konstellation niemals entsättigen und ein KS II oder KS III tritt nicht auf [29]. Von einer Serienschaltung an Kurzschlüssen zu sprechen, ist daher bei den nachfolgend vorgestellten Fehlern eher irreführend, da nur der vom Plasma dominierte Kurzschluss existiert. Es handelt sich also um Einzelkurzschlüsse mit höherer parasitärer Induktivität im Stromkreis. Als bessere Beschreibung wurde daher ein Pseudo-Serienkurzschluss vorgeschlagen [29] und der nicht auftretenden zweite Kurzschluss wird in eckigen Klammern gelistet.

### 5.2.1 Kurzschlussfall [III +] IV

Zwischen dem KS III + III und dem KS IV + IV gibt es noch die Möglichkeit, dass nur einer der beiden antiparallelen IGBTs eingeschaltet ist [16]. Dies führt zu einem KS [III +] IV, da der Kurzschlussstrom für einen KS III zu gering ausfällt [29]. Die Ausgangssituation für den KS [III +] IV ist beispielsweise möglich, wenn die Phase vom Zustand  $N_1$  in  $O_1^-$  wechselt. Beim Übergang wird der IGBT  $I_{22}$  abgeschaltet, während  $I_{32}$  weiterhin eingeschaltet bleibt. Gleichzeitig darf aber nicht  $I_{21}$  eingeschaltet werden, ansonsten kann es durch die Aus- und Einschaltdauer von jeweils mehreren Mikrosekunden zu einem Brückenkurzschluss kommen [4]. Während dieser Verriegelungszeit liegt somit ein Stromfluss über  $D_{22}$  und  $D_{32}$  vor, bei dem der antiparallele IGBT  $I_{32}$  ein ist. Mit dem Durchbrechen von  $S_{31}$  bildet sich ein Kurzschlusspfad aus, siehe Abbildung 5-17. Auf Grund der Dauer von nur ein paar Mikrosekunden für die Verriegelungszeit [4], ist diese Ausgangssituation nur kurz verfügbar. Das Eintreten des KS [III +] IV ist daher unwahrscheinlicher als beispielsweise der KS III + III.

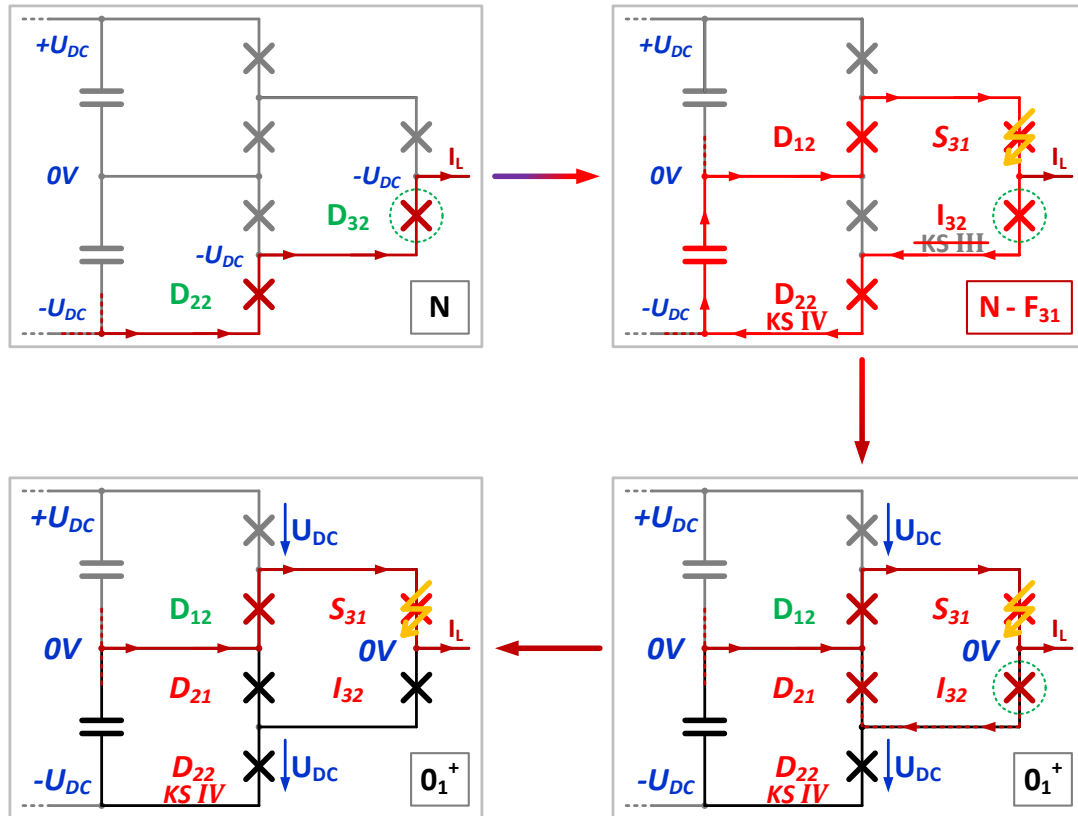


Abbildung 5-17: Auftreten des KS [III +] IV im ANPC-Dreipunktumrichter

Die Messung aus Abbildung 5-18 belegt die Theorie des Pseudo-Serienkurzschlusses aus einem KS IV und dem nicht vorhandenen KS III. Mit Überschreiten des Stromnulldurchganges bei  $0,29 \mu\text{s}$  führt die Kommutierung von  $D_{32}$  auf  $I_{32}$  zu dem bekannten Forward-Recovery-Effekt des KS III. Gleichzeitig fängt die Diode  $D_{22}$  an, das Plasma via dem Kurzschlussstrom auszuräumen und nimmt ab  $0,4 \mu\text{s}$  Spannung gemäß des KS IV auf. Daher wird der Stromanstieg des Kurzschlussstromes reduziert. Das  $di/dt$  wird zu null, wenn die Zwischenkreisspannung über der Diode  $D_{22}$  bei  $0,66 \mu\text{s}$  komplett abfällt. Der Stromfluss durch den IGBT  $I_{32}$  erfährt die gleiche Änderung auf Grund der Serienschaltung. Die Höhe des Kurzschlussstromes von maximal  $2 \text{ kA}$  ist nicht ausreichend, damit er entsättigen kann. Auf Grund des hohen elektrischen Feldes während des KS IV kommt es wie im entsprechenden Einzelkurzschluss in dieser Pseudo-Serienschaltung zu einem Avalanche für die Diode bei  $0,6 \mu\text{s}$ , respektive  $1,5 \text{ kV}$  [29].

Nach Überschreiten des Maximums des Reverse-Recovery-Stromes divergieren die Ströme durch die beiden betroffenen Halbleiter. Die Diode  $D_{22}$  begrenzt den Kurzschlussstrom und zwingt zugleich den Laststrom auf den Pfad  $D_{12}$  und  $S_{31}$ . Wie schon beim KS III + III führt  $I_{32}$  weiterhin einen messbaren Strom, der langsam bis circa  $2,5 \mu\text{s}$  abnimmt. Das Plasma in der Diode  $D_{32}$  ist nur zu einem sehr geringen Teil durch den Forward-Recovery-Effekt ausgeräumt worden. Der Rest rekombiniert und fließt zugleich als messbarer Tail-Strom im Kreis mit  $D_{21}$ .

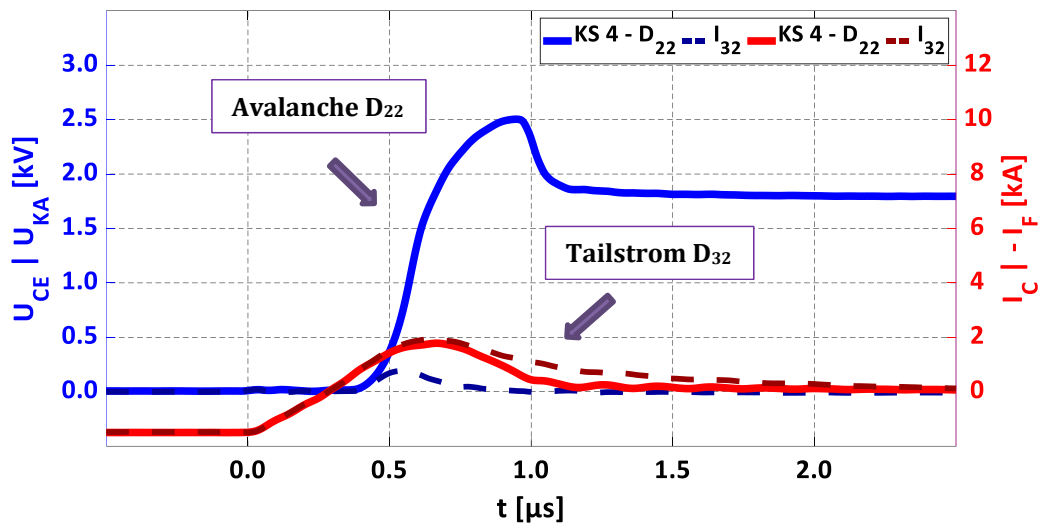


Abbildung 5-18: Messung des Pseudo-Serienkurzschlusses KS [III+] IV gemessen bei  $U_{DC} = 1,8 \text{ kV}$ ,  $I_L = \pm 1,5 \text{ kA}$ ,  $L_\sigma = 240 \text{ nH}$

Der KS [III+] IV ist auf Grund dieses Kreisstromes und dem Forward-Recovery-Effekt für  $I_{32}$  kein reiner KS IV, jedoch auch zugleich kein Serienkurzschluss mit zwei Halbleiterfehlern.

### 5.2.2 Kurzschlussfall [III+] V

Das spannungslose Abschalten eines Halbleiters im ANPC-Dreipunktumrichter führt auch meist dazu, dass ein zweiter Schalter noch freie Ladungsträger aufweist, siehe [29] und Abbildung 5-19. Würde dann der Schalter  $S_{11}$  in diesem Beispiel durchbrechen, bilden sich zwei parallele Kurzschlusspfade aus: ein niederinduktiver Zweig über  $D_{12}$  (KS IV ZC), ein höherinduktiver Zweig über  $D_{21}$ ,  $I_{31}$  (KS V) und  $I_{32}$  (Pseudo - KS III). Dieser Fall ist dadurch kein Serienkurzschluss und damit Bestand der Untersuchungen zu parallelen Kurzschlüssen im Kapitel 6.3.1. Es kann nur dann ein Serienkurzschluss aus KS [III+] V vorliegen, wenn das Plasma in der Diode  $D_{12}$  schneller rekombiniert, als zur gleichen Zeit die freien Ladungsträger im IGBT  $I_{31}$  [29]. Die Messungen zu den Plasmakurzschlüssen KS IV ZC (Kapitel 4.1) und KS V (Kapitel 4.2) ergeben, dass die freien Ladungsträger über der Zeit nahezu im gleichen Maße für IGBT und Diode abnehmen, vergleiche Abbildung 4-12 mit Abbildung 4-22. Wenn die Diode kein Plasma mehr aufweist, dann ist die Anzahl an freien Ladungsträgern beim IGBT auch sehr gering geworden, siehe Kapitel 4. Dies gilt aber erst einmal nur für den hier verwendeten ANPC-Teststand mit den eingesetzten Halbleitermodulen vom Typ FZ1500R33HL3. Daher könnten sich mit anderen Halbleitern die Rekombinationsraten zwischen IGBT und Diode merklich divergieren. Sollte währenddessen vom Zustand  $0_{1-}$  weiter auf  $N_1$  geschaltet werden, verändert sich das Potential am Emitter  $I_{31}$  und seine freien Ladungsträger werden ausgeräumt.



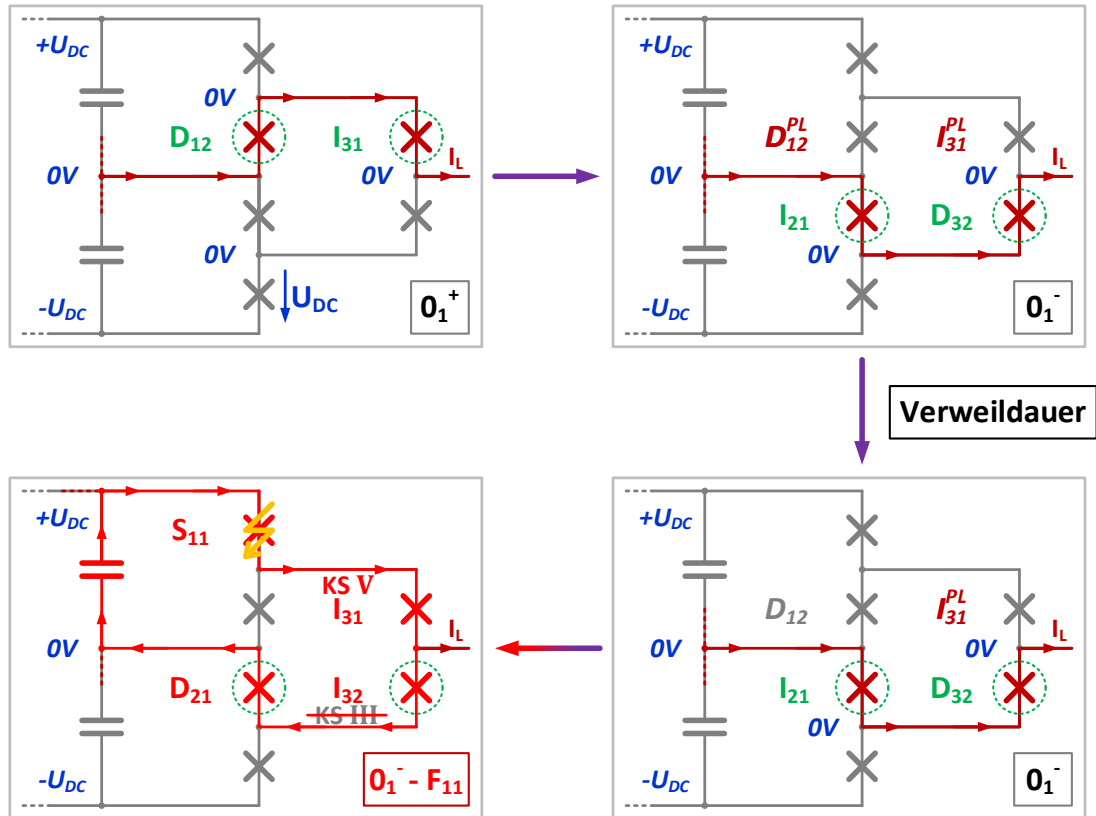


Abbildung 5-19: Auftreten des KS [III +] V im ANPC-Dreipunktumrichter

Das Durchbrechen von  $S_{11}$  führt theoretisch zum Serienkurzschluss aus KS III und KS V [16]. Der Plasmakurzschluss von  $I_{31}$  verhindert jedoch wieder, dass der Kurzschlussstrom auf Werte über 1,5 kA ansteigt, siehe dazu Abbildung 4-15. Daher kann der IGBT  $I_{32}$  nicht entsättigen und ein KS III tritt nicht ein, siehe Abbildung 5-19. Einzig der Wechsel des Stromflusses von der Diode auf den IGBT führt zu einem Forward-Recovery-Effekt für  $I_{32}$ . Jedoch hat sich in Messungen gezeigt, dass auf Grund des geringen Kurzschlussstromes des KS V es praktisch nicht zu einem Wechsel von der Diode auf den IGBT kommt, vergleiche [29] und Kapitel 6.3.1. Im Endeffekt bleibt ein höher induktiver KS V von diesem Pseudo-Serienkurzschluss übrig, unter der Voraussetzung, dass  $D_{12}$  keinen KS IV ZC zeitgleich einleitet und der parallele Fehlerfall eintritt, was eher wahrscheinlich ist.

Ein Augenmerk muss auch noch auf das Problem des Durchbrechens von  $S_{11}$  in Kombination mit einem positiven Laststrom inklusiver induktiver Last gelegt werden [29]. Sollte das Ausfallen dieses Halbleiters nicht entdeckt werden, beispielsweise durch Messung der Spannung über den Halbleitern, da der KS V ein Detektieren des Kurzschlusses, wie beispielsweise die  $U_{CE,SAT}$ -Methode [98], nicht zwingend auslöst, führt ein Wechsel auf den Schaltzustand  $N_1$  oder  $N_2$  zum nächsten Problem. Letzteres würde als erstes zu einem KS I für  $I_{12}$  führen, da der Halbleiter auf einen bestehenden Kurzschluss einschaltet. Problematischer ist jedoch in beiden Fällen mit negativer Phasenausgangsspannung, dass der Emitter von

$I_{31}$  auf  $-U_{DC}$  gezogen wird. Da der Kollektor dieses IGBTs auf  $+U_{DC}$  fixiert ist, kommt es über diesem Halbleiter zum Abfall der kompletten Zwischenkreisspannung [29]. Entweder bricht nun der IGBT als Folgefehler durch, oder eine Schutzfunktion greift ein und steuert  $I_{31}$  zur Spannungsbegrenzung auf. Infolgedessen kommt es zu einem neuerlichen Kurzschluss, den sogenannten Überspannungsfehlern, siehe [28] und Kapitel 7. Um dieses Problem der Überspannung nach einem Fehlerfall zu unterbinden, werden im Kapitel 6.1.2 entsprechende Lösungen aufgezeigt, da bei den dortigen parallelen Kurzschlüssen dieselbe Situation entstehen kann.

### 5.2.3 Kurzschlussfall [II +] IV ZC

Eine gespiegelte Variante zum KS [III +] V ist auch denkbar, bei der als Ausgangslage zuerst der Zustand  $0_1^-$  ( $I_{21}$  &  $D_{32}$  leiten) angesteuert wird. Ein Wechsel zum positiven Null-Volt-Level  $0_1^+$  führt wiederum dazu, dass in  $I_{21}$  und  $D_{32}$  Plasma verbleibt. Sollte nun das Element  $S_{22}$  durchbrechen, dann kommt es zum Ausbreiten eines Kurzschlusses über  $I_{21}$  (KS V), während gleichzeitig ein zweiter Kreis über  $D_{12}$ ,  $I_{31}$  (Pseudo-KS II) und  $D_{32}$  (KS IV ZC) auftritt [29].

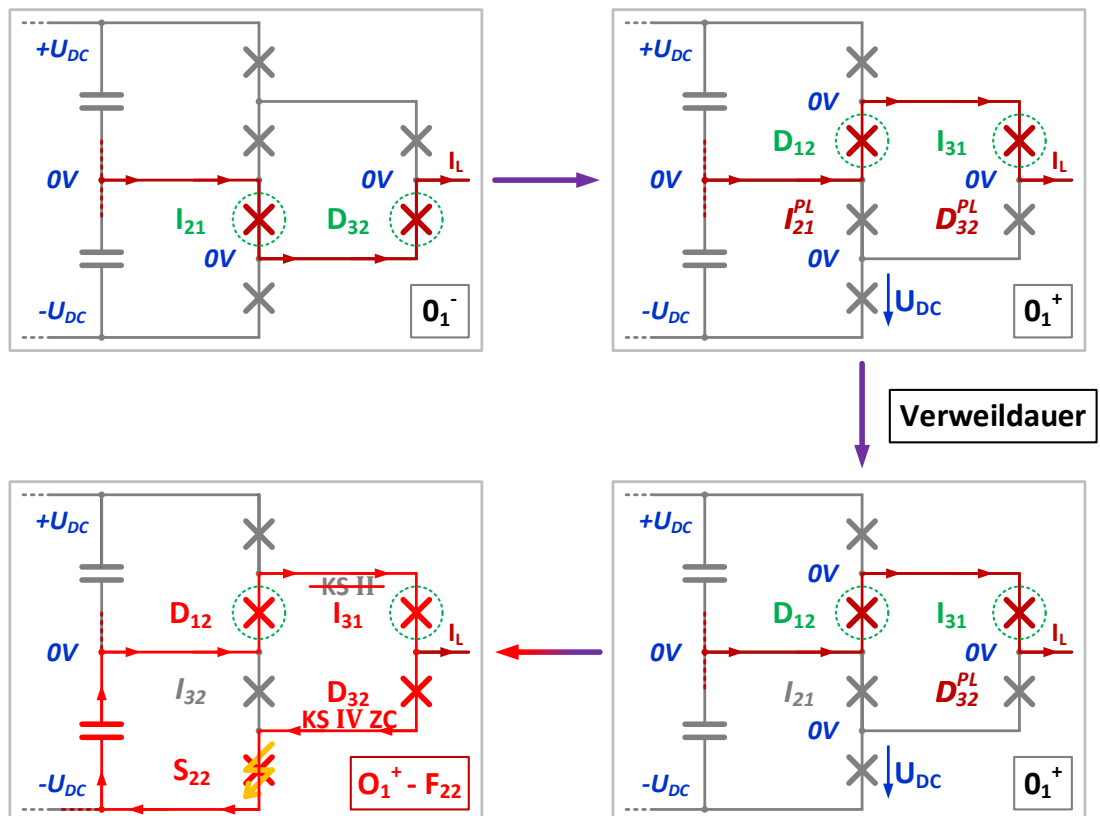


Abbildung 5-20: Auftreten des KS [II +] IV ZC im ANPC-Dreipunktumrichter

Dieser parallele Fehlerfall wird später im Kapitel 6.3.2 ausführlich beschrieben. Es kann nur dann ein Pseudo-Serienkurzschluss im ANPC-Dreipunktumrichter aus KS [II +] IV ZC vorliegen, wenn das Plasma im IGBT schneller rekombiniert als gleichzeitig die freien Ladungsträger in der Diode, siehe Abbildung 5-20. Jedoch führt ein Verweilen im Zustand  $0_1^+$ , um das Plasma aus dem IGBT zu entfernen, auch zur Abnahme in der Diode, was die Auswirkungen des Kurzschlusses vermindert. Wie jedoch schon die Messungen zur Abnahme des Plasmas über der Zeit für die hier eingesetzten Bauelemente im KS IV ZC (Abbildung 4-12) und KS V (Abbildung 4-22) gezeigt haben, nehmen die freien Ladungsträger im IGBT und der Diode beinahe im gleichen Maße ab, vergleiche auch Kapitel 4. Die Ladungsträgerlebensdauer ist beim IGBT in der Regel höher eingestellt als die mit ihm im Modul eingesetzte Freilaufdiode [3]. Daher kann der hier skizzierte KS [II +] IV ZC im verwendeten ANPC-Teststand nicht auftreten, wie auch die Messungen im Kapitel 4 belegen.

Zusammengefasst kann festgestellt werden, dass es nur einen Pseudo-Kurzschluss im verwendeten ANPC-Teststand gibt. Die anderen zwei Fälle, neben KS [III +] IV, führen meistens zu einer parallelen Fehlersituation. Dies gehört damit zum nachfolgenden Kapitel 6.3.

## 6 Parallel auftretende Kurzschlüsse

Bei dieser Gruppe an Halbleiterfehlern handelt es sich um das gleichzeitige auftreten zweier zueinander paralleler Kurzschlusskreise, erstmals veröffentlicht im Rahmen dieser Arbeit [16]. Auf Grund des Aufbaus des ANPC-Dreipunktumrichters weist ein Pfad des Fehlerstromes meist deutlich weniger Streuinduktivität auf als der zweite Pfad [30]. Der höherinduktive Stromkreis kann dabei aus zwei vom Kurzschluss betroffenen Halbleitern bestehen (Kapitel 6.1) oder nur aus einem (Kapitel 6.2 und 6.3). Hier unterscheiden sich zusätzlich die beiden letzteren Unterkapitel in dem Punkt, ob nur ein oder zugleich zwei Plasmakurzschlüsse auftreten [30]. Einen immensen Einfluss auf die parallelen Kurzschlüsse hat die Verteilung der Impedanzen [30]. Zu den parallelen Kurzschlüssen im ANPC-Dreipunktumrichter ist weiterhin anzumerken, dass diese Fehlerszenarios eigentlich schon vorher hätten festgestellt werden können, wie beispielsweise in [6]. Jedoch wurde der zweite parallele Kreis übersehen und die durch Plasma dominierten Kurzschlussfälle waren unbekannt [30]. Bei den parallelen Fehlerfällen handelt es sich dabei nicht um die Effekte, die auftreten, wenn ein Kurzschluss bei zwei oder mehreren direkt parallel geschalteten Modulen im Zweipunkt Umrichtern eintritt, siehe dazu [80] und [114].

### 6.1 Parallele Fälle durch zwei Null-Volt-Pfade

Die beiden Fälle in diesem Kapitel können nur im ANPC-Dreipunktumrichter auftauchen, da als Voraussetzung der Phasenzustand  $0^\pm$  ( $S_{12}$ ,  $S_{21}$ ,  $S_{31}$  &  $S_{32}$  sind eingeschaltet) benötigt wird. Dadurch fließen gleichzeitig Ladungsträger durch den positiven und den negativen Null-Volt-Pfad und der Laststrom teilt sich auf [30]. Das Konzept, dass alle vier inneren Halbleiter eingeschaltet sind, taucht des Öfteren in der Literatur auf, beispielsweise in [7], [51] oder [58]. Dies führt beispielsweise zur Reduktion der Durchlassverluste [56] oder es gewährleistet einen sicheren Übergang vom Zustand  $0_{1^+}$  auf  $0_{1^-}$  oder vice versa, siehe Kapitel 2. Dadurch eröffnet sich jedoch die Option für die nachfolgenden zwei Fälle [30].

#### 6.1.1 Kurzschlussfall II || II + III

Vor Eintritt des Fehlers liegt der doppelte Null-Volt-Pfad vor ( $0^\pm$ ), siehe Abbildung 6-1a. Der Laststrom teilt sich im Idealfall genau hälftig zwischen diesen beiden Zweigen auf, wie es in der Messung aus Abbildung 6-2 vor Fehlereintritt ersichtlich ist. Aus dieser Ausgangslage kommt es zum Durchbrechen des spannungsführenden Halbleiters  $S_{22}$ , welcher den parallelen Kurzschluss initialisiert, siehe [16] und Abbildung 6-1b. Es bildet sich eine parallele Schaltung von einem

KS II ( $I_{21}$ ) zu einem KS II ( $I_{31}$ ) plus einem KS III ( $I_{32} / D_{32}$ ) aus, siehe [28] und Abbildung 6-2. Da die Freilaufdiode  $D_{12}$  durch den halben Laststrom schon vorher geflutet worden ist, zeigt sie auch keinen Forward-Recovery-Effekt.

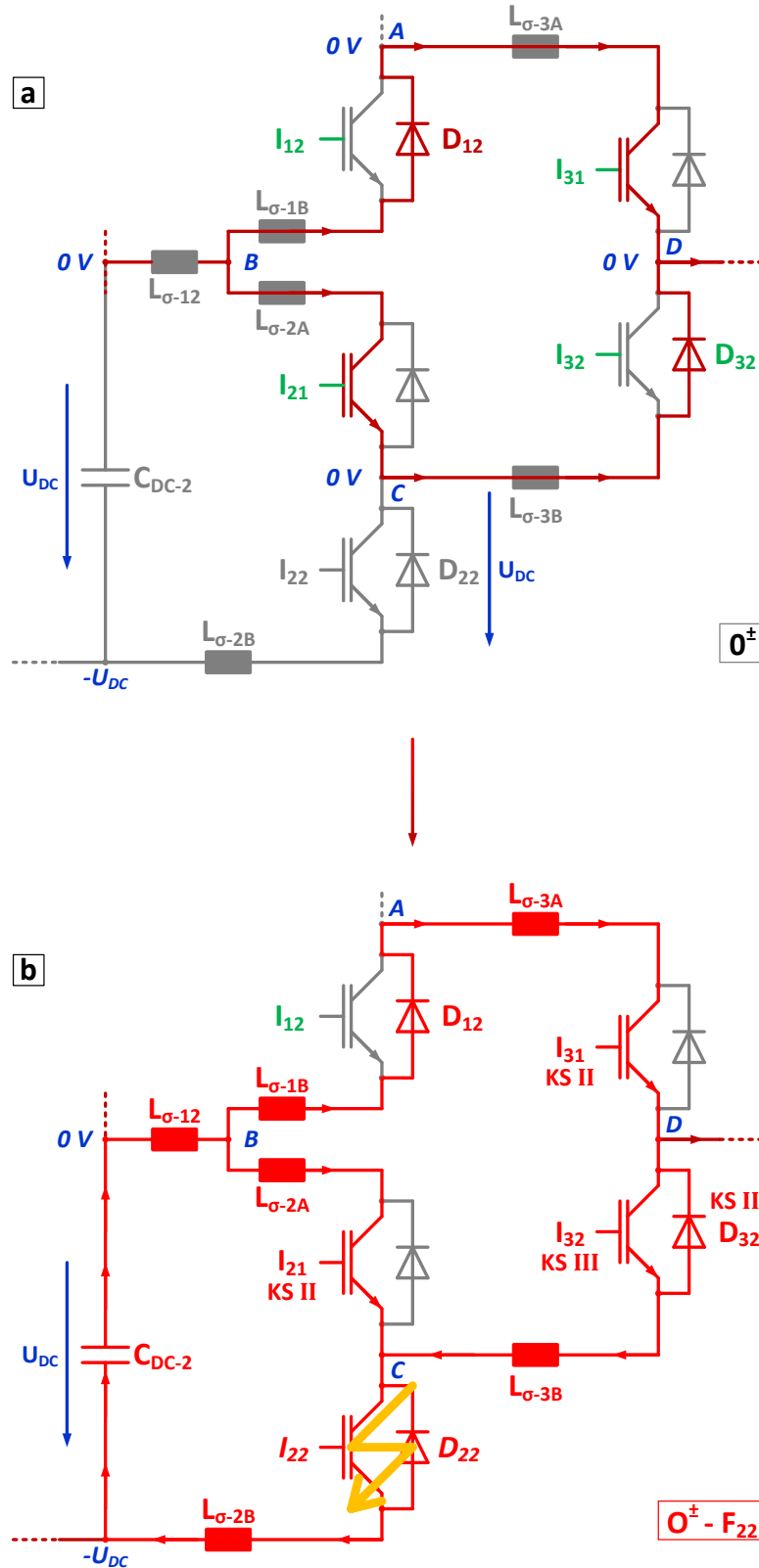


Abbildung 6-1: Auftreten des KS II // II + III im ANPC-Dreipunktumrichter

Mit Durchbruch von  $S_{22}$  steigt der Kurzschlussstrom in den anderen Halbleitern sofort an. Dabei wird der Stromanstieg für  $I_{21}$  determiniert durch den Spannungsabfall über die Streuinduktivität von 110 nH im kleinen Kommutierungskreis, vergleiche dazu Abbildung 2-4 mit Abbildung 6-2. Gleichzeitig liegt im äußeren Kreis eine parasitäre Impedanz von 215 nH, also nahezu der doppelte Wert, vor. Jedoch passt der gemessene Stromanstieg weder im kleinen ( $\sim 13,5 \text{ kA}/\mu\text{s}$ ) noch im entsprechend großen Kurzschlusskreis ( $\sim 1,7 \text{ kA}/\mu\text{s}$ ) zu dem Abfall von 1,8 kV über den Impedanzen, siehe [30] und Abbildung 6-2. Die Ursache dafür liegt in der Tatsache, dass beide Kreise sich einen gemeinsamen Abschnitt teilen, nämlich die Streuinduktivitäten  $L_{\sigma-12}$  und  $L_{\sigma-2B}$ . Aus dem Ersatzschaltbild von Abbildung 6-1b ergibt sich rechnerisch ein gesamtes  $di/dt$  von  $16,5 \text{ kA}/\mu\text{s}$ . Dieses teilt sich in  $15,2 \text{ kA}/\mu\text{s}$  im kleinen ( $L_{\sigma-2A}$ ) und  $1,3 \text{ kA}/\mu\text{s}$  im großen Kurzschlusskreis ( $L_{\sigma-1B}$ ,  $L_{\sigma-3A}$  und  $L_{\sigma-3B}$ ) in Folge des induktiven Stromteilers auf. Als Konsequenz werden die IGBTs  $I_{31}$  und  $I_{32}$  weniger stark durch den Self-Turn-On-Effekt aufgesteuert als der parallele Halbleiter  $I_{21}$  [125]. Die berechneten Werte stimmen nicht ganz mit denen aus der Messung ( $13,5 \text{ kA}/\mu\text{s}$ , respektive  $1,7 \text{ kA}/\mu\text{s}$ ) überein. Die Ursachen für die Diskrepanz zwischen Theorie und Praxis sind zum einen Messfehler. Beispielsweise zeigt die Messung des  $I_{31}$  vor allem am Anfang Störungen im Stromverlauf auf, siehe Abbildung 6-2. Auch muss beachtet werden, dass die Strommessungen Totzeiten von Nanosekunden im zweistelligen Bereich verursachen [154]. Bei hochdynamischen Prozessen wie ein Kurzschluss können diese minimalen Zeitunterschiede schon ausreichen, das Ergebnis deutlich zu verzerren. Zum anderen sind die ermittelten parasitären Impedanzen im Ersatzschaltbild nur Annäherungen an die realen Verteilungen, siehe Kapitel 10.1. Das Ersatzschaltbild des ANPC-Teststandes wurde aus den Messdaten so erstellt, dass es am besten zu allen Untersuchungen passt. Daher kommt es aber in einzelnen Fällen zur Abweichung zwischen berechnetem und gemessenem Stromanstieg.

Mit Eintreten der Entsättigung von  $I_{21}$  bei  $1,3 \mu\text{s}$  verändert sich das Gefüge des Stromteilers, siehe Abbildung 6-3 (1). Dieser IGBT nimmt Spannung auf und reduziert seinen Stromanstieg sowie hebt gleichzeitig das  $di/dt$  durch  $I_{31}$  und  $I_{32}$  an. Eine Eigenheit der parallelen Kurzschlussfälle tritt bei  $1,7 \mu\text{s}$  auf, wenn das  $di/dt$  von  $I_{21}$  den Wert null erreicht, siehe [30] und Abbildung 6-3 (2). Bei einem normalen KS II würde dies bedeuten, dass der Spannungsabfall über dem IGBT gleich der Zwischenkreisspannung entspricht. Die Messung ergibt jedoch nur  $\sim 1,0 \text{ kV}$  von  $U_{CE}$  des  $I_{21}$ . Ein Wert, der deutlich unter den 1,8 kV von  $U_{DC}$  liegt. Die Begründung kann aus dem Ersatzschaltbild hergeleitet werden. Ist der Stromanstieg im Zweig mit  $I_{21}$  zu null, so spielt nur noch der äußere Kurzschlusspfad eine Rolle [30]. Das dortige  $di/dt$  verursacht einen nennenswerten Spannungsabfall über  $L_{\sigma-12}$  und  $L_{\sigma-2B}$ , welcher daher die Spannung über  $I_{21}$  reduziert [30].

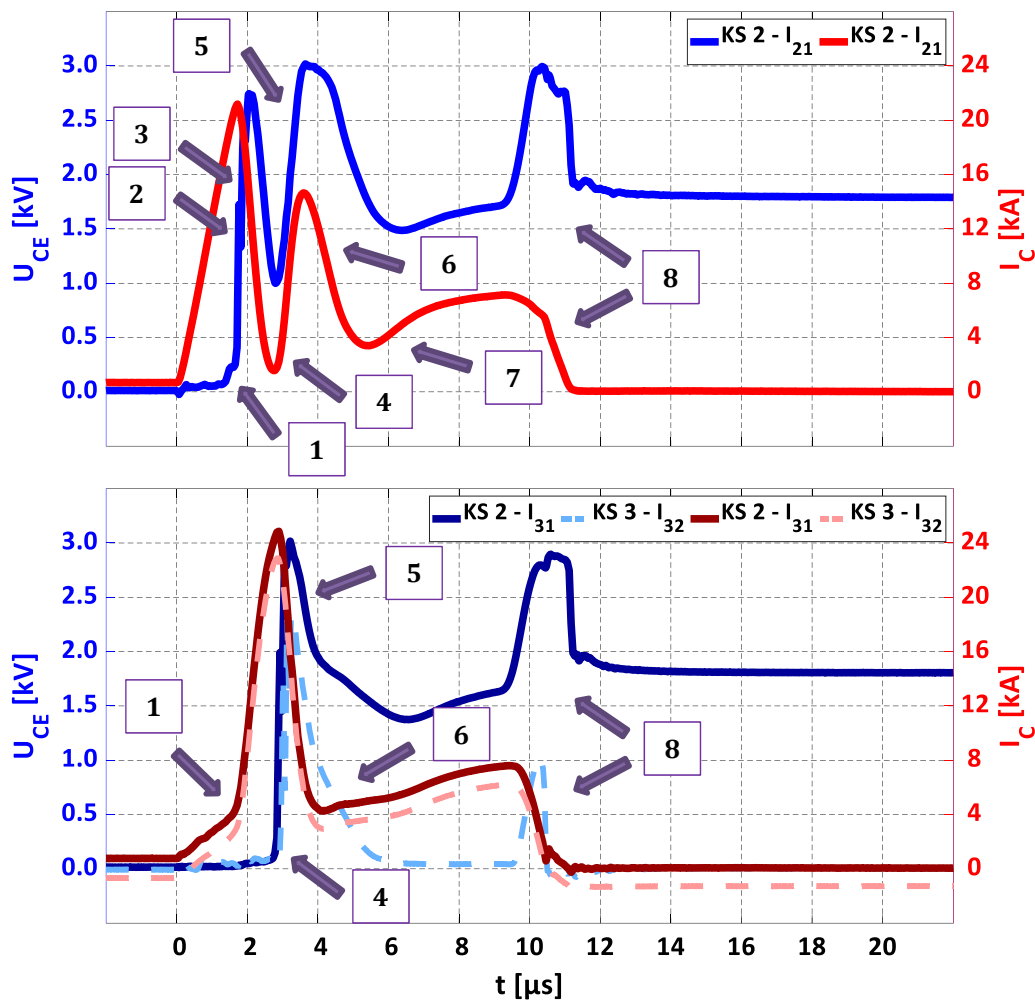


Abbildung 6-2: Messung des parallelen Kurzschlusses KS II // II + III gemessen bei  $U_{DC} = 1,8 \text{ kV}$ ,  $I_L = \pm 1,5 \text{ kA}$ ,  $L_\sigma$  siehe Teststandlayout

Erreicht  $U_{CE}$  von  $I_{21}$  die  $1,8 \text{ kV}$  circa  $150 \text{ ns}$  später (3), so ist das Maximum seines Kurzschlussstromes schon überschritten, siehe Abbildung 6-3. Ein untypisches Verhalten für einen KS II, jedoch hier kommt nahezu die gleiche Argumentation zum Tragen wie vorher schon beim Stromanstieg von  $0 \text{ kA}/\mu\text{s}$  (2). Zeitgleich prägt der IGBT  $I_{21}$  den Strom und damit den negativen Anstieg von circa  $-21 \text{ kA}/\mu\text{s}$  in den Kreis ein. Dieser verursacht dann einen entsprechenden Spannungsabfall in die entgegengesetzte Richtung über  $L_{\sigma-2A}$ . Aus den Maschen des Ersatzschaltbildes ergibt sich damit zwangsläufig, dass über  $L_{\sigma-12}$  und  $L_{\sigma-2B}$  eine positive Spannung von  $210 \text{ V}$  abfallen muss. Ein positiver Stromanstieg von  $2,1 \text{ kA}/\mu\text{s}$  im gesamten Kurzschlusskreis ist die Folge [30]. Auf Grund des Stromteilers ergibt sich damit ein Anstieg des Kurzschlusses mit  $23,1 \text{ kA}/\mu\text{s}$  im äußeren Kreis für  $I_{31}$  und  $I_{32}$ . Aus der Messung lässt sich ein Wert von  $22,2 \text{ kA}/\mu\text{s}$  ermitteln, der einer Abweichung zur Theorie von weniger als  $5 \%$  entspricht. Das Entsättigen von  $I_{21}$  führt zu einer Verschiebung des Gefüges innerhalb der Maschen. Die verbliebenen beiden IGBTs reagieren nur passiv darauf, da sie selbst noch

nicht entsättigt sind. Im Endeffekt führt eine Reduktion des Kurzschlussstromes durch  $I_{21}$  zu einer gleichzeitigen Anhebung des Fehlerstromes durch  $D_{12}$ ,  $I_{31}$  und  $I_{32}$ , welcher ab  $1,7 \mu\text{s}$  gut sichtbar ist (1). Durch dieses Verhalten der gegenseitigen Beeinflussung fällt der aufgezwungene Stromanstieg im äußeren Kreis höher aus als der im kleineren Kreis. Folglich fällt auch der Self-Turn-On-Effekt stärker aus, was den fast 20 % höheren Spitzenwert bei  $I_{31}$  im Vergleich zu  $I_{21}$  erklärt, obwohl der IGBT  $I_{31}$  eine höhere Streuinduktivität im Kreis aufweist als  $I_{21}$ , siehe [30] und Abbildung 6-3. Der Kurzschlussstrom für  $I_{32}$  ist auf Grund des Leitens der Diode vor dem Fehlereintritt um den Teillaststrom reduziert.

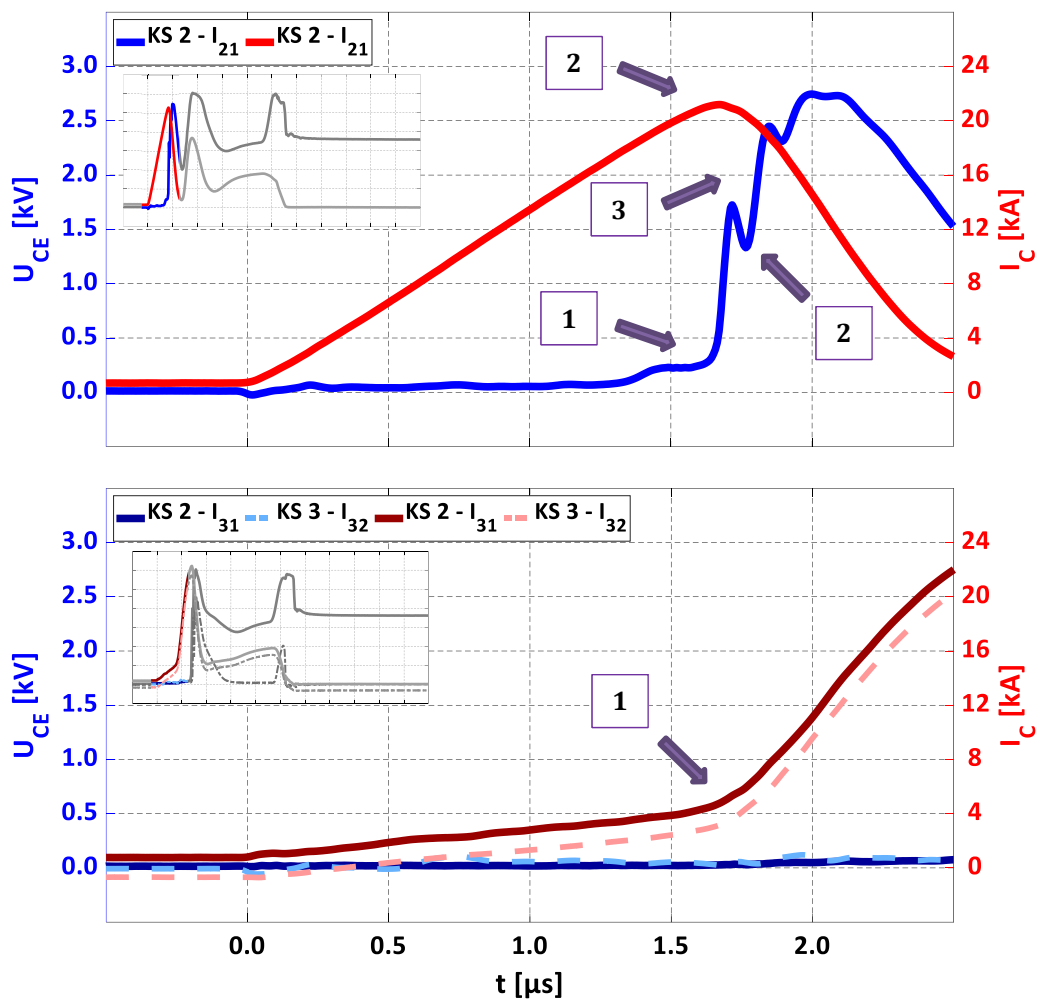


Abbildung 6-3: Auszug vom Beginn des KS II // II + III

Das nächste signifikante Ereignis ist der Beginn der Entsättigung von  $I_{31}$  und  $I_{32}$  ab  $2,7 \mu\text{s}$  (4). Der Stromzunahme wird in beiden Halbleitern begrenzt und die Spannung baut sich über beiden auf, analog zu den einfachen Kurzschlüssen [30]. Das heißt zugleich, dass beide IGBTs nun ein Wechsel ihres Verhaltens von Spannungs- zur Stromquelle vollziehen [22]. Wieder ist in der Messung aus Abbildung 6-4 erkennbar, dass die Reduktion des Kurzschlussstromes in dem einen Pfad die



Anhebung des Fehlerstromes im anderen Pfad forciert, diesmal sind die Akteure nur gegenüber dem Ereignis bei  $1,7 \mu\text{s}$  (1) vertauscht. Da  $I_{21}$  in diesem Fehlerfall schon vorher entsättigt ist, reagiert er nun eher passiv auf die von den anderen beiden verursachten Veränderungen im Kurzschlussstrom und den Potentialen. Während das  $di/dt$  von  $I_{21}$  bei  $2,7 \mu\text{s}$  sein Minimum erreicht hat, ist zu diesem Zeitpunkt der Stromanstieg durch  $I_{31}$ , respektive  $I_{32}$ , auf einen einstelligen Bereich von um die  $8,4 \text{ kA}/\mu\text{s}$  abgesunken, siehe Abbildung 6-4 (4). Dieser Anstieg verursacht nun, neben dem Spannungsabfall von circa  $200 \text{ V}$  über den beiden äußeren IGBTs durch die einsetzende Entsättigung, ein  $U_{CE}$  von  $1,1 \text{ kV}$  über  $I_{21}$  via den entsprechenden Streuinduktivitäten. Diese Spannung ist also ein Produkt aus der gegenseitigen Interaktion der Stromquellen plus der Verteilung der Impedanzen. Auf Grund dessen ist es auch erklärbar, warum während der Phase des negativen Stromanstiegs von  $I_{21}$  zwischen  $2,4 \mu\text{s}$  und  $2,7 \mu\text{s}$  sein  $U_{CE}$  kleiner ausfällt als die Zwischenkreisspannung. Dieses Verhalten ist im einfachen KS II nicht möglich, da ein negatives  $di/dt$  an den parasitären Induktivitäten immer eine Überspannung verursacht.

Auch nach den  $2,7 \mu\text{s}$  weicht das Verhalten bei den parallelen Kurzschlüssen stark von den Standardhalbleiterfehlern ab, siehe Abbildung 6-4 (5). Der nun negative Stromanstieg in den äußeren beiden IGBTs verursacht eine Überspannung über den beiden Halbleitern. Da  $I_{31}$  vor dem Fehlereintritt schon einen Teil des Laststromes geführt hat, ist es logisch, dass er zuerst entsättigt, wobei die Zeitdifferenz nur um die  $100 \text{ ns}$  zum  $I_{32}$  beträgt, siehe Abbildung 6-4. Dadurch blockiert  $I_{31}$  auch mehr Spannung, als der seriell dazu liegende  $I_{32}$ . Der dritte IGBT  $I_{21}$  zeigt wieder ein auf den ersten Blick untypisches Verhalten. Der Kurzschlussstrom steigt durch ihn, getrieben durch das Anheben der Gate-Emitter-Spannung durch den Treiber wie beim KS II, an, vergleiche dazu Kapitel 3.2. Zusätzlich kommt aber noch hinzu, dass das Verhalten von  $I_{31}$  und  $I_{32}$  zu einer weiteren Erhöhung des Stromanstiegs durch  $I_{21}$  führt [30]. Der von den beiden IGBTs erzeugte negative Anstieg von  $-8,0 \text{ kA}/\mu\text{s}$  bei  $2,9 \mu\text{s}$  verursacht einen inversen Spannungsabfall über  $L_{\sigma-1B}$ ,  $L_{\sigma-3A}$  und  $L_{\sigma-3B}$  von grob  $0,9 \text{ kV}$ , siehe Abbildung 6-4 (5). Dieser wird durch den Spannungsabfall über  $I_{31}$  und  $I_{32}$  von genau  $1,8 \text{ kV}$  überkompensiert. Über  $L_{\sigma-12}$  und  $L_{\sigma-1B}$  liegt damit auch genau  $0,9 \text{ kV}$  an, welcher einen positiven Anstieg im Kurzschlusskreis treibt. Als Folge stellt sich ein  $di/dt$  von  $17 \text{ kA}/\mu\text{s}$  durch  $I_{21}$  ein und der Kurzschlussstrom steigt bis auf  $14,7 \text{ kA}$  an. Auf Grund dessen fällt der zweite Stromzunahme deutlich steiler aus als es in der vergleichbaren Situation für den KS II nach Überschreiten des ersten Minimus der Fall ist. Trotz des positiven Stromanstiegs steigt daher die Spannung über  $I_{21}$  an und übersteigt kurz darauf sogar die  $1,8 \text{ kV}$ , siehe Abbildung 6-4 (5). Bei  $3,0 \mu\text{s}$  greift kurzzeitig der Überspannungseingriff von  $I_{21}$  ein, um die Spannung bei Werten um die  $3,0 \text{ kV}$  zu begrenzen.

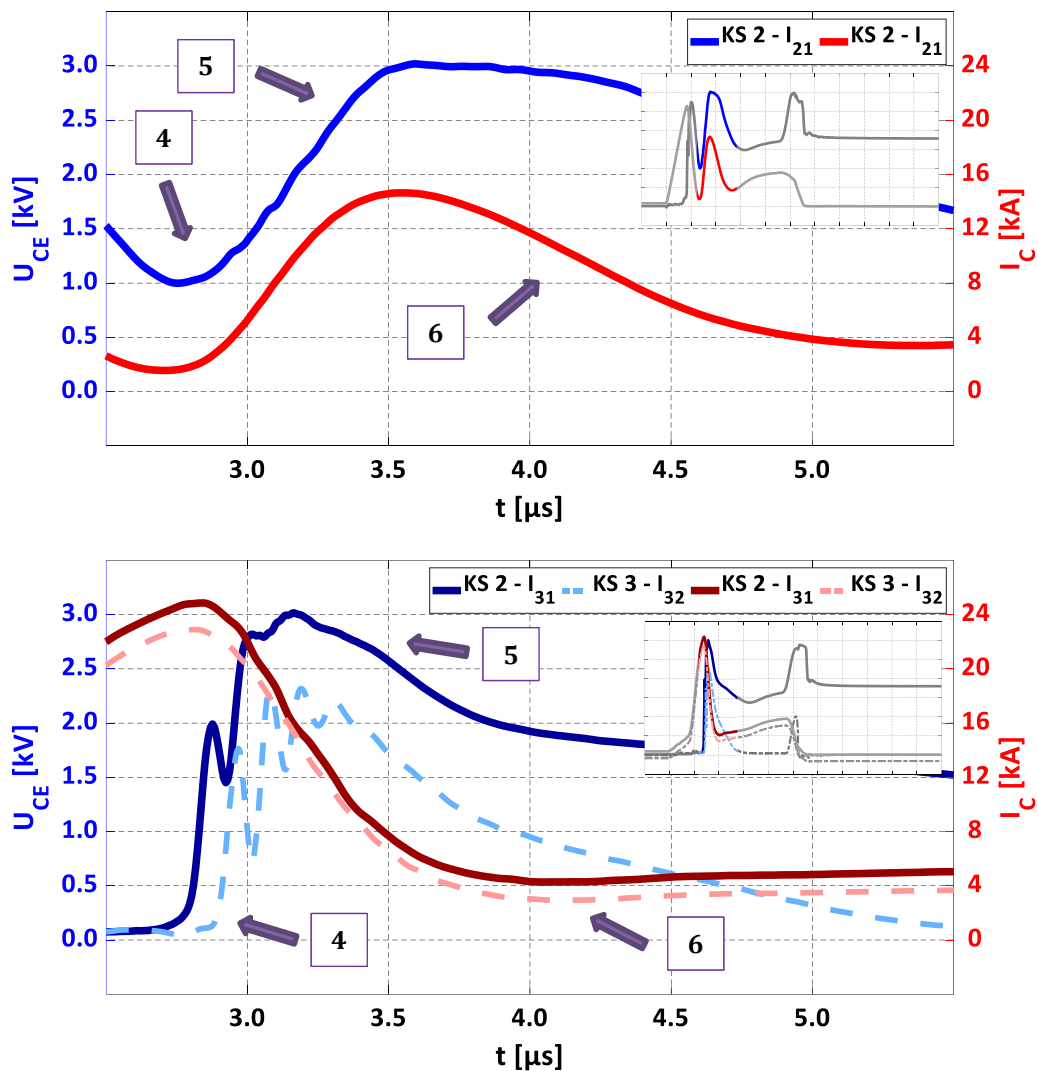


Abbildung 6-4: Auszug ab Entsättigung von  $I_{31}$  &  $I_{32}$  beim KS II || II + III

Der Kurzschlussstrom durch den  $I_{31}$ , respektive  $I_{32}$ , ist durch den Self-Turn-Off-Effekt auf ein zeitweises Minimum von circa 4,0 kA ( $I_{31}$ ), beziehungsweise 2,9 kA ( $I_{32}$ ), durch Reduktion von  $U_{GE}$  gezogen worden (6). Dies liegt unter dem statischen Kurzschlussstrom von etwas mehr als 7 kA. Daher werden die beiden IGBTs durch ihre Treiber wieder auf 15 V aufgesteuert. Dieses Ereignis verursacht wieder einen Anstieg des Kurzschlussstromes, der jedoch deutlich geringer ausfällt als bei den vorherigen Ereignissen. Gleichzeitig ist der Stromfluss durch  $I_{21}$  doppelt so hoch, als der statische Kurzschlussstrom sein sollte, siehe Abbildung 6-4. Auch hier wurde dessen  $U_{GE}$  durch die vorherigen Ereignisse mittels des Self-Turn-On-Effektes angehoben. Daher wird nun ein Absinken des Kurzschlussstrom durch den Treiber und die Schutzbeschaltung zur Klemmung des Gatepotentials vom  $I_{21}$  erzeugt, welches wiederum durch die Auswirkung des Self-Turn-Off-Effektes verstärkt wird [18]. Da das zweite Strommaximum bei 3,5  $\mu$ s nur 70 % vom Ersteren bei 1,7  $\mu$ s entspricht, fällt dementsprechend der

negative Stromanstieg für  $I_{21}$  geringer aus, vergleiche auch Kapitel 3.2 zur Auswirkung des maximalen Spitzenstromes im KS II. Der Spannungsabfall über den drei IGBTs ist wieder ein Resultat aus dem Stromanstieg und der Verteilung der Impedanzen, siehe Abbildung 6-4 (6).

Die Gate-Emitter-Spannung des  $I_{21}$  wird durch den Self-Turn-Off-Effekt abermals unter die 15 V gezogen. Es tritt daher wie beim einfachen KS II das Phänomen auf, dass der momentane Kurzschlussstrom zwischen  $4,4 \mu\text{s}$  und  $7,2 \mu\text{s}$  wieder unter den statischen Wert sinkt, siehe Abbildung 6-2 (7). Der Treiber des IGBT  $I_{21}$  zieht daraufhin das Gatepotential wieder auf die 15 V hoch mit entsprechend positivem Stromanstieg. Alle drei IGBTs verhalten sich ab circa  $5,5 \mu\text{s}$  wie in den Fällen KS II oder KS III [30]. Nennenswert ist wiederum, dass  $I_{31}$  nahezu die gesamte Spannung aufnimmt, während hingegen  $I_{32}$  maximal 50 V im statischen Kurzschluss sperrt, siehe Abbildung 6-2 ab  $8,0 \mu\text{s}$ . Dieses Phänomen wurde schon beim KS II + II ZC in Abbildung 5-7 beschrieben. Kurz vor  $10 \mu\text{s}$  werden dann alle vier betroffenen Halbleiter gleichzeitig abgeschaltet, siehe Abbildung 6-2 (8). Dies verursacht wiederum eine Überspannung für  $I_{21}$ ,  $I_{31}$  und  $I_{32}$  durch den negativen Stromanstieg in Kombination mit den Streuinduktivitäten. Der Laststrom kommutiert auf das durchgebrochene Element  $S_{22}$  sowie die Freilaufdiode  $D_{32}$ , wie die Messung in Abbildung 6-2 auch aufzeigt [30]. Wegen letzteres ist auch die Spannung über  $I_{32}$  nur temporär, bis dessen Freilaufdiode leitet. Der IGBT  $I_{12}$  kann keine Spannung sperren, da seine Freilaufdiode dies im Abschaltvorgang unterbindet und  $I_{11}$  die Zwischenkreisspannung sperrt. Daher ist weiterhin Plasma in der Diode  $D_{12}$  enthalten, welches dann über die Zeit rekombiniert [30]. Zusammengefasst ist der Kurzschlussfall aus KS II parallel zu KS II + III ein Vorgang, bei dem das Verhältnis der parasitären Impedanzen zueinander die Verläufe dominieren. Mit Einsetzen der Entsättigungen verschiebt sich das ganze Gefüge und die IGBTs beeinflussen sich gegenseitig.

Eine zusätzliche Eigenschaft gibt es noch bei parallelen Kurzschlüssen, die auf zwei gleichzeitig existierenden Null-Volt-Pfaden basieren. In der vorherigen Betrachtung wurde angenommen, dass sich der Laststrom genau hälftig auf die beiden Zweige verteilt. Dies gilt jedoch nur, wenn beide Pfade für einen längeren Zeitraum gleichzeitig eingeschaltet sind. In der Messung aus Abbildung 6-2 ist dies erreicht worden, indem  $S_{12}$ ,  $S_{21}$ ,  $S_{31}$  und  $S_{32}$  für  $200 \mu\text{s}$  zur gleichen Zeit leiten (Zustand  $0^\pm$ ). In der Realität ist es jedoch eher wahrscheinlich, dass bei einem Wechsel von beispielsweise  $0_{1+}$  auf  $0_{1-}$  der Zwischenzustand  $0^\pm$  nur für ein paar Mikrosekunden aktiv ist. Infolgedessen führt einer der beiden Pfade den Großteil des Laststromes, der andere nur den Rest. Ist der positive Null-Volt-Pfad via  $D_{12}$  und  $I_{31}$  länger an, bevor der zweite dazu geschaltet wird, so sollte dies gemäß der Theorie zu mehreren Effekten im Kurzschluss führen. Für die Freilaufdiode  $D_{12}$  macht es keinen merkbaren Unterschied, ob sie jetzt den halben oder den ganzen Laststrom führt. Jedoch führt eine Erhöhung des Stromes im  $I_{31}$  vor Fehlereintritt

dazu, dass der IGBT gemäß den Erkenntnissen aus Kapitel 3.2 einen leicht erhöhten Spitzenstrom durch einen verstärkten Self-Turn-On-Effekt aufweisen sollte. Dagegen sollte  $I_{21}$ , der in dem zweiten, nur kurz eingeschalteten Pfad liegt, auf Grund des geringen Laststromes einen verringerten Spitzenwert haben. Die Auswirkungen auf  $D_{32}$  sind eher gering, jedoch führt weniger Plasma vor Eintritt des KS III zu einer früheren Kommutierung innerhalb des Moduls von der Diode auf den antiparallelen IGBT, siehe dazu auch Kapitel 3.3. Ein weiteres Problem kann daraus entstehen, dass die Durchflutung des intrinsischen Gebietes mit Ladungsträgern eine gewisse Zeit im niedrigen Mikrosekundenbereich in Anspruch nimmt [4]. Sollte währenddessen ein Abschaltvorgang oder Kurzschluss erfolgen, so können dadurch Oszillationen im Bauteil durch die ungleichmäßige Verteilung der Ladungsträger entstehen [4].

Die theoretischen Überlegungen haben sich dann in Messungen mit einer starken Diskrepanz zwischen der Höhe des Stromflusses in den beiden Null-Volt-Pfaden bestätigt. In Messungen, bei dem der negative Null-Volt-Pfad nur für 10  $\mu\text{s}$  eingeschaltet worden ist, der obere aber zugleich schon knapp 200  $\mu\text{s}$  an gewesen ist, wurden die Vorhersagen belegt. Der Spitzenstrom bei  $I_{31}$  ist leicht erhöht gegenüber einem KS II || II + III mit gleichmäßiger Aufteilung des Laststromes. Jedoch beträgt der Unterschied nur 2 %, welches kein wirklich signifikantes Ergebnis darstellt. Auch der maximale Kurzschlussstrom fällt, wie vorausgesagt, um 3 % geringer aus. Jedoch halten sich die Auswirkungen, wie sich der Laststrom vor dem Fehlereintritt auf die zwei Pfade aufteilt, in Grenzen.

### 6.1.2 Kurzschlussfall III || II + III

Der Ausfall des Elementes  $S_{11}$  bei gleicher Ausgangslage ( $0^\pm$ ) führt anfänglich nur zu geringfügigen Änderungen des einsetzenden Fehlerfalles KS III || II + III im Vergleich zum vorher beschriebenen KS II || II + III [30]. Während die Situation für  $I_{31}$  und  $I_{32}$  dieselbe ist, erleidet die Kombination aus  $I_{12}$  und  $D_{12}$  nun einen KS III. Wie die Messung aus Abbildung 6-5 aufzeigt, führt dies zu einem Forward-Recovery-Effekt von 0,2  $\mu\text{s}$  bis 0,7  $\mu\text{s}$  für den IGBT. Ein weiterer Unterschied ist, dass der kleine Kommutierungskreis nun auf Grund des Aufbaues des ANPC-Teststandes eine Streuinduktivität von 145 nH aufweist, siehe Abbildung 2-4. Der äußere Kreis mit  $I_{31}$  und  $I_{32}$  kommt dagegen auf einen Wert der parasitären Impedanz von 240 nH. Die unterschiedlichen Werten im Vergleich zum KS II || II + III ergeben damit im hier vorliegenden KS III || II + III eine geringfügige Veränderung der Stromanstiege, beziehungsweise des Stromteilers [30]. Ein weiterer Unterschied zeigt die Freilaufdiode  $D_{21}$ , siehe Abbildung 6-6. Vor dem Fehlereintritt fließt der Laststrom durch ihren antiparallelen IGBT  $I_{12}$ . Durch den erzwungenen Wechsel innerhalb des Moduls kommt es zu einem kurzzeitigen Forward-Recovery-Effekt der Diode, bis sie geflutet ist. Dieser Effekt tritt nicht

beim KS II || II + III auf. Ansonsten sind die Verläufe bis zum Abschalten aller vier Halbleiter im KS III || II + III relativ analog zu der vorherigen Variante [30].

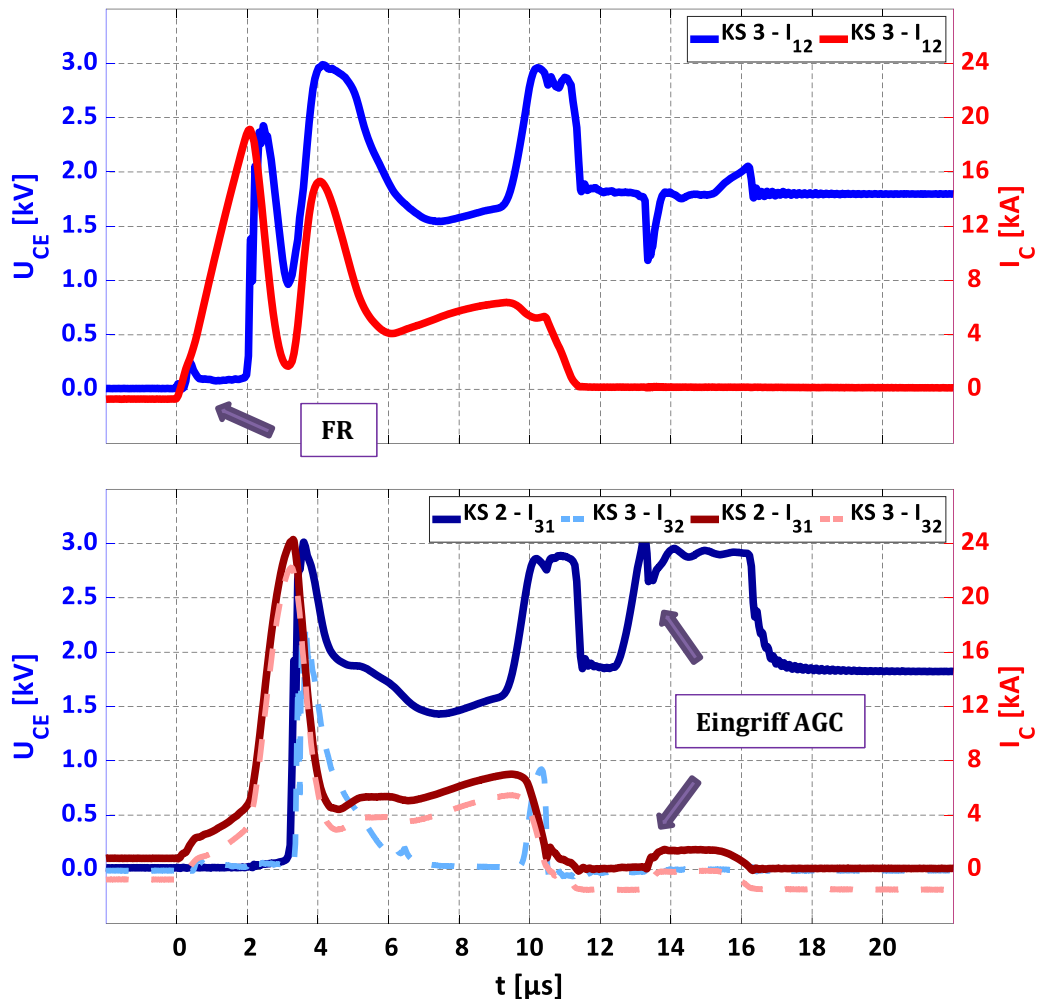


Abbildung 6-5: Messung des parallelen Kurzschlusses KS III || II + III gemessen bei  $U_{DC} = 1,8 \text{ kV}$ ,  $I_L = \pm 1,5 \text{ kA}$ ,  $L_\sigma$  siehe Teststandlayout

Die markante Abweichung zum KS II || II + III kommt in dem Moment, wenn alle vier Halbleiter ab circa  $9 \mu\text{s}$  abgeschaltet werden, siehe [6] und Abbildung 6-5. Der Laststrom kommutiert von den entsättigten IGBTs  $I_{12}$ ,  $I_{31}$ ,  $I_{32}$  und der Freilaufdiode  $D_{21}$  auf den natürlichen Freilaufpfad durch  $D_{22}$  und  $D_{32}$ , siehe Abbildung 6-6. Der negative Stromanstieg verursacht bei den betroffenen Schaltern die bekannte Überspannung, wie die Messung klar aufzeigt. Diese erreicht Werte bis zu 3 kV beim IGBT  $I_{12}$ . Daher ist bei  $I_{12}$  und  $I_{31}$  ein kurzzeitiger Eingriff der Überspannungsbegrenzung ab  $10 \mu\text{s}$  bis  $11 \mu\text{s}$  festzustellen. Weiterhin ist  $S_{11}$  durchgebrochen, wodurch am Kollektor von  $I_{31}$  dann  $+U_{DC}$  anliegt, während sein Emitter durch den natürlichen Freilaufpfad über  $D_{22}$  und  $D_{32}$  in Richtung von  $-U_{DC}$  ab  $12,5 \mu\text{s}$  gezogen wird. Als Folge entsteht eine gefährliche Überspannung für  $S_{31}$ , siehe [12] und Abbildung 6-6. Der Spannungszunahme über  $I_{31}$  ist definiert

durch die Geschwindigkeit des Abschaltens der vier Halbleiter und der einsetzen- den Kommutierung des Laststromes auf den Freilaufpfad. In der Messung aus Ab- bildung 6-5 ist dies ab  $12,5 \mu\text{s}$  deutlich sichtbar, wenn  $U_{CE}$  von  $I_{31}$  über den Wert von  $U_{DC}$  steigt. Infolgedessen geschieht wieder ein Eingriff des AGC für den be- drohten  $I_{31}$  [28]. Es erfolgt eine Kommutierung des Laststromes auf den zerstör- ten  $S_{11}$  und den nun aufgesteuerten  $I_{31}$ , siehe Abbildung 6-6. Auf diese Problema- tik ist auch schon vorher hingewiesen worden, siehe [29] und Kapitel 5.2.2. Die Lücke von circa  $1,7 \mu\text{s}$  zwischen Ende der durch den negativen Stromanstieg ver- ursachte Überspannung und dem Anstieg durch Potentialverschiebung wird durch  $I_{21}$  verursacht [30]. Im Gegensatz zu den anderen drei aktiv eingeschalte- ten Halbleitern führt dieser IGBT keinen Kurzschlussstrom, da seine antiparallele Freilaufdiode leitet. Dadurch kann der Halbleiter nicht entsättigen und führt ei- nen normalen, aber länger andauernden Abschaltvorgang, durch, siehe Kapitel 3. Als Resultat fängt  $I_{21}$  erst um  $1,7 \mu\text{s}$  verzögert an, Spannung aufzunehmen [30].

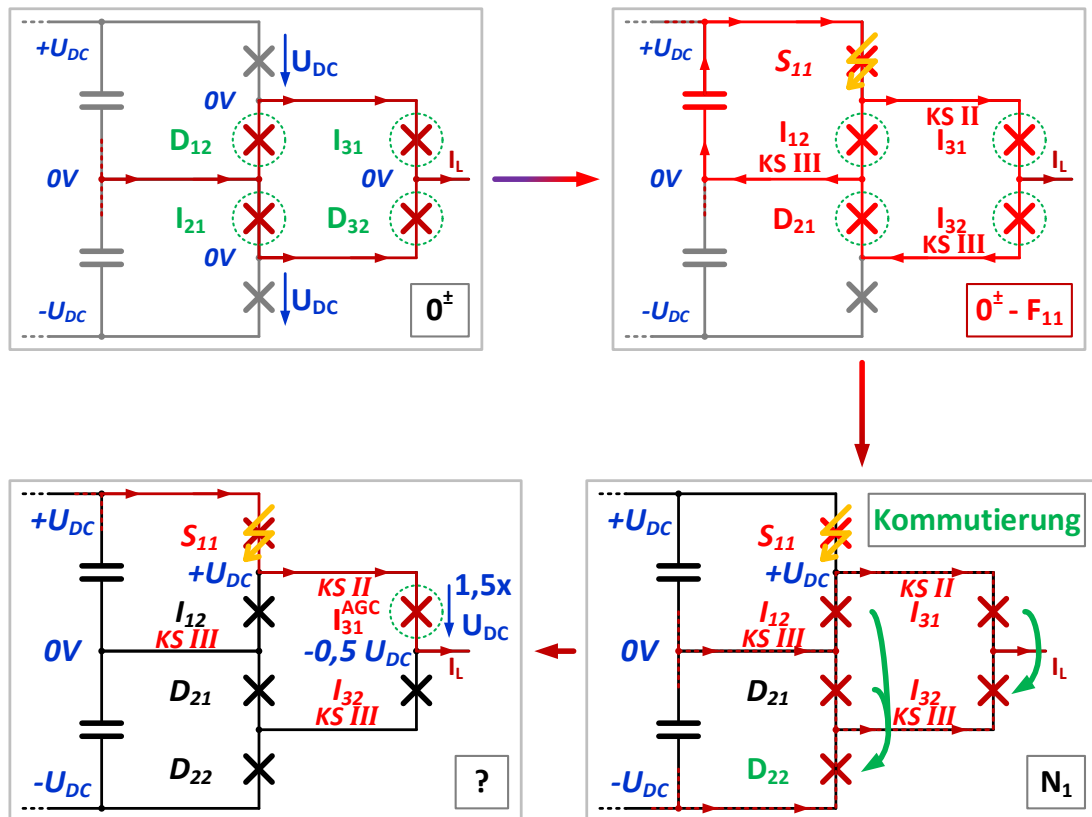


Abbildung 6-6: Auftreten und Abschaltproblematik des KS III // II + III

Diese Situation ist für diesen IGBT besonders kritisch, da er nun eine Spannung von etwas mehr als das 1,5-fache der Zwischenkreisspannung sperrt, aber gleich- zeitig den Laststrom führt. Dies verursacht dann Verluste von 4 MW und mehr. Wie hoch diese im Endeffekt ausfallen, hängt vom Wert des Laststromes und der eingestellten Schwelle des Überspannungseingriffes ab [30]. Da die hohe Span- nung über  $I_{31}$  jedoch nicht durch ein negatives Stromanstieg verursacht wird,

sondern durch die erzwungene Potentialverschiebung im Freilauf, hört dieses Problem nicht von selbst auf. Es verschwindet erst, wenn der induktiv getriebene Laststrom versiegt [6]. Diese Problematik tritt bei jedem Fehlerfall im ANPC-Dreipunktumrichter auf, bei dem der dem natürlichen Freilaufpfad gegenüberliegende äußere Schalter durchbricht, unabhängig davon wie die restliche Ausgangssituation vor oder nach dem Kurzschluss im Umrichter sein sollte [30]. Ohne eine Lösung für dieses Problem würde nach kurzer Zeit der IGBT durch die immensen Verluste thermisch zerstört werden [113]. Der Überspannungsschutz wird nur dann nicht gebraucht, wenn die IGBTs so ausgelegt sein sollten, dass sie die gesamte Zwischenkreisspannung sperren können [28]. Dies reduziert jedoch das Potential der Halbleiter deutlich und ist eher die Ausnahme im Umrichterbau, vergleiche [6] und Kapitel 2.

Neben dem radikalen Konzept, auch das Element  $S_{31}$  zu opfern und so Folgeschäden zu riskieren (vergleiche Kapitel 8), gibt es vier bekannte Lösungsansätze. Der erste Vorschlag will mit Hilfe einer weiteren der drei Phasen den Laststrom zu null Ampere bringen [12]. Eine vertiefte Erklärung dieses Konzeptes wurde aber dort nicht gegeben und es bleibt unklar, wie dies umgesetzt werden soll. Alternativ liegt die Idee vor, bei Detektieren des Eingriffes der Überspannung den IGBT  $I_{31}$  komplett einzuschalten [6]. Ein Nachteil dieser Lösung ist es jedoch, dass so dauerhaft eine positive (oder negative) Ausgangsspannung durch die betroffene Phase verursacht wird. Das führt bei einer induktiven Last zu einer konstanten Stromzunahme. Um daraus entstehende Probleme unterbinden zu können, müssten alle drei Phasen den Zustand  $P_1$  ansteuern. Dies führt jedoch zu einem Stoßstrom, siehe [32] und die Erläuterungen dazu im Kapitel 8. Vereinfacht gesagt wird ein sehr hohen Strom durch Teile des Umrichters getrieben, wenn durch einen Fehler oder bewusstes Schalten alle drei Phasen dauerhaft den Zustand plus oder minus  $U_{DC}$  ansteuern [104]. Dies führt zu sehr hohen Beanspruchung der Halbleiter und kann diese wiederum zerstören [108]. Weiterhin könnte auch der Ansatz gewählt werden, das Element  $S_{12}$  zu opfern und den IGBT  $I_{12}$  dauerhaft einzuschalten. Dadurch würde der obere Zwischenkreiskondensator entladen werden und die Zwischenkreisspannung wird reduziert. Der Nachteil hierbei ist, dass der Halbleiter  $I_{12}$  durch den dauerhaften KS I massiv belastet wird. Des Weiteren senkt dies das Potential am Kollektor von  $I_{31}$  auch erst einmal nicht ab.

Bei der letzten Option wird einer der beiden Null-Volt-Pfade dauerhaft eingeschaltet, bis der Laststrom abgeklungen ist [30]. Um einen ungewollten Brückenkurzschluss zu verhindern, muss der Pfad gewählt werden, der in Opposition zum anfänglich durchgebrochenen Halbleiter liegt. In dem hier aufgeführten Beispiel des KS III || II + III würde dies heißen, dass  $I_{21}$  und  $I_{32}$  dauerhaft eingeschaltet werden, da  $S_{11}$  durchgebrochen ist. Genau diese Lösung wurde in der vorliegenden Untersuchung des parallelen Fehlerfalles umgesetzt. In der Messung aus

Abbildung 6-5 wird ab  $15 \mu\text{s}$  der negative Null-Volt-Pfad wie beschrieben eingesetzt. Ab  $16,2 \mu\text{s}$  kommutiert der Laststrom von  $S_{11}$  plus  $I_{31}$  auf  $I_{21}$  plus  $D_{32}$ . Das Emitterpotential von  $S_{31}$  wird wieder auf  $0 \text{ V}$  zurückgezogen und der Eingriff des AGC hört auf, siehe [30] und Abbildung 6-5. Der Vorteil hierbei ist es, dass nun Null-Volt an dem Phasenausgang anliegen, welches deutlich unproblematischer ist als plus oder minus  $U_{\text{DC}}$ . Obendrein kann der ANPC-Dreipunktumrichter mit einem reduziertem Modulationsindex bei dauerhaften Fixieren einer Phase auf  $0 \text{ V}$  nach einem Halbleiterfehler eingeschränkt weiter benutzt werden, siehe [155] und Kapitel 8. Um dieses Konzept jedoch umsetzen zu können, muss entweder der Ort des Halbleiterdurchbruches genau lokalisiert werden, oder der dauerhafte Einsatz des Überspannungseingriffes erfasst werden.

### 6.1.3 Kurzschlussfall IV || II + II ZC

Bei den Serienkurzschlüssen wurde der KS II + II ZC vorgestellt, der primär den NPC-Dreipunktumrichter betrifft, siehe Kapitel 5.1.2. Dort wurde der positive Laststrom über  $D_{12}$  und  $I_{31}$  geführt, während  $I_{31}$  und  $I_{32}$  eingeschaltet sind, bevor das Element  $S_{22}$  durchbricht. Fällt jedoch der gegenüberliegende Halbleiter  $S_{11}$  aus, so kommt es nicht zu dem KS II + II ZC, wie zuerst vermutet wurde [6]. Vielmehr tritt gleichzeitig ein paralleler Kurzschluss mit einem zusätzlichen KS IV für  $D_{12}$  auf, siehe [30] und Abbildung 6-7. Dies führt zu einem Überspannungsproblem in eben jener Diode, welche bei Nennbedingungen sehr wahrscheinlich zerstört werden würde. Die nachfolgende Messung des KS IV || II + II ZC in Abbildung 6-8 ist in Abweichung zu all den anderen Messungen nur bei knapp  $1,3 \text{ kV}$  Zwischenkreisspannung auf Grund der Gefährdung von  $D_{12}$  durchgeführt worden. Die Messungen wurde in der Realität an dem ANPC-Teststand durchgeführt, bei dem  $S_{12}$  und  $S_{21}$  dauerhaft ausgeschaltet sind, um eine NPC-Umrichterphase zu modellieren [30]. Jedoch ist deren Überspannungsschutz weiterhin verbaut, welcher später noch eine gewichtige Rolle bei diesem Fehlerfall spielen wird.

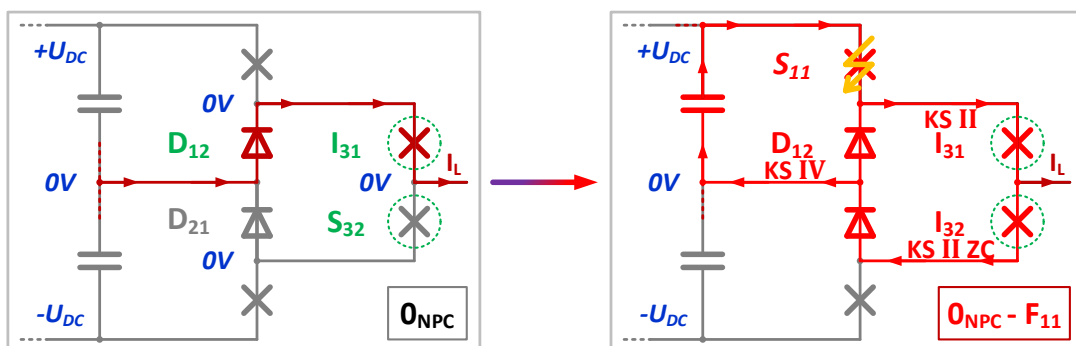


Abbildung 6-7: Auftreten des KS IV || II + II ZC im (A)NPC-Dreipunktumrichter



Mit Einsetzen des Kurzschlusses nimmt der Strom in  $D_{12}$  mit ungefähr  $7,3 \text{ kA}/\mu\text{s}$  ab, siehe Abbildung 6-8. Im deutlich höher induktiven Pfad mit  $I_{31}$  und  $I_{32}$  stellt sich ein Stromanstieg von  $1,1 \text{ kA}/\mu\text{s}$  ein. Auf Grund der Parallelschaltung von  $15 \text{ nH}$  ( $L_{\sigma-1B}$ ) zu  $110 \text{ nH}$  ( $L_{\sigma-2A} + L_{\sigma-3}$ ) fällt daher 90 % der Zwischenkreisspannung von hier  $1,3 \text{ kV}$  über den verbliebenen Streuinduktivitäten mit einem Gesamtwert von  $130 \text{ nH}$  ( $L_{\sigma-1A} + L_{\sigma-12}$ ) ab. In der Quelle zur erstmaligen Beschreibung dieses Fehlerfalles wurde wiedergegeben, dass beide äußeren IGBTs einen KS II mit Fehlereintritt erfahren [6]. Jedoch, wie auch die Messung aus Abbildung 6-8 aufzeigt, erlebt  $I_{32}$  einen KS II ZC mit seinem charakteristischen Forward-Recovery-Effekt. Dieser ist jedoch hier etwas schwächer ausgeprägt, als bei einem klassischen KS II ZC, da der Stromanstieg deutlich geringer für den  $I_{32}$  ausfällt. In der KS II ZC Messung aus Abbildung 3-24 wurde ein kurzzeitiger Spannungsabfall von  $250 \text{ V}$  festgestellt, während hier hingegen der Forward-Recovery-Effekt beim  $I_{32}$  im KS IV || II + II ZC nur maximal  $110 \text{ V}$  erreicht.

Wie schon beim einfachen KS IV führt der Stromnulldurchgang bei  $0,2 \mu\text{s}$  dazu, dass das Plasma nun aus dem intrinsischen Gebiet ausgeräumt wird. Es breitet sich ein elektrisches Feld aus, welches einen Höhepunkt bei  $0,6 \mu\text{s}$  und etwas weniger als  $1,2 \text{ kV}$  erreicht, siehe Abbildung 6-8. Vergleicht man dies mit dem Verlauf des KS IV aus Kapitel 3.4, so bleibt als Schlussfolgerung, dass ein Teil des Plasmas der Diode noch nicht ausgeräumt worden ist [30]. Das Verhalten ähnelt in gewisser Weise dem der Diode in einem reinen KS III, bei dem der antiparallele IGBT eine hohe Spannungsaufnahme zum Ausräumen der gesamten Ladungsträger verhindert. Dies geschieht auch beim KS IV || II + II ZC, da der zweite höherinduktive Kurzschlusspfad ein vollständiges Blockieren der Zwischenkreisspannung durch  $D_{12}$  unterdrückt [30]. Der Stromanstieg im zweiten Kurzschlusskreis steigt von  $1,1 \text{ kA}/\mu\text{s}$  auf ungefähr  $5,4 \text{ kA}/\mu\text{s}$  an, während die Diode  $D_{12}$  Spannung aufnimmt. Dieser Wert führt mittels den Streuinduktivitäten  $L_{\sigma-2A}$  und  $L_{\sigma-3}$  zu einem dortigen Spannungsabfall von  $0,59 \text{ kV}$ . Der Stromanstieg durch  $I_{31}$  kann nicht mehr höher steigen, da der Abfall von den  $1,3 \text{ kV}$  über den Impedanzen im zweiten Kurzschlusskreis keine weitere Vergrößerung zulassen. Daher kommt es in den Messungen zu einem erzwungenen Spannungsabfall von  $0,55 \text{ kV}$  über  $D_{12}$  und sie blockiert den Stromfluss durch sich selbst [30].

All dies stellt kein Problem dar, sondern ist nur eine Folge der komplexen Verschaltung in parallelen Kurzschlüssen. Sobald jedoch  $I_{31}$ , und ein paar Nanosekunden darauf  $I_{32}$ , ab  $3,1 \mu\text{s}$  entsättigt, tritt die kritische Situation für  $D_{12}$  auf [30]. Beide IGBTs blockieren rapide Spannung, reduzieren damit den Stromanstieg im äußeren Kreis und erzwingen zugleich einen Anstieg der Spannung über  $D_{12}$ , siehe Abbildung 6-8. Dies würde wieder einen Spannungsabfall über  $L_{\sigma-1B}$  mitverursachen und dort einen Strom einprägen, der das verbliebene Plasma aus der Diode räumt. Die Überspannung über  $I_{31}$  erreicht einen Spitzenwert von knapp  $2,8 \text{ kV}$  bei  $3,7 \mu\text{s}$  während  $I_{32}$  zeitgleich  $1,6 \text{ kV}$  erreicht. Gleichzeitig verursacht der

negative Anstieg von um die  $-11 \text{ kA}/\mu\text{s}$  auch eine Gegenspannung über  $L_{\sigma-2A}$  und  $L_{\sigma-3}$ , welche den Spannungsabfall über den beiden IGBTs zum Teil kompensiert. Zusammen ergibt dies einen Spannungsabfall über  $D_{12}$  von  $3,1 \text{ kV}$ , siehe [30] und Abbildung 6-8.

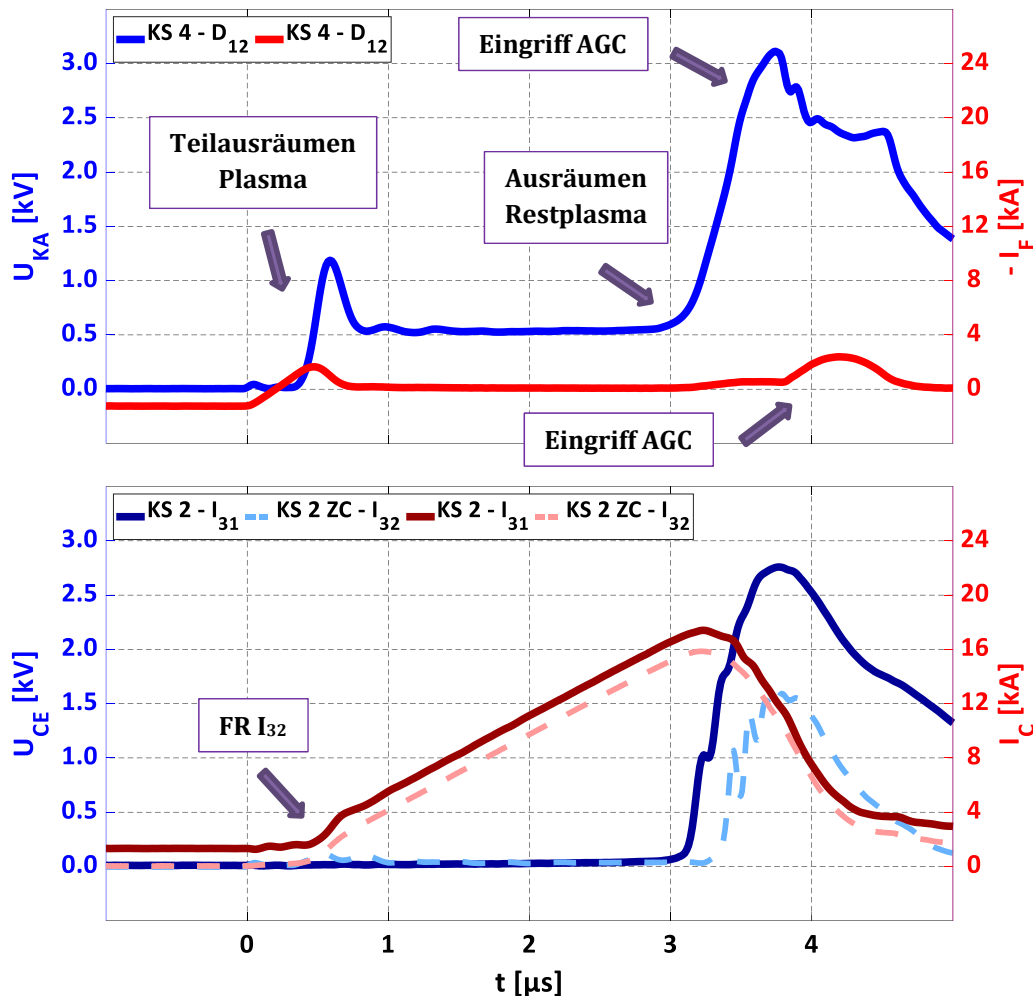


Abbildung 6-8: Messung des parallelen Kurzschlusses KS IV // II + II ZC gemessen bei  $U_{DC} = 1,3 \text{ kV}$  (!),  $I_L = \pm 1,3 \text{ kA}$  (!),  $L_{\sigma}$  siehe Teststandlayout

Bei diesem Wert leitet der Überspannungsschutz des Elementes  $S_{12}$  und zieht damit das Gate von  $-10 \text{ V}$  auf bis zu  $+19 \text{ V}$  hoch. Der antiparallele IGBT, den es im NPC-Dreipunktumrichter eigentlich nicht gibt, steuert auf. Es beginnt Strom durch  $I_{12}$  zu fließen und die Überspannung wird reduziert [30]. Damit wird aber zugleich die Spannung über der Serienschaltung aus  $I_{31}$ ,  $I_{32}$  und  $L_{\sigma-2A}$  und  $L_{\sigma-3}$  begrenzt. Dies verändert auch den Stromanstieg in diesem Kreis, beziehungsweise die gebildete Überspannung, wie auch die Messung in Abbildung 6-8 aufzeigt. Ohne das Eingreifen des  $I_{12}$ , respektive der Schutzbeschaltung, wäre die Spannung über  $D_{12}$  noch höher gestiegen, möglicherweise bis in den Bereich um  $3,3 \text{ kV}$ . Jedoch ist diese Situation schon bei einer Zwischenkreisspannung von

1,3 kV eingetreten. Eine Erhöhung von  $U_{DC}$  auf die eigentlich anvisierten 1,8 kV würde die Grenze der maximalen Sperrspannung übersteigen. Diese deutliche Diskrepanz der Überspannung zur Zwischenkreisspannung lässt auch vermuten, dass selbst mit einer Schutzbeschaltung, welche im NPC-Dreipunktumrichter nicht möglich wäre, die 1,8 kV nicht erreicht werden können [30]. Sollte  $D_{12}$  nicht sich selbst durch den *switching self-clamping mode* via dem Avalanche-Effekt bei zu hoher Kathoden-Anoden-Spannung schützen [146], kommt es zu einem permanenten sekundären Ausfall. Eine praktikable Lösung ist nicht erkennbar, um den NPC-Dreipunktumrichter gegen den KS IV || II + II ZC schützen zu können.

Abschließend ist noch zu vermerken, dass auch im ANPC-Dreipunktumrichter ein paralleler Kurzschluss erzeugt werden kann, der nahezu dasselbe Fehlerbild aufweist. Wird bei positivem Laststrom der Phasenzustand  $0_{3^-}$  ( $S_{21}$ ,  $S_{31}$  und  $S_{32}$  sind eingeschaltet) gewählt, dann kommt es wiederum zum Aufsplitten des Stromflusses auf die beiden Null-Volt-Pfade, da  $D_{12}$  auch leitet, siehe Tabelle 2-1. Bricht auch hier wiederum  $S_{11}$  durch, dann erfährt  $D_{12}$  wieder einen verzerrten KS IV, während hingegen  $I_{31}$  einen KS II und  $I_{32}$  nun einen KS III mit seiner Freilaufdiode durchlebt. Der KS II ZC und der KS III, mit Ausnahme der Belastung für die Diode, sind aber vom äußeren Erscheinungsbild relativ ähnlich, vergleiche dazu Kapitel 3.2 mit Kapitel 3.3. Daher fällt der KS IV || II + III nahezu analog wie der hier besprochene KS IV || II + II ZC, aus inklusive der wiederauftauchenden Überspannungsproblematiken für  $D_{12}$  am Anfang des Fehlers. Jedoch kann durch einen Überspannungsschutz der IGBT  $I_{12}$  im ANPC-Dreipunktumrichter nun aufgesteuert werden, um den maximalen Spannungsabfall über das Modul zu begrenzen [30]. Daher ist im ANPC-Dreipunktumrichter das Problem der kritischen Überspannung gegenüber dem Derivat mit der NPC-Struktur weniger stark ausgeprägt, auch wenn die Schutzbeschaltung den IGBT aus einem ausgeschalteten Zustand mit  $-10\text{ V } U_{GE}$  einschalten muss, vergleiche dazu auch Kapitel 10.2.

Eine weitere Adaption des Ausgangszustandes führt zu einer zusätzlichen Variante eines schon vorgestellten Fehlerfalles. Wird der Zustand  $0_{3^+}$  ( $S_{12}$ ,  $S_{31}$  und  $S_{32}$  sind eingeschaltet) bei positivem Laststrom in der Phase des ANPC-Dreipunktumrichters eingesetzt, dann fließt der Laststrom nur über den positiven Null-Volt-Pfad [46]. Bricht dann  $S_{11}$  durch, kommt es einmal zu einem KS III im niederinduktiven Kreis mit  $I_{12} / D_{12}$ , welcher parallel zu einem Serienkurzschluss aus KS II ( $I_{31}$ ) und KS II ZC ( $I_{32}$ ) liegt. Folglich handelt es sich hierbei um eine Form des KS III || II + III, mit den bekannten Unterschieden zwischen KS II ZC und KS III. Ein weiterer Unterschied ist, dass  $I_{21}$  beim KS III || II + II ZC kein Plasma vor dem Fehlereintritt aufweist. Dies hat jedoch auf den Verlauf des Kurzschlusses kaum eine Auswirkung, da nur die antiparallele Freilaufdiode  $D_{21}$  von Bedeutung ist. Im Abschaltvorgang aller drei Halbleiter kommt es dann wieder zum Überspannungsproblem für  $I_{31}$ , da der ausgefallene  $S_{11}$  sich gegenüber dem natürlichen Freilaufpfad befindet. Dies gilt genauso für den KS IV || II + III.

## 6.2 Parallele Fälle mit einem Plasmakurzschluss

Die vorherigen Fälle zeigen auf, dass die parallelen Kurzschlüsse mindestens drei, wenn nicht sogar vier, eingeschaltete Halbleiter im ANPC-Dreipunktumrichter benötigen, um zwei Strompfade gleichzeitig zu verursachen. In allen Phasenzuständen, bei denen nur zwei Halbleiter den Laststrom leiten, dürfte es daher keine Möglichkeiten geben, einen parallelen Kurzschluss zu erzeugen. Jedoch gibt es mit bipolaren Bauteilen die zwar geringe, aber nicht zu vernachlässigbare Chance, dass mindestens ein weiteres Element vor dem Kurzschluss noch Plasma enthält [30]. In gewissen Ausgangssituationen kann dann beim Durchbrechen von einem der äußeren Schalter, sei es  $S_{11}$  oder  $S_{22}$ , der noch geflutete IGBT oder die Diode einen zweiten Kurzschlusspfad ermöglichen. Daraus leitet sich auch zugleich ab, dass die Rekombinationszeit der freien Ladungsträger im betroffenen Halbleiter nur in einem begrenzten Zeitraum die nachfolgenden parallelen Fehlerfälle ermöglicht, vergleiche dazu Kapitel 4. Einen ersten Hinweis auf hochinduktive Pfade mit Plasmakurzschlüssen wurde schon im fiktiven Beispiel des KS [III +] V im Kapitel 5.2 aufgezeigt. Es gibt zwei parallele Kurzschlüsse die entweder durch einen KS IV ZC oder einen KS V ermöglicht werden [30].

### 6.2.1 Kurzschlussfall II || [III +] V

Die erste Beschreibung der Parallelschaltung aus einem KS II zu einem KS V plus einem eventuellen KS III in Serie dazu wurde theoretisch schon 2017 gegeben [16]. Dort wurde auch schon vermutet, dass der Plasmakurzschluss des IGBTs den äußeren Pfad dominiert und ein KS III unterbunden wird. Zwei Jahre darauf wurde dann der KS II || [III +] V umfassend analysiert [30]. Ausgehend von einem positiven Null-Volt-Pfad via  $0_1^+$ , führt ein Wechsel zum Zustand  $0_1^-$  dazu, dass Plasma in  $D_{12}$  und  $I_{31}$  verbleibt, siehe Abbildung 6-9. Das Durchbrechen von  $S_{22}$  leitet dann die beiden parallelen Kurzschlüsse ein, siehe Abbildung 6-10. Im Gegensatz zu den Messungen eines einzelnen Plasmakurzschlusses im ANPC-Dreipunktumrichter aus Kapitel 4, kann hier eine Zeitdifferenz zwischen spannungslosem Abschalten der beiden Halbleiter und Kurzschlusseintritt von nur  $5 \mu\text{s}$  im Teststand erzielt werden. Infolgedessen ist bei den Fehlern des Kapitels 6.2 und 6.3 deutlich mehr Plasma in IGBT und / oder Diode enthalten, als es der Fall bei den einzelnen KS IV ZC oder KS V wäre.

Mit Durchbruch des  $S_{22}$  setzt ein unmittelbarer KS II für  $I_{21}$  mit einem Stromanstieg von  $\sim 15,4 \text{ kA}/\mu\text{s}$  ein. Im äußeren höherinduktiven Kurzschlusspfad wird gleichzeitig das Plasma aus  $I_{31}$  ausgeräumt und der IGBT nimmt Spannung auf [30]. Jedoch tritt dasselbe Phänomen wie beim KS IV || II + II ZC aus dem vorherigen Kapitel 6.1.3 auf. Der KS II des  $I_{21}$  unterbindet die vollständige Spannungsaufnahme des  $I_{31}$  im KS V, siehe Abbildung 6-10 ab  $0,2 \mu\text{s}$ . Der KS V wird nur

unvollständig umgesetzt und die Spannung über ihm pendelt sich bei etwas mehr als 0,3 kV ein. Ein Großteil des Plasmas ist weiterhin im IGBT  $I_{31}$  gespeichert [30].

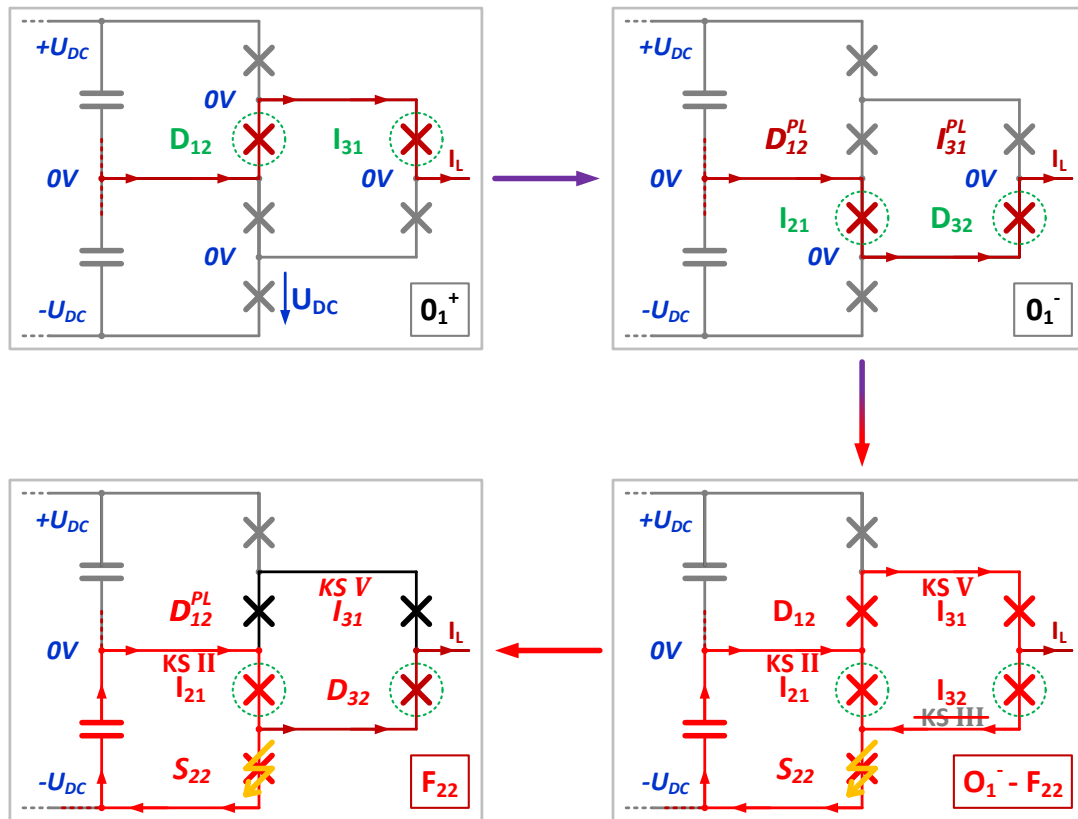


Abbildung 6-9: Auftreten des KS II // [III +] V im ANPC-Dreipunktumrichter

Der Stromanstieg vom IGBT  $I_{21}$  fällt deutlich höher aus, als der des KS II im KS IV // II + II ZC. Ursache ist hierbei die Lokalisierung des zweiten Halbleiterfehlers im nieder- und nicht im hochinduktiven Kurzschlusskreis beim KS II // [III +] V. Dies und die Verteilung der Streuinduktivitäten im Teststand erklärt auch, warum der Spannungsabfall ab  $0,7 \mu\text{s}$  über  $I_{31}$  auf 0,3 kV verbleibt, vergleiche dazu auch die Erläuterungen aus dem Kapitel 6.1.3. Das Plasma innerhalb  $D_{12}$  führt dazu, dass mit Ausbilden des Kurzschlussstromes sie kein Forward-Recovery-Effekt aufweist. Erst wenn die freien Ladungsträger innerhalb ihrer intrinsischen Zone bei einer großen Zeitdifferenz  $t_{D,KS}$  nur noch in geringer Anzahl vorliegen würden, käme es zum kurzzeitigen Auftreten einer Forward-Recovery-Spannung für  $D_{12}$ . Das Entsättigen von  $I_{21}$  ab  $1,4 \mu\text{s}$  im KS II // [III +] V führt dazu, dass auch  $I_{31}$  mehr Spannung aufgezwungen wird. Damit setzt das Ausräumen des Restplasmas für diesen IGBT ein [30]. Dabei ist ein Teil der freien Ladungsträger in der statischen Phase zwischen  $0,9 \mu\text{s}$  und  $1,4 \mu\text{s}$  schon vorher rekombiniert. Bei  $1,7 \mu\text{s}$  und einer Spannung knapp über 2,0 kV für  $I_{21}$  und annähernd 1,9 kV für  $I_{31}$  ist eine Reduktion der Spannungsanstieg messbar. Da aber beide Kollektor-Emitter-Spannungen oberhalb von  $U_{DC}$  liegen, spricht dies eher für einen Effekt der parallelen Kurzschlüsse und keinem Avalanche.

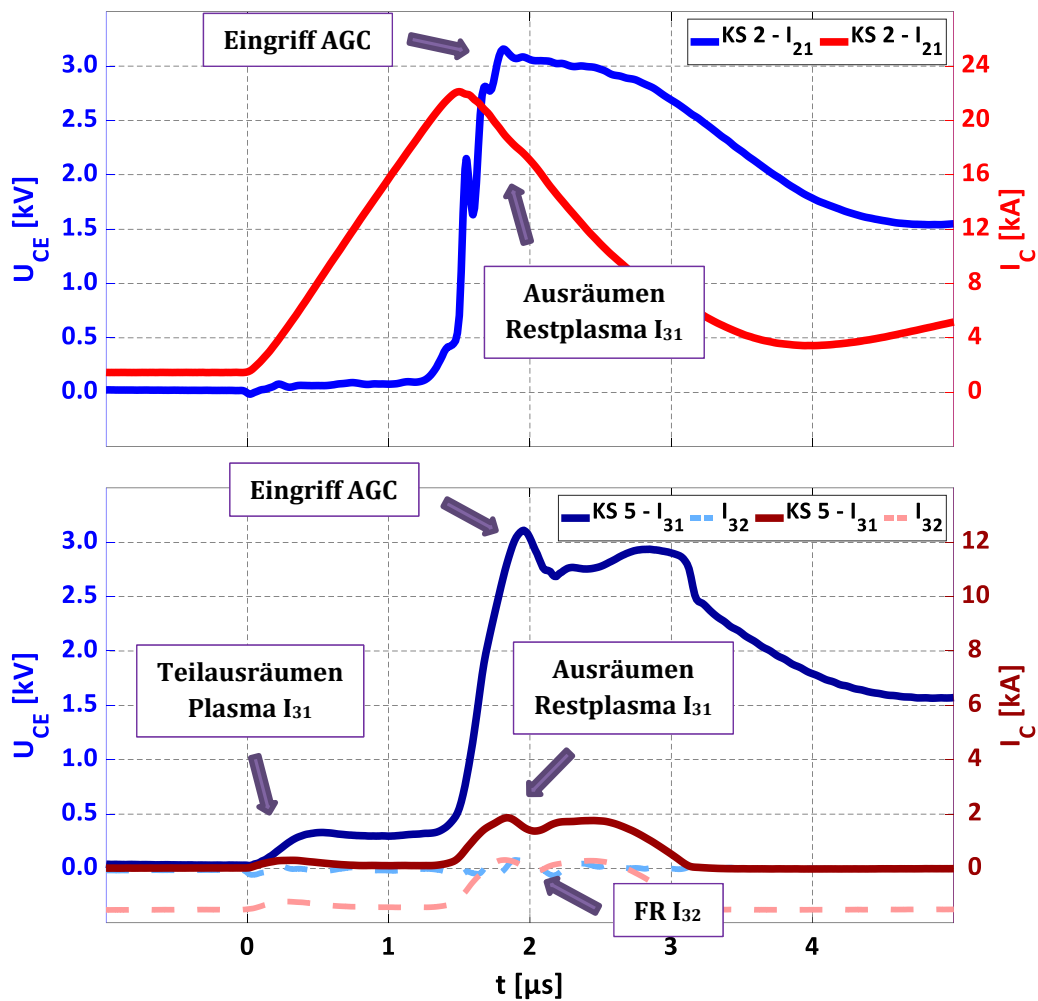


Abbildung 6-10: Messung des parallelen Kurzschlusses KS II || [III +] V gemessen bei  $U_{DC} = 1,8 \text{ kV}$ ,  $I_L = \pm 1,5 \text{ kA}$ ,  $L_\sigma$  siehe Teststandlayout,  $t_{D,KS} = 5 \mu\text{s}$  (unterschiedliche Skalierung der Ordinaten für Strom)

Kurz vor  $2,0 \mu\text{s}$  kommt es auf Grund der Überschreitung von  $3 \text{ kV}$  über beiden IGBTs zu einem kurzzeitigen Eingriff ihrer Schutzbeschaltungen. Das Aufsteuern des IGBTs  $I_{31}$  führt auch dazu, dass der ausgeräumte Plasmaberg höher ausfällt, als derjenige des „reinen“ KS V aus dem Kapitel 4.2. Die freien Ladungsträger sind ab  $3,1 \mu\text{s}$  vollständig ausgeräumt, jedoch ist  $U_{CE}$  von  $I_{31}$  immer noch höher als  $U_{DC}$ . Auch dieses eigentlich ungewöhnliche Verhalten ist ein Nebeneffekt aus der Parallelschaltung der beiden Stromkreise. Der Stromanstieg von  $I_{21}$  mitsamt den entsprechenden Streuinduktivitäten determiniert den Spannungsabfall über  $I_{31}$ . Das ausgeräumte Plasma von  $I_{31}$  fließt zwangsläufig auch durch das seriell liegende Element  $S_{32}$ , siehe Abbildung 6-10. Der Stromfluss durch die Diode  $D_{32}$  wird daher von  $0 \mu\text{s}$  bis  $0,9 \mu\text{s}$  und noch einmal von  $1,4 \mu\text{s}$  bis  $3,1 \mu\text{s}$  reduziert. Nur zwischen  $1,7 \mu\text{s}$  und  $2,1 \mu\text{s}$  ist der Strom so hoch, dass ein Stromnulldurchgang erfolgt. In diesem Zeitbereich übernimmt dann kurzzeitig der antiparallele IGBT  $I_{32}$  den Fluss und ein Forward-Recovery-Effekt ist messbar. Der

Spitzenstrom ist aber zugleich so niedrig (maximal 0,4 kA), dass dieser Halbleiter niemals entsättigen könnte [30]. Der KS III für dieses Element ist im Umkehrschluss nicht möglich und der Fehlerfall reduziert sich zu einem KS II || V. Das Versiegen des äußeren Kurzschlusspfades nach 3,1  $\mu$ s führt dazu, dass nur noch der KS II eine Rolle spielt, siehe [30] und Abbildung 6-10. Dieser wird wie gewöhnlich kurz vor 10  $\mu$ s als statischer Kurzschluss abgeschaltet.

### 6.2.2 Kurzschlussfall III || [II +] IV ZC

Im Kontrast zum vorherigen KS II || [III +] V ist beim nun folgenden KS III || [II +] IV ZC die Ausgangssituation invers [30]. Der Wechsel vom Phasen-zustand  $0_1^-$  zu  $0_1^+$  sorgt dafür, dass Plasma in  $I_{21}$  und  $D_{32}$  verbleibt, siehe Abbildung 6-11. Das Durchbrechen von  $S_{11}$  führt dann dazu, dass im niederinduktiven Kreis ein KS III für  $I_{12}$  und  $D_{12}$  auftritt. Gleichzeitig liegt im äußeren Pfad ein höherinduktiver KS IV ZC für  $D_{32}$  vor, der den hypothetischen KS II des  $I_{31}$  unterbin-det. Da  $D_{21}$  vor dem Fehlereintritt kein Plasma hatte, weist sie für kurze Zeit einen Forward-Recovery-Effekt auf.

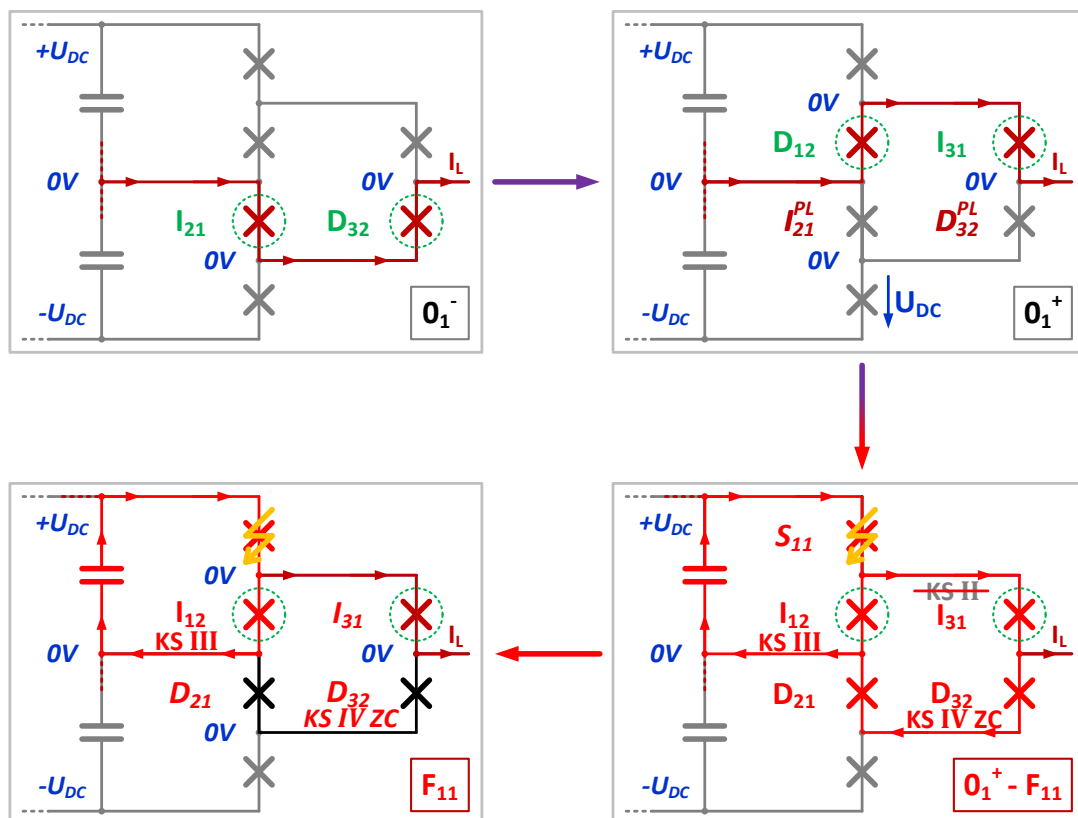


Abbildung 6-11: Auftreten des KS III || [II +] IV ZC im ANPC-Dreipunktumrichter

Auch hier unterbindet der KS III das vollständige Ausräumen des Plasmas aus  $D_{32}$  durch Begrenzung ihres Spannungsabfalles auf Werte von 0,25 kV im

Zeitraum ab  $0,6 \mu\text{s}$ , siehe Abbildung 6-12. Der IGBT  $I_{12}$  weist einen deutlich ausgeprägten KS III mit dem charakteristischen Forward-Recovery-Effekt beim Stromnulldurchgang auf. Seine Entsättigung kurz vor  $2,0 \mu\text{s}$  führt zwangsläufig wieder zum Erhöhen der Spannung über  $D_{32}$  und die Diode räumt das verbliebene Plasma im KS IV ZC aus [30]. Da der maximale Spannungsabfall über ihr nur sehr kurz  $3,0 \text{ kV}$  erreicht, kommt es zu keinem messbaren Eingriff des Überspannungsschutzes. Die freien Ladungsträger von  $D_{32}$  sind bis  $3,2 \mu\text{s}$  vollständig ausgeräumt, siehe Abbildung 6-12. Daher müsste ab diesem Zeitpunkt  $U_{KA}$  den Wert von  $U_{DC}$  erreichen, in der Messung ist sie aber mehr als  $50 \%$  größer. Die Ursache ist hier, wie bei den anderen parallelen Kurzschlussfällen, das Überlagern des parallelen Pfades mit dem Verhalten von  $I_{12}$  im KS III.

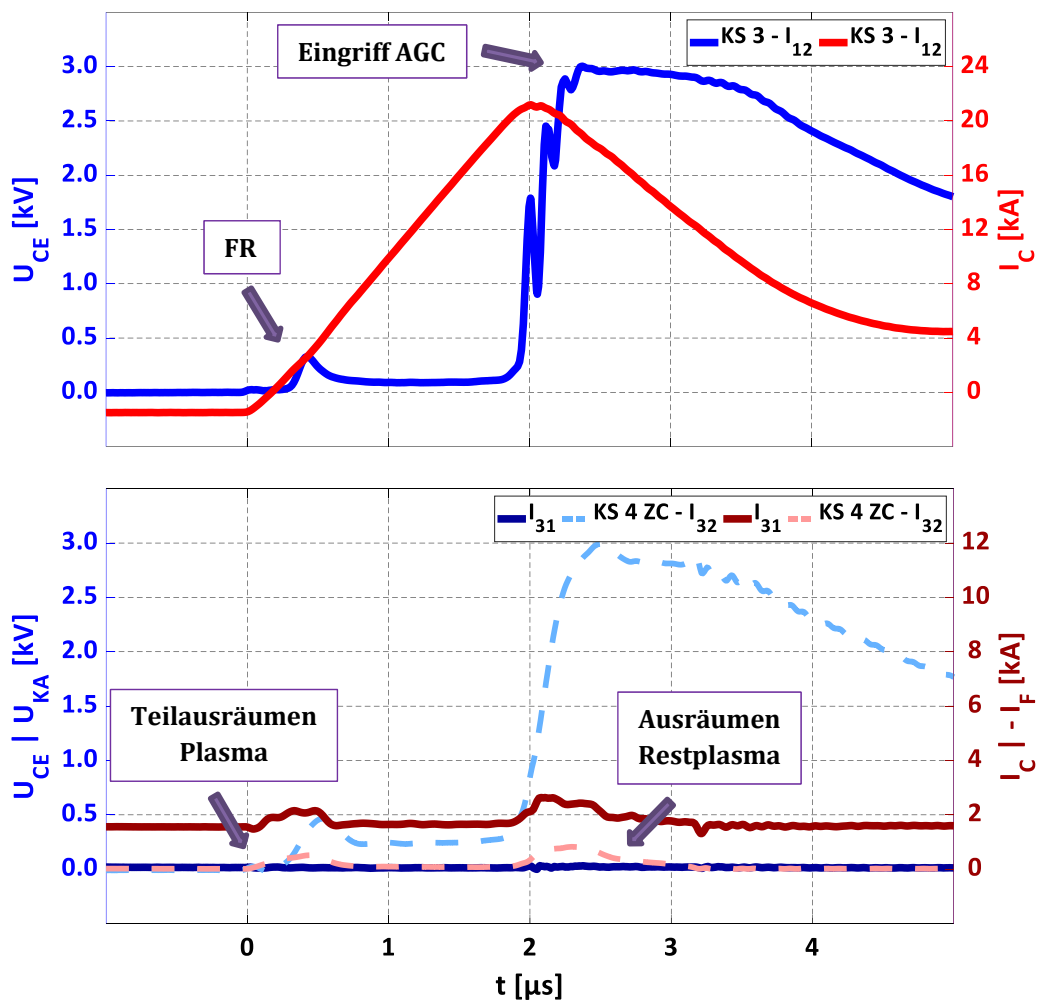


Abbildung 6-12: Messung des parallelen Kurzschlusses KS III || [II +] IV ZC gemessen bei  $U_{DC} = 1,8 \text{ kV}$ ,  $I_L = \pm 1,5 \text{ kA}$ ,  $L_\sigma$  siehe Teststandlayout,  $t_{D,KS} = 5 \mu\text{s}$  (unterschiedliche Skalierung der Ordinaten für Strom)

Mit Ende des KS IV ZC versiegt der Kurzschlussstrom im äußeren Pfad und nur noch der Laststrom fließt durch  $I_{31}$  wie vor dem Fehlereintritt, siehe Abbildung



6-12. Auch hier zeigt sich wieder deutlich, dass der Spitzenstrom durch diesen IGBT marginal ist und er niemals entsättigen kann. Daher findet kein KS II für den  $I_{31}$  statt und der Fehlerfall reduziert sich zu einem KS III || IV ZC. Das Abschalten von  $I_{12}$  bei knapp  $10 \mu\text{s}$  führt wieder zum Überspannungsproblem für  $I_{31}$ , da der natürliche Freilaufpfad des Laststromes gegenüber von dem zerstörten  $S_{11}$  liegt, siehe [30] und Kapitel 6.1.2.

### 6.3 Parallele Fälle mit zwei Plasmakurzschlüssen

Es gibt noch eine weitere Möglichkeit, mit der parallele Kurzschlusskreise im ANPC-Dreipunktumrichter auftreten können [30]. Wie die Kapitel 5.2 und 6.2 schon aufgezeigt haben, so ist anfänglich immer ein IGBT und eine Diode mit Plasma bei der Nullspannungskommütierung geflutet. Folglich sind Konstellationen möglich, bei denen diese beiden Halbleiter zeitgleich einen Kurzschluss erfahren. Auf Grund der Verteilung im ANPC-Dreipunktumrichter führt dies automatisch zu einer Situation mit zwei parallelen Kurzschlusskreisen. Im Gegensatz zu den Fehlerfällen mit nur einem beteiligten Plasmakurzschluss aus dem Kapitel 6.2 bedeutet dies zugleich, dass beide Kurzschlüsse von selbst enden [30].

#### 6.3.1 Kurzschlussfall IV ZC || [III +] V

Im Gegensatz zum vorher beschriebenen KS II || [III +] V bricht bei gleicher Ausgangssituation hier nun  $S_{11}$  und nicht mehr  $S_{22}$  durch, siehe Abbildung 6-13. Infolgedessen kommt es zu einem niederinduktiven KS IV ZC ( $D_{12}$ ), der parallel zu einem höherinduktiven Pfad mit KS V ( $I_{31}$ ) liegt [30]. Dieser Fehlerfall wurde schon bei dem Serienkurzschluss KS [III +] V angedeutet, als festgestellt wurde, dass mit den hier verwendeten Modulen die Diode und der IGBT ähnliche Rekombinationszeiten aufweisen, siehe [29] und Kapitel 5.2.2. Diese These gilt nur unter der Prämisse, dass die Rekombination der freien Ladungsträger in IGBT sowie Diode nahezu identisch ist und die in sie eingebrachte Plasmamengen vor dem Fehlereintritt die gleichen waren. Unabhängig davon gilt wie immer die Aussage, dass die Plasmakurzschlüsse eine Serienschaltung von betroffenen Halbleitern dominieren [29]. Der eingezeichnete KS III für das Duo  $I_{32} / D_{32}$  kann daher nicht auftreten und der hier vorgestellte KS IV ZC || [III +] V ist tatsächlich ein KS IV ZC || V, siehe Abbildung 6-13.

Mit Durchbruch von  $S_{11}$  wird das Plasma sowohl in  $D_{12}$  als auch in  $I_{31}$  ausgeräumt, siehe Abbildung 6-14. Dabei ist der Stromanstieg für den KS V auf Grund der erhöhten Streuinduktivitäten niedriger als der parallel eintretende KS IV ZC mit der deutlich geringeren Impedanz. Im Gegensatz zu den parallelen Kurzschlüssen aus Kapitel 6.2 verhindert hier kein KS II oder KS III die vollständige

Spannungsaufnahme des IGBTs beziehungsweise der Diode. Jedoch gilt weiterhin wie bei allen parallelen Fehlerfällen, dass sich beide Zweige gegenseitig via den Stromanstieg, der Spannungsaufnahme der Halbleiter und den Streuinduktivitäten beeinflussen.

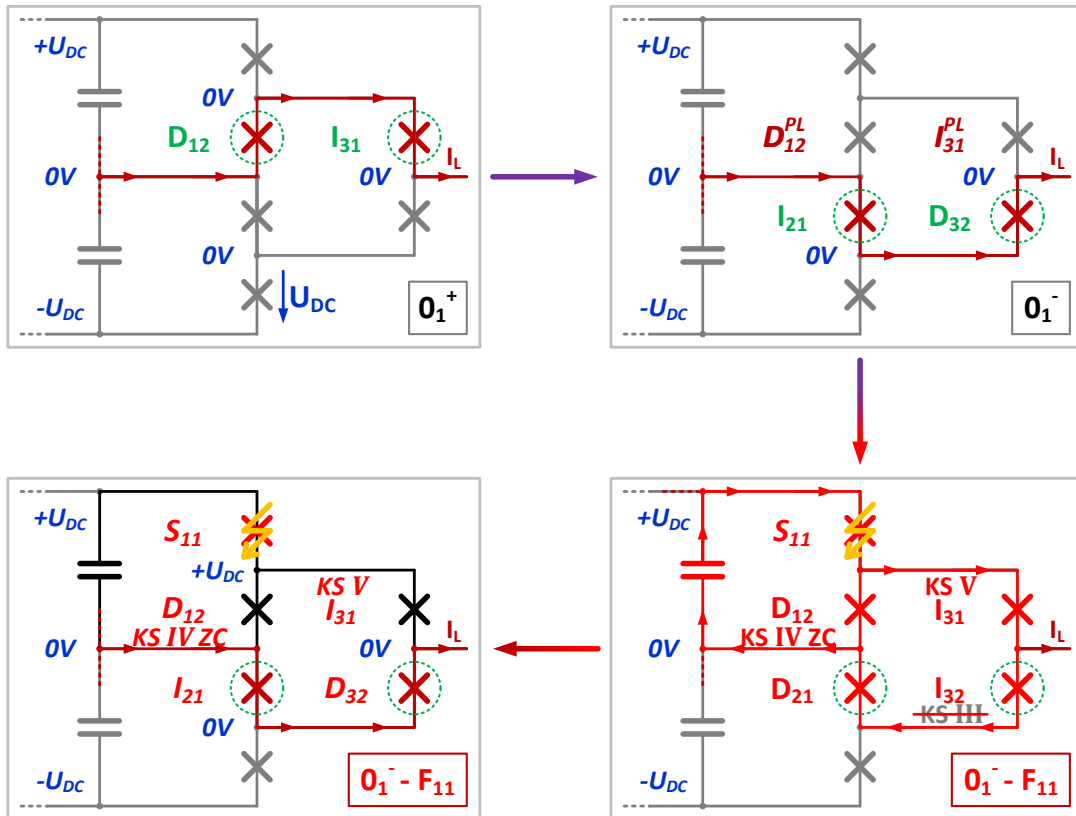


Abbildung 6-13: Auftreten des KS IV ZC || [III +] V im ANPC-Dreipunktumrichter

Die Messung zeigt auf, dass das ausgeräumte Plasma von  $D_{12}$  geringer ist als die freien Ladungsträger von  $I_{31}$ , siehe Abbildung 6-14. Beide Bauteile haben vor dem spannungslosen Abschalten 1,5 kA als Laststrom geführt. Des Weiteren sind die zwei Halbleiter gleichzeitig abgeschaltet worden. Die Begründung liegt in der Erkenntnis aus Kapitel 4, dass die in diesem Teststand eingesetzte Diode deutlich weniger Plasma nach der Nullspannungskommütierung aufweist als der verwendete IGBT, vergleiche dazu Abbildung 4-12 (KS IV ZC) mit Abbildung 4-22 (KS V). Diese Differenz lässt sich auch in der Messung zum KS IV ZC || [III +] V erfassen [30]. Zusätzlich hat  $D_{12}$  bei 0,25  $\mu\text{s}$  und 1,3 kV einen Avalanche, sichtbar durch die deutliche Absenkung des Spannungsanstieg, siehe Abbildung 6-14. Interessanterweise gibt es zum fast gleichen Zeitpunkt auch eine Änderung des  $du/dt$  über  $I_{31}$ , die jedoch weniger stark ausgeprägt ist. Die Vermutung ist daher, dass es sich hierbei nicht um einen Avalanche des IGBTs handelt, sondern eine Auswirkung des KS IV ZC, der in der Parallelschaltung sein Spannungsverhalten zum Teil dem KS V aufzwingt.

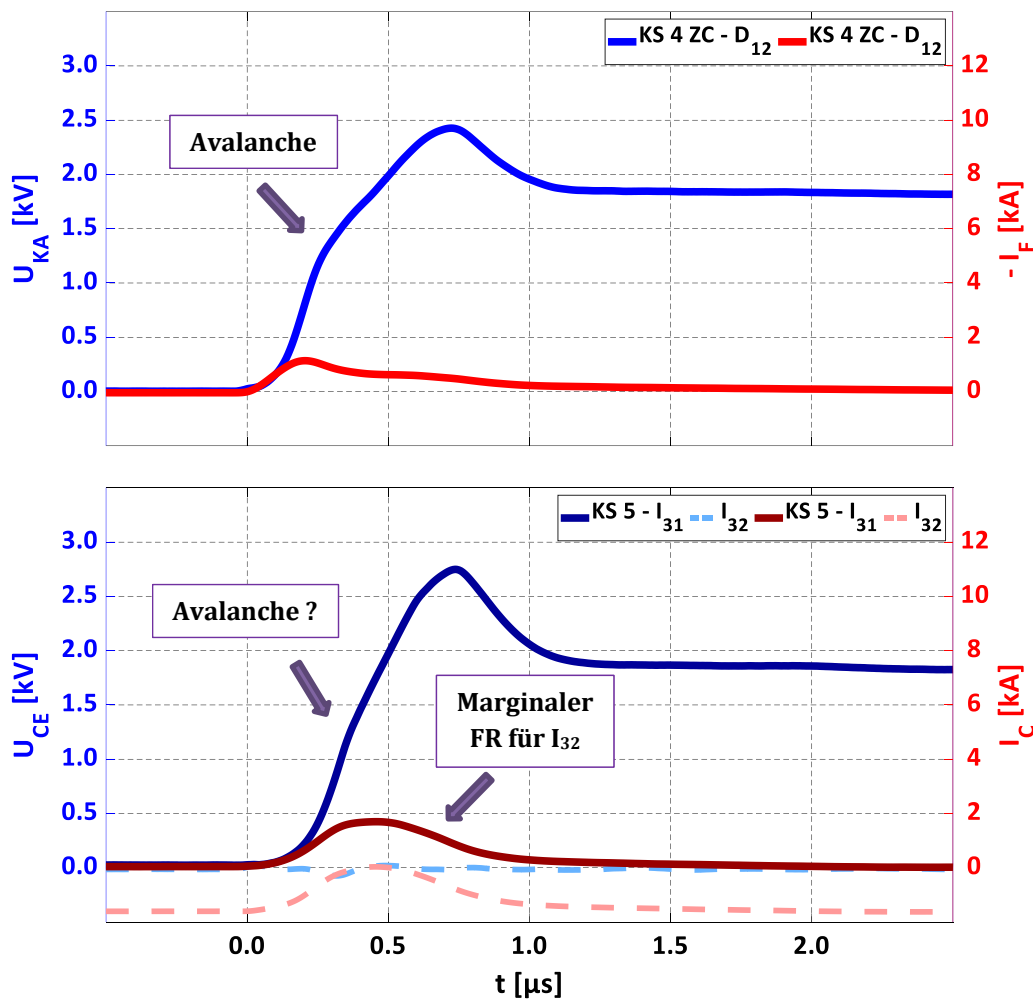


Abbildung 6-14: Messung des parallelen Kurzschlusses KS IV ZC || [III +] V gemessen bei  $U_{DC} = 1,8 \text{ kV}$ ,  $I_L = \pm 1,5 \text{ kA}$ ,  $L_\sigma$  siehe Teststandlayout,  $t_{D,KS} = 5 \mu\text{s}$

Der Stromfluss durch  $D_{32}$  ist bei  $0,4 \mu\text{s}$  kurzzeitig auf null Ampere abgesunken und der antiparallele IGBT führt dann einen Strom von ein paar Ampere, siehe Abbildung 6-14. Auf Grund dieses geringen Stromflusses taucht der Forward-Recovery-Effekt für  $I_{32}$  kaum auf. Kurz darauf unterschreitet der Stromfluss von  $I_{32}$  bei  $0,5 \mu\text{s}$  wieder die null Ampere Grenze und  $D_{32}$  übernimmt wieder. Ab  $1,5 \mu\text{s}$  haben beide Halbleiter den stationären Zustand erreicht und der Stromfluss ist durch sie versiegt [30]. Der Fehlerfall ist also komplett passiv durch die vom Plasma dominierten Kurzschlüsse beendet worden. Daher ist ein Eingriff einer Schutzabschaltung zum korrekten Abschalten erst einmal nicht notwendig. Der Laststrom fließt weiterhin über  $I_{21}$  und  $D_{32}$  bei zusätzlich eingeschaltetem  $I_{32}$ , siehe Abbildung 6-13. Auch hier kommt es durch den primären Ausfall von  $S_{11}$  zu einem Überspannungsproblem für  $I_{31}$ , wenn der Laststrom sich später über  $D_{22}$  und  $D_{32}$  freilaufen sollte, siehe [30] und Kapitel 6.1.2.

### 6.3.2 Kurzschlussfall V || [II +] IV ZC

Dieser Fehlerfall teilt sich die Ausgangssituation mit dem KS III || [II +] IV ZC aus dem Kapitel 6.2.2, jedoch bricht nun das Element  $S_{22}$  durch, siehe Abbildung 6-15. Dies führt zum Entstehen eines KS V ( $I_{21}$ ) im niederinduktiven Kurzschlusskreis und gleichzeitig einem KS IV ZC ( $D_{32}$ ) im höher induktiven Pfad [29]. Der theoretische KS II für  $I_{31}$  kann auf Grund des stark begrenzten Kurzschlussstromes nicht auftreten. Die Positionen der beiden Plasmakurzschlüsse sind im KS V || [II +] IV ZC gegenüber dem vorherigen KS IV ZC || [III +] V vertauscht. Dies führt dazu, dass der Stromanstieg im  $I_{21}$  höher ausfällt als für die parallele  $D_{32}$ , welche im Pfad mit höherer Impedanz liegt, siehe Abbildung 6-16.

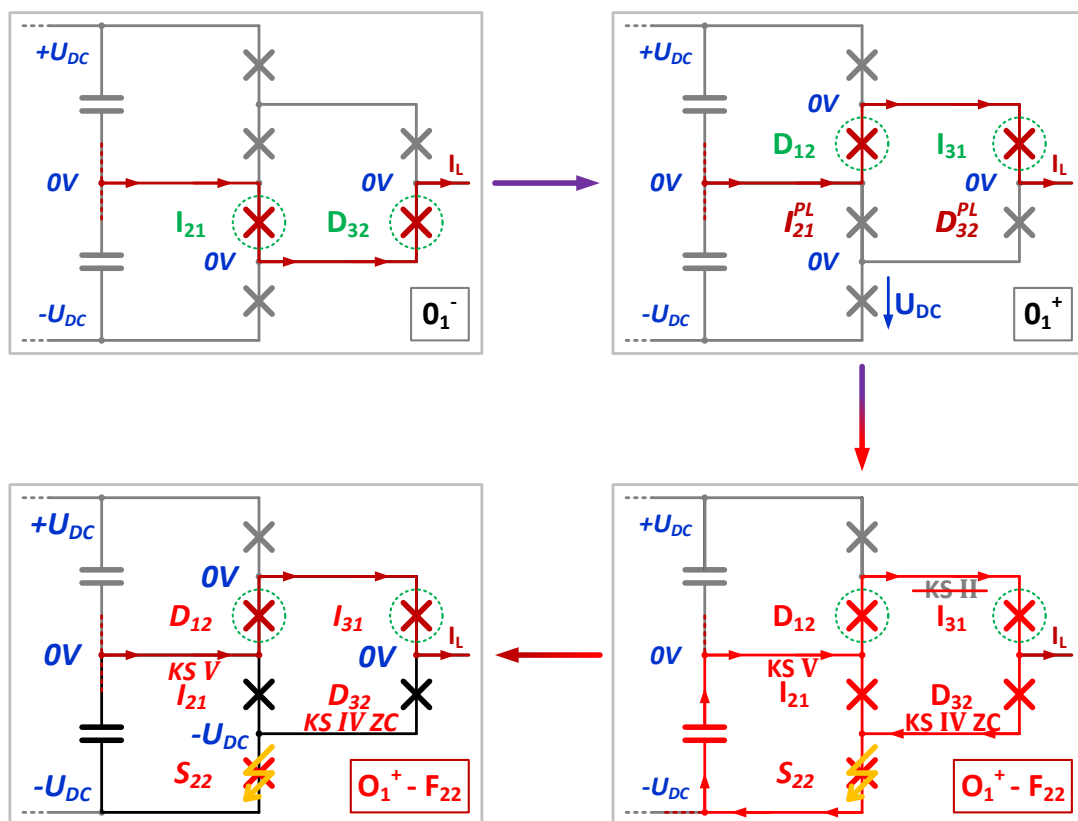


Abbildung 6-15: Auftreten des KS V || [II +] IV ZC im ANPC-Dreipunktumrichter

Das Durchbrechen von  $S_{22}$  führt zur sofortigen Stromzunahme in beiden Halbleitern und ihre Spannungsaufnahme tritt unmittelbar danach ein, siehe Kapitel 4 und Abbildung 6-16. Vergleicht man die Menge an ausgeräumtem Plasma zwischen IGBT und Diode, dann fällt auf, dass diese bei beiden in etwa gleich ist. Der Grund hierfür dürfte bei der Nullspannungskommütierung liegen, die schon einen Teil des Plasmas auf Grund der Gegenspannung durch die Induktivitäten aus dem IGBT austräumt [30]. Interessant ist die Anomalie in der Spannung bei  $0,5 \mu\text{s}$  bis  $0,7 \mu\text{s}$  für  $I_{21}$ . Im Verlauf seiner Spannung sind dort zwei Maxima detektierbar, welches im Gegensatz zu allen vorherigen Messungen steht. Auch ist beim

KS IV ZC der Diode  $D_{32}$  die Anomalie nicht vorhanden. In Vergleich mit anderen Messungen des KS V || [II +] IV ZC bei der Variation von  $U_{DC}$  oder  $t_{D,KS}$  wurde festgestellt, dass es sich bei der Anomalie um ein Messartefakt handelt. Die zwei Maxima tauchen bei keinem anderen Versuch zu dem KS V || [II +] IV ZC auf.

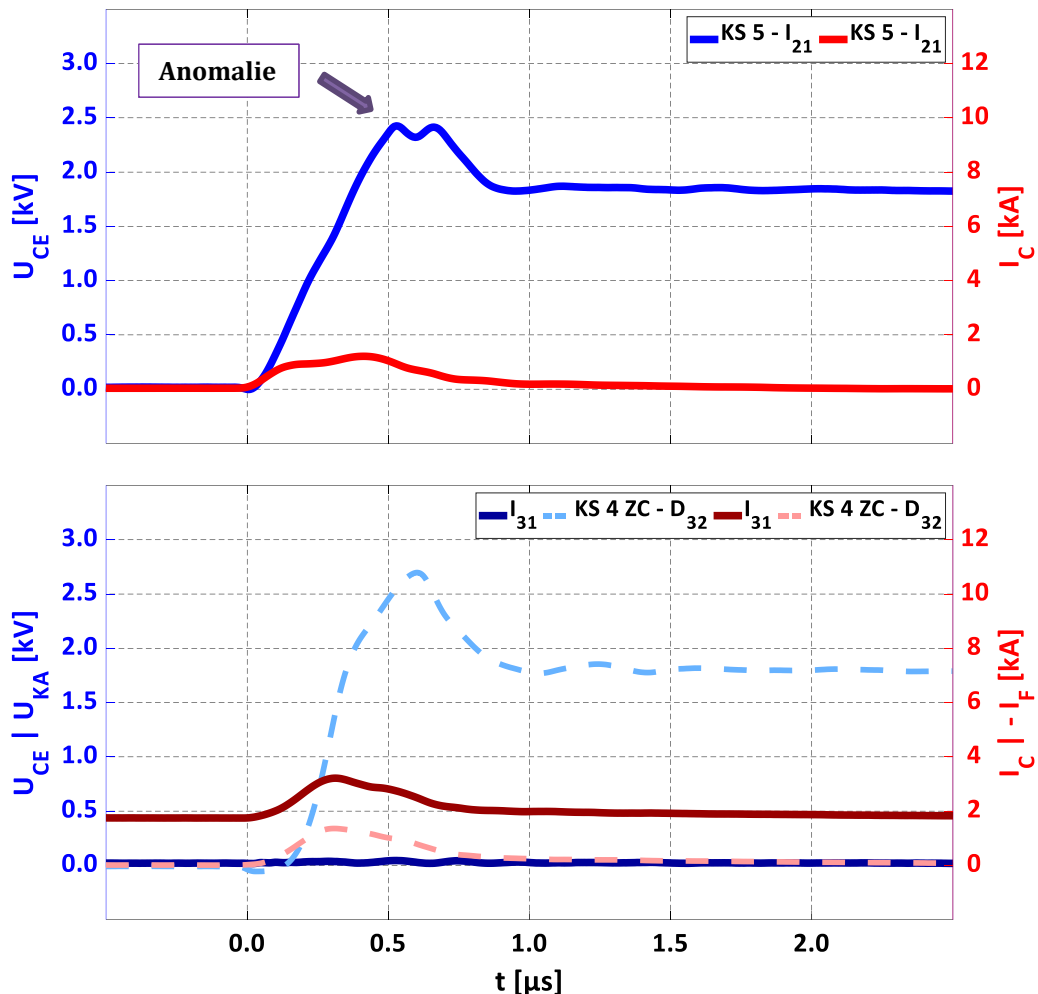


Abbildung 6-16: Messung des parallelen Kurzschlusses KS V || [II +] IV ZC gemessen bei  $U_{DC} = 1,8 \text{ kV}$ ,  $I_L = \pm 1,5 \text{ kA}$ ,  $L_\sigma$  siehe Teststandlayout,  $t_{D,KS} = 5 \mu\text{s}$

Da der durchgebrochene Schalter  $S_{22}$  im Pfad des natürlichen Freilaufes für den Laststrom liegt, kommt es beim Abschalten von  $I_{12}$  und  $I_{31}$  auch nicht zu einem Überspannungsproblem für den äußeren Halbleiter  $I_{32}$  [30]. Bis auf den Ausfall von  $S_{22}$  ist der hier aufgezeigte Fehlerfall also unkritisch, es sei denn der Verlust von  $S_{22}$  würde nicht detektiert werden und es käme anschließend zu verbotenen Schaltzuständen, vergleiche dazu Kapitel 8.

## 7 Kurzschlüsse durch Überspannung

Das ursprüngliche Problem für die letzte Gruppe von Fehlersituationen in Mehrpunktumrichtern wurde schon relativ früh im Jahre 1995 erkannt [11]. Ausgehend von einer positiven oder negativen Phasenausgangsspannung führt ein Durchbruch des gegenüberliegenden äußeren Halbleiters zu einem theoretischen Spannungsabfall der gesamten Zwischenkreisspannung über einem Halbleiter [12]. Als Resultat muss zum Schutz dieses Elementes der IGBT durch seine Schutzbeschaltung aufgesteuert werden, um die Spannung über ihn zu begrenzen [16]. Dadurch wird dann aber ein Kurzschlusspfad vom positiven zum negativen Potential der Zwischenkreisspannung ermöglicht, welcher dann sekundäre Probleme verursacht, vergleiche dazu [15] und [28]. Beispielsweise führt das Ausfallen vom Element  $S_{22}$  im Zustand  $P_1$  ( $I_{11}$  und  $I_{31}$  leiten den Laststrom) dazu, dass über  $S_{32}$   $2 \times U_{DC}$  anliegt. Dieses Problem zeigt damit Parallelen zu der Abschaltproblematik in einigen Fehlerfällen wie der vorher beschriebene KS III || II + III aus Kapitel 6.1.2 auf. Dort tritt jedoch die gefährliche Überspannung für  $S_{31}$  oder  $S_{32}$  erst beim Beenden des Kurzschlusses ein, hier erscheint sie von Anfang an.

Dieser Punkt stellt das Hauptproblem bei den sogenannten Überspannungskurzschlüssen im ANPC-Dreipunktumrichter dar [28]. Bei dem angesprochenen KS III || II + III steigt die Spannung über  $S_{31}$  mit der Geschwindigkeit des normalen Abschaltvorganges des IGBTs an. Der Spannungsanstieg bei den Überspannungskurzschlüssen ist dagegen deutlich höher und wird nur durch das kapazitive Verhalten des Elementes  $S_{31}$ , respektive  $S_{32}$ , begrenzt [16]. Dies führt zu stärkeren Ansprüchen an die Überspannungsbegrenzung, da sie deutlich schneller eingreifen muss als bei der Abschaltproblematik in den vorherigen Kapiteln. Die Überspannungskurzschlüsse treten nur dann nicht auf, wenn im Fehlerfall die einzelnen Halbleiter in der Lage sind, die volle Zwischenkreisspannung sperren zu können [28]. Diese Art der Auslegung für Umrichter existiert, auch wenn sie selten anzutreffen ist, siehe [55] und Kapitel 2. Jedoch gilt in den meisten Fällen, dass der umgekehrte Fall vorliegt und die Sperrspannung unter der vollen Zwischenkreisspannung liegt, siehe [6], [9] oder [54]. Das Auftreten der Überspannungskurzschlüsse kann nicht nur durch das vorher beschriebene Szenario, sondern auch durch unkorrektes Abschalten nach einem Kurzschluss [156], Fehler in der Ansteuerlogik [157], oder der Einsatz einer vierten Phase zur Redundanz [158] vorkommen.

Die Überspannungskurzschlüsse bauen auf den Serienkurzschlüssen des Kapitels 5 in gewisser Weise auf, jedoch ist neben den zwei seriellen Halbleiterfehlern ein dritter Kurzschluss durch das Aufsteuern via der Überspannungsbegrenzung in Serie dazugekommen [16]. Letztgenannter zeigt Analogien zum Verhalten eines KSI aber auch Abweichungen, wie in [28] und dann im Kapitel 7.1.1

aufgezeigt wird. Es gibt drei Varianten an Überspannungskurzschlüssen, welche sich durch den Zustand eines vierten Halbleiters, der parallel zu den anderen drei liegt, voneinander unterscheiden [31]. Ist das Bauteil, welches entweder eine Diode oder ein IGBT sein kann, vor dem Fehlereintritt ausgeschaltet, so erfährt es einen kapazitiven Spannungssprung. Sollte der IGBT eingeschaltet sein, dann kommt es immer zu einem KS II ZC [28]. Ist der betroffene Halbleiter jedoch ausgeschaltet, hat aber noch Plasma durch vorherige Schaltvorgängen in seiner intrinsischen Zone gespeichert, kommt es entweder zum KS IV ZC oder zum KS V [31]. Damit erscheinen bei den Überspannungskurzschlüssen auch wieder Verhaltensweisen von den parallelen Kurzschlüssen aus dem Kapitel 6. In der Literatur lassen sich, unter Vernachlässigung der in dieser Arbeit erzielten Ergebnisse, nur zu dem Fehlerfall mit zwei KS II in Serie zu dem aufgesteuerten IGBT [12] und seiner Variation mit einem zusätzlich parallelen KS II ZC [72] Messungen finden. Zu all den anderen möglichen Ausführungen an Überspannungskurzschlüssen gibt es, wenn überhaupt, nur theoretische Skizzen dazu, beispielsweise wie in [50] oder [119] abgebildet worden ist. Die Variante mit Beteiligung der Plasmakurzschlüsse fehlt in der Literatur bis dato komplett [31]. Das Kapitel 7 liefert zu allen möglichen Überspannungskurzschlüssen Messungen und analysiert diese im Detail.

## 7.1 Überspannungsfälle mit drei Halbleitern

Generell führt das Durchbrechen des äußeren Halbleiters, der gegenüber den zwei Elementen liegt, die den Laststrom führen, zum Abfall der gesamten Zwischenkreisspannung über  $S_{31}$  oder  $S_{32}$ . [76]. Durch Eingriff des Überspannungsschutzes entsteht dann ein Serienkurzschluss aus drei Halbleitern. Im Gegensatz zu den Ereignissen aus Kapitel 5.1 fällt hierbei jedoch nicht die gesamte Spannung über den parasitären Induktivitäten ab, da ein Großteil über dem IGBT anliegt, der in den aktiven Bereich zu seinem Schutz gesteuert worden ist [28]. Dieser Fakt ist auch in den nachfolgenden Messungen ersichtlich, bei dem der Stromanstieg messbar geringer ist, als dies bei den Serienkurzschlüssen der Fall war.

### 7.1.1 Kurzschlussfall I\* + II + II

Die Ausgangssituation für die Serienschaltung zweier KS II im Kontext der Überspannungskurzschlüsse stellt eine positive Phasenausgangsspannung bei den eingeschalteten IGBTs  $I_{11}$  und  $I_{31}$  dar, siehe Abbildung 7-1. Das Durchbrechen des gegenüberliegenden Elementes  $S_{22}$  führt zu einem sofortigen Anstieg von  $U_{CE}$  des  $I_{32}$  ausgehend von  $U_{DC}$  in Richtung  $2x U_{DC}$  [28]. Um einen sekundären Ausfall zu vermeiden, wird der IGBT  $I_{32}$  durch seine Schutzbeschaltung zur Spannungsbegrenzung aufgesteuert, siehe [12] und Kapitel 10.2. Als Resultat eröffnet sich

nun ein niederinduktiver Pfad über  $I_{11}$ ,  $I_{31}$ ,  $I_{32}$  und dem zerstörten  $S_{22}$ , siehe Abbildung 7-1. Zum Zeitpunkt von null Mikrosekunden kommt es zum kapazitiven Sprung von  $U_{CE}$  des  $I_{21}$  von 0 V auf  $U_{DC}$  mit bis zu  $38 \text{ kV}/\mu\text{s}$  [28]. Wie die Messung zeigt, erreicht bei einer gesamten Zwischenkreisspannung von 3,6 kV ( $U_{DC}$  jeweils 1,8 kV) der Spitzenwert der Kollektor-Emitter-Spannung von  $I_{32}$  kurzzeitig 3,0 kV, siehe Abbildung 7-3. Von diesem Punkt an schafft es die Überspannungsbegrenzung, das  $U_{GE}$  von  $I_{32}$  über sein  $U_{th}$  anzuheben, und der Halbleiter fängt an, Strom zu leiten. Das Problem für die Schutzschaltung hierbei ist, dass zum einen das  $du/dt$  in diesem Kurzschluss im Extremfall um den Faktor 17 höher ausfällt, als beispielsweise im normalen Abschaltvorgang [16]. Zum anderen ist bei den Überspannungskurzschlüssen der betroffene Halbleiter ausgeschaltet, welches eine Gate-Emitter-Spannung von bis zu  $-15 \text{ V}$  (hier wurden  $-10 \text{ V}$  verwendet) bedeuten kann [4]. Das Potential des Gates ist daher deutlich niedriger als beispielsweise bei einem Abschaltvorgang oder im KS II und die Schutzbeschaltung muss mehr Ladung in das Gate bringen, vergleiche dazu Kapitel 10.2.

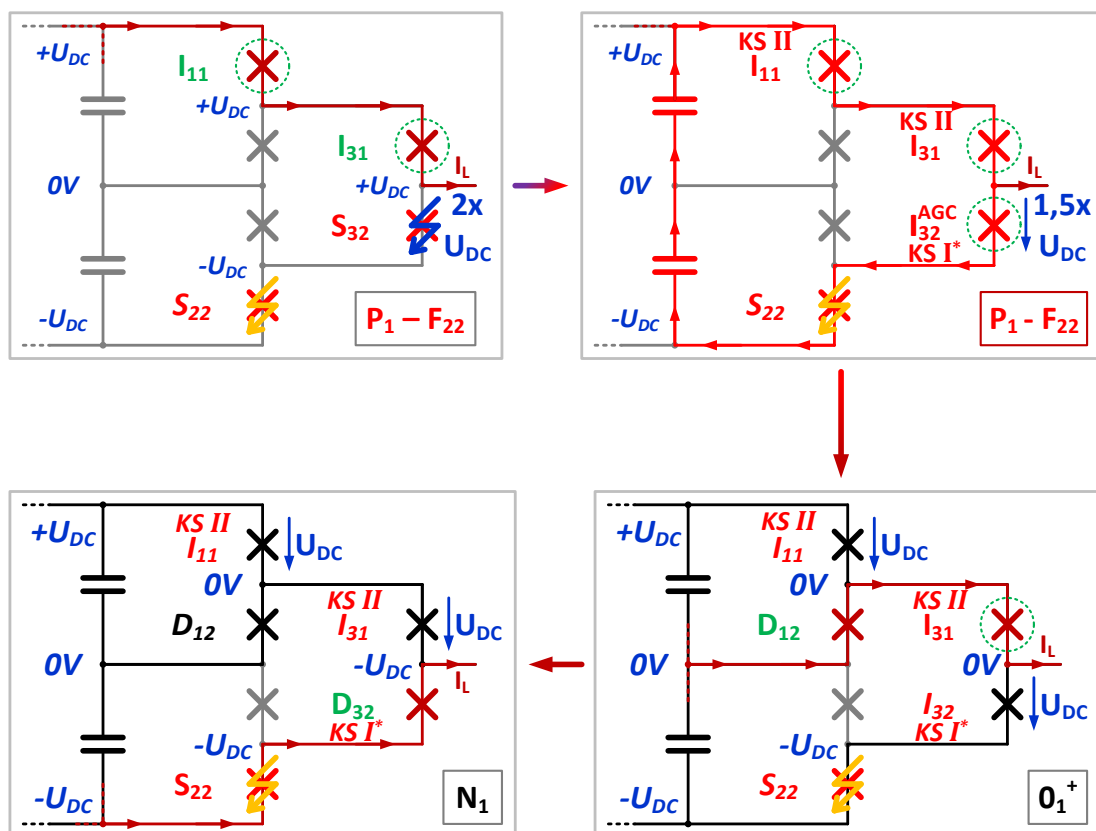


Abbildung 7-1: Auftreten des KS I\* + II + II im ANPC-Dreipunktumrichter

Der Eingriff der Überspannungsbegrenzung führt zu einem Absinken der maximalen Spannung von 3,0 kV auf einen statischen Wert von 2,6 kV ab  $0,1 \mu\text{s}$ , siehe Abbildung 7-3. Der Kurzschlussstrom beginnt im äußeren Pfad mit  $3,9 \text{ kA}/\mu\text{s}$  an zu steigen. Er bildet sich aus der gesamten Zwischenkreisspannung minus dem Spannungsabfall über  $I_{32}$  geteilt durch die Streuinduktivitäten ( $L_{\sigma-1A}$ ,



$L_{\sigma-2B}$  plus  $L_{\sigma-3}$ ), siehe [28] und Abbildung 7-2. Das  $di/dt$  ist in dem vorgestellten Überspannungskurzschluss um den Faktor vier geringer als beim einfachen KS II. Der Grund dafür ist die erhöhte Impedanz und der deutlich geringere induktive Spannungsabfall, da der  $I_{32}$  durch sein AGC circa 72 % der Zwischenkreisspannung sperrt [28]. Der Stromanstieg fällt so niedrig aus, dass die Gegenkoppelung zur Reduktion des Spitzenstromes, eingesetzt im KS II aus Kapitel 3.2, nicht eingreift. Das  $di/dt$  von  $3,9 \text{ kA}/\mu\text{s}$  erzeugt mittels  $L_{\sigma-2B}$  eine passive Reduktion des Spannungsabfalles über  $S_{21}$  von  $1,8 \text{ kV}$  auf nun  $1,5 \text{ kV}$ , siehe Abbildung 7-3.

Am Anfang des Kapitels 7 wurde angemerkt, dass die Bezeichnung KS I für das Aufsteuern des  $I_{32}$  mit anschließender Ausbreitung des Kurzschlusses nicht ganz zutreffend ist [28]. Beim KS I wird der IGBT auf einen existierenden Kurzschluss aufgeschaltet, vergleiche Kapitel 3.1. Bei den Überspannungskurzschlüssen führt dagegen das Einschalten des IGBTs durch seine Schutzbeschaltung erst zu einer bis dato nicht existenten Fehlersituation. Gemeinsam haben beide Fehlertypen, dass der Halbleiter vor dem Kurzschluss die Zwischenkreisspannung sperrt und keinen Strom führt. Beim KS I wird der IGBT via dem Treiber eingeschaltet [19], während im Überspannungskurzschluss dies durch die Schutzbeschaltung erfolgt [28]. Weiterhin kann es beim Überspannungskurzschluss nicht den charakteristischen, durch die parasitären Induktivitäten verursachten, Spannungseinbruch geben, wie es beim KS I die Norm ist [28]. Im Gegenteil, die Spannung steigt beim Überspannungskurzschluss sogar an. Trotz dieser Differenzen wurde festgelegt, dass das Verhalten des IGBTs  $I_{32}$  (oder  $I_{31}$  je nach Ausgangslage) als eine Form des KS I auf Grund der Gemeinsamkeiten einzustufen ist. Daher wurde zur Verdeutlichung der Abweichungen die Bezeichnung KS I\* eingeführt [28]. Die vollständige Bezeichnung für die Serienschaltung aus der Abwandlung des ersten Halbleiterfehlers mit den zwei seriellen KS II lautet folglich KS I\* + II + II.

Der Kurzschlussstrom durch  $I_{32}$  ist derselbe wie durch  $I_{11}$  beziehungsweise  $I_{31}$ , jedoch reduziert um den Laststrom, siehe Abbildung 7-2. Die Reduktion des Stromanstieg erfolgt mit dem Beginn der Entsättigung von  $I_{11}$  und  $I_{31}$  ab  $3,2 \mu\text{s}$ , siehe Abbildung 7-3 (1). Währenddessen hält der Überspannungsschutz weiterhin  $U_{CE}$  von  $I_{32}$  auf Werte knapp über  $2,6 \text{ kV}$  fest. Dadurch wird der maximale Kurzschlussstrom bei einem kombinierten Spannungsabfall von  $1,0 \text{ kV}$  bei  $3,4 \mu\text{s}$  über  $I_{11}$  und  $I_{31}$  schon erreicht [28]. Da die IGBTs wie beim KS II durch den Self-Turn-On-Effekt trotz des geringeren Stromanstieg aufgesteuert worden sind, setzt nach dem Stromspitzenwert das schon bekannte Absenken des Stromflusses wieder ein, vergleiche dazu Kapitel 3.2. Hierbei fällt der negative Stromanstieg durch  $I_{11}$  und  $I_{31}$  analog zum zweiten Halbleiterfehler deutlich stärker aus, als das vorherige positive Pendant, siehe Abbildung 7-3 ab  $3,4 \mu\text{s}$ . Es wird dabei ein negativer Spitzenwert von bis zu  $-11,7 \text{ kA}/\mu\text{s}$  erzielt [28]. Es kommt auf Grund der parasitären Induktivitäten zum Spannungsabfall über  $I_{11}$  und  $I_{31}$ . Bei  $4,1 \mu\text{s}$  wird ein Maximum mit einem kombinierten Wert beider Kollektor-

Emitter-Spannungen von fast 4,5 kV erzielt. Die entsättigten IGBTs mit ihrem Stromquellencharakter erzeugen den negativen Stromanstieg und die Potentialverteilung im Teststand stellt sich als deren Konsequenz ein. In der Literatur wird diese Tatsache aber fälschlicherweise genau umgekehrt dargestellt [28].

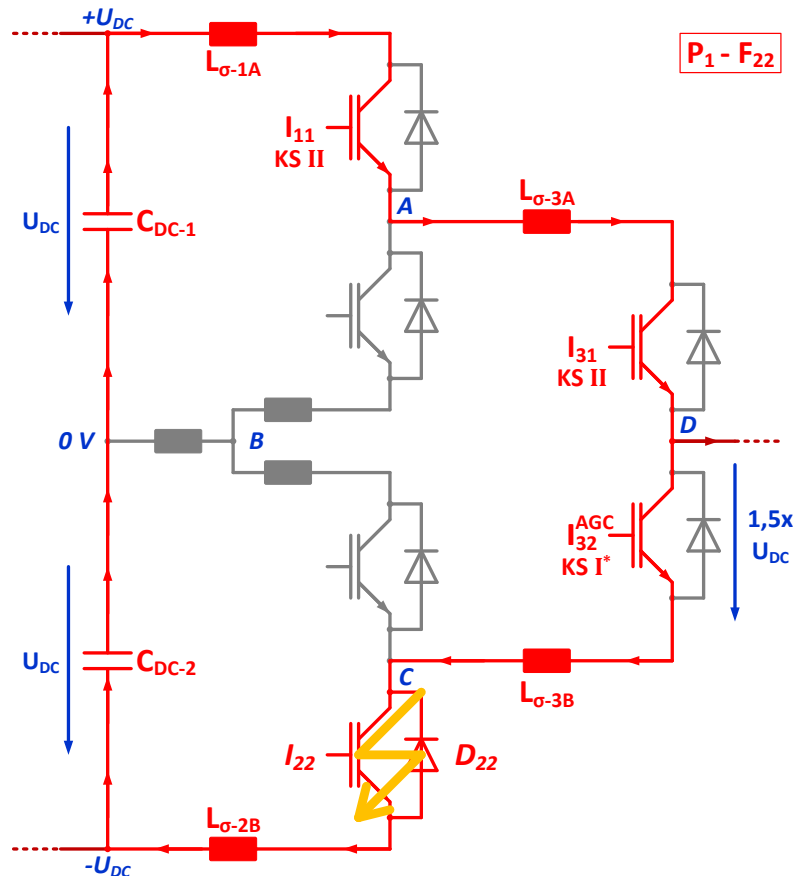


Abbildung 7-2: Detailansicht des KS I\* + II + II im ANPC-Dreipunktumrichter

Zum anderen kommt es gleichzeitig bei  $S_{21}$  zur Spannungserhöhung, da zur Zwischenkreisspannung noch die Gegenspannung auf Grund des negativen Stromanstieg durch  $L_{\sigma-2B}$  dazukommt, siehe Abbildung 7-3 (2). Dies führt dazu, dass bei  $4,0 \mu s$  ein Spitzenwert von 2,85 kV erreicht wird. Daher kommt es von  $3,7 \mu s$  bis circa  $5,5 \mu s$  zu einem Aufsteuern des IGBTs durch seine Schutzbeschaltung, siehe [28] und Abbildung 7-3. Durch dieses Ereignis wird aus der Serienschaltung für kurze Zeit ein paralleler Fehlerfall. Jedoch ist ein deutlicher Unterschied zu den parallelen Fehlerfällen die Tatsache, dass Stromzunahme und -abfall im niederinduktiven Kreis mit  $I_{21}$  durch den Betrieb des IGBTs im aktiven Bereich via der Schutzschaltung erfolgt. Dadurch sind der Stromfluss und der dazugehörige Anstieg durch  $I_{21}$  auf maximal 2,8 kA, respektive  $5,2 \text{ kA}/\mu s$ , begrenzt, siehe Abbildung 7-3. Die Stromanhebung ist damit um mehr als 30 % höher als am Anfang des KS I\* + II + II für  $I_{11}$  und  $I_{31}$ , jedoch immer noch um einen Faktor von circa drei niedriger als bei einem einfachen KS II. Das Verhalten von  $I_{11}$  und

$I_{31}$ , die schon ab  $3,2 \mu\text{s}$  entsättigt sind, wird damit durch das Einschalten von  $I_{21}$  kurzzeitig mitbestimmt. Erst mit deutlicher Reduktion des negativen Stromanstieg durch  $I_{11}$  und  $I_{31}$  kommt es zu einer Verringerung der Gegenspannung über  $L_{\sigma-2B}$ . Fällt ihr Wert plus die Zwischenkreisspannung in Summe geringer aus als die Schwelle des AGC, wird  $I_{21}$  wieder abgeschaltet. Der Stromfluss durch ihn versiegt und es liegt abermals die reine Reihenschaltung aus KS I\* + II + II vor [28].

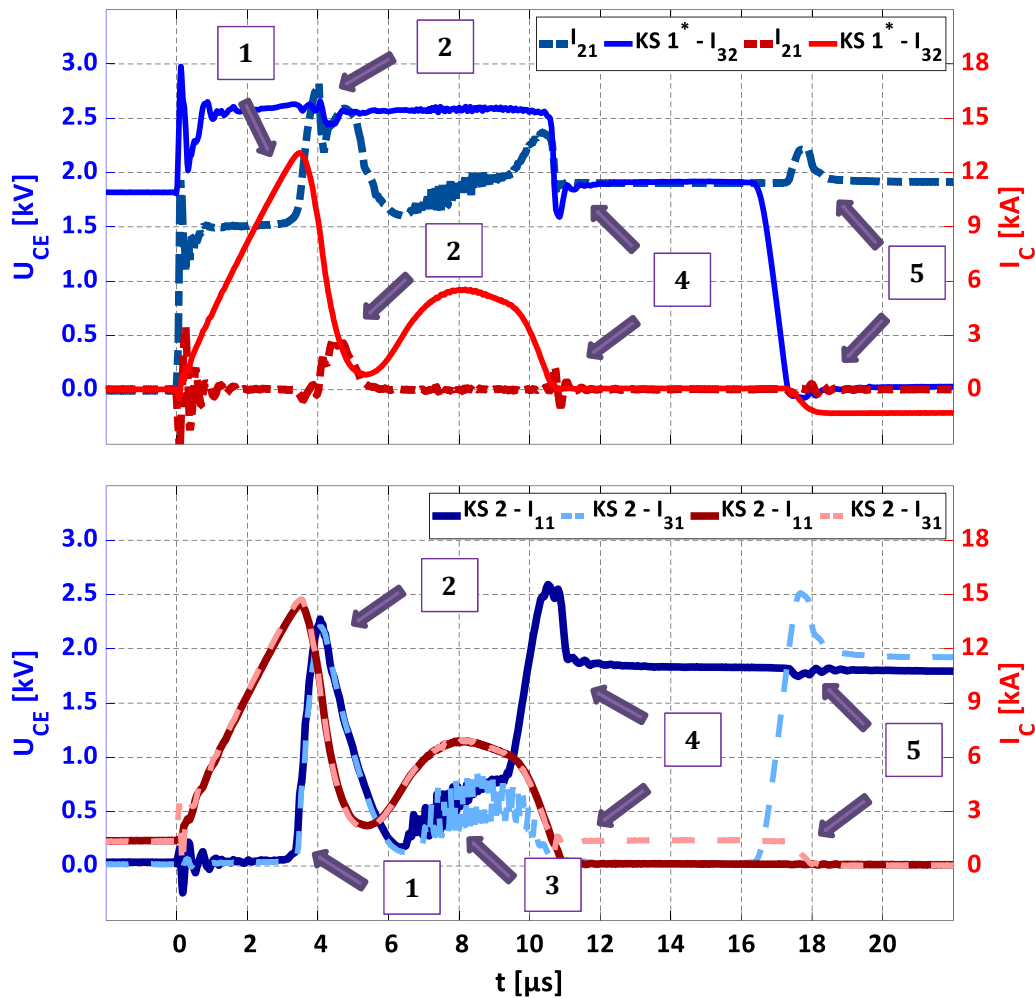


Abbildung 7-3: Messung des Überspannungskurzschlusses KS I\* + II + II gemessen bei  $U_{DC} = 1,8 \text{ kV}$ ,  $I_L = 1,5 \text{ kA}$ ,  $L_{\sigma}$  siehe Teststandlayout

Zwischen  $6,4 \mu\text{s}$  und  $10,5 \mu\text{s}$  sind auf der Kollektor-Emitter-Spannung von  $I_{11}$  und  $I_{31}$  deutlich Oszillationen mit einer Frequenz von circa  $6,6 \text{ MHz}$  zu detektieren, siehe Abbildung 7-3 (3). Der IGBT  $I_{32}$  scheint davon nicht betroffen zu sein, der parallel liegende  $I_{21}$  jedoch schon, nur sind seine Schwingungen gedämpfter. Dies lässt den Rückschluss zu, dass die Störung von  $I_{11}$  und  $I_{31}$  ausgeht. Das Fehlerbild passt genau zu den gemessenen Chip-Oszillationen beim Serienkurzschluss KS II + II ZC aus Kapitel 5.1.2 [151]. Das widerspricht der Vermutung aus der Quelle zum KS I\* + II + II, das es sich bei den Schwingungen um Plasma-

*Extraction-Transit-Time-Oszillationen* handelt [28]. Bei diesem Effekt handelt es sich vereinfacht gesagt um eine paketartige Wanderung von Restladung durch das elektrische Feld, die in Kombination mit den parasitären Elementen des Halbleiters eine Schwingung verursacht, siehe [159] und [160]. Vom Erscheinungsbild passt dies aber nicht zu den Oszillationen im KS I\* + II + II.

Es wird wie bei den vorherigen Fehlerfällen ein zweistufiges Abschalten des Kurzschlusses nach Erreichen des statischen Betriebes angewandt, siehe [12] und Kapitel 5.1.1. Beim KS I\* + II + II wird bei circa 10  $\mu\text{s}$  zuerst der äußere Halbleiter I<sub>11</sub> abgeschaltet. Er erfährt auf Grund des negativen Stromanstieges die charakteristische Überspannung, siehe Abbildung 7-3 (4). Dadurch kommt es zur Kommutierung des Laststromes von I<sub>11</sub> auf D<sub>12</sub> und das Potential am Phasenausgang sinkt auf 0 V ab, siehe [28] und Abbildung 7-1. Der Strom durch I<sub>31</sub> wird auf das Niveau des Laststromes reduziert. Dieser IGBT geht wieder in die Sättigung über und blockiert keine Spannung mehr. Unmittelbare Konsequenz davon ist, dass die Spannung über I<sub>32</sub> wieder auf 1,8 kV absinkt und dessen Schutzbeschaltung aufhört, ihn im aktiven Bereich zu halten. Daher kann es nach Abschalten von I<sub>11</sub> keinen Kurzschlusspfad über D<sub>12</sub>, S<sub>22</sub>, I<sub>31</sub> und I<sub>32</sub> mehr geben. Die Messung aus Abbildung 7-3 (4) zeigt genau diesen Sachverhalt ab 10  $\mu\text{s}$  auf. Folglich existiert kein Stromanstieg durch L <sub>$\sigma$ -2B</sub> mehr und U<sub>CE</sub> von I<sub>21</sub> ändert sich auf U<sub>DC</sub>. Als Konsequenz des wieder gesättigten I<sub>32</sub> kommt es dann bei seinem Abschalten bei 15  $\mu\text{s}$  dazu, dass der IGBT einen normalen Abschaltvorgang ausführt, siehe [28] und Abbildung 7-3 (5). Der Strom sinkt mit einem Abfall von weniger als 50 % im Vergleich zum Ausschalten des KS II von I<sub>11</sub> ab. Es zeigte sich bei der Gate-Emitter-Spannung von I<sub>31</sub> auch wieder das bekannte Miller-Plateau als Reaktion auf den positiven Spannungsanstieg [3]. Der Laststrom kommutiert letztlich von D<sub>12</sub> und I<sub>31</sub> auf den zerstörten S<sub>22</sub> und D<sub>32</sub>, siehe [28] und Abbildung 7-1.

Ein Sonderfall zeigt sich in einer Arbeit, bei der die gesamte Zwischenkreis-Spannung exakt dem Wert der maximalen Sperrspannung der Halbleiter entspricht, siehe [6] und [12]. Dort greift bei einer ähnlicher Ausgangssituation mit Fehlereintritt kurzzeitig der AGC ein und der Kurzschluss entsteht. Da jedoch die Schwelle der Schutzbeschaltung sehr hoch angesetzt worden ist, hört sie nach einigen hundert Nanosekunden im statischen Betrieb des Kurzschlusses wieder auf zu wirken. Der betroffene Halbleiter sperrt exakt  $2 \times U_{DC}$  an dieser Stelle und die Stromzunahme hört konsequenterweise auf. Auf Grund des bis dorthin erzielten geringen Kurzschlussstromes kommt es auch nicht zur Entsättigung und erst im Abschaltvorgang nehmen die Halbleiter Spannung auf [12]. Dieser Spezialfall stellt damit im Grunde die Grenze zwischen Nichteingriff der Schutzbeschaltung bei dem Zustand von  $2 \times U_{DC} < U_{CE,S}$  und der in diesem Kapitel vorgestellten „härteren“ Version mit  $2 \times U_{DC} > U_{CE,S}$  dar. Bleibt der Spannungssprung über I<sub>32</sub> auf Werte unter der Schwelle seiner Schutzbeschaltung limitiert, bildet sich

folgerichtig gar kein Kurzschlussstrom aus. Dies stellt aber eher die Ausnahme dar und es kommt in der Regel zum vollständigen Kurzschluss für die drei Halbleiter [28].

### 7.1.2 Kurzschlussfall I\* + III + III

Wie schon bei dem Vergleich des Serienkurzschlusses KS II + II zum KS III + III aus dem Kapitel 5.1 ist die Ausgangslage beim KS I\* + III + III zum vorher beschriebenen KS I\* + II + II genau invertiert [28]. Der Laststrom fließt vor dem Durchbrechen von S<sub>11</sub> über D<sub>22</sub> und D<sub>32</sub> während ihre beiden antiparallelen IGBTs eingeschaltet sind, siehe Abbildung 7-4. Mit dem sofortigen Durchbruch des Elementes S<sub>11</sub> kommt es ohne einen adäquaten Überspannungsschutz zum Spannungssprung von U<sub>DC</sub> zu 2x U<sub>DC</sub> für I<sub>31</sub>. Das Aufsteuern dieses IGBTs eröffnet dann wieder einen seriellen Kurzschlusspfad aus zweimal KS III, siehe Abbildung 7-4. Nur das Auftreten der Forward-Recovery-Spannung und der verringerte Self-Turn-On-Effekt auf Grund des KS III unterscheidet den hier eingetretenen Fehlerfall am Anfang von dem vorher besprochenen KS I\* + II + II. Das hat zur Folge, dass die Entsättigung von I<sub>22</sub> und I<sub>32</sub> etwas später einsetzt als im vorherigen Fall. Die restlichen Aspekte sind nahezu analog in den beiden Fehlerfällen bis auf eine Ausnahme für den I<sub>12</sub>. Dessen Überspannungsschutz greift während des negativen Stromanstiegs des Kurzschlussstromes ab 5,5 µs nicht in das Geschehen ein. Auf Grund von natürlichen Bauteilswankungen fällt die Auslöseschwelle des Überspannungsschutzes von I<sub>12</sub> im KS I\* + III + III etwas höher aus als die des AGC von I<sub>21</sub> im KS I\* + II + II. Daher kommt es auch nicht zu dem kurzzeitigen Aufsteuern mit einsetzendem parallelen Kurzschlusspfad, siehe Abbildung 7-5 zwischen 5 µs und 7 µs.

Das markanteste Unterscheidungsmerkmal des KS I\* + III + III zu dem vorherigen KS I\* + II + II tritt erst im Abschaltvorgang des äußeren Halbleiters I<sub>22</sub> auf [28]. Bei circa 10 µs fängt I<sub>22</sub> an, mehr Spannung aufzunehmen und den Kurzschlussstrom zu reduzieren, siehe Abbildung 7-5. Sein Stromfluss wird bis 11,4 µs zu null Ampere reduziert, jedoch sperrt er gleichzeitig nur 46 % der Zwischenkreisspannung. Der natürliche Freilauf des Laststromes unterbindet die volle Aufnahme von U<sub>DC</sub> über I<sub>22</sub>, in dem der Stromfluss den IGBT I<sub>31</sub> via seiner Schutzbeschaltung zwingt, weiterhin zu leiten [28]. Dadurch verbleibt die Spannung über I<sub>31</sub>, bei gleichzeitigem Führen des Laststromes, dauerhaft auf einem Niveau von 2,6 kV fixiert. Im Gegensatz zum KS I\* + II + II führt dies beim KS I\* + III + III dazu, dass I<sub>31</sub> konstant eine Schaltverlustleistung von um die 4 MW produziert. Der unvollständige Abschaltvorgang des I<sub>22</sub> dürfte auch die Oszillationen in der gemessenen Kollektor-Emitter-Spannung verursachen, siehe Abbildung 7-5 ab 11,2 µs. Es kann nun auch kein Kurzschlusskreis über S<sub>11</sub>, D<sub>21</sub>, I<sub>31</sub> und I<sub>32</sub> entstehen, da die Diode die Differenz zwischen U<sub>DC</sub> und U<sub>CE</sub> von I<sub>22</sub> sperren

muss und somit einen Strom effektiv verhindert. Dies stellt eine Abweichung zu den Serienkurzschlüssen wie zum Beispiel dem KS III + III aus Kapitel 5.1.3 dar.

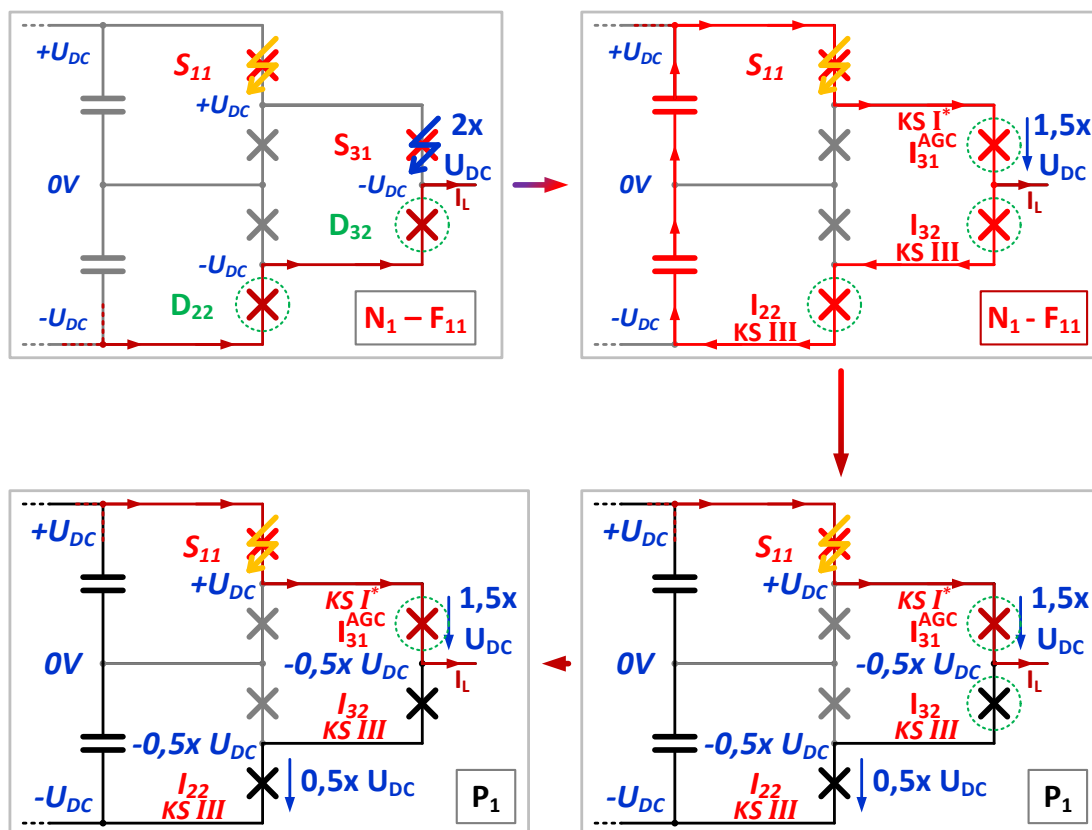


Abbildung 7-4: Auftreten des KS I\* + III + III im ANPC-Dreipunktumrichter

Beim Abschalten von  $S_{32}$  bei circa  $15\mu\text{s}$  kommt es zu keiner nennenswerten Veränderung in den Verläufen, siehe [28] und Abbildung 7-5. Der Laststrom forciert weiterhin seinen Fluss durch  $I_{31}$ , denn ein Wechsel auf die Dioden  $D_{22}$  und  $D_{32}$  des natürlichen Freilaufpfades würde wieder den kompletten Abfall der Zwischenkreisspannung über  $I_{31}$  verursachen, welches der Überspannungsschutz unterbindet. Dies ist genau die gleiche Situation wie beim Zeitpunkt ab  $10\mu\text{s}$ . Ein Abschalten von  $I_{32}$  hat daher keine Auswirkung auf den Zustand des aufgesteuerten IGBTs  $I_{31}$ , siehe [28] und Abbildung 7-5. So lange der Laststrom nicht zu null Ampere wird, kann es zu keiner Änderung am Eingriff des AGC von  $I_{31}$  geben. Paradoxe Weise rettet also die Schutzbeschaltung den IGBT zwar vor der vollen Zwischenkreisspannung mit Beginn des KS I\* + III + III, führt aber auch dazu, dass er dann nicht mehr abgeschaltet werden kann. Die Lösungsmöglichkeiten sind im Kapitel 6.1.2 aufgezeigt worden. Beim vorliegenden KS I\* + III + III wird das Einschalten des permanenten negativen Null-Volt-Pfades ( $0_1$ ) umgesetzt. Dies ist kurz nach  $20\mu\text{s}$  sichtbar, wenn der Laststrom auf  $I_{21}$  und  $D_{32}$  kommutiert, siehe Abbildung 7-5. Der IGBT  $I_{22}$  kann damit endlich  $U_{DC}$  blockieren und die Spannung über  $I_{31}$  sinkt auch auf den gleichen Wert von  $1,8\text{ kV}$  ab. Sein Überspannungsschutz greift daher nicht mehr ein und der Stromfluss durch  $I_{31}$  versiegt.

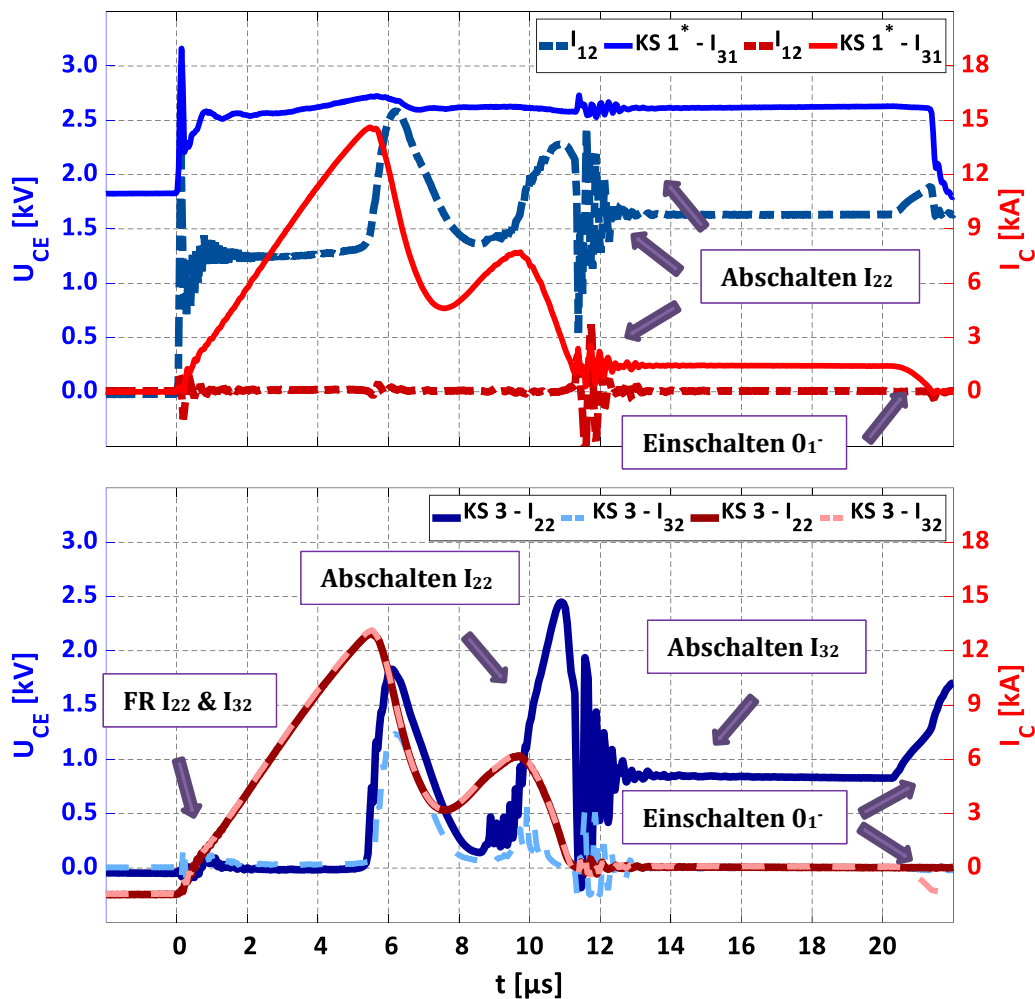


Abbildung 7-5: Messung des Überspannungskurzschlusses  $KS\ I^* + III + III$  gemessen bei  $U_{DC} = 1,8\text{ kV}$ ,  $I_L = -1,5\text{ kA}$ ,  $L_\sigma$  siehe Teststandlayout

Die Fehlersituation ist damit endgültig gelöst, setzt aber voraus, dass in den  $20\ \mu\text{s}$  der IGBT  $I_{31}$  nicht durch die hohen Schaltverlustleistungen beim Betrieb im aktiven Bereich irreversibel geschädigt wird, vergleiche [28] und [111]. In den über 50 Messungen, die im Rahmen der vorliegenden Arbeit zum  $KS\ I^* + III + III$  durchgeführt worden sind, kam es kein einziges Mal zu einer Zerstörung des  $I_{31}$ . In einer Quelle wurden vermerkt, dass Zerstörungen ab einer Dauer des  $KS\ I$  von  $24\ \mu\text{s}$  und mehr auftreten [113]. Diese Erkenntnis ist zwar nicht eins-zu-eins auf die hier vorliegende Situation des  $I_{31}$  übertragbar, gibt jedoch eine mögliche Erklärung, warum es zu keinem sekundären Ausfall beim  $KS\ I^* + III + III$  gekommen ist. Inwiefern der IGBT  $I_{31}$  durch die wiederholten Versuche langfristig geschädigt wurde, ist im Rahmen dieser Arbeit nicht untersucht worden. Dafür gibt es weiterführende Quellen, die sich mit dem Thema der schleichenden Beschädigung durch wiederholte Kurzschlüsse auseinandersetzen, siehe beispielsweise [33], [106] oder [113].

### 7.1.3 Kurzschlussfall I\* + IV + IV

Der Serienkurzschluss KS IV + IV aus Kapitel 5.1.4 kann vom Prinzip her auch auf die Überspannungskurzschlüsse übertragen werden [28]. Dies passiert, wenn der Umrichter abgeschaltet ist, der Laststrom sich gleichzeitig über  $D_{22}$  und  $D_{32}$  freiläuft und  $S_{11}$  schlussendlich durchbricht. In Kontrast zu dem vorherigen KS I\* + III + III kommt es dann für die beiden betroffenen Dioden beide Male zu einem KS IV [28]. Daher führt das Aufsteuern des  $I_{31}$  durch seine Schutzbeschaltung zu einem Kurzschlussstrom, der aus dem in den Dioden gespeicherten Plasma versorgt wird, siehe Abbildung 7-6.

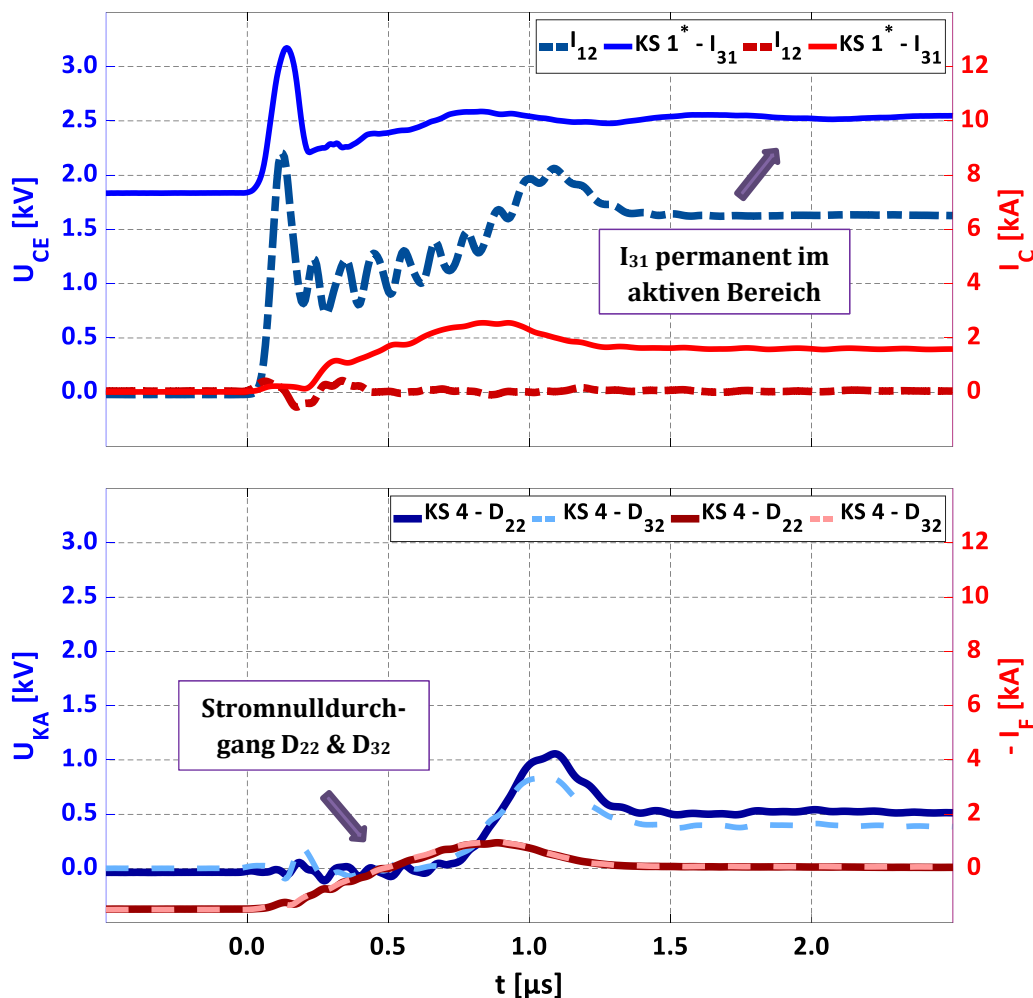


Abbildung 7-6: Messung des Überspannungskurzschlusses KS I\* + IV + IV gemessen bei  $U_{DC} = 1,8 \text{ kV}$ ,  $I_L = -1,5 \text{ kA}$ ,  $L_\sigma$  siehe Teststandlayout

Mit dem Stromnulldurchgang bei fast  $0,5 \mu\text{s}$  beginnt das Entladen der Plasmaersatzkapazitäten, welches dann zu der Spannungsaufnahme ab  $0,7 \mu\text{s}$  für  $D_{22}$  und  $D_{32}$  führt. Wie schon beim Serienkurzschluss teilen sich beide Dioden die Spannung von  $1,0 \text{ kV}$  (die restlichen  $2,6 \text{ kV}$  fallen über  $I_{31}$  ab) nahezu symme-



trisch gemäß ihrer internen Impedanzen auf [28]. Schließlich versiegt der Kurzschlussstrom mit Ende der zwei KS IV ab  $1,3 \mu\text{s}$ , siehe Abbildung 7-6. Es fließt nur noch der Laststrom durch  $S_{11}$  und  $I_{31}$ . Im Vergleich zwischen KS  $I^* + III + III$  und KS  $I^* + IV + IV$  führt das Ausräumen der freien Ladungsträger aus den Dioden zu einem deutlich kürzeren Kurzschluss und zugleich einer massiven Reduktion des Spitzenstromes [31]. Diese Erkenntnisse sind nicht neu, da sie genauso beim KS III im Vergleich zum KS IV, respektive KS III + III zum KS IV + IV gelten. Wie schon beim KS  $I^* + III + III$  kommt es zu dem Problem, dass der IGBT  $I_{31}$  nicht aus seinem aktiven Bereich durch seinen Überspannungsschutz entlassen werden kann, da ansonsten durch den Laststrom die Spannung über ihn auf  $2x U_{DC}$  steigen würde [28]. Auch hier müssten also die Lösungen zur Reduktion des Laststromes aus dem Kapitel 6.1.2 zum Schutz des IGBTs  $I_{31}$  umgesetzt werden.

Wie auch schon beim Serienkurzschluss KS [III +] IV aus Kapitel 5.2.1 könnte hier ein theoretisch denkbarer Überspannungskurzschluss vom Typ KS  $I^* + [III +] IV$  existieren, wenn vor dem Fehlerfall neben dem Führen des Laststromes durch  $D_{22}$  und  $D_{32}$  noch  $I_{32}$  eingeschaltet ist [28]. Dies stellt die Transition von Zustand  $0_{1-}$  auf  $N_1$  unter Einbeziehung der Verriegelungszeit dar [50]. Analog zu dem Serienkurzschluss unterdrückt der KS IV auf Grund seines bekannten Verhaltens effektiv den KS III [78], indem der Kurzschlussstrom im niedrigen einstelligen Kiloampere-Bereich limitiert wird [28]. Im Gegensatz zum KS  $I^* + IV + IV$  übernimmt hierbei  $D_{22}$  die  $1,0 \text{ kV}$ , sprich die Differenz aus  $2x U_{DC}$  minus den Spannungsabfall über  $I_{31}$ , vollständig. Der Stromnulldurchgang führt bei dem IGBT  $I_{32}$  zu einem Forward-Recovery-Effekt, wenn der Strom von seiner antiparallelen Diode auf ihn kommutiert. Der einzige nennenswerte Unterschied zum Serienkurzschluss stellt wieder die Belastung des  $I_{31}$  dar, der dauerhaft durch seinen Überspannungsschutz eingeschaltet ist [28].

## 7.2 Überspannungsfälle mit vier Halbleitern

Die Komplexität der Überspannungskurzschlüsse nimmt zu, wenn als Ausgangszustand entweder  $P_2$  oder  $N_2$  anstatt  $P_1$  und  $N_1$  im ANPC-Dreipunktumrichter eingesetzt wird [28]. Dadurch kommen zu den drei seriellen Fehlern ein vierter Kurzschluss dazu, der sich in gewisser Weise parallel zu den anderen drei befindet [15]. Der vierte Kurzschluss ist dabei immer ein KS II ZC, da der IGBT vor dem Fehlereintritt eingeschaltet ist, jedoch keinen Laststrom führen kann [28]. Die Thematik der Überspannung für diese Konstellation wurde schon 2009 angedeutet [76], aber erst neun Jahre später wurde die erste Untersuchung via der Messung zum KS II ZC || I + II + II publiziert [72]. Eine vollständige Analyse aller Überspannungsfälle mit vier betroffenen Halbleitern wurde dann ein Jahr später publiziert [28].

### 7.2.1 Kurzschlussfall II ZC || I\* + II + II

Aus der Ausgangssituation mit dem Phasenzustand  $P_2$  kommt es beim Durchbrechen von  $S_{22}$ , so in der Theorie, zu zwei parallelen Kurzschlusspfaden im KS II ZC || I + II + II. Der niederinduktive Kreis besteht aus dem eingeschalteten, aber nicht Strom führenden IGBT  $I_{21}$  mit einem KS II ZC [28]. Zugleich sollte über  $S_{32}$  wieder die volle Zwischenkreisspannung anliegen, da  $I_{11}$  und  $I_{31}$  eingeschaltet sind und den Laststrom führen. Daher würde der Überspannungsschutz von  $I_{32}$  eingreifen und es kommt zum zweiten Kurzschlusspfad. Diese Theorie trifft aber nur unter bestimmten Umständen zu, in der hier vorliegenden Messung jedoch nicht, siehe [28] und Abbildung 7-8. Der Spannungsabfall über den IGBT  $I_{32}$  springt von 1,8 kV vor dem Fehlereintritt auf einen durchschnittlichen Wert von 2,2 kV, welches deutlich unter der Grenze des Eingreifens des AGC liegt, siehe Abbildung 7-7 (2. Zustand). Der zweite Kurzschlusspfad bildet sich daher erst einmal nicht aus, siehe Abbildung 7-7. Das Problem an der vorherigen Theorie ist die Annahme, dass beim Ausfall von  $S_{22}$  der Punkt  $C$  im Teststand (zwischen Emitter des  $I_{21}$  und Kollektor des  $I_{22}$ , vergleiche Abbildung 2-4) sofort auf  $-U_{DC}$ , sprich -1,8 kV, springt. Dies gilt aber nur dann, wenn die Verteilung der Impedanzen im ANPC-Dreipunktumrichter vernachlässigt werden [28].

Mit den 110 nH für den Kommutierungskreis mit  $I_{21}$  kommt es bei der Zwischenkreisspannung von 1,8 kV zu einem Stromanstieg von etwas mehr als 16 kA/ $\mu$ s, siehe Abbildung 7-8. Über den beiden parasitären Induktivitäten  $L_{\sigma-12}$  und  $L_{\sigma-2A}$  (vergleiche Abbildung 2-4) fällt damit eine Spannung von circa 0,3 kV ab. Dazu kommt noch der kurzzeitige Forward-Recovery-Effekt des  $I_{21}$  von grob 0,1 kV. Mit diesen Spannungen bewegt sich das Potential vom Punkt  $C$  ab dem Ausfall von  $S_{22}$  von 0 V auf circa -0,4 kV, siehe Abbildung 7-7 (2. Zustand). Der IGBT  $I_{32}$  blockiert daher am Anfang "nur" etwas mehr als 2,2 kV ( $1,2 \times U_{DC}$ ) [28]. Ob der Überspannungsschutz von  $I_{32}$  direkt mit Fehlereintritt eingreift, hängt von zwei Faktoren ab:

- Die Schwelle des Eingreifens des Überspannungsschutzes; je niedriger sie liegt, desto eher wird  $I_{32}$  mit Eintritt des Fehlers eingeschaltet.
- Die Verteilung der Impedanzen des Spannungsteilers aus  $L_{\sigma-12}$ ,  $L_{\sigma-2A}$  und  $L_{\sigma-2B}$  ist im Endeffekt ausschlaggebend, siehe [28] und Abbildung 2-4. Es sind dafür drei Kombinationen für die Aufteilung der Werte, je nachdem wie die Verschiebung des ANPC-Dreipunktumrichters ausfällt, denkbar:
  - $(L_{\sigma-12} + L_{\sigma-2A}) \ll L_{\sigma-2B}$ : Punkt  $C$  verbleibt auf 0 V
  - $(L_{\sigma-12} + L_{\sigma-2A}) \equiv L_{\sigma-2B}$ : Punkt  $C$  springt von 0 V auf exakt - 0,5x  $U_{DC}$
  - $(L_{\sigma-12} + L_{\sigma-2A}) \gg L_{\sigma-2B}$ : Punkt  $C$  springt von 0 V auf  $-U_{DC}$

Alle anderen Potentialaufteilungen bewegen sich zwischen diesen drei Eckpunkten. In der Messung aus Abbildung 7-8 kommt es durch die Verteilung der drei Induktivitäten daher zu einem Verhalten zwischen dem ersten und zweiten Unterpunkt aus der Auflistung  $\{20 \text{ nH} (L_{\sigma-12} + L_{\sigma-2A}) < 90 \text{ nH} (L_{\sigma-2B})\}$ .

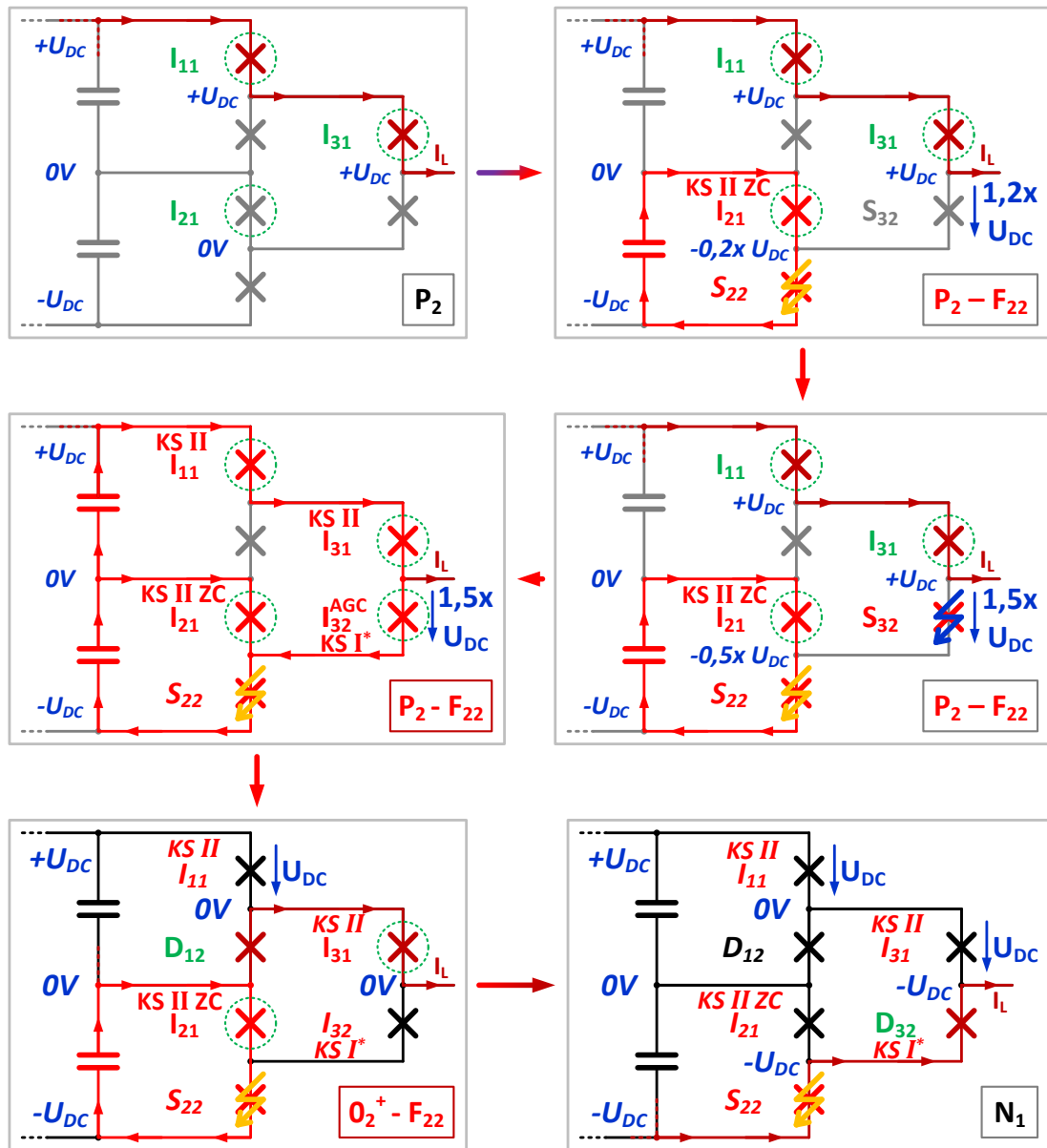


Abbildung 7-7: Auftreten des KS II ZC || I\* + II + II im ANPC-Dreipunktumrichter

Mit Einsetzen der Entsättigung beim  $I_{21}$  ab  $0,85 \mu\text{s}$  verändert sich das Geschehen deutlich, siehe Abbildung 7-7 (3. Zustand) und Abbildung 7-8 (2). Der IGBT  $I_{21}$  nimmt Spannung auf und sein Stromanstieg wird somit reduziert. Das Potential des Punktes C von  $-0,4 \text{ kV}$  verschiebt sich damit gegen  $-U_{DC}$ , wenn das  $di/dt$  im kleinen Kurzschlusskreis gegen null tendiert [28]. Dies erhöht wiederum den Spannungsabfall über  $I_{32}$  und sein Überspannungseingriff steuert ihn auf, siehe Abbildung 7-7 (4. Zustand). Der zweite und zugleich höherinduktive Kurz-

schlusspfad bildet sich ab  $1,1 \mu\text{s}$  aus, siehe Abbildung 7-8 (2). Die parallele Schaltung wirkt sich gleichzeitig auf den Stromfluss im kleinen Kreis mit  $I_{21}$  aus, welches den kurzzeitigen Einbruch des Kurzschlussstromes durch diesen IGBT erklärt, siehe Abbildung 7-8 und Abbildung 7-9. Die Verteilung der Stromanstiege ist, wie schon bei den parallelen Fehlerfällen des Kapitels 6, durch die Impedanzen in den Kurzschlusskreisen und das Entsättigen des IGBTs  $I_{21}$  definiert [28].

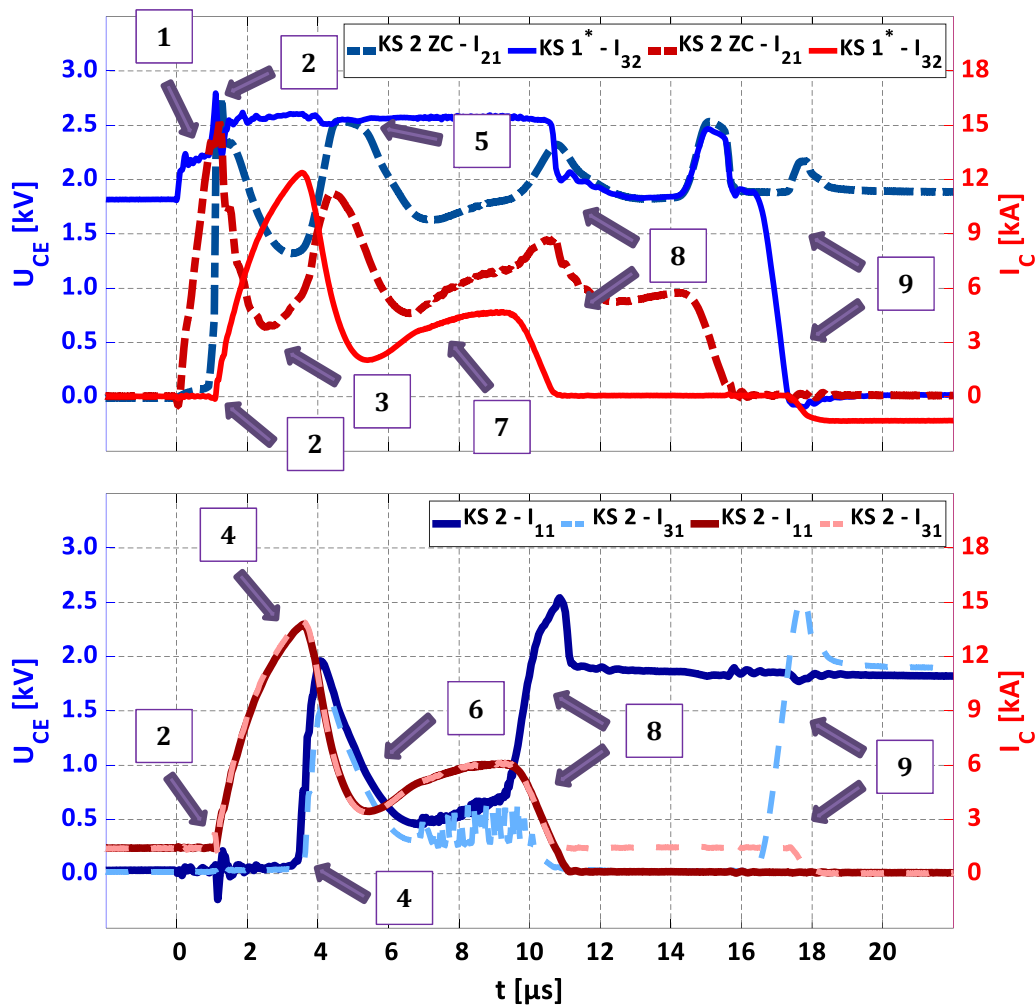


Abbildung 7-8: Messung des Überspannungskurzschlusses KS II ZC ||  $I^* + II + II$  gemessen bei  $U_{DC} = 1,8 \text{ kV}$ ,  $I_L = 1,5 \text{ kA}$ ,  $L_\sigma$  siehe Teststandlayout

Nach Überschreiten des maximalen Kurzschlussstromes von  $I_{21}$  bei  $1,3 \mu\text{s}$  kommt es durch den negativen Stromanstieg von durchschnittlich  $-13,4 \text{ kA}/\mu\text{s}$  zu einer Überspannung von etwas mehr als  $2,7 \text{ kV}$  über  $I_{21}$ , welche für einen kurzzeitigen Eingriff des Überspannungsschutzes sorgt, siehe Abbildung 7-9 (2). Zeitgleich setzt der Kurzschlussstrom durch  $I_{11}$  und  $I_{31}$  mit einem Anstieg von circa  $7,7 \text{ kA}/\mu\text{s}$  ein. Beide Stromanstiege überlagern sich demzufolge in der Streuinduktivität  $L_{\sigma-2B}$  und erzeugen dort eine Gegenspannung von  $\sim -0,5 \text{ kV}$ , vergleiche dazu auch Abbildung 7-10. Der Stromanstieg in dem höherinduktiven Pfad mit  $I_{11}$

und  $I_{31}$  ist ein Resultat des Stromquellenverhaltens von  $I_{21}$  in Kombination mit der gemeinsam geteilten Induktivität und den restlichen Impedanzen in der Phase. Dadurch führt die Reduktion des negativen Stromanstieg des  $I_{21}$  ab  $1,4 \mu\text{s}$  zeitgleich zu einer leichten Erniedrigung des  $di/dt$  für die anderen beiden IGBTs, siehe Abbildung 7-9 (2).

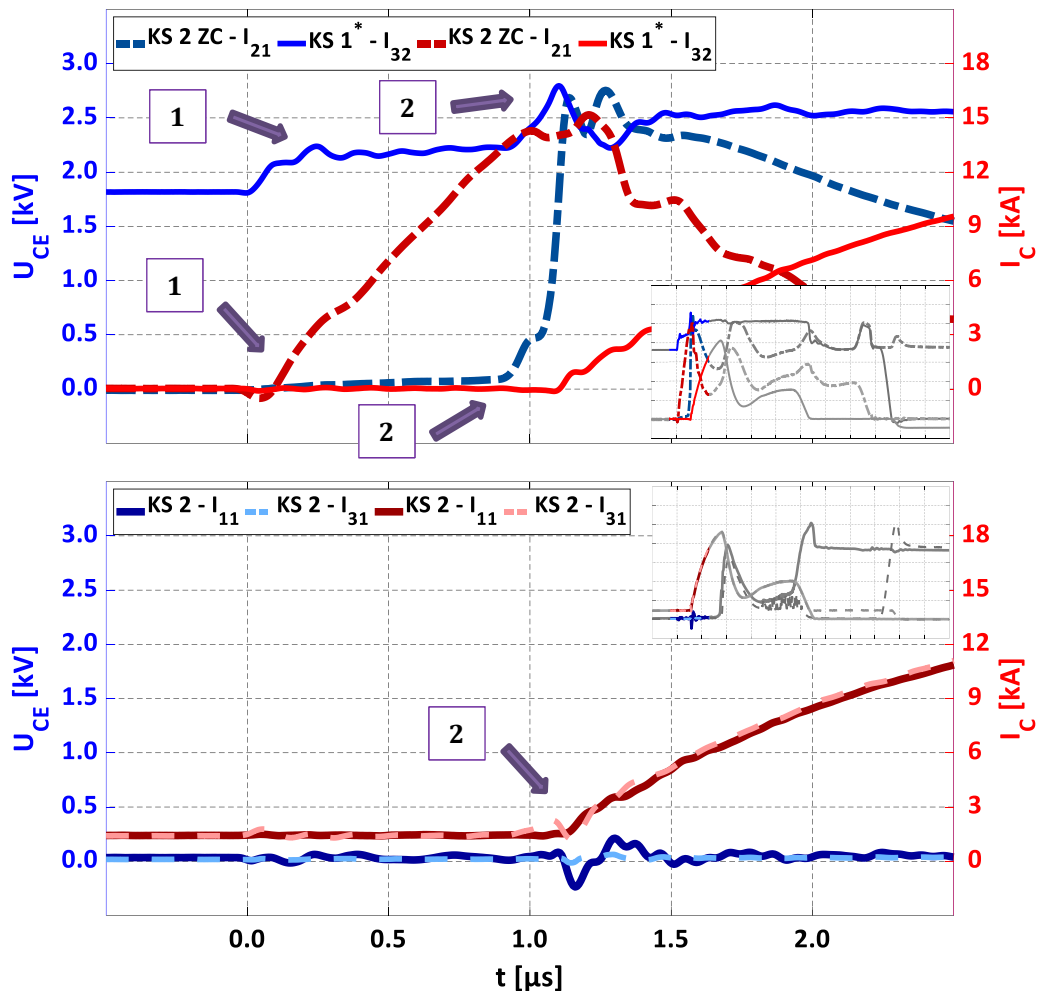


Abbildung 7-9: Auszug vom Beginn des KS II ZC || I\* + II + II

Bei genau  $2,6 \mu\text{s}$  ist der Stromanstieg des KS II ZC vom  $I_{21}$  zu null geworden. Jedoch beträgt zugleich sein  $U_{CE}$  nur  $1,45 \text{ kV}$  und nicht  $U_{DC}$ , siehe Abbildung 7-8 (3). Die Ursache hierfür liegt im positiven Stromanstieg von  $\sim 4,1 \text{ kA}/\mu\text{s}$  durch den äußeren Kurzschlusskreis, der über  $L_{\sigma-2B}$  einen Spannungsabfall von um die  $0,35 \text{ kV}$  erzeugt [28]. Die ist genau die Spannung, die dem  $I_{21}$  nicht zur Verfügung steht. Danach zieht der Treiber des  $I_{21}$  das Potential des vorher unter anderem durch den Self-Turn-Off-Effekt stark entladene Gates wieder in Richtung  $+15 \text{ V}$  und der Kurzschlussstrom nimmt ab  $2,6 \mu\text{s}$  wieder zu, siehe Abbildung 7-8 (3) und [18]. Dies führt auf Grund der Parallelschaltung aus Abbildung 7-10 zugleich dazu, dass das  $di/dt$  des äußeren Kreises auf ungefähr  $2,4 \text{ kA}/\mu\text{s}$  weiter abfällt.

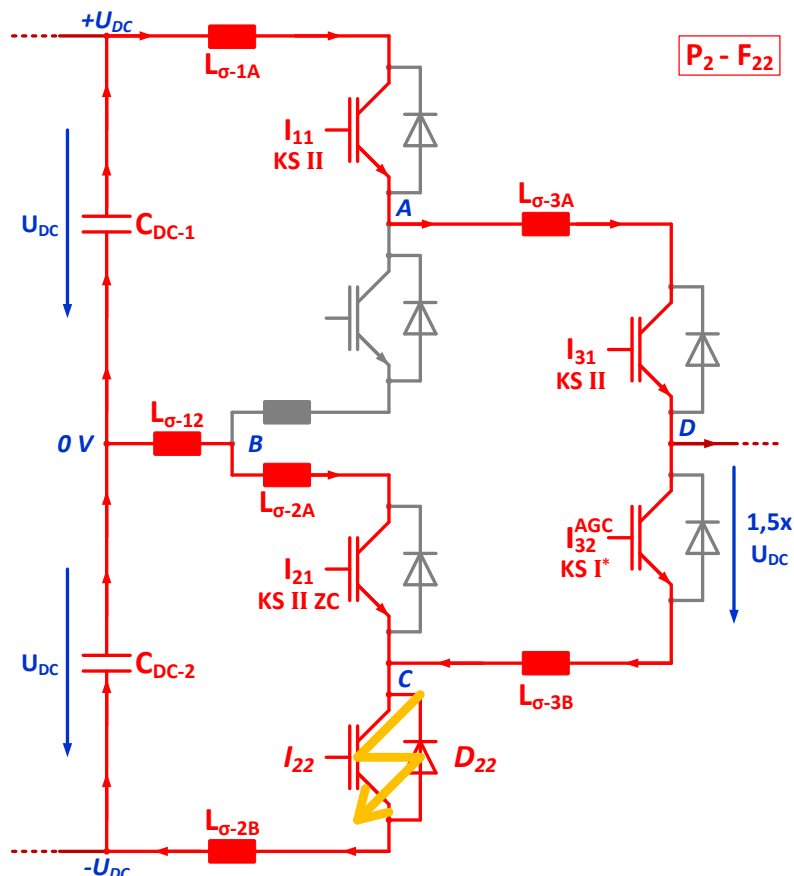


Abbildung 7-10: Detailansicht des KS II ZC || I\* + II + II im ANPC-Dreipunktumrichter

Mit Einsetzung der Entsättigung von  $I_{11}$  und  $I_{31}$  ab  $3,5 \mu\text{s}$  ändert sich das Gefüge zwischen den Halbleitern weiter, siehe [28] und Abbildung 7-11 (4). Bei  $3,7 \mu\text{s}$  liegt ein Maximum des Kurzschlussstromes im äußeren Kreis vor. Zeitgleich führt die Spannungsaufnahme von  $I_{11}$  und  $I_{31}$  dazu, dass der Punkt C weiter in Richtung  $-U_{DC}$  verschoben wird und damit zu einer Erhöhung von  $U_{CE}$  des  $I_{21}$  sorgt, siehe Abbildung 7-11 (4). Als nächstes kommt es zur Überspannung über den beiden IGBTs durch Einsetzen des negativen Stromanstieg im äußeren Kurzschlusspfad. Das negative  $di/dt$  von circa  $-7,9 \text{ kA}/\mu\text{s}$  verursacht bei  $3,9 \mu\text{s}$  eine Gegenspannung über  $L_{\sigma-1A}$  und  $L_{\sigma-3}$ . Abzüglich des Spannungsabfalles der entsättigenden IGBTs  $I_{11}$  plus  $I_{31}$ , und den  $2,6 \text{ kV}$  des im aktiven Bereich operierenden IGBTs  $I_{32}$ , liegt über  $L_{\sigma-2B}$  eine Spannung von  $\sim 0,2 \text{ kV}$  an [28]. Diese verursacht wiederum einen positiven Stromanstieg von ungefähr  $2,2 \text{ kA}/\mu\text{s}$ . Zusammen mit dem negativen  $di/dt$  aus dem äußeren Pfad kommt es zu einem Zwangserhöhung des Stromanstiegs im  $I_{21}$  mit  $+10,1 \text{ kA}/\mu\text{s}$ , siehe Abbildung 7-11 (4). Dieser IGBT ist jedoch vorher schon entsättigt gewesen und führt den Kurzschlussstrom, den seine Gate-Emitter-Spannung ermöglicht, vergleiche [18] und Kapitel 3.2. In der Beschreibung des Punktes (3) aus dem vorherigen Abschnitt wurde festgehalten, dass der Kurzschlussstrom ab diesem Zeitpunkt bis zum Zeitabschnitt (4) konstant anstieg, da  $U_{GE}$  von  $I_{21}$  durch den vorherigen Self-Turn-Off-Effekt noch nicht

+15 V erreicht haben konnte, siehe Abbildung 7-11. Mit Einsetzen der Entsättigung von  $I_{11}$  und  $I_{31}$  führt die erzwungene Zunahme des Kurzschlussstromes durch  $I_{21}$  dazu, dass der einsetzende Self-Turn-On-Effekt und die Miller-Rückkopplung sein Gate anheben und dadurch einen höheren Kurzschlussstrom ermöglichen, siehe Abbildung 7-11 (4). Durch den Stromanstieg von +10,1 kA/ $\mu$ s kommt es insgesamt zu einem Spannungsabfall von knapp 0,2 kV über  $L_{\sigma-12}$  und  $L_{\sigma-2A}$ . Die restlichen 1,4 kV sperrt damit zwangsläufig  $I_{21}$ . Durch die weitere Zunahme der Spannung über  $I_{11}$  und  $I_{31}$  durch ihre Entsättigung muss im Endeffekt auch  $U_{CE}$  von  $I_{21}$  weiter ansteigen, wie die Messung aus Abbildung 7-11 belegt. Bei 4,1  $\mu$ s kommt es zu einem maximalen Wert der zusammengefassten Überspannung über  $I_{11}$  und  $I_{31}$  von kurzzeitig 4 kV, siehe Abbildung 7-11. Nebenbei gilt weiterhin, dass eine zusätzliche Reduktion des negativen Stromanstieg im äußeren Kreis zu einer immer weiteren Erhöhung des Spannungsabfalles über  $I_{21}$  sorgt [28]. Bei 4,2  $\mu$ s kommt es zu dem Wendepunkt des negativen Stromanstiegs von  $I_{11}$  und  $I_{31}$ , vergleiche dazu Kapitel 3.2. Dieser Vorgang wirkt sich unmittelbar auf den Stromverlauf des  $I_{21}$  aus und reduziert daher dessen Stromanstieg. Das nächste Maximum des Kurzschlussstromes des IGBTs  $I_{21}$  erfolgt kurz darauf bei 4,4  $\mu$ s als Reaktion der immer weiteren Abnahme des negativen Anstieges von  $I_{11}$  und  $I_{31}$ . Der Treiber des IGBTs  $I_{21}$  kann das vorher aufgesteuerte Gate wieder entladen und reduziert dadurch seinen Kurzschlussstrom.

Bei 4,5  $\mu$ s erreicht  $U_{CE}$  von  $I_{21}$  ihr Maximum bei etwas mehr als 2,5 kV, siehe [28] und Abbildung 7-11 (5). Es kommt zu einem kurzzeitigen aber nur schwachem Eingriff des Überspannungsschutzes des betroffenen IGBTs. Der Strom von  $I_{11}$  und  $I_{31}$  erreicht bei 5,5  $\mu$ s sein Minimum, siehe Abbildung 7-11 (6). Danach ziehen die Treiber der beiden IGBTs die Gates wieder auf den statischen Wert von knapp +15 V hoch. Die Änderung des Stromanstiegs von  $I_{11}$  und  $I_{31}$  von einem negativen (vor 5,5  $\mu$ s) auf einen positiven (nach 5,5  $\mu$ s) Wert reduziert indirekt über die Streuinduktivitäten und die Potentialverteilung im ANPC-Teststand auch das  $di/dt$  des parallelen IGBTs  $I_{21}$ . All dies hat zur Folge, dass die Spannung über diesem Halbleiter wieder absinkt und unter die 2,5 kV fällt [28]. Der Stromanstieg von  $I_{11}$  und  $I_{31}$  hat dabei ein Maximum um die 6,3  $\mu$ s. Als Konsequenz weist der Kurzschlussstrom des  $I_{21}$  zum gleichen Zeitpunkt ein Minimum auf, siehe Abbildung 7-8 (7). Anschließend reduziert sich der Stromanstieg von  $I_{11}$ , respektive  $I_{31}$ , weiter, während hingegen der des  $I_{21}$  leicht zunimmt. Der Kurzschlussstrom in beiden Kreisen bewegt sich auf die stationären Arbeitspunkte im Bereich von 6 kA bis 7 kA zu, siehe Abbildung 7-12. Zwischen 6,8  $\mu$ s und 10,1  $\mu$ s lässt sich im Verlauf der Spannung von  $I_{11}$  und  $I_{31}$  die schon bekannten hochfrequente Oszillationen feststellen, vergleiche Abbildung 7-12 mit Kapitel 5.1.2 und [151].

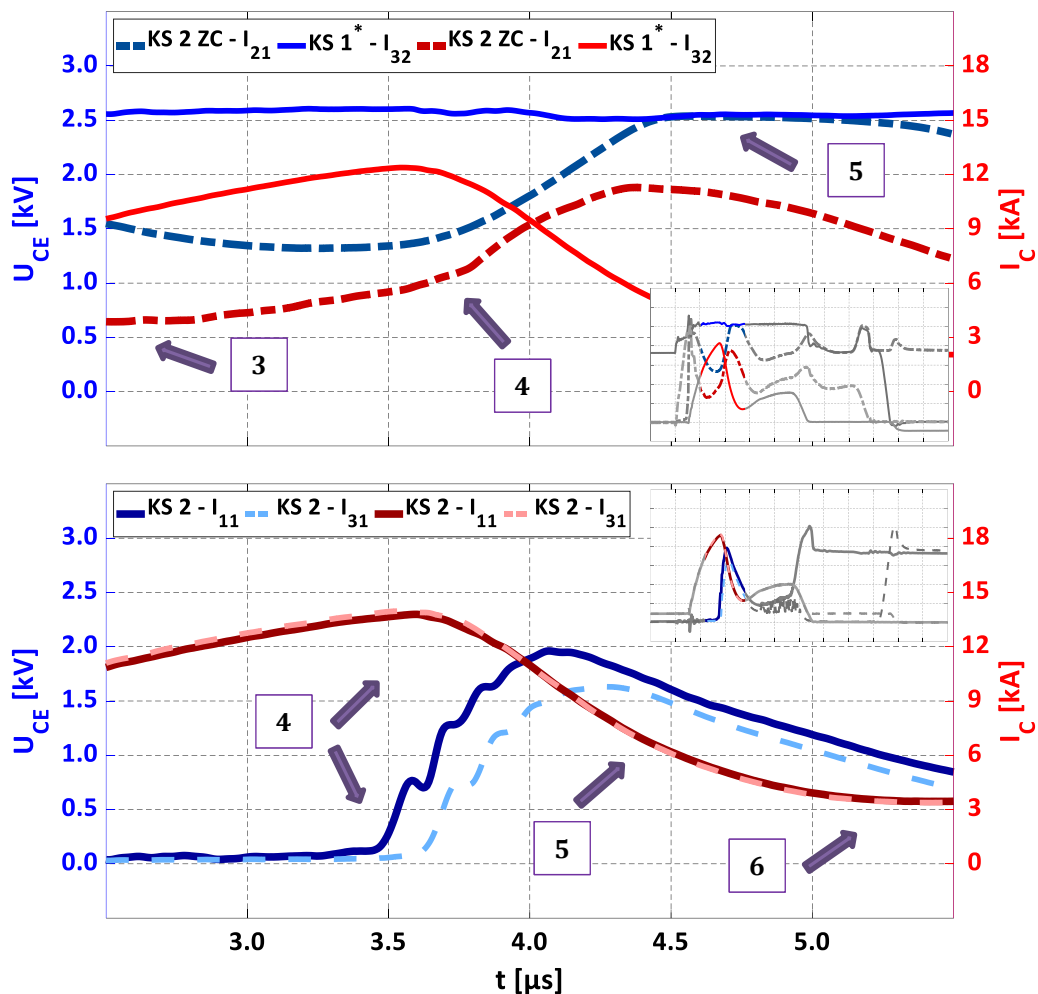


Abbildung 7-11: Auszug im Bereich der Entsättigung  $I_{11}$  &  $I_{31}$  im KS II ZC ||  $I^* + II + II$

Die nächste nennenswerte Änderung der Kurzschlussverläufe tritt mit Abschaltung des äußeren IGBTs  $I_{11}$  kurz vor  $9,5\ \mu\text{s}$  ein, siehe Abbildung 7-7 (5. Zustand) und Abbildung 7-12 ( $\beta$ ). Wie schon beim KS  $I^* II + II$  reduziert dies automatisch den Kurzschlussstrom und eine Kommutierung des Laststromes von  $I_{11}$  auf  $D_{12}$  findet bei  $10,7\ \mu\text{s}$  statt. Der äußere IGBT  $I_{11}$  nimmt die Zwischenkreisspannung inklusive einer Überspannung von maximal  $2,5\ \text{kV}$  bei  $10,8\ \mu\text{s}$  auf, siehe Abbildung 7-12. Wie auch schon im vorherigen Teil der Messung führt ein negativer Anstieg durch  $I_{11}$  und  $I_{31}$  zu einer Stromzunahme für  $I_{21}$ , siehe Abbildung 7-12 ( $\beta$ ). Diese Erhöhung des Kurzschlussstromes durch  $I_{21}$  findet daher im Zeitbereich zwischen  $9,5\ \mu\text{s}$  (Beginn des Abschaltens  $I_{11}$ ) und  $10,8\ \mu\text{s}$  (einsetzende Kommutierung auf  $D_{12}$ ) statt, um danach wieder auf den statischen Wert abzufallen. Auf Grund des geringen Stromflusses in Höhe des Laststromes sättigt  $I_{31}$  wieder und gibt die gesamte Spannung wieder ab, siehe Abbildung 7-12. Dadurch wird der Serienkurzschluss im hochinduktiven Pfad unterbunden. Die Spannung über  $I_{32}$  sinkt wieder auf  $1,8\ \text{kV}$  ab und die Schutzbeschaltung greift nicht mehr ein. Weiterhin existiert der KS II ZC für  $I_{21}$  im niederinduktiven Pfad.



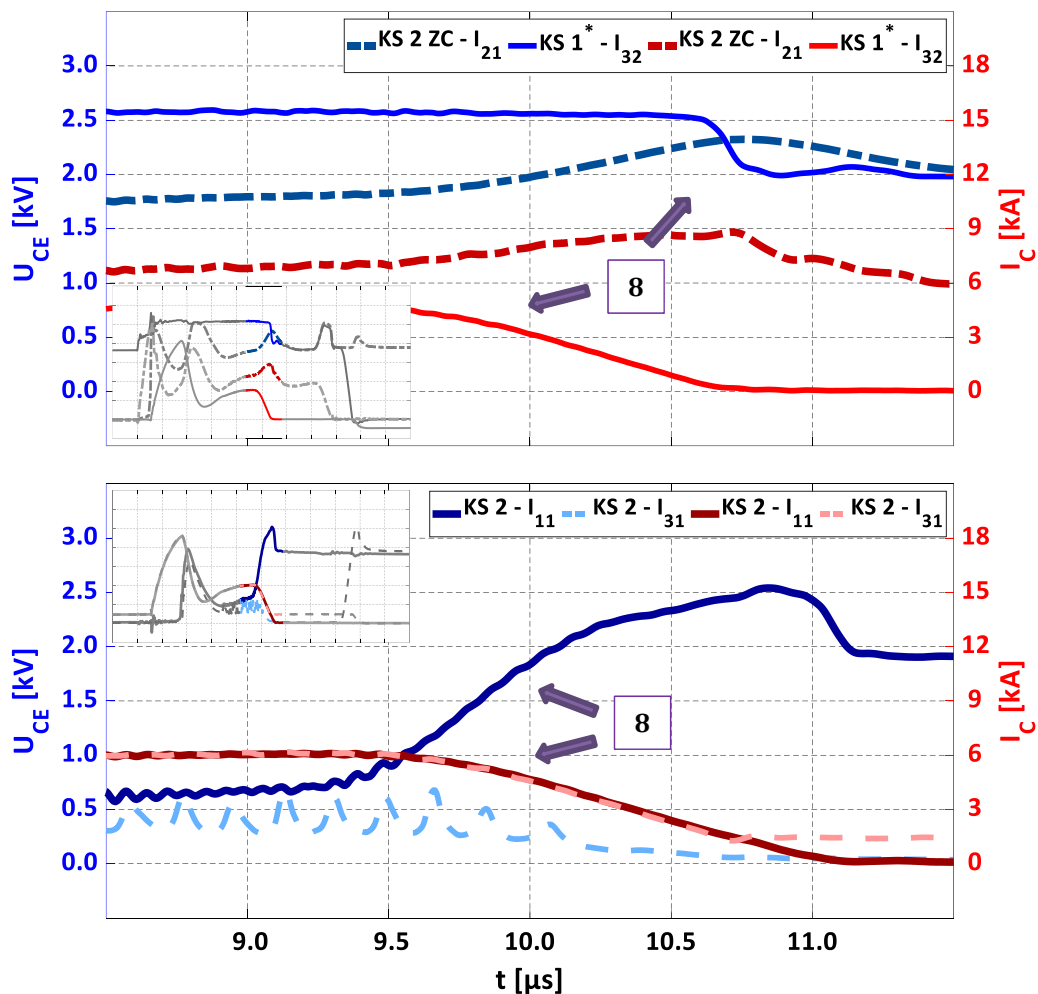


Abbildung 7-12: Auszug beim Abschalten von  $I_{11}$  des KS II ZC ||  $I^* + II + II$

Erst mit seinem eigenen Abschalten bei  $15\ \mu\text{s}$  wird auch der letzte verbliebene Halbleiterfehler abgeschaltet und der IGBT  $I_{12}$  sperrt  $U_{DC}$  plus einer kurzzeitigen Überspannung, siehe [28] und Abbildung 7-8. Gleichzeitig wird der IGBT  $I_{31}$  ausgeschaltet. Da er aber wieder gesättigt gewesen ist, kommt es zu einem deutlich längeren Abschaltvorgang im Vergleich zum Ausschalten aus einem Kurzschluss heraus, vergleiche dazu Kapitel 3. Daher nimmt der IGBT  $I_{31}$  die Spannung mit einem deutlich niedrigeren Anstieg auf. Die Kommutierung des Laststromes auf die Diode  $D_{32}$  (und das zerstörte Modul  $S_{22}$ ) erfolgt nach Sperren von  $U_{DC}$  ab  $17,2\ \mu\text{s}$ . Dieses Verhalten erklärt auch, warum der zu diesem Zeitpunkt schon ausgeschaltete IGBT  $I_{21}$  zwischen  $17,2\ \mu\text{s}$  und  $18,7\ \mu\text{s}$  noch einmal eine Überspannung erfährt, siehe Abbildung 7-8. Sein Emitter wird durch den Kommutierungsvorgang von  $D_{12}$  und  $I_{31}$  auf  $D_{22}$  und  $D_{32}$  kurzzeitig unter  $-U_{DC}$  geschoben. Danach läuft sich der Laststrom frei und der Fehlerfall kann als überstanden angesehen werden, siehe Abbildung 7-7 (6. Zustand).

Der Vorteil des KS II ZC || I + II + II im Vergleich zum KS I + II + II liegt in der Tatsache, dass zum Zeitpunkt der einsetzenden Spannungsklemmung bei  $I_{32}$  immer noch ein leichter Stromanstieg des KS II ZC vom  $I_{21}$  vorhanden ist. Er wirkt sich damit positiv auf das Potential des Punktes C aus, siehe Abbildung 7-9. Dadurch kommt es schlussendlich zu einem weniger starken Absinken des Emitterpotentials von  $I_{32}$ . Dagegen bewegt sich das  $du/dt$  des Entsättigungsvorganges (KS II ZC || I + II + II) in etwa in der Größenordnung desjenigen vom kapazitiven Sprung (KS I + II + II), vergleiche auch Kapitel 3.2. Dies ist also nicht der Grund für das späte Eingreifen des Überspannungsschutzes von  $I_{32}$ . Ein Wechsel vom Zustand  $N_1$  auf  $N_2$  hat also im Endeffekt zur Folge, dass die Belastung des Überspannungsschutzes für  $S_{31}$  und  $S_{32}$  reduziert wird unter Inkaufnahme eines zusätzlichen KS II ZC [28].

### 7.2.2 Kurzschlussfall II ZC || I\* + III + III

Der Vergleich des KS I\* + II + II zum KS I\* + III + III aus dem Kapitel 7.1 hat schon aufgezeigt, dass die Unterschiede zwischen den beiden Fällen sich meist nur auf die allgemeinen Differenzen zwischen KS II und KS III beziehen. Der Verlauf des KS II ZC || I\* + II + II ist vor allem am Anfang bis zum ersten Abschaltvorgang bei  $10 \mu\text{s}$  nahezu identisch zum KS II ZC || I\* + III + III [28]. Nennenswert am Anfang des KS II ZC || I\* + III + III ist der Punkt, dass der Spitzenwert des KS II ZC vom IGBT  $I_{12}$  um 27 % höher ausfällt als für  $I_{21}$  im KS II ZC || I\* + II + II, vergleiche dazu Abbildung 7-8 mit Abbildung 7-14. Eigentlich ist dieses Ergebnis überraschend, da der Kurzschlusskreis beim  $I_{12}$  um mehr als 30 % höher in der Impedanz ausfällt, als der vergleichbare Pfad beim  $I_{21}$ , siehe Abbildung 2-4. Dieser Punkt schlägt sich in einer Reduktion des Stromanstieg für  $I_{12}$  nieder [28]. Gemäß den Erkenntnissen aus Kapitel 3.2 würde dies bedeuten, dass ein KS II ZC bei höherer Induktivität einen niedrigeren Spitzenkurzschlussstrom aufweisen sollte. Bei den beiden Überspannungskurzschlüssen ist dies aber genau invertiert. Die Antwort für diese Beobachtung liefert hierbei der direkte Vergleich der beiden Messungen. Der IGBT  $I_{12}$  im KS II ZC || I\* + III + III entsättigt fast eine halbe Mikrosekunde später, als der  $I_{21}$  im KS II ZC || I\* + II + II. Dies lässt darauf schließen, dass auf Grund von Produktionsschwankungen zwischen den beiden Modulen und der angeschlossenen Schutzbeschaltungen die Kanalabschnürung später erfolgt. Wäre in beiden Messungen exakt derselbe IGBT mit der gleichen Beschaltung eingesetzt worden, müsste wieder der Spitzenstrom beim Fehler mit höherer Induktivität geringer ausfallen. Auch ergibt ein direkter Vergleich der beiden Messungen aus Abbildung 7-8 und Abbildung 7-14, dass der Eingriff des Überspannungsschutzes von  $S_{31}$ , respektive  $S_{32}$ , vor Erreichen des Strommaximums voll ausgeprägt ist. Damit verzerrt der sich bildende, zweite parallele Kurzschlusspfad den Verlauf des zuerst aufgetretenen KS II ZC [28].

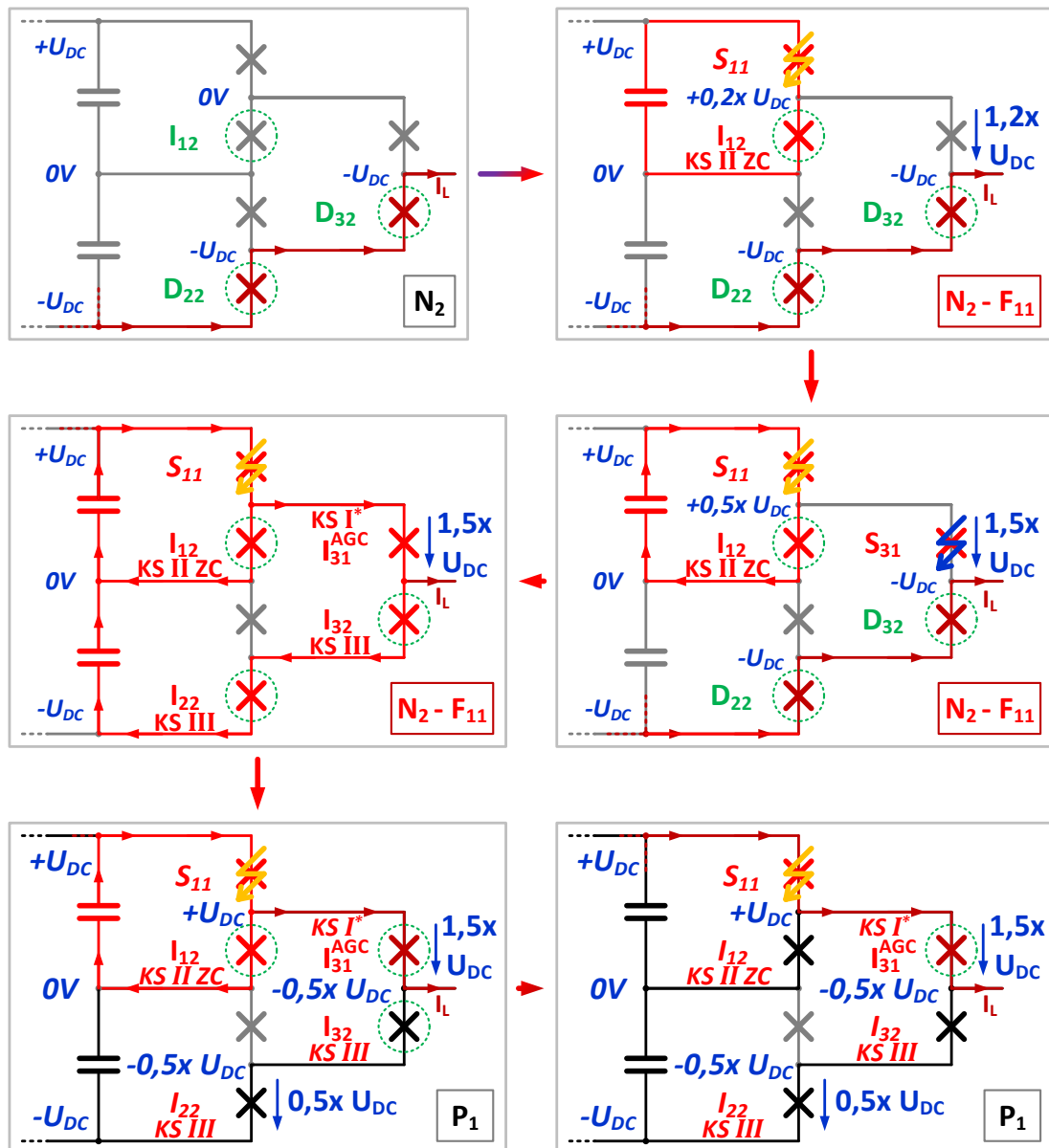


Abbildung 7-13: Auftreten des KS II ZC || I\* + III + III im ANPC-Dreipunktumrichter

Mit dem Abschalten des äußeren IGBTs  $I_{22}$  bei circa  $10 \mu\text{s}$  kommt es, wie auch schon bei dem KS I\* + III + III, zu dem Problem, dass der Laststrom weiterhin durch das durchgebrochene Element  $S_{11}$  und den durch seine Schutzbeschaltung aufgesteuerten IGBT  $I_{31}$  getrieben wird, siehe [28] und Abbildung 7-13. Durch das Abschalten von  $I_{22}$  wird der Kurzschlussstrom durch ihn und  $I_{32}$  unterbunden. Jedoch fällt auf, dass beim KS II ZC || I\* + III + III der Verlauf der Kollektor-Emitter-Spannung von  $I_{22}$  nicht konstant ist, wie dies beim KS I\* + III + III der Fall gewesen ist, vergleiche Abbildung 7-5 mit Abbildung 7-14. Die Ursache hierfür ist der KS II ZC des  $I_{12}$ , der eine Spannungsänderungen verursacht. Da der  $I_{31}$  konstant die 2,6 kV auf Grund seines AGC sperrt, und der eingeschaltete  $I_{32}$  keine nennenswerte Spannung aufnehmen kann, muss eine Potentialänderung bei  $I_{12}$  automatisch eine Änderung an  $U_{CE}$  des  $I_{22}$  verursachen, siehe Abbildung 7-14.

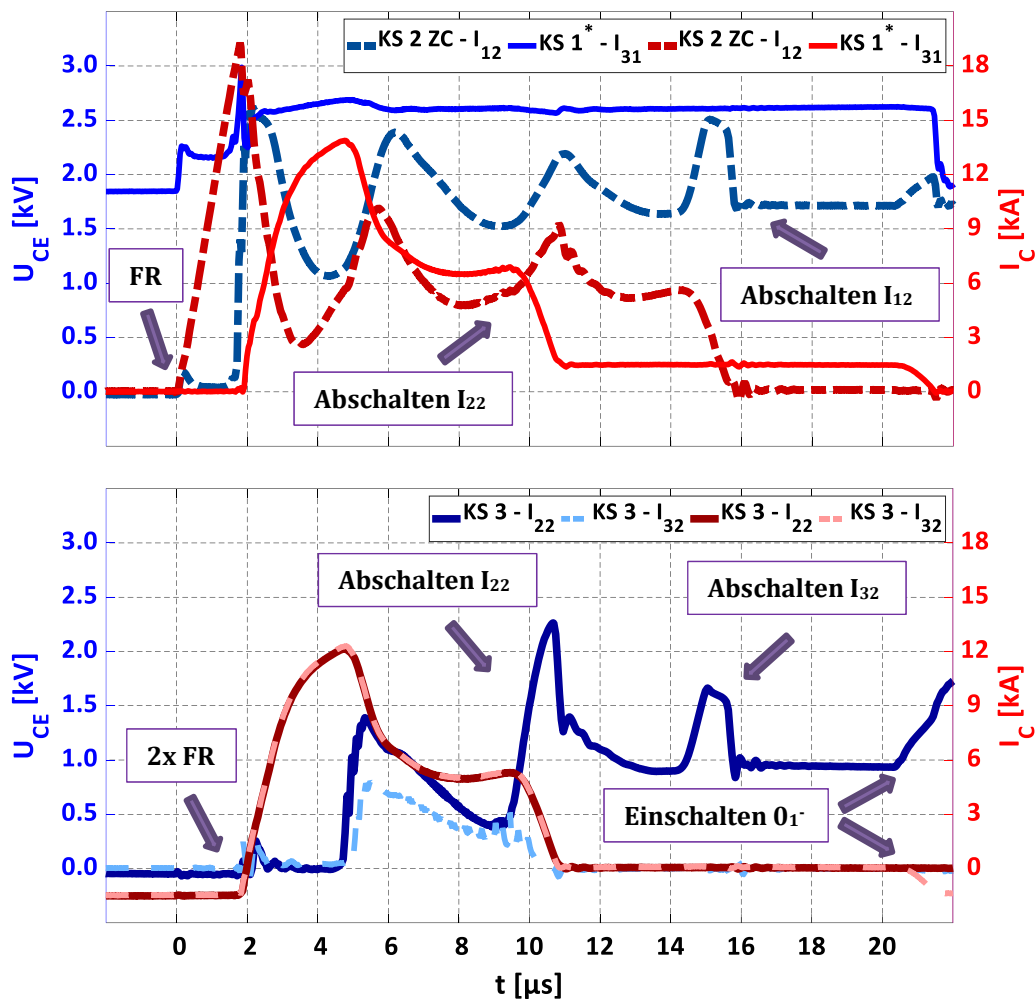


Abbildung 7-14: Messung des Überspannungskurzschlusses KS II ZC || I\* + III + III gemessen bei  $U_{DC} = 1,8 \text{ kV}$ ,  $I_L = -1,5 \text{ kA}$ ,  $L_\sigma$  siehe Teststandlayout

Die Situation wiederholt sich noch einmal beim Abschalten der IGBTs  $I_{12}$  und  $I_{32}$  knapp  $5 \mu\text{s}$  später, siehe Abbildung 7-14. Beim KS I\* + III + III führte dies zu keinen Änderungen, der  $I_{31}$  ist weiterhin im aktiven Bereich bei vollem Laststrom und circa  $2,6 \text{ kV}$ , siehe Abbildung 7-5. Der IGBT  $I_{22}$  blockiert weiterhin die restliche Spannung von  $1,0 \text{ kV}$ , während  $I_{32}$  keinen Strom im KS I\* + III + III führen kann. Jedoch führt der KS II ZC des  $I_{12}$  beim KS II ZC || I\* + III + III zu einem anderen Verhalten bezüglich des zweiten Abschaltens, siehe [28] und Abbildung 7-14. Der Strom durch  $I_{32}$  und die Spannung über ihn bleibt weiterhin unverändert bei  $0 \text{ V}$ . Jedoch erfährt  $I_{22}$ , ohne dass der Stromfluss durch ihn sich ändert (weiterhin null Ampere), einen Anstieg seiner Spannung von  $\sim 1,0 \text{ kV}$  auf fast  $1,7 \text{ kV}$ . Innerhalb von  $1,7 \mu\text{s}$  fällt sie wieder auf den ursprünglichen Wert ab. Wie auch schon nach dem Abschalten des äußeren Halbleiters  $I_{22}$ , wirkt sich die Potentialänderung des  $I_{12}$ , durch das Abschalten seines KS II ZC, indirekt auf die Spannung über  $I_{22}$  aus. Der IGBT  $I_{22}$  reagiert also nur passiv, da sein Abschalten an sich zu keiner Änderung mit Ausnahme des Umladens seiner Gatekapazität führt.

Zum Schutz des weiterhin im aktiven Bereich gehaltenen IGBTs  $I_{31}$  wird wie schon bei den vorherigen Fällen mit demselben Problem ab  $20 \mu\text{s}$  ein Wechsel des Phasenzustandes durch die Steuerung umgesetzt [28]. Der dem durchgebrochenen Element  $S_{11}$  gegenüberliegende Null-Volt-Pfad, hier dementsprechend  $0_{1^-}$ , wird aktiv via  $S_{21}$  und  $S_{32}$  eingeschaltet, siehe Abbildung 7-14. Dadurch kommutiert der Laststrom auf den Zweig mit  $I_{21}$  und  $D_{32}$  und das Emitterpotential von  $I_{31}$  befindet sich auf dem Null-Volt-Level. Ergo erfährt dieser IGBT keine Überspannung mehr und seine Schutzbeschaltung ermöglicht nun sein Abschalten.

Zur Vollständigkeit halber soll noch erwähnt werden, dass eine Adaption des KS  $I^* + IV + IV$  aus dem Kapitel 7.1.3 mit gleichzeitig eingeschaltetem IGBT  $I_{12}$  eher undenkbar ist. Ein Freilauf des Laststromes geschieht normalerweise dann, wenn alle Halbleiter im ANPC-Dreipunktumrichter abgeschaltet sind. Daher kann der KS II ZC  $|| I^* + IV + IV$  mit einem Kurzschluss für den  $I_{12}$  nicht wirklich vorkommen. Auch das Auftreten eines KS II ZC  $|| I^* + [III +] IV$  als Variante des KS  $I^* + [III +] IV$  ist in der Realität wegen dieser Begründung unwahrscheinlich. Weiterführende Literatur zu diesen zwei eher hypothetischen Fällen zeigt die dazugehörigen Messungen [28].

## 7.3 Überspannungsfälle mit Plasmaeinfluss

Der Zustand des vierten Schalters kann neben aus- oder eingeschaltet auch einen dritten Grad annehmen. Durch vorangegangene, spezielle Schaltvorgänge kann die Situation entstehen, dass in dem vierten Halbleiter, je nach Ausgangssituation ist es IGBT oder Diode, wieder Plasma im intrinsischen Gebiet kurzzeitig gespeichert ist [31]. Der Einfluss des KS IV ZC, respektive KS V, verzerrt am Anfang das Auslösen des KS  $I^*$  für  $S_{31}$ , beziehungsweise  $S_{32}$ . Da die Plasmakurzschlüsse jedoch nur kurzzeitig bestehen, kommt es zu dem relativ schnellen Versiegen des niederinduktiven Kurzschlusskreises. Übrig bleibt dann „nur“ der serielle Kreis aus KS  $I^*$  plus zwei weitere Halbleiterfehler. Die Überspannungskurzschlüsse mit Plasmaeinfluss stellen daher also eine Mischung aus den beiden vorangegangenen Typen der Kapitel 7.1 und 7.2 dar. Ihre erstmalige Beschreibung erfolgte im Rahmen der vorliegenden Arbeit [31].

### 7.3.1 Kurzschlussfall V $|| I^* + II + II$

Wie bei allen Fällen mit Plasmakurzschlüssen wird eine Transition vom negativen auf den positiven Phasenzustand oder vice versa unter Einbeziehung der Null-Volt-Pfade benötigt, vergleiche dazu Kapitel 4. Für die erste Variante der Überspannungskurzschlüsse wird dabei ausgehend vom Zustand  $0_{1^-}$  oder  $0_{2^-}$  auf  $P_1$  (nicht aber  $P_2$ ) umgeschaltet. Dadurch verbleibt Plasma bei positivem Last-

strom innerhalb von  $I_{21}$ , nicht aber in  $D_{32}$ , siehe [31] und Abbildung 7-15. Eine Einbeziehung von  $0^+$  oder  $0_{1+}$  ist möglich, aber nicht zwingend nötig. Der Einsatz des Zustandes  $0_{2+}$  während des Überganges verhindert diese Form des Kurzschlussfalles, da das Einschalten von  $S_{22}$  Spannung über den IGBT  $I_{21}$  forciert. Damit wird das Plasma aus dem Halbleiter entfernt. Infolgedessen würde beim Durchbrechen von  $S_{22}$  kein KS V für  $I_{21}$  entstehen, sondern nur ein kapazitiver Spannungssprung mit den Resultaten aus Kapitel 7.1.1.

Die Erkenntnisse aus dem vorherigen Kapitel 7.2 haben aufgezeigt, dass bei der aktuellen Verteilung der Impedanzen im verwendeten Teststand mit Ausbreitung eines parallelen Kurzschlusses die geblockte Spannung  $U_{DC}$  über  $S_{32}$  ansteigt, jedoch nicht zwingend den Überspannungsschutz des IGBTs auslösen muss, siehe [28] und Abbildung 7-15. Auf ähnliche Art und Weise geschieht dies auch, wenn in  $I_{21}$  Plasma gespeichert ist. In dem Moment, in dem  $S_{22}$  instantan durchbricht kommt es zum Ausbilden des Kurzschlusses im kleinen Kommutierungskreises, siehe [31] und Abbildung 7-16. Der Strom durch  $I_{21}$ , getragen durch das Entladen seines intrinsischen Gebietes, steigt an, ohne jedoch unmittelbar den Spannungsabfall zu erhöhen, siehe Abbildung 7-16. Erst 130 ns nach dem Fehlereintritt ist die Plasmaersatzkapazität soweit entladen, dass sich ein elektrisches Feld im IGBT aufbauen kann. Mit der Spannungsaufnahme verändert sich auch wieder das Gefüge in der Phase des ANPC-Dreipunktumrichters und die Spannung über  $S_{32}$  nimmt zu [31]. Ab 250 ns ist  $U_{CE}$  von  $I_{32}$ , durch die immer weiter steigende Spannung über  $I_{21}$  im KS V, so hoch ausgefallen, dass der Überspannungskurzschluss reagiert und  $I_{32}$  zu seinem Schutz aufsteuert. Mit dem KS V existiert also eine Lücke von 250 ns zwischen dem Durchbruch von  $S_{22}$  und dem Ausbilden eines zweiten Kurzschlusspfades durch  $I_{11}$ ,  $I_{31}$  (beide KS II) und  $I_{32}$  (KS I\*), siehe Abbildung 7-16.

Auf Grund der nur kurzen Gesamtdauer der Plasmakurzschlüsse ist in der Messung aus Abbildung 7-16 relativ wenig von den Auswirkungen des KS V zu erkennen. Ein Ausschnitt vom Beginn des Fehlereintrittes zeigt deutlicher die vorher aufgeführten Punkte wie die Lücke zwischen Durchbruch von  $S_{22}$  und das Eingreifen des Überspannungsschutzes von  $I_{32}$ , siehe [31] und Abbildung 7-17. Wie auch schon bei all den anderen parallelen Kurzschlüssen, interagieren die beiden Pfade mittels der Verteilung der parasitären Induktivitäten miteinander. Dies erklärt auch, warum beim Ausbilden des Serienkurzschlusses aus KS I\* und zweier KS II im Plasmaberg von  $I_{21}$  ein kurzzeitiger Einbruch im Stromverlauf existiert, siehe Abbildung 7-17 ab 0,3  $\mu$ s. Zusätzlich gibt es hierfür auch noch die Hypothese, dass der Verlauf überlagert ist von Schwingungen, ausgelöst durch den Durchbruch von  $S_{22}$  [31]. Die Abweichung zum einfachen KS V, wenn während eines negativen Stromanstieg ab 400 ns die Überspannung trotzdem zurück geht, ist wiederum durch die kurzzeitige Parallelschaltung der Halbleiterfehler erklärbar.

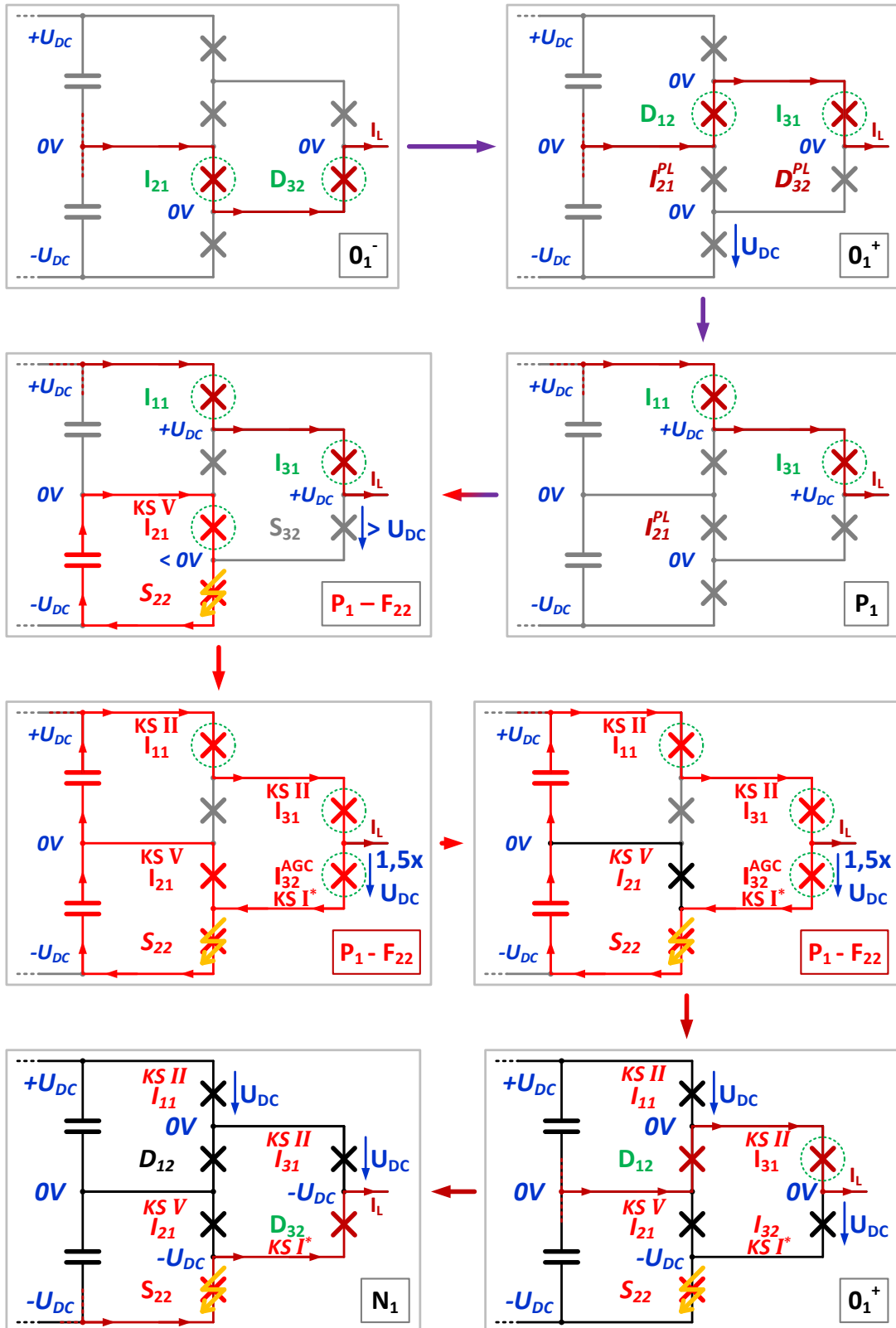


Abbildung 7-15: Auftreten des KS V || I\* + II + II im ANPC-Dreipunktumrichter

Die parallele Fehlerschaltung erweist sich auch als Grund, warum der hier auftretende KS V im Vergleich zur reinen Variante aus dem Kapitel 4 einen um mehr

als 45 % höheren Spitzenwert bei zugleich einer um 50 % kürzeren Periode des Plasmaausräumens aufweist, vergleiche Abbildung 4-19 mit Abbildung 7-17. Ab  $0,5 \mu\text{s}$  ist der KS V im KS V || I\* + II + II beendet und die Spannung über  $I_{21}$  pendelt sich auf 1,5 kV ein [31]. Der Stromanstieg durch den äußeren Kurzschlusskreis mit  $I_{11}$ ,  $I_{31}$  und  $I_{32}$  reduziert sich nach Ende des Plasmakurzschluss um nahezu den Faktor drei. Es liegt nur noch der reine Serienkurzschluss dieser drei IGBTs vor. Es erfolgt also eine Transition vom parallelen Fehlerfall KS V || I\* + II + II zum KS I\* + II + II mit Erlöschen des KS V. Ab  $0,5 \mu\text{s}$  ist der Verlauf daher zu dem Serienkurzschluss aus dem Kapitel 7.1.1 nahezu identisch [31].

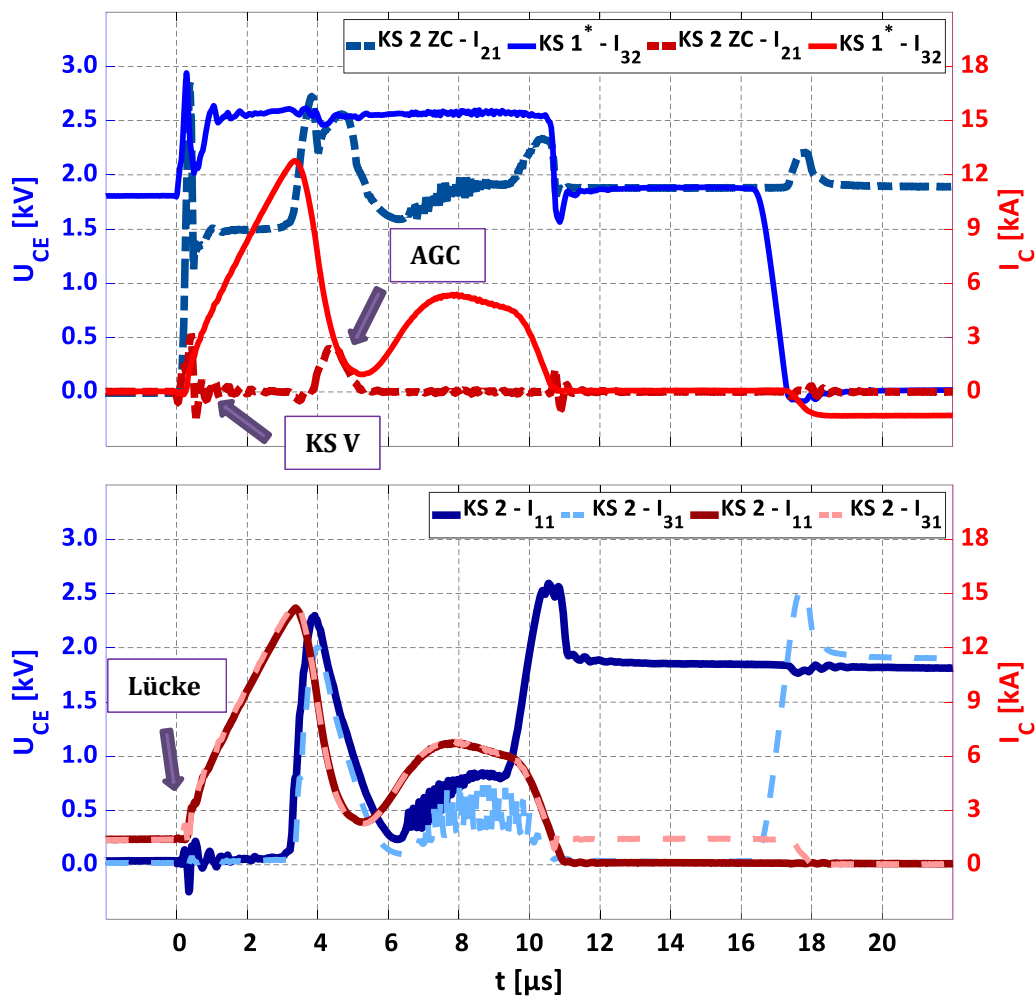


Abbildung 7-16: Messung des Überspannungskurzschlusses KS V || I\* + II + II gemessen bei  $U_{DC} = 1,8 \text{ kV}$ ,  $I_L = 1,5 \text{ kA}$ ,  $L_\sigma$  siehe Teststandlayout,  $t_{D,KS} = 15 \mu\text{s}$

Ein Vergleich der drei unterschiedlichen Ausprägungen an Überspannungskurzschlüssen zeigt noch einmal, dass der KS V || I\* + II + II als ein Mittelding zwischen KS I\* + II + II und KS II ZC || I\* + II + II eingeordnet werden kann, siehe [31] und Abbildung 7-18. Am Anfang kommt es, wenn der vierte IGBT  $I_{21}$  ausgeschaltet ist, zu einem kapazitiven Sprung über diesen Halbleiter, definiert nur noch



durch die parasitären Elemente und der Geschwindigkeit des Durchbruches des  $S_{22}$  [28]. Infolgedessen erreicht die gefährliche Überspannung über  $S_{32}$  binnen Nanosekunden den Schwellwert der Schutzbeschaltung und es bildet sich quasi instantan der zweite Kurzschlusspfad aus. Sobald jedoch noch Plasma im IGBT vorhanden ist, wird die Spannungszunahme durch das Ausräumen der freien Ladungsträger gemäß des Verhaltens der Plasmaersatzkapazität definiert und es kommt zu einem um 45 % reduzierten Spannungsanstieg [31]. Die Anwesenheit eines Plasmakurzschlusses entspannt folglich auch die Schutzbeschaltung für den  $S_{31}$ , respektive  $S_{32}$ .

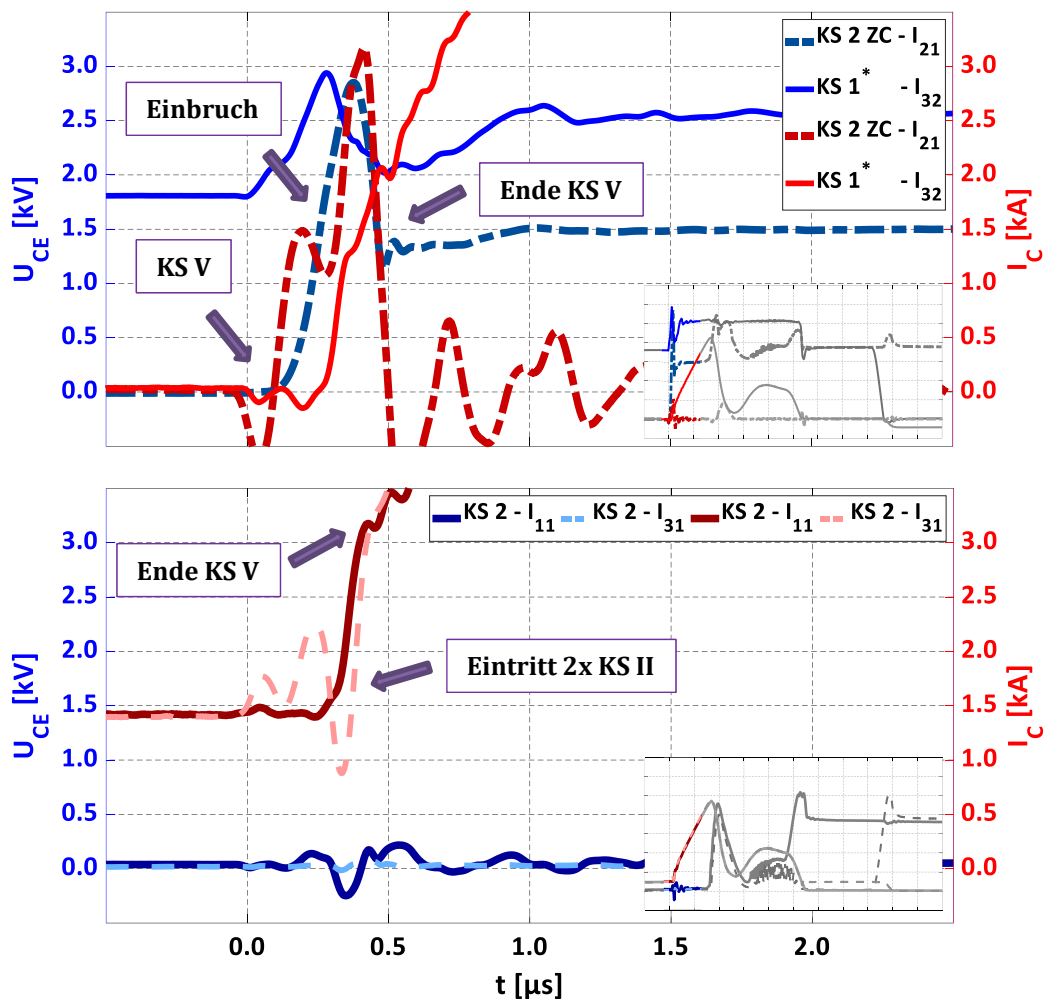


Abbildung 7-17: Auszug am Anfang des KS V || I\* + II + II

Andere nennenswerte Effekte sind durch den KS V nicht festzustellen, bis auf die Ausnahme, dass die Spitzenspannung fast 50 % höher ausfällt im Vergleich zum Fall mit dem IGBT ohne Plasma, siehe Abbildung 7-18. Die Ursache kann, neben dem allgemeinen Unterschied zwischen einem Plasmakurzschluss und dem kapazitiven Sprung, auf die Anwesenheit des parallelen Kurzschlusspfades im KS V || I\* + II + II zurückgeführt werden. Dieser, wie schon vorher heraus-

gearbeitet wurde, wirkt sich auf die Potentiale der einzelnen Halbleiter aus und verzerrt die Verläufe der restlichen Kurzschlüsse.

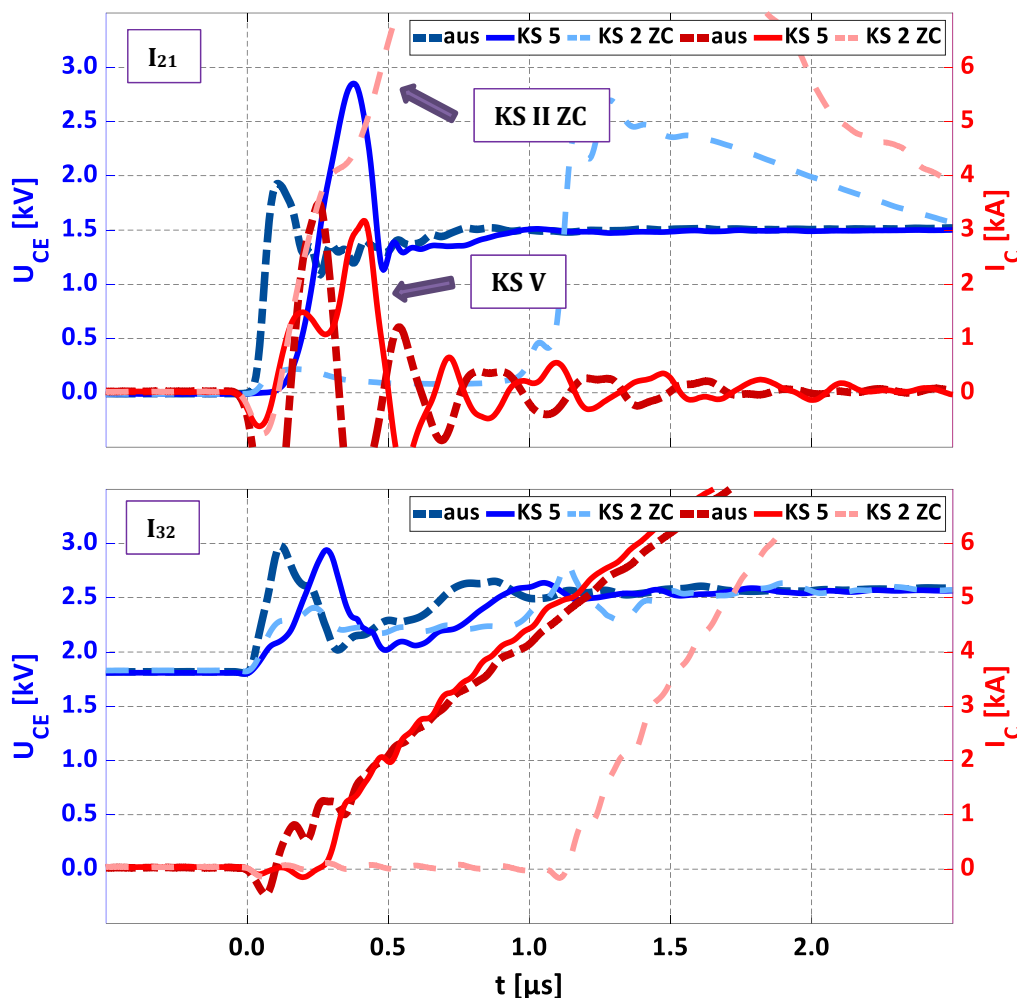


Abbildung 7-18: Vergleich der ersten Mikrosekunden zwischen KS I\* + II + II (aus), KS V || I\* + II + II (KS V mit  $t_{D,KS} = 15 \mu s$ ) und KS II ZC || I\* + II + II (KS II ZC) für  $I_{21}$  &  $I_{32}$

Sollte der dritte Zustand, bei dem IGBT  $I_{12}$  vorher eingeschaltet ist, vorliegen, dann führt das Vorhandensein des KS II ZC auch zu einer gemäßigteren Spannungszunahme über  $S_{32}$ . Die Analyse aus dem Kapitel 7.2.1 ergab, dass zum einen der Entsättigungsvorgang an sich, aber vor allem das Vorhandensein des zweiten Kurzschlusspfades den Spannungsanstieg reduziert. Zusammengefasst wird die Chance erhöht, die drohende Überspannung von  $S_{31}$  oder  $S_{32}$  im Griff zu halten, entweder durch einen vorher eingeschalteten  $I_{12}$  oder  $I_{21}$  beziehungsweise durch freie Ladungsträger im IGBT selbst. Auch wird die Anforderung an den AGC bei den Überspannungskurzschlüssen für diese beiden Schalter verringert [31].

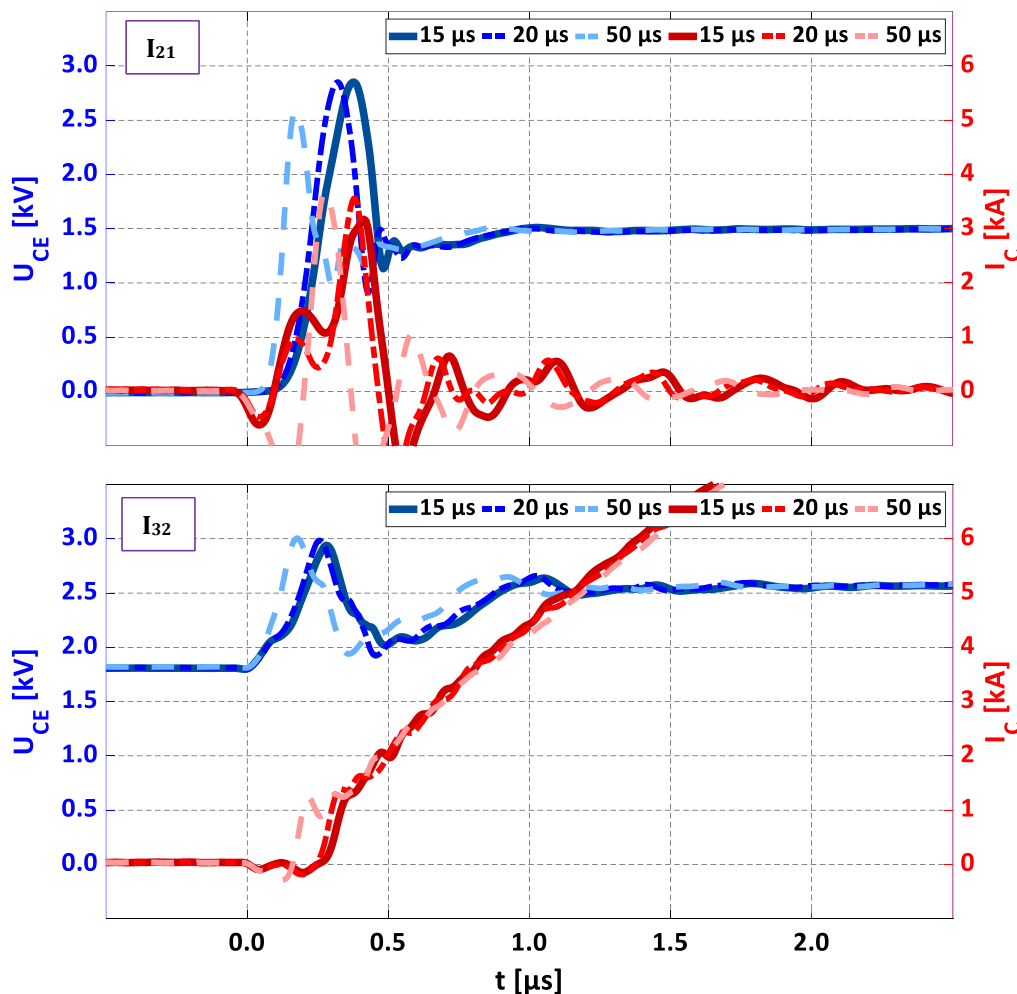


Abbildung 7-19: Abnahme des Plasmas im IGBT  $I_{21}$  mit Zunahme der Zeitdifferenz von  $t_{D,KS}$  zwischen 15 bis 50  $\mu$ s

Analog zum KS V aus dem Kapitel 4.2 reduziert sich der Effekt des Plasmas bei den Überspannungskurzschlüssen je mehr Zeitverzögerung zwischen spannungslosem Abschalten des Halbleiters und dem Kurzschlusseintritt liegt [31]. Während bei  $t_{D,KS}$  von 15  $\mu$ s ein messbarer Plasmaberg beim Ausräumen der intrinsischen Zone noch vorhanden ist, nimmt er bei  $t_{D,KS}$  von 20  $\mu$ s schon messbar ab, siehe Abbildung 7-19. Mit Reduktion des Plasmas im IGBT nimmt auch die Plasmaersatzkapazität ab und der Spannungsanstieg über  $I_{21}$  nimmt zu, siehe Kapitel 4. Bei einer Verzögerung von 50  $\mu$ s ist das  $du/dt$  von  $t_{D,KS}$  in Vergleich zu dem Wert bei 15  $\mu$ s um mehr als 150 % angestiegen. Dies entspricht nahezu dem Verhalten beim kapazitiven Sprung im KS I\* + II + II für  $I_{21}$ . Ab einer Verzögerung von 100  $\mu$ s zwischen spannungslosem Abschalten und Fehlereintritt ist beim IGBT  $I_{21}$  kein KS V mehr feststellbar. In diesem Zeitabschnitt fällt somit die Transition vom KS V || I\* + II + II zum KS I\* + II + II [31].

### 7.3.2 Kurzschlussfall IV ZC || I\* + III + III

Wie schon bei den vorherigen Serienschaltungen aus zweimal KS III bei Überspannungskurzschlüssen ist auch hier die Ausgangslage spiegelsymmetrisch zum KS V || I\* + II + II, vergleiche dazu Kapitel 7.1.2 und 7.2.2. Ausgehend vom Zustand  $0_{1+}$  oder  $0_{2+}$  fließt ein Laststrom über  $D_{12}$  und  $I_{31}$ . Mit einem Wechsel zum Zustand  $N_1$ , mit einem möglichen Zwischenschritt via  $0_{1-}$  oder  $0_{\pm}$ , werden die freien Ladungsträger aus dem IGBT, nicht aber aus der Diode entfernt. Das Durchbrechen von  $S_{11}$  führt dann unmittelbar zum Ausbilden des KS IV ZC für  $D_{12}$  und kurz darauf kommt es zum Serienkurzschluss aus KS I\* + II + II [31], analog zum Geschehen aus Kapitel 7.3.1.

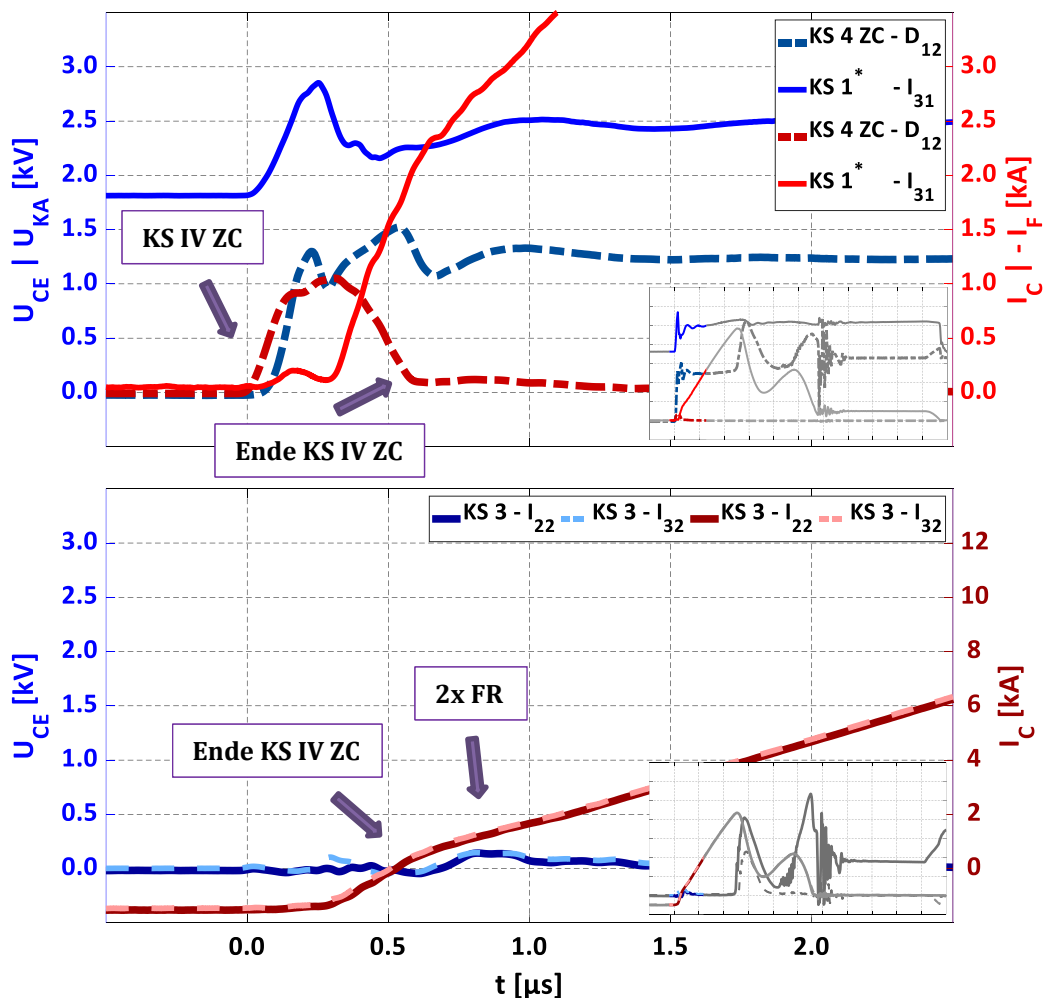


Abbildung 7-20: Messung des Überspannungskurzschlusses KS IV ZC || I\* + III + III gemessen bei  $U_{DC} = 1,8 \text{ kV}$ ,  $I_L = -1,5 \text{ kA}$ ,  $L_\sigma$  siehe Teststandlayout,  $t_{D,KS} = 15 \mu\text{s}$  (unterschiedliche Skalierung der Ordinaten für Strom)

Die Messung des KS IV ZC || I\* + III + III aus Abbildung 7-20 zeigt die Gemeinsamkeiten dieses Falls mit dem KS V || I\* + II + II aus dem vorherigen Kapitel auf.

Das Durchbrechen von  $S_{11}$  läutet den KS IV ZC der Diode  $D_{12}$  unmittelbar ein [31]. Sobald sie nach einer gewissen Entnahme von Plasma Spannung aufnimmt, steigt damit auch der Wert von  $U_{CE}$  des  $I_{31}$  ab circa 60 ns an. Dies geschieht also früher, als beim vergleichbaren KS V des  $I_{21}$  im vorherigen Kapitel 7.3.1. Die freien Ladungsträger sind demnach geringer in der Diode als im IGBT. Ursache hierfür dürften die allgemeinen Unterschiede zwischen KS IV ZC und KS V aus dem Kapitel 4 sein. Die deutliche Verzerrung der Strommessung des KS IV ZC in der Literatur zum Überspannungskurzschlusses [31] konnte durch eine Nachmessung des Fehlerfalles hier eliminiert werden. Die Ursache war ein fehlerhafter Stromsensor, der nicht ausreichend vor den elektro-magnetischen Interferenzen geschützt war.

Ab 250 ns greift der Überspannungsschutz des  $S_{31}$  ein und es bildet sich der zweite Strompfad über die drei anderen Halbleiter aus, siehe Abbildung 7-20. Für einen kurzen Zeitraum von mehr als 500 ns liegen die beiden Kurzschlusskreise parallel zueinander. Der Hauptteil des Diodenplasmas ist bis  $0,6 \mu\text{s}$  ausgeräumt worden. Auf Grund dessen kommt es in diesem Zeitraum zu einer Änderung der beiden Stromanstiege, wie die Messung aus Abbildung 7-20 deutlich aufzeigt. Danach reduziert sich der KS IV ZC  $\parallel I^* + III + III$  praktisch zur Variante des KS  $I^* + III + III$ . Die Verläufe der beiden Fehlerfälle sind ab  $1,0 \mu\text{s}$  nahezu identisch zueinander, vergleiche auch [31] und Kapitel 7.1.2.

Analog zu den Kapiteln 7.1.3 und 7.2.2 besteht auch hier wiederum die Möglichkeit, dass ein hypothetisches Konstrukt mit KS IV ZC  $\parallel I^* + IV + IV$  oder KS II ZC  $\parallel I^* + [III +] IV$  als Resultat existieren kann [31]. Jedoch ist das Auftreten eines KS  $I^* + IV + IV$  schon relativ selten, da es nur in der Phase des Stromfreilaufs möglich ist [28]. Dass dann die Konstellation auftreten kann, bei der zeitgleich noch in der Diode  $D_{12}$  freie Ladungsträger vorliegen, ist noch unwahrscheinlicher. Dieselbe Argumentation gilt auch für das Ausbilden des KS IV in Serie zu dem Pseudo - KS III mit einem parallelen KS IV ZC. Auf Grund dessen wird hier nicht weiter auf diese zwei zusätzlichen Überspannungskurzschlüsse mit Plasmaeinfluss eingegangen. Dazu weiterführende Literatur gibt den Verlauf der Kurzschlüsse inklusive Analyse wieder [31].

## 8 Auswirkungen der Kurzschlüsse

Nicht nur die möglichen Kurzschlüsse im ANPC-Dreipunktumrichter an sich sind eine Herausforderung, sondern auch die sich daran anschließenden Probleme. Daher ist es im Projekt FetConWind das Ziel gewesen, die eintretenden Fehler zu reduzieren und eine teilweise Weiternutzung des Umrichters zu gewährleisten [50]. Nach dem Abschalten des Kurzschlusses und aller Halbleiter im Zweipunktumrichter kommt es in Verbindung mit einer elektrischen Maschine als Last dazu, dass diese einen hohen Fehlerstrom, den sogenannten Stoßstrom, durch die Freilaufdioden forciert [32]. Der Stoßstrom ist dabei um mehrere Faktoren größer als der nominale Strom und belastet dementsprechend die Dioden merklich [161]. Obendrein wird die elektrische Maschine einer hohen mechanischen Belastung durch das resultierende Drehmoment ausgesetzt [104]. Genauso gut können Stoßströme bei Umrichtern mit Netzanbindung auftreten [3]. Dieser Stoßstrom ist im Dreipunktumrichter nur dann möglich, wenn mindestens zwei Halbleiter, die in einer bestimmten Konstellation zueinander stehen, ausgefallen sind [161]. Bei nur einem durchgebrochenen Schalter kann es im Gegensatz zum Zweipunktumrichter zu keinem Fehlerstrom kommen [50]. Dabei wird zwischen drei Varianten des Stoßstromes unterschieden: die symmetrische und asymmetrische Ausführung sowie der Stoßstrom mit Gegenspannung [161]. Alle drei Varianten sind in einem ANPC-Dreipunktumrichter mit Netzanschluss und einer gesamten Zwischenkreisspannung von 3,6 kV mit einem nominellen Phasenstrom von 1,5 kA hier simuliert worden, um die auftretenden Effekte zeigen zu können.

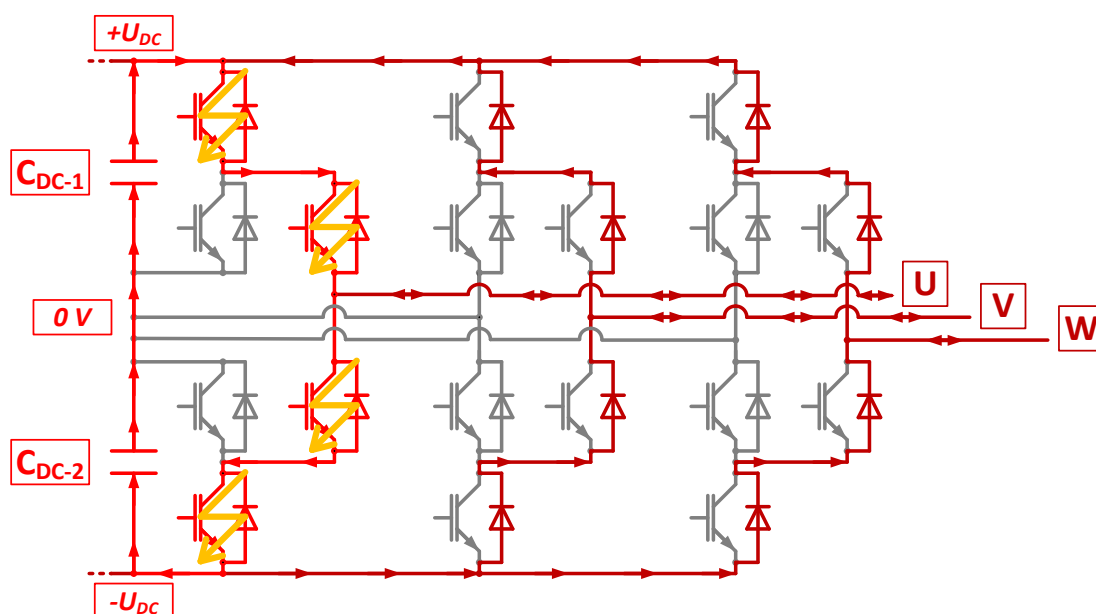


Abbildung 8-1: Symmetrischer Stoßstrom im ANPC-Dreipunktumrichter

Beim symmetrischen Stoßstrom kann der Stromfluss in der defekten Phase in beide Richtungen ungehindert fließen, siehe [32], Abbildung 8-1 sowie Abbildung 8-2. Dazu muss im Zweipunktumrichter entweder die gesamte Halbbrücke kurzgeschlossen sein, oder aktiv alle oberen Halbleiter oder alle unteren Halbleiter in den restlichen beiden Phasen eingeschaltet werden [104]. Im ANPC-Dreipunktumrichter wird dafür ein Fehler benötigt, durch den ein Kurzschluss zwischen dem positiven und negativen Potential des Zwischenkreises ermöglicht wird. Infolgedessen müssen also  $S_{11}$ ,  $S_{22}$ ,  $S_{31}$  und  $S_{32}$  durchgebrochen sein, um einen symmetrischen Stoßstrom verursachen zu können, siehe Abbildung 8-1. Als Resultat tritt ein Stromfluss zwischen dem Umrichter und der dreiphasigen Last ein, der in der Simulation aus Abbildung 8-2 einen fünffachen Wert des nominalen Laststromes im stationären Zustand erreichen kann. Wie hoch der Fehlerstrom ausfällt, hängt dabei unter anderem von der Impedanz des Netzfilters oder der elektrischen Maschine ab. Alternativ liegt auch ein symmetrischer Stoßstrom vor, wenn die Schalter  $S_{11}$  und  $S_{31}$ , beziehungsweise  $S_{22}$  und  $S_{32}$ , in jeder Phase entweder durchgebrochen sind, oder aktiv eingeschaltet werden [104].

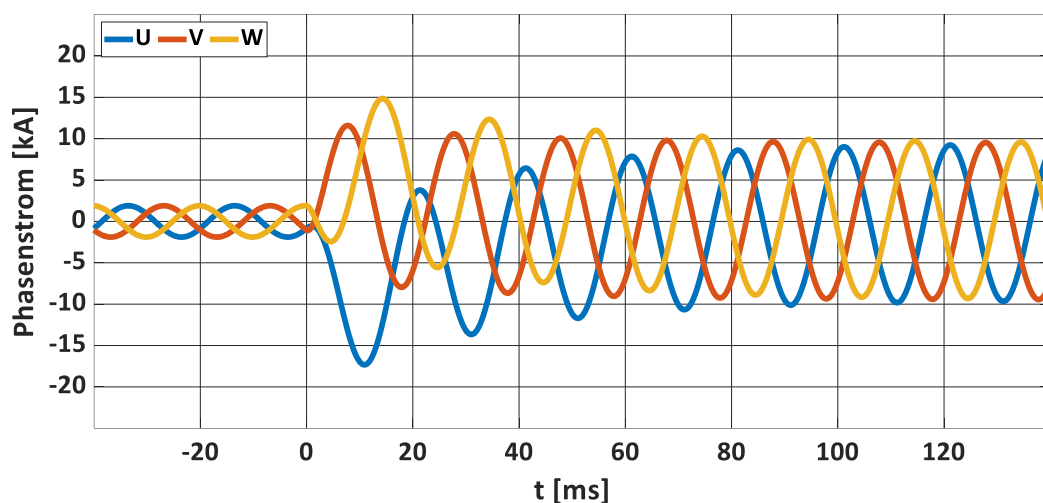


Abbildung 8-2: Symmetrischer Stoßstrom im ANPC-Dreipunktumrichter (simuliert)

Wenn der Stromfluss in der defekten Phase nur in eine Richtung möglich ist, liegt ein asymmetrischer Fehler vor, siehe [32], Abbildung 8-3 sowie Abbildung 8-4. Im Zweipunktumrichter hieße das, dass in der betroffenen Phase einer der Halbleiter kurzgeschlossen wäre, in den anderen beiden würden die Freilaufdioden leiten [108]. Beim ANPC-Dreipunktumrichter wäre für das Eintreten des asymmetrischen Stoßstromes ein Versagen von  $S_{11}$  und  $S_{31}$  respektive  $S_{22}$  und  $S_{32}$  nötig, siehe Abbildung 8-3. Diese beiden Kombinationen sind als Resultat beispielsweise eines vorangegangenen Überspannungskurzschlusses eher wahrscheinlich als ein Ausfall von vier Halbleitern für den symmetrischen Fall. Beim asymmetrischen Fehler kommt es zu deutlich höheren Stoßströmen, die sich in Ausnahmesituationen im Bereich des Zwanzigfachen des Laststromes bewegen

können [108]. In der hier durchgeführten Simulation aus Abbildung 8-4 liegt ein Faktor des Zwölffachen zwischen Last- und Stoßstrom vor.

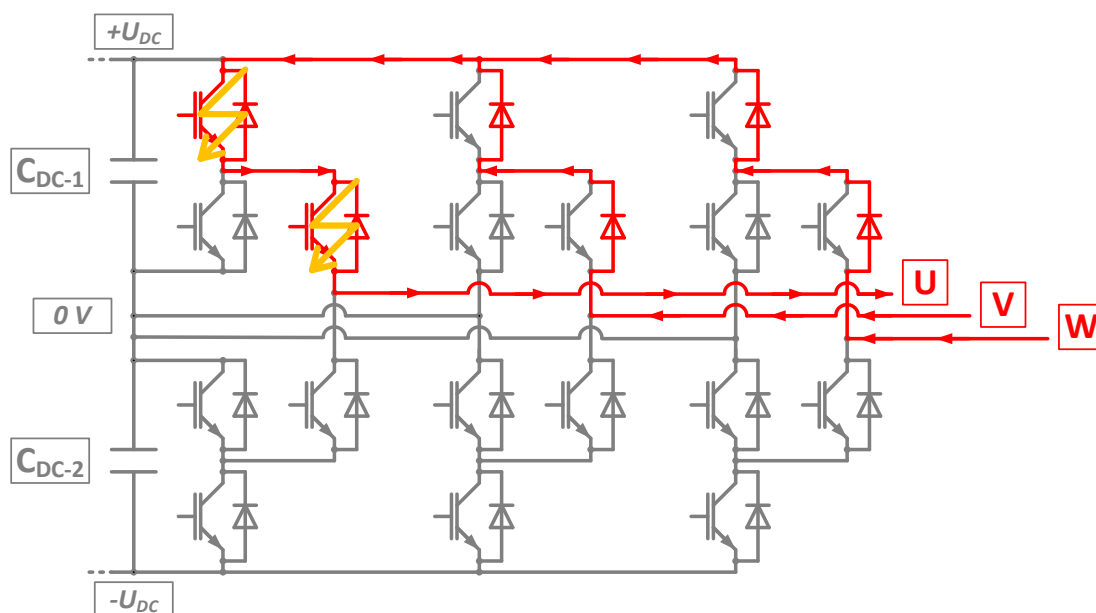


Abbildung 8-3: Asymmetrischer Stoßstrom im ANPC-Dreipunktumrichter

Im Gegensatz zum symmetrischen Stoßstrom weisen die dreiphasigen Fehlerströme im asymmetrischen Fall einen hohen Gleichstromoffset auf. In der Simulation hat beispielsweise die Phase *U* einen Offset von 9 kA, siehe Abbildung 8-4. Es kommt beim Einsatz einer elektrischen Maschine dann zu einem belastenden Drehmoment außerhalb der Spezifikation [161]. Zur Vermeidung dieser Beanspruchung gibt es die Empfehlung, den asymmetrischen in einen symmetrischen Fall umzuwandeln [32]. Die Herausforderung hierbei ist es, zu verhindern, dass bei den auftretenden hohen Stoßströmen die IGBTs entsättigen [104]. Zur Lösung dieses nachgelagerten Problems wurde vorgeschlagen, besagte Halbleiter mit erhöhter Treiberspannung von bis zu +50 V aktiv einzuschalten [108].

Die dritte Variante an Stoßströmen kann nur in ANPC-Dreipunktumrichtern oder Umrichtern mit ähnlicher Struktur auftreten, siehe [161], Abbildung 8-5 sowie Abbildung 8-6. Der Fehlerstrom kann nach dem Ausfall von  $S_{11}$  und  $S_{12}$ , beziehungsweise  $S_{21}$  und  $S_{22}$ , nur über einen der beiden Zwischenkreiskondensatoren fließen, so dass sich immer eine Gegenspannung im Stromkreis befindet. Infolgedessen fällt der Stoßstrom sogar um teilweise mehr als 20 % geringer aus, als es der nominale Laststrom vor dem Kurzschluss ist [161].



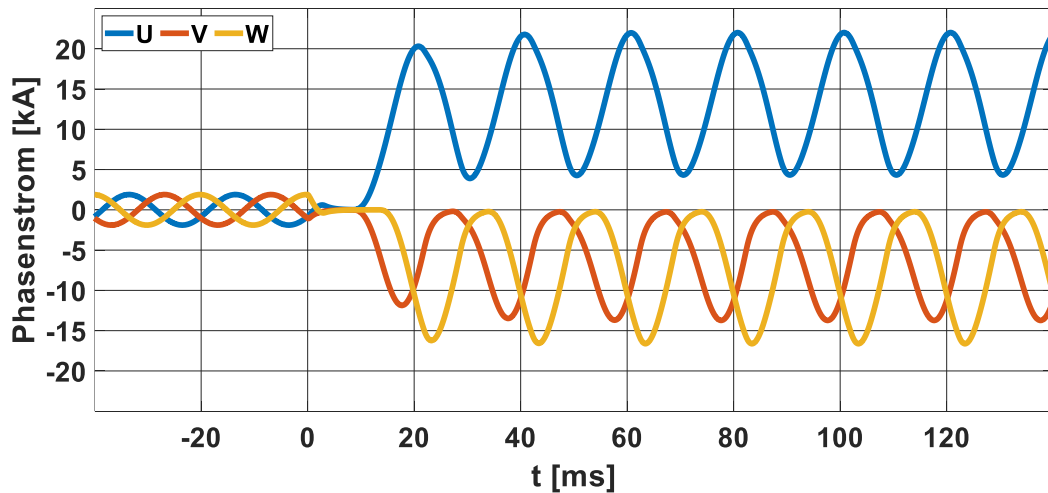


Abbildung 8-4: Asymmetrischer Stoßstrom im ANPC-Dreipunktumrichter (simuliert)

In der durchgeführten Simulation aus der vorliegenden Arbeit kommt es auf Grund anderer Parameter zu einer Zunahme des Fehlerstromes im Vergleich zum Laststrom um circa den Faktor drei, siehe Abbildung 8-6. Folglich beträgt beim Szenario mit Gegenspannung der Stoßstrom nur noch 56 % vom Wert des Stromes im symmetrischen Fall in der Simulation. Bezogen auf den asymmetrischen Fehler ist der Stoßstrom mit der Existenz einer Gegenspannungsquelle auf 24 % abgesunken.

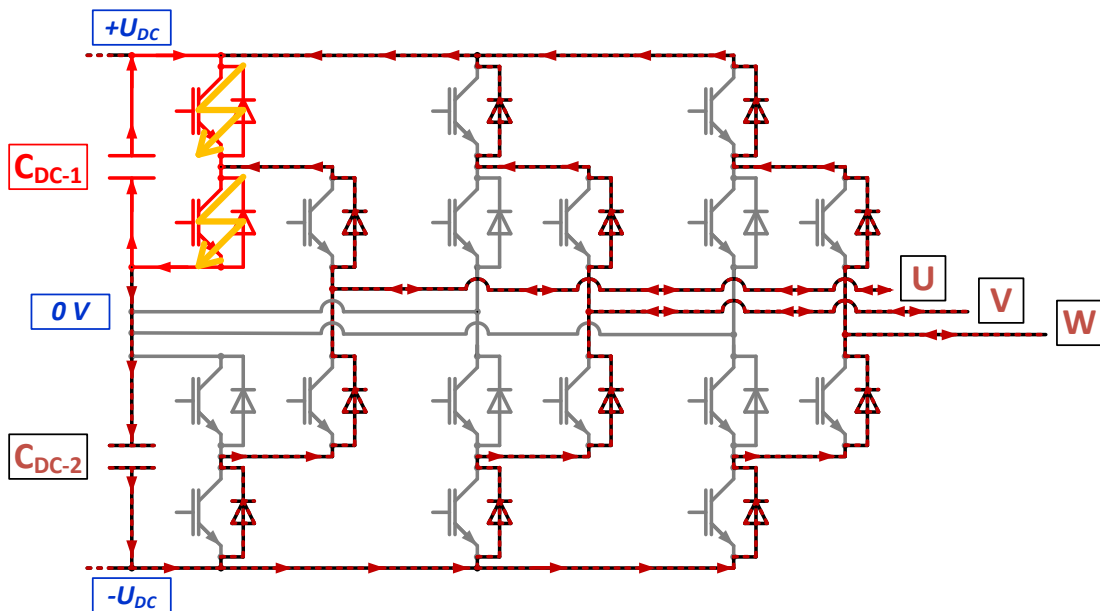


Abbildung 8-5: Stoßstrom mit Gegenspannung im ANPC-Dreipunktumrichter

Der Stoßstrom mit Gegenspannungsquelle ist daher die beste der drei möglichen Varianten, sollte der Ausfall eines weiteren Halbleiters nach dem primären Fehler eintreten. Nachteilig ist jedoch, dass es zu einem kompletten Kurzschluss in einer Halbbrücke mit dem parallelen Zwischenkreiskondensator kommt, siehe

Abbildung 8-5. Des Weiteren kommt es zu einer Anhebung der Spannung über der nichtkurzgeschlossenen Kapazität (im Beispiel hier  $C_{DC-2}$ ) [161]. Sollte dabei zusätzlich die Quelle, die den Zwischenkreis speist, nicht mit Detektieren des Fehlers abgetrennt oder abgeschaltet werden, würde sie weiterhin die Zwischenkreisspannung auf  $2x U_{DC}$  fixieren. Dadurch würde die Spannung über dem anderen Zwischenkreiskondensator bis auf den doppelten Wert ansteigen und es käme bei den verbliebenen Halbleitern zu Überspannungsproblemen mit letztendlicher Zerstörung des Umrichters [149].

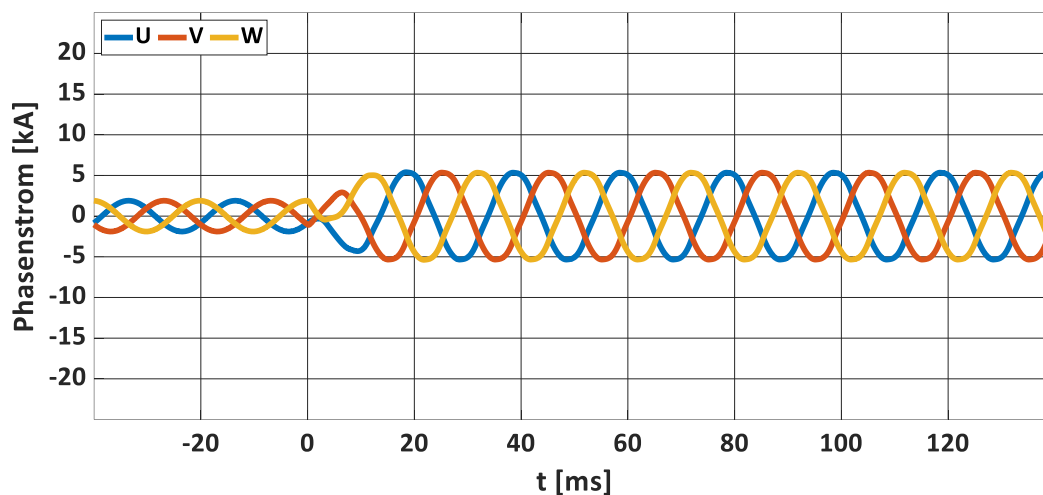


Abbildung 8-6: Stoßstrom mit Gegenspannung im ANPC-Dreipunktumrichter (simuliert)

Die Kurzschlüsse im ANPC-Dreipunktumrichter aus den Kapiteln 3 bis 7 haben aufgezeigt, dass die auftretenden Situationen unter Einsatz von Schutzbeschaltung und korrekter Abschaltreihenfolge beherrschbar sind. Jedoch besteht die Gefahr, dass es zu einem sekundären Versagen kommt, welches durch das Nichtüberstehen eines Kurzschlusses, durch Überspannungsprobleme bei dessen Abschaltvorgang oder durch das zu späte Eingreifen der Schutzbeschaltung bei den Überspannungsfällen ausgelöst wird. Daher wird in Tabelle 8-1 bis Tabelle 8-5 für die Schaltzustände des ANPC-Dreipunktumrichters, aufgelistet in Tabelle 2-1 und Abbildung 2-3, aufgezeigt, welcher primäre Halbleiterdurchbruch die entsprechenden Kurzschlüsse und die dazu wahrscheinlichsten sekundären Fehler verursacht. Daraus lässt sich dann ableiten, welche Art von Stoßstrom eintreten kann, falls dies überhaupt geschehen sollte (hellrote Markierung für den gefährlichen asymmetrischen Fall).

Des Weiteren wird aufgelistet, ob es zu einem zusätzlichen Problem durch den sekundären Halbleiterausfall kommen kann. Zum einen besteht die Möglichkeit, dass sich einer der Zwischenkreiskondensatoren vollständig in die beschädigte Halbbrücke entladen kann und dort durch die umgesetzte Energie weitere Zerstörungen verursacht, siehe [33] und Abbildung 8-5. Zum anderen ist es für das Thema der weiteren Verwendung des Umrichters nach einem Kurzschluss eine

probate Lösung, die beschädigte Phase dauerhaft auf das Null-Volt-Level zu legen [155]. Wie die nachfolgenden Tabellen jedoch aufzeigen, ist das nicht in jeder Konstellation beim ANPC-Dreipunktumrichters möglich (dunkelrot markiert).

Die Tabellen mit den Auswirkungen nach einem primären Halbleiterdurchbruch sind gegenüber den aufgezeigten Kurzschlüssen aus den Kapiteln 3 bis 7 um einen Punkt eingeschränkt worden. Alle Fehlerfälle unter Einbeziehung der Plasmakurzschlüsse der Typen KS IV ZC und KS V sind nicht integriert worden. Wie im Kapitel 4 aufgezeigt wurde, sind diese beiden Fälle nur in einem relativ kurzen Zeitraum von wenigen hundert Mikrosekunden möglich, bis das Plasma nach einem spannungslosem Abschalten von selbst rekombiniert ist [26]. Des Weiteren sind die Belastungen durch einen KS IV ZC oder einem KS V relativ gering im Vergleich zu den Fällen vom Typ KS I bis KS IV. Daher ist es eher unwahrscheinlich, dass ein IGBT oder eine Diode an einem Plasmakurzschluss versagt. Die Gefahr für dadurch verursachte sekundäre Fehler kann also vernachlässigt werden. Auf Grund dessen kann es keine Probleme hinsichtlich Stoßströmen oder dem dauerhaften Nutzen des Null-Volt-Pfades nach einem Fehlereintritt mit Plasma geben.

Die Darstellung der Schaltzustände mit positiver Phasenausgangsspannung ist nachfolgend gezeigt, siehe Abbildung 8-7.

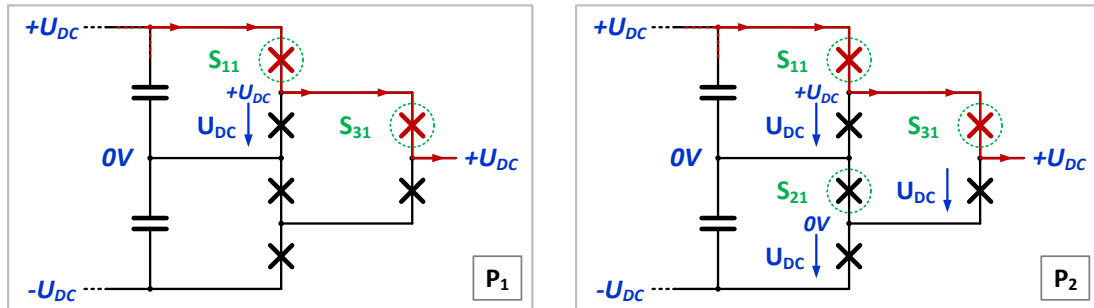


Abbildung 8-7: (Schalt-) Zustände für positive Phasenausgangsspannung

Diese zwei Schaltzustände verursachen je nach sekundärem Fehler die Probleme aus der Tabelle 8-1.

Tabelle 8-1: Auswirkungen bei einer positiven Phasenausgangsspannung

Nr.	Zustand	1.	Kurzschluss	2.	Gefahr	Stoßstrom
1	P <sub>1</sub>	S <sub>12</sub>	II	I <sub>11</sub>	C <sub>DC-1</sub>	gegen.
2	P <sub>1</sub>	S <sub>21</sub>	—	—	—	—
3	P <sub>1</sub>	S <sub>22</sub>	I* + II + II	I <sub>11</sub>	<del>0V</del>	—
4	P <sub>1</sub>	S <sub>22</sub>	I* + II + II	I <sub>31</sub>	<del>0V</del>	—
5	P <sub>1</sub>	S <sub>22</sub>	I* + II + II	S <sub>32</sub>	—	asym.
6	P <sub>1</sub>	S <sub>32</sub>	II + II	I <sub>11</sub>	<del>0V</del>	—
7	P <sub>1</sub>	S <sub>32</sub>	II + II	I <sub>31</sub>	<del>0V</del>	—
8	P <sub>2</sub>	S <sub>12</sub>	II	I <sub>11</sub>	C <sub>DC-1</sub>	gegen.
9	P <sub>2</sub>	S <sub>22</sub>	II ZC    I* + II + II	I <sub>11</sub>	<del>0V</del>	—
10	P <sub>2</sub>	S <sub>22</sub>	II ZC    I* + II + II	I <sub>21</sub>	C <sub>DC-2</sub>	gegen.
11	P <sub>2</sub>	S <sub>22</sub>	II ZC    I* + II + II	I <sub>31</sub>	<del>0V</del>	—
12	P <sub>2</sub>	S <sub>22</sub>	II ZC    I* + II + II	S <sub>32</sub>	—	asym.
13	P <sub>2</sub>	S <sub>32</sub>	II + II	I <sub>11</sub>	<del>0V</del>	—
14	P <sub>2</sub>	S <sub>32</sub>	II + II	I <sub>31</sub>	<del>0V</del>	—

Die Darstellung der Schaltzustände mit positivem Null-Volt-Pfad ist nachfolgend gezeigt, siehe Abbildung 8-8.

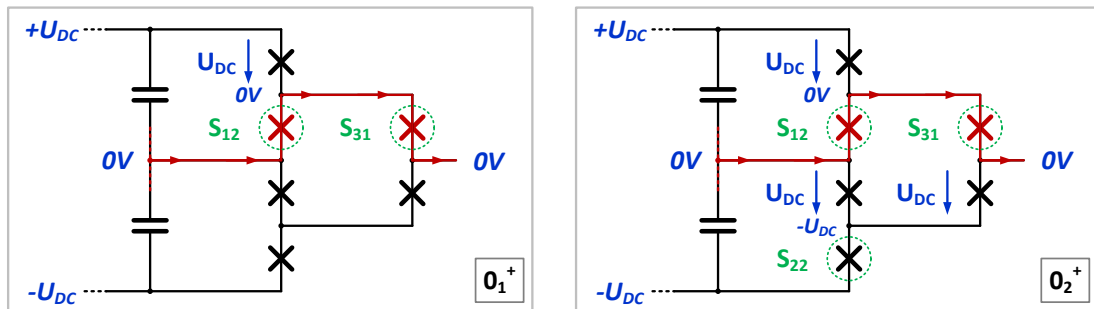


Abbildung 8-8: (Schalt-) Zustände für Phasenausgangsspannung mit (plus) null Volt

Diese zwei Schaltzustände mit positivem Null-Volt-Pfad verursachen je nach sekundärem Fehler die Probleme aus der Tabelle 8-2.

Tabelle 8-2: Auswirkungen bei einer Phasenausgangsspannung mit (plus) null Volt

Nr.	Zustand	1.	Kurzschluss	2.	Gefahr	Stoßstrom
15	0 <sub>1</sub> <sup>+</sup>	S <sub>11</sub>	III	S <sub>12</sub>	C <sub>DC-1</sub>	gegen.
16	0 <sub>1</sub> <sup>+</sup>	S <sub>21</sub>	—	—	—	—
17	0 <sub>1</sub> <sup>+</sup>	S <sub>22</sub>	—	—	—	—
18	0 <sub>1</sub> <sup>+</sup>	S <sub>32</sub>	—	—	—	—
19	0 <sub>2</sub> <sup>+</sup>	S <sub>11</sub>	III	S <sub>12</sub>	C <sub>DC-1</sub>	gegen.
20	0 <sub>2</sub> <sup>+</sup>	S <sub>21</sub>	II ZC	I <sub>22</sub>	C <sub>DC-2</sub>	gegen.
21	0 <sub>2</sub> <sup>+</sup>	S <sub>32</sub>	II + II ZC	I <sub>22</sub>	—	asym.
22	0 <sub>2</sub> <sup>+</sup>	S <sub>32</sub>	II + II ZC	I <sub>31</sub>	<del>0V</del>	—

Die Darstellung der Schaltzustände mit negativem Null-Volt-Pfad ist nachfolgend gezeigt, siehe Abbildung 8-9.

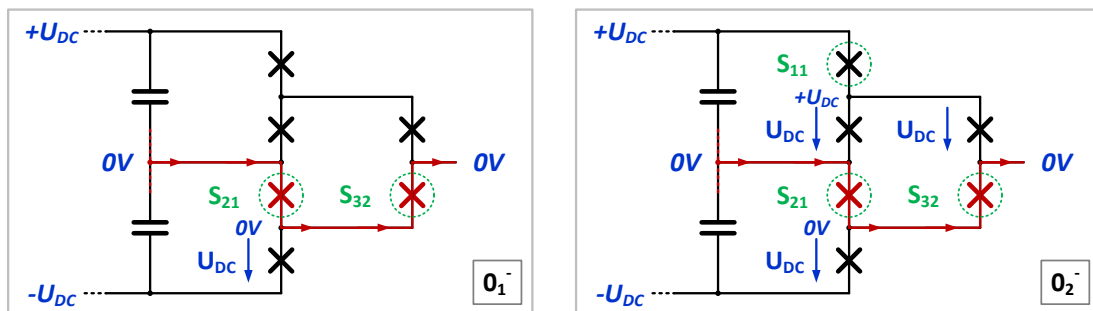


Abbildung 8-9: (Schalt-) Zustände für Phasenausgangsspannung mit (minus) null Volt

Diese zwei Schaltzustände mit negativem Null-Volt-Pfad verursachen je nach sekundärem Fehler die Probleme aus der Tabelle 8-3.

Tabelle 8-3: Auswirkungen bei einer Phasenausgangsspannung mit (minus) null Volt

Nr.	Zustand	1.	Kurzschluss	2.	Gefahr	Stoßstrom
23	01 <sup>-</sup>	S11	—	—	—	—
24	01 <sup>-</sup>	S12	—	—	—	—
25	01 <sup>-</sup>	S22	II	S21	C <sub>DC-2</sub>	gegen.
26	01 <sup>-</sup>	S31	—	—	—	—
27	02 <sup>-</sup>	S12	II ZC	I11	C <sub>DC-1</sub>	gegen.
28	02 <sup>-</sup>	S22	II	I21	C <sub>DC-2</sub>	gegen.
29	02 <sup>-</sup>	S31	III + II ZC	I11	—	asym.
30	02 <sup>-</sup>	S31	III + II ZC	I32	<del>0V</del>	—

Die Darstellung der Schaltzustände mit positiver Phasenausgangsspannung ist nachfolgend gezeigt, siehe Abbildung 8-10.

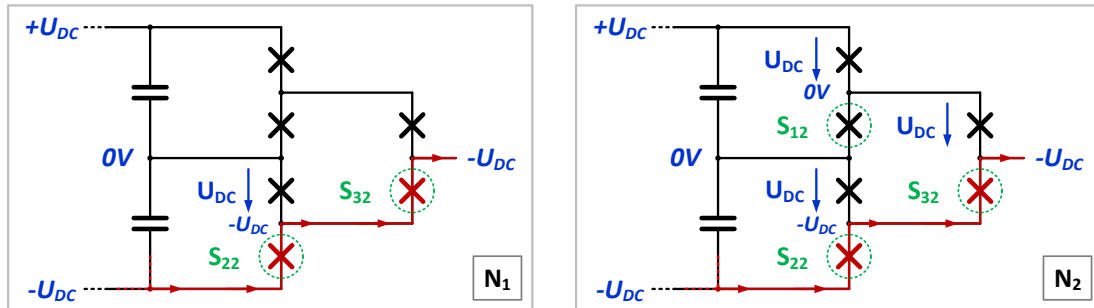


Abbildung 8-10: (Schalt-) Zustände für negative Phasenausgangsspannung

Diese zwei Schaltzustände mit negativer Phasenausgangsspannung verursachen je nach sekundärem Fehler die Probleme aus der Tabelle 8-4.

Tabelle 8-4: Auswirkungen bei einer negativen Phasenausgangsspannung

Nr.	Zustand	1.	Kurzschluss	2.	Gefahr	Stoßstrom
31	N <sub>1</sub>	S <sub>11</sub>	I* + III + III	S <sub>22</sub>	<del>0V</del>	—
32	N <sub>1</sub>	S <sub>11</sub>	I* + III + III	S <sub>31</sub>	—	asym.
33	N <sub>1</sub>	S <sub>11</sub>	I* + III + III	S <sub>32</sub>	<del>0V</del>	—
34	N <sub>1</sub>	S <sub>12</sub>	—	—	—	—
35	N <sub>1</sub>	S <sub>21</sub>	III	S <sub>22</sub>	C <sub>DC-2</sub>	gegen.
36	N <sub>1</sub>	S <sub>31</sub>	III + III	S <sub>22</sub>	<del>0V</del>	—
37	N <sub>1</sub>	S <sub>31</sub>	III + III	S <sub>32</sub>	<del>0V</del>	—
38	N <sub>2</sub>	S <sub>11</sub>	II ZC    I* + III + III	I <sub>12</sub>	C <sub>DC-1</sub>	gegen.
39	N <sub>2</sub>	S <sub>11</sub>	II ZC    I* + III + III	S <sub>22</sub>	<del>0V</del>	—
40	N <sub>2</sub>	S <sub>11</sub>	II ZC    I* + III + III	S <sub>31</sub>	—	asym.
41	N <sub>2</sub>	S <sub>11</sub>	II ZC    I* + III + III	S <sub>32</sub>	<del>0V</del>	—
42	N <sub>2</sub>	S <sub>21</sub>	III	S <sub>22</sub>	C <sub>DC-2</sub>	gegen.
43	N <sub>2</sub>	S <sub>31</sub>	III + III	S <sub>22</sub>	<del>0V</del>	—
44	N <sub>2</sub>	S <sub>31</sub>	III + III	S <sub>32</sub>	<del>0V</del>	—

Die Darstellung der Sonderfälle an Schaltzuständen (Freilaufpfad des Laststromes & doppelter Null-Volt-Pfad) ist nachfolgend gezeigt, siehe Abbildung 8-11.

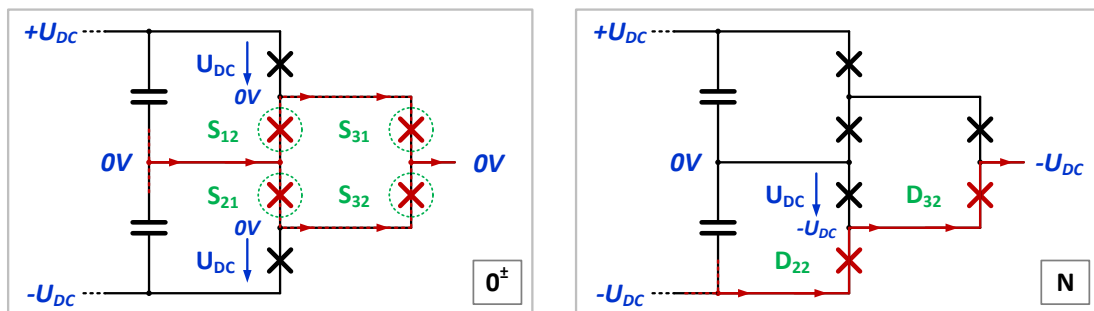


Abbildung 8-11: Sonderfälle an (Schalt-) Zuständen

Diese zwei Sonderfälle an Schaltzuständen verursachen je nach sekundärem Fehler die Probleme aus der Tabelle 8-5.

Tabelle 8-5: Auswirkungen bei Sonderfällen

Nr.	Zustand	1.	Kurzschluss	2.	Gefahr	Stoßstrom
45	0±	S11	III    II + III	S12	C <sub>DC-1</sub>	gegen.
46	0±	S11	III    II + III	S31	—	asym.
47	0±	S11	III    II + III	S32	<del>0V</del>	—
48	0±	S22	II    II + III	S21	C <sub>DC-2</sub>	gegen.
49	0±	S22	II    II + III	S31	<del>0V</del>	—
50	0±	S22	II    II + III	S32	—	asym.
51	N	S11	I* + IV + IV	D22	<del>0V</del>	—
52	N	S11	I* + IV + IV	S31	—	asym.
53	N	S11	I* + IV + IV	D32	<del>0V</del>	—
54	N	S12	—	—	—	—
55	N	S21	IV	D22	C <sub>DC-2</sub>	gegen.
56	N	S31	IV + IV	D22	<del>0V</del>	—
57	N	S31	IV + IV	D32	<del>0V</del>	—



Die Situationen, bei denen es zu einem asymmetrischen Stoßstrom kommt, lassen sich in zwei Gruppen aufteilen. Zum einen gibt es die Fälle, bei denen  $S_{11}$  oder  $S_{22}$  durchbricht und es für die sich dazu seriell befindenden Schalter  $S_{31}$  und  $S_{32}$  zum Überspannungsproblem kommt (Nummer 5 / 12 / 32 / 40 / 52). Sollten diese Halbleiter entsprechend schnell durch das AGC aufgesteuert werden, kommt es zu den Überspannungskurzschlüssen aus dem Kapitel 7. Geschieht dies nicht rechtzeitig, oder die Schutzbeschaltung ist dazu nicht in der Lage, dann fallen als sekundäre Fehler  $S_{31}$  oder  $S_{32}$  aus und es kommt zum asymmetrischen Stoßstrom. Die Lösung ist daher, dass für diese beiden Schalter eine entsprechend dimensionierte Überspannungsschutzbeschaltung implementiert sein muss, vergleiche dazu auch Kapitel 7 mit 10.2. Zum anderen gibt es Kombinationen, bei denen ein serieller oder paralleler Kurzschluss zu einem asymmetrischen Stoßstrom führen kann (Nummer 21 / 29 / 46 / 50). Auch hier sind nur die Schalter  $S_{11}$ ,  $S_{22}$ ,  $S_{31}$  und  $S_{32}$  betroffen. Das Problematische dabei ist, dass die sekundären Fehler durch ein Versagen des Halbleiters bei einem KS II oder KS III verursacht werden würden. Besonders der zweite Kurzschlussfall stellt dabei ein kritisches Problem dar, siehe Kapitel 3.2. Die Lösung wäre hierbei, auf die Schaltzustände  $0_{2+}$ ,  $0_{2-}$  und  $0_{\pm}$  zu verzichten und stattdessen nur die Nullzeiger  $0_{1+}$  und  $0_{1-}$  zu verwenden. Dies führt aber zu Einschränkungen in den möglichen Steuerungsverfahren für den ANPC-Dreipunktumrichter, vergleiche dazu [47] und Kapitel 2.2.

Sollte dies nicht möglich sein, dann böte sich noch die Lösung an, die asymmetrischen Stoßströme in ihr symmetrisches Pendant umzuwandeln [104]. Dazu müssen jedoch zum einen die besagten vier Schalter mit einer entsprechenden Kurzschlussdetektion ausgestattet werden, beispielsweise beschrieben in [65] oder [73]. Zum anderen gibt es dann zwei Möglichkeiten zur Ausführung des symmetrischen Stoßstromes. Zum einen können  $S_{11}$ ,  $S_{22}$ ,  $S_{31}$  und  $S_{32}$  in der betroffenen Phase eingeschaltet werden, welches aber einen Kurzschluss unter Einbeziehung von beiden Zwischenkreiskondensatoren mit möglichen tertiären Ausfällen provoziert, siehe Abbildung 8-1. Zum anderen können auch alle Schalter  $S_{11}$  und  $S_{31}$ , beziehungsweise  $S_{22}$  und  $S_{32}$ , in den anderen zwei Phasen aktiv eingeschaltet werden. Bei dieser Konstellation würde ein Kurzschluss unter Beteiligung der Zwischenkreiskondensatoren nicht auftreten, jedoch werden nun die Halbleiter in allen drei Phasen massiv beansprucht und könnte somit tertiäre Ausfälle provozieren.

Seit jeher gibt es die Bestrebung, die Umrichter nach einem Halbleiterfehler weiter betreiben zu können [71]. Diverse Konzepte wie beispielsweise der Einsatz einer vierten Phase [162], der Einbau von Sicherungen [163] beziehungsweise zusätzliche Schalter zum Überbrücken der Fehlerstelle [164] sind für Zweipunktumrichter entworfen und auch zum Teil auf Dreipunktumrichter adaptiert worden, siehe [165] oder [166]. Jedoch ist bei den allermeisten Arbeiten zu

diesem Thema immer die fundamentale Annahme getroffen worden, dass nur ein Schalter zerstört wird. Das dies prinzipiell möglich ist, aber nur unter bestimmten Konditionen (kurzschlussrobuster IGBT, Schutzbeschaltung, bestimmte Ausschaltreihenfolge, etc.) gilt, haben die Kapitel 3 bis 7 aufgezeigt. Per se ist die Annahme, dass ein Halbleiterfehler nur einen Schalter betrifft, jedoch nicht haltbar. Bleibt es beim Ausfall nur eines Halbleiters, dann bietet der ANPC-Dreipunktumrichter eine Lösung an, die sich von den davor vorgestellten dadurch abhebt, dass keine zusätzlichen Bauteile benötigt werden. Die beschädigte Phase wird dauerhaft auf das Null-Volt-Level geschaltet [15]. Durch diese Idee kann mit entsprechend angepasster Ansteuerung der zwei restlichen Phasen weiterhin eine dreiphasige Wechselspannung erzeugt werden [155]. Jedoch verringert sich der mögliche Modulationsindex auf circa 0,577 und damit die verkettete Ausgangsspannung des Umrichters [76]. Des Weiteren wird die Anzahl an verfügbaren Raumzeigern von 27 auf 9 reduziert [156] und die Symmetrierung der Spannung über den beiden Zwischenkreiskondensatoren zur Gewährleistung der null Volt wird erschwert [75]. Auch muss gewährleistet werden, dass kein Null-Volt-Pfad gewählt wird, der zu einem zusätzlichen Kurzschluss führt. Sollte der Schalter  $S_{11}$  ausfallen, dann darf nicht der Zustand  $0_{1+}$  oder  $0_{2+}$  angesteuert werden, sondern nur der gegenüberliegende Pfad mit  $0_{1-}$  oder  $0_{2-}$  verwendet werden. Das gleiche gilt invers für den Durchbruch von  $S_{22}$ . Bei einem Ausfall von  $S_{12}$ ,  $S_{21}$ ,  $S_{31}$  oder  $S_{32}$  wäre die einfachste Lösung, alle vier Schalter zum Erzielen des Zustandes  $0^{\pm}$  einzuschalten. Eine Lokalisierung des durchgebrochenen Halbleiters wird daher zwingend benötigt. Dagegen ist bei einem Kurzschluss einer Halbbrücke parallel zum Zwischenkreiskondensator gewährleistet, dass immer noch einer der beiden Null-Volt-Pfade davon nicht betroffen ist. Beispielsweise kann bei einem Versagen von  $S_{11}$  und  $S_{12}$  das Null-Volt-Level an die Phasenausgangsspannung über  $S_{21}$  und  $S_{32}$  geleitet werden.

In diversen Arbeiten zu Ausfällen in Umrichtern wird auch die Thematik besprochen, dass das Versagen eines Halbleiters so geschieht, dass es bei seiner Position in der Phase zu einer Unterbrechung des Stromkreises anstatt eines Durchbruches kommt, vergleiche dazu [74] und [163]. Sollte dies als primärer Fehler geschehen, so kann die Phase ohne Probleme den Null-Volt-Pfad dauerhaft einsetzen. Je nach Fehlerort (gilt nicht für  $S_{11}$  oder  $S_{22}$ ) ist es sogar möglich, den ANPC-Dreipunktumrichter noch als NPC-Varianten weiter zu betreiben [76]. Tritt die Unterbrechung des Stromkreises durch einen Halbleiter als sekundärer Fehler auf, so ist das gegenüber Kurzschlüssen deutlich unproblematischer. Ein Stoßstrom oder das Entladen eines der Zwischenkreiskondensatoren kann hierbei nicht auftreten. Auch die Lösung des permanenten Null-Volt-Pfades nach dem Fehler kann nahezu uneingeschränkt durchgeführt werden [156]. Nur bei einem Ausfall von  $S_{31}$  und zugleich  $S_{32}$  ist dies ohne den Einsatz von zusätzlichen Bauteilen im Umrichter (siehe nachfolgenden Abschnitt) nicht mehr möglich.

Die in diesem Kapitel durchgeführten Analysen hinsichtlich sekundärer Fehler haben aber aufgezeigt, dass mit einem Ausfall eines zweiten Schalters die betroffene Phase das Null-Volt-Level nicht immer gewährleisten kann [14]. Würden  $S_{11}$  und  $S_{22}$  versagen, dann kann keiner der beiden Null-Volt-Pfade mehr eingesetzt werden und eine weitere Verwendung des Umrichters ist unmöglich geworden. Dieses Problem kann bei einigen Varianten der Überspannungskurzschlüsse auftreten (Nummer 3 / 9 / 31 / 39 / 51). Eine Lösung durch Einsatz alternativer Schaltzustände gibt es hier nicht, da diese Fehlersituation in beiden Schaltzuständen für jeweils die positive oder negative Phasenausgangsspannung auftritt. Nahezu dasselbe Problem tritt auf, wenn es zu einem Ausfall von  $S_{11}$  und  $S_{32}$  (Nummer 6 / 13 / 33 / 41 / 47 / 53) beziehungsweise  $S_{22}$  und  $S_{31}$  (Nummer 4 / 11 / 36 / 43 / 49 / 56) kommt. Diese Situationen führen dazu, dass einer der beiden Null-Volt-Pfade einen Kurzschluss auslösen würde, und der andere einen der ausgefallenen Halbleiter aufweisen würde. Nur wenn dieses Bauteil im Fehlerzustand die Eigenschaft aufweist, dauerhaft kurzgeschlossen zu sein [167], könnte hier wieder ein Null-Volt-Pfad sicher angesteuert werden. Allerdings besitzen viele Halbleiter, wie beispielsweise die, die in dieser Arbeit eingesetzt wurden, diese Fähigkeit nicht [57]. Es kann also sein, dass der ausgefallene Halbleiter einen undefinierten Zustand zwischen kurzgeschlossen und unendlicher Impedanz aufweist und der Null-Volt-Pfad dadurch keine Option mehr darstellt.

Als letztes gibt es das Problem, wenn die Ausgangshalbbrücke, bestehend aus  $S_{31}$  und  $S_{32}$ , beide Schalter verliert (Nummer 7 / 14 / 22 / 30 / 37 / 44 / 57). Auch hier wäre der Einsatz eines Null-Volt-Pfades nur mit dauerhaft kurzgeschlossenen Halbleitern möglich. Die andere Lösung zur Weiternutzung des Umrichters bei denjenigen Schaltzuständen, die die Strategie mit einem Null-Volt-Pfad verhindern (dies betrifft circa 42 % der Situationen), bestünde in zusätzlichen Schaltern, die den Phasenausgang hart mit dem Nullpunkt des ANPC-Dreipunktumrichters verbinden [155]. Diese Option bedeutet aber einen Mehraufwand an Halbleitern, zusätzlichen Steuerschaltungen und eine kompliziertere Verschaltung. Zusammengefasst gilt damit, dass der ANPC-Dreipunktumrichter bei einem Ausfall von zwei Halbleitern in einer Phase nicht immer weiterbetrieben werden kann [14]. Hinfällig wird das Ganze, wenn ein tertiärer Fehler eintreten sollte. Dann dürfte meistens ein Stoßstrom eintreten und die weitere Nutzung des Umrichters obsolet geworden sein.

## 9 Zusammenfassung

Die Halbleiterfehler im oft eingesetzten Zweipunktumrichter sind bis heute ausführlich untersucht worden. Ein Wechsel auf den ANPC-Dreipunktumrichter vergrößert die Anzahl von Schaltern pro Phase von zwei auf sechs. Zusätzlich existiert ein drittes Spannungsniveau und der Umrichter weist obendrein die Möglichkeit auf, dieses Null-Volt-Level durch zwei unterschiedliche Pfade am Lastanschluss bereit zu stellen. Als Konsequenz wird dadurch die Anzahl an möglichen Fehlersituationen von den bekannten vier im Zweipunktumrichter auf über dreißig im ANPC-Dreipunktumrichter vergrößert. Das hat auch dazu geführt, dass bis dato unbekannte Fälle, wie beispielsweise die parallelen Kurzschlüsse, entdeckt worden sind. Die vorliegende Arbeit zeigt dabei auf, dass die in diesem Mehrpunktumrichter auftretenden Kurzschlüsse in fünf Kategorien anhand ihrer Charakteristik im Fehlerfall gruppiert werden können.

In der ersten Gruppe sind die vier bekannten Einzelkurzschlüsse des Zweipunktumrichters, die genauso im Dreipunktumrichter auftreten können. Ihr Eintreten führt neben der Belastung des betroffenen Halbleiters im Mehrpunktumrichter dazu, dass sich die Potentiale über weiteren Halbleitern verändern. Dieses kann wiederum zu Überspannungsproblemen für das Bauteile führen. Zu den Kurzschlüssen mit nur einem betroffenen Halbleiter kommen zwei weitere Fälle hinzu, die durch verbliebenes Restplasma entweder im IGBT oder der Diode ermöglicht werden. Die Analyse dieser zweiten Gruppe an Fehlerfällen ergibt, dass das Verhalten im Kurzschluss durch die Plasmaersatzkapazität dominiert wird. Als zweite wichtige Erkenntnis kann festgehalten werden, dass der durch freie Ladungsträger ermöglichte Kurzschluss nur in einem sehr kurzen Zeitraum von einigen Mikrosekunden möglich ist. Danach ist das Plasma im Bauteil wieder von selbst rekombiniert und der Fehler kann nicht mehr auftreten. Mit den Kurzschlüssen aus diesen zwei Gruppen kann das Verhalten aller weiteren Fehlersituationen mit mehr als einem betroffenen Halbleiter abgeleitet werden, auch wenn es zum Teil starke Abweichungen davon gibt.

Die einfachste Fehlerstruktur mit mehr als einem betroffenen Halbleiter ist die Serienschaltung zweier IGBTs oder Dioden als dritte Gruppe, deren Verläufe von Strom und Spannung im Kurzschluss sich sehr nahe an den Einzelfällen orientieren. Jedoch stimmt diese Aussage nur zu einem gewissen Grad, da allein schon der Abschaltvorgang je nach Situation in zwei Stufen erfolgen muss, um unerwünschte Nebeneffekte vermeiden zu können. Sobald jedoch einer der Plasma-kurzschlüsse auftaucht, reduziert sich die Serienschaltung zweier Kurzschlüsse zu einem Fehlerfall mit nur noch einem betroffenen Halbleiter. Dieser Kurzschlusspfad weist jedoch als parasitäre Impedanz, die das Geschehen maßgeblich mitbeeinflusst, einen deutlich höheren Wert auf als im vergleichbaren Einzelfall.

Während die Serienschaltung zweier IGBTs bekannt gewesen ist, sind die Serienfehler im Zusammenspiel mit dem vierten Kurzschlussfall, ganz zu schweigen von den beiden Plasmakurzschlüssen, bis zu der vorliegenden Arbeit fast gar nicht untersucht worden.

Die erste wirkliche Abweichung von den bekannten vier Kurzschlussfällen tritt für die vierte Gruppe an Fehlern auf, wenn gleichzeitig zwei Kurzschlusspfade auftreten. Während einige Mikrosekunden nach Fehlereintritt noch die parasitären Induktivitäten in den Kurzschlusskreisen das Geschehen dominieren, ändern sich die Ströme und Potentiale in beiden Pfaden in dem Moment, in dem der erste IGBT entsättigt. Es kommt zu einer Interaktion mit dem zweiten Kurzschlusskreis, das sich in atypischen Kurzschlussverläufen niederschlägt. Dieses Phänomen ist beispielsweise in einem negativen Stromanstieg aber einem gleichzeitigen Spannungsabfall unter das Niveau der Zwischenkreisspannung sichtbar. Wenig später setzt das Entsättigen der restlichen IGBTs des zweiten Kurzschlusspfades ein, das dann wiederum Einfluss auf den ersten Halbleiter ausübt. Jedoch gelten diese Aussagen nur, solange nicht ein oder sogar zwei Halbleiterfehler unter Einfluss des Plasmas existieren. Im Vergleich zu den Kurzschlüssen vom Typ eins bis drei dominiert der Plasmakurzschluss mit seiner Eigenschaft, den Fehlerstrom deutlich stärker zu reduzieren, das gesamte Geschehen. Dieses Verhalten ist schon bei den Serienkurzschlüssen in einigen Fällen sichtbar gewesen, bei den parallelen Fehlern tritt es jedoch in mehr Varianten auf.

Die fünfte und letzte Gruppe von Halbleiterfehlern hebt sich von den bisherigen vier Kategorien dadurch ab, dass es nach Durchbruch eines Schalters nicht direkt zu einem Kurzschluss kommen muss. Dessen Eintreten hängt primär davon ab, wie hoch die Spannung im Fehlerfall über einem weiteren IGBT ansteigt, um überhaupt einen Kurzschluss auszulösen. Sollte die Überspannung einen kritischen Wert übersteigen, so liegt die erste Herausforderung darin, den Halbleiter vor einem Durchbruch binnen Nanosekunden zu schützen. Ist dieses Unterfangen erfolgreich gewesen, wird jedoch ein Kurzschlusspfad im Umrichter mit mindestens drei betroffenen Halbleitern geschaffen. Einzigartig dabei ist, dass die Überspannungskurzschlüsse, je nach dem Zustand eines vierten Halbleiters, entweder als ein reiner Serienkurzschluss aus drei Elementen vorliegen oder parallele Strompfade aufweisen. Letztere Situation gliedert sich noch weiter in durch Plasma dominiertes oder durch den zweiten Kurzschlussfall definiertes Geschehen auf. Es zeigen sich dann Verhaltensweisen aus dem vorherigen Abschnitt, bei dem die Parallelschaltung von Fehlern zu einer Interaktion zwischen den beiden Kurzschlusspfaden führt. Des Weiteren zeigen sich Analogien zu den Fehlerbildern mit den Serienkurzschlüssen, nicht nur in der Verschaltung der Halbleiter untereinander, sondern auch durch den zweistufigen Abschaltprozess. Die durch Überspannungskurzschlüsse verursachten Probleme im ANPC-Dreipunkt-

umrichter sind in diesem Umfang und Detailgrad zum ersten Mal hier ausführlich untersucht worden.

Sollte der primäre Fehler jedoch unweigerlich einen zweiten Halbleiter beschädigen, so kommt es bei etwas mehr als vierzig Prozent der möglichen Schaltzustände im ANPC-Dreipunktumrichter zu einem Stoßstrom nach dem Kurzschluss. Davon stellt etwas mehr als ein Drittel die gefährliche asymmetrische Variante dar, bei der es zu einer hohen Belastung der verbliebenen Halbleiter im Umrichter kommt. Im Gegensatz zu einem Zweipunktumrichter fällt damit die Wahrscheinlichkeit für einen Stoßstrom deutlich geringer aus. Obendrein kann der asymmetrische Stoßstrom im ANPC-Dreipunktumrichter abgewendet werden, indem zum einen die betroffenen Schaltzustände durch solche Varianten ersetzt werden, die diesen Fehlerstrom nicht aufweisen können. Zum anderen muss die Schutzbeschaltung für die Überspannungskurzschlüsse ausreichend dimensioniert werden, um somit sekundäre Halbleiterausfälle durch diesen Fehlertyp unterbinden zu können. Die restlichen Stoßströme gehören zu der Ausführung mit Gegenspannung im System, die keine Gefahr für die Bauteile darstellen und somit das beste Resultat bei solch einem Fehlerstrom ergeben. Diese Option steht nur für ANPC-Dreipunktumrichtern sowie ähnlich strukturierten Umrichtern zur Verfügung und ist damit dem Zweipunktumrichter verwehrt. Des Weiteren garantiert die Struktur des ANPC-Dreipunktumrichters, dass ein einzelner Ausfall eines Halbleiters der Umrichter weiterhin mit halbiertem Modulationsgrad, und damit reduzierter Leistung, betrieben werden kann. Kommt es dennoch zu einem sekundären Ausfall, dann ist in etwa vierzig Prozent der Schaltzustände diese Strategie zum Weiterbetrieb hinfällig.

Die vorliegende Arbeit belegt, dass sich Kurzschlüsse in Mehrpunktumrichtern zwar analog zu den vier grundlegenden Kurzschlussstypen plus den zwei durch Plasma dominierten Fehlern beschreiben lassen. Jedoch sind für die exakten Verläufe der Kurzschlussströme und die Verteilung der Potentiale im Umrichter drei Faktoren von besonderer Bedeutung:

- Aufteilung der parasitären Impedanzen in dem oder den Kurzschlusskreis(en)
- Zeitpunkt der Entsättigung des oder der IGBTs und ob dadurch weitere Halbleiter in ihrem Kurzschluss beeinflusst werden
- Vorhandensein von Fehlern mit Plasmaeinfluss

Weiterhin weist die Arbeit damit zum ersten Mal vollständig nach, dass unter Berücksichtigung dieser Aspekte alle auftretenden Fehlersituationen im ANPC-Dreipunktumrichter analysiert werden können. Durch sie ergibt sich darüber

hinaus die Möglichkeit, Rückschlüsse auch auf Fehlersituationen in anderen Mehrpunktumrichtertopologien ziehen zu können. Auch dort wird das Verhalten im Kurzschluss durch die beschriebenen drei Faktoren dominiert. Der ANPC-Dreipunktumrichter erweist sich obendrein als geeignet, um die Anzahl an potentiell gefährlichen Stoßströmen nach einem Kurzschluss zu reduzieren und einen eingeschränkten Weiterbetrieb in den meisten Fällen zu erlauben. Dies hebt ihn dadurch auch vom klassischen Zweipunktumrichter ab und zeugt von seiner Robustheit, welche jedoch mit einer erhöhten Anzahl an Kurzschlussfällen einhergeht, wie diese Arbeit ausführlich dargelegt hat. All dies verdeutlicht, dass die vorliegende Arbeit nicht nur auf den Zweipunkt- und ANPC-Dreipunktumrichter beschränkt ist, sondern darüber hinaus Erkenntnisse für komplexere Umrichtertopologien bietet.

## 10 Anhänge

In diesem Abschnitt sind zwei Themen ausgegliedert worden, die einen Bezug zu der vorliegenden Arbeit aufweisen, jedoch nicht direkt zur Erklärung der Kurzschlüsse im ANPC-Dreipunktumrichter benötigt werden. Das betrifft zum einen das Ersatzschaltbild des IGBTs und der Diode im Kurzschlussfall. Des Weiteren werden die Schutzmaßnahmen erläutert, die während eines Kurzschlusses in der vorliegenden Arbeit eingesetzt worden sind.

### 10.1 Ersatzschaltbild von IGBT und Diode

Um das Verhalten der Halbleiter, sei es IGBT oder Diode, im Fehlerfall einfacher erklären zu können, werden Ersatzschaltbilder verwendet, vergleiche dazu [18] und [29]. Dabei wird in der vorliegenden Arbeit nicht auf ältere Erklärungsmodelle, wie beispielsweise in [83], [144] oder [168] beschrieben, eingegangen. Der aktuelle wissenschaftliche Stand verwendet ein Ersatzschaltbildes des IGBTs, welches zu einem Großteil aus Stromquellen und Kapazitäten besteht, siehe dazu [25] und Abbildung 10-1. Zu beachten ist, dass die verwendeten Kapazitäten keine konstanten Werte aufweisen, sondern spannungsabhängig sind [3].

Der Elektronenfluss wird über eine von der Gate-Emitter-Spannung gesteuerten Stromquelle dargestellt, die dann am Kollektor den Löcherstrom verursacht, siehe [83] und Abbildung 10-1 (1). Im Normalbetrieb bei einem auf Silizium basierenden Halbleiter wie der FZ1500R33HL3 ist die Generierung der Löcher mit dem Faktor 3:1 an die Elektronenerzeugung gekoppelt [129]. Das heißt, die Elektronen stellen  $\frac{3}{4}$  des Gesamtstromes dar, die Löcher den Rest. Die Elektronen ( $j_{n-stat}$ ) fließen, bei ausgebildeten MOS-Kanal, vom Emitter über das schwach mit Donatoren dotierte intrinsische Drift-Gebiet zum Kollektor. Dort werden Löcher ( $j_{p-stat}$ ) herausgelöst und in die intrinsische Zone injiziert, welche dann zum Emitter abwandern [4]. Werden jedoch die Ausgangskennlinien des IGBTs betrachtet, so lässt sich feststellen, dass eine über die Gatespannung gesteuerte Stromquelle mehr Elektronen [ $j_n(U_{GE})$ ] und damit mehr Gesamtstrom erzeugt, als in der Realität durch den IGBT dann auch fließen. Die Ursache dafür ist, dass der Strom durch den Halbleiter durch den Lastfluss in einem Spannungsrichter definiert ist. Daher muss der zu viel erzeugte Elektronenfluss egalisiert werden. Dieses Problem wurde über eine virtuelle Freilaufdiode ( $D_N$ ) gelöst, die die überschüssigen Elektronen ableitet, siehe [25] und Abbildung 10-1 (2). Der Zweig über  $D_N$  zeigt, dass er nur so lange benötigt wird, bis der MOS-Kanal abschnürt und der IGBT entsättigt [18]. Dies geschieht ab einem bestimmten Laststrom in Abhängigkeit von  $U_{GE}$  [84].



Das Ausräumen der freien Ladungsträger während des Entsättigungsvorganges, welches maßgeblich den Spannungsanstieg im Kurzschluss definiert, wird mittels der Plasmaersatzkapazität dargestellt ( $C_{PL}$ ), siehe [83] und Abbildung 10-1 (3). Diese darf aber nicht mit der auch zwischen Kollektor ( $C$ ) und Emitter ( $E$ ) liegenden *Ausgangskapazität* ( $C_{CE}$ ) verwechselt werden [25]. Sobald der Stromfluss durch das Abschnüren des Kanales im Kurzschluss des IGBTs reduziert wird, übernimmt laut Modell das Plasma das Fortsetzen des Kollektorstromes [18]. Durch das Ausräumen beziehungsweise Aufladen von  $C_{PL}$  werden die freien Ladungsträger in der Driftzone abgebaut [3]. Ergo setzt ein positiver Spannungsanstieg ein, definiert durch den Wert der Plasmaersatzkapazität. Das Ausräumen des Plasmas während des Kurzschlusses kann nicht zu einem Avalanche führen, da der MOS-Kanal immer noch offen ist [84].

Zusätzlich erhält dieses Schaltbild noch eine Ladungsträgerquelle als Darstellung des Avalanche-Effektes ( $J_{AV}$ ), siehe [4] und Abbildung 10-1 (4). Dies kann entweder ein statisches, verursacht durch zu hohe Sperrspannung am Halbleiter, oder ein dynamisches Phänomen sein [147]. Letztgenanntes kann beim Abschaltvorgang des IGBTs oder beim KS V auftreten, jedoch eigentlich nicht im KS II oder KS III, vergleiche dazu auch die Kapitel 3.2 sowie 3.3 mit 4.2. Das Einsetzen eines dynamischen Avalanches, beispielsweise im KS V, reduziert automatisch den Ladungsträgerfluss von der Plasmaersatzkapazität [25]. Infolgedessen nimmt auch der Spannungsanstieg über der Kapazität ab. Der dynamische Anteil im Ersatzschaltbild setzt sich aus  $C_{PL}$  und  $J_{AV}$  zusammen und erzeugt die entsprechenden Elektronen- ( $j_{n-AV} / j_{n-PL}$ ) und Löcherflüsse ( $j_{p-AV} / j_{p-PL}$ ), siehe Abbildung 10-1.

Der IGBT weist eine gewisse Rücksperrfähigkeit am Kollektor auf, dargestellt durch eine antiserielle Diode ( $D_C$ ), siehe [25] und Abbildung 10-1 (5). Ohne diese Eigenschaft würde bei einem möglichen hohen Forward-Recovery-Effekt der antiparallelen Freilaufdiode der Halbleiter durchbrechen [84]. Daneben weist der IGBT einen Widerstand ( $R_n$ ) in der Driftzone, beziehungsweise des intrinsischen Gebietes, auf, siehe [18] und Abbildung 10-1 (6). Je mehr die Zone mit Ladungsträger geflutet ist, desto geringer die Impedanz und damit der Spannungsabfall darüber. Im Ersatzschaltbild ist dafür eine Rückkopplung des Ladungsflusses auf den Widerstand eingearbeitet, multipliziert mit einem Verstärkungsfaktor invers zur Plasmaladung [ $k(Q_{PL}^{-1})$ ].

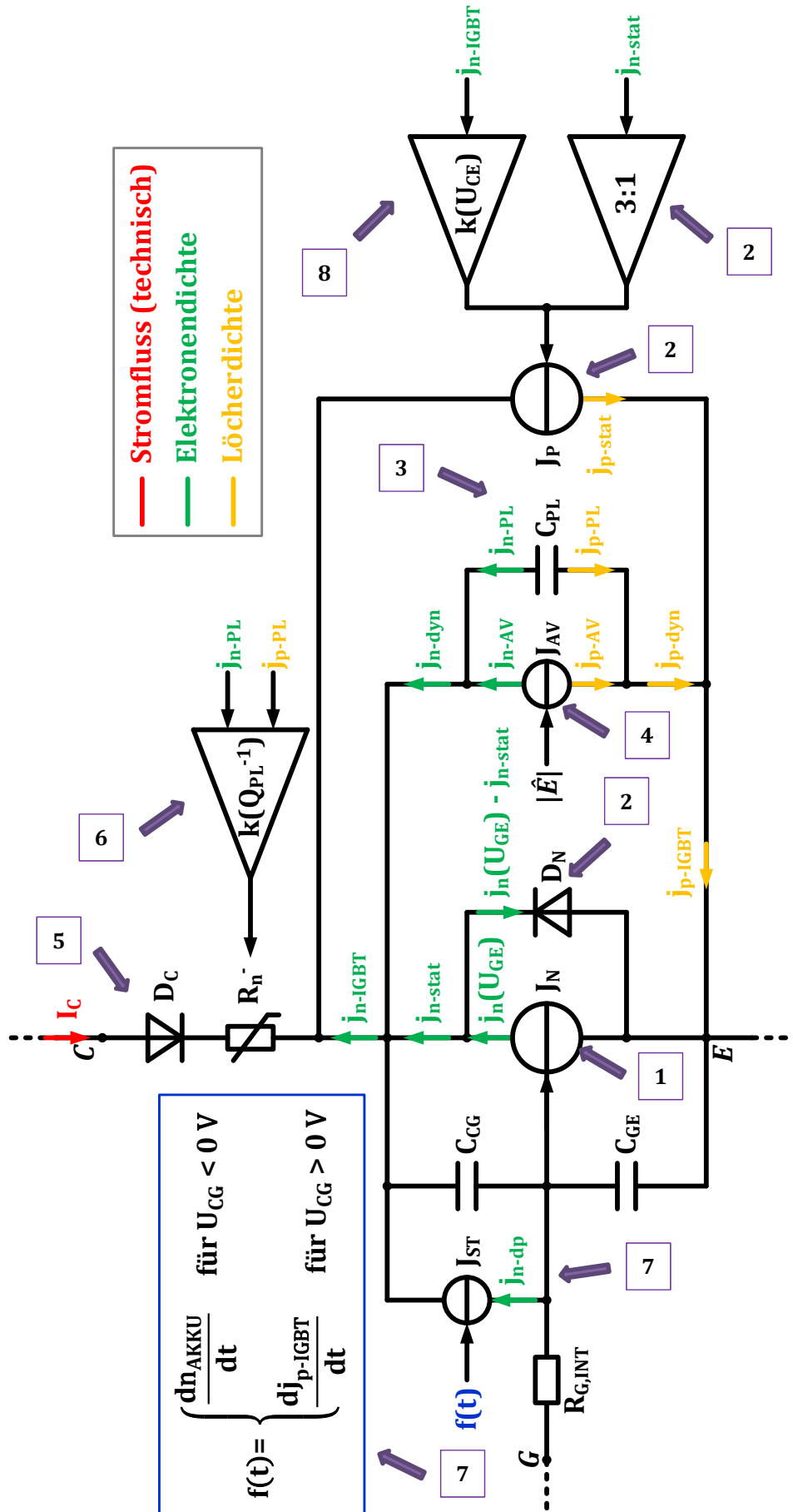


Abbildung 10-1: Kapazitives Ersatzschaltbild des IGBTs zur Erklärung von Kurzschlüssen

Die Rückkoppelungen auf das Gate bestehen zum einen aus dem Miller-Effekt [4]. Das heißt, eine Veränderung des Spannungsanstieg koppelt sich über die Kapazität ( $C_{CG}$ ) zwischen Kollektor und Gate zurück [3]. Zum anderen gehört dazu der Self-Turn-On-Effekt, der bei einer Änderung des Stromanstieg eine Veränderung der Gatespannung hervorruft, siehe [100] und Kapitel 3.2. Der Abbau der Akkumulationsschicht ( $n_{AKKU}$ ) der Elektronen unterhalb des Gateoxides wird verursacht durch das Ansteigen von  $U_{CG}$  [18]. Dies ist wiederum eine Folge der positiven Änderung von  $U_{CE}$  mit steigendem Kollektorstrom im Kurzschlussfall [18]. Ab dem Zeitpunkt, an dem  $U_{CE}$  ungefähr  $U_{GE}$  entspricht, ist die Elektronenschicht abgebaut. Mit weiterem Anheben von  $U_{CE}$  (in der Abbildung 10-1 als  $U_{CG} > 0$  V gekennzeichnet) durch kontinuierlich steigenden Strom kommt es nun zum Aufbau einer Löcherakkumulationsschicht unterhalb des Gatebereiches [100]. Die Änderungen in der Akkumulationsschicht im Kurzschluss des IGBTs führt zu einer Beeinflussung des Gatepotentials [18]. Im Ersatzschaltbild kann dies eingebunden werden, indem parallel zu  $C_{CG}$  eine Stromquelle mit abschnittsweisem Verhalten verwendet wird, siehe [18] und Abbildung 10-1 (7). Die Abhängigkeit des Self-Turn-On-Effektes von der Spannung über dem IGBT wird im Ersatzschaltbild über eine Rückkopplung des Elektronenflusses auf die Löcherquelle via eines Verstärkers in Abhängigkeit von  $U_{CE}$  modelliert, siehe [128] und Abbildung 10-1 (8).

Auf Grund des nicht existenten Steuerkopfes reduziert sich das Ersatzschaltbild der bipolaren Diode gegenüber dem des IGBTs deutlich, siehe Abbildung 10-2. Das ESB der Diode müsste eigentlich in zwei separate aufgespaltet werden, da die Richtung der Elektronen, Löcher und damit die allgemeine Flussrichtung zwischen Durchlass- und Rückwärtsbetrieb, invertiert ist [29]. Der Grundaufbau für den leitenden Betriebsmodus setzt sich zusammen aus einer über dem Elektronenfluss gesteuerten Löcherquelle und einer idealen Diode ( $D$ ) [25]. Die technische Stromrichtung, während die Diode leitet, läuft von der Anode ( $A$ ) zur Kathode ( $K$ ) und damit invers zum Kollektorstrom. Ab dem Zeitpunkt, ab dem der Stromfluss in der Diode durch den Abschaltvorgang zu null Ampere wird, kehrt sich die Stromrichtung um ( $I_{RR}$ ). Die Diode fängt nun an, ihre gespeicherte Ladung im Reverse-Recovery-Vorgang abzubauen [3]. Ab da an sind die Löcherstromquelle und die ideale Diode nicht mehr von Bedeutung für den weiteren Verlauf [29]. Wie beim IGBT definiert die Plasmaersatzkapazität den Anstieg der Spannung [25]. Da die Diode keinen MOS-Kanal besitzt, kann sehr wohl ein dynamischer Avalanche mit Spannungsaufnahme auftreten [147]. Das ESB spiegelt dann dessen Verhalten wieder, indem die Stromquelle  $J_{AV}$  den Fluss aus  $C_{PL}$  reduziert und den Spannungsanstieg dadurch verringert, siehe Abbildung 10-2.

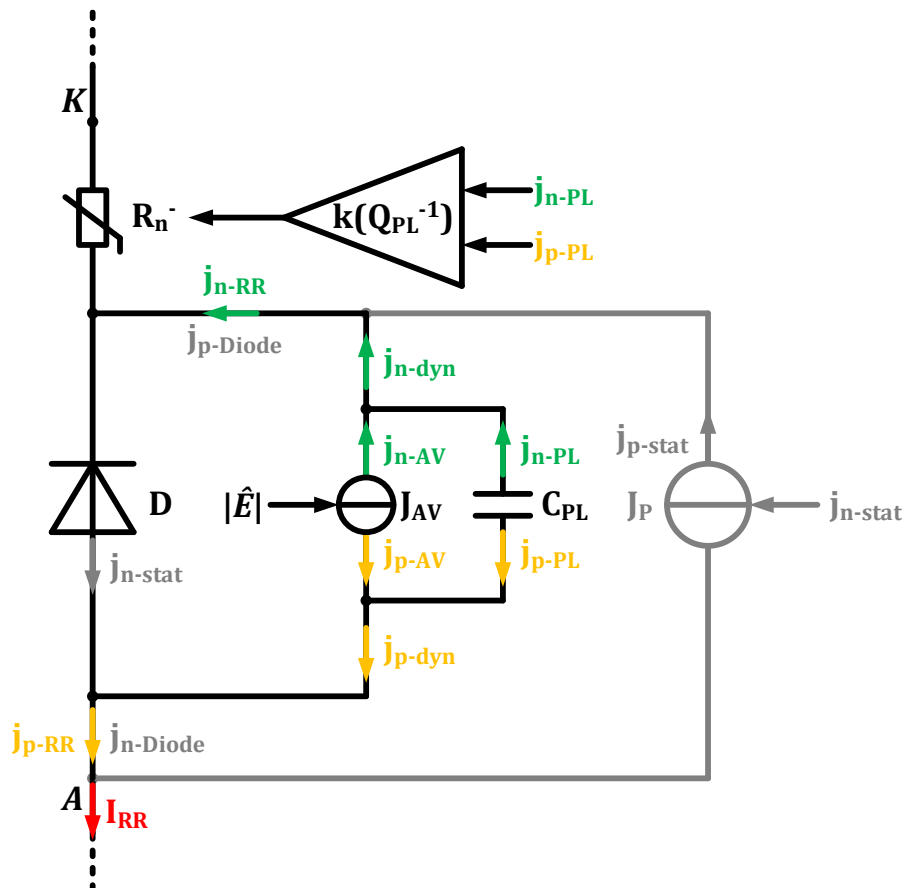


Abbildung 10-2: Ersatzschaltbild der bipolaren Diode im Reverse-Recovery-Vorgang

Mit den Vereinfachungen aus den Ersatzschaltbildern lassen sich die Kurzschlussfälle des IGBTs und der PiN-Diode einfacher erläutern. Sie ermöglichen eine Fokussierung auf das Wesentliche wie Rückkopplungseffekte und Ausräumen des Plasmas, vergleiche dazu auch die Kapitel 3 und 4.

## 10.2 Schutzmaßnahmen im Kurzschluss

Während eines Kurzschlusses im IGBT gibt es diverse Möglichkeiten, dessen Auswirkungen zu reduzieren, beispielsweise aufgezeigt in [98], [122]. oder [169]. Oft wird dabei ein Mix von zwei oder mehr Varianten eingesetzt, um die verschiedenen Probleme während des Fehlers zu bekämpfen [148]. Die in der vorliegenden Arbeit eingesetzten drei Schutzmaßnahmen zielen besonders auf den problematischen KS II aus dem Kapitel 3.2 und die Kurzschlüsse durch Überspannung aus dem Kapitel 7 ab. Zum einen soll die maximale Spannung über dem IGBT limitiert werden um einen Durchbruch des Halbleiters zu vermeiden [170]. Zum anderen muss die Gate-Emitter-Spannung begrenzt werden, um zu verhindern, dass die Entsättigung erst bei einem höheren Fehlerstrom einsetzt [20]. Als

letztes wird eine Schutzbeschaltung benötigt, die den maximalen Kurzschlussstrom begrenzt [82].

Der erste Punkt umfasst das Klemmen der Spannung über dem Halbleiter, welches auf drei Arten geschehen kann. Entweder geschieht dies durch den Einsatz von Snubbern [95], einer sehr schnellen Klemmdiode [171] oder die Rückwirkung des Kollektor-Potentials auf das Gatepotentials [89]. Letztgenanntes wurde dann in dem ANPC-Teststand eingesetzt. Die Rückkoppelung des Kollektors auf das Gate wird in der Literatur meist unter dem englischen Begriff *active (gate) clamping (AGC)* geführt [52]. Um Verwechslung mit der Abkürzung für Wechselstrom (AC) zu vermeiden, wird AGC verwendet [4]. Vom Prinzip her wird ab Überschreiten von einem gewissen Wert von  $U_{CE}$  eine positive Rückkopplung vom Kollektor des IGBTs auf das Gate ermöglicht. Das Gatepotential wird angehoben, der Halbleiter bewegt sich im aktiven Bereich und die Spannungszunahme von  $U_{CE}$  wird begrenzt beziehungsweise unterbunden [89].

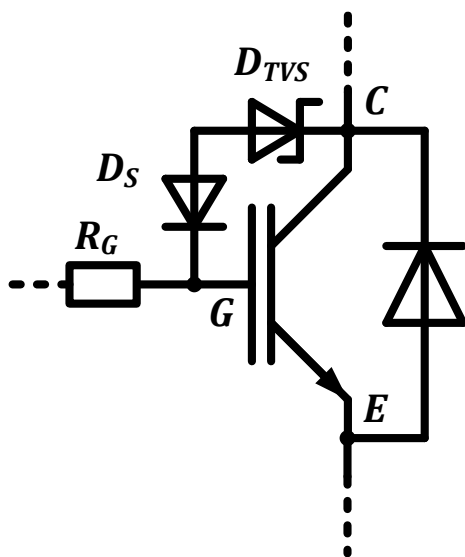


Abbildung 10-3: AGC Schutzschaltung

Die einfachste Lösung für die Umsetzung des AGC, wie sie auch in der vorliegenden Arbeit meist eingesetzt wurde, ist eine Serienschaltung aus einer oder mehreren Suppressordioden [englisch: transient voltage suppressor (TVS) diode] ( $D_{TVS}$ ), optional ein Begrenzungswiderstand und eine antiserielle Sperrdiode, siehe [4] und Abbildung 10-3. Der Widerstand ist nicht zwingend notwendig, verhindert aber einen zu hohen Ladungsfluss ins Gate, was potentiell gefährlich sein kann [3].

Über den Durchbruchwert der Suppressordiode und ihrer Anzahl kann eingestellt werden, ab welchem Potential des Kollektors die Diodenkette leitend wird [170]. Die Sperrdiode soll verhindern, dass bei eingeschaltetem IGBT ein unerwünschter Ladungsfluss des Gates über die Schutzbeschaltung in den Halbleiter erfolgt [4]. Die Durchbruchspannung der Suppressordiode(n) wird dabei so ausgelegt, dass sie normale Schaltvorgängen weitestgehend nicht beeinflussen, jedoch zugleich verhindern, dass die auftretende Überspannung nicht die Sperrspannung übersteigt [52]. Oft orientiert sich dabei die untere Grenze, ab der die Schutzmaßnahme eingreift, an der maximal auftretenden Zwischenkreisspannung. In dieser Arbeit ist  $U_{DC}$  auf maximal 2,1 kV fixiert worden, bei einem Einsatz

von 3,3 kV Modulen. Für die meisten Versuche liegt daher die durchschnittliche Schwellenspannung des AGC bei ungefähr 2,6 kV.

Ein Problem für das AGC stellen die Überspannungskurzschlüsse aus Kapitel 7 dar. Bei Messungen dazu zeigte sich relativ schnell, dass die beiden am stärksten betroffenen Schalter,  $S_{31}$  und  $S_{32}$ , nicht rechtzeitig die Überspannung im Fehlerfall begrenzen könnten. Das Problem ist nicht nur der rasante Sprung der Spannung auf die vollen Zwischenkreisspannung, sondern auch die Tatsache, dass bei diesem Fehlertyp die Gates der betroffenen IGBTs auf -10 V durch den Treiber gezogen sind. Während gleichzeitig die Schutzschaltung das negative Potential auf Werte über die Schwellenspannung des AGC heben muss, versucht der Gatetreiber mit Einsetzen des Kurzschlusses das Gate wieder zu entladen. Als Lösung sind zwei Ketten aus Suppresordioden parallelgeschaltet worden. Im Endeffekt kann so die doppelte Anzahl an Ladungsträgern bei gleicher Ausgangslage in das Gate fließen. Damit wird dieses stärker aufgesteuert und die IGBTs an den Position  $S_{31}$  und  $S_{32}$  sind ausreichend vor Überspannung auch beim Überspannungskurzschluss geschützt, vergleiche dazu Kapitel 7. Wie schädlich dieses Konzept durch die aggressive Schutzbeschaltung für die Gatestruktur ist, wurde nicht untersucht. Fakt ist, dass in dieser Arbeit dutzende bis zu hunderte an Messungen mit diesem Konzept durchgeführt wurden, ohne dass es zu darauf zurückzuführenden Ausfällen kam. Arbeiten zu Stoßströmen haben gezeigt, dass das Gate auf Werte deutlich über die normalerweise verwendeten +15 V auf bis zu +50 V oder mehr kurzzeitig angehoben werden kann, vergleiche [172] und [173]. Diese Spannung wurde in dem hier eingesetzten ANPC-Teststand mit dem AGC bei weitem nicht erreicht.

Konzepte zur Reduktion des Spitzenstromes und der Gate-Emitter-Spannung überschneiden sich oft in ihrer Auswirkung [52]. Bei der Klemmung des Gatepotentials wird verhindert, dass im Fehlerfall durch die Miller-Rückwirkung [3] und dem Self-Turn-On-Effekt [100] das Gate durch den zusätzlichen Ladungsfluss deutlich angehoben wird. Infolgedessen wird der maximale Spitzenstrom während des Kurzschlusses dann begrenzt [82] und negative Auswirkungen wie beispielsweise die Stromfilamentierungsprobleme aus Kapitel 3.2 reduziert. Bekannt ist diese Schutzbeschaltung in der Literatur auch unter dem englischen Begriff (*passive*) *gate clamping* (PGC) [passive Gateklemmung] [4].

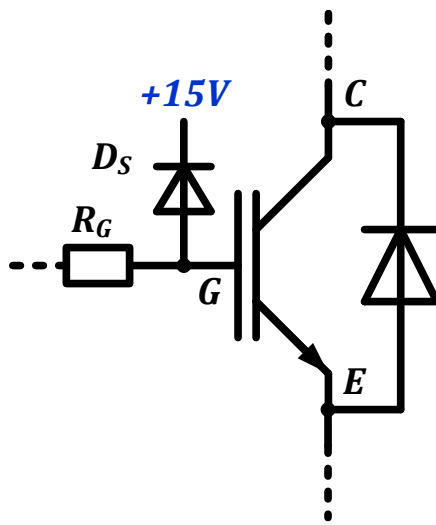


Abbildung 10-4: PGC Schutzschaltung

In der vorliegenden Arbeit wird als Ausführung zum PGC eine Diode benutzt, um das Gate auf die positive Treiberspannung, meist +15 V, zu klemmen, siehe [20] und Abbildung 10-4. Bei Einsatz einer schnellen Schottkydiode als Sperrdiode können sehr gute Ergebnisse erzielt werden [4]. Eine Anhebung des Gates über 15 V plus die Durchlassspannung der Diode führt im Fehlerfall zum Abführen von Ladungsträgern aus dem Gate und dieses wird dadurch geklemmt.

Zur weiteren Reduktion des Spitzenwertes des Kurzschlussstromes wird in der vorliegenden Arbeit eine Lösung eingesetzt, die während des positiven Stromanstiegs das Gate entlädt. Gleichzeitig muss aber auch erreicht werden, dass beim abfallenden Kollektorstrom das Gate wieder auf gesteuert wird, um die eintretende Überspannung reduzieren zu können [122]. Die Schutzbeschaltung wurde dabei so ausgelegt, dass bei normalen Schaltvorgängen keine Interaktion erfolgt. Eine einfache Umsetzung ist die Ausnutzung der Streuinduktivität ( $L_{\sigma,E-HE}$ ) zwischen (Leistungs-) Emitter (E) und Hilfsemitter (HE) in Halbleitermodulen, siehe [77] und Abbildung 10-5. Diese Variante wird auch als Emitter-Gegenkoppelung [4] oder wie hier als Gegenkoppelung des Stromanstiegs, bezeichnet.

Die geringe Induktivität  $L_{\sigma,E-HE}$  von meist wenigen Nanohenry verursacht einen Spannungsabfall mit zunehmendem Strom. In den hier verwendeten 3,3 kV Halbleitermodulen ergeben Messungen einen Wert im Bereich um die 1,0 bis 2,0 nH. Um nur ein Eingreifen im Kurzschluss mit Ausnahme des KS I zu gewährleisten, wird ausgenutzt, dass beim KS II, KS III oder darauf aufbauende Fehlerfälle ein deutlich höheres  $di/dt$  aufweisen, als es in normalen Schaltvorgängen auftritt, siehe Kapitel 3. Dadurch fällt mehr Spannung über  $L_{\sigma,E-HE}$  ab. Durch den Einsatz von entsprechend dimensionierten Suppressordioden zwischen dem Gate und dem Emitter kann dann ein Eingreifen auf das Gate des IGBTs bei Stromanstiegen über dem Normalwert erfolgen, siehe Abbildung 10-5. Im Versuchsaufbau zum ANPC-Teststand ist nur die Schutzbeschaltung auf den Emitter gelegt worden. Das Referenzpotential des Gatetreibers ist weiterhin mit dem Hilfs-Emitter (0 V) verbunden, siehe Abbildung 10-5. Alle Messungen in der vorliegenden Arbeit weisen als Bezugspunkt den Hilfs-Emitter und nicht den Emitter auf, um die Auswirkungen durch  $L_{\sigma,E-HE}$  nicht fälschlicherweise mitzumessen.

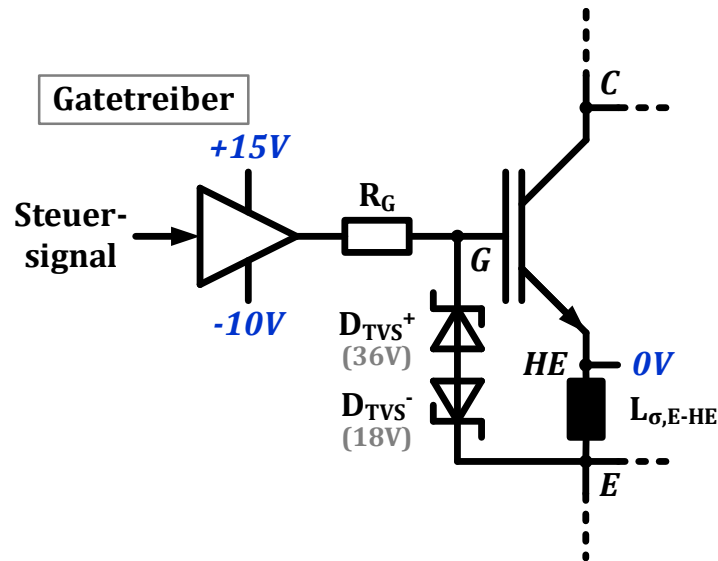
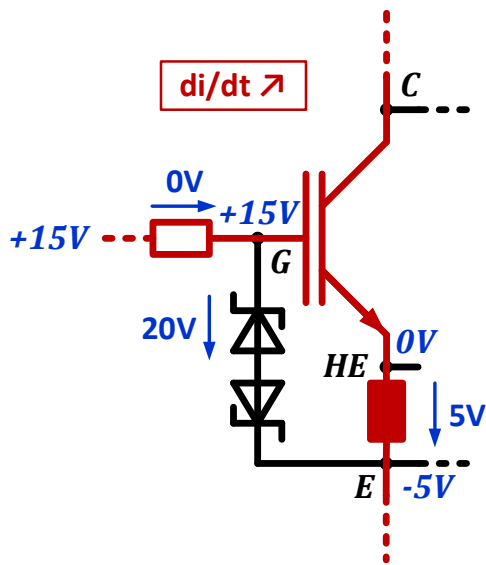
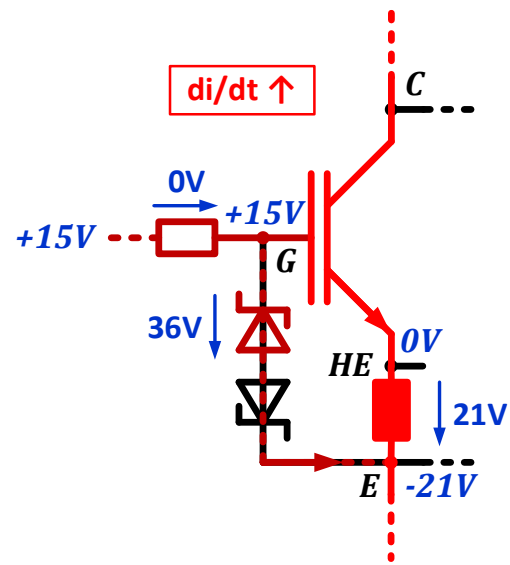
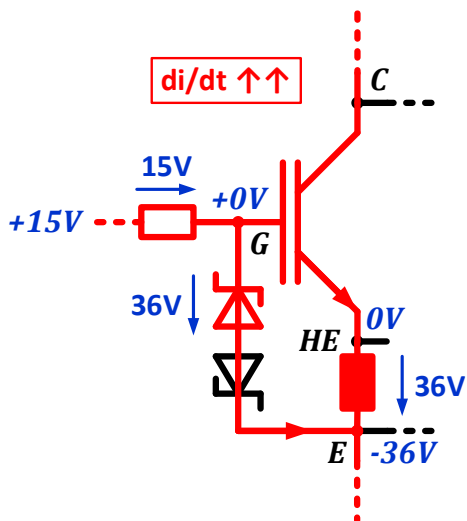
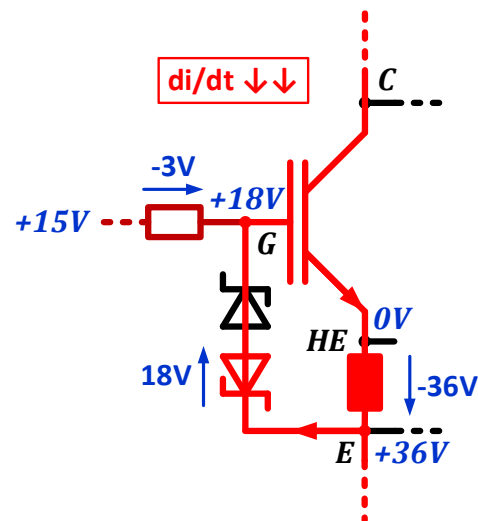


Abbildung 10-5: Schaltung zur Gegenkoppelung des Stromanstieg (Abbildung 3-19)

Bei einem ansteigenden Kollektorstrom fällt eine Spannung zwischen dem Hilfsemittler und dem Emittler ab. Bezogen auf das Null-Volt-Potential des Hilfsemitters, auf dem sich die Treiberschaltung befindet, ist das Potential des Emitters in das Negative gerutscht, siehe Abbildung 10-6a. Dies geschieht mit jedem Einschaltvorgang des IGBTs, löst aber nicht die Schutzbeschaltung aus. Sollte der Spannungsabfall zwischen dem Gate (+15 V im eingeschalteten Zustand) und dem Emittler größer werden als der eingestellte Wert der Durchbruchsspannung der Suppressordiode  $D_{TVS^+}$ , bricht diese durch, siehe Abbildung 10-6b. Fällt der Stromanstieg noch größer aus, beispielsweise in einem KS II, so fixiert nun die Suppressordiode die Gate-Emittler-Spannung und reduziert dadurch das Gatepotential [148]. Ein Nachteil dabei ist, dass neben dem Entladen des IGBTs auch der Treiber über den Gatewiderstand in die Schutzschaltung lädt und diese zusätzlich belastet, siehe Abbildung 10-6c. Um aber zu erreichen, dass sich die Schutzbeschaltung im KS II nicht während normalen Schaltvorgängen auswirkt, wurde die Schwelle für  $D_{TVS^+}$  auf 36 V gelegt.

Nach Übersteigen des maximalen Kurzschlussstromes, beispielsweise beim KS II, kommt es zu einem hohen negativen  $di/dt$ , siehe Kapitel 3.2. Zur Reduktion der dadurch auftretenden Überspannung wird neben der vorher beschriebenen Schaltung eine antiserielle Suppressordiode ( $D_{TVS^-}$ ) verbaut, siehe Abbildung 10-5. Dadurch wird Ladung vom Emittler in das Gate geleitet und dessen Potential angehoben, wenn der Stromabfall zu hoch ausfällt, siehe Abbildung 10-6d. Die Schwellenspannung von  $D_{TVS^-}$  konnte auf 18 V dimensioniert werden, da beim negativen  $di/dt$  nicht gegen sondern mit den +15 V des Treibers gearbeitet wird, siehe Abbildung 10-6d.



Abbildung 10-6a: Moderates pos.  $di/dt$ Abbildung 10-6b: Hohes pos.  $di/dt$ Abbildung 10-6c: Sehr hohes pos.  $di/dt$ Abbildung 10-6d: Sehr hohes neg.  $di/dt$ 

Unter Einsatz von  $D_{TVS}$  konnte im KS II und KS III der negative Stromanstieg messbar reduziert werden und damit die Überspannung begrenzt werden. Ein Problem des vorliegenden Schutzkonzeptes wird jedoch beim KS III verursacht. Zwar führt der IGBT, wie auch erwünscht, weniger Kurzschlussstrom. Dadurch wird aber mehr Stromfluss in dessen antiparallele Freilaufdiode gepresst [133]. Dies entlastet folglich den IGBT zu Ungunsten der Diode, vergleiche dazu auch Kapitel 3.3.

## Literaturverzeichnis

- [1] A. Nakagawa, H. Ohashi, M. Kurata, H. Yamaguchi, und K. Watanabe, „Non-Latch-Up 1200V 75A Bipolar-Mode Mosfet With Large ASO“, in *International Electron Devices Meeting*, 1984.
- [2] B. J. Baliga, M. S. Adler, R. P. Love, P. V. Gray, und N. D. Zommer, „The Insulated Gate Transistor: A New Three-Terminal MOS-Controlled Bipolar Power Device“, *IEEE Transactions on Electron Devices*, 1984.
- [3] J. Lutz, *Halbleiter-Leistungsbaulemente*, 2. Aufl. Berlin Heidelberg Chemnitz, Deutschland: Springer Vieweg, 2012.
- [4] A. Wintrich, U. Nicolai, W. Tursky, und T. Reimann, *Applikationshandbuch Leistungshalbleiter*, 2. Aufl. Nürnberg, Deutschland: Semikron International GmbH, 2015.
- [5] S. Pierstorf und H.-G. Eckel, „Short-circuit behavior of diodes in voltage source inverters“, in *International Exhibition and Conference for Power Electronics, Intelligent Motion, Power Quality (PCIM Europe)*, 2012.
- [6] M. Sprenger, „Untersuchung des Dreipunkt – Neutral Point Clamped – Stromrichters mit Spannungszwischenkreis (3L-NPC-VSC) für Niederspannungswindkraftanwendungen“, Technische Universität Dresden, 2014.
- [7] T. Brückner und S. Bernet, „Loss Balancing in Three-Level Voltage Source Inverters applying Active NPC Switches“, in *IEEE Power Electronics Specialists Conference (PESC)*, 2001.
- [8] J. Rodríguez u. a., „Multilevel Voltage-Source-Converter Topologies for Industrial Medium-Voltage Drives“, *IEEE Transactions on Industrial Electronics*, 2007.
- [9] R. Teichmann und S. Bernet, „A Comparison of Three-Level Converters Versus Two-Level Converters for Low-Voltage Drives, Traction, and Utility Applications“, *IEEE Transactions on Industry Applications*, 2005.
- [10] J. Holtz, „Selbstgeführte Wechselrichter mit treppenförmiger Ausgangsspannung für große Leistung und hohe Frequenz“, *Siemens Forschungs- und Entwicklungsbericht Band 6 Nummer 3*, 1977.
- [11] G. Sinha, C. Hochgraf, R. H. Lasseter, D. M. Divan, und T. A. Lipo, „Fault protection in a multilevel inverter implementation of a static condenser“, in *30th IEEE Industry Applications Conference (IAS)*, 1995.
- [12] M. Sprenger, R. Alvarez, M. Tannhaeuser, und S. Bernet, „Experimental Investigation of Short-circuit Failures in a Three Level Neutral-point-clamped Voltage-source Converter Phase-leg with IGBTs“, in *IEEE Energy Conversion Congress and Exposition (ECCE)*, 2013.
- [13] S. Li und L. Xu, „Strategies of Fault Tolerant Operation for Three-Level PWM Inverters“, *IEEE Transactions on Power Electronics*, 2006.

- [14] S. Ceballos, J. Pou, E. Robles, J. Zaragoza, und J. L. Martín, „Three-Leg Fault-Tolerant Neutral-Point-Clamped Converter“, in *IEEE International Symposium on Industrial Electronics*, 2007.
- [15] M. Gleissner, R. Maier, und M.-M. Bakran, „Comparison of fault-tolerant multilevel inverters“, in *19th European Conference on Power Electronics and Applications (EPE)*, 2017.
- [16] D. Hammes, J. Fuhrmann, S. Gierschner, M. Beuermann, und H.-G. Eckel, „Short-Circuit Behavior of the Three-Level Advanced-Active-Neutral-Point-Clamped Converter“, in *19th European Conference on Power Electronics and Applications (EPE)*, 2017.
- [17] T. Rogne, N. A. Ringheim, B. Odegard, J. Eskedal, und T. M. Undeland, „Short-circuit Capability of IGBT (COMFET) Transistors“, in *IEEE Industry Applications Society Annual Meeting (IAS)*, 1988.
- [18] P. Münster, „Einfluss des Self Turn-On auf das IGBT-Kurzschlussverhalten“, Universität Rostock, 2019.
- [19] R. S. Chokhawala, J. Catt, und L. Kiraly, „A Discussion on IGBT Short Circuit Behavior and Fault Protection Schemes“, in *8th Annual Applied Power Electronics Conference and Exposition (APEC)*, 1993.
- [20] R. Letor und C. G. Ancieto, „Short Circuit Behaviour of IGBTs Correlated to the Intrinsic Device Structure and on the Application Circuit“, in *IEEE Industry Applications Society Annual Meeting*, 1992.
- [21] H.-G. Eckel und L. Sack, „Experimental Investigation on the Behaviour of IGBT at Short-Circuit during the On-State“, in *20th Annual Conference of IEEE Industrial Electronics (IECON)*, 1994.
- [22] T. Basler, „Ruggedness of High-Voltage IGBTs and Protection Solutions“, Technische Universität Chemnitz, 2014.
- [23] J. Lutz, R. Döbler, J. Mari, und M. Menzel, „Short Circuit III in High Power IGBTs“, in *13th European Conference on Power Electronics and Applications (EPE)*, 2009.
- [24] J. Fuhrmann, S. Klauke, und H.-G. Eckel, „IGBT and Diode Behavior during Short-Circuit Type 3“, *IEEE Transactions on Electron Devices*, 2015.
- [25] J. Fuhrmann, D. Hammes, und H.-G. Eckel, „Short-circuit behavior of high-voltage IGBTs“, in *IECON Proceedings (Industrial Electronics Conference)*, 2016.
- [26] D. Hammes, J. Fuhrmann, R. Schrader, S. Gierschner, H.-G. Eckel, und D. Krug, „Plasma-induced Diode Short-Circuit in Neutral-Point-Clamped Converters“, in *International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management (PCIM Europe)*, 2018.
- [27] J. Fuhrmann, S. Klauke, und H.-G. Eckel, „Passive IGBT turn-off during short-circuit type V“, in *International Exhibition and Conference for Power Electronics, Intelligent Motion, Power Quality (PCIM Europe)*, 2016.

- [28] D. Hammes, J. Fuhrmann, S. Gierschner, D. Krug, und H.-G. Eckel, „Overvoltage Short-Circuit Failures in Three-Level ANPC Converters“, in *21th European Conference on Power Electronics and Applications (EPE)*, 2019.
- [29] D. Hammes, S. Gierschner, Y. Hein, J. Fuhrmann, D. Krug, und H.-G. Eckel, „Series Short-Circuit Failures in three-level ANPC converters“, in *20th European Conference on Power Electronics and Applications (EPE)*, 2018.
- [30] D. Hammes, R. Werner, D. Krug, und H.-G. Eckel, „Parallel Short-Circuits in three-level ANPC converters“, in *International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management (PCIM Europe)*, 2019.
- [31] D. Hammes, S. Gierschner, D. Krug, und H.-G. Eckel, „Plasma Impact on Overvoltage Short-Circuit Failures in ANPC Converters“, in *22th European Conference on Power Electronics and Applications (EPE)*, 2020.
- [32] B. A. Welchko, T. M. Jahns, W. L. Soong, und J. M. Nagashima, „IPM Synchronous Machine Drive Response to Symmetrical and Asymmetrical Short Circuit Faults“, *IEEE Transactions on Industry Applications*, 2003.
- [33] S. Gekenidis, E. Ramezani, und H. Zeller, „Explosion tests on IGBT high voltage modules“, in *11th International Symposium on Power Semiconductor Devices and ICs (ISPSD)*, 1999.
- [34] A. Nabae, I. Takahashi, und H. Akagi, „A New Neutral-Point-Clamped PWM Inverter“, *IEEE Transactions on Industry Applications (TIA)*, 1981.
- [35] T. A. Meynard und H. Foch, „Multi-level Conversion: High Voltage Choppers and Voltage-source Inverters“, in *23rd Annual IEEE Power Electronics Specialists Conference (PESC)*, 1992.
- [36] M. Schweizer und T. B. Soeiro, „Heatsink-less Quasi 3-level Flying Capacitor Inverter Based on Low Voltage SMD MOSFETs“, in *19th European Conference on Power Electronics and Applications (EPE)*, 2017.
- [37] W. McMurray, „Fast response stepped-wave switching power converter circuit“, US Patent 3 581 212, 1971.
- [38] A. Lesnicar und R. Marquardt, „An Innovative Modular Multilevel Converter Topology Suitable for a Wide Power Range“, in *IEEE Bologna PowerTech*, 2003.
- [39] R. Marquardt, „Modular Multilevel Converter: An universal concept for HVDC-Networks and extended DC-Bus-applications“, in *International Power Electronics Conference (ECCE ASIA)*, 2010.
- [40] R. H. Baker und M. Bedford, „Bridge converter circuit“, US Patent 4 270 163, 1981.
- [41] M. Schweizer, I. Lizama, T. Friedli, und J. W. Kolar, „Comparison of the Chip Area Usage of 2-level and 3-level Voltage Source Converter Topologies“, in *36th Annual Conference on IEEE Industrial Electronics Society (IECON)*, 2010.

- [42] S. Gierschner, „Analyse des Einflusses von rückwärts leitfähigen IGBTs auf die Leistungsfähigkeit und Lebensdauer von Dreipunktumrichtern“, Universität Rostock, 2017.
- [43] R. Sommer, A. Mertens, M. Griggs, H.-J. Conraths, M. Bruckmann, und T. Greif, „New Medium Voltage Drive Systems Using Three-Level Neutral Point Clamped Inverter with High Voltage IGBT“, in *34th IEEE Industry Applications Conference (IAS)*, 1999.
- [44] J.-C. Lee, T.-J. Kim, D.-W. Kang, und D.-S. Hyun, „A Control Method for Improvement of Reliability in Fault Tolerant NPC Inverter System“, in *Power Electronics Specialists Conference (PESC)*, 2006.
- [45] Z. Xi, U. Jansen, und H. Rüthing, „IGBT power modules utilizing new 650V IGBT 3 and Emitter Controlled Diode 3 chips for three level converter“, in *International Exhibition and Conference for Power Electronics, Intelligent Motion, Power Quality (PCIM Europe)*, 2009.
- [46] L. Ma, X. Jin, T. Kerekes, M. Liserre, R. Teoderescu, und P. Rodriguez, „The PWM Strategies of Grid-connected Distributed Generation Active NPC Inverters“, in *IEEE Energy Conversion Congress and Exposition*, 2009.
- [47] D. Floricaeu, E. Floricaeu, und G. Gateau, „Three-level Active NPC Converter: PWM Strategies and Loss Distribution“, in *IECON Proceedings (Industrial Electronics Conference)*, 2008.
- [48] U. Rauf, M. Schütt, und H.-G. Eckel, „Model Predictive Control for Space Vector Modulation of a Three-Level ANPC Inverter for Efficient Loss Distribution and Neutral Point Balancing Umar“, in *21st European Conference on Power Electronics and Applications (EPE)*, 2019.
- [49] T. Brückner, S. Bernet, und H. Güldner, „The Active NPC Converter and Its Loss-Balancing Control“, *IEEE Transactions on Industrial Electronics*, 2005.
- [50] S. Gierschner, D. Hammes, J. Fuhrmann, M. Beuermann, und H.-G. Eckel, „Fault-Tolerant Behaviour of the Three-Level Advanced-Active- Neutral-Point-Clamped Converter“, in *International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Managment (PCIM Europe)*, 2016.
- [51] R. Katebi, A. Stark, J. He, und N. Weise, „Advanced Three Level Active Neutral Point Converter with Fault Tolerant Capabilities“, in *IEEE Energy Conversion Congress and Exposition (ECCE)*, 2016.
- [52] M. Volke, Andreas; Hornkamp, *IGBT Modules: Technologies, Driver and Application*, 2. Aufl. München, Deutschland: Infineon Technologies AG, Munich, 2012.
- [53] T. Basler, R. Bhojani, J. Lutz, und R. Jakob, „Measurement of a Complete HV IGBT I-V-Characteristic up to the Breakdown Point“, in *15th European Conference on Power Electronics and Applications (EPE)*, 2013.
- [54] S. Dieckerhoff, S. Bernet, und D. Krug, „Evaluation of IGBT multilevel converters for transformerless traction applications“, in *IEEE 34th Annual Conference on Power Electronics Specialist (PESC)*, 2003.

- [55] M. Winkelkemper, F. Wildner, und P. K. Steimer, „6 MVA Five-Level Hybrid Converter for Windpower“, in *IEEE Power Electronics Specialists Conference (PESC)*, 2008.
- [56] E. Gurpinar, D. De, A. Castellazzi, D. Barater, G. Buticchi, und G. Franceschini, „Performance Analysis of SiC MOSFET Based 3-Level ANPC Grid-Connected Inverter with Novel Modulation Scheme“, in *15th Workshop on Control and Modeling for Power Electronics (COMPEL)*, 2014.
- [57] Infineon AG, „Datasheet FZ1500R33HL3“, 2006. [Online]. Verfügbar unter: <https://www.infineon.com/cms/de/product/power/igbt/igbt-modules/fz1500r33hl3/>. [Zugegriffen: 01-Apr-2020].
- [58] F. Kayser, J. Fuhrmann, D. Hammes, und H.-G. Eckel, „High-inductive zero-voltage commutations within active-neutral point-clamped inverters“, in *International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management (PCIM Europe)*, 2018.
- [59] J. Fuhrmann und H.-G. Eckel, „Advanced Active Neutral Point Three Level Inverter with Standard Half-Bridge Modules“, in *International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management (PCIM Europe)*, 2014.
- [60] S. S. Buchholz, M. Wissen, und T. Schütze, „Electrical performance of a low inductive 3.3kV half bridge IGBT module“, in *PCIM Europe 2015; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management; Proceedings of*, 2015.
- [61] A. T. Bryant, K. K. Vadlapati, J. P. Starkey, A. P. Goldney, S. Y. Kandilidis, und D. A. Hinchley, „Current Distribution in High Power Laminated Busbars Keywords Inverter Layout“, in *14th European Conference on Power Electronics and Applications*, 2011.
- [62] H. Kabza u. a., „Cosmic Radiation as a Cause for Power Device Failure and Possible Countermeasures“, in *6th Internat. Symposium on Power Semiconductor Devices & IC's*, 1994.
- [63] M. Trivedi und K. Shenai, „Investigation of the Short-Circuit Performance of an IGBT“, *IEEE Transactions on Electron Devices*, 1998.
- [64] F. Hoffmann, S. Schmitt, und N. Kaminski, „Impact of Combined Thermo-Mechanical and Electro-Chemical Stress on the Lifetime of Power Electronic Devices“, *22nd European Conference on Power Electronics and Applications (EPE)*, 2020.
- [65] B. Lu und S. Sharma, „A Literature Review of IGBT Fault Diagnostic and Protection Methods for Power Inverters“, *IEEE Transactions on Industry Applications*, 2008.
- [66] J. Oetjen, R. Jungblut, U. Kuhlmann, J. Arkenau, und R. Sittig, „Current filamentation in bipolar power devices during dynamic avalanche breakdown“, *Solid-State Electronics*, 2000.

- [67] A. Kopta, M. Rahimo, U. Schlapbach, N. Kaminski, und D. Silber, „Limitation of the short-circuit ruggedness of high-voltage IGBTs“, in *International Symposium on Power Semiconductor Devices and ICs*, 2009.
- [68] J. Lutz und T. Basler, „Short-circuit Ruggedness of High-Voltage IGBTs“, in *28th International Conference on Microelectronics (MIEL)*, 2012.
- [69] U.-M. Choi, F. Blaabjerg, und K.-B. Lee, „Reliability Improvement of a T-Type Three-Level Inverter With Fault-Tolerant Control Strategy“, *IEEE Transactions on Power Electronics*, 2015.
- [70] S. Yang, A. Bryant, P. Mawby, D. Xiang, L. Ran, und P. Tavner, „An Industry-Based Survey of Reliability in Power Electronic Converters“, *IEEE Transactions on Industry Applications*, 2011.
- [71] Y. Song und B. Wang, „Survey on Reliability of Power Electronic Systems“, *IEEE Transactions on Power Electronics*, 2013.
- [72] M. Gleissner, T. Bertelshofer, und M.-M. Bakran, „Driver integrated fault-tolerant reconfiguration after short-on failures of a SiC MOSFET ANPC inverter phase“, in *International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management (PCIM Europe)*, 2018.
- [73] J. da Cunha, J. Fuhrmann, D. Lexow, D. Hammes, und H.-G. Eckel, „A New Combined  $V_{GE}$  and  $V_{CE}$  Based Short-Circuit Detection for High- $I_C$ , desat HV-IGBTs and RC-IGBTs“, in *International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management (PCIM Europe)*, 2018.
- [74] J.-D. Lee, T.-J. Kim, J.-C. Lee, und D.-S. Hyun, „A Novel Fault Detection of an Open-Switch Fault in the NPC Inverter System“, in *IECON Proceedings (Industrial Electronics Conference)*, 2007.
- [75] J.-J. Park, T.-J. Kim, und D.-S. Hyun, „Study of Neutral Point Potential Variation for Three- Level NPC Inverter under Fault Condition“, in *34th Annual Conference of IEEE Industrial Electronics*, 2008.
- [76] J. Li, A. Q. Huang, S. Bhattacharya, und T. Guojun, „Three-Level Active Neutral-Point-Clamped (ANPC) Converter with Fault Tolerant Ability“, in *IEEE Applied Power Electronics Conference and Exposition (APEC)*, 2009.
- [77] S. Pierstorf und H.-G. Eckel, „Different Short Circuit Types of IGBT Voltage Source Inverters“, in *International Exhibition and Conference for Power Electronics, Intelligent Motion, Power Quality (PCIM Europe)*, 2011.
- [78] D. Hammes, S. Gierschner, J. Fuhrmann, H.-G. Eckel, und M. Beuermann, „High-inductive short-circuit Type IV in multi-level converter protection schemes“, in *IECON Proceedings (Industrial Electronics Conference)*, 2016.
- [79] P. Münster, D. Lexow, D. Cordt, und H.-G. Eckel, „Combination of forward-voltage measurement and short-circuit detection for high-voltage RC-IGBTs“, in *International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management (PCIM Europe)*, 2017.

- [80] S. Musumeci, R. Pagano, A. Raciti, L. Fragapane, und M. Melito, „Experimental Investigation on the Short Circuit Behaviors of Robust IGBT Devices“, in *4th IEEE International Caracas Conference on Devices, Circuits and Systems (ICCDSCS)*, 2002.
- [81] J. Fuhrmann und H.-G. Eckel, „Interaction between IGBT, diode and parasitic inductances during short-circuit type 3“, in *17th European Conference on Power Electronics and Applications (EPE)*, 2015.
- [82] J. Fuhrmann, „IGBT-Kurzschlussverhalten am Beispiel einer schnellen Fehlerstrombegrenzung für Hochvolt-Halbleiterversuchsplätze“, Universität Rostock, 2016.
- [83] J. W. Böhmer, „Wirkung des Ladungsträgerplasmas auf das Abschaltverhalten von Insulated Gate Bipolar Transistoren“, Universität Rostock, 2014.
- [84] A. Kopta, „Short-Circuit Ruggedness of High-Voltage IGBTs“, Shaker Verlag, 2010.
- [85] H.-G. Eckel und L. Sack, „Optimization of the Turn-off Performance of IGBT at Overcurrent and Short-circuit Current“, in *Power Electronics and Applications (EPE)*, 1993.
- [86] Infineon AG, „TRENCHSTOP™ 1200 V IGBT7 Application Note“, 2018. [Online]. Verfügbar unter: [https://www.infineon.com/dgdl/Infineon-AN\\_201814\\_Trenchstop\\_1200V\\_IGBT7-AN-v01\\_00-EN.pdf?fileId=5546d46265487f7b01656b173ddc3600](https://www.infineon.com/dgdl/Infineon-AN_201814_Trenchstop_1200V_IGBT7-AN-v01_00-EN.pdf?fileId=5546d46265487f7b01656b173ddc3600).
- [87] A. März, T. Bertelshofer, R. Horff, und M.-M. Bakran, „Requirements of short-circuit detection methods and turn-off for wide band gap semiconductors“, in *9th International Conference on Integrated Power Electronics Systems 2016 (CIPS)*, 2016.
- [88] T. Bertelshofer, A. März, und M.-M. Bakran, „Design rules to adapt the desaturation detection for SiC MOSFET modules“, in *International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management (PCIM Europe 2017)*, 2017.
- [89] R. S. Chokhawala und S. Sobhani, „Switching Voltage Transient Protection Schemes for High-Current IGBT Modules“, *IEEE Transactions on Industry Applications*, 1997.
- [90] M. J. Barnes u. a., „Analysis of High-Power IGBT Short Circuit Failures“, *IEEE Transactions on Plasma Science*, 2005.
- [91] K. Lenz, V. Jerinic, und R. Hinken, „Investigation of short circuit in a IGBT power module with Three-Level Neutral Point Clamped Type 2 (NPC2, T-NPC, mixed voltage) topology“, in *IEEE Applied Power Electronics Conference and Exposition (APEC)*, 2016.
- [92] M. Cotorogea, A. Claudio, und J. Aguayo, „Study of the Short-Circuit Behavior of Homogeneous IGBTs Using Experimental Results and a Physics Based SPICE-Model“, in *31st IEEE Annual Power Electronics Specialists Conference (PESC)*, 2000.



- [93] ABB, „IGBT short circuit safe operating area (SOA) capability and testing“, 2018. [Online]. Verfügbar unter: <https://search.abb.com/library/Download.aspx?DocumentID=5SYA2095&LanguageCode=en&DocumentPartId=&Action=Launch>.
- [94] T. Basler, J. Lutz, R. Jakob, und T. Brückner, „The Influence of Asymmetries on the Parallel Connection of IGBT Chips under Short-Circuit Condition“, in *14th European Conference on Power Electronics and Applications (EPE)*, 2011.
- [95] V. Jerinic, K. Lenz, und R. Hinken, „IGBT Power Module in Three-Level Neutral Point Clamped Type 2 ( NPC2 , T-NPC , Mixed Voltage ) Topology in Short Circuit Modes“, in *Power Conversion and Intelligent Motion (PCIM Europe)*, 2016.
- [96] R. Baburske, F.-J. Niedernostheide, H.-J. Schulze, F. Pfirsch, und C. Leendertz, „Low-inductive power systems to overcome short-circuit ruggedness limits“, in *International Symposium on Power Semiconductor Devices and ICs (ISPSD)*, 2016.
- [97] A. Benmansour, S. Azzopardi, J. C. Martin, und E. Woirgard, „Failure mechanisms of Trench IGBT under various short-circuit conditions“, in *IEEE Annual Power Electronics Specialists Conference (PESC)*, 2007.
- [98] A. Bhalla, S. Shekhawat, J. Gladish, J. Yedinak, und G. Dolny, „IGBT Behavior During Desat Detection and Short Circuit Fault Protection“, in *International Symposium on Power Semiconductor Devices & ICs*, 1998.
- [99] S. Bernet, R. Teichmann, A. Zuckerberger, und P. Steimer, „Comparison of High Power IGBTs and Hard Driven GTOs for High Power Inverters“, in *13th Annual Applied Power Electronics Conference and Exposition (APEC)*, 1998.
- [100] P. Münster, D. Lexow, und H.-G. Eckel, „Effect of Self Turn- ON during turn- ON of HV-IGBTs“, *International Exhibition and Conference for Power Electronics, Intelligent Motion, Power Quality (PCIM Europe)*, 2016.
- [101] P. R. Palmer, H. S. Rajamani, und J. C. Joyce, „Behaviour of IGBT Modules Under Short Circuit Conditions“, in *35th IEEE Industry Applications Conference (IAS)*, 2000.
- [102] J. Schumann, S. Pierstorf, und H.-G. Eckel, „Influence of the Gate Drive on the Short-Circuit Type II and Type III Behaviour of HV-IGBT“, in *International Exhibition and Conference for Power Electronics, Intelligent Motion, Power Quality (PCIM Europe)*, 2010.
- [103] J. Fuhrmann, D. Hammes, P. Münster, D. Lexow, und H.-G. Eckel, „Short-circuit detection based on gate-emitter voltage of high-voltage IGBTs“, in *19th European Conference on Power Electronics and Applications (EPE)*, 2017.
- [104] T. Basler, J. Lutz, R. Jakob, und T. Brückner, „Surge Current Capability of IGBTs“, in *9th International Multi-Conference on Systems, Signals and Devices (SSD)*, 2012.

- [105] R. S. Chokhawala und G. Castino, „IGBT Fault Current Limiting Circuit“, in *28th IEEE Industry Applications Conference (IAS)*, 1993.
- [106] F. Saint-Eve, S. Lefebvre, und Z. Khatir, „Influence of repetitions of short-circuits conditions on IGBT lifetime“, in *Power Electronics and Applications (EPE)*, 2003.
- [107] T. Laska u. a., „Short Circuit Properties of Trench-/Field-Stop-IGBTs- Design Aspects for a Superior Robustness“, in *15th International Symposium on Power Semiconductor Devices and ICs (ISPSD)*, 2003.
- [108] T. Basler, J. Lutz, und R. Jakob, „IGBTs conducting diode-like surge currents“, in *International Symposium on Power Semiconductor Devices and ICs (ISPSD)*, 2014.
- [109] D. A. Murdock, J. E. R. Torres, J. J. Connors, und R. D. L. Lorenz, „Active Thermal Control of Power Electronics Modules“, *IEEE Transactions on Industry Applications*, 2006.
- [110] D. Silber und M. J. Robertson, „Thermal Effects on the Forward Characteristics of Silicon p-i-n Diodes at High Pulse Currents“, *Solid State Electronics*, 1973.
- [111] F. Hille, F. Umbach, T. Raker, und R. Roth, „Failure mechanism and improvement potential of IGBT’s short circuit operation“, in *22nd International Symposium on Power Semiconductor Devices & ICs (ISPSD)*, 2010.
- [112] P. D. Reigosa, R. Wu, F. Iannuzzo, und F. Blaabjerg, „Robustness of MW-Level IGBT Modules against Gate Oscillations under Short Circuit Events“, *Microelectronics Reliability*, 2015.
- [113] C. Bäumler, M. Hernes, J. Kowalsky, und J. Lutz, „Short Circuit Robustness of an Aged High Power IGBT-Module“, in *21th European Conference on Power Electronics and Applications (EPE)*, 2019.
- [114] M. Spang und G. Katzenberger, „Current sharing between parallel IGBTs in power modules during short circuit with unsymmetrically connected load“, in *18th European Conference on Power Electronics and Applications (EPE)*, 2016.
- [115] T. Basler, T. Brückner, R. Jakob, P. Sadowski, G. Junge, und J. Lutz, „Short-Circuit Behaviour of High-Voltage IGBTs in Circuits with di/dt Snubbers“, in *International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management (PCIM Europe)*, 2012.
- [116] R. Baburske u. a., „Comparison of Critical Current Filaments in IGBT Short Circuit and during Diode Turn-off“, in *26th International Symposium on Power Semiconductor Devices and ICs (ISPSD)*, 2014.
- [117] Mitsubishi Electric, „Datasheet CM1200HG-90R“, 2013. [Online]. Verfügbar unter:  
[http://www.mitsubishielectric.com/semiconductors/content/product/powermod/powmod/hvigtmod/hvigt/cm1200hg-90r\\_e.pdf](http://www.mitsubishielectric.com/semiconductors/content/product/powermod/powmod/hvigtmod/hvigt/cm1200hg-90r_e.pdf).  
[Zugegriffen: 20-Mai-2020].

- [118] S. Musumeci, R. Pagano, A. Raciti, G. Belverde, C. Guastella, und M. Melito, „A Novel Protection Technique Devoted to the Improvement of the Short Circuit Ruggedness of IGBTs“, in *IECON Proceedings (Industrial Electronics Conference)*, 2003.
- [119] J. Li, J. Xu, L. Qi, Z. Pan, und R. Burgos, „Analysis and Control of Fault Tolerant Operation of Five-level ANPC Inverters“, in *15th Workshop on Control and Modeling for Power Electronics (COMPEL)*, 2014.
- [120] S. Musumeci, R. Pagano, A. Raciti, F. Frisina, und M. Melito, „Parallel Strings of IGBTs in Short Circuit Transients: Analysis of the Parameter Influence and Experimental Behavior“, in *28th Annual Conference of the Industrial Electronics Society (IECON)*, 2002.
- [121] T. Basler, J. Lutz, T. Brückner, und R. Jakob, „IGBT Self-Turn-Off under Short-Circuit Condition IGBT Self-Turn-Off under Short-Circuit Condition“, in *10th International Seminar on Power Semiconductors (ISPS)*, 2010.
- [122] H.-G. Eckel und L. Sack, „Optimization of the Short-Circuit Behaviour of NPT-IGBT by the Gate Drive“, in *European Conference on Power Electronics and Applications (EPE)*, 1995.
- [123] P. Münster, R. Schrader, Q. T. Tran, S. Gierschner, und H.-G. Eckel, „Influence of Gate Structures and Electrical Boundary Conditions on Self Turn-On of HV IGBTs“, in *19th European Conference on Power Electronics and Applications (EPE)*, 2017.
- [124] J. W. Böhmer, J. Schumann, und H.-G. Eckel, „Negative differential miller capacitance during switching transients of IGBTs“, in *14th European Conference on Power Electronics and Applications (EPE)*, 2011.
- [125] R. Schrader, D. Hammes, und H.-G. Eckel, „Influence of Self Turn-ON effect on current imbalances due to inductance asymmetries during parallel turn-ON of IGBTs“, in *International Seminar on Power Semiconductors (ISPS)*, 2018.
- [126] I. Omura, H. Ohashi, und W. Fichtner, „IGBT negative gate capacitance and related instability effects“, *IEEE Electron Device Letters*, 1997.
- [127] I. Omura, W. Fichtner, und H. Ohashi, „Oscillation Effects in IGBT's Related to Negative Capacitance Phenomena“, *IEEE Transactions on Electron Devices*, 1999.
- [128] P. Münster, R. Schrader, J. Fuhrmann, und H.-G. Eckel, „Voltage dependency of HV-IGBT turn-on caused by Self Turn-on“, in *14th International Seminar on Power Semiconductors (ISPS)*, 2018.
- [129] R. Baburske, F. J. Niedernostheide, J. Lutz, H.-J. Schulze, E. Falck, und J. G. Bauer, „Cathode-side current filaments in high-voltage power diodes beyond the SOA limit“, *IEEE Transactions on Electron Devices*, 2013.
- [130] F. Huang und F. Flett, „IGBT Fault Protection Based on di/dt Feedback Control“, in *IEEE Power Electronics Specialists Conference (PESC)*, 2007.

- [131] Z. Wang, X. Shi, L. M. Tolbert, B. J. Blalock, und M. Chinthavali, „A Fast Overcurrent Protection Scheme for IGBT Modules Through Dynamic Fault Current Evaluation“, in *IEEE Applied Power Electronics Conference and Exposition (APEC)*, 2013.
- [132] Infineon AG, „Datasheet FZ1500R33HE3“, 2019. [Online]. Verfügbar unter: [https://www.infineon.com/dgdl/Infineon-FZ1500R33HE3-DataSheet-v03\\_03-EN.pdf?fileId=db3a304314dca389011527dfc61411c3](https://www.infineon.com/dgdl/Infineon-FZ1500R33HE3-DataSheet-v03_03-EN.pdf?fileId=db3a304314dca389011527dfc61411c3).
- [133] J. Fuhrmann, D. Hammes, und H.-G. Eckel, „High-voltage diode robustness during short-circuit type III“, in *International Symposium on Power Semiconductor Devices and ICs (ISPSD)*, 2017.
- [134] S. Pendharkar und K. Shenai, „Zero Voltage Switching Behavior of Punchthrough and Nonpunchthrough Insulated Gate Bipolar Transistors (IGBT's)“, *IEEE Transactions on Electron Devices*, 1998.
- [135] R. Baburske, D. Domes, J. Lutz, und W. Hofmann, „Passive turn-on process of IGBTs in Matrix converter applications“, in *13th European Conference on Power Electronics and Applications (EPE)*, 2009.
- [136] J. Fuhrmann und H.-G. Eckel, „Dynamic Avalanche in High Voltage Diodes during Short Circuit III“, in *International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management (PCIM Europe)*, 2015.
- [137] R. Baburske, F.-J. Niedernostheide, E. Falck, J. Lutz, H.-J. Schulze, und J. Bauer, „Destruction Behavior of Power Diodes beyond the SOA Limit“, in *International Symposium on Power Semiconductor Devices and ICs*, 2012.
- [138] S. Lefebvre, F. Forest, F. Calmon, und J. P. Chante, „Turn-off Analysis of the IGBT used in ZCS Mode“, in *6th International Symposium on Power Semiconductor Devices & IC's*, 1994.
- [139] R. Baburske, B. Heinze, F. J. Niedernostheide, J. Lutz, und D. Silber, „On the formation of stationary destructive cathode-side filaments in p+-n--n+ diodes“, *Proceedings of the International Symposium on Power Semiconductor Devices and ICs*, 2009.
- [140] C. Meyer, C. Romaus, und R. W. DeDoncker, „Five Level Neutral-Point Clamped Inverter for a Dynamic Voltage Restorer“, in *European Conference on Power Electronics and Applications (EPE)*, 2005.
- [141] S. Lefebvre, F. Forest, F. Costa, und J. Arnould, „Turn-off analysis of PT and NPT IGBTs in zero-current switching“, *IEE Proceedings - Circuits, Devices and Systems*, 1998.
- [142] Synopsys, „Sentaurus Device“, 2020. [Online]. Verfügbar unter: <https://www.synopsys.com/silicon/tcad/device-simulation/sentaurus-device.html>. [Zugegriffen: 17-Juli-2020].
- [143] A. Mauder, T. Laska, und L. Lorenz, „Dynamic Behaviour and Ruggedness of Advanced Fast Switching IGBTs and Diodes“, in *38th IAS Annual Meeting on Conference Record of the Industry Applications Conference*, 2003.

- [144] T. Ohi, A. Iwata, und K. Arai, „Investigation of Gate Voltage Oscillations in an IGBT Module under Short Circuit Conditions“, in *33rd IEEE Power Electronics Specialists Conference. Proceedings (PESC)*, 2002.
- [145] R. Siemieniec, J. Lutz, und R. Herzer, „Analysis of Dynamic Impatt Oscillations caused by Radiation Induced Deep Centers“, in *15th International Symposium on Power Semiconductor Devices and ICs (ISPSD)*, 2003.
- [146] M. Rahimo, A. Kopta, S. Eicher, U. Schlapbach, und S. Linder, „Switching-Self-Clamping-Mode “SSCM”, a breakthrough in SOA performance for high voltage IGBTs and Diodes“, in *16th International Symposium on Power Semiconductor Devices and ICs*, 2004.
- [147] H. Schlangenotto und H. Neubrand, „Dynamischer Avalanche beim Abschalten von GTO-Thyristoren und IGBTs“, *Archiv für Elektrotechnik*, 1989.
- [148] J. Fuhrmann, H.-G. Eckel, und S. Klauke, „Short-Circuit Behavior of series-connected High-Voltage IGBTs“, in *18th European Conference on Power Electronics and Applications (EPE)*, 2016.
- [149] J. Li, A. Q. Huang, Z. Liang, und S. Bhattacharya, „Analysis and Design of Active NPC (ANPC) Inverters for Fault-Tolerant Operation of High-Power Electrical Drives“, *IEEE Transactions on Power Electronics*, 2012.
- [150] A. L. De Lacerda und E. R. C. Da Silva, „Study of failures in a three-phase active neutral point clamped rectifier: Short-circuit and open-circuit faults“, in *IEEE Energy Conversion Congress and Exposition (ECCE)*, 2015.
- [151] P. D. Reigosa, F. Iannuzzo, und M. Rahimo, „TCAD Analysis of Short-Circuit Oscillations in IGBTs“, in *International Symposium on Power Semiconductor Devices and ICs (ISPSD)*, 2017.
- [152] R. Katebi, J. He, und N. Weise, „An Advanced Three-Level Active Neutral-Point-Clamped Converter with Improved Fault-Tolerant Capabilities“, *IEEE Transactions on Power Electronics*, 2018.
- [153] P. Lezana, J. Pou, T. A. Meynard, J. Rodriguez, S. Ceballos, und F. Richardeau, „Survey on Fault Operation on Multilevel Inverters“, *IEEE Transactions on Industrial Electronics*, 2010.
- [154] A. Nagel und T. Kerwer, „Design of a 1kA pulsed current source with 60ns rise time for the analysis of current probes“, in *International Exhibition and Conference for Power Electronics, Intelligent Motion, Power Quality (PCIM Europe)*, 2004.
- [155] G.-T. Park, T.-J. Kim, D.-W. Kang, und D.-S. Hyun, „Control Method of NPC Inverter for Continuous Operation Under One Phase Fault Condition“, in *39th IEEE Industry Applications Conference (IAS)*, 2004.
- [156] E. R. da Silva, W. S. Lima, A. S. de Oliveira, C. B. Jacobina, und H. Razik, „Detection and compensation of switch faults in a three level inverter“, in *37th IEEE Power Electronics Specialists Conference (PESC)*, 2006.

- [157] A. K. Jain und V. T. Ranganathan, „V<sub>CE</sub> Sensing for IGBT Protection in NPC Three Level Converters—Causes For Spurious Trippings and Their Elimination“, *IEEE Transactions on Power Electronics*, 2011.
- [158] S. Ceballos u. a., „Three-Level Converter Topologies With Switch Breakdown Fault-Tolerance Capability“, *IEEE Transactions on Industrial Electronics*, 2008.
- [159] B. Gutschmann, D. Silber, und P. Mourick, „Explanation of IGBT Tail current Oscillations by a Novel ‚Plasma Extraction Transit Time‘ Mechanism“, in *European Solid-State Device Research Conference*, 2001.
- [160] R. Siemieniec, P. Mourick, J. Lutz, und M. Netzel, „Analysis of Plasma Extraction Transit Time Oscillations in Bipolar Power Devices“, in *16th International Symposium on Power Semiconductor Devices and ICs*, 2004.
- [161] Y. Hein u. a., „Reduction of negative effects of a short circuit through improved converter topology for wind energy applications“, in *20th European Conference on Power Electronics and Applications (EPE)*, 2018.
- [162] B. A. Welchko, T. A. Lipo, T. M. Jahns, und S. E. Schulz, „Fault Tolerant Three-Phase AC Motor Drive Topologies; A Comparison of Features, Cost, and Limitations“, in *IEEE International Electric Machines and Drives Conference (IEMDC)*, 2003.
- [163] A. M. S. Mendes und A. J. M. Cardoso, „Fault-Tolerant Operating Strategies Applied to Three-Phase Induction-Motor Drives“, *IEEE Transactions on Industrial Electronics*, 2006.
- [164] X. Kou, S. M. Ieee, K. A. Corzine, M. Ieee, Y. Familant, und N. C. Street, „A Unique Fault-Tolerant Design for Flying Capacitor Multilevel Inverters Department of Electrical Engineering“, *IEEE Transactions on Power Electronics*, 2004.
- [165] S. Ceballos, J. Pou, E. Robles, J. Zaragoza, und J. L. Martin, „Performance evaluation of fault-tolerant neutral-point-clamped converters“, *IEEE Transactions on Industrial Electronics*, 2010.
- [166] B. Mirafzal, „Survey of fault-tolerance techniques for three-phase voltage source inverters“, *IEEE Transactions on Industrial Electronics*, 2014.
- [167] B. Aydin, F. Dugal, E. Tsyplakov, R. Schnell, L. Storasta, und T. Clausen, „IGBT Press-Packs for the Industrial Market“, *Power Electronics Europe*, Nr. 7, 2011.
- [168] A. R. J. Hefner, „An investigation of the drive circuit requirements for the power insulated gate bipolar transistor (IGBT)“, in *21st IEEE Conference on Power Electronics Specialists*, 1991.
- [169] C. Bödeker und N. Kaminski, „Implementation and Investigation of the Dynamic Active Clamping for Silicon Carbide MOSFETs“, in *18th European Conference on Power Electronics and Applications (EPE)*, 2016.
- [170] J. Saiz, M. Mermet, D. Frey, P. O. Jeannin, J. L. Schanen, und P. Muszicki, „Optimisation and integration of an active clamping circuit for IGBT series association“, in *IEEE Industry Applications Society (IAS)*, 2001.

- 
- [171] J. Fuhrmann und H.-G. Eckel, „Ultra-fast voltage clamping for fast power-semiconductor modules“, in *21st European Conference on Power Electronics and Applications (EPE)*, 2019.
- [172] J. Kowalsky, T. Simon, M. Geske, T. Basler, und J. Lutz, „Surge Current Behaviour of Different IGBT Designs“, in *Power Conversion and Intelligent Motion (PCIM Europe)*, 2015.
- [173] M. Beier-Möbius und J. Lutz, „Breakdown of gate oxide of SiC-MOSFETs and Si-IGBTs under high temperature and high gate voltage“, in *International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management (PCIM Europe)*, 2017.

## Abbildungsverzeichnis

Abbildung 2-1: Übersicht über alle Dreipunktumrichter Varianten .....	8
Abbildung 2-2: NPC-Struktur .....	10
Abbildung 2-3: Auswahl Schaltzustände ANPC-Dreipunktumrichter (ohne $0_3^\pm$ ) .....	16
Abbildung 2-4: Phasenaufbau des ANPC-Dreipunktumrichters im hier verwendeten Teststand.....	18
Abbildung 2-5: Darstellung der Symmetrien im Fehlerbild zur Reduktion der Fehlerzahl.....	21
Abbildung 2-6: Gleiches Fehlerbild bei unterschiedlicher Ausgangslage .....	23
Abbildung 2-7: Übersicht über die Kategorien an Kurzschlussfehlern im ANPC Umrichter .....	26
Abbildung 3-1: Hergang des ersten Kurzschlussfalles im ANPC-Dreipunktumrichter .....	31
Abbildung 3-2: Messung des ersten Kurzschlussfalles .....	33
Abbildung 3-3: Vergleich KS I (durchgezogen) mit Einschaltvorgang (gestrichelt) .....	34
Abbildung 3-4: Vergleich KS I (durchgezogen) mit Ausschaltvorgang (gestrichelt) .....	36
Abbildung 3-5: Variation der Zwischenkreisspannung beim KS I .....	38
Abbildung 3-6: Sicherer Arbeitsbereich beim KS I mit variabler $U_{DC}$ .....	39
Abbildung 3-7: Variation der Chiptemperatur beim KS I .....	40
Abbildung 3-8: Variation der Streuinduktivität beim KS I .....	42
Abbildung 3-9: Sicherer Arbeitsbereich beim KS I mit variablem $L\sigma$ .....	43
Abbildung 3-10: Auswirkung hoher Streuinduktivität im KS I .....	43
Abbildung 3-11: Hergang des zweiten Kurzschlussfalles im ANPC-Dreipunktumrichter.....	46
Abbildung 3-12: Messung des zweiten Kurzschlussfalles.....	48
Abbildung 3-13: Sicherer Arbeitsbereich für KS I gegenüber KS II.....	49
Abbildung 3-14: Auszug vom Beginn des KS II .....	51
Abbildung 3-15: Auszug ab Ent sättigung beim KS II .....	53
Abbildung 3-16: Variation der Zwischenkreisspannung beim KS II .....	55
Abbildung 3-17: Halbleiterversagen im zweiten Kurzschlussfall.....	57
Abbildung 3-18: Kurzschlussarbeitsbereich des Halbleiterversagens beim KS II.....	58
Abbildung 3-19: Schutzschaltung zur Gegenkoppelung des Stromanstieg.....	59
Abbildung 3-20: Auswirkung der Gegenkoppelung des Stromanstieg im KS II (mit) im Vergleich zu einem ‚normalen‘ Fehlerfall (ohne).....	60
Abbildung 3-21: Maximaler Kurzschlussstrom ohne und mit Gegenkoppelung im KS II.....	61
Abbildung 3-22: Kurzschlussarbeitsbereich beim KS II mit und ohne Gegenkoppelung.....	62
Abbildung 3-23: Auszug bei Variation des Laststromes im KS II .....	63
Abbildung 3-24: Auszug vom Anfang des KS II ZC im Vergleich zum KS II.....	64
Abbildung 3-25: Variation der Chiptemperatur beim KS II.....	65
Abbildung 3-26: Variation der Streuinduktivität beim KS II .....	66
Abbildung 3-27: Kurzschlussarbeitsbereich beim KS II mit variabler Streuinduktivität.....	68
Abbildung 3-28: Hergang des dritten Kurzschlussfalles im ANPC-Dreipunktumrichter .....	70
Abbildung 3-29: Messung des dritten Kurzschlussfalles .....	71
Abbildung 3-30: Auszug vom Beginn des KS III mit dem Forward-Recovery-Effekt .....	72
Abbildung 3-31: Messung von Diode und IGBT separat im KS III.....	73
Abbildung 3-32: Kurzschlussarbeitsbereich beim KS III mit getrennter Diode und IGBT.....	75
Abbildung 3-33: Auszug bei Variation des Laststromes im KS III für den IGBT .....	76
Abbildung 3-34: Hergang des vierten Kurzschlussfalles im ANPC-Dreipunktumrichter .....	80
Abbildung 3-35: Messung des vierten Kurzschlussfalles.....	81
Abbildung 3-36: Vergleich KS IV (durchgezogen) mit Ausschaltvorgang (gestrichelt).....	82
Abbildung 3-37: Variation der Zwischenkreisspannung beim KS IV.....	83



Abbildung 3-38: Variation des Laststromes im KS IV .....	84
Abbildung 3-39: Variation der Chiptemperatur beim KS IV .....	84
Abbildung 3-40: Variation der Streuinduktivität im KS IV .....	85
Abbildung 3-41: Aufsteuern des IGBTs im KS IV durch Schutzbeschaltung mit Spannungsbegrenzung (mit) im Vergleich zum KS IV ohne Eingriff (ohne) .....	86
Abbildung 4-1: Nullspannungskommutierung für den IGBT bei 0 $\mu$ s .....	88
Abbildung 4-2: Theorie zum fehlenden Kurzschlussfall .....	89
Abbildung 4-3: Erster Teil zur möglichen Variante vom Auftreten des reinen Plasmakurzschlusses der Diode im ANPC-Dreipunktumrichter .....	91
Abbildung 4-4: Messung des vierten Kurzschlussfalles ohne Laststrom .....	93
Abbildung 4-5: Vergleich KS 4 mit (gestrichelt) und ohne (durchgezogen) Laststrom .....	94
Abbildung 4-6: Auszug des Vergleiches KS IV mit dem KS IV ZC .....	95
Abbildung 4-7: Einflussfaktoren auf den KS IV ZC .....	96
Abbildung 4-8: Variation der Zwischenkreisspannung beim KS IV ZC .....	97
Abbildung 4-9: Variation von $U_{DC}$ mit der Auswirkung auf $U_{KA,MAX}$ , $\Delta U_{KA}$ und $I_{KS,MAX}$ .....	98
Abbildung 4-10: Variation des Laststromes vor dem ZVC beim KS IV ZC .....	99
Abbildung 4-11: Verteilung des Plasmas vor dem Kurzschluss in Abhängigkeit von $t_{D,KS}$ .....	100
Abbildung 4-12: Auswirkung der Variation der Zeitverzögerung im KS IV ZC auf $I_{KS,MAX}$ .....	101
Abbildung 4-13: Anomalie bei $t_{D,KS} = 45 \mu$ s im Vergleich zu zwei normalen Messungen .....	102
Abbildung 4-14: Abhängigkeit der Anomalie von der Zwischenkreisspannung .....	103
Abbildung 4-15: Messung des fünften Kurzschlussfalles im ANPC-Teststand .....	106
Abbildung 4-16: Erklärung der Interferenzen im KS V bei Einsatz von ANPC-Dreipunktumrichtern ...	107
Abbildung 4-17: Ereignisse für das betroffene Bauteil vor dem Eintritt des KS V für $I_{12}$ .....	109
Abbildung 4-18: Messung des reinen fünften Kurzschlussfalles im Spezialteststand .....	110
Abbildung 4-19: Vergleich KS V im Spezialteststand (durchgezogen) mit KS V* (gestrichelt) sowie KS IV ZC im ANPC-Dreipunktumrichter (gestrichelt-gepunktet) .....	111
Abbildung 4-20: Kurzschlussarbeitsbereich für die drei plasmadominierten Halbleiterfehler KS IV, KS IV ZC und KS V .....	112
Abbildung 4-21: Variation der Zwischenkreisspannung beim KS V .....	113
Abbildung 4-22: Auswirkung der Variation der Zeitverzögerung im KS V auf $I_{KS,MAX}$ und $U_{CE,MAX}$ .....	114
Abbildung 4-23: Variation der Zeitverzögerung im KS V bei ausgewählten Punkten .....	115
Abbildung 5-1: Eintritt des KS II + II im ANPC-Dreipunktumrichter .....	118
Abbildung 5-2: Detailansicht des KS II + II im ANPC-Dreipunktumrichter erster Abschaltvorgang .....	120
Abbildung 5-3: Messung des Serienkurzschlusses KS II + II .....	121
Abbildung 5-4: Kurzschlussarbeitsbereich beim KS II im Vergleich zum KS II + II .....	122
Abbildung 5-5: Messung des Serienkurzschlusses KS II ZC + II ZC .....	124
Abbildung 5-6: Auftreten des KS II + II ZC im (A)NPC-Dreipunktumrichter .....	125
Abbildung 5-7: Messung des Serienkurzschlusses KS II + II ZC .....	126
Abbildung 5-8: Eintritt des KS II ZC + II im ANPC-Dreipunktumrichter .....	128
Abbildung 5-9: Messung des Serienkurzschlusses KS II ZC+ II .....	129
Abbildung 5-10: Auftreten des KS II ZC+ III im ANPC-Dreipunktumrichter .....	130
Abbildung 5-11: Messung des Serienkurzschlusses KS II ZC + III .....	131
Abbildung 5-12: Auftreten des KS III + III im ANPC-Dreipunktumrichter .....	132
Abbildung 5-13: Detaillierte Ansicht des KS III + III im ANPC-Dreipunktumrichter .....	133
Abbildung 5-14: Messung des Serienkurzschlusses KS III + III .....	134
Abbildung 5-15: Auftreten des KS IV + IV im ANPC-Dreipunktumrichter .....	135
Abbildung 5-16: Messung des Serienkurzschlusses KS IV + IV .....	136
Abbildung 5-17: Auftreten des KS [III +] IV im ANPC-Dreipunktumrichter .....	138

Abbildung 5-18: Messung des Pseudo-Serienkurzschlusses KS [III +] IV.....	139
Abbildung 5-19: Auftreten des KS [III +] V im ANPC-Dreipunktumrichter .....	140
Abbildung 5-20: Auftreten des KS [II +] IV ZC im ANPC-Dreipunktumrichter .....	141
Abbildung 6-1: Auftreten des KS II    II + III im ANPC-Dreipunktumrichter .....	144
Abbildung 6-2: Messung des parallelen Kurzschlusses KS II    II + III .....	146
Abbildung 6-3: Auszug vom Beginn des KS II    II + III .....	147
Abbildung 6-4: Auszug ab Entsättigung von $I_{31}$ & $I_{32}$ beim KS II    II + III.....	149
Abbildung 6-5: Messung des parallelen Kurzschlusses KS III    II + III .....	152
Abbildung 6-6: Auftreten und Abschaltproblematik des KS III    II + III.....	153
Abbildung 6-7: Auftreten des KS IV    II + II ZC im (A)NPC-Dreipunktumrichter.....	155
Abbildung 6-8: Messung des parallelen Kurzschlusses KS IV    II + II ZC .....	157
Abbildung 6-9: Auftreten des KS II    [III +] V im ANPC-Dreipunktumrichter.....	160
Abbildung 6-10: Messung des parallelen Kurzschlusses KS II    [III +] V.....	161
Abbildung 6-11: Auftreten des KS III    [II +] IV ZC im ANPC-Dreipunktumrichter.....	162
Abbildung 6-12: Messung des parallelen Kurzschlusses KS III    [II +] IV ZC.....	163
Abbildung 6-13: Auftreten des KS IV ZC    [III +] V im ANPC-Dreipunktumrichter.....	165
Abbildung 6-14: Messung des parallelen Kurzschlusses KS IV ZC    [III +] V.....	166
Abbildung 6-15: Auftreten des KS V    [II +] IV ZC im ANPC-Dreipunktumrichter.....	167
Abbildung 6-16: Messung des parallelen Kurzschlusses KS V    [II +] IV ZC.....	168
Abbildung 7-1: Auftreten des KS I* + II + II im ANPC-Dreipunktumrichter.....	171
Abbildung 7-2: Detailansicht des KS I* + II + II im ANPC-Dreipunktumrichter .....	173
Abbildung 7-3: Messung des Überspannungskurzschlusses KS I* + II + II.....	174
Abbildung 7-4: Auftreten des KS I* + III + III im ANPC-Dreipunktumrichter.....	177
Abbildung 7-5: Messung des Überspannungskurzschlusses KS I* + III + III.....	178
Abbildung 7-6: Messung des Überspannungskurzschlusses KS I* + IV + IV .....	179
Abbildung 7-7: Auftreten des KS II ZC    I* + II + II im ANPC-Dreipunktumrichter.....	182
Abbildung 7-8: Messung des Überspannungskurzschlusses KS II ZC    I* + II + II .....	183
Abbildung 7-9: Auszug vom Beginn des KS II ZC    I* + II + II .....	184
Abbildung 7-10: Detailansicht des KS II ZC    I* + II + II im ANPC-Dreipunktumrichter.....	185
Abbildung 7-11: Auszug im Bereich der Entsättigung $I_{11}$ & $I_{31}$ im KS II ZC    I* + II + II .....	187
Abbildung 7-12: Auszug beim Abschalten von $I_{11}$ des KS II ZC    I* + II + II .....	188
Abbildung 7-13: Auftreten des KS II ZC    I* + III + III im ANPC-Dreipunktumrichter.....	190
Abbildung 7-14: Messung des Überspannungskurzschlusses KS II ZC    I* + III + III .....	191
Abbildung 7-15: Auftreten des KS V    I* + III + III im ANPC-Dreipunktumrichter .....	194
Abbildung 7-16: Messung des Überspannungskurzschlusses KS V    I* + II + II.....	195
Abbildung 7-17: Auszug am Anfang des KS V    I* + II + II .....	196
Abbildung 7-18: Vergleich der ersten Mikrosekunden zwischen KS I* + II + II (aus), KS V    I* + II + II (KS V mit $t_{D,KS} = 15 \mu s$ ) und KS II ZC    I* + II + II (KS II ZC) für $I_{21}$ & $I_{32}$ .....	197
Abbildung 7-19: Abnahme des Plasmas im IGBT $I_{21}$ mit Zunahme der Zeitdifferenz von $t_{D,KS}$ .....	198
Abbildung 7-20: Messung des Überspannungskurzschlusses KS IV ZC    I* + III + III .....	199
Abbildung 8-1: Symmetrischer Stoßstrom im ANPC-Dreipunktumrichter.....	201
Abbildung 8-2: Symmetrischer Stoßstrom im ANPC-Dreipunktumrichter (simuliert) .....	202
Abbildung 8-3: Asymmetrischer Stoßstrom im ANPC-Dreipunktumrichter.....	203
Abbildung 8-4: Asymmetrischer Stoßstrom im ANPC-Dreipunktumrichter (simuliert) .....	204
Abbildung 8-5: Stoßstrom mit Gegenspannung im ANPC-Dreipunktumrichter .....	204
Abbildung 8-6: Stoßstrom mit Gegenspannung im ANPC-Dreipunktumrichter (simuliert).....	205
Abbildung 8-7: (Schalt-) Zustände für positive Phasenausgangsspannung .....	207
Abbildung 8-8: (Schalt-) Zustände für Phasenausgangsspannung mit (plus) null Volt .....	208

---

<i>Abbildung 8-9: (Schalt-) Zustände für Phasenausgangsspannung mit (minus) null Volt</i> .....	209
<i>Abbildung 8-10: (Schalt-) Zustände für negative Phasenausgangsspannung</i> .....	210
<i>Abbildung 8-11: Sonderfälle an (Schalt-) Zuständen</i> .....	211
<i>Abbildung 10-1: Kapazitives Ersatzschaltbild des IGBTs zur Erklärung von Kurzschlüssen</i> .....	221
<i>Abbildung 10-2: Ersatzschaltbild der bipolaren Diode im Reverse-Recovery-Vorgang</i> .....	223
<i>Abbildung 10-3: AGC Schutzschaltung</i> .....	224
<i>Abbildung 10-4: PGC Schutzschaltung</i> .....	226
<i>Abbildung 10-5: Schaltung zur Gegenkoppelung des Stromanstieg (Abbildung 3-19)</i> .....	227
<i>Abbildung 10-6: Moderates pos. di/dt</i> .....	228

---

## Thesen

- ❖ Die Kurzschlussfälle im ANPC-Dreipunktumrichter lassen sich in fünf Kategorien gemäß des auftretenden Fehlerbildes aufteilen.
- ❖ Die vier bekannten Basiskurzschlüsse des Zweipunktumrichters treten genauso gut im ANPC-Dreipunktumrichter auf, führen dort jedoch zu Potentialänderungen über weitere Halbleiter.
- ❖ Der Plasmakurzschluss des IGBTs hat ein entsprechendes Pendant für die bipolare Diode. Beide können beim ANPC-Dreipunktumrichter, nicht jedoch im Zweipunktumrichter auftreten.
- ❖ Die Plasmakurzschlüsse für Diode und IGBT können nur für eine kurze Zeit existieren, bevor die Rekombination der Restladung sie verhindert.
- ❖ Fehlerfälle mit mehr als einem beteiligten Kurzschluss lassen sich aus den Basis- und Plasmakurzschlüssen zu einem gewissen Grad ableiten.
- ❖ Eine Serienschaltung zweier Kurzschlüsse verhält sich relativ ähnlich zu den Einzelkurzschlüssen unter Beachtung der erhöhten Streuinduktivität, der Spannungsaufteilung und der richtigen Abschaltreihenfolge.
- ❖ Die Anwesenheit von plasmadominierten Kurzschlüssen reduziert die Serienkurzschlüsse zu einem einzelnen Halbleiterfehler.
- ❖ Je nachdem, welcher Pfad für das Null-Volt-Level gewählt wird, ergeben sich unterschiedliche Fehlerkombinationen, die so zum Teil nur im ANPC-Dreipunktumrichter auftreten können.
- ❖ Bei der Parallelschaltung von Kurzschlüssen verteilen sich die Stromanstiege gemäß eines Stromteilers. Kommt es zur Entsättigung von ein oder zwei IGBTs, so wird der Stromteiler verändert und der oder die IGBTs dominieren das Geschehen.
- ❖ Auch bei den parallelen Kurzschlüssen unterbinden Halbleiterfehler mit Plasma das Eintreten von Kurzschlüssen des IGBTs.
- ❖ Es kann zur Belastung mit der vollen Zwischenkreisspannung von zwei der sechs Halbleitern im ANPC-Dreipunktumrichter kommen, je nachdem an welcher Stelle ein weiterer Halbleiter durchbricht und welcher der aktuelle Schaltzustand ist.

- ❖ Das verhindern der vorherigen Situation durch Begrenzung der Spannung über dem betroffenen IGBT schaltet diesen in den aktiven Bereich und führt zu einer neuen Fehlersituation mit Ausbreitung des Kurzschlusses.
- ❖ Das Abschalten des Überspannungskurzschluss wird durch den Laststrom in bestimmten Situationen unterbunden und muss zur Vermeidung sekundärer Ausfälle unter Zuhilfenahme eines zusätzlichen Schaltzustands gelöst werden.
- ❖ Das Ein- oder Ausschalten von unbeteiligten Halbleitern am Phasenzustand vor dem Überspannungskurzschluss kann die eintretenden Fehlersituation maßgeblich in ihrem Verlauf verändern.
- ❖ Mit Hilfe von passiven Schutzbeschaltungen kann auch der ANPC-Dreipunktumrichter Kurzschlussresistent gestaltet werden unter der Grundvoraussetzung, dass die verwendeten Halbleiter eine gewisse Toleranz gegenüber den vier Basisfällen (KS I - IV) aufweisen.
- ❖ Treten sekundäre Ausfälle im ANPC-Dreipunktumrichter auf, so können unter bestimmten Umständen Stoßströme auftreten. Dabei ist eine Mehrheit von ihnen weniger kritisch, als im Zweipunktumrichter, da die ANPC-Variante oft eine Gegenspannung im Fehlerkreis aufbieten kann.

## Eidesstaatliche Erklärung

Ich versichere hiermit, dass ich die vorliegende Arbeit selbstständig und ohne die Nutzung anderer als der angegebenen Hilfsmittel angefertigt habe.

Es werden weiterhin keine Rechte von Dritten durch mein Werk verletzt.

Alle Stellen, die wörtlich oder sinngemäß aus Veröffentlichungen entnommen wurden, habe ich als solche kenntlich gemacht.

Rostock, den 18. Januar 2022

gez. David Hammes