

## 修士論文の和文要旨

研究科・専攻	大学院 基盤理工学専攻 博士前期課程		
氏名	瀬賀 直功	学籍番号	2033063
論文題目	単一磁束量子の2進パルス列を利用したD/A変換器の研究		
要旨	<p>単一磁束量子(Single Flux Quantum)を用いた超伝導回路であるRSFQ(Rapid-SFQ)回路は、100GHzを超える帯域およびCMOSの1/1000以下の消費電力であることから、次世代の基盤技術として研究されている。SFQ回路の動作原理となるJosephson効果では、SFQがジョセフソン接合を通過する際に、その通過周波数に比例する高精度電圧が出力されることが示されている。この電圧は量子力学で保証される高精度電圧標準そのため、直流の一次電圧標準として用いられている。一方、交流の一次標準の作成にはいまだに至っておらず、研究が行われている。高精度交流電圧出力の方式として、RSFQ回路上でSFQパルス列の周波数可変回路を作製することによって、任意電圧の出力を行う周波数変調型RSFQ Digital-to-Analog Converter(DAC)などが研究されている。その中でも本研究ではSum of selected bit sequence(<math>\Sigma</math>-SBS)型のRSFQ-DACに着目した。<math>\Sigma</math>-SBS型RSFQ-DACは、SFQパルス列を2のべき乗のパルス列に分割し、指定されたパルス列のみを合成することで、2進数で表されたデータに対応する出力SFQパルス列を生成する。先行研究では6bit <math>\Sigma</math>-SBS RSFQ-DACが設計および試作され、1.7<math>\mu</math>Vまでの出力電圧で正常動作が確認された。しかし、計算上の動作限界では23<math>\mu</math>V程度が期待されていたため、想定よりも出力が低いことが報告された。そこで本研究では、先行研究で示された<math>\Sigma</math>-SBSの最大動作速度を向上させるため、改良及び回路機構の変更を行った。主要な回路調整として、SFQパルス列の合成に対して適切な遅延を介することで、SFQパルス列同士の合成時に衝突を起こす頻度を減少させる機構を提案した。また、入力データの最上位ビット(Most Significant Bit: MSB)を分離することで動作速度の向上及び正負両極動作を行う機構も提案した。設計された<math>\Sigma</math>-SBS RSFQ-DACでは最大出力電圧は244<math>\mu</math>Vとなり、数値計算によって得られた最大出力電圧の259.8<math>\mu</math>Vに対して94%程の動作が確認された。この結果は先行研究の1.7<math>\mu</math>Vの144倍となった。また、MSB分離型4bit<math>\Sigma</math>-SBSは差動アンプを介して正負両極動作の測定を行い、-260<math>\mu</math>Vから230<math>\mu</math>Vまでの両極動作が確認された。本研究では8bitなどの高段での設計も同様に行ったが、正常動作が得られなかった。今後の目標として、回路を構成するセルライブラリなどの再設計を行うことで動作マージンを広げていく必要があると考えた。</p>		

# 令和3年度 修士論文

単一磁束量子の2進パルス列を用いた  
D/A変換器の研究

学籍番号 2033063

氏名 瀬賀 直功

基盤理工学専攻

主任指導教員 水柿 義直 教授

指導教員 島田 宏 教授

指導教員 守屋 雅隆 助教

提出日 令和4年1月26日

主任指導教員印	指導教員印	指導教員2印

## 概要

単一磁束量子(Single Flux Quantum)を用いた超伝導回路である RSFQ(Rapid-SFQ)回路は、100GHz を超える帯域および CMOS の 1/1000 以下の消費電力であることから、次世代の基盤技術として研究されている。SFQ 回路の動作原理となる Josephson 効果では、SFQ がジョセフソン接合を通過する際に、その通過周波数に比例する高精度電圧が出力されることが示されている。この電圧は量子力学で保証される高精度電圧標準そのため、直流の一次電圧標準として用いられている。一方、交流の一次標準の作成にはいまだに至っておらず、研究が行われている。高精度交流電圧出力の方式として、RSFQ 回路上で SFQ パルス列の周波数可変回路を作製することによって、任意電圧の出力を行う周波数変調型 RSFQ Digital-to-Analog Converter(DAC)などが研究されている。その中でも本研究では Sum of selected bit sequence( $\Sigma$ -SBS)型の RSFQ-DAC に着目した。 $\Sigma$ -SBS 型 RSFQ-DAC は、SFQ パルス列を 2 のべき乗のパルス列に分割し、指定されたパルス列のみを合成することで、2 進数で表されたデータに対応する出力 SFQ パルス列を生成する。先行研究では 6bit  $\Sigma$ -SBS RSFQ-DAC が設計および試作され、1.7 $\mu$ V までの出力電圧で正常動作が確認された。しかし、計算上の動作限界では 23 $\mu$ V 程度が期待されていたため、想定よりも出力が低いことが報告された。そこで本研究では、先行研究で示された  $\Sigma$ -SBS の最大動作速度を向上させるため、改良及び回路機構の変更を行った。RSFQ 回路の動作速度を決めるパラメータとして、臨界電流密度が挙げられる、先行研究では 2.5 kA/cm<sup>2</sup>のプロセスを採用していたが、本研究では10kA/cm<sup>2</sup>のプロセスを採用した。一般に、RSFQ 回路の動作周波数は臨界電流密度のルートに比例するため、従来に比べ 2 倍の速度での動作となる。出力電圧は通過周波数に比例することから、2 倍の動作電圧出力が期待される。また、主要な回路調整として、SFQ パルス列の合成に対して適切な遅延を介することで、SFQ パルス列同士の合成時に衝突を起こす頻度を減少させる機構を提案した。また、入力データの最上位ビット(Most Significant Bit: MSB)を分離することで動作速度の向上及び正負両極動作を行う機構も提案した。実際に設計されたチップを 4.2K 液体ヘリウム浴中で測定を行った。設計された  $\Sigma$ -SBS RSFQ-DAC では最大出力電圧は 244 $\mu$ V となり、数値計算によって得られた最大出力電圧の 259.8 $\mu$ V の 94%程の動作が確認され、良好な結果となった。この結果は先行研究の 1.7 $\mu$ V の 144 倍となり、最大動作帯域の大幅な向上となった。また、MSB 分離型 4bit $\Sigma$ -SBS は差動アンプを介して正負両極動作の測定を行い、-260 $\mu$ V から 230 $\mu$ V までの両極動作が確認された。本研究では 8bit などの高段での設計も同様に行ったが、正常動作が得られなかった。今後の目標として、回路を構成するセルライブラリなどの再設計を行うことで動作マージンを広げていく必要があると考えた。

概要	0
第1章 序論	4
1.1. 研究背景	4
1.2. 研究目的	5
第2章 原理	6
2.1. 超伝導	6
2.1.1 完全導電性	6
2.1.2 マイスナー効果	7
2.1.3 磁束の量子化	8
2.1.4 ジョセフソン効果	9
2.1.5 RSJ モデル	11
2.1.6 SQUID (Superconducting Quantum Interference Device: SQUID)	13
2.2. 単一磁束量子回路(Single Flux Quantum circuit: SFQ circuit)	14
2.2.1 ジョセフソン伝送線路(Josephson Transmission Line :JTL)	15
2.2.2 SFQ 論理セル	16
2.2.3 段数切換方式	21
2.2.4 CF 型パルス周波数変調方式	22
2.2.5 2進パルス列合成型パルス周波数変調方式( $\Sigma$ -SBS)	23
2.2.6 量子電圧増倍回路(DFQA)	24
第3章 回路設計及び試作方法	26
3.1. Nb 修正回路作成プロセス及び設計ルール	26
3.2. SFQ 論理セルライブラリ	28
3.3. 超伝導集積回路解析用プログラム	28
3.3.1 Verilog によるデジタルシミュレーション	28
3.3.2 Jsim によるアナログシミュレーション	29
3.3.3 自作スクリプトと Jsim による動作帯域シミュレーション	29
第4章 単極性 $\Sigma$ -SBS の設計と測定	32
4.1. 単極性 $\Sigma$ -SBS の動作原理	32
4.2. 単極性 $\Sigma$ -SBS の設計	35
4.3. 単極性 $\Sigma$ -SBS の測定結果	36
4.3.1 低速測定系	36
4.3.2 低速測定結果	37
4.3.3 高速測定系	38
4.3.4 高速測定結果	39

4.4.	考察 .....	39
第 5 章	MSB 分離型両極性 $\Sigma$ -SBS の設計と測定.....	42
5.1.	MSB 分離型両極性 $\Sigma$ -SBS の動作原理.....	42
5.2.	MSB 分離型両極性 $\Sigma$ -SBS の設計 .....	49
5.3.	MSB 分離型両極性 $\Sigma$ -SBS の測定結果.....	50
5.3.1	低速測定系.....	50
5.3.2	低速測定結果.....	51
5.3.3	高速測定系.....	52
5.3.4	高速測定結果.....	54
5.3.5	考察 .....	55
第 6 章	結論 .....	59
6.1.	まとめ .....	59
6.2.	今後の展望 .....	59
参考文献	.....	60
謝辞	.....	60

# 第1章 序論

## 1.1. 研究背景

1908年にKamerlingh Onnesにより、ヘリウムの液化に成功したことをきっかけに、低温物理学の研究が進展した。同氏は1911年に4.2Kまで冷やした水銀の抵抗値が消失することを発見し、超伝導(Superconductivity)と名付けた[1]。超伝導の解明や高温超伝導体の開発など基礎から応用まで幅広い研究が行われており、特に超伝導の特性として知られる、完全導電性、マイスナー効果、磁束の量子化、ジョセフソン効果などは、常伝導体では生じえない特異なものであるためエレクトロニクス分野での応用が注目されている。

本研究では特にジョセフソン効果が基盤技術となる。ジョセフソン効果は1962年にBrian David Josephsonによって予言され、1973年に実験により検証された現象である。薄い絶縁体を超伝導体で挟み込んだトンネル接合であるジョセフソン接合ではジョセフソン効果が生じ、超伝導エレクトロニクスへの応用が行われている。我々は超伝導エレクトロニクスの中でも、単一磁束量子 (Single Flux Quantum:SFQ) 回路に着眼して研究を行っている。ジョセフソン接合を含む超伝導ループ内部では、磁束が量子化しSFQとなることが論理的に示されており、SFQの有無を論理の'1'と'0'とすることによってデジタル回路を表現できる。SFQを用いた論理回路は1970年に中島[2,3]らによって考案され、その後Likharevらによって体系化された[4]。その基本的な回路をRSFQ(Rapid-SFQ)と呼ぶ。RSFQ回路では、磁束量子の通過方向を制御するバイアス電流と、伝達させるジョセフソン接合、そして内部動作を決定するインダクタンスなどで構成されている。

RSFQ回路の特徴として、大きく分けて回路の高速性と低消費電力性が挙げられる。RSFQは磁束量子を情報の伝達単体としており、現在一般的に普及しているCMOS半導体による電圧の高低を論理とした回路に比べ、高速に動作することが知られている。SFQの接合通過時間は数psであり、770GHzの速度でTFF論理回路の動作検証も行われている[5]。消費電力に関しては、CMOS回路の1/1000以下であることが知られている。

半導体回路はトランジスタの小型化により、nmオーダーでの微細加工技術が可能となっている。しかし、技術の発展に伴うコストの増大や、ゲート絶縁膜がトンネル効果により絶縁性を失う問題など、今までに見られなかった問題に直面しつつあり、ムーアの法則の破綻が示唆されている。このことからSFQ回路は半導体回路に代わる次世代の回路基板技術として注目されており、ALU[36]やマイクロプロセッサ[6]などの応用研究が行われている。一方、SFQ回路の欠点として、超伝導体かつ、現在集積回路が作成可能なニオブなどで動作確認が行われているため、ニオブの超伝導転移温度となる9.2K以下の環境が必要になる。一般に液体ヘリウムなどが4.2Kの冷媒として使用されている。近年の超伝導研究の進展、そしてMRIやリニアモーターカーなどによる超伝導デバイスの普及が進みつつあり、液体ヘリウムの価格高騰や入手の困難性が懸念されている。また、SFQの大きさは $2.07 \times 10^{-15} \text{Wb}$

と極微小であるため、室温環境では熱雑音や外部磁場による影響が大きく、課題となっている。

## 1.2. 研究目的

RSFQ 回路の特徴として、接合間に生じる出力電圧は、接合を通過する SFQ の周波数に比例することが知られている。この比例定数は物理定数であるため、原子発振などの高精度周波数を用いることで、15桁ほどの精度を持つ電圧出力が可能となる。本研究では RSFQ 回路を用いて接合を通過する周波数を外部入力によって変化させる回路を用いることで、交流の電圧標準への応用を目的とした、周波数変調型(Frequency Modulation :FM) RSFQ-D/A 変換器 (RSFQ-DAC)の設計及び動作特性の測定を行った。

## 第2章 原理

超伝導の原理及び特異的な性質について、大きく分けて4つの現象を挙げる

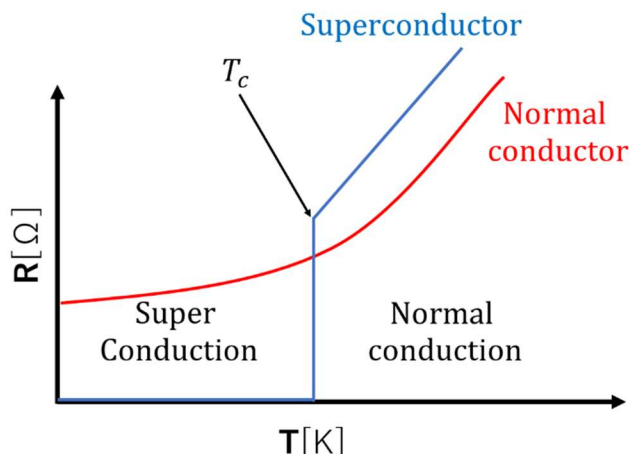
### 2.1. 超伝導

特定の物質を冷却すると、臨界温度を下回ったときに相転移することが知られており、常温状態と異なる性質が発現する。これを超伝導状態と呼び、超伝導状態に転移する物体を超伝導体という。超伝導体の代表例として、アルミニウム(臨界温度 1.2K)やニオブ(9.2K)などが研究で幅広く用いられている。

一般的に抵抗は金属原子の熱運動や格子振動により、電子の運動が阻害されるマクロモデルとして説明されている。しかし絶対零度でも格子振動が生じることが量子力学的に示されていることから、Fig 2.1 で示される状伝導体のグラフのように、電気抵抗が消失せずにある程度の抵抗まで減少すると考えられていた。しかし、超伝導体の温度特性を測定すると、青線のように臨界温度 $T_c$ を境に急激に抵抗値が0になる。これが超伝導への転移である。

#### 2.1.1 完全導電性

超伝導の原理として、電子の粒子としての振る舞いを考える必要がある。フェルミ粒子ではパウリの排他率によって、最低エネルギー順位に存在できる粒子は逆向きのスピン同



士の2粒子のみとなる。一方でボース粒子では、Bose-Einstein 統計に従うため、最低順位を任意の数の粒子が占める。常電導状態では電子はフェルミ粒子であるため、Fermi-Dirac 統

Fig 2.1 超伝導体と状伝導体の抵抗温度特性

計に従うこととなる。一方で極低温下では、電子は逆向きのスピンをもつ電子同士が電子対を形成し、ボース粒子となる。この電子対をクーパー対と呼ぶ。電子が結合しクーパー対となることで、すべてのキャリアが最低エネルギー順位を取るため、マクロな波動関数として振る舞う。マクロ波動関数内では、ペアとなっている一方の電子が原子散乱などを受けて運動量を失ったとき、対となっているもう一方の電子がフォノンを介して同等の運



動量を受けとる。そのため系として運動量を失うことなく、結論として原子散乱を無視して運動を行うように見える。

ここで、超伝導体に流れる電流について考える。超伝導状態では電気抵抗がないことから、一度流れた電流は止まることなく流れ続ける。これを永久電流と呼び、測定の結果 10 万年以上流れ続けていることが予測されている。電界  $\mathbf{E}$  中にある電荷  $q$ 、質量  $m$  の荷電粒子は、(2.1)の力を受けて運動する。

$$m \frac{d^2 \mathbf{r}}{dt^2} = q \mathbf{E} \quad (2.1)$$

超伝導電流密度  $\mathbf{J}_s$  はキャリア密度  $n$  を用いて(2.2)で与えられる

$$\mathbf{J}_s = qn \frac{d\mathbf{r}}{dt} \quad (2.2)$$

$$\frac{d}{dt} \mathbf{J}_s = qn \frac{d^2 \mathbf{r}}{dt^2} \quad (2.3)$$

(2.1)および(2.2)の両辺を  $t$  で微分した(2.4)式より、ロンドンの第一方程式となる(5.5)が導ける

$$\frac{d}{dt} \mathbf{J}_s = \frac{nq^2}{m} \mathbf{E} \quad (2.4)$$

(5.5)および超伝導電流が永久電流であることから、左辺は  $\mathbf{0}$  となり、 $\mathbf{E} = \mathbf{0}$  となることがわかる。すなわち、電流に対して電場が生じないため、電気抵抗が  $\mathbf{0}$  であることが示された。

### 2.1.2 マイスナー効果

超伝導体では、電気抵抗が  $\mathbf{0}$  になるだけでなく、のように磁場が超伝導体を通らず、超伝導体内部での磁束が  $\mathbf{0}$  となるマイスナー効果が生じる。1933 年に Meissner と Ochsenfeld によって発見され、完全反磁性と呼ばれる。これは浮き磁石などの実験が有名であり、通常であれば磁性を持たない高温の超伝導体に対して、ある程度の高さに磁石を置いた状態で超伝導状態に転移させると、磁石の支えを取ってもその場に固定されるという現象である。これは完全導電性では説明ができない現象であり、超伝導の異なる特異性を示している。

マクスウェル方程式を用いて説明する。まず、超伝導体を用いているため、抵抗率  $\rho = \mathbf{0}$  である。オームの法則より、超伝導電流密度  $\mathbf{j}$  に関わらず電界  $\mathbf{E}$  は(5.5)で表せ、常に電界が生じないことがわかる。

$$\mathbf{E} = \rho \mathbf{j} = \mathbf{0} \quad (2.5)$$

マクスウェル方程式に代入することによって(2.6)が得られ、磁場が時間によらず常に一定であることが示される。

$$\frac{\partial \mathbf{B}}{\partial t} = -\nabla \times \mathbf{E} = \mathbf{0} \quad (2.6)$$

しかし、超伝導状態に転移した時点で $\mathbf{B}$ が $\mathbf{0}$ でないとき、その値を保持し続けると見なせるため、常に磁束が通らない完全反磁性の説明にはならない。この現象は London 兄弟によって(2.7)および(5.5)の2つのロンドン方程式で説明された

$$\frac{\partial \mathbf{J}_s}{\partial t} = \frac{nq^2}{m} \mathbf{E} \quad (2.7)$$

$$\nabla \times \mathbf{J}_s = \frac{nq^2}{m} \mathbf{B} \quad (2.8)$$

(2.7),(2.8)はそれぞれロンドンの第一方程式、第二方程式と呼ばれている。Z 軸方向に無限に長い超伝導体を考え、そこへ外部から Z 軸方向に大きさ $B_0$ の磁場を加えたときの解を考える。この境界条件での解は(2.9)となる。

$$B(z) = B_0 \exp\left(-\frac{z}{\lambda_L}\right), \lambda_L = \sqrt{\frac{m}{\mu_0 nq^2}} \quad (2.9)$$

$\lambda_L$ はロンドン侵入長であり、超伝導体表面のみ磁場が侵入するが、内部では消失することを示している。

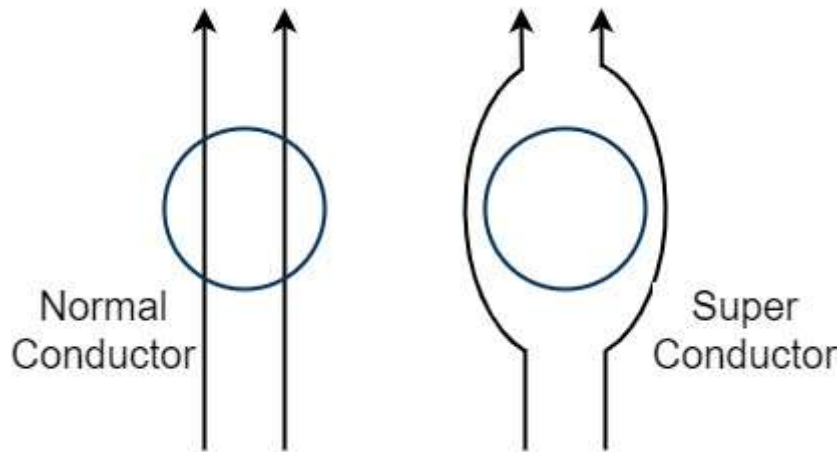


Fig 2.2 マイスナー効果

### 2.1.3 磁束の量子化

超伝導体で作られた、直径 $R$ の幅を持つトーラス状リング中心の閉経路 $C$ を考える。リング内を貫く磁束 $\Phi$ が存在するとき、リング内を流れる環状電流 $\mathbf{J}_s$ は(5.5)で表せる。ここで $\mathbf{A}$ はベクトルポテンシャルであり、 $\varphi$ は超伝導体内部の波動関数の位相である。

$$\mathbf{J}_s = \frac{n_s q}{m} (\hbar \nabla \varphi - 2q \mathbf{A}) \quad (2.10)$$

ここで、 $R$ が侵入長 $\lambda_L$ より十分大きいと仮定すると、マイスナー効果より閉経路 $C$ では磁場が存在せず、電流 $\mathbf{J}_s$ は常に $\mathbf{0}$ となる。そのため $C$ での経路積分を考えると(2.11)となる

$$\oint_C J_s ds = \oint_C \frac{n_s q}{m} (\hbar \nabla \varphi - 2q \mathbf{A}) ds = 0 \quad (2.11)$$

$$\hbar \oint_C \nabla \varphi ds = 2q \oint_C \mathbf{A} ds \quad (2.12)$$

ここで、リング内の位相変化 $\nabla\varphi$ は閉経路Cで連続である必要があるため、 $2\pi$ の整数倍である必要がある。よって整数 $n$ を用いて(2.13)となる。

$$\hbar \oint_C \nabla \varphi ds = 2n\pi\hbar \quad (2.13)$$

(2.12)について、右辺に Stokes の定理を適用させる。

$$\begin{aligned} 2q \oint_C \mathbf{A} ds &= 2q \oint_S (\nabla \times \mathbf{A}) d\mathbf{S} \\ &= 2q \oint_S \mathbf{B} d\mathbf{S} = 2q\Phi \end{aligned} \quad (2.14)$$

以上より、(2.14)と(2.13)を(2.12)に代入すると(2.15)が得られる。

$$\begin{aligned} \hbar \oint_C \nabla \varphi ds &= 2q \oint_C \mathbf{A} ds \\ 2n\pi\hbar &= 2q\Phi \\ \Phi &= \frac{nh}{q} = n\Phi_0 \end{aligned} \quad (2.15)$$

(2.15)から、超伝導体リング内部を貫く磁束は磁束量子 $\Phi_0 (= 2.07 \times 10^{-15} \text{Wb})$ の整数倍のみの値を取る。これを磁束の量子化と呼ぶ。

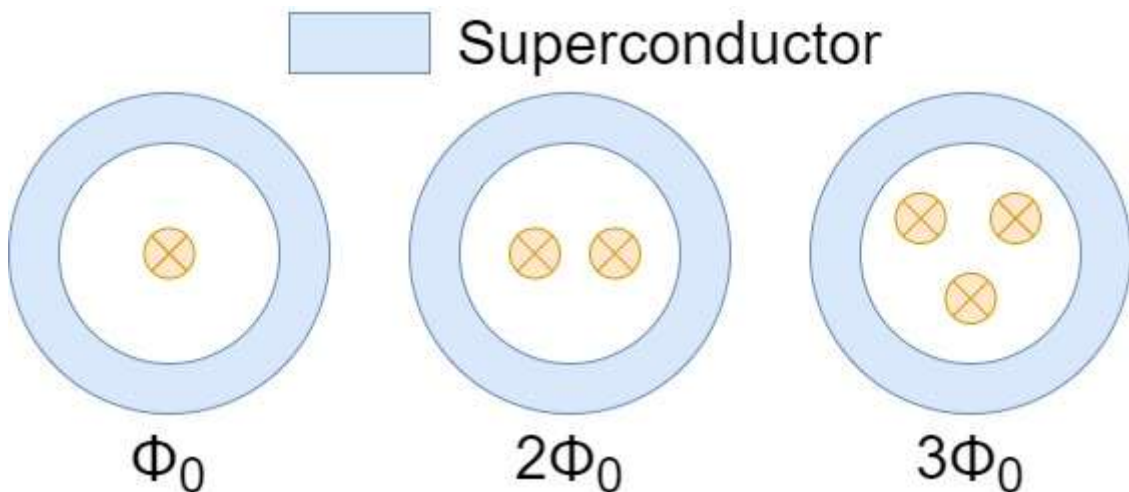


Fig 2.3 磁束の量子化

#### 2.1.4 ジョセフソン効果

超伝導体内部では(2.5)より電場が生じないため、常伝導体のように電位に起因する方向で電流が生じず、内部の波動関数の位相差に起因して電流が流れる。位相差を制御することによって複雑な動作を実現でき、その制御手法の一例としてジョセフソン接合を用いたものが挙げられる。ジョセフソン接合は超伝導体間に数 nm ほどの薄い絶縁体を挟んだ接合であり、1962年に Josephson によって予想され、翌年に Anderson と Lowell によって実験的に確認された。

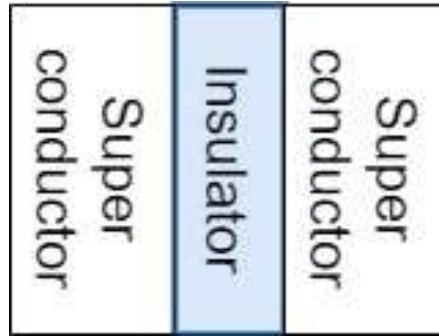


Fig 2.4 ジョセフソン接合

にジョセフソン接合のモデルを示した。各超伝導体の間には薄い絶縁体が存在するため、それぞれの超伝導体でパラメーターは異なる値を取ることができる。説明に必要なパラメーターとして、巨視的波動関数を表す $\psi_1, \psi_2$ , 波動関数の位相である $\varphi_1, \varphi_2$ , 電子密度を表す $n_1, n_2$ , 科学ポテンシャルを表す $\mu_1, \mu_2$ の 8 パラメーターが存在する。まず巨視的波動関数を考えると、(2.16)で表せる。

$$\begin{aligned}\psi_1 &= \sqrt{n_1} \exp(i\varphi_1) \\ \psi_2 &= \sqrt{n_2} \exp(i\varphi_2)\end{aligned}\tag{2.16}$$

それぞれの波動関数について、薄い絶縁体を介してトンネル効果で相互作用があると考え、相互作用の大きさを $K$ として、(5.5)と考えられる

$$\begin{aligned}i\hbar \frac{\partial \psi_1}{\partial t} &= \mu_1 \psi_1 + K \psi_2 \\ i\hbar \frac{\partial \psi_2}{\partial t} &= \mu_2 \psi_2 + K \psi_1\end{aligned}\tag{2.17}$$

(2.16)を代入して整理すると(2.18)および(2.19)が得られる。

$$\begin{aligned}\frac{\partial n_1}{\partial t} &= \frac{2K}{\hbar} \sqrt{n_1 n_2} \sin(\varphi_2 - \varphi_1) \\ \frac{\partial n_2}{\partial t} &= -\frac{2K}{\hbar} \sqrt{n_1 n_2} \sin(\varphi_2 - \varphi_1)\end{aligned}\tag{2.18}$$

$$-\hbar \frac{\partial \varphi_1}{\partial t} = \mu_1 + K \sqrt{\frac{n_2}{n_1}} \cos(\varphi_2 - \varphi_1)\tag{2.19}$$

$$-\hbar \frac{\partial \varphi_2}{\partial t} = \mu_2 + K \sqrt{\frac{n_1}{n_2}} \cos(\varphi_2 - \varphi_1)$$

(2.18)より、超伝導電流のキャリアとなる電子密度 $n$ は、それぞれの接合の位相差によって時間変化することが示されている。すなわち位相差 $\varphi_2 - \varphi_1 = \theta$ によって電流が生じることがわかる。よって接合間を流れる電流密度 $J$ は、キャリアであるクーパー対の電荷が $-2q$ であることに注意して、(2.20)で表せる。

$$\begin{aligned} J &= -2q \frac{\partial n_1}{\partial t} = \frac{4qK}{\hbar} \sqrt{n_1 n_2} \sin(\varphi_2 - \varphi_1) \\ &= J_c \sin(\varphi_2 - \varphi_1) = J_c \sin\theta \end{aligned} \quad (2.20)$$

(5.5)は位相の時間変化によらず、位相差のみで電流が流れ続けることを示しているため、直流ジョセフソン効果と呼ばれる。

直流ジョセフソン効果では、超伝導体間に電圧をかけない状態で議論を行ったが、電圧を印加したモデルを考える。電圧 $V$ が印加されているとき、それぞれの超伝導体間の化学ポテンシャル差 $\mu_1 - \mu_2$ は $2qV$ と等しくなる。計算を簡単にするため、それぞれの電子密度が等しく、 $n_1 = n_2$ とすると(2.21)となる。

$$\hbar \left( \frac{\partial \varphi_2}{\partial t} - \frac{\partial \varphi_1}{\partial t} \right) = \mu_1 - \mu_2 = 2qV \quad (2.21)$$

$$\frac{d\theta}{dt} = \frac{2q}{\hbar} V \quad (2.22)$$

ここで、位相の時間変化は位相の角周波数 $\omega$ であり、角周波数 $f$ を用いて $2\pi f$ となるため、代入する。

$$\frac{d\theta}{dt} = 2\pi f = \frac{2q}{\hbar} V \quad (2.23)$$

$$f = \frac{2q}{h} V$$

位相差 $\theta$ は $\omega$ の時間積分で与えられるため、(2.23)を時間積分したものを(2.20)へ代入する。

$$\theta = \int \omega dt = 2\pi \int f dt = \frac{2qV}{\hbar} t + \theta_0 \quad (2.24)$$

$$J = J_c \sin\left(\frac{2qV}{\hbar} t + \theta_0\right)$$

よって、(2.24)より、直流電圧の印加に対して位相差および電流が時間変化することが示された。これを交流ジョセフソン効果と呼ぶ。

### 2.1.5 RSJモデル

ジョセフソン接合の I-V 特性を考える。2.1.4 節では超伝導体-絶縁体-超伝導体の接合を用いて議論していたが、実際には接合間の容量 $C$ や、接合のパラメーター調整用に並列の抵抗 $R$ を

接続した、 が等価モデルとして扱われる。

RSJ モデルに流れる電流 $I$ は、それぞれに流れる電流値の総和となるため、接合の臨界電流値を $I_c$ として(2.25)と表せる。

$$I = I_c \sin\theta + \frac{V}{R} + C \frac{dV}{dt} \quad (2.25)$$

ここへ交流ジョセフソン効果の式(2.23)から得られる電圧と位相の関係(2.22)、および(2.20)を代入すると

$$V = \frac{h}{2q} \frac{d\theta}{dt} = \frac{\Phi_0}{2\pi} \frac{d\theta}{dt} \quad (2.26)$$

$$\frac{I}{I_c} = \sin\theta + \frac{\Phi_0}{2\pi R I_s} \frac{d\theta}{dt} + \frac{C \Phi_0}{2\pi I_s} \frac{d^2\theta}{dt^2}$$

さらに無次元時間 $\tau = 2\pi R I_s t / \Phi_0$ を導入すると(2.27)が得られる。

$$\frac{I}{I_c} = \sin\theta + \frac{d\theta}{d\tau} + \beta_c \frac{d^2\theta}{d\tau^2}, \beta_c = \frac{2\pi I_s R^2}{\Phi_0} \quad (2.27)$$

$\beta_c$ は McCumber-Stewart パラメーターと呼ばれ、ジョセフソン接合の特性を決めるパラメーターである。一般的にジョセフソン接合では抵抗 $R$ によって $\beta_c$ を変化させることが多い。直流および交流のジョセフソン効果より、接合の I-V 特性は となる。電流の大きさが臨界電流 $I_c$ 以下では、直流ジョセフソン効果により接合の位相差のみで電流が流れるため、位相の時間変化が無く電圧は生じない。ある程度電流を増加させ、 $I_c$ を超えたところで電圧状態に移行する。電流を下げて超伝導状態に戻そうとすると、 $\beta_c$ の大きさによって特性が大きく変化する。まず $\beta_c \leq 1$ のときをオーバードンプ接合とよび、臨界電流値を超えたところで超伝導状態へと戻る。一方で $\beta_c \gg 1$ の接合であるアンダーダンプ接合では、臨界電流値以下に電流を下げてみてもすぐに超伝導には戻らず、ラッチ動作のように電圧を保持した状態を経て超伝導状態に戻る。この2つの状態を表したのが Fig 2.5 である。

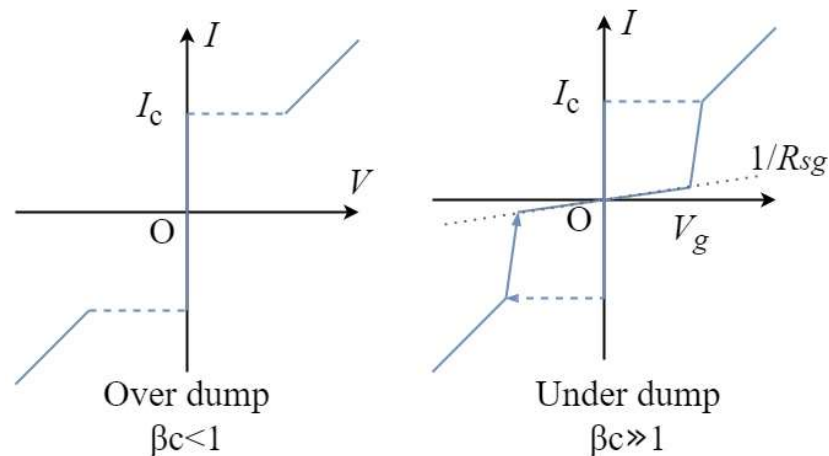


Fig 2.5  $\beta_c$ による IV 特性の変化

### 2.1.6 SQUID (Superconducting Quantum Interference Device: SQUID)

ジョセフソン効果を用いたデバイスとして SQUID が挙げられる。SQUID は Superconducting Quantum Interference Device 略であり、超伝導量子干渉計と和訳される。特徴として、非常に高感度な磁場センサーとして扱われている。構造として大きく分けて rf-SQUID と dc-SQUID の2つに分類されるが、本論文では dc-SQUID を取り上げる。超伝導リング内に2つのジョセフソン接合を有する が dc-SQUID である。

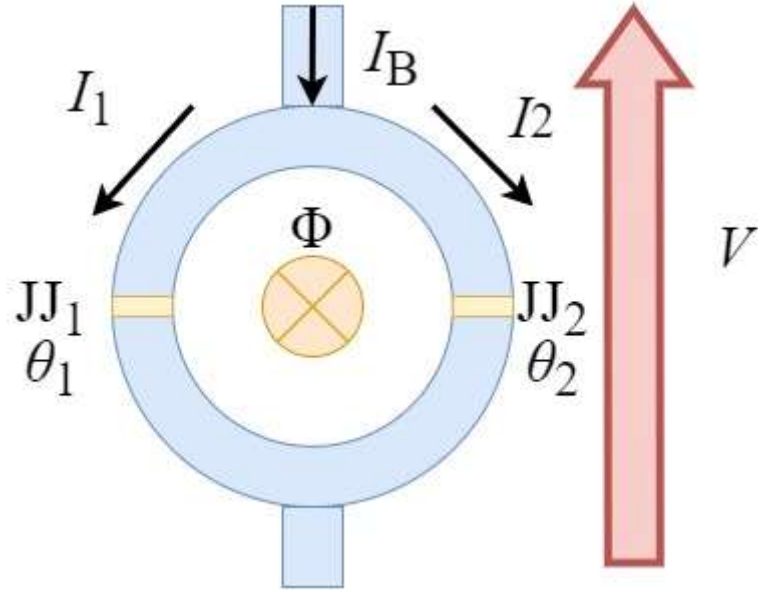


Fig 2.6 dc-SQUID

2つのジョセフソン接合の大きさが等しく、臨界電流値が $I_c$ と仮定する。するとリングを通過する電流 $I$ は接合間の位相差 $\theta_1, \theta_2$ に対して(2.28)で与えられる。

$$\begin{aligned} I &= I_c (\sin\theta_1 + \sin\theta_2) \\ &= 2I_c \sin\frac{\theta_1 + \theta_2}{2} \cos\frac{\theta_1 - \theta_2}{2} \end{aligned} \quad (2.28)$$

ここで、 $\theta_1 + \theta_2$ は外部電流などによって常に変化し続けるため、外部電流によらないパラメータとして $\theta_1 - \theta_2$ が挙げられる。すなわち、SQUID が超伝導状態を保てる最大臨界電流 $I_M$ は(2.29)となる。

$$I_M = 2I_c \left| \cos\frac{\theta_1 - \theta_2}{2} \right| \quad (2.29)$$

接合の位相差によって臨界電流値が決定されるデバイスであるため、位相差を求めることによってデバイス特性をさらに調べることができる。超伝導ループ内部で磁束が量子化されることを考える。SQUID のリング中央を通過する閉経路 $C$ について、経路積分を立てたものが(2.30)である

$$2\pi n\hbar = \frac{m}{nq} \oint_C J_s ds + 2q \oint_C A ds \quad (2.30)$$

超伝導リングの太さがロンドン長以上であれば経路内の電流 $J_s$ は無視できる。第 2 項に Stokes の定理を適用すると、(2.14)式と同等であるため $2q\Phi_0$ となる。

また、外部磁場によって生じる接合間の位相差は、接合での超伝導体波動関数をそれぞれ $\varphi_{1A}, \varphi_{2A}, \varphi_{1B}, \varphi_{2B}$ として(2.31)となる

$$\hbar(\varphi_{1B} - \varphi_{1A}) - \hbar(\varphi_{2B} - \varphi_{2A}) = \hbar(\theta_1 - \theta_2) \quad (2.31)$$

(2.30)へ代入することによって(2.32)が得られる。

$$\theta_1 - \theta_2 = \frac{2q}{\hbar} \Phi + 2n\pi \quad (2.32)$$

(2.29)へ代入することによって、SQUID を貫く磁束と臨界電流密度の関係が得られる。

$$I_M = 2I_c \left| \cos \frac{\theta_1 - \theta_2}{2} \right| = I_M = 2I_c \left| \cos \left( \frac{q}{\hbar} \Phi + n\pi \right) \right| = 2I_c \left| \cos \frac{\Phi}{\Phi_0} \right| \quad (2.33)$$

(2.36)を図示すると、 $I_M - \Phi$ 特性となる。

磁束量子の大きさ $\Phi_0$ の周期で臨界電流値 $I_M$ が変化する。臨界電流値を調べることによって、内部を貫く磁束を、 $10^{-15}$ オーダーで測定できることから、高感度の磁気センサーデバイスとして応用が行われている。

## 2.2. 単一磁束量子回路(Single Flux Quantum circuit: SFQ circuit)

SFQ 回路は、単一磁束量子を情報単位としたデジタル回路であり、SFQ の有無をそれぞれ論理の 1 および 0 として動作する。

超伝導リングを、ジョセフソン接合を介して接続していくことによって、連結された dc-SQUID のような構造を作る。すると SFQ は超伝導体でない接合をスイッチングして通過することによって、磁束量子の伝達が行われる。この伝達は回路のインダクタンスや接合に流れているバイアス電流によって、SFQ の分岐、保持、消滅など様々な動作が可能となる。特に AND や OR、そして DFF などの基本的な論理動作を実現する回路の設計、開発が行われ、それらはセルライブラリ[7]などでまとめられている。

ジョセフソン接合の特性として知られる高速性について、ジョセフソン接合を通過する際のスイッチング時間 $\tau$ は $I_c R_n$ 積で与えられ、(2.34)となる。典型的な値を入れると約 2ps 程となる。

$$\tau = \frac{\Phi_0}{2\pi I_c R_n} \quad (2.34)$$

さらに、 $I_c R_n$ 積を変形することによって(2.35)が得られる。

$$\tau \propto \frac{1}{I_c R_n} = \sqrt{\frac{2\pi C}{I_c \beta_c \Phi_0}} \propto \frac{1}{\sqrt{J_c \beta_c}} \quad (2.35)$$

このことから、臨界電流密度 $J_c$ およびマッカンバーパラメーター $\beta_c$ の逆平方根に比例して伝達時間が短くなることがわかる。現在では、W. Chen らによって $J_c = 250\text{kA/cm}^2$ のプロセス



を用いて TFF の 770GHz での動作などが報告されている[5]。本研究では、産業技術総合研究所の CRAVITY による10kA/cm<sup>2</sup>プロセスでの設計を行った。

SFQ 回路の低消費電力性についても考える。SFQ 回路は静的な状態であれば直流ジョセフソン効果により、接合間および超伝導体内部に電圧は生じず、消費エネルギーは 0 となる。なので消費エネルギーは全て動的な特性となるスイッチングでの損失となる。周波数  $f$  で SFQ が接合を通過すると仮定すると、スイッチング損失は(2.36)となる

$$\int I_c V(t) dt = I_c \int V(t) dt = I_c \int \frac{\hbar}{2q} \frac{d\theta}{dt} dt = \Phi_0 I_c \int d\theta = \Phi_0 I_c f \quad (2.36)$$

典型的な値として、 $I_c$ を 100 $\mu$ A、 $f$ を 100GHz とすると約 20.7nW 程度となる。仮に 1000 接合のデバイスを作製したとしても高々20.7 $\mu$ W となり、CMOS 回路に比べ圧倒的に低消費電力であることが示せる。

一方で、回路動作を決めるために回路へバイアス電流を流す必要があるため、バイアスを供給する抵抗による損失も生じる。本研究で用いたセルライブラリでは 2.5mV のバイアス電圧に対して抵抗を用いてバイアス電流を調整しているため、先ほどと同じく 100 $\mu$ Aが流れていると仮定した場合 250nW の損失となる。このことから実際の消費電力としては、動的な接合のスイッチングに比べ、抵抗による静的な損失の方が大半を占めている。改善を行う研究として、ERSFQ[8]や AQFP[9]などの超低消費電力超伝導回路への応用や、接合の絶縁体を磁性体に変更することで、接合間の位相を $\pi$ 変化させバイアス電流を不要とする $\pi$ 接合 RSFQ[10,25]の開発が行われている。

### 2.2.1 ジョセフソン伝送線路(Josephson Transmission Line :JTL)

もっとも単純な構造を持つ回路として、ジョセフソン伝達線路(JTL)が挙げられる。JTL は SFQ を伝搬させていくための回路であり、一般的な電気回路の導線として論理回路同士を接続するために用いられる。構成としては接合を 2 つ含む超伝導リングを連結した回路となっている。SFQ で生じる環状電流のみで接合をスイッチングする構成だと安定性に欠けるため、外部から抵抗を介してバイアス電流を印加することで、2 つの接合が SFQ の環状電流のみでスイッチングできるように調整されてある。一般に、SFQ 回路は SFQ の電流とバイアス電流によって接合のスイッチングを行い動作するが、超伝導状態でのバイアス電流の分布は回路のインダクタンスによって支配的になるため、回路のレイアウト設計な

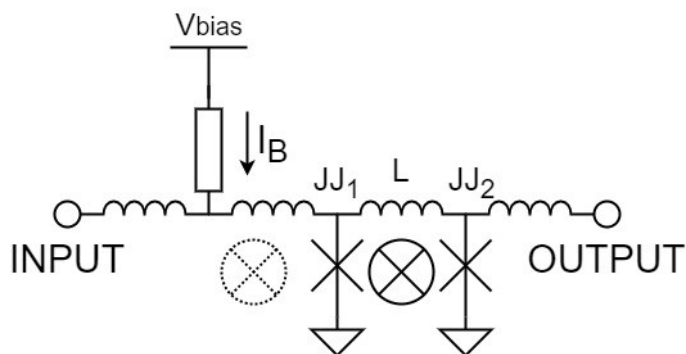


Fig 2.7 JTL

どでインダクタンスを適切に定める必要がある。

### 2.2.2 SFQ 論理セル

SFQ によって論理演算を表現する回路を RSFQ 論理回路と呼ぶ。RSFQ 論理回路は一般的な CMOS の電圧レベルを利用した RSFQ セルは多種存在するが、本研究で用いたセルについて以下に述べていく。

#### ・ Splitter(SPL)

Splitter は INPUT から入力された SFQ を OUT1 および 2 へ分岐させるセルである。JTL と異なる点として、JJ1 の接合の臨界電流値を JJ2 や JJ3 の約 2 倍にしたうえで、バイアス電流もその分増加させておく。すると SFQ の入力に対してスイッチングしたとき、JJ2 および 3 へ分岐した電流は接合をスイッチできる電流になるため、各接合がスイッチし SFQ が両方向へ分岐していく。

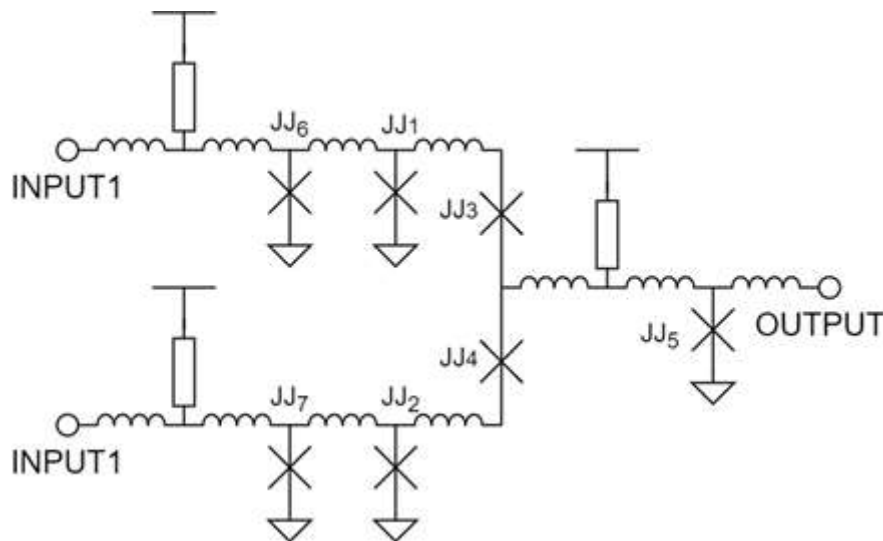


Fig 2.8 SPL

#### ・ Confluence Buffer(CB)

Confluence Buffer(CB)は SPL と逆の動作をするセルであり、2 方向から入力された SFQ を OUTPUT へまとめて出力する。回路図を見ると、SPL を逆向きに接続したものと近いが、JJ3 および 4 が線路内に直列で配置されている。これはエスケープ接合と呼ばれる接合で、経路逆向き(OUT から INPUT へ)に流れてきた SFQ に対してのみスイッチングし、逆流 SFQ を回路外へ放出する働きをする。これにより 2 方向から入力された SFQ は OUTPUT へのみ伝搬し、もう一方の入力へ逆流することが無い。しかし、2 方向からほぼ同時に SFQ が入力された場合、SFQ パルスが合成されてしまい 1 つの SFQ しか出力されないエラー動作となる。SFQ の通過速度は数 ps オーダーであることから、低速動作領域ではほぼ無視できるパラメーターではあるが、本研究で用いている DAC や、プロセッサなどの数 100GHz オーダーでの動作の際は注意しなければならない。

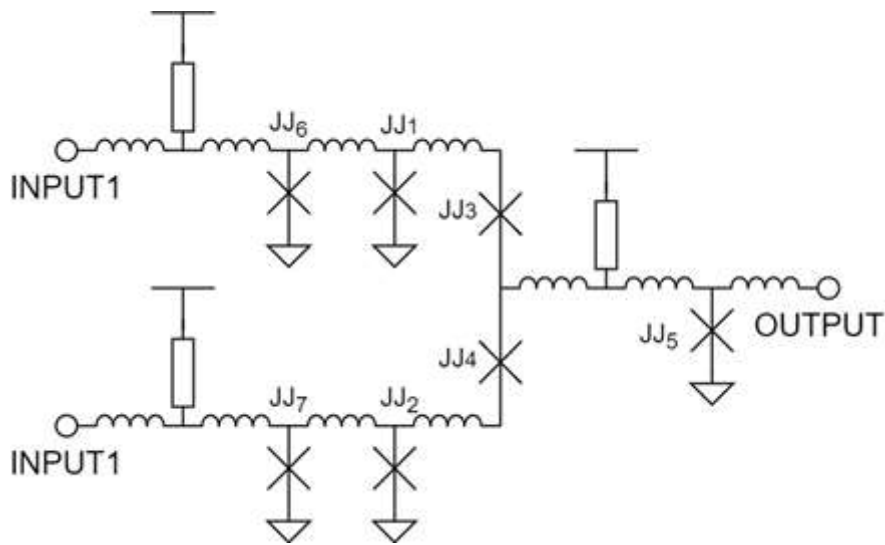


Fig 2.9 CB

• Toggle Flip Flop (TFF)

TFF は、SPL のように 1 入力 2 出力のセルだが、INPUT から入力された SFQ を交互に OUTPUT1 および OUTPUT2 に振り分ける動作を行う。構造としては 2 つのストレージループ(JJ<sub>1</sub>, JJ<sub>2</sub> および JJ<sub>3</sub>, JJ<sub>4</sub>) で構成されている。INPUT から入力された SFQ によって、先にスイッチされるように設計されている JJ<sub>1</sub> および JJ<sub>3</sub> がスイッチする。これにより JJ<sub>1</sub>, JJ<sub>2</sub> を通過するループ内と JJ<sub>3</sub>, JJ<sub>4</sub> を通過するループ内にそれぞれ SFQ がストレージされる。同時に JJ<sub>1</sub> がスイッチしたことにより OUTPUT1 へ SFQ が生成されて出力 SFQ となる。それぞれのストレージループに SFQ が存在している状態で INPUT から SFQ が入力されると、ストレージループに保持されている SFQ の周回電流により、最初とは異なり JJ<sub>2</sub> および JJ<sub>4</sub> がスイッチする。このスイッチにより JJ<sub>3</sub> と JJ<sub>4</sub> を通過するループ内部のストレージされた SFQ は回路外へ放出され初期状態に戻る。一方で JJ<sub>2</sub> がスイッチされたことによって、JJ<sub>1</sub> と JJ<sub>2</sub> を含んでいたループの SFQ は OUTPUT2 へ出力される。

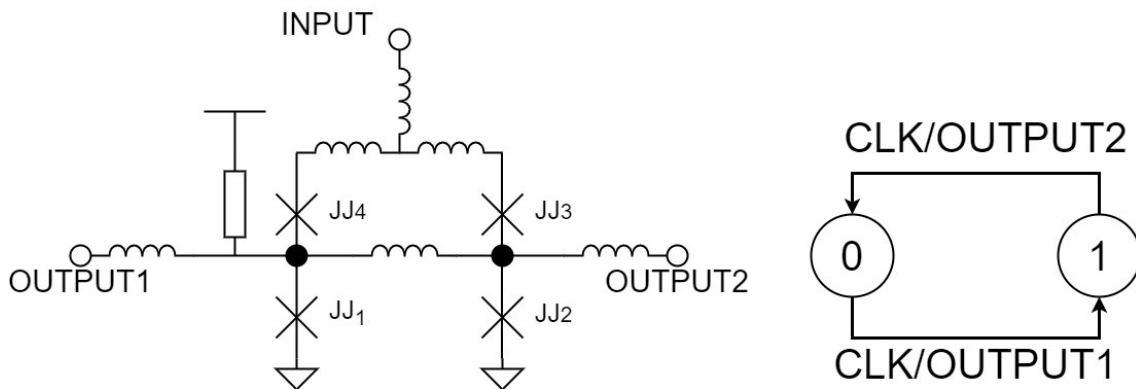


Fig 2.10 TFF

• Non-Destructed Read Out (NDRO)

Non-Destructed Read Out (NDRO)は、状態保持を行う記憶セルである。SFQ回路の DFF は破壊読み出しであり、内部データを参照した時点で内部データが 0 に初期化されてしまう。一方で NDRO であれば、非破壊読み出しが可能であるため、データを入力後はリセット信号が入るまで内部データを保持し続ける。回路動作を考える。通常状態では、入力である CLK へ SFQ が入力されると、CLK 付近のエスケープ接合がスイッチングして回路外へ SFQ を放出する。すなわち出力である OUTPUT からは何も出力されない。一方で SET 入力に SFQ が入力されると、内部のインダクタンスが高いため SFQ による環状電流  $I_{SFQ}$  が小さく接合をスイッチングできない箇所が存在する。青線がその箇所であり、SFQ が青線内に保持される。これをストレージープという。ストレージープ内に SFQ が存在するとき、環状電流が OUTPUT 側の接合へ流れているため、CLK からの SFQ 入力に対してエスケープ接合より先にスイッチする。これにより SFQ はエスケープされずに OUTPUT から出力される。また、RESET から SFQ が入力された場合、ストレージープに流れる電流と逆向きの SFQ が入ってくるため、ストレージープがクリアされて初期状態に戻る。この動作によりセットとリセットが行え、CLK に対して内部データを読み出すことができる。

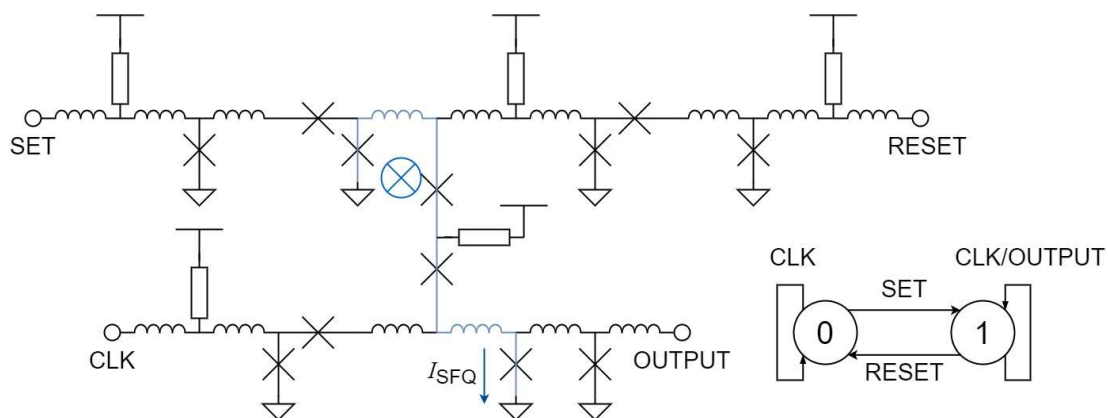


Fig 2.11 NDRO

• DFF(D2FF)

NDRO は非破壊読み出しであったが、破壊読み出しを行う記憶セルとして DFF(Delay Flop Flop)がある。Fig 2.12 に示した回路のうち、黒線部分が DFF に該当する。INPUT から入力された SFQ パルスは、CLK 入力からとの接続点にて高インダクタンスのためストレージされる。ストレージされている SFQ がある状態で CLK から SFQ が入力されると、CLK からの SFQ 入力に加えてストレージされた SFQ の環状電流によって接合がスイッチし、OUTPUT へ出力される。内部にストレージされた SFQ が無い場合、OUTPUT 側の接合がスイッチする前にエスケープ接合が先にスイッチし、回路外部へ SFQ が放出され OUTPUT から何も出力されない。要素を追加したものとして、ストレージ部分を 2 方向に分岐させて CLK 入力を 2 つもつ D2FF を本研究では使用した。これは Fig 2.12 の赤線部分を含んだ全体

の回路である。D2FF では CLK1 または CLK2 の入力により、ストレージループ内の SFQ パルスを OUTPUT1 もしくは 2 へ出力する。いずれかの入力によって内部ストレージは解除されるため、1つのデータを2方向のいずれかに任意に送る回路として機能する。

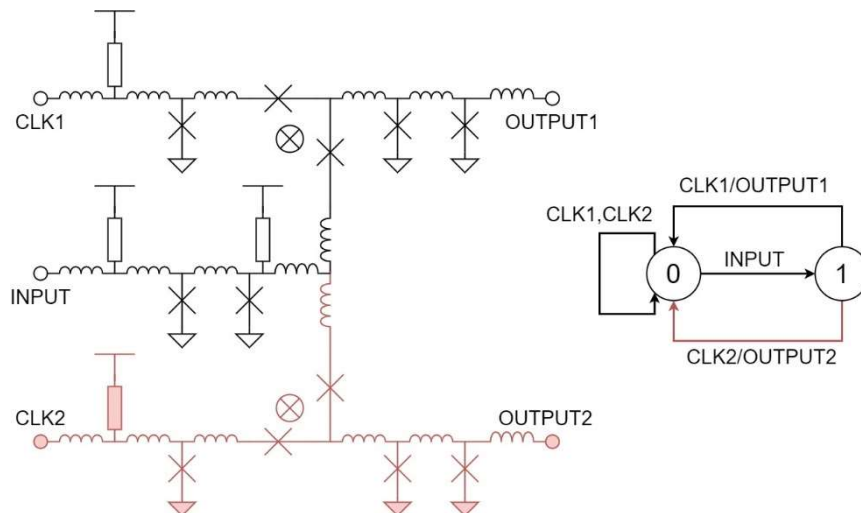


Fig 2.12 DFF(D2FF)

• DC-SFQ Converter

RSFQ 回路へ入力を行う際は SFQ パルスを用いて入力を行うが、測定系として CMOS 回路などで構成されたファンクションジェネレーターからの入力が一般的である。そのためレベルによる 1,0 入力である DC から SFQ のパルス論理への変換が必要である。DC-SFQ はその返還を行うための回路の一つであり、入力電圧パルスの立ち上がりのみ反応して 1 パルスの SFQ を出力する。接合がスイッチングしたとき、出力の SFQ の反射波として入力側への SFQ が生成される。この SFQ は入力電圧の閾値以下になるまで外部へ放出されず、電圧が下がったところで外部へ放出されるため、立ち上がりのみ反応する機構となっている。出力された SFQ は不安定であるため、JTL を介して整形を行い、回路内に到達するまでに SFQ パルスとなる。

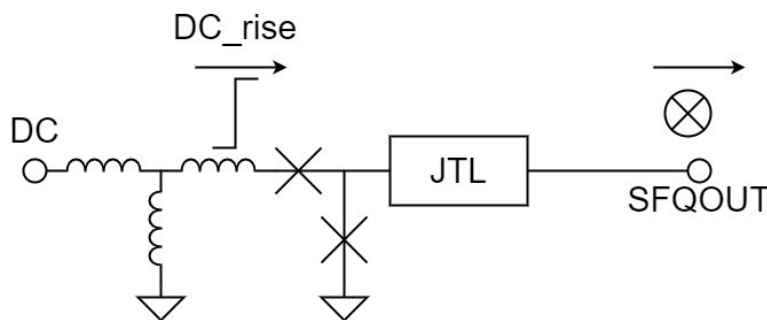


Fig 2.13 DC-SFQ

### ・ SFQ-DC Converter

RSFQ によって生じる電氣的なパルスは、幅数 ps で電圧が数 mV 程度であるため、オシロスコープなどで測定をする場合は、100GHz 以上の帯域かつ mV オーダーの信号を増幅できるプリアンプなどを介して測定する必要がある。しかし、そういった機材は高価であったり、測定系としても超伝導回路外で 100GHz 帯域の信号を読み取る工夫だったりが必要となり、測定が困難である。そのため RSFQ 回路内で、SFQ 入力に対して電圧出力する SFQ-DC が用いられている。Fig 2.14 SFQ-DC に回路図を示した。回路構成としては TFF の回路構造のストレージループに、電圧出力用の接合を追加したものとなっている。動作原理としては、まず、INPUT から入力された SFQ は接合をスイッチングしながら、最初にスイッチするように設計されている  $JJ_1$  および  $JJ_3$  をスイッチする。 $JJ_3$  をスイッチした SFQ は  $JJ_3$  と  $JJ_4$  で作られたストレージループに保持され、 $JJ_1$  をスイッチした SFQ は  $JJ_5$ ,  $JJ_6$  を含むループ内に保持される。 $JJ_5$  と  $JJ_6$  は、ストレージされた SFQ の周回電流に加えて、バイアスからの電流が供給されて、交互に発振する状態となる。その発振速度はバイアス条件などによって変動するが、おおよそ 100GHz 程度の発振となり、平均電圧として  $200\mu\text{V}$  程度の電圧が出力される。電圧状態で INPUT へ SFQ が入力されると、 $JJ_3$  と  $JJ_4$  に保持されていたストレージループの影響により  $JJ_4$ ,  $JJ_1$  と  $JJ_2$  に保持されていたストレージループの影響により  $JJ_2$  がそれぞれスイッチングする。これによりストレージループ内部の SFQ がそれぞれ回路外へ排出され、初期状態に戻る。ストレージループに SFQ が無くなったため  $JJ_5$  と  $JJ_6$  を通過していた SFQ による周回電流も消失して電圧出力が停止する。以上より、SFQ 入力によって、出力電圧が 0V と  $200\mu\text{V}$  程度を交互に繰り返す動作を実現する。

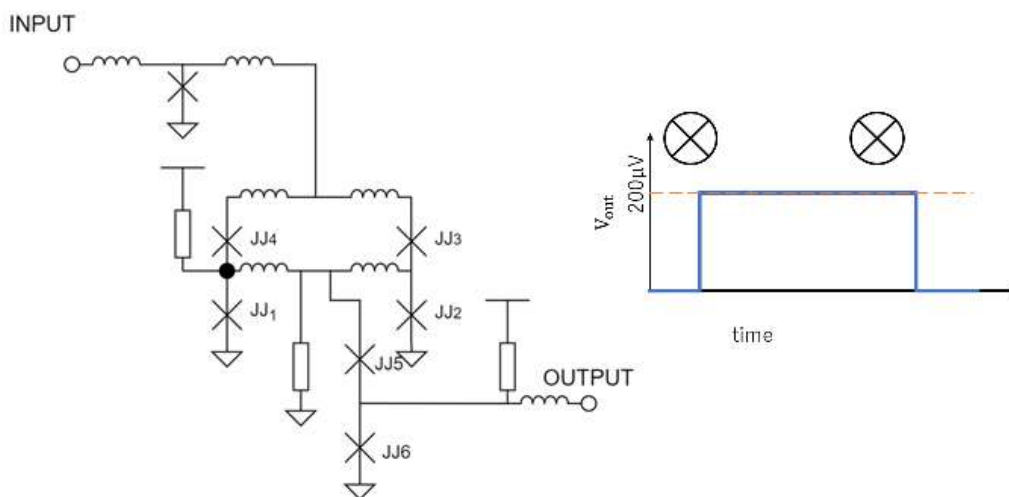


Fig 2.14 SFQ-DC

### RSFQ-D/A 変換器

超伝導回路の特徴として、交流ジョセフソン効果(2.22)に基づく高精度電圧出力が挙げられる。その応用として、現在の国家直流電圧一次標準としてジョセフソンデバイスが用いら

れている。一方で、交流の電圧標準に関してはサーマルコンバーターを用いて、交流電圧から生じた熱を元に実行的な電圧を求める方式が利用されている[11]ことから、量子精度を持つ交流電圧標準が求められている。直流の一次標準と同様に様々なジョセフソンデバイスを用いて交流の一次標準回路を作製する研究が行われていた[12][25-27][34][35]。弊研究室ではそのアプローチの一つとして、電圧精製から増幅までのプロセスを全て SFQ 回路で行う RSFQ D/A 変換器(RSFQ-DAC)の研究が行われてきた[13,14]。様々な手法が用いられていたが、本論文では大きく分けて3つの RSFQ-DAC について紹介する

### 2.2.3 段数切換方式

まず、段数切換型 RSFQ-DAC[15]では、電圧出力を行うジョセフソン接合の数で重みを付けることで任意電圧の出力を可能としている。Fig 2.15 にブロック図を示す。

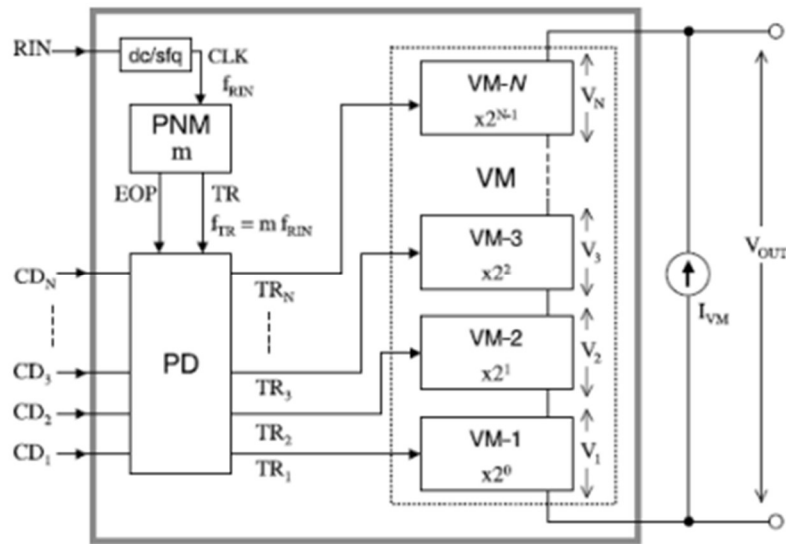


Fig 2.15 段数切換型 RSFQ-DAC のブロック図[15]

大きく分けて3つのコンポーネントで構成されており、それぞれ

- Pulse Number Multiplier (PNM)
- Pulse Distributor (PD)
- Voltage Multiplier (VM)

と呼ばれる。

動作原理を述べる。

- ① RIN の電圧が立ち上がると、DC-SFQ によって単発の SFQ が生成され、PNM へ伝搬される。
- ② SFQ パルスによって PNM 内部の SFQ オシレーターが発振開始し、任意の数の SFQ パルスを持つ SFQ パルス列を TR 方向へ生成する。先行研究[12]では  $m=1024$  となっていた。
- ③ PD にはあらかじめ  $CD_1$  から  $CD_N$  の入力から  $N$  bit のデジタルコードを入力しておくことで、1 入力となっている TR から入力されてきた SFQ パルスをそれぞれの  $TR_1$

から TRN までの N 本の出力へ分配する。分配には NDRO を用いており、CD および後述する EOP 入力によって内部データの更新を行う

- ④ 1024 発の出力が終了したところで PNM が動作を停止し、EOP を出力する。これにより PD 内部のデータが更新され、次回起動時に出力されるデータがセットされる。
- ⑤ VM 側へ出力された SFQ はすべて段数の異なる VM1 から VMN に入力される。1 から N の段の VM はそれぞれ  $2^{n-1}$  倍の増倍率を持つ電圧増倍回路であるため、入力コードを 2 進数として扱った時と同等の出力が得られる。

以上より、Nbit の入力コード  $CD_n$  に対して出力で出力電圧  $V_{out}$  は(2.37)で表される

$$V_{out} = \sum_n V_n = m\Phi_0 f_{in} \sum_n CD_n 2^{n-1} \quad (2.37)$$

#### 2.2.4 CF 型パルス周波数変調方式

Counter Forwarding(CF)型 PNM[13]は、内部カウンターの初期値を事前にプリセットしておくことによって任意のパルス数でカウンタを停止させる回路構成である。3bit 構成図を Fig 2.16 に示す。

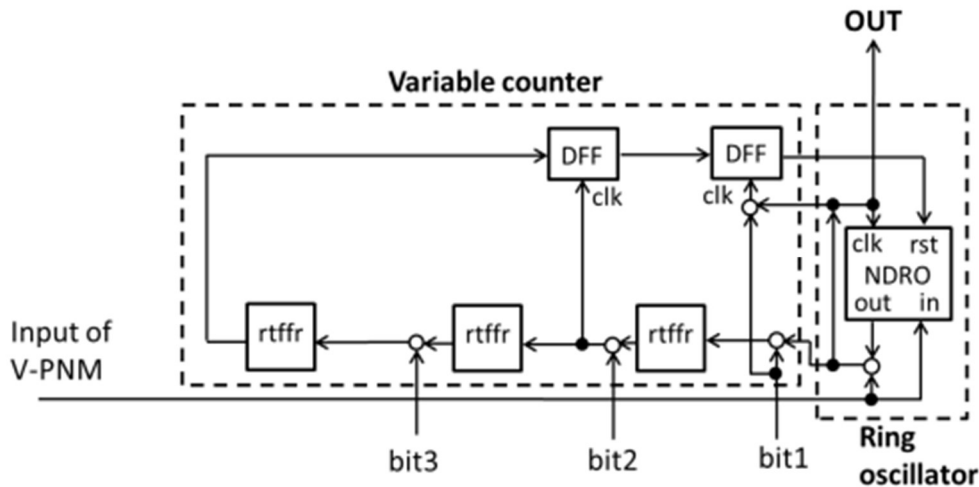


Fig 2.16 3bit CF 型 V-PNM[38]

CF タイプの PNM は可変カウンタとリングオシレーターで構成されている。動作原理として

- ① Bit1,2,3それぞれに SFQ を入力し、TFF で構成されるカウンタにデータが入力される。
- ② Start に SFQ が入力されると Ring Oscillator が動作を開始し、内部遅延で決まった周波数の SFQ パルスを生成し続け、TFF カウンタおよび OUT へ出力する。
- ③ TFF によるカウンタが Ring Oscillator のパルスによってオーバーフローすると、Ring



Oscillator の RST へオーバーフローした SFQ が入力されて動作を停止させる。

- ④ 以上より N bit の CF 型 PNM では、入力コード n に対して出力  $V_{out}$  が(2.38)で得られる。

$$V_{out} = \Phi_0 f_{in} (2^N - n) \quad (2.38)$$

CF 型の特徴として、入力のデータがプリセットとして入るため、入力が大きいほどカウンタへの入力パルス数が減少して、出力が小さくなる。そのため、2進数データなどを入力してそれに見合った出力を得たいときには、デコーダーなどを介してデータを変形させる必要がある。また、動作ごとに内部カウンタが初期化されてしまうため、毎回データをセットし直す必要がある。

### 2.2.5 2進パルス列合成型パルス周波数変調方式( $\Sigma$ -SBS)

$\Sigma$ -SBS 型[14]は CF 型や段数切換型とは異なり、TFF による分周と CB による合成によって動作するパルス周波数変調回路である。動作原理を説明する

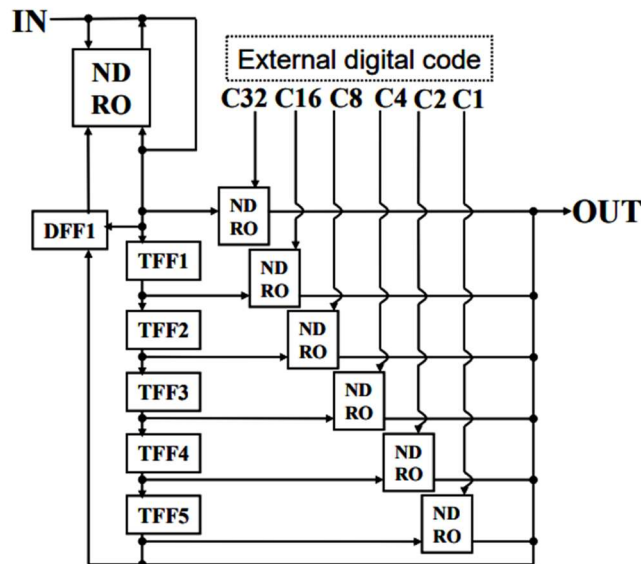


Fig 2.17 6bit  $\Sigma$ -SBS [39]

- ① IN から SFQ が入力されると、NDRO の SET と CLK に入力され、OUT から SFQ パルスが出力される。
- ② 出力された OUT パルスは CLK へ帰還すると同時に、TFF で構成されたカウンタへ出力される。
- ③ カウンタの最上位ビットである TFF5 がオーバーフローすると、DFF1 へ SFQ が出力され、次の NDRO からの OUT 出力によって DFF から SFQ が出力される
- ④ DFF からの出力によって NDRO は RESET され動作を停止する
- ⑤ TFF カウンタのもう一方の出力からは、2 のべき乗の重みを持つパルス周波数が出力されているため、NDRO によって任意のビットを選択することで、その総和として 1～64 の 64 通りの SFQ パルスを出力する。
- ⑥ 結果として、1 入力の IN に対して、外部データによって決定された任意のパルス数を

出力する。

本研究ではこの  $\Sigma$ -SBS 型 RSFQ-DAC について研究を行った。詳細な内容については第 4 章および第 5 章で説明する。

### 2.2.6 量子電圧増倍回路(DFQA)

これまでに延べてきた、CF 型や  $\Sigma$ -SBS 型の RSFQ-DAC は、RSFQ 回路を主体とした回路構成であるため、最大動作周波数が 100GHz オーダーで理論上頭打ちになってしまう。仮に 200GHz で周波数出力が得られても、交流ジョセフソン効果より得られる電圧は高々 0.4mV 程度である。そこで後段に Double Flux Quantum Amplifier(DFQA)[16]などの量子精度を持つ超伝導増倍回路などを接続するため、弊研究室では研究が行われていた。DFQA の構成として、DFQ 生成用の 3 接合ループ及び、SFQ 通過のための 2JJ ループで構成される。に示された回路図で、バツ印の接合はシャント抵抗を取り除いたアンダーダンプ接合であり、三角印を向かい合わせた接合はシャント抵抗入りのオーバードンプ接合である。DFQA の特徴として、接合のループが連なる形となっているため、出力される電圧はスイッチする接合の総和で表される。そのため接合の電圧の整数倍となり、正確な量子精度増倍が実現されている。

また、SFQ の通過方向とバイアス電流の方向を逆向きにするように設計した場合、極性が反転した負極性のアンプとしても動作する。これにより交流電圧標準に向けた両極での動作を実現できる他、後ほど述べる MSB 分離型の  $\Sigma$ -SBS にて重要な役目を果たす。

3 接合ループ  $N=3$  段の DFQA について、動作原理を説明する。

- ① DFQA に 2 接合ループを介して SFQ が入力される。
- ② 1 つ目の 3 接合ループにて、アンダーダンプの  $JJ_B$  はオーバードンプ接合に比べて発振しやすく設計されているため、 $4\pi$ 位相が変化する。これは SFQ パルス 2 つ分であるため、Double Flux Quantum (DFQ) と呼ばれる。このスイッチング方向は GND に対して正の電圧方向である。また、 $4\pi$ 変化した際の反射波が生じ、 $JJ_C$  をスイッチする。
- ③ 同様に 2,3 段目でも DFQ が生成されるが、出力  $V_{out}$  と GND の間にはオーバードンプ接合である  $JJ_B$  が 1 段目と 3 段目の 2 か所あるため、全体で  $8\pi$  の位相変化が生じている。即ち SFQ 入力によって変化したアンダーダンプ接合間位相差  $2\pi$  に対して 4 倍周期が変化しているため、4SFQ 分の電圧が出力される。

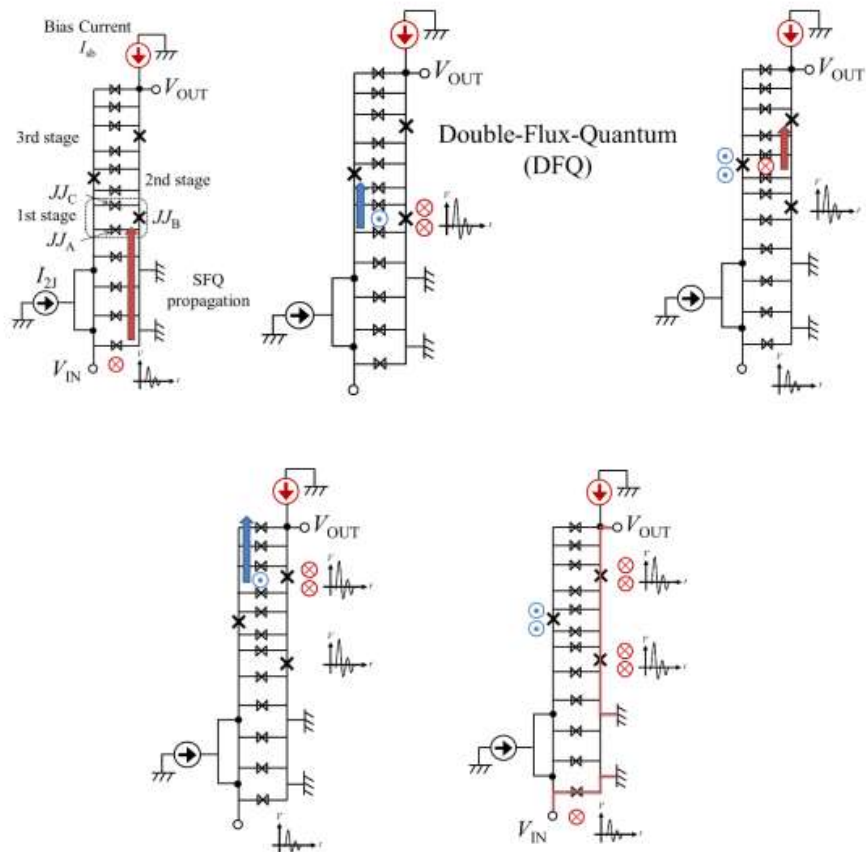


Fig 2.18 DFQA の動作原理[40]

一般に、N 段の DFQA では増倍率が  $N+1$  倍であることから、DFQA への入力周波数  $f_{in}$  に対して出力  $V_{out}$  は(2.39)で与えられる。

$$V_{out} = (N + 1)\Phi_0 f_{in} \quad (2.39)$$

ただし、接続段数が奇数の時は、最後のループに DFQ を生成するオーバードンプ接合が含まれていないため、測定される電圧に影響を及ぼさない。したがって N は奇数であり、偶数倍の増幅のみ適応される。

先行研究として、999 段の DFQA による 1000 倍増幅回路[20]や負極性 DFQA[21]などが挙げられており、特に  $10\text{kA}/\text{cm}^2$  の HSTP プロセスにて最適化された DFQA では、20 倍増幅の DFQA で  $62.5\text{GHz}$  入力まで正常動作しており、最大出力電圧として  $2.58\text{mV}$  の電圧が得られている[22]。

## 第3章 回路設計及び試作方法

### 3.1. Nb 修正回路作成プロセス及び設計ルール

本研究での回路設計は産業技術総合研究所のクリーンルーム CRAVITY(Clean Room for Analog & digital superconductivity)の Nb 集積プロセスによって作成された。Nb 集積プロセスには複数の種類が存在し、チップの大きさや臨界電流密度、そして積層段数などがそれぞれ異なる。本研究では HSTPA[17]プロセスによる 4 段積層構造で  $10\text{kA}/\text{cm}^2$ の臨界電流密度

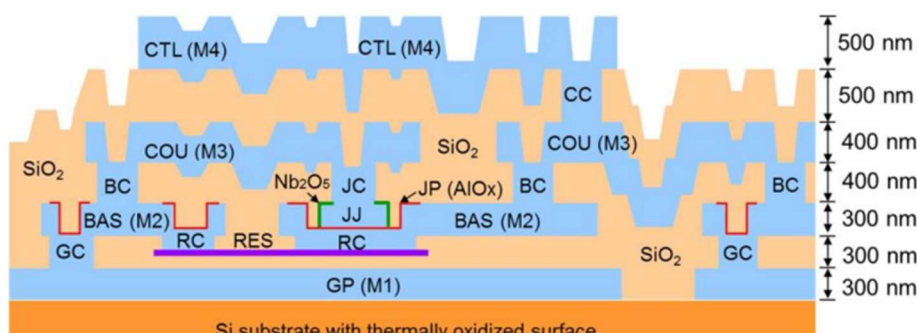


Fig 3.1 HSTP の断面構造[17]

を持つ 7mm 角チップを作製した。断面構造を Fig 3.1 に示す。

最小臨界電流値は  $100\mu\text{A}$  となるように、最小接合面積は  $1\mu\text{m}$  角となる。常圧の Mo は 9.2K で超伝導にはならないため、抵抗層 R として用いられ、シート抵抗  $1.2\Omega$  として線幅及び太さにより回路に所望される任意の抵抗として用いることができる。各レイヤーについて層構造及び膜厚を Table 3.1 に示す。

Table 3.1 HSTP のレイヤー構造及び膜厚

レイヤー名	機能	材料	膜厚[nm]
GP	グランド面	Nb	300
RES	抵抗	Mo	35
RC	RES/BAS コンタクト	Nb	
GC	GP/BAS コンタクト	Nb	
BAS	接合の下層面及び下層配線	Nb	300
JP	接合のプロテクション	Al/AIOx	
JJ	ジョセフソン接合	Nb	150
BC	BAS/COU コンタクト	Nb	
JC	JJ/COU コンタクト	Nb	
COU	接合の上層面および上層配線	Nb	400
CC	COU/CTL コンタクト	Nb	
CTL	最上部配線およびシールド層	Nb	500

また、設計上の基本設計ルールを Table 3.2 に示した。

Table 3.2 HSTP の基本設計ルール

最小線幅	1.0 $\mu\text{m}$
最小スペース	1.0 $\mu\text{m}$
最小接合サイズ	1.2 $\mu\text{m}$ 角
接合の縮小値	0.2 $\mu\text{m}$
接合の臨界電流密度	10kA/cm <sup>2</sup>
シート抵抗	2.4 $\Omega$
最小コンタクトサイズ	0.8 $\mu\text{m}$ 角 (JC のみ 0.7 $\mu\text{m}$ )
アライメントマージン	0.25 $\mu\text{m}$
BAS の縮小値	0.2 $\mu\text{m}$
COU,CTL の縮小値	0.1 $\mu\text{m}$
RES の縮小値	0

HSTP プロセスは長年使われていた 2.5 kA/cm<sup>2</sup> の STP2 プロセスに比べ、臨界電流密度が 4 倍であるため、(2.35)より 4 倍の逆平方根である 2 倍の動作速度が期待できる。さらに、接合が抵抗とのコンタクト内で作成されるようになった(RC-Type)ため、STP2[23]での接合外で抵抗層とコンタクト(R-Type)に比べて等しい素子パラメータを持つ接合が約半分のサイズとなった[17,23]。Nb 集積回路作成プロセスとして、同じく産総研の ADP2[32]やアメリカ Hypress[33]などが用いられることが多い。また、HSTP プロセスや STP2 は積層構造であるため、配線に段差が生じて断線などを引き起こし歩留まりが悪いとされている。そこで平坦化した HSTP として PHSTP[37]などが現在研究と開発が行われている。

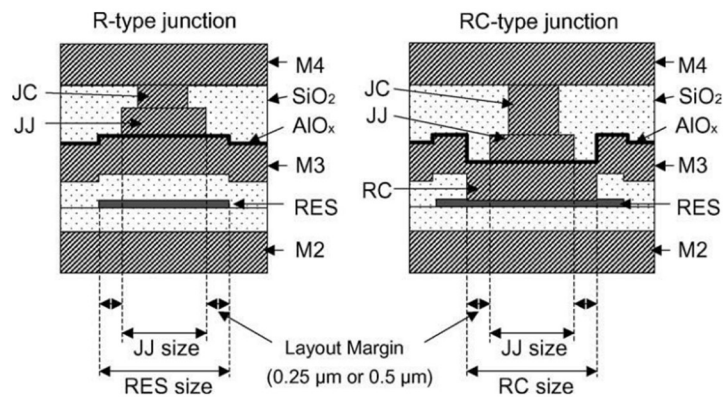


Fig 3.2 CAD による STP2(a)と HSTP(b)の接合サイズ

3.2. SFQ 論理セルライブラリ デジタル回路の設計においては、2.2.2 節で述べたように RSFQ 論理素子が不可欠となる。論理回路自体の構成はすでに決まっているため、毎回設計の度に作製し直すと手間と時間がかかり、回路規模によっては困難を極める。そこで AND や OR や TFF などの一般的な論理セルをパッケージ化することで、セルライブラリとして扱って設計する方式が主流となっている。本研究で使用したライブラリは、名古屋大学、NEC、CRL(NIST)らによって開発された CONNECT(Cooperation of Nagoya University, NEC, CRL teams)セルライブラリ[7]を使用した。ただし、ライブラリ

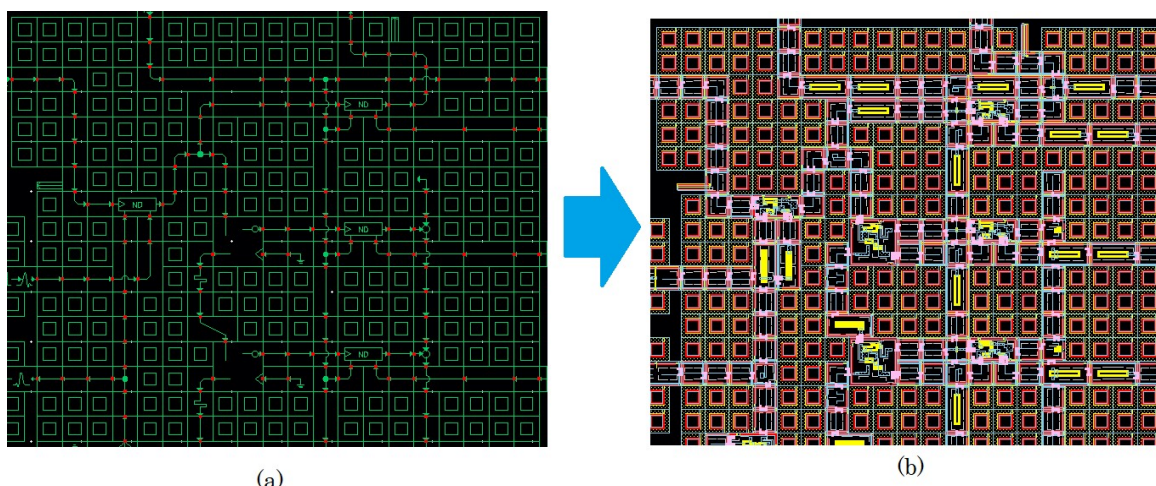


Fig 3.3 (a)セルライブラリによる回路設計 (b)設計から書き出されたマスクパターンとして設計されたのは STP2 のものであるため、それを HSTP 用に再度調整したライブラリを用いている。これらのライブラリは動作領域が広がるように設計されており、セルへ印加される基準電圧を $\pm 30\%$ 変動させても安定動作を行える。セルのサイズは  $40\mu\text{m}$  四方単位で作製されているため、正方形もしくは長方形のセルを敷き詰めて回路設計が容易に行える。これを用いて CAD 上で回路の GUI 配置が可能になる上、後述するシミュレーションにかけたり、設計に向けたマスクパターンへの変換だったり容易となる。

### 3.3. 超伝導集積回路解析用プログラム

#### 3.3.1 Verilog によるデジタルシミュレーション

Verilog[18]はデジタル回路用のハードウェア記述言語(HDL)であり、FPGA などのデバイスやデジタル回路シミュレーションに用いられている。CONNECT セルライブラリに乗っているセルは、入出力論理や回路遅延などの Verilog シミュレーション用設定ファイルが作成してあるため、SFQ 回路を Verilog へ変換しシミュレーションをかけることが容易である。シミュレーション例である Fig 3.4 より、SFQ の通過を 1 とした Return to Zero 論理で回路の動作特性を確認することができる。Verilog の利点として、出力データが 1 もしくは 0 であるため回路全体の動作について容易に調べることができ、計算速度も後述するアナログシミュレーションの Jsim[19]に比べ早い。一方で波形の衝突や、論理回路内の入力間隔に

よる不定動作を生じた場合は赤い波形となり、移乗動作が起きていることも確認できる。しかし移乗動作の内容までは確認することができず、不定となる。

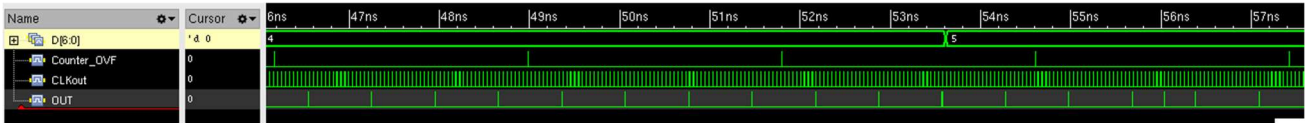


Fig 3.4 Verilog によるデジタルシミュレーション

### 3.3.2 Jsim によるアナログシミュレーション

Jsim[19]は回路シミュレーションソフトの SPICE をベースに、パッシブ素子の R,C,L に加えてジョセフソン接合のモデルや、回路内の位相を計算できるようになったフリーソフトである。Jsim への入力は回路の繋がりをテキストファイルで記載したネットリストを介して行い、出力として指定した素子の電圧や電流、そして位相などをテキスト形式で出力する。データは gnuplot などで確認することができる上に、自作スクリプトなどを介することでネットリストと出力データそれぞれを自動変更しつつ次々シミュレーションなどを行える。Verilog と異なり、アナログ波形のシミュレーションであるためデータ間隔や 1 ステップあたりのデータが多く、計算時間がかかる。しかし Verilog では不定だった、論理ハザードに近い状況下であっても、計算によって動作が確定するかどうかをある程度調べることができる。

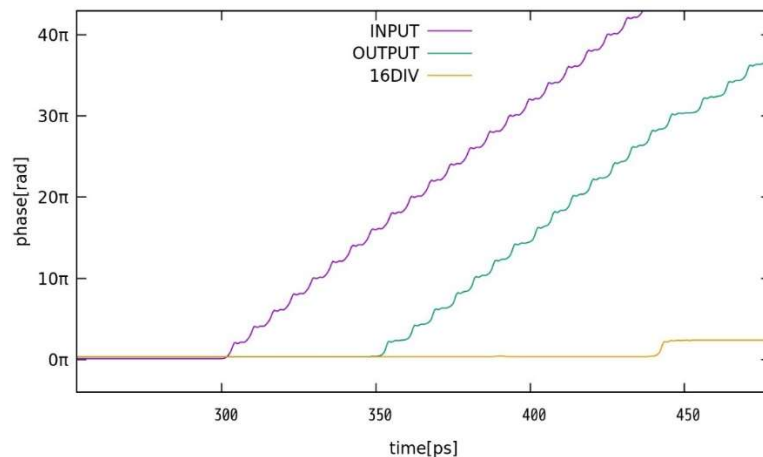


Fig 3.5 Jsim による 150GHz 入力でのシミュレーション

### 3.3.3 自作スクリプトと Jsim による動作帯域シミュレーション

本研究で設計した  $\Sigma$ -SBS の最高動作帯域を求めるために、Jsim によるシミュレーションを定数変更しながら逐次行う必要があった。しかし効率的でなく精度も高く取れないため、本研究では C 言語によるスクリプトによって逐次実行できるようなシミュレーションを行った。全入力データを 1 とした状態の Fig 3.6 のような  $\Sigma$ -SBS を考える。この状態だと、CLK\_in から入力された SFQ は TFF で分周され、CLK\_div および NDRO によるビット選択へ移動する。NDRO は全て '1' 状態であるため SFQ は通過し、CB による合成を経て CLK\_out

へ集約される。このときそれぞれの CLK の関係式  $D$  は以下の 3 つに分類できる。

$$D = \text{CLK}_{\text{out}} + \text{CLK}_{\text{div}} - \text{CLK}_{\text{in}} \begin{cases} < 0 \\ = 0 \\ > 0 \end{cases} \quad (3.1)$$

$D < 0$  のとき、出力 CLK よりも入力クロックが多いため、回路内部で SFQ の損失が起きている。そのためエラーと判定できる。 $D > 0$  の時も同様に、入力よりも出力の SFQ の方が多い

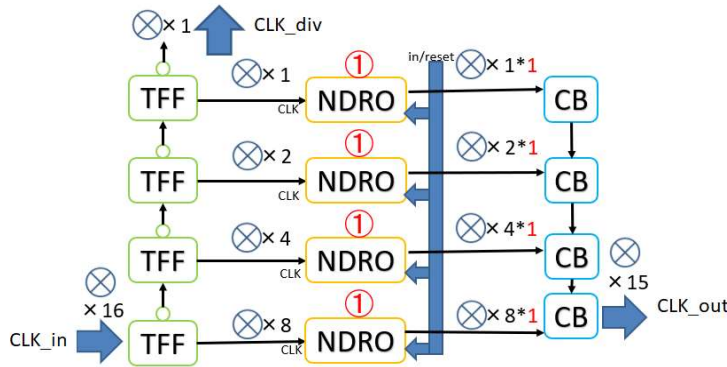


Fig 3.6 自作スクリプトによる帯域シミュレーション

ため、回路内部で発振などが生じて多くの SFQ が生成されてしまっている。 $D=0$  であれば内部回路にて SFQ の発生や損失が無いため、正常動作しているといえる。

Fig 3.7 に計算によって得られた  $D$  グラフの一例を示した。(a),(b)はいずれも 500ps 程度まで回路内部に SFQ が入力され、回路内通過による遅延を経て出力端子から SFQ が通過してくる。そのため 500ps を過ぎると差分  $D$  は入出力の SFQ 頻度が一致し、一定状態となる。しかし(a)の 143GHz での SFQ 入力は周期的に SFQ パルス数が単調増加するグラフとなっている。これは一定間隔ごとにいずれかのビットにおいて SFQ が CB によるマーゲンのため合成時に欠損していることに起因している。一方で(b)については多少変化があるものの、一定状態を保ち続けている。これは回路内部で欠損や発振することなく、入出力の SFQ 個数に変動が無いことを示している( $D=0$ )。このシミュレーションを測定条件の変更をしつつ Jsim で繰り返し、出力されたデータから  $D$  を計算するプログラムを C 言語で自作スクリプトにした。スクリプトのコードは付録に記載したが、バイアス電圧を一定にした状態で入力 SFQ パルス間隔を変更し、二分法を用いて最大動作帯域を判定している。バイアス電圧範囲やそのプロット間隔を変更することによって、回路内部で SFQ の損失が無い条件の範

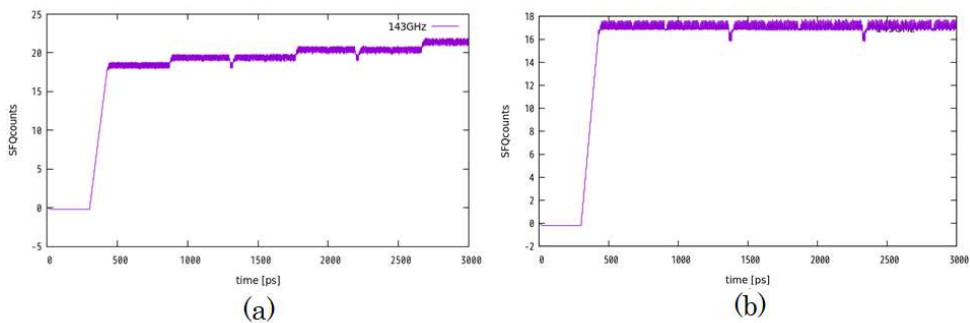


Fig 3.7 入出力 SFQ の差分 (a)143GHz( $D > 0$ ) (b)133GHz( $D = 0$ )



困を断定することができるので、応用性が広い。 $\Sigma$ -SBS では最大状態(全ビットが'1')のみに適応できるが、全ての出力から SFQ が出力されているとき、最も CB での結合時に衝突が起きやすくエラーしやすいと考えられる。そのため最大帯域の測定という観点から見れば、最悪値の帯域となり問題は無いと考えた。

## 第4章 単極性 $\Sigma$ -SBS の設計と測定

### 4.1. 単極性 $\Sigma$ -SBS の動作原理

先行研究[14]で挙げられていた  $\Sigma$ -SBS について、リングオシレーターによる発振と停止の機構を取り除いた Fig 4.1 の構造を持つものを考える。この RSFQ-DAC は先行研究[29]に近い形状を取っているが、DFF などの同期を排除したものとなっている。

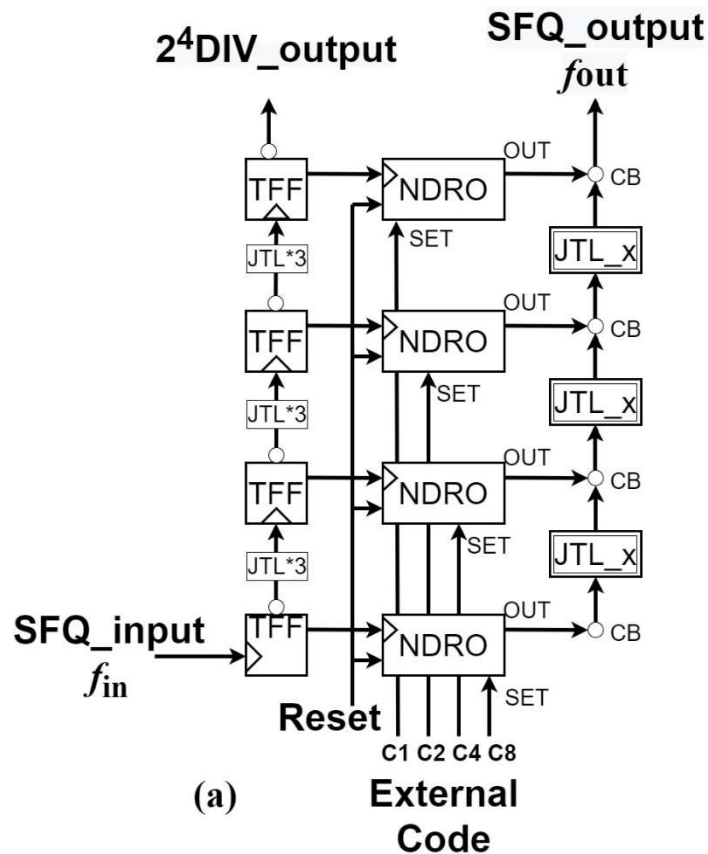


Fig 4.1 4bit  $\Sigma$ -SBS 基本形構造

この回路の動作を考える。

- ① IN から入力された周波数  $f_{in}$  の SFQ パルス列は TFF により分周され、それぞれ  $f_{in}/2, f_{in}/4, f_{in}/8, f_{in}/16$  の 4 周期になる。
- ② 外部からデータ列  $D_n$  が入力してある NDRO に分周された周期の SFQ パルス列が入力されると、'1' 入力された NDRO のみ CLK 入力に対して出力が得られるため、OUT から CLK と同周期のパルス列が通過してくる。一方で '0' 入力であった場合には OUT から何も出力されず、遮断状態となる。
- ③ 通過してきた SFQ パルス列は CB によって合成される。ここでそれぞれのパルス列は分

周によって得られているため、それぞれのパルス列は遅延を考慮しなければ衝突することなく合成され、出力される。

以上より、N bit  $\Sigma$ -SBS の出力 $V_{out}$ は(5.5)で得られる

$$V_{out} = \Phi_0 f_{in} \sum_n D_n \frac{2^{n-1}}{2^N} \quad (4.2)$$

4bit のときの最大電圧は、N=4 で $D_n = 1$ のとき、 $\frac{15}{16} \Phi_0 f_{in}$ となる。これは内部で SFQ が 1 パルス損失することに起因しており、原理上取り除くことができない。よって入力周波数より高い周波数の出力を得ることができないため、PNM のような増倍動作をすることができない。一方で一度入力されたデータを更新することなく使い回すことができる上、カウンタとデータ入力が独立していることから、データ入力のタイミング自由度が高いことが特徴である。更に、回路構成に SFQ が戻って動作を行うフィードバックが存在しないこと

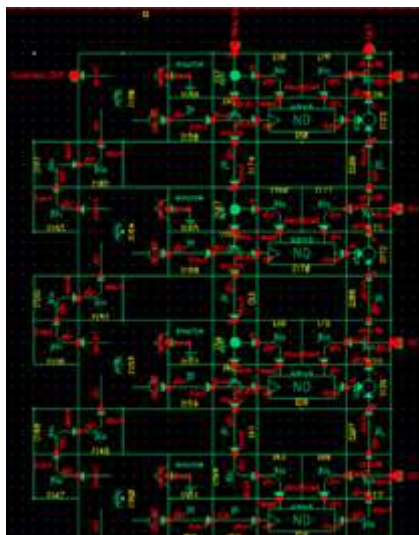


Fig 4.2 単純に接続した  $\Sigma$ -SBS

からも、高速動作においてタイミングを考える必要がなくなるといった利点がある

先行研究では 6bit $\Sigma$ -SBS の設計を行い、数値計算にて 47GHz、測定にて 0.8GHz での動作が確認された[14]。SFQ 回路は高速動作に長けていることから、1GHz 程度の速度で頭打ちになることはほぼ無く、何らかの設計に不具合があったと考えられる。先行研究内では SFQ 合成の際に、回路内の遅延によって CB へ同一タイミングで SFQ パルスが入力され、CB の性質から損失が生じていると述べられていた。

実際に Fig 4.2 のような遅延考慮をせずに構造通りに接続した  $\Sigma$ -SBS を verilog でシミュレーションすると、52GHz の SFQ パルス入力に対してエラーが生じている。



Fig 4.3 52GHz でのエラー

エラーを拡大したものが Fig 4.4 である。出力されるビットにより通過する接合数が異なっているため、入力 CLK に対して出力されるパルスの間隔がそれぞれ異なっている、特に図内の 4 発目の CLK に関しては、遅延により 5 発目のパルスとほぼ同タイミングで CB へ入力されるような形になってしまうため、エラーの要因となっている。この遅延量は接合数や使用セルによる回路構成の他、セルへ加えるバイアス電圧によって変化するため、毎回 Verilog でシミュレーションを行い、適切な遅延量を算出することが困

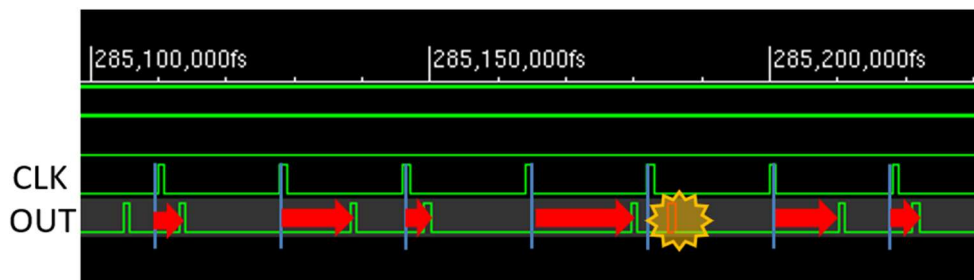


Fig 4.4 拡大図

難である。また、エラーの判定として Verilog では、禁止時間内であることを理由としている。これはデジタルシミュレーションであり、内部のアナログ的な波形では正常動作しているかは判断できない。

そこで本論文では、SFQ パルスの遅延について 3.3.3 で述べた自作スクリプトを作成し、それを用いて回路構成を変更しながら動作帯域およびバイアスマージンの数値計算を行った。Verilog と異なり、アナログシミュレーションである Jsim を用いているため、SFQ パルスが近接した際の臨界的な動作についても数値計算で確認することができる。

回路の変更箇所として、遅延量に最も関与すると考えたのは TFF 間の遅延及び CB 間の遅延である。それぞれのデータ選択用の NDRO は全て同じ構成をコピーしたものであるため、遅延の影響は低く無視しても問題ないと考えた。回路内の NDRO を省いて、IN と OUT を JTL で直結した noNDRO で帯域をシミュレーションしたものを Fig 4.5 に示す。シミュレーション結果は両者ともに一致したため、NDRO による影響はないと確認できた。

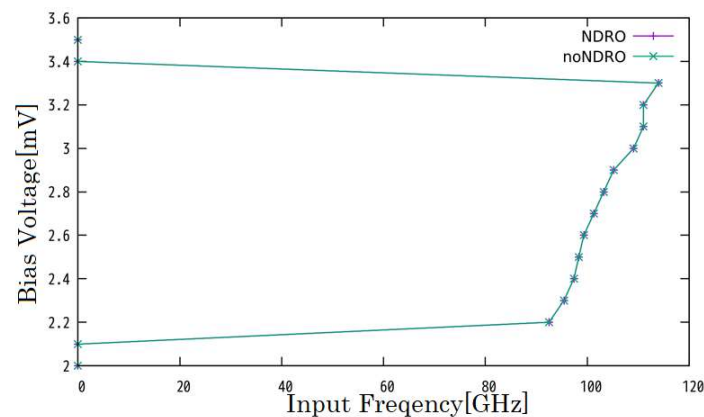


Fig 4.5 NDRO の有無による帯域の変化

## 4.2. 単極性 $\Sigma$ -SBS の設計

構造としては 2.2.5 に示した  $\Sigma$ -SBS から EOP によるフィードバック機構を取り除いたうえで、'0'入力コードに対して 0 発の出力が得られる。前節で述べたように遅延量による動作帯域の測定を行いたいため、CB による合成ラインに対しての遅延量を、 $x$ 個の接合を持つ JTL である  $x$ -JJ JTL で接続している。設計をする際には、TFF 間をつなぐ JTL の接合数を 6 接合と固定したうえで CB 間の接合数を変化させた。4bit  $\Sigma$ -SBS の計算結果を Fig 4.6 に示す。

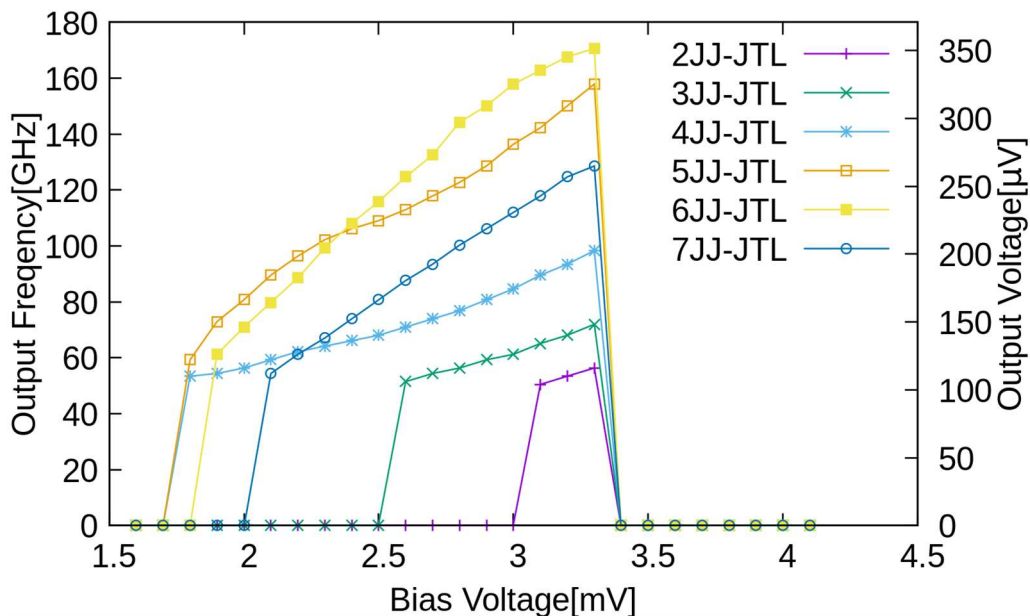


Fig 4.6 単極性 4bit  $\Sigma$ -SBS の最大動作特性の数値計算結果

Fig 3.4 より、接合数により動作マージン及び帯域が変化することがわかる。特に 6JJ-JTL を用いて 6 接合遅延の際に最も帯域が広く、160GHz 以上での動作帯域が得られた。また、バイアスマージンとしては 4-JJ JTL および 5-JJ JTL のとき最も広く、1.8mV~3.4mV となった。これはセルライブラリの設計値である 2.5mV に対して -28%~28% である。本設計では動作

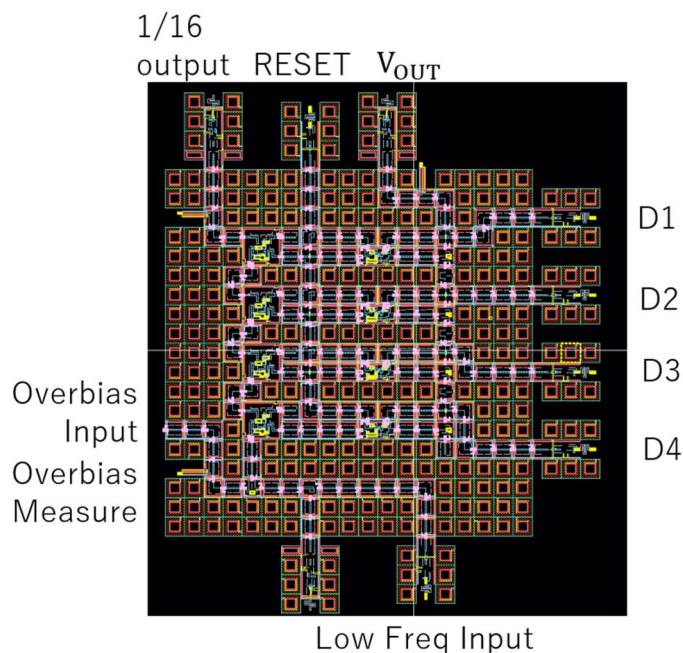


Fig 4.7 単極性  $\Sigma$ -SBS の CAD 図

マージンが広く、帯域も 159.9GHz となった 5-JJ JTL での設計を採用した。設計した CAD 図を Fig 4.7 に示す。設計にはセルライブラリを用い、接合数は 488 接合となった。超伝導集積回路は(国) 産業総合技術研究所(AIST) の超伝導クリーンルーム(CRAVITY)の Nb 標準プロセスを用いて作成された。製作されたチップの光学顕微鏡写真を Fig 4.8 に示した。

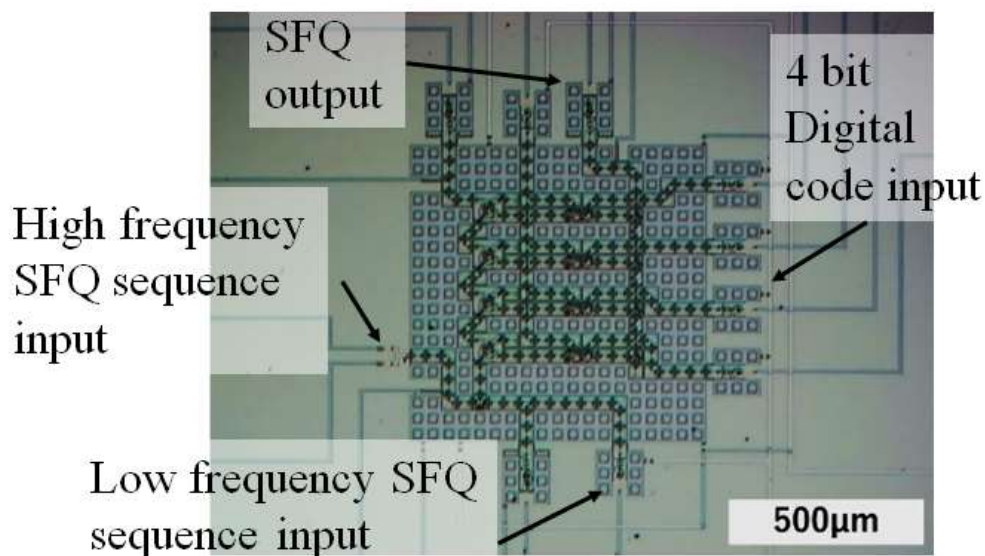


Fig 4.8 4bit 単極性  $\Sigma$ -SBS の光学顕微鏡写真

### 4.3. 単極性 $\Sigma$ -SBS の測定結果

#### 4.3.1 低速測定系

低速測定系を Fig 4.9 に示した。回路全体を超伝導状態にするために、作成された Nb チップは測定棒を用いてヘリウムデュワー内に挿入され、4.2K の He 浴中で測定を行った。 $\Sigma$ -SBS へ直流電源装置からバイアスを印加し、その電圧を回路 MOAT へ接続された別端子から 4 端子法で測定する。データ入力には Code Generator を用いて 4bit のパラレルデータおよびデータのリセットを行った。入力クロックは Function Generator より 16kHz の低速クロックを DC-SFQ を介して入力した。出力としては  $\Sigma$ -SBS への入力クロックの確認用端子と 16 分周の出力、そして出力端子の 3 出力を SFQ-DC で測定した。また、出力レベルは 200 $\mu$ V 程度と測定が困難であるため、40dB のプリアンプによって増幅した後、オシロスコープによる波形測定を行った。測定系に使用した装置一覧を Table 4.1 に示した

Table 4.1 実験装置一覧

種類	メーカー	型番
直流電源	KIKUSUI	PMR24-1QU
オシロスコープ	ROHDE&SCHWARZ	PTB2004
ファンクションジェネレーター	Aglient	33220A
プリアンプ	NF	LI-75A
データジェネレータ	Tektronix	DG-8000

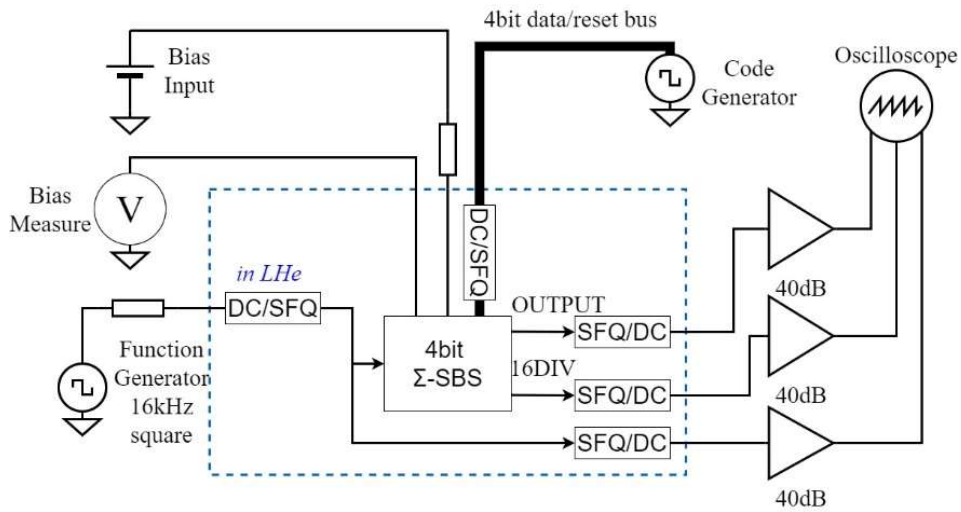


Fig 4.9 低速測定系

#### 4.3.2 低速測定結果

測定された波形を Fig 4.10 低速測定結果に示す。INPUT 入力に対して入力デジタルコードを変化させたときの波形となっており、コードは 0~15 の 16 種類のうち、1,2,4,8 を抜き出している。

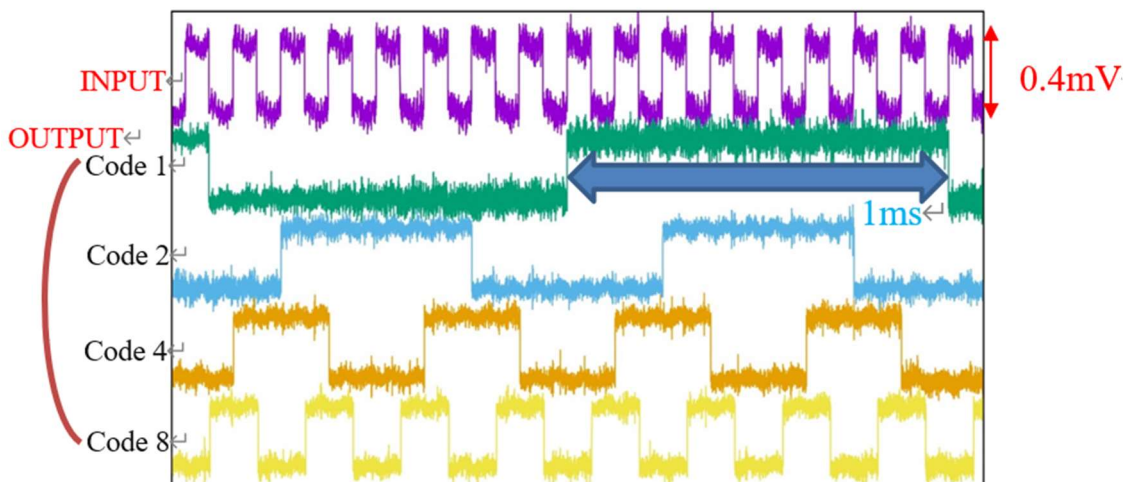


Fig 4.10 低速測定結果

周波数が変調されていることが確認できる。コード $n$ に対する出力周波数 $f_n$ を測定値から求めると、 $f_1 = 1\text{kHz}$ ,  $f_2 = 2\text{kHz}$ ,  $f_4 = 4\text{kHz}$ ,  $f_8 = 8\text{kHz}$ となった。入力周波数が $16\text{kHz}$ であることから、(4.2)式で与えられた $4\text{bit}\Sigma\text{-SBS}$ の入出力関係である $f_{\text{out}} = \frac{n}{16}f_{\text{in}}$ の関係が満たされていることが確認できた。各入力コードについて、正常動作しているバイアスマージンを測定した。ライブラリの基準電圧である $2.5\text{mV}$ に対する動作範囲を計算して Fig 4.11 に示した。計算結果から、すべてのセルで動作マージン幅が $5\%$ 以上取ることが確認できた。ただし、全体が動作するマージン幅は $2\%$ 程度しかなく、狭いマージンとなった。また、 $3$ 以下の入力コード(1, 2, 3)のマージンが $4$ 以上の入力コードに対してマージンが狭く、マージンのボトルネックとなっている。

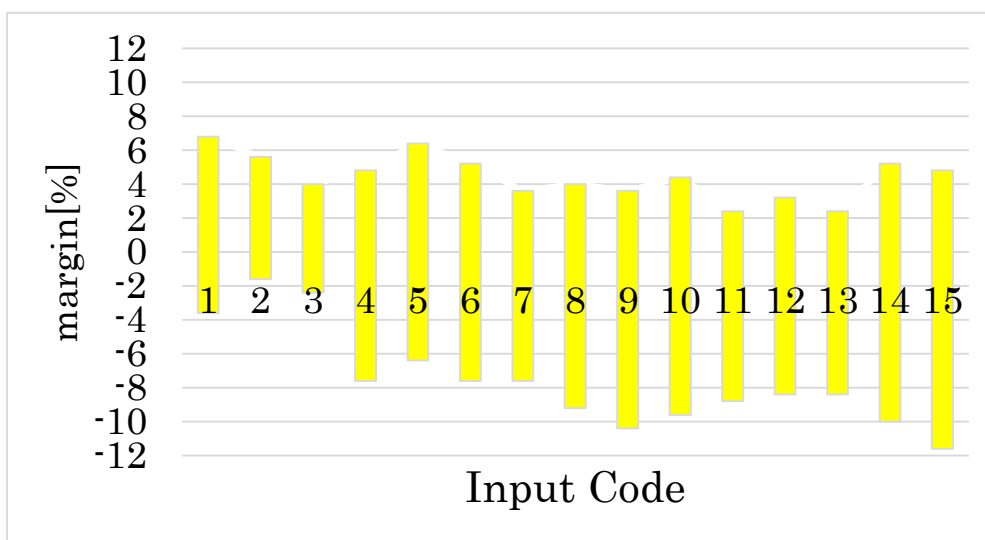


Fig 4.11 低速動作マージン

#### 4.3.3 高速測定系

続いて、高速測定系を Fig 4.12 に示した。低速測定系との変更点として、クロック入力を

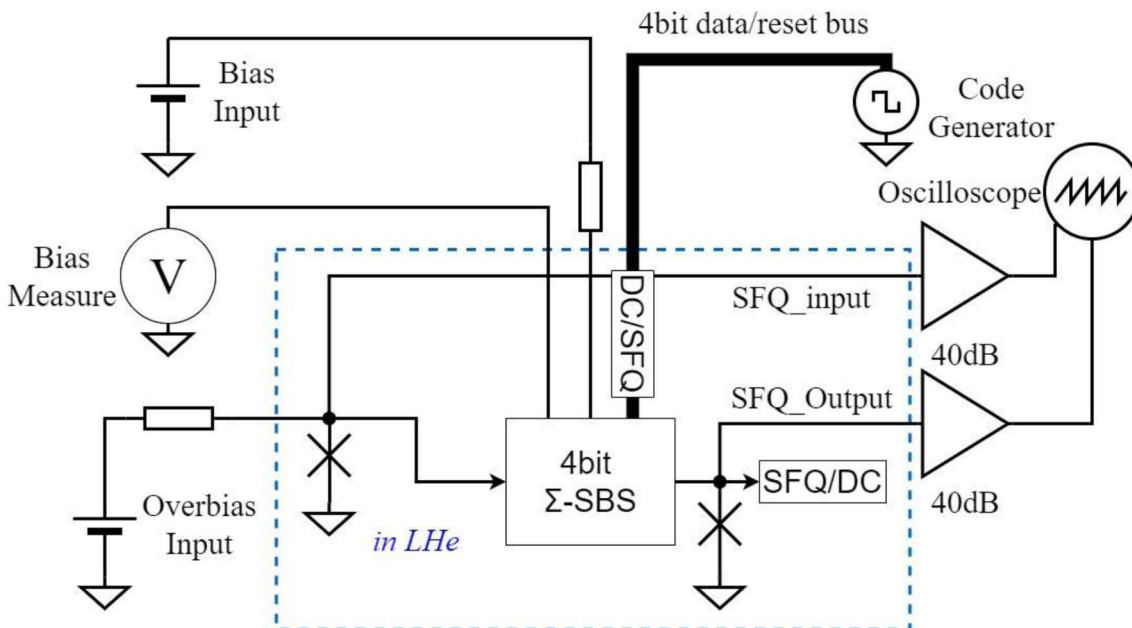


Fig 4.12 単極性 $4\text{bit}\Sigma\text{-SBS}$ 高速測定系



オーバーバイアス法に変更した。これにより、直流電源装置を用いて 100GHz を超える高速での SFQ パルス列の入力を行う。同様に出力側の接合における電圧をオシロスコープで測定することで、交流ジョセフソン効果によって生じた接合間の平均電圧および周波数測定を行う。データ入力やバイアス印加ライン、そして使用した装置は Fig 4.9 の低速測定系と同様である。高速測定では、DAC へ入力できる SFQ パルス列の帯域測定を行った。手法として、入力コードを外部から入力して内部データを確定させた状態で、MOAT へのバイアス電圧を変更しながら、オーバーバイアスでの入出力接合の平均電圧をオシロスコープ上で測定した。

#### 4.3.4 高速測定結果

バイアス電圧を 1.7,1.9,2.1,2.3,2.5,2.7,2.9,3.1mV の 8 パターンに対して、入力コード '1' から '15' の 15 パターンで変更して測定を行った。ただし波形を確認して正常動作していないと明らかに判断できるものに関しては除外している。計 82 パターンの測定を行った。測定波形として、2.9mV バイアス電圧で '15' 入力を行った際の  $V_{in}$ - $V_{out}$  特性を Fig 4.13 に示す。理想的には  $V_{in}$ - $V_{out}$  特性は  $V_{out} = 15/16V_{in}$  と一致する。

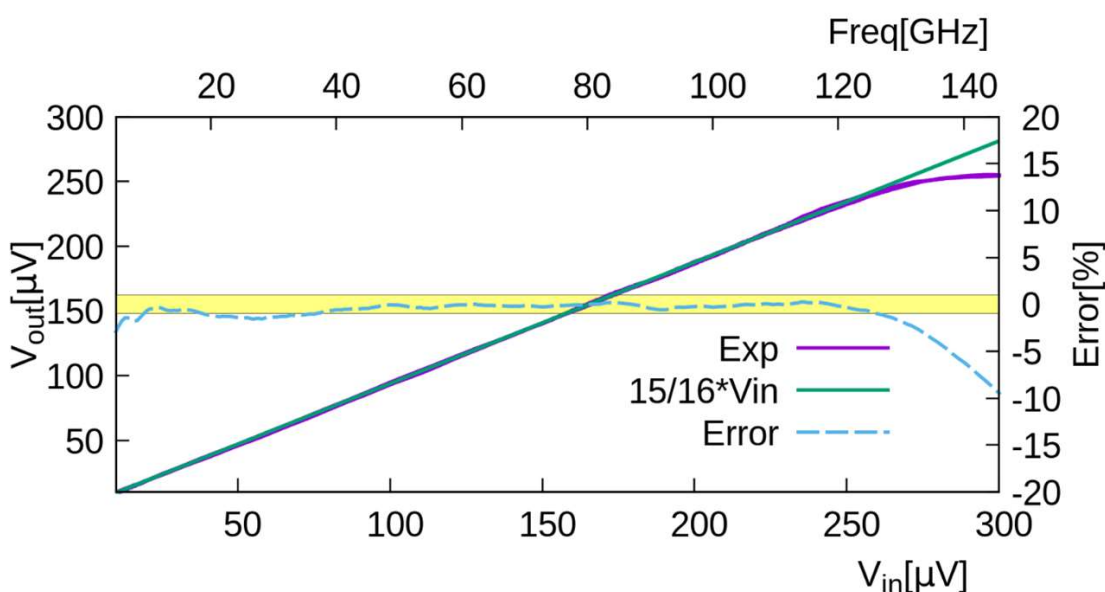


Fig 4.13 4bit 単極性  $\Sigma$ -SBS の最大帯域特性

#### 4.4. 考察

高速測定における最大帯域について考える。4bit の  $\Sigma$ -SBS の最大出力電圧は '15' 入力時となる。このとき入出力特性は  $V_{ideal} = 15/16V_{in}$  となるため、それと測定値  $V_{exp}$  の相対誤差によって評価を行う。相対誤差  $R$  を (5.5) で定義する。

$$R = \frac{V_{exp} - V_{ideal}}{V_{ideal}} \times 100 = \frac{16V_{exp} - 15V_{iin}}{15V_{in}} \times 100 \quad (4.3)$$

(5.5)式で得られた理想直線との相対誤差が $\pm 1\%$ 範囲内となる入力電圧を帯域とした。これは Fig 4.13 のエラーが黄色枠内に収まっている周波数のことを指す。'15'出力の帯域をバイアスごとに計算したものと、数値計算によって得られた帯域をまとめたものを Fig 4.14 とした。測定による最大動作帯域はバイアス電圧が 2.9mV のとき 118GHz であり、このときの平均出力電圧は 244 $\mu$ V に相当する。また、MOAT へのバイアス電圧を変化させたところ、2.7mV,2.8mV,2.9mV において数値計算で得られた結果とおおむね一致しており、シミュレーション通りに動作していることが確認できた。

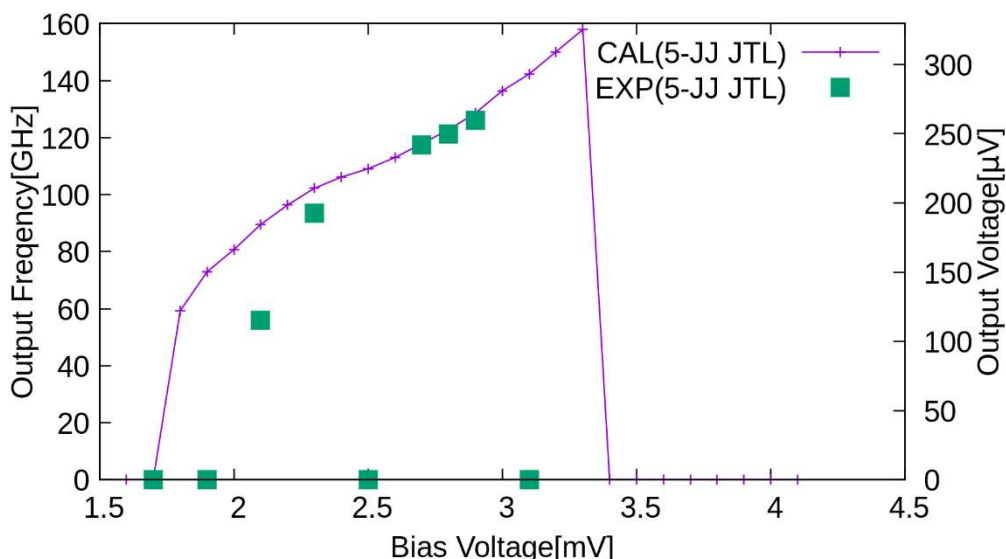


Fig 4.14 単極性 $\Sigma$ -SBS 最大帯域

ただし、2.5mV のバイアス電圧時に $\pm 1\%$ 範囲内で動作を確認することができなかった。2.5mV バイアスの測定波形を Fig 4.15 に示した。黄色いラインが相対誤差 $\pm 1\%$ の範囲内であるが、相対誤差の青いラインが黄色枠の中に入っている領域が無い。そのため帯域の測定が困難であった。しかし、誤差がフラットなラインが 30GHz から 90GHz にかけて存在しているため、入出力で比例関係になっていることは確認できた。仮に出力された波形が正常動作していると仮定した場合、入力されたデジタルコード自体にエラーが生じており、正しいデータが入っていないと考えられる。そう考察した場合、傾きから計算して得られた概算入力コードは 14.18 となった。 $\Sigma$ -SBS の動作原理から、入力コードは離散的であるため、近い値である 14 が入力されていたと考えられる。しかしそれでも 2 パーセントほどの誤差を含んでおり、今回の評価内で正常動作帯域であることを示せなかった。仮に、 $\pm 2\%$ の誤差を許容した状態で計算を行うと、最大帯域は 200.3mV となり、周波数換算で 97.2GHz 帯域まで動作していると考えられる。この値は Fig 4.14 の計算値とよく一致した。

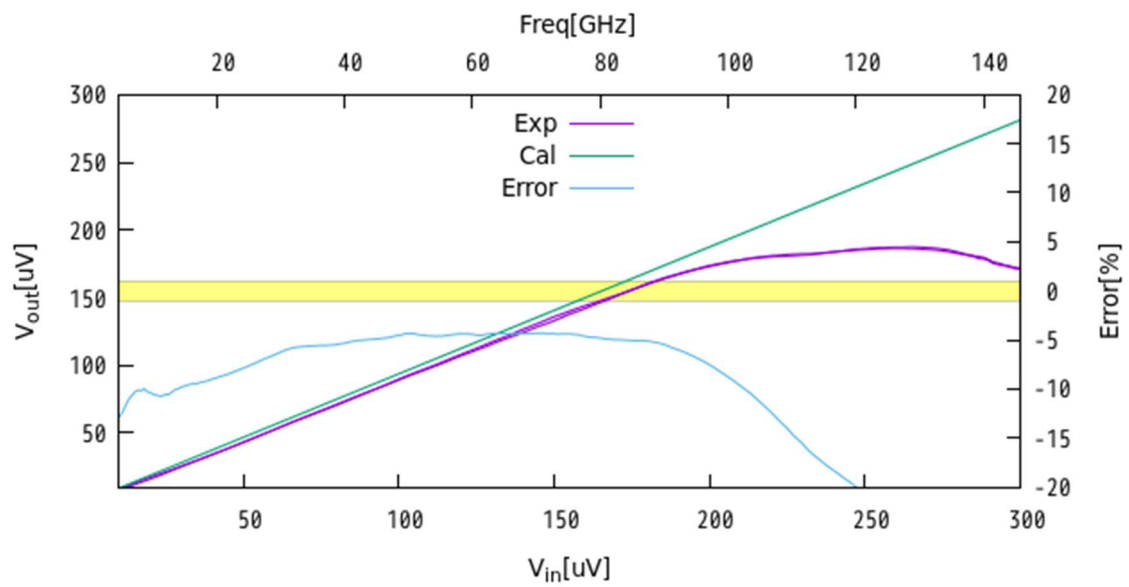


Fig 4.15 2.5mV バイアス時の入出力特性

## 第5章 MSB 分離型両極性 $\Sigma$ -SBS の設計と測定

### 5.1. MSB 分離型両極性 $\Sigma$ -SBS の動作原理

第4章で述べた単極性  $\Sigma$ -SBS では最高動作周波数 118GHz での出力帯域となり、従来の  $\Sigma$ -SBS に比べて 143 倍と、格段に速度が上昇した。しかし、入力方法としてオーバーバイアス法を用いているため、帯域の測定などの実験を行う際に利便性が高いが、最終的な目標としている電圧標準応用には適さない。なぜなら、入力電圧に対して出力電圧を測定する方式であるため、入力電圧の不確かさによるエラーが高くなってしまう。そこで先行研究では、外部入力周波数をトリガーとして起動するリングオシレーターを用いて、数 10GHz の SFQ パルス列を生成することによって、1 パルスの SFQ 入力により、任意のパルス数を持つ数 10GHz パルス列を逡倍生成していた。本研究では高速動作が期待できることから、オシレーターの発振速度はできる限り早い方が望ましい。リングオシレーターは、内部の帰還遅延時間を調整することによって高速化することができるが、帰還経路を最短にした Fig 5.1 を Verilog にて数値計算したところ、約 30.2GHz の発振周波数が得られた。しかし本研究の  $\Sigma$ -SBS で得られた最高動作速度は第4章の測定より、118GHz での出力周波数にまで到達している。そのためリングオシレーターによる発振では 4 倍近い速度差が生じてしまうため、 $\Sigma$ -SBS が持つ高速動作性に対して不適切である。

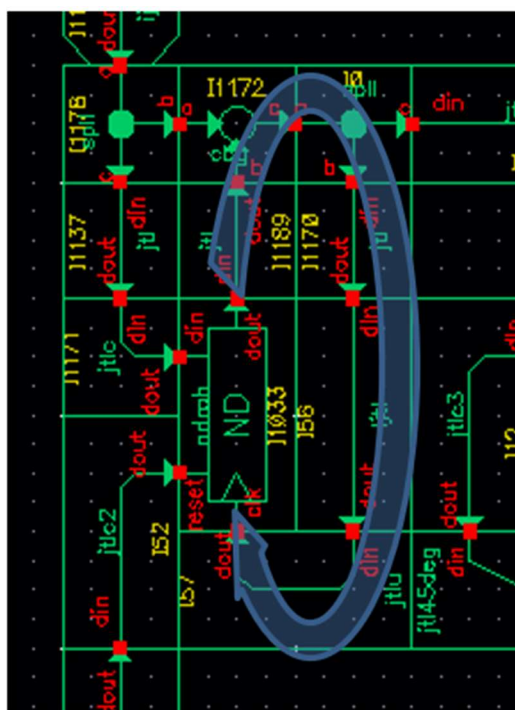


Fig 5.1 最短リングオシレーター

そこで本研究では、リングオシレーターの高速性を生かしつつ、リングオシレーターで

扱われていた周波数通倍機能を追加した機構を導入した、回路構成を Fig 5.2 に示した。  
 $n$  bit  $\Sigma$ -SBS での動作の原理を以下に述べる。

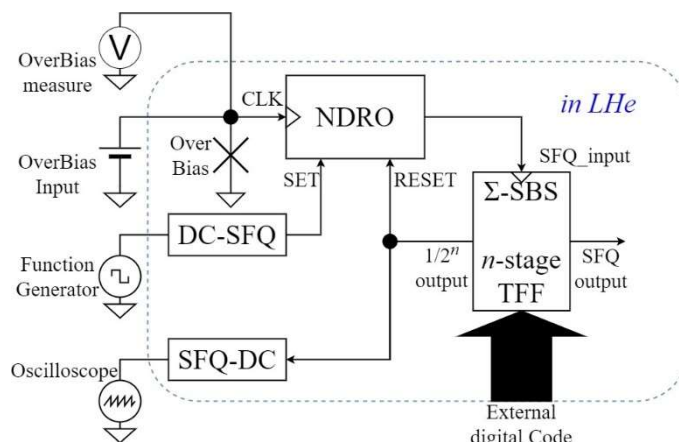


Fig 5.2 オーバーバイアスによる通倍回路

- ① オーバーバイアス入力により NDRO の CLK へ 100GHz 程度の SFQ パルス列を入力し続ける。NDRO は RESET 状態であるため、 $\Sigma$ -SBS へは入力がされない。
- ② ファンクションジェネレーターなどを用いて精度の高い周波数入力  $f_{in}$  で NDRO の SET 入力へ SFQ を送る。これにより NDRO は SET 状態に移行し、CLK に入力されたオーバーバイアス入力を  $\Sigma$ -SBS 方向へ通過できるようになる。
- ③  $\Sigma$ -SBS 内部は直列 TFF によるカウンターとなっているため、通常動作以外にも  $1/2^n$  パルスごとにカウンターのオーバーフローによる SFQ 出力が得られる。
- ④ オーバーフローした SFQ パルスは NDRO の RESET を入力し、NDRO を SFQ 遮断状態にする。これにより①の状態に戻り、再度 SET パルスが到達するまで停止する。

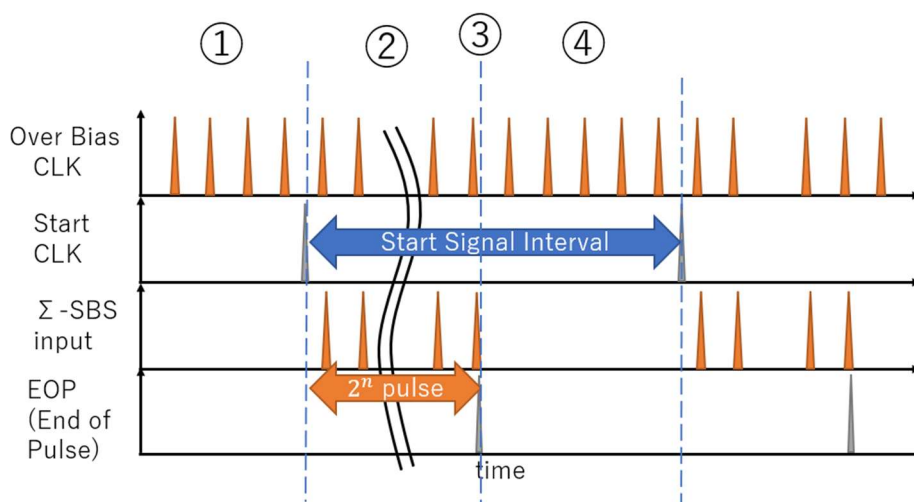


Fig 5.3 通倍動作のタイミングチャート

以上の動作を図としてまとめたものが Fig 5.3 である。この動作によって、入力 SFQ パルス 1 発につき  $\Sigma$ -SBS のオーバーフローである  $2^n$  パルスの入力がなされることに成るため、 $2^n$  倍の通倍回路として動作する。ただしオーバーフロー周期より早い SET 信号周期の場合、内

部状態がリセットされる前に動作してしまうため、誤動作となる。つまりこの動作を行える条件として、(5.5)式を満たしている必要がある。

$$f_{in} < f_{overbias}/2^n \quad (5.1)$$

例として、 $n=8\text{bit}$  かつ  $f_{overbias} = 100\text{GHz}$  とすると、通倍可能な入力周波数は  $39.1\text{MHz}$  となる。

また、正負両極動作を行う機構について説明する。従来の DAC では両極性動作を行う方法として、Fig 5.4 で示すように出力ビットを DMX(Demultiplexer)で正極性もしくは負極性の DFQA に振り分ける方式がとられていた[24][28]。

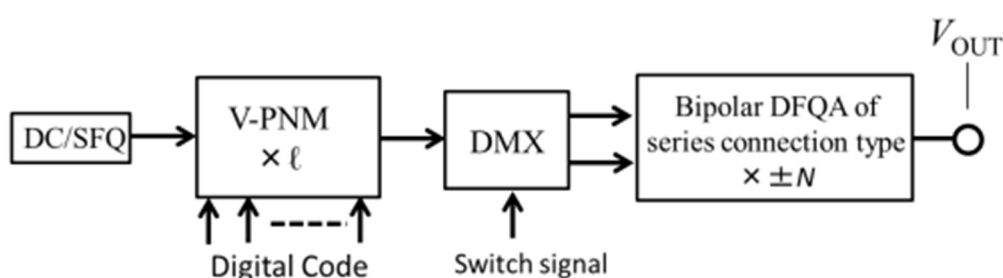


Fig 5.4 先行研究での両極性 D/A 変換器[24]

入力するデータの形式としては、最上位ビットを出力の符号、それ以下のビットを DAC への入力データとしている。この形式は符号-仮数方式と呼ばれる。この形式だと 8bit の変数は、 $+127(0111\ 1111,7Fh)$  から  $-127(1111\ 1111,FFh)$  までの 255 通りの値を取ることができる。一般に 8bit であれば、 $2^8=256$  通りの値を取ることができるが、仮数-符号方式だと、0 が  $+0(0000\ 0000,00h)$  と  $-0(1000\ 0000,80h)$  の 2 通りの表現となってしまう。更に、現代主流なコンピュータのアーキテクチャでは、2 の補数形式が主に用いられている。特に SFQ でのマイクロプロセッサ[6]でも 2 の補数形式でデータが扱われることが多い。すなわち DAC へデータ入力を行う際に、データ形式の変換を挟む必要があり不便である。

そこで本研究では、 $\Sigma$ -SBS DAC の構造を改良することで、2 の補数形式に対応した DAC を提案する。そもそも 2 の補数形式は、最上位ビットが負の重みを持つようなデータ表現である、例えば 8bit では、最上位ビットを除いた下位ビットとなる 1~7bit は従来と同じように 7bit の整数として扱い、 $0(000\ 0000)$  から  $+127(111\ 1111)$  まで 128 通りのデータを取りえる。最上位ビットについては、 $-128$  の重みを持たせる。これによって、 $-128(1000\ 0000,80h)$  から  $+127(0111\ 1111,0x7F)$  までの 256 通り全てのデータを網羅する形式として扱える。2 の補数形式の強みはデータが網羅できるだけでなく、減算を加算器のみで行うことができるなど、現代にいたるまで、コンピュータのアーキテクチャとして扱いやすい形式となっている。2 の補数の特徴として、最上位ビットが負の重みをもつことが挙げられる。これは負極性の DFQA を用いて負の電圧を出力することによって実現することができる。Fig 5.5 に本研究

で提案する 2 の補数形式の入力が可能となっている 4bit の  $\Sigma$ -SBS を示した。回路構成としては従来の  $\Sigma$ -SBS と近い構造を取っているが、大きく変化している点として、最上位ビットを CB によって合流させず、負極性出力として取り扱っている点である。これにより 2 の補数表現で説明した負の重みを持つ動作が実現できる。さらに CB での合流や TFF による分周を 1 段分減らすことができるため、接合数の削減及び、高速パルス時における CB での損失確率を下げるることができる。

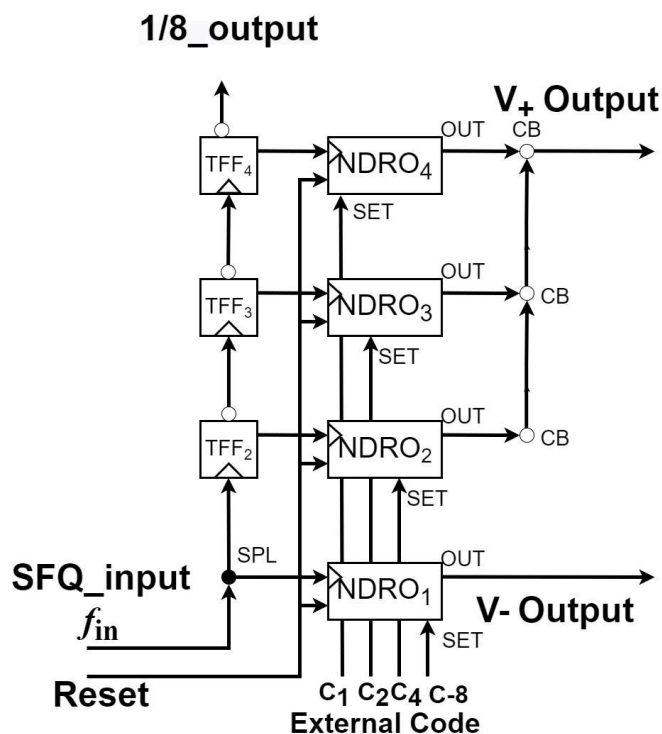


Fig 5.5 MSB 分離型  $\Sigma$ -SBS

以上で述べた MSB 分離型  $\Sigma$ -SBS を採用した場合、両極性 DFQA との接続は簡易的に行うことができる。Fig 5.6 に示すように両極性出力をそれぞれ両極入力に接続することで両極性状態での増幅出力が可能である。そのため従来型の回路で用いられていた Fig 5.4 のように、DMX で符号ビットごとに振り分ける必要性もなく、回路単体で回路が完結する。

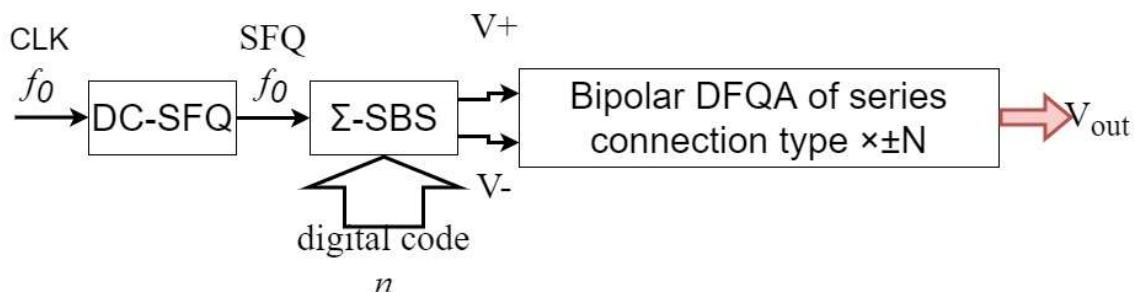


Fig 5.6 両極性 DFQA との接続

この回路の入出力電圧を式でまとめると、(5.5)となる。

$$V_{\text{out}} = \Phi_0(f_{\text{out}+} - f_{\text{out}-}) = \left( \sum_{i=1}^3 D_i 2^{i-1} \right) \Phi_0 f_{\text{in}} / 8 - D_4 \Phi_0 f_{\text{in}} \quad (5.2)$$

$\Sigma$ -SBS に限らず、DAC を作製するうえで、精度を高めるためには高ビットでの入力が必要となる。電圧標準に必要な精度として 10bit ほどが必要とされており、これまで以上のビット幅を入力することになる。弊研究室で測定を行う際には、測定棒によって液体ヘリウム浴を行うが、測定棒やチップキャリアなどの測定系は 60 端子のみとなっている。仮に 10bit 分の配線をパラレルバスで配線すると 10 本の配線量となり、それを駆動するための DCSFQ などを加味すると全体の 1/5 以上がデータ入力で扱われてしまう。そのため本論文ではその問題を解決するために、D2FF によるシフトレジスタを作製し、シリアル-パラレル変換を RSFQ 回路内で行うことで改善した。

シフトレジスタの回路図を Fig 5.7 に示す。例として 4bit 幅で説明するが、D2FF の個数を調整することによって任意長のシリアル-パラレル変換を行える。

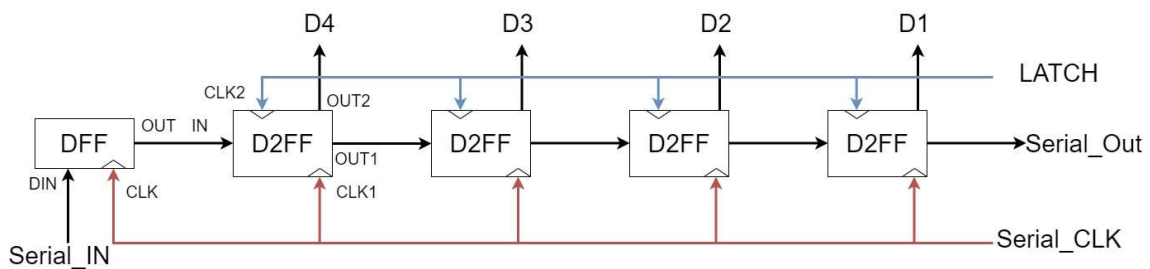


Fig 5.7 シリアル-パラレル変換用シフトレジスタ回路

動作説明を 7 段階に分けて行う。それぞれの動作は Fig 5.9 に示した。

[書き込み]

- ① Serial\_IN へ SFQ を入力すると、DFF で保存される。この状態で Serial\_CLK へ SFQ が入力されると、すべての D2FF および DFF の CLK1 と CLK が入力される。
- ② CLK 入力により DFF 内の SFQ が OUT から出力され、D2FF<sub>4</sub> へシフトする。D2FF も DFF の一種であるため、SFQ が内部で保持される。
- ③ DFF へ SFQ 入力を入れずに、Serial\_CLK を入力する
- ④ DFF には SFQ が保持されていないので、出力されない。言い換えれば 0 がシフトしていると見なせる。一方で D2FF<sub>4</sub> は内部に SFQ をストレージしているため出力し、D2FF<sub>3</sub> へデータがシフトする。

[読み出し]

- ⑤ ①と③によって、0 もしくは 1 の任意のシリアルデータをシフトレジスタに入力できる。シフトレジスタが正常動作しており、入力したデータが正しいか確認するためには、さらに Serial\_CLK を入力する。
- ⑥ すると D2FF<sub>1</sub> にストレージされた 4CLK 前のデータが出力されるため、4bit 前のデータと照らし合わせることで正常にデータが入力されているか確認できる。これはシフトレ



ジスタの動作マージン測定などで検証する際のみ用いる。

[パラレル出力]

- ⑦ 任意のデータをシリアルデータとして入力した後、LATCH へ SFQ を入力する。これは D2FF の CLK2 に接続してあるため、それぞれの内部データがパラレルデータとなって出力される。

以上の動作を持って、任意のビット幅のデータを Serial\_IN,Serial\_CLK,LAT の 3 線で入力することができる。ただしデータ入力はシリアル入力のため、ビット数が高くなるほどデータ送信速度が遅くなる。本研究では DAC の時間的な特性は測定せず入出力特性を中心に測定しているため、速度が遅くても入力線の削減となるシフトレジスタを採用した。

Verilog を用いて 8bit シフトレジスタの動作検証を行った。Fig 5.8 がシミュレーション結果であり、DIN に入力されたデータが CLK 周期によって区切られ、パラレルデータとして D1 から D8 まで 8bit のパラレルデータとなって出力されていることが確認できた。

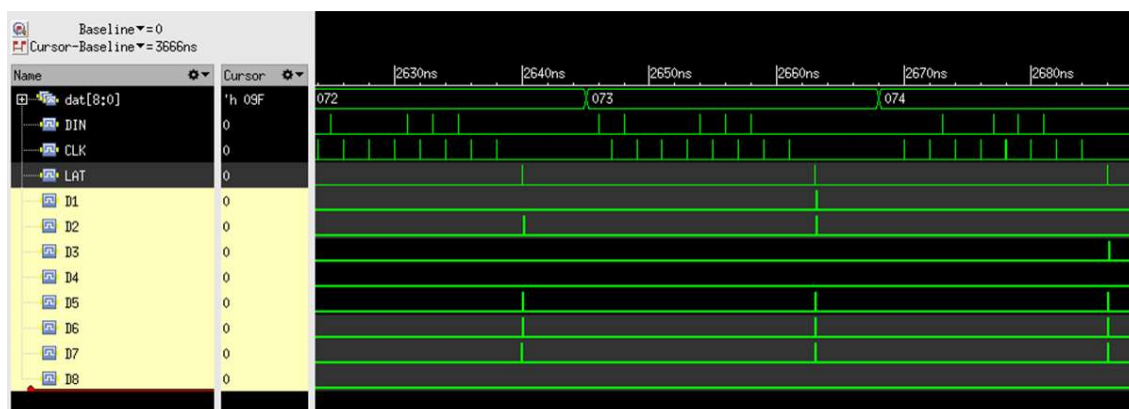


Fig 5.8 Verilog でのシフトレジスタ検証

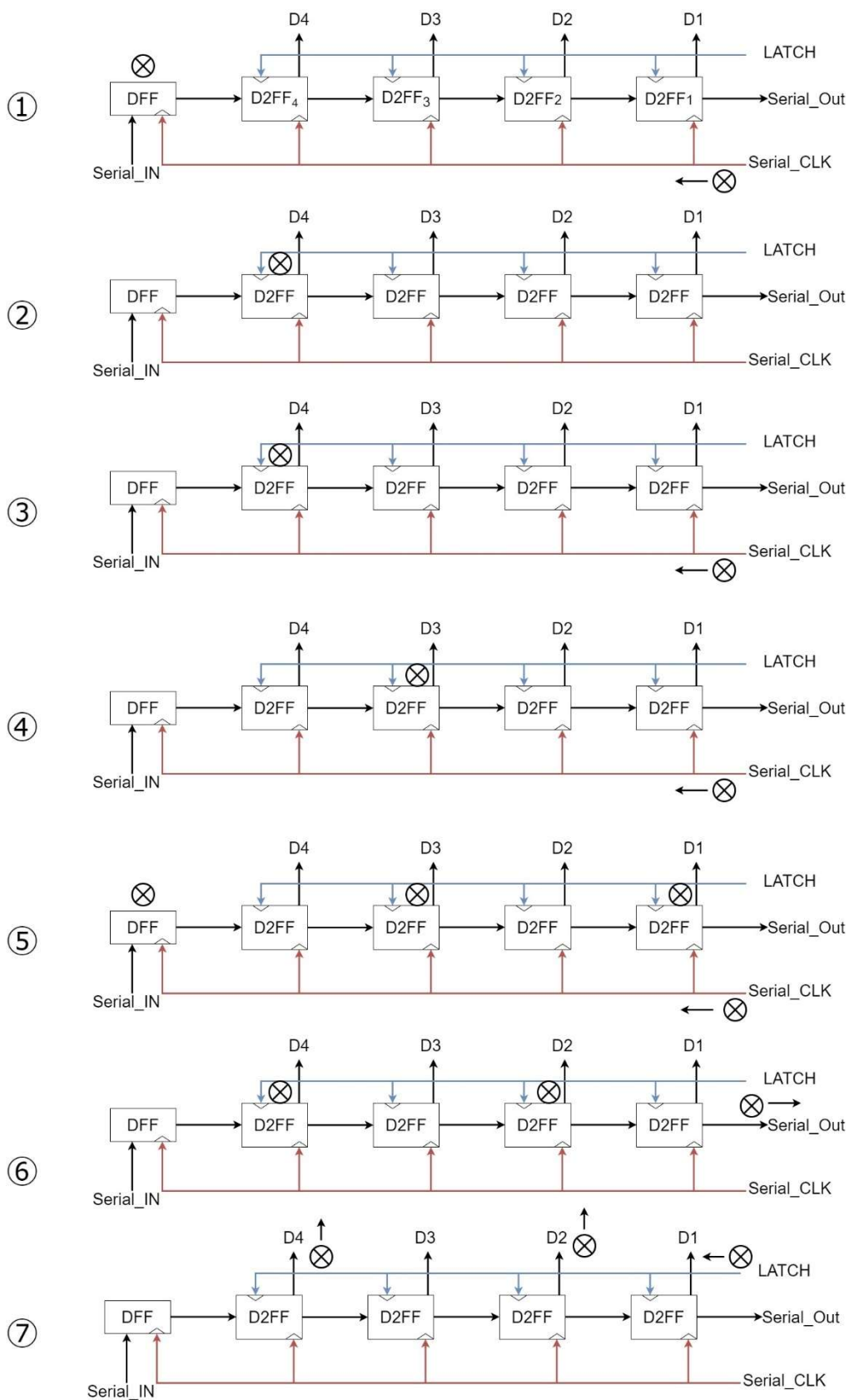


Fig 5.9 シフトレジスタの動作

## 5.2. MSB 分離型両極性 $\Sigma$ -SBS の設計

設計した MSB 分離型  $\Sigma$ -SBS は 4bit および 8bit のものであったが、測定を行って動作を確認できたものは 4bit だけであった、そのため本項では 4bit MSB 分離型  $\Sigma$ -SBS について述べる。Fig 5.10 が内部構造のブロック図である。 $\Sigma$ -SBS としての構造は、5.1 節で述べた MSB 分離構造と TFF による通倍回路の合成である。データ入力にはシフトレジスタを用いて、1 ループあたりに含まれる TFF 数は 11 段となっており、 $2^{11} = 2048$  通倍が可能である。また、NDRO の RESET と同時に LATCH を入力することで、データ更新を一度で行うようにした。出力は DFQA を用いずに、 $V_+$  と  $V_-$  の両極性電圧をそれぞれ測定して、作動電圧を取ることで両極性動作の測定とした。これは DFQA との接続によって回路規模が増大し、測定が困難であると考えたことに加え、回路自体での動作を測定するために DFQA を除いた帯域測定などを行いたいと考えたためである。

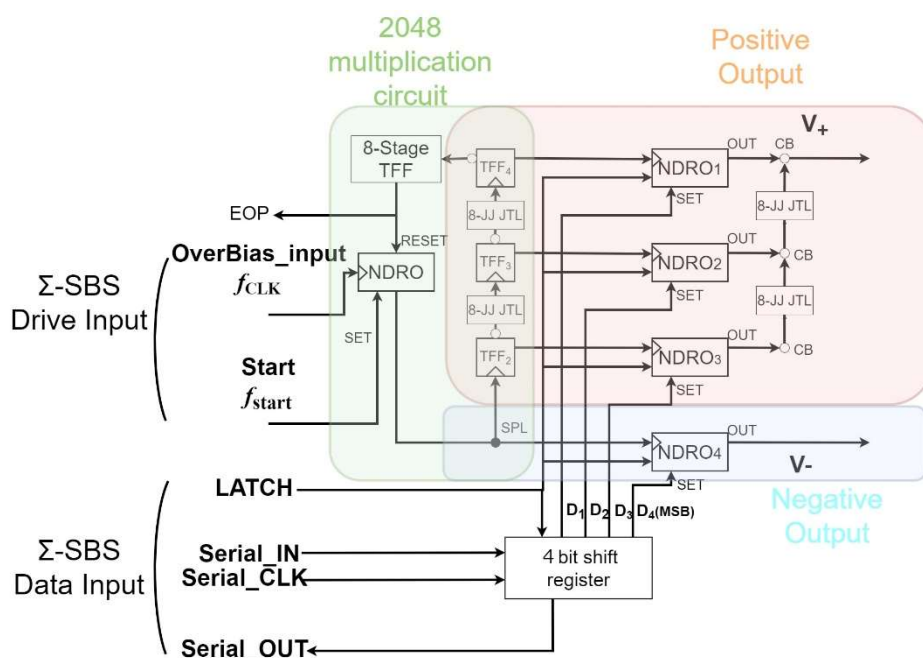


Fig 5.10 MSB 分離型 4bit  $\Sigma$ -SBS のブロック図

この回路を CAD で設計したものが Fig 5.12 である。シフトレジスタと  $\Sigma$ -SBS それぞれのバイアスマージンを測定するため、入出力の MOAT バイアスが分離されている JTLs で接続している。接合数はシフトレジスタ込みで 875 接合となった。

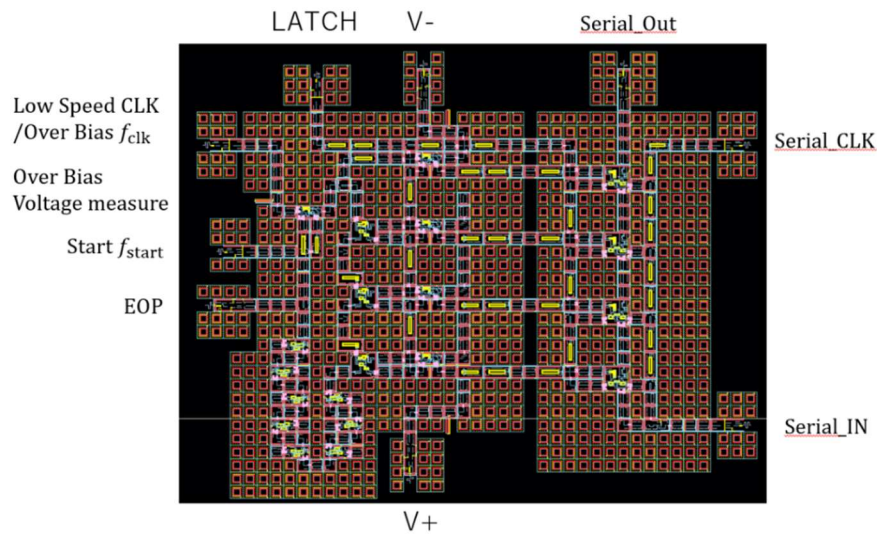


Fig 5.12 MSB 分離型 4bit  $\Sigma$ -SBS の CAD 図

超伝導集積回路は(国) 産業総合技術研究所(AIST) の超伝導クリーンルーム(CRAVITY)の Nb 標準プロセスを用いて作成された。製作されたチップの光学顕微鏡写真を Fig 5.11 Fig 4.8 に示した。

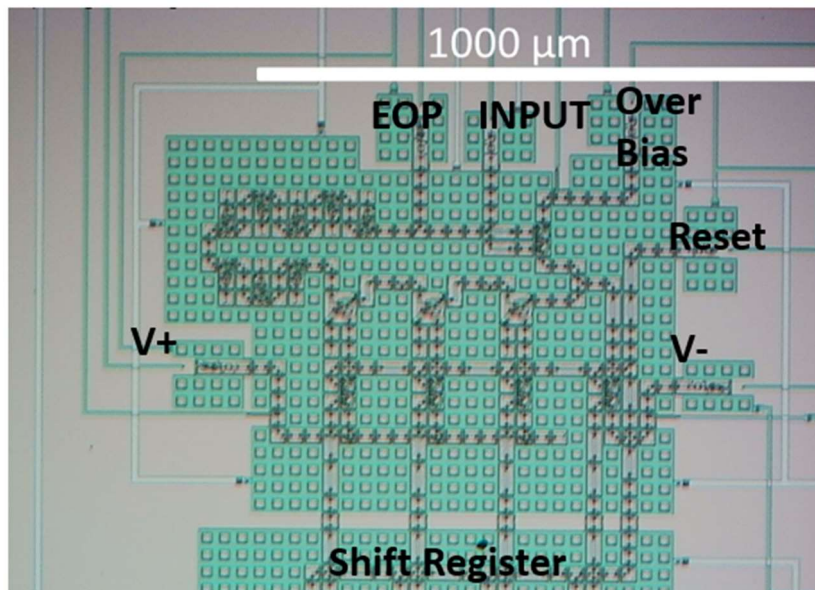


Fig 5.11 MSB 分離型 4bit  $\Sigma$ -SBS の光学顕微鏡写真

### 5.3. MSB 分離型両極性 $\Sigma$ -SBS の測定結果

#### 5.3.1 低速測定系

低速測定では、 $\Sigma$ -SBS のカウンターを低速クロックで動作させて、パルス周波数変調できているかを確認する。また、シフトレジスタについても同様に動作マージンの測定を行う。測定系を Fig 5.13 に示す。回路全体を超伝導状態にするために、作成された Nb チップは測定棒を用いてヘリウムデュワー内に挿入され、4.2K の He 浴中で測定を行った。 $\Sigma$ -SBS へ直

流電源装置からバイアスを印加し、その電圧を回路 MOAT へ接続された別端子から 4 端子

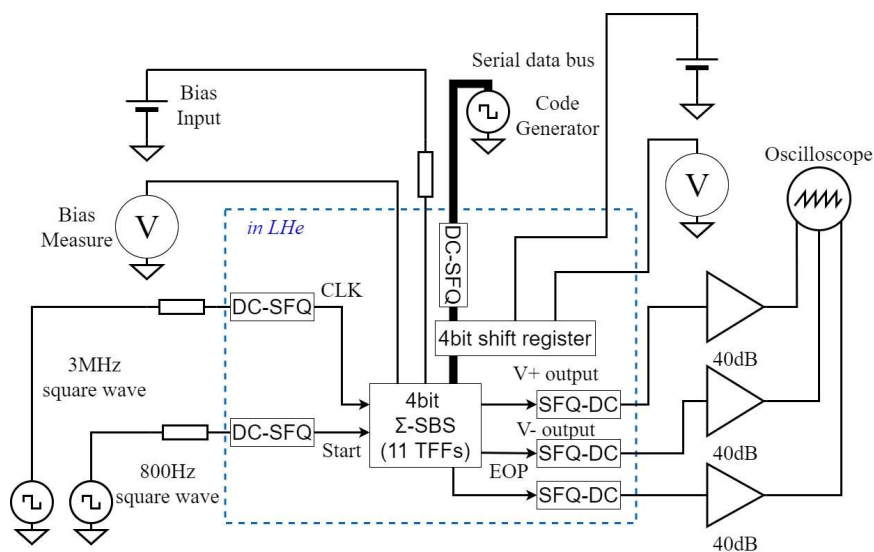


Fig 5.13 低速測定系

法で測定する。同様にシフトレジスタにも独立してバイアス電圧を印加し、その電圧を 4 端子法で測定した。データ入力には Code Generator を用いて 4bit のシリアルデータおよびそのクロック、そしてデータ更新のラッチを入力している。Σ-SBS 起動の Start 入力クロックも Code Generator より 800Hz のクロックを DC-SFQ を介して入力した。Σ-SBS 駆動用の低速クロック入力は 3MHz とした。出力として、 $V_+$  および  $V_-$  の正負両極性の SFQ 出力を確認する出力と、正常に 2048 パルス出力されて動作が停止したかを確認する EOP の出力をそれぞれ SFQ-DC を介して接続した。また、出力レベルは  $200\mu\text{V}$  程度と測定が困難であるため、40dB のプリアンプによって増幅した後、オシロスコープに接続している。この状態で入力デジタルコードを 800Hz 周期で切り替え、'-8' から '7' の 16 段階について入出力データを測定した。

### 5.3.2 低速測定結果

低速測定によって得られた正常動作波形を Fig 5.14 に示す。動作マージンは  $1.98\text{mV}$  から  $3.44\text{mV}$  となり、セルライブラリの基準電圧である  $2.5\text{mV}$  に対して  $-20.8\%$  ~  $37.6\%$  となった。また、シフトレジスタの MOAT 電圧は  $2.5\text{mV}$  で固定した。

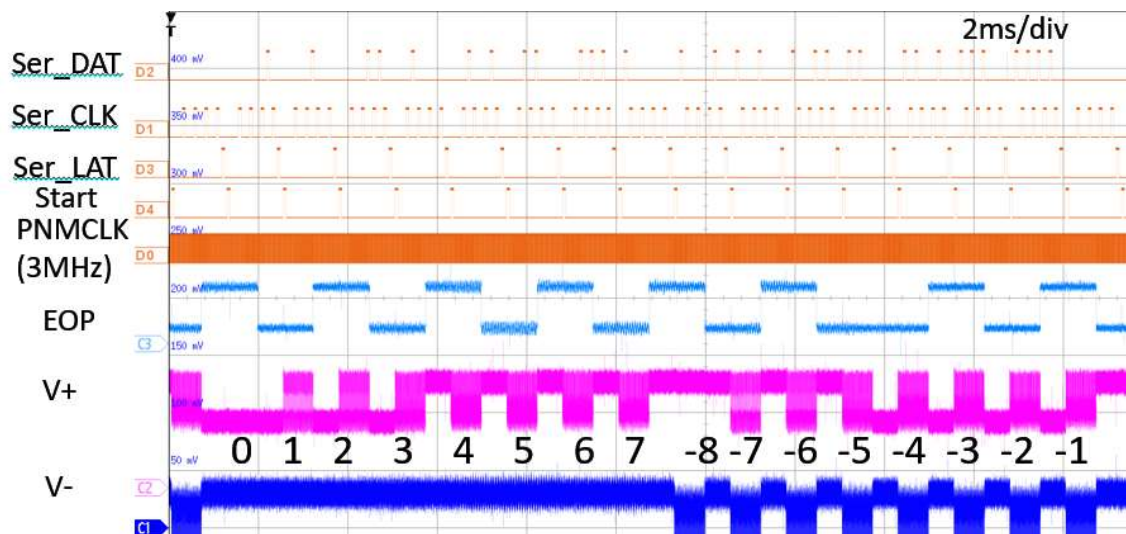


Fig 5.14 低速測定結果

シフトレジスタの低速測定結果を Fig 5.15 に示す。波形は 0~7 のみを表示しているが、-8~-1 も正常動作した。LATCH へ SFQ を入力しないことで、シフトレジスタは 4CLK 遅れでデータを出力する回路と見なせるため、4CLK データが送れる範囲をマージンとして測定した。動作バイアスは 1.90mV~3.10mV となり、2.5mV に対して -24.0%~24.0% となった。

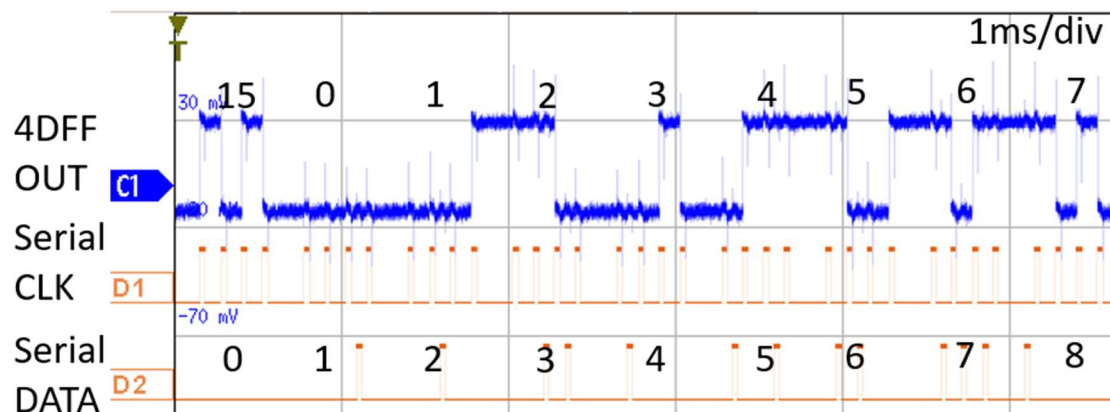


Fig 5.15 シフトレジスタの動作結果

高速測定系

高速測定は、大きく分けて 2 種類測定を行った。

- ① 2048 進倍の正常動作確認

低速測定からの変更点として、 $\Sigma$ -SBS の入力クロックをオーバーバイアス法に切り替えて、接合間電圧を  $204\mu\text{V}(100\text{GHz})$  とした StartCLK は  $20\text{MHz}$  であり、Function Generator から出力できる最大周波数である。出力を SFQ-DC ではなく出力端子の接合電圧とすることで、通過 SFQ による平均電圧を測定した。測定系を Fig 5.16 として示した。

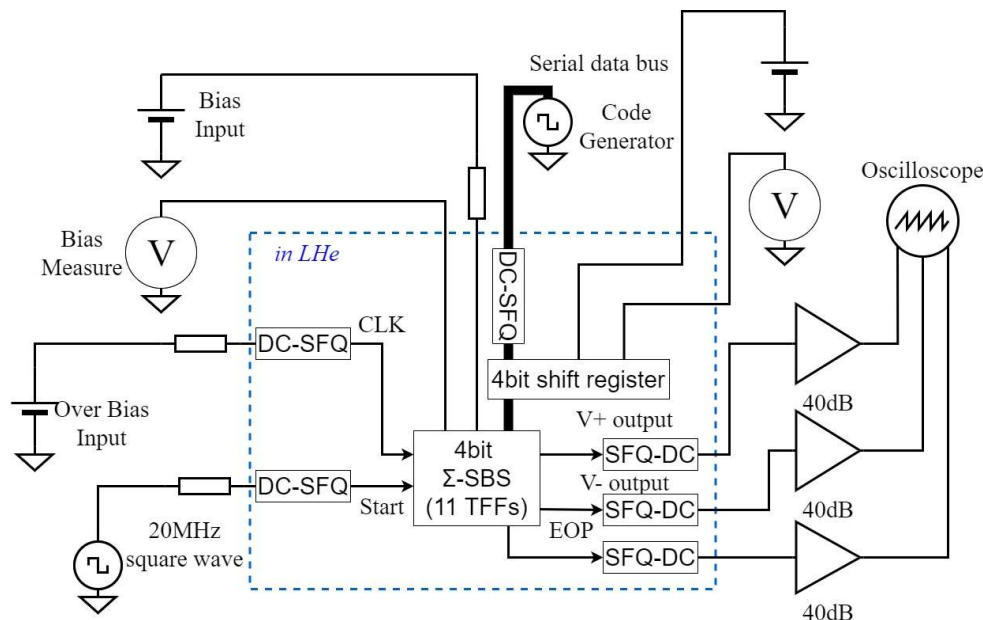


Fig 5.16 通倍測定系

## ② 最大動作帯域の測定

測定系における最大入力クロックが  $20\text{MHz}$  であり、 $2048$  通倍しても  $40.96\text{GHz}$  であることから、最大動作速度として予測される  $150\text{GHz}$  オーダーでの帯域測定が行えない。そこで StartCLK 自体をオーバーバイアスで発振させることにより、常に駆動用のオーバーバイアスクロックを  $\Sigma$ -SBS に供給できるようにした。この状態で駆動オーバーバイアスおよび MOAT 電圧変化に対する出力電圧を測定する。出力測定系は Fig 5.17 である。また、測定系外でのノイズ除去のため、オシロスコープ内で  $5\text{kHz}$  の LPF を介して測定した。

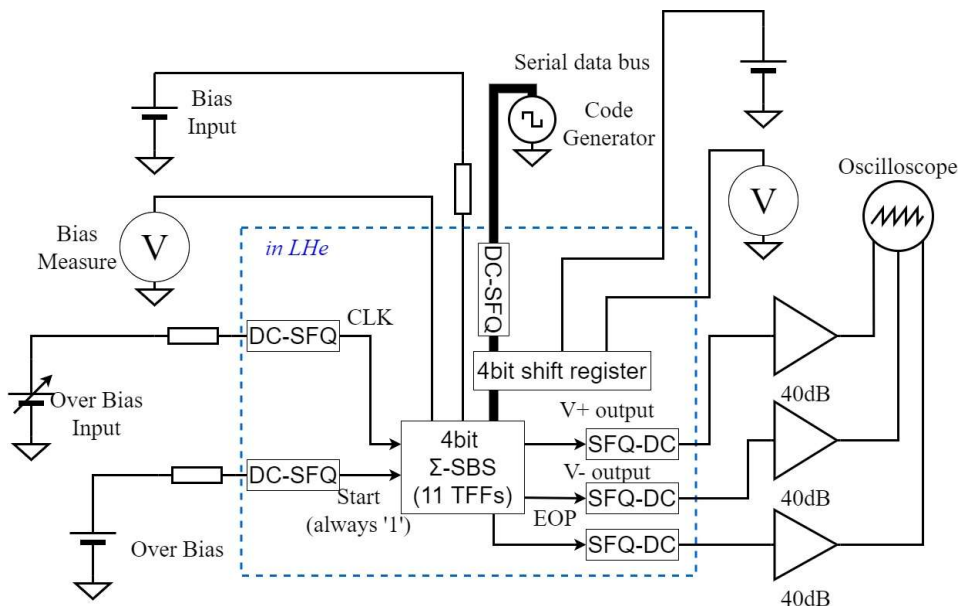


Fig 5.17 帯域測定系

### 5.3.3 高速測定結果

#### ① 2048 通倍の正常動作確認

測定波形を Fig 5.18 に示す。それぞれの振幅は $V_{-swi} = 84\mu\text{V}$ ,  $V_{+swin} = 74\mu\text{V}$ となった。

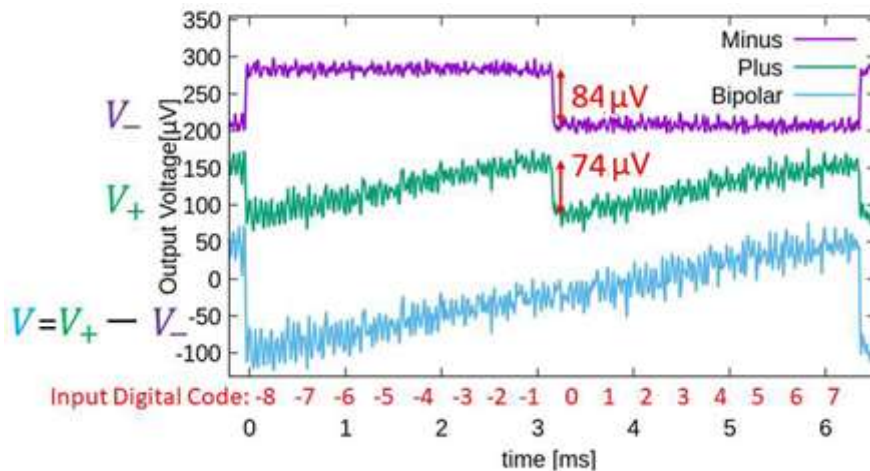


Fig 5.18 通倍測定結果

#### ② 最大動作帯域の測定

測定条件として、オーバーバイアス電圧を 50,80,110,140,170,200,230,260,300 $\mu\text{V}$  の 9 パターン、MOAT へのバイアス電圧を 2.1,2.2,2.3,2.4,2.5,2.6,2.7,2.8mV の 8 パターン、計 72 通りの波形測定を行った。全ての波形結果を記載すると膨大な量となってしまったため、一例として最高動作速度である MOAT バイアス 2.8mV,オーバーバイアス 230 $\mu\text{V}$  の波形を掲示する。ただし波形を並べて表示するため、それぞれのオフセット値は異なっている。

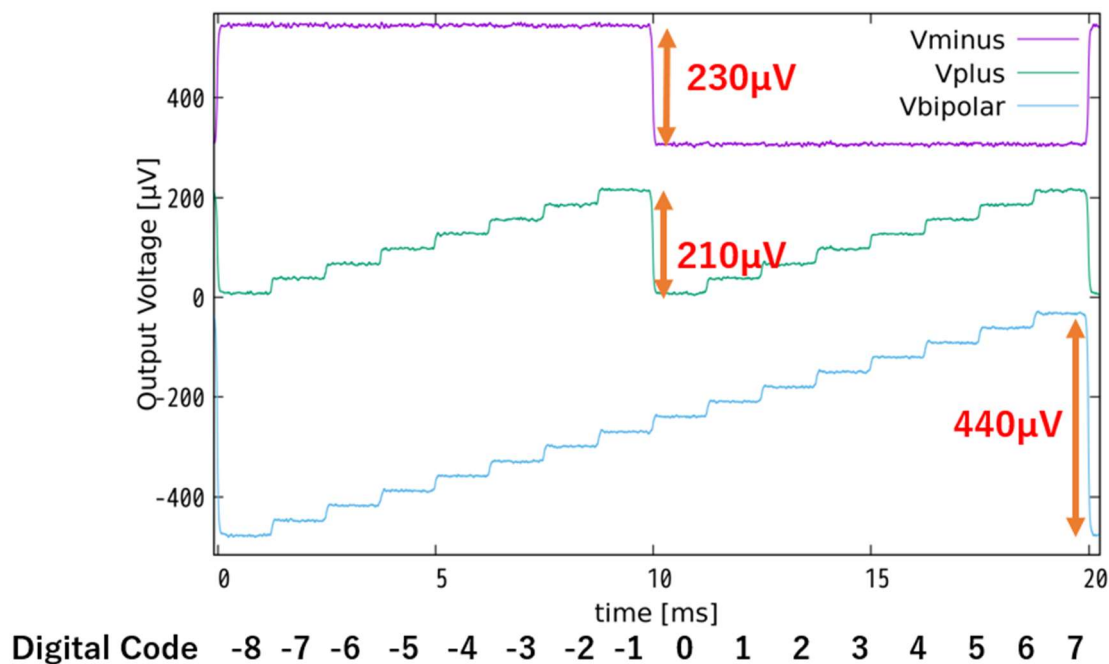


Fig 5.19 最高動作帯域波形



### 5.3.4 考察

#### ・低速測定

Fig 5.14 を用いて考察する。まず、Start に対して、'0','-8'以外の出力コードの $V_+$ および負の入力コードを持つ $V_-$ が発振していることがわかる。これは Start によって PNMCLK が  $\Sigma$ -SBS へ入力され、動作が開始されたことを示している。この発振の時間を測定すると、0.66ms となった。一方、3MHz の信号を 2048 分周すると 1.46kHz となり、周期は 0.68ms である。すなわち正常に回路は動作しており、2048 発の SFQ パルスに通倍されていることが示された。

#### ① 2048 通倍の測定考察

Fig 5.18 より、 $V_+$ からはノコギリ波状、 $V_-$ からは矩形波状の波形が出力されている。それぞれの振幅を測定すると、 $V_{-swing} = 84\mu V$ ,  $V_{+swing} = 74\mu V$ であった。

低速測定結果より、2048 通倍の機構が正しく動作していたことを踏まえて考察する。入力クロックは 20MHz であることから、内部で 2048 通倍された周波数を考えると、40.96GHz となる。式(5.5)より、 $V_+$ の最大出力振幅は、 $n = 7$ のとき、 $V_{+MAX1} = 7/8\Phi_0 f_{in}$ であり、 $f_{in} = 40.96GHz$ であることから、 $V_{+MAX} = 73.8\mu V$ となる。同様に  $V_-$ の最大振幅も  $n = -8$ で取ることから、 $V_{-MAX} = \Phi_0 f_{in} = 84.4\mu V$ と計算できる。まとめた表が Table 5.1 である。

Table 5.1 通倍回路による最大出力の比較

測定端子	数値計算[ $\mu V$ ]	測定結果[ $\mu V$ ]	絶対誤差[ $\mu V$ ]
$V_+$	73.8	74	-0.2
$V_-$	84.4	84	0.4

Table 5.1 から、測定値と数値計算がよく一致していることが確認できる。これは 40GHz 帯域で正常動作しており、設計通り動作したことを示している。このことから、入力周波数が持つ精度で周波数通倍を行うことができ、従来のオーバーバイアス法の問題点であった電圧精度依存性を無視することが可能となった。

② 最大動作帯域の測定考察

最大動作帯域として、DAC としての評価を行った。DAC の評価として本論文では DNL(微分非直線性誤差)[30]、INL(積分非直線性誤差)[30]、TUE(統合未調整誤差)[31]での評価を行う。

・ DNL(微分非直線性誤差)

理想的な DAC の出力電圧は入力データに比例するため、隣り合ったデータ同士の差は一定量となる。その値を LSB(Least Significant Bit)と呼ぶ。理論的には  $n$  bit DAC の最大電圧が  $V_r$  であるとき、LSB は  $V_r/2^n$  となる。しかし、実際の DAC は入力コードと出力が非線形な箇所が存在するなど、必ずしも隣り合ったデータが LSB だけ離れるわけではない。そこで DNL(Differential Non Linearity)を導入する。DNL は、隣り合ったデータと LSB の比率を全データで計算し、その中で最も絶対値が大きい値と定義される。入力  $n$  に対する出力を  $V[n](0 < n < N)$  で表すと、(5.5)となる。

$$DNL = \max_{0 \leq n < N-1} \left| \frac{V[n+1] - V[n]}{LSB} - 1 \right| \quad (5.3)$$

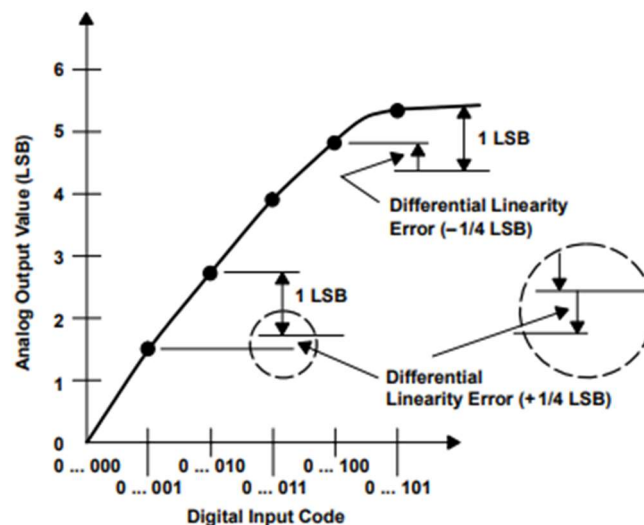


Fig 5.20 DNL[30]

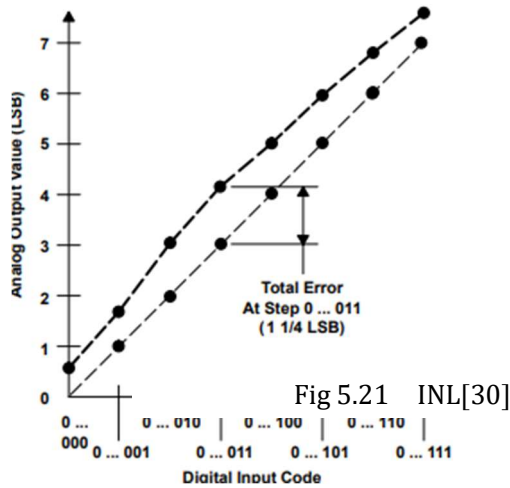
・ INL(積分非直線性誤差)

DNL は隣り合ったデータを参照したが、INL(Integral Non Linearity))ではもっとも単純に、想定される出力と測定値の相対誤差を全データで計算し、最も絶対値が大きいものを INL としている。式で表すと(5.5)となる。

$$INL = \max_{0 \leq n < N} \left| \frac{V[n] - nLSB}{LSB} \right| \quad (5.4)$$

・ TUE(統合未調整誤差)

DNL と INL はそれぞれ独立したパラメータであるため、二乗平方根を取った値を、



DAC の TUE(Total Unadjusted Error)として、DAC の評価として用いられる[31]。計算式は(5.5)である。

$$\text{TUE} = \sqrt{\text{DNL}^2 + \text{INL}^2} \quad (5.5)$$

INL,DNL は LSB との比であり、その 2 乗和を取った TUE も LSB との比になる。1LSB 以上の値を取ったとき、そのデータは入力ビットと出力ビットに、1bit 以上の差が生じていることとなり、エラー動作となる。また、0.5 以上であれば、隣り合ったデータに関して、最も近い離散点がずれることとなり、データミッシングと呼ばれる。すなわち、正常動作している DAC では 0.5 以下であることが望ましい。

まず、各バイアスおよびオーバーバイアス条件で DNL を計算した。計算結果を Table 5.2 測定値から計算した DNL Table 5.2 に示した。

Table 5.2 測定値から計算した DNL

		オーバーバイアス電圧[μV]								
		50	80	110	140	170	200	230	260	300
バイアス電圧[mV]	2.1	1.587	4.583	1.365	1.387	1.167	1.238	1.174	1.211	3.170
	2.2	0.885	0.774	0.644	0.682	0.832	0.957	0.967	0.887	0.964
	2.3	0.617	0.596	0.540	0.449	0.773	0.864	1.188	1.306	1.135
	2.4	0.648	0.340	0.342	0.209	0.353	0.649	0.692	0.683	0.760
	2.5	1.102	0.464	0.451	0.216	0.137	0.436	0.820	0.487	0.476
	2.6	0.918	0.354	0.255	0.181	0.126	0.197	0.792	0.468	0.425
	2.7	0.604	0.314	0.305	0.134	0.110	0.133	0.398	0.660	0.462
	2.8	1.142	0.359	0.360	0.094	0.109	0.129	0.070	7.450	0.945

ここで、赤は1以上(エラー)、黄色は0.5以上(データミッシング)、緑は0.5以下(正常動作)である。DNLで見ると正常動作範囲として、2.4mV以上のバイアス勝 230 $\mu$ V以下のオーバーバイアス電圧が該当している。

続いて INL を計算した。

Table 5.3 測定値から計算した INL

		オーバーバイアス電圧[ $\mu$ V]								
		50	80	110	140	170	200	230	260	300
バイアス電圧[mV]	2.1	5.461	9.161	6.481	5.339	5.464	5.866	5.923	5.935	8.672
	2.2	2.850	2.982	3.145	3.708	4.321	4.759	4.927	4.952	5.479
	2.3	0.570	0.670	0.964	1.541	2.845	3.315	3.915	4.367	4.643
	2.4	0.637	0.689	0.568	0.304	1.196	1.090	1.704	3.264	4.080
	2.5	1.157	0.427	0.615	0.356	0.219	0.246	0.820	2.210	3.167
	2.6	0.512	0.342	0.695	0.263	0.203	0.304	0.650	1.405	2.428
	2.7	1.311	0.715	0.498	0.235	0.297	0.338	0.398	0.596	1.794
	2.8	1.272	0.463	0.403	0.260	0.274	0.298	0.311	7.450	1.248

INLでも同様に、2.4mV~2.8mVで正常動作が見られるが、INLに比べて領域が狭くなっている。これは隣り合ったデータに対してのみ着目するDNLと異なり、差分の積み重ねによって、入力コードと出力地の乖離が広がっていることを示している。

最後に、TUE を求めた。

Table 5.4 測定値から計算した TUE

		オーバーバイアス電圧[ $\mu$ V]								
		50	80	110	140	170	200	230	260	300
バイアス電圧[mV]	2.1	5.687	10.24	6.624	5.516	5.587	5.995	6.039	6.057	9.233
	2.2	2.984	3.081	3.210	3.770	4.401	4.854	5.021	5.031	5.563
	2.3	0.840	0.897	1.105	1.605	2.948	3.426	4.091	4.558	4.779
	2.4	0.909	0.769	0.663	0.369	1.247	1.268	1.839	3.335	4.150
	2.5	1.598	0.630	0.762	0.417	0.258	0.501	1.160	2.263	3.202
	2.6	1.051	0.492	0.740	0.319	0.238	0.362	1.025	1.480	2.465
	2.7	1.443	0.781	0.584	0.270	0.317	0.363	0.563	0.890	1.853
	2.8	1.709	0.586	0.541	0.276	0.295	0.325	0.319	6	1.565

TUEはINLとDNLの二乗和であるため、どちらかが0.5を超えた時点でデータミッシングが確定していることを示している。そのため両者ともに0.5以下でエラーが少ないデータのみを1LSB以下の正常動作として扱っている。結果として、DACの正常動作し

ている条件下は、2.4mV~2.8mV の範囲かつ、230 $\mu$ V 以下のオーバーバイアス電圧の領域であることが言える。この時、最大帯域は  $230/2.06=112\text{GHz}$  となった。

2.1,2.2mV では動作点が発見されなかったが、バイアス電圧が高くなるほど動作可能なオーバーバイアス電圧が広がっている。これは低バイアス領域において、動作最大帯域が狭くなっているとみなせるため、シミュレーションと測定によって得られた Fig 4.14 の結果と一致する。

## 第6章 結論

### 6.1. まとめ

本研究では、RSFQ-DAC の更なる改良案として、 $\Sigma$ -SBS 型 DAC に着目した。従来の  $\Sigma$ -SBS では 1.7 $\mu$ V 程度の出力振幅であり、交流電圧標準への応用は困難であった。高速化への改良として、タイミングパラメーターの再調整プログラムを作製し、再度製作した 4bit  $\Sigma$ -SBS で帯域測定を行ったところ、244 $\mu$ V の最大出力電圧を確認した。これは従来型の 143 倍の値となった。

更にオーバーバイアス法による電圧標準は精度面で問題を抱えていることから、オーバーバイアス法を制御する機構を導入した。動作検証により、オーバーバイアス法で生成された 100GHz の周波数を、ファンクションジェネレーターなどの高精度周波数発振回路を介して制御し、周波数逡倍を実現した。

交流の電圧標準化に向けて研究されていた従来の両極性 RSFQ-DAC では、入力データ形式が符号-仮数表現であるため、現代主流のアーキテクチャである 2 の補数形式と比較して、データの扱いや利便性などに欠けていた。そこで本研究では MSB 分離型構造を提唱し、2 の補数形式での動作が可能であることを原理的に示した。

MSB 分離型構造と周波数逡倍回路を組み込んだ 4bit MSB 分離型 RSFQ-DAC を作製し、測定及び評価を行った。結果として -260 $\mu$ V~230 $\mu$ V まで、4bit の両極性 DAC として正常動作することを確認した。

### 6.2. 今後の展望

今後の展望として、更なる高 bit での動作が望まれる。本研究で動作を確認した最大 bit 幅は 4bit であるが、実際に電圧標準として 10bit ほどのビット幅が望まれている。本研究で 4bit 以上が動作しなかった原因として、動作マージンが狭かったことが挙げられる。動作マージンを決めるのは TFF などの  $\Sigma$ -SBS を構成する素子であるため、それらを再度設計し直して、バイアスマージンの幅を広げる必要があると考えている。

また、両極性 DFQA へ接続することによって、差動アンプを介さずに両極動作を測定することも課題の一つである。

## 謝辞

本研究は、電気通信大学大学院情報理工学研究科電子工学プログラム水柿研究室において行われました。本研究を進めるにあたり、設計や研究内容、そして研究方針について熱心なご指導を下さいました水柿義直教授に感謝致します。測定機器使用方法や研究室活動についてのご指導を下さいました守屋雅隆助教に感謝致します。ボンディングマシンのメンテナンスや、合同セミナーを通してアドバイスをくださった島田宏教授に感謝いたします。修士での研究を進めるにあたり、実験系の準備や液体ヘリウム、液体窒素の供給に協力して下さった水柿研究室の皆様にご感謝いたします。本研究の一部は、東京大学VDECを通じて日本ケイデンス株式会社の協力で行われました。本研究に使用されたデバイスは、(独)産業技術総合研究所(AIST)の超伝導クリーンルーム(CRAVITY)において、AIST-STP3プロセスを用いて作製されました。

## 発表実績

1. 瀬賀直功, 曾明裕太, 島田 宏, 水柿義直, "バイナリ分割合成方式を用いた 4-bit RSFQ-DAC の動作実証," 2021 年電子情報通信学会ソサイエティ大会, C-8-17, 2021 年 9 月
2. N. Sega, Y. Somei, H. Shimada, and Y. Mizugaki, "Operation of a 4-bit RSFQ digital-to-analog converter based on a binary split-confluence configuration," The 34th International Symposium on Superconductivity (ISS 2021), On-line, November 30-December 2, 2021. (ED5-5)
3. 瀬賀直功, 曾明裕太, 島田 宏, 水柿義直, "単一磁束量子の 2 進パルス列を用いた D/A 変換器の動作実証," 電子情報通信学会技術研究報告 (超伝導エレクトロニクス), SCE2021-, 2022 年 1 月 21 日

## 学術論文

筆頭著者

・ Naonori Sega, Yuta Somei, Hiroshi Shimada, Yoshinao Mizugaki, "Operation of a 4-bit RSFQ digital-to-analog converter based on a binary split-confluence configuration", submitted to ISS

共著論文

・ S. Nagasawa, M. Tanaka, N. Takeuchi, Y. Yamanashi, S. Miyajima, F. China, T. Yamae, K. Yamazaki, Y. Somei, N. Sega, Y. Mizugaki, H. Myoren, H. Terai, N. Yoshikawa, A. Fujimaki, "Planarized Nb 4-Layer Fabrication Process for Superconducting Integrated Circuits and Its Fabricated Device Evaluation," submitted to IEICE Trans. Electron

## 参考文献

- [1]岸野正剛. 超伝導エレクトロニクスの物理. 丸善株式会社, Sep. 1993
- [2] K. Nakajima, H. Mizusawa, H. Sugahara, and Y. Sawada. Phase mode josephson computer system. IEEE Transactions on Applied Superconductivity, Vol. 1, No. 1, pp. 29–36, March 1991.
- [3] K. Nakajima, Y. Onodera, and Y. Ogawa. Logic design of josephson network. Journal of Applied Physics, Vol. 47, No. 4, pp. 1620–1627, 1976.
- [4] K. K. Likharev and V. K. Semenov. Rsfq logic/memory family: a new josephson-junction technology for sub-terahertz-clock-frequency digital systems. IEEE Transactions on Applied Superconductivity, Vol. 1, No. 1, pp. 3–28, March 1991.
- [5] W. Chen, A. V. Rylyakov, V. Patel, J. E. Lukens, K. K. Likharev, “Rapid Single Flux Quantum T-Flip Flop Operating up to 770 GHz,” IEEE Trans. Appl. Supercond., vol. 9, no. 2, June, 1999.
- [6] Y. Yamanashi, M. Tanaka, A. Akimoto, H. Park, Y. Kamiya, N. Irie, N. Yoshikawa, A. Fujimaki, H. Terai, Y. Hashimoto, “Design and Implementation of a Pipelined Bit-Serial SFQ Microprocessor, CORE1 $\beta$ ,” IEEE Trans. Appl. Supercond., vol. 17, no. 2, June, 2007.
- [7] S. Yorozu, Y. Kameda, H. Terai, A. Fujimaki, T. Yamada, S. Tahara, “A single flux quantum standard logic cell library,” Physica C 378-381, 1471, 2002.
- [8] R. S. Bakolo and C. J. Fourie ”New Implementation of RSFQ Superconductive Digital Gates”, in Proc. SAIEE Africa Research Journal, vol. 104, No. 3, pp. 90-96, 2013
- [9] K. Inoue, N. Takeuchi, K. Ehara, Y. Yamanashi, and N. Yoshikawa, ”Simulation and Experimental Demonstration of Logic Circuits Using an Ultra-Low-Power Adiabatic Quantum-Flux-Parametron”, IEEE Trans. Appl. Supercond., vol. 23, no. 3, pp. 1301105, 2012
- [10] A. I. Buzdin, L. N. Bulaevskij, and S. V. Panyukov, ”Critical-current oscillations as a function of the exchange field and thickness of the ferromagnetic metal (F) in an S-F-S Jose
- [11] 天谷康孝 交流電圧標準の現状 産総研計量標準報告 Vol. 8, No. 2 2011年3月
- [12] V K Semenov 1993 “Digital to analog conversion based on processing of the SFQ pulses” IEEE Trans. Appl. Supercond. vol. 3, 2637.
- [13] Y Mizugaki, Y Takahashi, H Shimada and M Maezawa 2011 “9-bit superconductive single-flux-quantum digital-to-analog converter” Electronics Lett. vol. 50, 1637.
- [14] Y Mizugaki, J Saito, M Moriya and M Maezawa 2011 “Design and operation of 64-fold variable single-fluxquantum pulse-number multiplier” IEEE Trans. Appl. Supercond. vol. 21, 3604
- [15] M. Maezawa, F. Hirayama, M. Suzuki, “Rapid single flux quantum digital-to-analog converter for ac voltage standard,” Physica C, 426-431, 1674, 2005.
- [16] Q. P. Herr, “Stacked Doble-Flux-Quantum Output Amplifier,” IEEE Trans. Appl. Supercond., vol.15, no.2, June, 2005.
- [17] N. Takeuchi, S. Nagasawa, F. China, T. Ando, M. Hidaka, and N. Yoshikawa, ”Adiabatic

quantum-flux-parametron cell library designed using a 10 kAcm<sup>2</sup>-niobium fabrication process”, *Supercond. Sci. Technol.*, vol. 30, 035002, 2017

[18] IEEE Standard for Verilog® Hardware Description Language IEEE Std 1364™-2005

[19] E. S. FANG. A josephson integrated circuit simulator (jsim) for superconductive electronics application. Extended Abstracts of 1989 Int. Supercond. Electronics Conf. (The Japan Society of Appl. Phys., Tokyo, 1989), 1989.

[20] Y. Mizugaki, Y. Sato, H. Shimada, M. Maezawa, “Input-output characteristics of a 999-stage double-flux-quantum amplifier designed for 1000-fold voltage multiplication,” *Jpn. Appl. Phys.*, 53, 053101, 2014.

[21] 負極性 DFQA

[22] Y Somei, H Shimada and Y Mizugaki, 2021 “Enhanced Operation Frequencies of Bipolar Double-Flux-Quantum Amplifiers Fabricated Using 10-kA/cm<sup>2</sup> Nb/AlO<sub>x</sub> /Nb Integration Process” *Jpn. J. Appl. Phys.* vol. 60, 073001.

[23] M. Hidaka, S. Nagasawa, T. Satoh, K. Hinode, and Y. Kitagawa, “Current status and future prospect of the Nb-based fabrication process for single flux quantum circuits”, *Supercond. Sci. Technol.*, vol. 19, S138-S142, 2006.

[24] T. Watanabe, Y. Takahashi, H. Shimada, M. Maezawa, Y. Mizugaki, “4-bit Bipolar Triangle Voltage Waveform Generator Using Single-Flux-Quantum Circuit,” *Phys. Procedia*, vol.65, 213, 2015.

[25] Yuki Yamanashi et al 2018 *Supercond. Sci. Technol.* 31 105003 “Design methodology of single-flux-quantum flipflops composed of both 0- and  $\pi$ -shifted Josephson junctions”

[26] C A Hamilton 1992 Josephson voltage standard based on single-fluxquantum voltage multiplier *IEEE Trans. Appl. Supercond.* 2 3

[27] H Sasaki, S Kiryu, F Hirayama, T Kikuchi, M Maezawa, A Shoji and S V Polonsky 1999 RSFQ based D/A converter for AC voltage standard *IEEE Trans. Appl. Supercond.* 9 2

[28] Y Takahashi, H Shimada, M Maezawa and Y Mizugaki 2014 Design and operation of 6-bit, 0.25-mV<sub>pp</sub> quasi-sine voltage waveform generator based on SFQ pulse-frequency modulation *Physics Procedia* 58 220

[29] V.K. Semenov “ DIGITAL TO ANALOG CONVERSION BASED ON PROCESSING OF THE SFQ PULSES” *IEEE TRANSACTIONS ON APPLIED SUPERCONDUCTIVITY*, VOL. 3, NO.1, MARCH 1993

[30] Understanding Data Converters - Texas Instruments

[31] ADC Performance Parameters - Convert the Units Correctly! - Texas Instruments

[32] S. Nagasawa, K. Hinode, M. Sugita, T. Satoh, H. Akaike, Y. Kitagawa, and M. Hidaka, “Planarized multi-layer fabrication technology for LTS large-scale SFQ circuits”, *Supercond. Sci. Technol.*, vol. 16, 1483, 2003.



- [33] D. Yohannes, S. Sarwana, S. K. Toplygo, A. Sahu, Y. A. Polyakov, and V. K. Semenov, "Characterization of HYPRES' 4.5 kA/cm<sup>2</sup> and 8 kA/cm<sup>2</sup> Nb/AlOx/Nb Fabrication Processes", IEEE Trans. Appl. Supercond., vol. 15, no. 2, pp. 90-93, 2005.
- [34] Oliver F. O. Kieler et.al. "Cryocooler Operation of a Pulse-Driven AC Josephson Voltage Standard at PTB" World Journal of Condensed Matter Physics, 2013, 3, 189-193
- [35] Manuel A. Castellanos-Beltran et.al. "Single-Flux-Quantum Multiplier Circuits for Synthesizing Gigahertz Waveforms With Quantum-Based Accuracy" IEEE TRANSACTIONS ON APPLIED SUPERCONDUCTIVITY, VOL. 31, NO. 3, APRIL 2021 1400109
- [36] Yuki Yamanashi et.al. "30GHz Operation of Single-Flux-Quantum Arithmetic Logic Unit Implemented by Using Dynamically Reconfigurable Gates" IEICE TRANS. ELECTRON., VOL.E99-C, NO.6 JUNE 2016
- [37] S. Nagasawa, M. Tanaka, N. Takeuchi, Y. Yamanashi, S. Miyajima, F. China, T. Yamae, K. Yamazaki, Y. Somei, N. Sega, Y. Mizugaki, H. Myoren, H. Terai, N. Yoshikawa, A. Fujimaki, "Planarized Nb 4-Layer Fabrication Process for Superconducting Integrated Circuits and Its Fabricated Device Evaluation," submitted to IEICE Trans. Electron..
- [38] 渡邊智希, "両極性電圧出力を実現する単一磁束量子 D/A 変換器に関する研究," 電気通信大学 先進理工学専攻 修士論文, 平成 27 年度.
- [39] 斎藤 淳, "単一磁束量子パルス数可変増倍回路に関する研究" 電子工学専攻 マイクロエレクトロニクス講座 修士論文, 平成 23 年度
- [40] 曾明裕太, "高臨界電流密度プロセスを用いた超伝導電圧増倍回路に関する研究," 電気通信大学 基盤理工学専攻 電子工学プログラム 修士論文, 令和 3 年度

## 付録

自作スクリプトコード

3.3.3 節で述べたコードを以下に示す。

```
#include <stdio.h>
#include <stdlib.h>
#include <string.h>
#define M_PI 3.14159265358979

typedef struct{
    double start;
    double end;
} phase;

phase get_phase(FILE *f_out, double freq){
    double s_ave=0, e_ave=0, d[4]={0}, period_400;
    int s_cnt=0, e_cnt=0, i, j;
    char buf[256];
```

```

period_400=400/freq*1E-9;
while(fscanf(f_out,"%lf%lf%lf%lf",d,d+1,d+2,d+3)!=EOF){
    //printf("%4e\n",d[1]-d[2]-d[3]);
    if(d[0]<period_400*0.5){
        continue;
    }else if(d[0]<period_400*0.6){//V_high 測定
        s_ave+=d[1]-d[2]-d[3];
        s_cnt++;
    }else if((d[0]>=period_400*0.8)&&(d[0]<period_400*0.9)){//V_low 測定
        e_ave+=d[1]-d[2]-d[3];
        e_cnt++;
    }else if(d[0]>=period_400*0.9){
        break;
    }
}
s_ave/=(2*M_PI*s_cnt);
e_ave/=(2*M_PI*e_cnt);
//printf("%n\n%lf,%lf\n\n",s_ave,e_ave);
return (phase){s_ave,e_ave};
}

char* get_netfile(char* filename){
    FILE *net_p = fopen(filename,"r");
    int size,i;
    char c;
    char *netfile_p;
    if (net_p == NULL){
        printf("jsim file not found\n");
        return NULL;
    }
    //printf("file open\n");
    fseek(net_p,0,SEEK_END);
    size = ftell(net_p);
    fseek(net_p,0,SEEK_SET);
    netfile_p = (char *)malloc(size+1);
    if(netfile_p ==NULL){
        printf("malloc failed\n");
        fclose(net_p);
        return NULL;
    }

    //printf("%d\n",size);
    for(i=0;(c=fgetc(net_p))!=EOF;i++){
        printf("%c",(*(netfile_p+i)=c));
    }
    *(netfile_p+size)='\0';
    fclose(net_p);
    return netfile_p;
}

double abso(double a,double b){
    return(a>b)? (a-b):(b-a);
}

```

```

int main(int argc, char *argv[]){
    double d=0,V_low=0,V_high=0;
    char *netfile,*net_head,*bias_p,*trans_p,*freq_p;
    FILE *f_inp,*f_tmp,*f_out,*f_res;
    phase p_jud;
    /*入出力ファイル確認*/
    if((net_head=netfile=get_netfile(argv[1]))==NULL)return -1;
    if((f_out=fopen("OUT","r"))==NULL){
        printf("OUT file is not found!¥n",f_inp);
        fclose(f_inp);
        return -1;
    }
    fclose(f_out);
    if((f_tmp=fopen("temp.inp","w"))==NULL){
        fclose(f_inp);
        printf("template file can't open!¥n");
        return -1;
    }
    if((f_res=fopen("RESULT","w"))==NULL){
        fclose(f_inp);
        printf("RESULT file can't open!¥n");
        return -1;
    }
    }

    bias_p=strstr(netfile,"vB");
    freq_p=strstr(netfile,"PULSE");
    trans_p=strstr(netfile,".tran");
    if((bias_p==NULL)||((freq_p==NULL)||((trans_p==NULL))){
        printf("file format is not correct!¥n");
        return -1;
    }
    }
    //while(*netfile!=EOF)printf("%c",*(netfile++));
    const double min_freq=50,max_freq=300,min_bias=1.6,max_bias=4.2,bias_d=0.1;
    int depth=0;
    double
    bias_volt,freq=min_freq,success_freq=min_freq,fail_freq=max_freq,measure_max_freq=min_freq;
    for(bias_volt=min_bias;bias_volt<max_bias;bias_volt+=bias_d){
        freq=min_freq;
        success_freq=0;
        fail_freq=max_freq;
        for(depth=0;depth<20;depth++){
            netfile=net_head;
            while(*netfile!='¥0'){
                if(netfile==bias_p){
                    while(*netfile!='P')fputc(*(netfile++),f_tmp);
                    fprintf(f_tmp,"PWL(0ps                                0mv
20ps %5.3lfmv)¥n",bias_volt);
                    while(*(netfile++)!='¥n');
                }
                if(netfile==freq_p){
                    while(*netfile!='P')fputc(*(netfile++),f_tmp);
                    fprintf(f_tmp,"PULSE(0.0mV      1.035mV      300.0ps
1.0ps   1.0ps   1.0ps   %4.1lfps)¥n",1000.0/freq);
                    while(*(netfile++)!='¥n');
                }
            }
        }
    }
}

```

```

    }
    if(netfile==trans_p){
        fprintf(f_tmp, ".tran          0.5ps          %dps          0ps
0.2ps¥n", (int)(400*1000/freq+300));
        while(*(netfile++)!='¥n');
    }
    fprintf(f_tmp, "Now calculating Vb=%.31fmV Freq=%.11fGHz ¥n*depth %d
delta f=%.21f GHz¥n¥n",
        bias_volt, freq, depth, fail_freq-success_freq);
    fclose(f_tmp);
    system("jsim temp.inp");
    f_tmp=fopen("temp.inp", "w");
    p_jud=get_phase(fopen("OUT", "r"), freq);
    if(abso(p_jud.end, p_jud.start)<0.5){
        success_freq=freq;
        freq=(freq+fail_freq)/2;
    }else{
        if(depth==0){
            freq=0;
            break;
        }
        fail_freq=freq;
        freq=(freq+success_freq)/2;
    }
    if(fail_freq-success_freq<1)break;
}
if(freq>measure_max_freq)measure_max_freq=freq;
fprintf(f_res, "%.31f %.21f¥n", freq, bias_volt);
}
printf("¥nfinished¥n");
fclose(f_tmp);
fclose(f_res); // ファイルクローズ
free(net_head);
FILE* gp = fopen("gnuplot -persist", "w"); //gnuplot 立ち上げ、描画
fprintf(gp, "set xrange [%f:%f]¥n", min_freq*0.9, measure_max_freq*1.1);
fprintf(gp, "set yrange [%f:%f]¥n", min_bias*0.9, max_bias*1.1);
fprintf(gp, "set ylabel ¥"V_{bias} [mV]¥"¥n");
fprintf(gp, "set xlabel ¥"Freq [GHz]¥"¥n");
fprintf(gp, "plot ¥"RESULT¥" w lp¥n");
pclose(gp);
return 0;
}

```