



<http://dx.doi.org/10.35596/1729-7648-2021-19-5-86-93>

Оригинальная статья  
Original paper

УДК 004.031.6; 004.627

## АРХИТЕКТУРА ПРОЦЕССОРА ВЫЧИСЛЕНИЯ ДИСКРЕТНОГО КОСИНУСНОГО ПРЕОБРАЗОВАНИЯ ДЛЯ СИСТЕМ СЖАТИЯ ИЗОБРАЖЕНИЯ ПО СХЕМЕ LOSLESS-TO-LOSSY

В.В. КЛЮЧЕНЯ

*Белорусский государственный университет информатики и радиоэлектроники  
(г. Минск, Республика Беларусь)*

*Поступила в редакцию 22 июня 2021*

© Белорусский государственный университет информатики и радиоэлектроники, 2021

**Аннотация.** Аппаратные реализации блоков дискретного косинусного преобразования (ДКП) на арифметике с фиксированной запятой, известные как IntDCT [1] и BinDCT [2], требуют решения некоторых вопросов. Один из главных вопросов – выбор между реализацией преобразования на ПЛИС или реализацией на цифровом сигнальном процессоре (Digital Signal Processor, DSP). Каждая из реализаций имеет как свои плюсы, так и минусы. Одним из самых главных достоинств реализации на DSP является наличие специальных инструкций, используемых в DSP, в частности, возможность перемножения двух чисел за один такт. Поэтому с появлением DSP было снято ограничение на количество умножений в алгоритмах. С другой стороны, при реализации блока на ПЛИС можно не ограничивать себя разрядностью данных (в разумных пределах), имеется возможность параллельной обработки всех поступающих данных и реализации специализированных вычислительных ядер для различных задач. По сути, проектирование систем мультимедиа на ПЛИС напоминает проектирование схожих систем на логике малой и средней степени интеграции. Такая реализация имеет те же ограничения: относительно малое количество доступной памяти, необходимость проектировать базовые элементы конструкции (умножители, делители) и т. д. Именно неравнозначность операций сложения и умножения при реализации их на ПЛИС и обусловила поиски алгоритмов ДКП с наименьшим числом множителей. Однако даже этого недостаточно, поскольку структура умножителя во много раз сложнее структуры сумматора, что заставило искать способы преобразования без использования умножений вообще. В статье показано, как на основе целочисленного прямого и обратного ДКП и распределенной арифметики создать новую универсальную архитектуру декоррелирующего преобразования на ПЛИС типа FPGA без операций умножения для систем трансформационного кодирования изображений, которые работают по принципу lossless-to-lossy (L2L), и получить лучшие экспериментальные результаты по аппаратным ресурсам по сравнению с аналогичными системами сжатия.

**Ключевые слова:** ДКП, дискретное косинусное преобразование, L2L, lossless-to-lossy, архитектура, FPGA (Field-Programmable Gate Array), блочная лестничная структурная параметризация, БЛСП.

**Конфликт интересов.** Автор заявляет об отсутствии конфликта интересов.

**Для цитирования.** Ключеня В.В. Архитектура процессора вычисления дискретного косинусного преобразования для систем сжатия изображения по схеме lossless-to-lossy. Доклады БГУИР. 2021; 19(5): 86-93.

## ARCHITECTURE OF THE DISCRETE COSINE TRANSFORMATION PROCESSOR FOR IMAGE COMPRESSION SYSTEMS ON THE LOSSLESS-TO-LOSSY CIRCUIT

VITALY V. KLIUCHENIA

*Belarusian State University of Informatics and Radioelectronics (Minsk, Republic of Belarus)*

*Submitted 22 June 2021*

© Belarusian State University of Informatics and Radioelectronics, 2021

**Abstract.** The hardware implementations of fixed-point DCT blocks, known as IntDCT [1] and BinDCT [2], require some solutions. One of the main issues is the choice between the implementation of the conversion on FPGA, or the implementation on a digital signal processor (Digital Signal Processor, DSP). Each of the implementations has its own pros and cons. One of the most important advantages of the DSP implementation is the presence of special instructions used in DSP, in particular, the ability to multiply two numbers in one clock cycle. Therefore, with the advent of DSP, the limitation on the number of multiplications in algorithms was removed. On the other hand, when implementing a block on an FPGA, we can limit not ourselves to the bitness of the data (within reasonable limits), we have the ability to parallelize all incoming data and implement specialized computing cores for various tasks. In fact, designing multimedia systems on FPGAs reminds the design of similar systems based on the logic of a small and medium degree of integration. Such an implementation has the same limitations: a relatively small amount of available memory, the need to design basic structural elements (multipliers, divisors), etc. It is the inequality of the addition and multiplication operations when they are implemented on FPGAs that caused the search for DCT algorithms with the smallest number of factors. However, even this is not enough, since the structure of the multiplier is many times more complex than the structure of the adder, which made it necessary to look for ways to transform without using multiplications at all. This article shows how, on the basis of integer direct and inverse DCT and distributed arithmetic, to create a new universal architecture of decorrelated transform on FPGAs without multiplication operations for image transformation coding systems that operate on the principle of lossless-to-lossy (L2L), and to obtain the best experimental results in terms of hardware resources compared to comparable compression systems.

**Keywords:** DCT, discrete cosine transform, L2L, lossless-to-lossy, architecture, FPGA (Field-Programmable Gate Array), block staircase structural parameterization, BLSP.

**Conflict of interests.** The author declare no conflict of interests.

**For citation.** Kliuchenia V.V. Architecture of the discrete cosine transformation processor for image compression systems on the lossless-to-lossy circuit. Doklady BGUIR. 2021; 19(5): 86-93.

### Введение

Как видно из статей [1–4] и структур блочной лестничной структурной параметризации (БЛСП) [3], постоянно приходится реализовывать прямое и обратное дискретное косинусное преобразование (ДКП и ОДКП), так как оно является основным компонентом декоррелирующего преобразования в кодерах и декодерах обработки изображений и видеосигнала. Также обратная матрица ДКП, равная транспонированной матрице ДКП, является вторым блоком в двумерном 2D ДКП, который выполняет преобразование по столбцам. Для экономии аппаратных ресурсов на кристалле ПЛИС (программируемая логическая интегральная схема) целесообразно объединить модули прямого и обратного ДКП или использовать унифицированную структуру процессора, на основе которой можно вычислять как обратное, так и прямое преобразование.

Для построения математической модели воспользуемся формулами прямого и обратного преобразования ДКП  $8 \times 8$  2D ДКП и 2D ОДКП, которые описываются следующими образом:

$$Y_{u,v} = \frac{1}{4} k_u k_v \sum_{i=0}^7 \sum_{j=0}^7 x_{i,j} \cos((2i+1)u\pi/16) \cos((2j+1)v\pi/16); \quad (1)$$

$$x_{i,j} = \frac{1}{4} \sum_{u=0}^7 \sum_{v=0}^7 k_u k_v Y_{u,v} \cos((2i+1)u\pi/16) \cos((2j+1)v\pi/16), \quad (2)$$

где  $k_u = k_v = 1/\sqrt{2}$  для  $u = v = 0$ ;  $k_u = k_v = 1$  для  $1 \leq u, v \leq 7$ .

В соответствии с методом построчно-столбцовой декомпозиции одномерное 1D 8-точечное ДКП и ОДКП представляются уравнениями (3):

$$Z_n = \frac{1}{2} k_n \sum_{m=0}^7 x_m \cos((2m+1)n\pi/16); \quad x_m = \frac{1}{2} \sum_{n=0}^7 k_n Z_n \cos((2m+1)n\pi/16), \quad (3)$$

где  $k_n = \sqrt{2}$  для  $n = 0$ ;  $k_n = 1$  для ненулевых  $n$ ,  $x_m$  и  $Z_m$  – вектора входных и выходных данных:

$$x_m = [x_0 \ x_1 \ x_2 \ x_3 \ x_4 \ x_5 \ x_6 \ x_7]^T; \quad Z_m = [Z_0 \ Z_1 \ Z_2 \ Z_3 \ Z_4 \ Z_5 \ Z_6 \ Z_7]^T. \quad (4)$$

Произведение вектора  $x$  на матрицу коэффициентов ДКП раскладывается как:

$$\begin{pmatrix} Z_0 \\ Z_1 \\ Z_2 \\ Z_3 \\ Z_4 \\ Z_5 \\ Z_6 \\ Z_7 \end{pmatrix} = \frac{1}{2} \begin{pmatrix} c_4 & c_4 & c_4 & c_4 & c_4 & c_4 & c_4 & c_4 \\ c_1 & c_3 & c_5 & c_7 & -c_7 & -c_5 & -c_3 & -c_1 \\ c_2 & c_6 & -c_6 & -c_2 & -c_2 & -c_6 & c_6 & c_2 \\ c_3 & -c_7 & -c_1 & -c_5 & c_5 & c_1 & c_7 & -c_3 \\ c_4 & -c_4 & -c_4 & c_4 & c_4 & -c_4 & -c_4 & c_4 \\ c_5 & -c_1 & c_7 & c_3 & -c_3 & -c_7 & c_1 & -c_5 \\ c_6 & -c_2 & c_2 & -c_6 & -c_6 & c_2 & -c_2 & c_6 \\ c_7 & -c_5 & c_3 & -c_1 & c_1 & -c_3 & c_5 & c_7 \end{pmatrix} \begin{pmatrix} x_0 \\ x_1 \\ x_2 \\ x_3 \\ x_4 \\ x_5 \\ x_6 \\ x_7 \end{pmatrix} = \frac{1}{2} \begin{pmatrix} 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 1 & 0 & 0 \\ 0 & 0 & 1 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 \end{pmatrix} \begin{pmatrix} c_4 & c_4 & c_4 & c_4 & 0 & 0 & 0 & 0 \\ c_2 & c_6 & -c_6 & -c_2 & 0 & 0 & 0 & 0 \\ c_4 & -c_4 & -c_4 & c_4 & 0 & 0 & 0 & 0 \\ c_6 & -c_2 & c_2 & -c_6 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & c_1 & c_3 & c_5 & c_7 \\ 0 & 0 & 0 & 0 & c_3 & -c_7 & -c_1 & -c_5 \\ 0 & 0 & 0 & 0 & c_5 & -c_1 & c_7 & c_3 \\ 0 & 0 & 0 & 0 & c_7 & -c_5 & c_3 & -c_1 \end{pmatrix} \begin{pmatrix} x_0 + x_7 \\ x_1 + x_6 \\ x_2 + x_5 \\ x_3 + x_4 \\ x_0 - x_7 \\ x_1 - x_6 \\ x_2 - x_5 \\ x_3 - x_4 \end{pmatrix}, \quad (5)$$

где  $c_i = \cos(i\pi/16)$  для  $i = 1, 2 \dots 7$ .

Масштабирующий коэффициент 1/2 и перестановочную матрицу можно опустить, и произведение на матрицу коэффициентов  $Z_n$  прямого ДКП (3) раскладывается на четную часть  $Z_ч$  и нечетную  $Z_{нч}$  [5]:

$$Z_ч = \begin{bmatrix} Z_0 \\ Z_2 \\ Z_4 \\ Z_6 \end{bmatrix} = \begin{bmatrix} c_4 & c_4 & c_4 & c_4 \\ c_2 & c_6 & -c_6 & -c_2 \\ c_4 & -c_4 & -c_4 & c_4 \\ c_6 & -c_2 & c_2 & -c_6 \end{bmatrix} \begin{bmatrix} a_0 \\ a_1 \\ a_2 \\ a_3 \end{bmatrix} = C_ч a; \quad Z_{нч} = \begin{bmatrix} Z_1 \\ Z_3 \\ Z_5 \\ Z_7 \end{bmatrix} = \begin{bmatrix} c_1 & c_3 & c_5 & c_7 \\ c_3 & -c_7 & -c_1 & -c_5 \\ c_5 & -c_1 & c_7 & c_3 \\ c_7 & -c_5 & c_3 & -c_1 \end{bmatrix} \begin{bmatrix} b_0 \\ b_1 \\ b_2 \\ b_3 \end{bmatrix} = C_{нч} b, \quad (6)$$

$$\text{где } a = \begin{bmatrix} a_0 \\ a_1 \\ a_2 \\ a_3 \end{bmatrix} = \begin{bmatrix} x_0 + x_7 \\ x_1 + x_6 \\ x_2 + x_5 \\ x_3 + x_4 \end{bmatrix}; \quad b = \begin{bmatrix} b_0 \\ b_1 \\ b_2 \\ b_3 \end{bmatrix} = \begin{bmatrix} x_0 - x_7 \\ x_1 - x_6 \\ x_2 - x_5 \\ x_3 - x_4 \end{bmatrix}; \quad (7)$$

$$C_{\text{ч}} = \begin{bmatrix} c_4 & c_4 & c_4 & c_4 \\ c_2 & c_6 & -c_6 & -c_2 \\ c_4 & -c_4 & -c_4 & c_4 \\ c_6 & -c_2 & c_2 & -c_6 \end{bmatrix}; C_{\text{нч}} = \begin{bmatrix} c_1 & c_3 & c_5 & c_7 \\ c_3 & -c_7 & -c_1 & -c_5 \\ c_5 & -c_1 & c_7 & c_3 \\ c_7 & -c_5 & c_3 & -c_1 \end{bmatrix}. \quad (8)$$

Аналогичным образом произведение выходного вектора  $Z$  на матрицу коэффициентов ОДКП раскладывается на следующее произведение матриц:

$$\begin{pmatrix} x_0 \\ x_1 \\ x_2 \\ x_3 \\ x_4 \\ x_5 \\ x_6 \\ x_7 \end{pmatrix} = \frac{1}{2} \begin{pmatrix} c_4 & c_1 & c_2 & c_3 & c_4 & c_5 & c_6 & c_7 \\ c_4 & c_3 & c_6 & -c_7 & -c_4 & -c_1 & -c_2 & -c_5 \\ c_4 & c_5 & -c_6 & -c_1 & -c_4 & c_7 & c_2 & c_3 \\ c_4 & c_7 & -c_2 & -c_5 & c_4 & c_3 & -c_6 & -c_1 \\ c_4 & -c_7 & -c_2 & c_5 & c_4 & -c_3 & -c_6 & c_1 \\ c_4 & -c_5 & -c_6 & c_1 & -c_4 & -c_7 & c_2 & -c_3 \\ c_4 & -c_3 & c_6 & c_7 & -c_4 & c_1 & -c_2 & c_5 \\ c_4 & -c_1 & c_2 & -c_3 & c_4 & -c_5 & c_6 & -c_7 \end{pmatrix} \begin{pmatrix} Z_0 \\ Z_1 \\ Z_2 \\ Z_3 \\ Z_4 \\ Z_5 \\ Z_6 \\ Z_7 \end{pmatrix} = \frac{1}{2} \begin{pmatrix} c_4 & c_2 & c_4 & c_6 & 0 & 0 & 0 & 0 \\ c_4 & c_6 & -c_4 & -c_2 & 0 & 0 & 0 & 0 \\ c_4 & -c_6 & -c_4 & c_2 & 0 & 0 & 0 & 0 \\ c_4 & -c_2 & c_4 & -c_6 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & c_1 & c_3 & c_5 & c_7 \\ 0 & 0 & 0 & 0 & c_3 & -c_7 & -c_1 & -c_5 \\ 0 & 0 & 0 & 0 & c_5 & -c_1 & c_7 & c_3 \\ 0 & 0 & 0 & 0 & c_7 & -c_5 & c_3 & -c_1 \end{pmatrix} \begin{pmatrix} 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 1 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 1 & 0 \\ 0 & 1 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 1 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 \end{pmatrix} \begin{pmatrix} Z_0 \\ Z_1 \\ Z_2 \\ Z_3 \\ Z_4 \\ Z_5 \\ Z_6 \\ Z_7 \end{pmatrix}, \quad (9)$$

$$\text{где } \frac{1}{2} \mathbf{a} = \begin{bmatrix} c_4 & c_2 & c_4 & c_6 \\ c_4 & c_6 & -c_4 & -c_2 \\ c_4 & -c_6 & -c_4 & c_2 \\ c_4 & -c_2 & c_4 & -c_6 \end{bmatrix} \begin{bmatrix} Z_0 \\ Z_2 \\ Z_4 \\ Z_6 \end{bmatrix} = C_{\text{ч}}^T Z_{\text{ч}}; \frac{1}{2} \mathbf{b} = \begin{bmatrix} c_1 & c_3 & c_5 & c_7 \\ c_3 & -c_7 & -c_1 & -c_5 \\ c_5 & -c_1 & c_7 & c_3 \\ c_7 & -c_5 & c_3 & -c_1 \end{bmatrix} \begin{bmatrix} Z_1 \\ Z_3 \\ Z_5 \\ Z_7 \end{bmatrix} = C_{\text{нч}}^T Z_{\text{нч}}; \quad (10)$$

$$\begin{bmatrix} x_0 \\ x_1 \\ x_2 \\ x_3 \end{bmatrix} = \frac{1}{2} (\mathbf{a} + \mathbf{b}); \begin{bmatrix} x_7 \\ x_6 \\ x_5 \\ x_4 \end{bmatrix} = \frac{1}{2} (\mathbf{a} - \mathbf{b}). \quad (11)$$

Проанализировав формулы (5)–(11), можно выделить повторяющиеся элементы в матрицах ДКП и ОДКП и построить структуру вычисления прямого и обратного ДКП (рис. 1), состоящую из модулей пред- и постобработки данных, модулей четной и нечетной части вычисления ДКП и ОДКП, каждому модулю соответствует свое матричное представление.

### Процессор вычисления прямого и обратного ДКП

Архитектура для вычисления прямого и обратного ДКП состоит из модулей четной и нечетной части вычисления ДКП и ОДКП, модулей пред- и постобработки данных и памяти для сохранения промежуточных значений 1D ДКП, которые в дальнейшем будут использоваться при вычислении двумерного 2D ДКП (рис. 1).

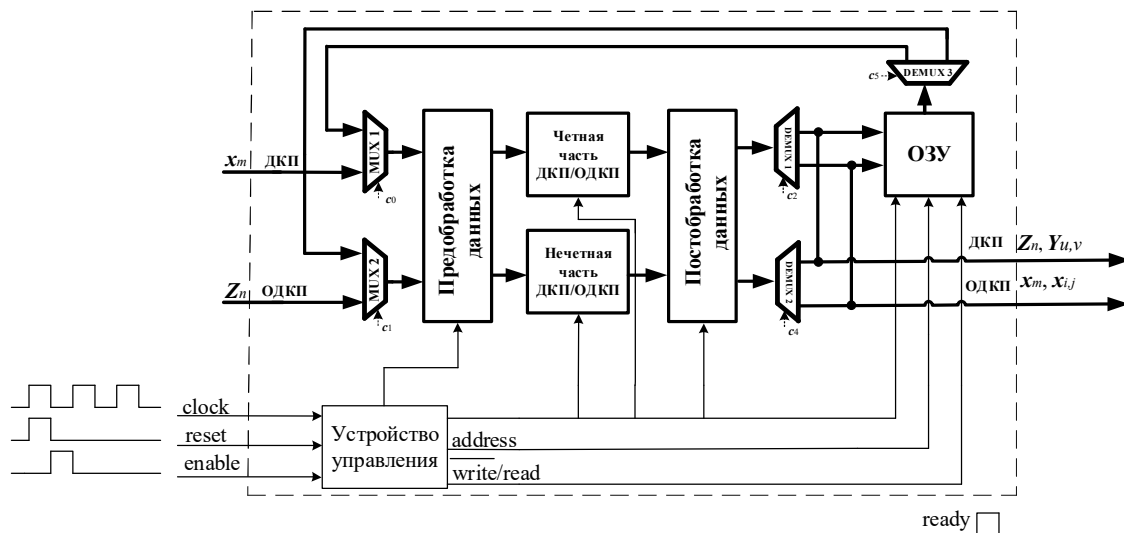


Рис. 1. Архитектура процессора прямого и обратного ДКП  
Fig. 1. Direct and invers DCT processor architecture

Модули пред- и постобработки данных представляются в виде банка входных регистров и мультиплексов, сумматоров и демультимплексов, которые распределяют результаты вычислений ДКП и ОДКП в выходные регистры согласно формулам (7), (11). Вычисление модулей четной и нечетной части прямого и обратного ДКП происходит по следующим формулам:

$$\begin{bmatrix} Z_0 \\ Z_2 \\ Z_4 \\ Z_6 \end{bmatrix} = \begin{bmatrix} a_0 + a_3 & a_1 + a_2 \\ a_0 + a_3 & -(a_1 + a_2) \\ Z_0 & Z_4 \\ Z_0 & -Z_4 \end{bmatrix} \begin{bmatrix} c_4 \\ c_4 \end{bmatrix} = c_4 \begin{bmatrix} a_0 + a_3 + a_1 + a_2 \\ a_0 + a_3 - (a_1 + a_2) \\ Z_0 + Z_4 \\ Z_0 - Z_4 \end{bmatrix}; \quad (12)$$

$$\begin{bmatrix} d_2 \\ d_3 \\ Z_2 \\ Z_6 \end{bmatrix} = \begin{bmatrix} Z_2 & Z_6 \\ -Z_6 & Z_2 \\ a_0 - a_3 & a_1 - a_2 \\ -(a_1 - a_2) & a_0 - a_3 \end{bmatrix} \begin{bmatrix} c_2 \\ c_6 \end{bmatrix}; \quad \begin{bmatrix} d_0 \\ d_1 \\ d_2 \\ d_3 \end{bmatrix} = \frac{1}{4} \begin{bmatrix} a_0 + a_3 \\ a_1 + a_2 \\ a_0 - a_3 \\ a_1 - a_2 \end{bmatrix}, \quad \frac{1}{2} \begin{bmatrix} a_0 \\ a_1 \\ a_2 \\ a_3 \end{bmatrix} = \begin{bmatrix} d_0 + d_2 \\ d_1 + d_3 \\ d_1 - d_3 \\ d_0 - d_2 \end{bmatrix}. \quad (13)$$

Структура четной части ДКП, представленная на рис. 2, состоит, согласно формулам (12), (13), из трех частей.

Часть предварительного вычисления значений множимого, которая состоит из сумматоров-вычитателей и наборов регистров, где хранятся предварительно рассчитанные значения или входные данные. Для расчета значений четной части ДКП потребуется семь тактов синхросигнала, а для расчета четной части ОДКП потребуется три такта.

Умножения на коэффициенты  $c_2$ ,  $c_4$  и  $c_6$ , реализованные при помощи метода распределенной арифметики, в основе которого лежат последовательные побитные вычислительные операции, осуществление которых позволяет получать выходной результат из пары входных векторов на каждом отдельном этапе вычисления. Так как необходимо получить перфективную реконструкцию и минимальные аппаратные затраты, то будем использовать схему, где данные обрабатываются по одному биту за такт (1-ВААТ – one-bit-at-a-time) [6]. Для получения результатов умножения на константы  $c_2$ ,  $c_6$  и  $c_4$  потребуется 12 тактов синхросигнала, предварительные значения сумм коэффициентов  $c_2$  и  $c_6$  и отдельно коэффициента  $c_4$ , которые хранятся в памяти (ПЗУ). Все значения коэффициентов и входных данных представлены в дополнительном коде. На 19 такте синхросигнала формируется сигнал готовности ready значений ДКП.

Третья часть предназначена для постобработки произведений ОДКП согласно формуле (13), для этого потребуется 4 такта синхросигнала. На 19 такте синхросигнала формируется сигнал готовности ready значений четной части ОДКП. Временная задержка

определяется как  $t_{\text{четной части}} = t_{\text{множимого}} + t_{DA \text{ умножения}} + t_{\text{постобработки}}$ , где время  $t_{\text{множимого}}$  и  $t_{\text{постобработки}}$  можно уменьшить за счет распараллеливания процесса вычисления,  $t_{DA \text{ умножения}} = (N/L+1)f_{\text{max}}$ , где  $N$  – разрядность входных данных, и зависит от количества  $L$  бит, обрабатываемых за такт, и время умножения на постоянные коэффициенты может быть уменьшено до одного такта синхросигнала. Минимальное время  $t_{\text{множимого}}$  может быть уменьшено до двух тактов, т. е. один такт для вычисления  $(a_0 + a_3)$  и  $(a_1 + a_2)$ , второй такт для вычисления выражений  $(a_0 + a_3 + a_1 + a_2)$  и  $(a_0 + a_3 - (a_1 + a_2))$ , но для этого надо распараллелить вычисления и увеличить аппаратные ресурсы. Минимальное время  $t_{\text{постобработки}}$  может быть равно одному такту синхросигнала после распараллеливания вычислений. Максимальная задержка и минимальная пропускная способность модуля будет равна  $7 + 12 = 19$  тактам для вычисления ДКП и  $3 + 12 + 4 = 19$  тактам для вычисления ОДКП.

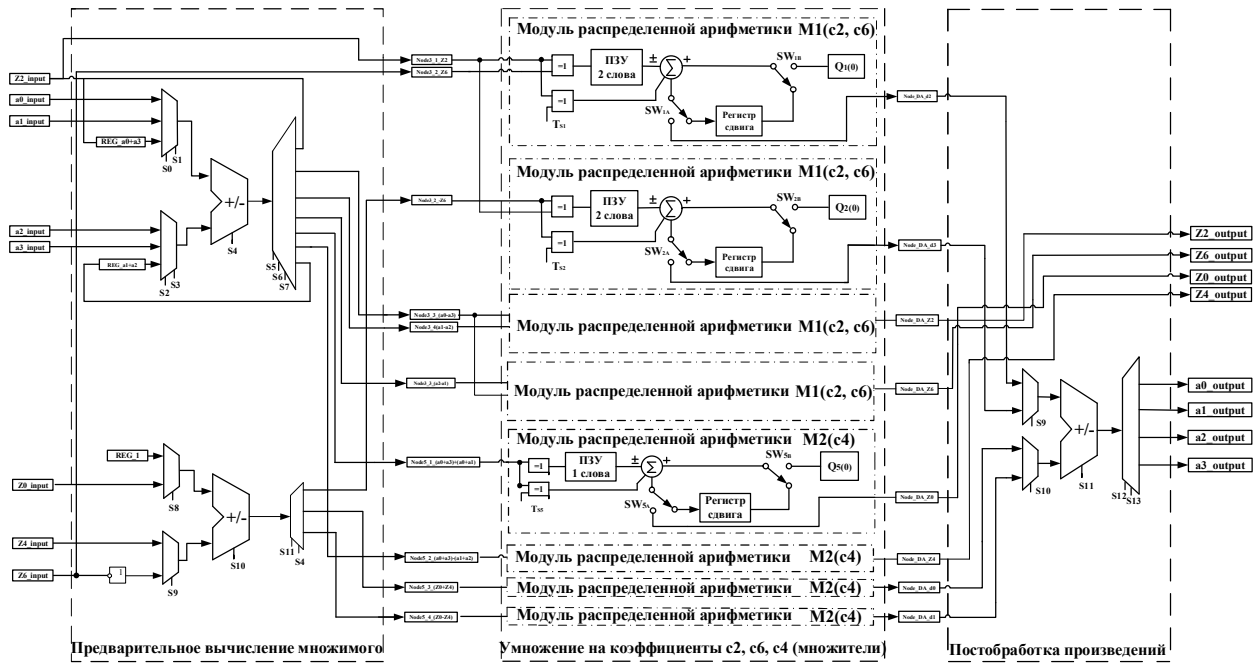


Рис. 2. Структура четной части модуля ДКП-ОДКП  
Fig. 2. The structure of even part of the DCT-IDCT module

Нечетная часть прямого и обратного ДКП выражается формулами (14), для этого надо представить формулы (10), (11) в следующем виде:

$$\begin{bmatrix} Z_7 \\ Z_5 \\ Z_1 \\ Z_3 \end{bmatrix} = \begin{bmatrix} -b_3 & b_2 & b_0 & -b_1 \\ -b_1 & b_3 & b_2 & b_0 \\ b_0 & b_1 & b_3 & b_2 \\ -b_2 & b_0 & -b_1 & -b_3 \end{bmatrix} \begin{bmatrix} c_1 \\ c_3 \\ c_7 \\ c_5 \end{bmatrix}; \frac{1}{2} \begin{bmatrix} b_0 \\ b_1 \\ b_3 \\ b_2 \end{bmatrix} = \begin{bmatrix} Z_1 & Z_3 & Z_7 & Z_5 \\ -Z_5 & Z_1 & -Z_3 & -Z_7 \\ -Z_7 & Z_5 & Z_1 & -Z_3 \\ -Z_3 & Z_7 & Z_5 & Z_1 \end{bmatrix} \begin{bmatrix} c_1 \\ c_3 \\ c_7 \\ c_5 \end{bmatrix}. \quad (14)$$

Структура нечетной части ДКП представлена на рис. 3. Она состоит из модулей распределенной арифметики, все возможные значения множителей представлены в виде суммы коэффициентов  $c_1, c_3, c_5$  и  $c_7$  и хранятся в ПЗУ, вычисления производятся согласно формулам (14). Для получения результатов нечетной части ДКП и ОДКП понадобится 13 тактов синхросигнала, то есть один такт для получения отрицательного числа и 12 тактов для получения результатов умножения на константы  $c_1, c_3, c_5$  и  $c_7$ . Временная задержка будет вычисляться как  $t_{\text{нечетной части}} = 1 + t_{DA \text{ нечетной части}}$ , где  $t_{DA \text{ нечетной части}} = (N/L+1)f_{\text{max}}$  и зависит от параметра ускорения  $L$ . Максимальная задержка и минимальная пропускная способность будет равна  $1 + 12 = 13$  тактам синхросигнала. Минимальная задержка и максимальная пропускная способность будет вычисляться как  $1 + 1 = 2$  такта синхросигнала.

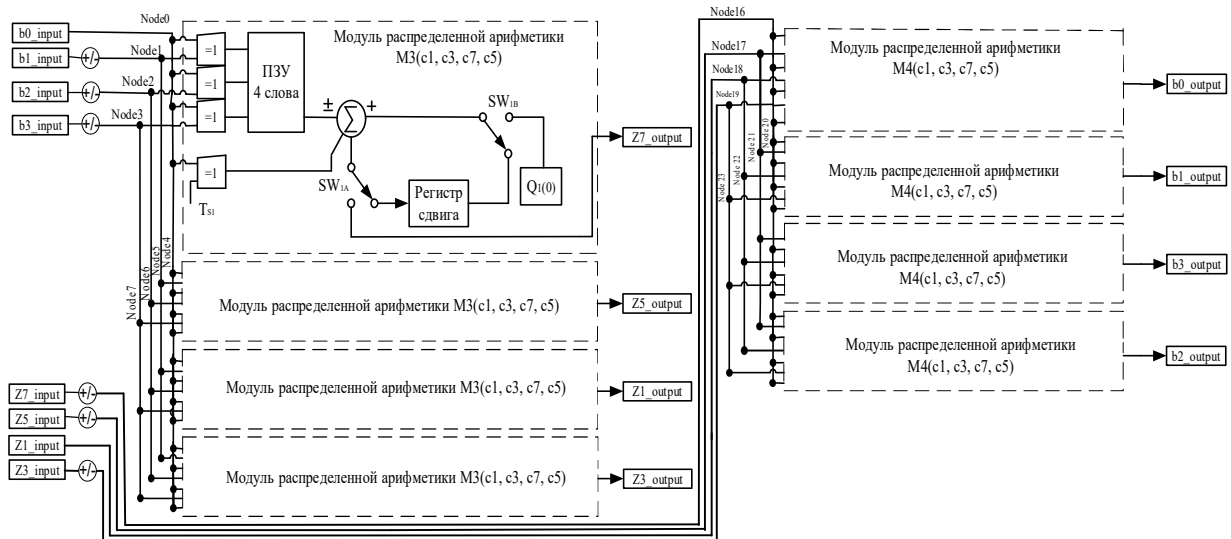


Рис. 3. Структура нечетной части модуля ДКП-ОДКП  
Fig. 3. The structure of odd part module DCT-IDCT

Для вычисления 2-D ДКП потребуется:

- 8 тактов синхросигнала в модуле предобработки данных, затем 19 тактов в модуле обработки четной части и 13 тактов для параллельной обработки нечетной части;
- после 27 тактов рассчитанные значения для первого 8-точечного вектора сохраняются в памяти, через 160 тактов задержки в памяти сохранится результат вычислений постолбцового преобразования для блока изображений размерностью  $8 \times 8$ , затем поступит на вход ОДКП предварительной обработки первый блок данных для постолбцового преобразования;
- далее происходит вычисление четной и нечетной части ОДКП или постолбцового 2D преобразования. В результате первый 8-точечный вектор для 2D ДКП получим на 187 такте синхросигнала (рис. 4).

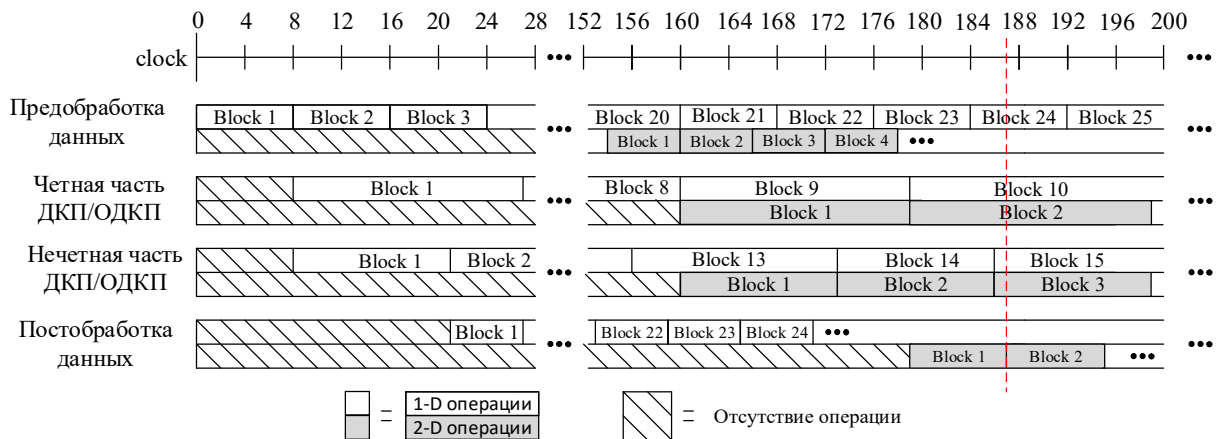


Рис. 4. Временная диаграмма 1D и 2D преобразования  
Fig. 4. Timing diagram 1D and 2D conversion

Сравним реализацию универсального рекурсивного процессора ДКП-ОДКП с уже существующими [5, 7–9] на основе ПЛИС с архитектурой FPGA Spartan-2 (таблица).

Из таблицы видно, что предлагаемая реализация требует в два раза меньше аппаратных затрат в сравнении с аналогичной, описанной в [5], и в несколько раз меньше занимает площади кристалла в сравнении с [7–9], где представлена реализация только одного прямого ДКП. По скорости работы предлагаемая реализация не на много уступает решениям в [5, 9].

**Таблица 1.** Сравнение реализаций двумерного ДКП и модулей ДКП-ОДКП на Spartan-2 XC2VP30  
**Table 1.** Comparison of implementations two-dimensional DCT and DCT-IDCT modules on Spartan-2 XC2VP30

Архитектура Architecture	Из [7] From [7]	Из [8] From [8]	Из [9] From [9]	Из [5] From [5]	Предлагаемая Proposed
Функция	ДКП	ДКП	ДКП	ДКП/ОДКП	ДКП/ОДКП
Number of 4 input LUTs	2990	10310	2618	2237	1109
Number of Slices	1872	5729	2823	1352	627
Number of Slice Flip Flops	1837	3736	3431	1170	887
Clock Frequency (MHz)	99	149	107	168	120
Max. Delay (ns)	10,1	6,7	9,3	6,2	8,3

### Заключение

Предложена архитектура универсального процессора вычисления 2D декоррелирующего преобразования для кодирования изображений по схеме L2L (2D ДКП-ОДКП), особенностью которой является параллельное выполнение прямого и обратного ДКП в цикле синхронизации процессора и сокращение аппаратных затрат по сравнению со стандартной архитектурой разделимого 2D декоррелирующего преобразования на основе ДКП в два раза. Данную архитектуру процессора можно рассматривать как структурное решение для реализации обратимого целочисленного 2D декоррелирующего преобразователя для систем кодирования изображений по схеме L2L.

### Список литературы / References

1. Suzuki T. Integer DCT Based on Direct-Lifting of DCT-IDCT for Lossless-to-Lossy Image Coding. *IEEE Transactions on image processing*. November 2010;19(11):2958-2965.
2. Dang P.P. BinDCT and Its Efficient VLSI Architectures for Real-Time Embedded Applications. *Journal of imaging science and technology*. March/April 2005;49(2):124-137.
3. Suzuki T. Integer fast lapped transforms based on direct-lifting of DCTs for lossy-to-lossless image coding. *EURASIP Journal on Image and Video Processing*. 2013;1:1-9.
4. Suzuki T. Realization of lossless-to-lossy image coding compatible with JPEG standard by direct-lifting of DCT-IDCT. *Proceedings of the 17th IEEE Intern. Conf. on Image Processing (ICIP'2010)*. Hong Kong. 26-29 Sept.; 2010: 389-392.
5. Chen Y.H. A High-Throughput and Area-Efficient Video Transform Core With a Time Division Strategy. *IEEE Trans. VLSI Syst.* 2014;22(11):2268-2277.
6. White S.A. Applications of Distributed Arithmetic to Digital Signal Processing: A Tutorial Review. *IEEE ASSP Magazine*. 1989;6(3):4-19.
7. Chen Y.H. High throughput DA-based DCT with high accuracy error-compensated adder tree. *IEEE Trans. VLSI Syst.* Apr. 2011;19(4):709-714.
8. Low-power and high-quality Cordic-based Loeffler DCT for signal processing. *IET Circuit, Devices & System*. December 2007;1:453-461.
9. Tumeo A. A pipelined fast 2D-DCT accelerator for FPGA-based SoCs. *In Proc. IEEE Comput. SoC. Annu. Symp. VLSI*. 2007: 331-336.

#### Сведения об авторах

Ключеня В.В., к.т.н., доцент кафедры электронных вычислительных средств Белорусского государственного университета информатики и радиоэлектроники.

#### Information about the authors

Kliuchenia V.V., PhD, Associate Professor at the Electronic Computing Department of the Belarusian State University of Informatics and Radioelectronics.

#### Адрес для корреспонденции

220013, Республика Беларусь,  
г. Минск, ул. П. Бровки, 6,  
Белорусский государственный университет  
информатики и радиоэлектроники;  
тел. +375-29-701-54-89;  
e-mail: vitaly.kliuchenia@gmail.com  
Ключеня Виталий Васильевич

#### Address for correspondence

220013, Republic of Belarus,  
Minsk, P. Brovka str., 6,  
Belarusian State University  
of Informatics and Radioelectronics;  
tel. +375-29-701-54-89;  
e-mail: vitaly.kliuchenia@gmail.com  
Kliuchenia Vitaly Vasilevich