

UNIVERSITÉ DE SHERBROOKE
Faculté de génie
Département de génie électrique

Conception de circuits de lecture adaptés à des dispositifs monoélectroniques

Mémoire de maîtrise
Spécialité : génie électrique

Frédéric Bourque

Jury : Dominique DROUIN (directeur)
Serge CHARLEBOIS (co-directeur)
Abdelkader SOUIFI
Francis CALMON

Sherbrooke (Québec) Canada

Septembre 2014

À mes parents, ma famille, ma filleule, mon filleul, ma blonde et surtout...

À moi-même!

RÉSUMÉ

Le transistor monoélectronique, SET ou *single-electron transistor*, a été considéré comme étant l'une des alternatives au CMOS lorsqu'il atteindra le « mur technologique ». Le SET se caractérise comme un dispositif ultra faible puissance et nanométrique, mais son faible gain et sa grande dépendance à la température ont fait en sorte que la technologie SET a perdu du momentum vis-à-vis la communauté scientifique. Cependant, en ne considérant pas la technologie SET comme une remplaçante du MOSFET, mais comme quelque chose qui permettrait d'ajouter des fonctionnalités aux circuits CMOS, elle semble être très prometteuse. Cette niche est habituellement appelée l'hybridation SET-CMOS.

Ce mémoire débute par une validation des circuits hybrides SET-CMOS présents dans la littérature en remplaçant le modèle de simulation de SET par un modèle beaucoup plus réaliste. De ces circuits hybrides, aucun ne fonctionnera étant donné les courants de fuite trop importants. Le re-design de ces circuits avec ces architectures a été fait avec le bon modèle SET et une technologie CMOS 22 nm, mais leurs performances n'ont pas suffi pour démontrer leur bon fonctionnement (Plage de tension de sortie très faible, aucune bande passante, circuits incomplets, forte dépendance du circuit à ce qui est connecté à la sortie, etc.).

Cela a amené à la création de deux nouvelles architectures de circuits de lecture hybrides SET-CMOS. Chaque circuit est conçu avec une technologie CMOS 22 nm. L'une des architectures est principalement adaptée à une application de dispositif capteur SET, où le SET serait éloigné d'un circuit CMOS. Dans l'exemple démontré, le circuit avec le capteur SET donne une sensibilité de 8.4 V par électron peu importe la charge connectée à la sortie du circuit. La nouvelle architecture inventée servirait d'étage tampon entre un circuit numérique fait de SET et un circuit numérique CMOS conventionnel. Dans la littérature, les circuits numériques SET n'ont pas de charge typique lors de leur simulation (ex : un inverseur CMOS), ce qui fausse les résultats en promettant une fréquence haute d'opération impossible à atteindre lors d'une utilisation typique. Ce circuit de lecture numérique fait la lecture du circuit numérique SET, fait le passage entre les deux alimentations différentes et est en mesure de supporter un inverseur CMOS conventionnel à 440 MHz. La consommation de ce circuit n'est que de 5.3 nW lors d'une utilisation à 200 MHz. Cette faible consommation est tout à fait en phase avec l'utilisation de circuits numériques SET qui consomment très peu.

Chaque nouvelle architecture inventée a été simulée avec l'ensemble des effets parasites que les interconnexions apportent aux circuits. Les simulations procurent ainsi des résultats plus réalistes.

Un procédé de fabrication de circuits hybrides SET-CMOS, où les dispositifs SET sont fabriqués sur le BEOL des puces CMOS avancées, a été développé et testé. Il intègre le procédé nanodamascène, pour la fabrication des nanodispositifs, et la fabrication d'interconnexions/vias afin de relier le CMOS avec les SET. Une démarche pour la validation des dispositifs CMOS a aussi dû être développée et testée. Afin de s'adapter aux dispositifs CMOS à notre disposition, une conception de circuit hybride SET-CMOS a été faite. La fabrication d'un premier prototype recréant un circuit hybride SET-CMOS fût réalisée.

Les objectifs de cette maîtrise sont principalement : ① La fabrication d'un premier circuit SET-CMOS en adaptant le procédé nanodamascène. ② La validation des circuits hybrides SET-CMOS présents dans la littérature avec un meilleur modèle de simulation SET. ③ Concevoir un circuit de lecture hybride SET-CMOS pour une application analogique (ex : capteur de gaz, capteur de pression, etc.) et numérique (ex : circuit logique, circuit mémoire, etc.).

Mots-clés : Single-electron transistor, circuits hybrides SET-CMOS, Intégration 3D

TABLE DES MATIÈRES

LISTE DES FIGURES.....	v
LISTE DES TABLEAUX.....	vii
LEXIQUE.....	ix
LISTE DES SYMBOLES.....	xi
LISTE DES ACRONYMES.....	xiii
CHAPITRE 1 INTRODUCTION.....	1
1.1 Mise en contexte et problématique.....	1
1.1.1 Loi de Moore.....	1
1.1.2 Le SET dans l'ITRS.....	2
1.2 Définition du projet de recherche.....	3
1.2.1 Objectifs.....	5
1.2.2 Plan du document.....	5
CHAPITRE 2 ÉTAT DE L'ART.....	7
2.1 Le SET.....	7
2.1.1 La théorie.....	7
2.1.2 Ses caractéristiques électriques.....	9
2.2 Les modèles de simulation.....	11
2.3 Les circuits SET.....	11
2.3.1 Les applications de circuits « logique ».....	11
2.3.2 Les applications de circuits « analogique ».....	16
2.3.3 L'effet des interconnexions dans le design de circuit hybride SET-CMOS ...	18
2.4 Conclusion.....	19
CHAPITRE 3 CONCEPTION.....	21
3.1 L'environnement de simulation.....	21
3.1.1 Modèle SET.....	21
3.1.2 Modèle MOSFET.....	23
3.2 Validation des circuits déjà existants.....	24
3.3 Critère de conception.....	30
3.3.1 Source du signal numérique.....	30
3.4 Conception de circuit de la porte universelle.....	31
3.5 Conception de circuit de lecture logique numérique-SET.....	34
3.6 Conception du circuit de l'amplificateur hybride universel.....	38
3.7 Conception de circuit de lecture de fonctions analogiques.....	39
3.8 L'impact des interconnexions dans la conception de circuits hybrides SET-FET.....	44
3.9 Conclusion.....	47
CHAPITRE 4 CADRE EXPÉRIMENTAL.....	49
4.1.1 Description du circuit CMOS.....	49
4.2 Les MOSFET.....	50
4.2.1 La procédure d'extraction des paramètres.....	50
4.2.2 Liste des dispositifs fonctionnels.....	51
4.3 Conception du circuit hybride.....	59
4.3.1 Les circuits implémentés.....	60
4.4 Fabrication.....	63
4.4.1 Procédé de fabrication.....	64

TABLE DES MATIÈRES

4.5	Design des photomasques	66
4.6	Analyse des résultats.....	70
4.7	Recommandations.....	76
CHAPITRE 5 CONCLUSION.....		77
5.1	Sommaire et contributions	77
5.2	Conception du design.....	77
5.3	Fabrication dual-damascène.....	78
5.4	Travaux futurs	78
ANNEXE A – CODE EN VERILOG-A DU MODÈLE SET UTILISÉ		79
ANNEXE B – CODE EN VERILOG-A DES CAPACITÉS PARASITES.....		89
ANNEXE C– PROTOCOLE POUR LA PRISE DE MESURE DES MOSFET SUR LE KEITHLEY.....		93
ANNEXE D – ÉTAPES POUR L’EXTRACTION DES PARAMÈTRES DES MOSFET ...		94

LISTE DES FIGURES

Figure 1.1 Loi de Moore [2].....	1
Figure 1.2 Représentation du SET par l'ITRS selon les éditions 2005, 2007 et 2009 [5]	2
Figure 1.3 Nombre d'articles publiés par années contenant " <i>single-electron transistor</i> " selon SCOPUS.....	3
Figure 1.4 Vue en coupe d'un dispositif SET sur le BEOL [10]	4
Figure 2.1 Schéma du SET.....	7
Figure 2.2 Représentation de la quantification d'énergie dans un îlot en fonction de sa composition [18].....	8
Figure 2.3 Principe du blocage de Coulomb dans un SET [18].	9
Figure 2.4 Principe des oscillations de Coulomb dans un SET[18]. A) Schéma du drain, de l'îlot, de la source et de la grille. b) Représentation des capacités des jonctions tunnels et de la capacité de la grille. c) Différents schémas d'énergie selon la courbe $I_{DS}(V_{GS})$	10
Figure 2.5 Inverseur SET et son fonctionnement [24]. a) schéma électrique b-c) Diagrammes de stabilité et courbes $I_{DS}(V_g)$	12
Figure 2.6 Oscillation de Coulomb d'un SET en fonction de la tension V_{G2} [26].....	13
Figure 2.7 Circuit inverseur proposé par Bounouar <i>et al.</i> [55]. Schéma électrique (gauche). Signal V_{OUT} en fonction de V_{IN} (droite).....	14
Figure 2.8 Circuit porte universelle proposé par Bounouar <i>et al.</i> [41]. Schéma (gauche). Courbe de transfert (droit).....	14
Figure 2.9 Circuit hybride proposé par Song <i>et al</i> [57].	16
Figure 2.10 Amplificateur hybride universel proposé par Lee et al[29]. a) Schématique b) Courbes $I_{OUT}-V_{IN}$ obtenues à différentes température	17
Figure 2.11 Amplificateur hybride différentiel proposé par Lee et al. [27].....	18
Figure 2.12 Modification de la bande passante et du délai en fonction de la longueur d'interconnexions entre les deux étages inverseurs [17]	18
Figure 2.13 Fréquence de coupure (-3dB) en fonction de la longueur de l'interconnexion [71]	19
Figure 3.1 Représentation du SET dans les simulations Cadence (à droite) et schéma complet du SET avec l'ajout des résistances série du nano-fil et la capacité du substrat.....	22
Figure 3.2 Courbes I_D-V_{GS} (gauche) et I_D-V_{DS} des modèles PTM 22nm. (LP en bleu) (HP en noir).....	23
Figure 3.3 Schéma électrique de l'inverseur hybride proposé par Jana <i>et al.</i> [73].....	24
Figure 3.4 Courbe de transfert du circuit d'inverseur hybride présentée par Jana <i>et al.</i> (gauche) et celle obtenue par simulation (droite).....	25
Figure 3.5 Résultat présenté par Mosavi <i>et al.</i> [64]. Les auteurs utilisent la terminologie NTT cell pour leur circuit de la porte universelle.	26
Figure 3.6 Courbe de transfert de la simulation	27
Figure 3.7 Courbes obtenues par Lee <i>et al.</i> [29] (gauche) et celles obtenues par simulation (droite).....	28
Figure 3.8 Courbe de transfert d'un inverseur SET	30
Figure 3.9 Circuit de la porte universelle modifiée	31
Figure 3.10 Courbe de transfert optimale du circuit de la porte universelle	32
Figure 3.11 Réponse temporelle du circuit de la porte universelle modifiée.....	33
Figure 3.12 Schéma-bloc du CLN	34

LISTE DES FIGURES

Figure 3.13 Schéma électrique du CLN	34
Figure 3.14 Courbe de transfert du circuit de lecture numérique SET	35
Figure 3.15 Signaux de circuit de lecture numérique SET à 125 MHz. Signal numérique V_{IN} (noir). V_A (vert). V_B (rouge). V_{OUT} (bleu)	36
Figure 3.16 Consommation moyenne de la librairie standard SET de Bounouar <i>et al.</i> [71] comparé avec les technologies CMOS 28nm	37
Figure 3.17 Courbe de transfert obtenu avec le circuit de l'amplificateur hybride universel. ..	38
Figure 3.18 Signal de sortie du circuit de l'amplificateur hybride universel à 1 KHz.	39
Figure 3.19 Schéma-bloc du CLA.....	40
Figure 3.20 Schéma électrique du CLA	40
Figure 3.21 Courbe de transfert du circuit de lecture analogique	41
Figure 3.22 Signal de sortie du circuit de lecture analogique à 1 KHz avec la charge complexe	42
Figure 3.23 Bande passante du circuit de lecture analogique sans charge	43
Figure 3.24 Variation du signal V_{OUT} en fonction de l'amplitude de V_{IN} à 1KHz.....	43
Figure 3.25 Résultat du CLN à 125MHz avec les capacités parasites	45
Figure 3.26 Amplitude du signal V_{OUT} à 1kHz en fonction de l'augmentation de la capacité d'interconnexion être le SET et le circuit de lecture analogique	46
Figure 4.1 Position des zones MG01, MG02, LOD1 et LOD2	49
Figure 4.2 Matrice de MOSFET présents sur les puces CMOS	50
Figure 4.3 Circuit de la porte universelle implémentée dans le prototype. Soit les circuits A_1 , A_2 et A_3	61
Figure 4.4 Courbes de transfert des trois instances du circuit de la porte universelle obtenues en simulation.....	61
Figure 4.5 Résultats temporels d'une onde carrée à 1KHz des trois instances du circuit de la porte universelle obtenues en simulation.....	62
Figure 4.6 Courbe de transfert des quatre instances de l'amplificateur universel hybride	63
Figure 4.7 Réponse temporelle à un sinus 1KHz pour les instances de l'amplificateur universel hybride	63
Figure 4.8 Procédé de fabrication	65
Figure 4.9 Design des interconnexions sur la zone MG01	67
Figure 4.10 Vue rapprochée du design d'un via connecté à un plot de la puce CMOS.	68
Figure 4.11 Exemple de structures test pour la caractérisation des vias	69
Figure 4.12 Zone pour lithographie par faisceau d'électrons	70
Figure 4.13 Photo d'un via après le CMP. Le CMP n'est pas terminé puisque les structures micrométriques ne sont pas isolées.	71
Figure 4.14 Schéma d'un vias avec le dépôt blanket Ti	71

LISTE DES TABLEAUX

Tableau 3.1 Paramètres du modèle MARSSEA original et modifié	22
Tableau 3.2 Comparaison des modèles PTM 22nm avec l'ITRS	23
Tableau 3.3 Paramètre de simulation de l'inverseur hybride de Jana <i>et al.</i>	25
Tableau 3.4 Paramètres de simulation de la porte universelle de Mosavi 2012 [64]	26
Tableau 3.5 Paramètres de simulation de l'amplificateur universel hybride de Lee <i>et al.</i> [29]	27
Tableau 3.6 Paramètres de simulation pour le circuit de la porte universelle modifiée	31
Tableau 3.7 Résultats extraits de la courbe de transfert du circuit de la porte universelle modifiée	32
Tableau 3.8 Résultats extraits de la simulation à 125 MHz du circuit de lecture numérique SET	33
Tableau 3.9 Paramètres de simulation pour le circuit de lecture numérique SET	35
Tableau 3.10 Résultats extraits de la courbe de transfert du circuit de lecture numérique SET	36
Tableau 3.11 Résultats extraits de la simulation à 125 MHz du circuit de lecture numérique SET	37
Tableau 3.12 Paramètres de simulation de l'amplificateur hybride universel	38
Tableau 3.13 Paramètre de simulation du CLA	41
Tableau 3.14 Comparaison des spécifications initiales versus celles obtenues du circuit de lecture analogique	44
Tableau 3.15 Résumé des avantages/inconvénients des architectures de circuit de lecture existants	48
Tableau 4.1 Liste des transistors (type P et N) de la zone MG01 en fonction de leur dimension	51
Tableau 4.2 Résultats électriques de H362	53
Tableau 4.3 Résultats électriques sur H377	55
Tableau 4.4 Liste des transistors fonctionnels de MG01	59
Tableau 4.5 Paramètre du SET pour le prototype physique	59
Tableau 4.6 Paramètres de simulation des instances de la porte universelle	61
Tableau 4.7 Liste de paramètres de simulation pour les quatre instances de l'amplificateur universel hybride	62
Tableau 4.8 Résumé des mesures électriques des structures test vias	73
Tableau 4.9 Résultat de la régression linéaire faite sur les mesures électriques des vias de 2.5 μm	74

LEXIQUE

Terme technique	Définition
pad	Disque de polissage utilisé dans le processus de CMP Ou Endroit conçu spécifiquement pour faciliter la prise de mesures électriques sur des dispositifs électroniques.
pitch	Distance inter-structurale dont le pas est régulier
blanket	Métallisation complète de la surface de l'échantillon
void	Endroit où il y a un trou, un manque de matériau
Vias-first	Les vias sont fabriqués en premier
Vias-last	Les vias sont fabriqués en dernier
Dummies	Structures sacrificielles servant à conserver une densité de structures uniforme sur la totalité d'un échantillon
Dishing	Ou abrasion est l'effet de surpolissage au centre des structures suite au CMP
Érosion	Ou érosion est le surpolissage de l'oxyde suite au CMP

LISTE DES SYMBOLES

Symbole	Définition
H	Hauteur physique de l'îlot du SET
W	Largeur physique de l'îlot
L	Largeur de la grille
Phi	Hauteur de barrière de la jonction tunnel
TiO ₂	Épaisseur de la jonction tunnel
T	Température en Kelvin
D _G	Distance entre la grille 1 et l'îlot
D _{G2}	Distance entre la grille 2 et l'îlot
V _{DD}	Tension d'alimentation de circuits CMOS
V _{DD-SET}	Tension d'alimentation de circuits SET
W _M	Largeur de la grille d'un MOSFET
L _M	Longueur de la grille d'un MOSFET
V _{Bias}	Tension appliquée sur la deuxième grille d'
V _G	Tension de polarisation de grille de MOSFET
C _G	Capacité d'une grille d'un SET
C _T	Capacité d'une jonction tunnel d'un SET
V _{SP}	Tension de commutation d'un inverseur CMOS ou <i>switching point voltage</i>
V _{IL}	Tension de seuil d'entrée pour le niveau bas
V _{Ih}	Tension de seuil d'entrée pour le niveau haut
V _{OL}	Tension de seuil de sortie pour le niveau bas
V _{OH}	Tension de seuil de sortie pour le niveau haut
NMH	Marge de bruit sur le signal d'entrée pour le niveau haut
NML	Marge de bruit sur le signal d'entrée pour le niveau bas
CLA	Circuit de lecture analogique
ADC	Convertisseur analogique-numérique ou <i>Analog-Digital Converter</i>
CLN	Circuit de lecture numérique
IPA	Isopropanol ou <i>IsoPropyl Alcohol</i>
Eau DI	Eau déionisée ou <i>deionized water</i>
e	Charge élémentaire représentant 1.60218×10^{-19}

LISTE DES ACRONYMES

Acronyme	Définition
SET	Single-Electron Transistor
UdeS	Université de Sherbrooke
BEOL	Unité de fabrication finale ou <i>Back-End Of Line</i>
MOSFET	Metal-Oxide Semiconductor Field Effect Transistor
CMP	Polissage Mécano-chimique ou <i>Chemical-mecanical planarization</i>
CMOS	Complementary metal-oxide-semiconductor
Via	<i>Vertical Interconnect Access</i>
TI	Technologie de l'information
DEL	Diode Électroluminescente

CHAPITRE 1 INTRODUCTION

Le domaine des technologies de l'information (TI) englobe tout ce qui a trait à l'électronique, à l'informatique et aux télécommunications. Sans qu'ils aient été en mesure de réaliser ce qu'ils avaient démontré, la planète ne cesse de changer depuis que John Bardeen, William Shockley et Walter Brattain ont découvert l'effet transistor à l'intérieur de Bell Labs en 1947.

L'évolution rapide de ce domaine qui suivit cet événement, et qui ne semble pas déranger encore aujourd'hui a provoqué plusieurs changements au quotidien des gens. Par exemple, les téléphones intelligents, internet, la télévision satellite, les systèmes d'assistance routière, etc. L'empreinte énergétique des TI est de moins en moins négligeable par rapport à tout le reste, incluant l'industrie du transport et celle du chauffage, car plus de 1 % de l'électricité consommée dans le monde y est reliée[1]. De ce fait, la performance des TI n'est plus le seul critère de développement, car leur puissance consommée et leur efficacité énergétique sont tout aussi importantes aux yeux des consommateurs. Imaginez un téléphone intelligent avec une autonomie d'un mois! Si, à une certaine époque la performance était le point à améliorer, aujourd'hui l'efficacité énergétique en est un aussi.

1.1 Mise en contexte et problématique

1.1.1 Loi de Moore

L'évolution de la microélectronique a toujours suivi la loi de Moore. Celle-ci décrit l'évolution de ce domaine depuis 1975. M. Moore l'extrapola à la suite de l'évolution des processeurs entre 1958 et 1975. Il en déduisit que la densité de transistors allait doubler tous les 18 mois. Malgré son âge, cette loi empirique dicte encore les avancées technologiques d'aujourd'hui. Depuis plus d'une dizaine d'années, plusieurs manufacturiers tentent non seulement de miniaturiser la taille des transistors, mais aussi d'augmenter la valeur des puces qu'ils vendent. Pour ce faire, ils intègrent des technologies autres que le numérique pur (voir Figure 1.1).

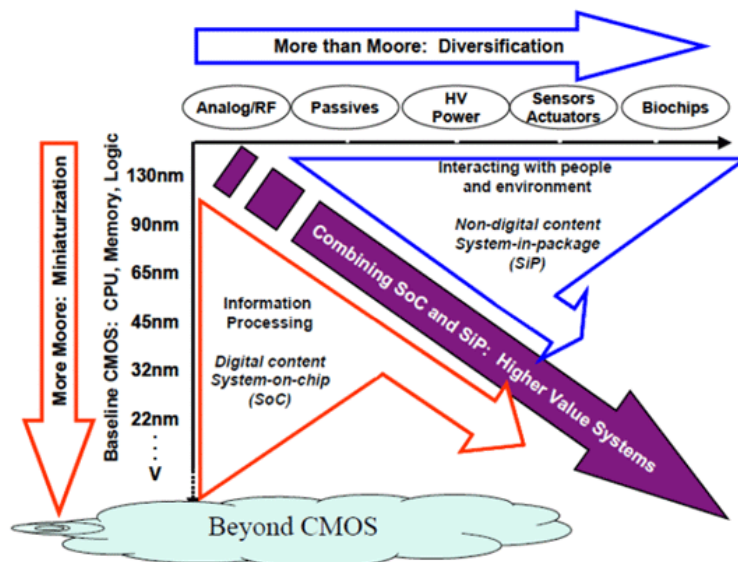


Figure 1.1 Loi de Moore [2]

La technologie du CMOS, qui correspond à tout ce qui a trait à la mémoire, la logique numérique et les processeurs, ne pourra vivre la diminution de la taille des transistors infiniment. Selon l'ITRS (« *The International Technology Roadmap for Semiconductors* »), la taille minimale à laquelle le MOSFET pourra fonctionner est d'environ 7 nm. En dessous de cette dimension, les performances des MOSFET seront limitées par la mobilité réduite des porteurs et le courant tunnel drain-source, ce qui rendra le dispositif inutilisable par rapport à tout ce qui a été fait au-delà du 7 nm. Cette limitation physique est appelée le « mur technologique » et l'ITRS prévoit que l'on va l'atteindre vers les années 2030.

Plusieurs recherches sont en cours afin de trouver de nouvelles technologies qui pourraient remplacer, complètement ou en partie, la technologie du CMOS. Parmi les technologies émergentes, telles que l'électronique à base de carbone, les FET à nanofil, les FET à effet tunnel et es FET a canal de Ge, Ga(In)Sb, l'une d'elles se démarque par son potentiel d'intégration hétérogène, ses nouvelles fonctionnalités, sa logique compatible CMOS et son efficacité énergétique élevée, soit la technologie monoélectronique.

1.1.2 Le SET dans l'ITRS

Entre 2005-2009 [3]–[5], l'ITRS décrit dans ses rapports de technologies émergentes (ERD « *Emerging Reseach Devices* ») la technologie à électrons comme étant l'une de celles qui pourraient être un éventuel remplacement du CMOS. Cette technologie comprend principalement le SET et le SEM (*Single-Electron Memory*). Comme décrits par l'ITRS, les principaux avantages sont l'efficacité énergétique et la possibilité physique de réduire sa taille à des dimensions s'approchant du nanomètre (Figure 1.2)

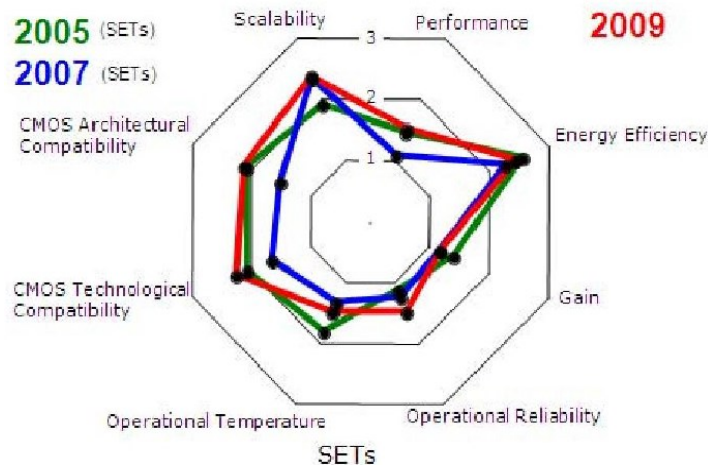


Figure 1.2 Représentation du SET par l'ITRS selon les éditions 2005, 2007 et 2009 [5]

Dans son rapport ERD de 2011, la technologie du SET fût exclue des technologies émergentes à cause d'un niveau d'activités de recherche insuffisantes[2].

Malgré cela, la recherche sur les SET est encore d'actualité, comme le démontre la figure 1.3. Cependant, dans la grande majorité de ces recherches, les auteurs perçoivent le SET non pas comme une alternative pure au CMOS, mais plutôt comme un ajout au CMOS. En d'autres termes, la technologie du SET n'est plus considérée comme étant du « *beyond CMOS* », mais bien du « *More than Moore* » où l'on recherche l'ajout de fonctionnalités que l'on combinerait à un circuit CMOS conventionnel.

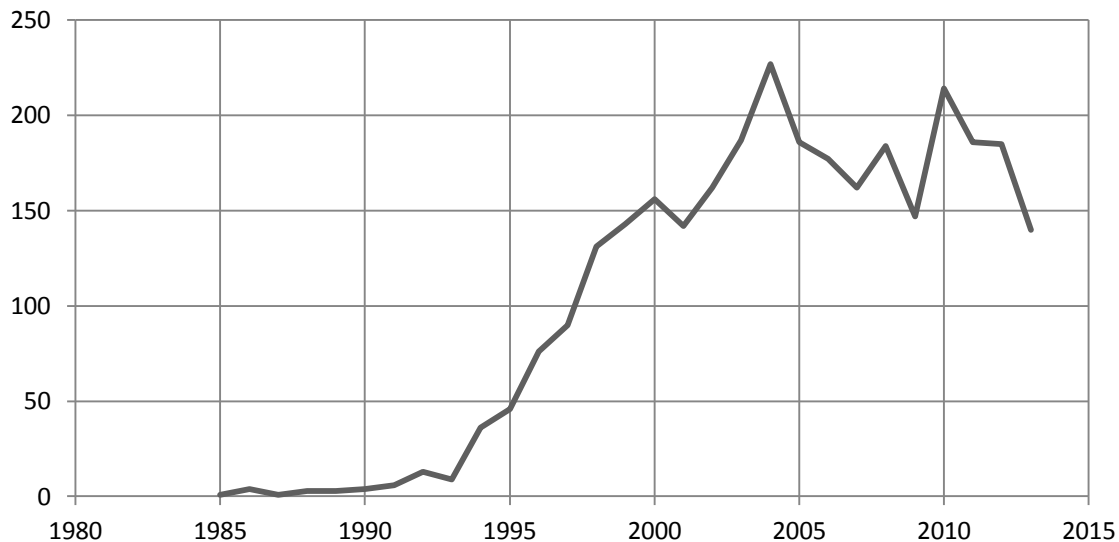


Figure 1.3 Nombre d'articles publiés par années contenant "single-electron transistor" selon SCOPUS

1.2 Définition du projet de recherche

Les travaux faits à l'Université de Sherbrooke (UdeS) sur les SET sont exactement dans l'optique du « *More than Moore* ». Les travaux de Dubuc en 2007 ([6]–[8]) proposent le procédé nanodamascène qui permet de fabriquer des SET métalliques sur un oxyde de silicium. Suite à ces travaux, le groupe de recherche en nanoélectronique de l'UdeS travaille à concevoir les dispositifs SET sur l'unité de fabrication finale (« *Back-End of line* » ou BEOL) par l'adaptation du procédé de Dubuc.

Depuis la publication de ce procédé, plusieurs travaux ont été faits pour modifier ces étapes afin qu'il soit industrialisable et que les dispositifs soient fabriqués sur l'unité de fabrication finale (« *Back-End of line* » ou BEOL). Ces travaux [9]–[14] ont utilisé une version améliorée du procédé nanodamascène dont la principale différence est que la création de la tranchée se fait par une électrolithographie d'une résine électrosensible suivie d'une gravure plasma.

Les dimensions de l'îlot sont contrôlées par la largeur de la tranchée, la largeur de la ligne de titane déposée par soulèvement et surtout par l'amincissement fait par le CMP. Il est possible

de contrôler cette épaisseur à quelques nanomètres ce qui contribue à la diminution de la capacité totale de l'îlot. Il est possible de fabriquer des dispositifs fonctionnant à plus de 300 K. L'utilisation de titane permet de s'affranchir de l'utilisation du silicium cristallin qui est requise par plusieurs techniques de fabrication de SET.

Le procédé nanodamascène a l'avantage, outre le fait de fabriquer les dispositifs SET sur le BEOL, de contrôler les dimensions du SET pour qu'ils soient fonctionnels à 450 K et d'être compatible avec les procédés CMOS actuels [6] ce qui ouvre la voie à une réelle hybridation SET-CMOS dans un avenir rapproché.

Étant fabriqués sur le BEOL, les dispositifs SET seront fabriqués aux mêmes niveaux que les interconnexions. Ceci est avantageux, car on conserve la totalité de la surface de silicium pour les MOSFET et on ajoute par-dessus de nouvelles fonctionnalités avec les dispositifs SET (voir figure 1.4). Cette méthode d'intégration 3D est une approche d'intégration monolithique qui est la méthode ultime. Avec la conservation de la totalité de la surface de silicium pour les MOSFET, avec des SET fonctionnant à plus de 300K et avec le procédé nanodamascène qui est compatible avec les procédés CMOS actuels [6], il est tout à fait réaliste de voir pour l'hybridation SET-CMOS un avenir prometteur.

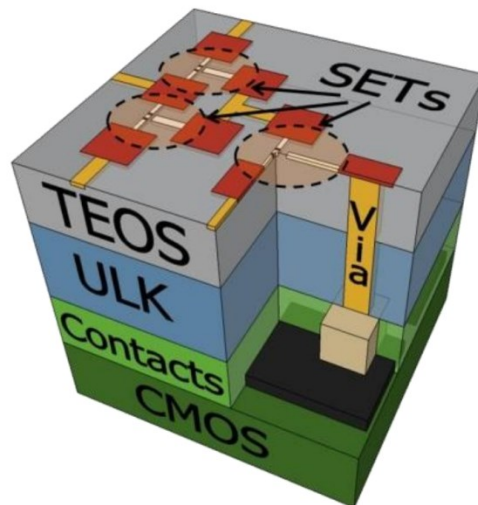


Figure 1.4 Vue en coupe d'un dispositif SET sur le BEOL [10]

Les derniers travaux faits à l'UdeS utilisant la technologie SET visent la fabrication de capteurs ultra-sensibles et de circuits mémoires à très faible puissance. Avec les derniers résultats prometteurs [11], [15], il est temps de penser à la conception de circuit SET. Cependant, le faible courant d'attaque des SET fait en sorte qu'il est impossible de communiquer directement avec un circuit CMOS ou le monde extérieur tel qu'une DEL. Certains travaux de conception de circuit SET ont été faits dans lesquels les effets parasites des interconnexions ont été partiellement considérés [9], [16], [17] ou dans d'autres cas les modèles de simulation des SET n'étaient pas adaptés à la réalité technologique.

Dans le cadre du projet, notre partenaire industriel (STMicroelectronics) nous a fournis des puces CMOS sur lesquelles nous pourrions réaliser un premier circuit hybride SET-CMOS. Les puces n'étant pas faites spécifiquement pour notre application, ceci nous forcera à faire de la rétro-

ingénierie sur les dispositifs MOSFET intégrés aux puces. La prochaine étape sera de concevoir et réaliser ledit circuit hybride SET-CMOS en fonction des dispositifs accessibles (SET et MOSFET).

On peut résumer la définition de ce projet de recherche par la question suivante : Comment concevoir un étage tampon entre un circuit SET et un circuit CMOS à l'aide d'un circuit hybride SET-CMOS?

1.2.1 Objectifs

Les objectifs du projet seront la conception des circuits de lecture SET-CMOS et ainsi que de fabriquer un prototype hybride. Dans le premier sous-objectif, il y aura une validation des circuits trouvés dans l'état de l'art en les adaptant avec les technologies propres à l'UdeS suivi de la conception d'un nouveau circuit SET-CMOS et de l'exploration de l'influence des interconnexions sur cette même conception. Le second sous-objectif sera la fabrication d'un prototype SET-CMOS. Il faudra tout d'abord caractériser les puces CMOS, adapter le procédé nanodamascène pour la réalisation monolithique de circuit SET et des vias, adapter la conception de circuit en fonction des dispositifs disponibles, concevoir les photomasques nécessaires, fabriquer les échantillons et caractériser les circuits obtenus.

1.2.2 Plan du document

Ce mémoire débutera par une revue de l'état de l'art qui comportera la théorie du SET, les techniques de fabrication existantes, les diverses techniques d'intégration 3D et les circuits hybrides déjà existants. La partie suivante présentera la conception et la simulation de circuits hybrides. Il comprendra la description de l'environnement de simulation, la validation des circuits existants trouvés dans l'état de l'art et la présentation de nouveaux circuits hybrides avec leurs résultats de simulation. Le chapitre suivant décrira les travaux de fabrication, de conception, de caractérisation, de l'analyse de résultats obtenus.

CHAPITRE 2 ÉTAT DE L'ART

Avant d'entreprendre les travaux de conception et de fabrication de circuit, il est essentiel de revoir tout ce qui est présent dans la littérature scientifique. Le SET, malgré que l'introduction l'ait mentionné plusieurs fois, n'a pas encore été présenté du point de vue de son fonctionnement et de ses caractérisations électriques.

2.1 Le SET

Le SET se caractérise par un comportement électronique appelé le blocage de Coulomb, une petite taille intrinsèque nanométrique et une ultra faible puissance dissipée. Il est constitué d'un drain, d'une source, d'un îlot et d'une grille (figure 2.1). Des jonctions tunnels séparent l'îlot du drain et de la source (C_D et C_S). On peut observer l'effet du blocage de Coulomb entre le drain et la source à la figure 2.3. Dans un SET, on aligne les niveaux d'énergie de l'îlot avec ceux du drain et de la source par l'application d'un potentiel à la grille (figure 2.4). En balayant la tension de grille, on passe du mode bloqué au mode passant, et vice versa, de façon périodique. Parce que le courant d'un SET provient principalement de l'effet tunnel, il y a très peu (voir pas) de courant de fuite en mode bloqué. Par contre, en mode passant, le courant est limité à seulement des dizaines de nanoampères en raison de la taille des jonctions.

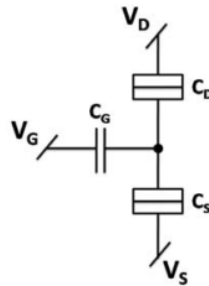


Figure 2.1 Schéma du SET

2.1.1 La théorie

Afin d'obtenir un blocage de Coulomb et de pouvoir contrôler l'îlot à l'aide de la grille, il est impératif que l'énergie thermique de l'îlot ($k_B T$) soit inférieure à l'énergie de charge ($E_C = e^2/2C_T$) de celui-ci. Dans ces équations, e est la charge d'un électron et C_T est la capacité totale de l'îlot soit la somme de C_S , C_D , C_G et C_B qui sont les capacités à la source, au drain, à la grille et au substrat respectivement. Pour obtenir des oscillations de Coulombs, on estime qu'il faut une énergie de charge R ($5 < R < 100$) fois supérieure à l'énergie thermique. On combinant les relations précédentes, on obtient $C_T \ll e^2/2Rk_B T$ qui détermine la capacité totale permise de l'îlot selon la température d'opération. Par exemple, pour avoir un dispositif fonctionnant à 300 K avec un ratio R de 10, on doit avoir un îlot dont la capacité totale est inférieure à 0.929 aF. Ce qui pourrait correspondre à un îlot ayant les dimensions de 10 nm de largeur, 2 nm de hauteur et 40 nm de profondeur.

Suite à cette constatation, la température de fonctionnement est le principal point faible de cette technologie. Lorsque le SET est opéré à haute température, les électrons captent l'énergie thermique, ce qui fait qu'ils se retrouvent à des niveaux d'énergies plus élevés que la hauteur de

barrière des jonctions tunnels. Les électrons pouvant alors passer par-dessus celle-ci, ce qui se soldera par un flux d'électrons parasite.

Outre la forte influence de la température sur le comportement des SET, la présence de charges à proximité de l'îlot est aussi problématique. Une charge emprisonnée dans l'oxyde se comporterait comme une grille supplémentaire. Plus la distance est faible entre l'îlot et la charge parasite, plus la capacité induite est élevée et plus l'îlot sera affecté (équations 2.1 et 2.2).

$$V_{Parasite} = \frac{ChargeParasite}{C_{Parasite}} \quad (2.1)$$

$$\Delta V_{ilot} = V_{Parasite} \frac{C_{Parasite}}{C_{total}} \quad (2.2)$$

Cette différence de tension de l'îlot pourrait faire la différence entre le mode passant au mode blocage.

Composition de l'îlot

La composition de l'îlot modifie le comportement du SET. À la figure 2.2, Weis illustre, avec des diagrammes en carreaux, la différence entre un îlot métallique et un semiconducteur (exemple : Si (silicium)). La différence est la non-quantification des niveaux d'énergie dans un îlot en métal. Les états N et $N+1$ sont toujours à une même distance énergétique.

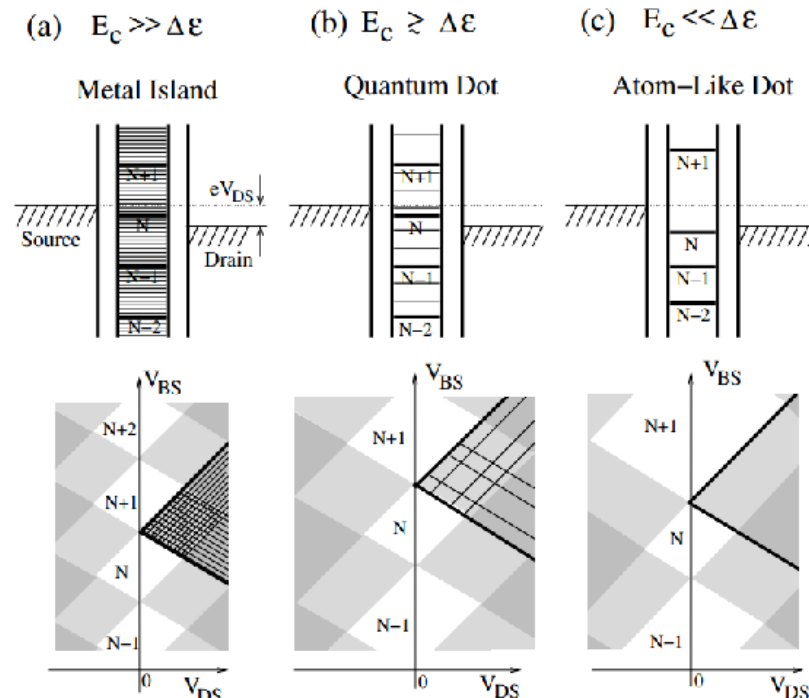


Figure 2.2 Représentation de la quantification d'énergie dans un îlot en fonction de sa composition [18]

2.1.2 Ses caractéristiques électriques

Pour illustrer le comportement électrique d'un SET, deux graphiques (figure 2.3 et figure 2.4) seront utilisés. Dans le premier cas, le SET ne sera polarisé qu'en V_{DS} . Il y aura aucune charge supplémentaire sur l'îlot. On présente ainsi le blocage de Coulomb. Le second cas illustre les oscillations de Coulomb obtenues avec une faible polarisation V_{DS} et un balayage en V_{GS} . À chaque figure, on retrouve des représentations de niveaux d'énergie en lien avec les courbes I_{DS}/V_{DS} et I_{DS}/V_{GS} . La hauteur de barrière entre les source/drain et les jonctions tunnels est infinie ou du moins de loin supérieure à l'énergie de charge de l'îlot (E_C).

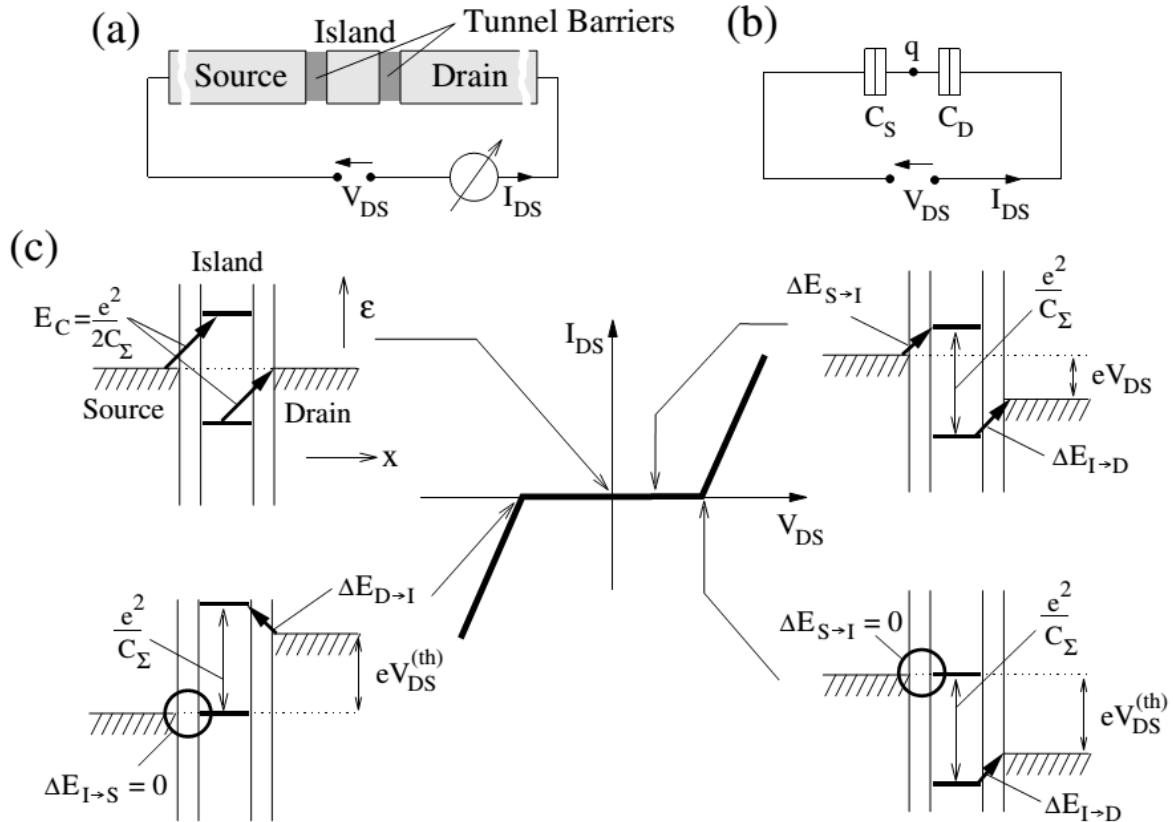


Figure 2.3 Principe du blocage de Coulomb dans un SET [18].

a) Schéma du drain, de l'îlot et de la source. b) Représentation des capacités des jonctions tunnels. c) Différents schémas d'énergie selon la courbe $I_{DS}(V_{DS})$

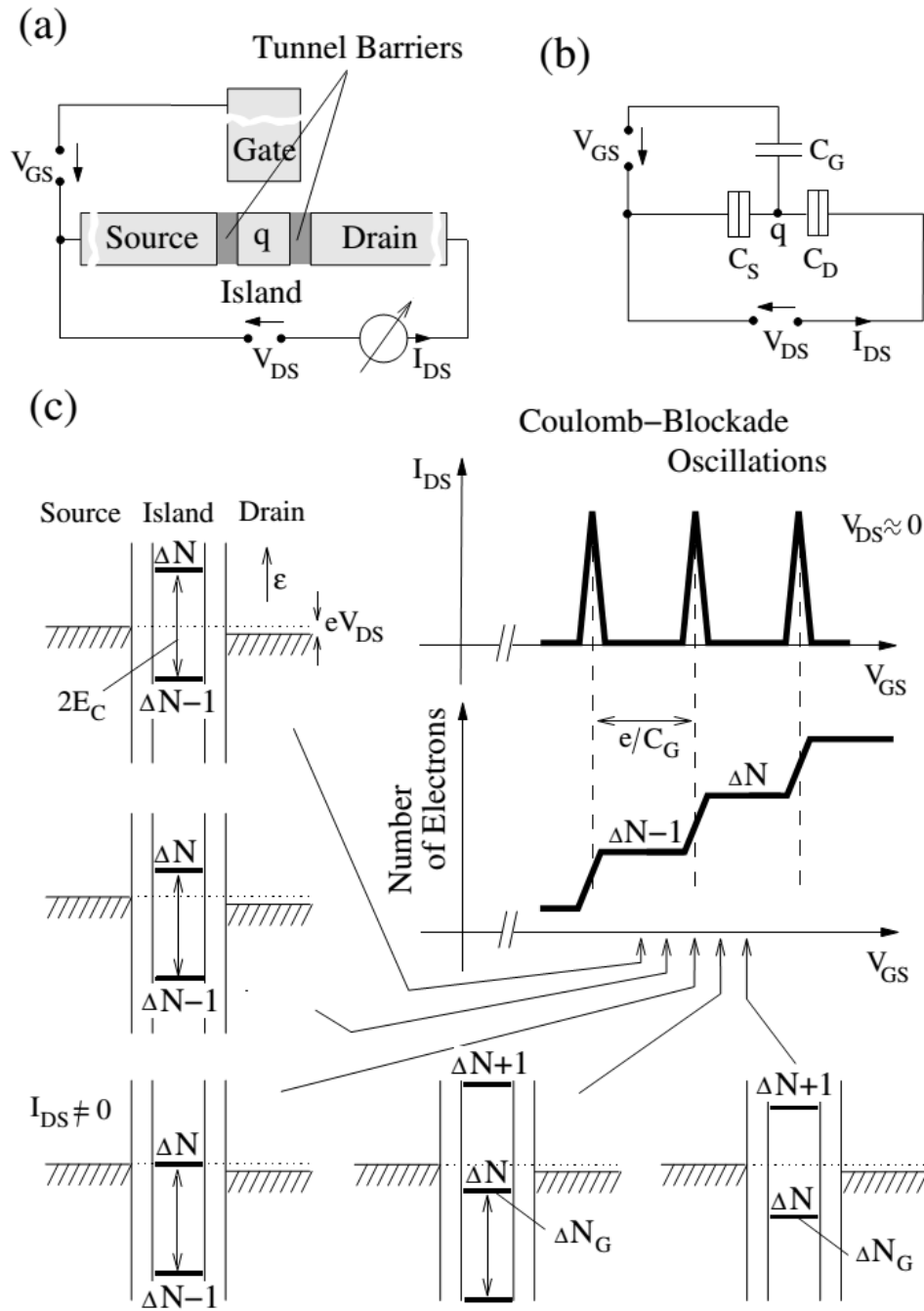


Figure 2.4 Principe des oscillations de Coulomb dans un SET[18]. A) Schéma du drain, de l'îlot, de la source et de la grille. b) Représentation des capacités des jonctions tunnels et de la capacité de la grille. c) Différents schémas d'énergie selon la courbe $I_{DS}(V_{GS})$

2.2 Les modèles de simulation

La simulation de circuits SET est encore dans un état embryonnaire. Aucun environnement de simulation ou de modèle ne fait l'unanimité. Dépendamment de l'application visée, les chercheurs favorisent l'un versus un autre. Voici les modèles de simulation connus.

SIMON

Le premier modèle de simulation pour les composants exploitant l'effet tunnel est SIMON et fut créé par Wasshuber [19] en 1997. Il utilise une approche Monte-Carlo pour le calcul de probabilité d'événement tunnel. Aucune possibilité de simulation de circuits hybride SET-CMOS n'est possible, car il y a seulement des capacités et des jonctions tunnels qui peuvent être simulées. Les jonctions tunnels sont modélisées par leur capacité et leur résistance tunnel. Elles ont donc une hauteur de barrière infinie pour les électrons ce qui entraîne une omission des effets thermiques.

MIB

Ce modèle fut développé en 2003 dont son nom provient des initiales des auteurs [20], [21]. Il se base sur la théorie orthodoxe de l'effet tunnel et calcul les valeurs des capacités tunnel avec un modèle plaque parallèle. Le modèle a la capacité de pouvoir s'intégrer à n'importe quel environnement de simulation CMOS car il est programmé en Verilog-A. Il est possible avec ce modèle de simuler des circuits hybrides SET-CMOS. Il ne considère pas le courant thermoïonique et la résistance tunnel est fixe. Il est encore aujourd'hui utilisé [17]. Il est le premier modèle permettant la simulation de circuits hybrides complexes SET-CMOS car le langage Verilog-A est supporté par une multitude de simulateurs.

MARSSEA-V

Basé sur le MIB, il est programmé en Verilog-A et il intègre le modèle MARSSEA [22], [23] (*Master Equation Resolution for the Simulation of Single Electron Artifacts*). Ce dernier est un outil développé dans MATLAB qui inclue l'apport du courant thermoïonique ainsi que l'effet sur le courant tunnel de la courbure des bandes des jonctions tunnels en fonction de la tension appliquée. La hauteur de barrière est un paramètre qui fait son apparition pour la première fois dans les simulateurs de dispositifs monoélectronique.

2.3 Les circuits SET

Les circuits qui doivent être priorisés dans cette recherche bibliographique doivent être en lien avec le projet de recherche. Les circuits devront être en mesure de lire un signal numérique ou analogique par l'entremise d'un SET ou provenant d'un SET.

2.3.1 Les applications de circuits « logique »

Cette section présente les circuits à base de SET dont l'application visée est numérique, c'est-à-dire que les signaux de sortie peuvent représenter des niveaux logiques '1' et '0'.

L'inverseur SET

Dans les circuits SET uniquement, le circuit le plus simple est l'inverseur SET de la figure 2.5. Il est plus facile de concevoir un inverseur avec une polarisation bipolaire, mais dans le cadre de ce projet, où l'on désire ajouter des dispositifs SET sur le BEOL d'une puce CMOS (qui utilise que des alimentations positives), tous les circuits retenus dans cet état de l'art ne devront pas requérir d'alimentations négatives.

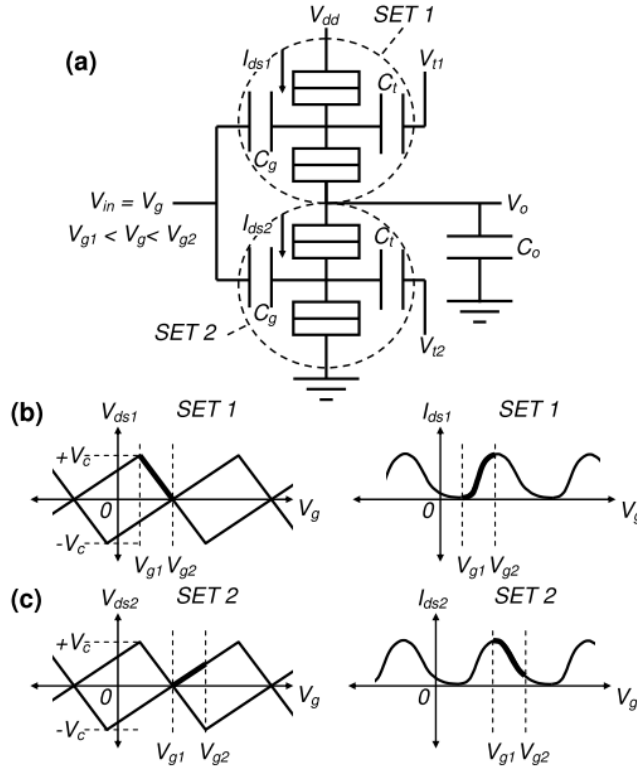


Figure 2.5 Inverseur SET et son fonctionnement [24]. a) schéma électrique b-c) Diagrammes de stabilité et courbes $I_{DS}(V_g)$

Tucker [25] fut le premier à démontrer la possibilité de fabriquer un inverseur avec des SET (*double-junction digital switch*) à l'aide d'une alimentation unipolaire. Pour ce faire, il utilise des SET auxquels il ajoute une deuxième grille qui permet aux SET de modifier leur comportement afin de recréer ceux des transistors d'une technologie CMOS conventionnelle. On utilise les termes N-SET et P-SET pour les SET ayant respectivement le comportement d'un N-MOSFET et d'un P-MOSFET. La tension appliquée à la seconde grille permet de déplacer latéralement les oscillations de Coulomb en fonction du potentiel V_{G2} (Figure 2.6).

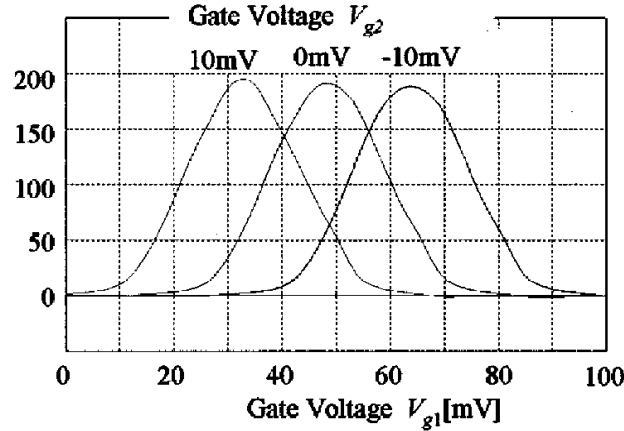


Figure 2.6 Oscillation de Coulomb d'un SET en fonction de la tension V_{G2} [26]

Afin d'ajuster les caractéristiques physiques des deux SET pour qu'ils soient déphasés de 180° l'un de l'autre, Tucker a établi les relations mathématiques (équations 2.3, 2.4 et 2.5) qui doivent être respectées afin d'obtenir une cellule inverseur fonctionnelle :

$$V_{dd} < \frac{e}{2\max(C_T + C_B \parallel C_T + C_G)} \quad (2.3)$$

$$V_{dd} < \frac{e}{2(C_G + C_B)} \quad (2.4)$$

$$\text{Gain} > \frac{C_G}{C_T} > 1 \quad (2.5)$$

Les auteurs [9], [27]–[51] qui ont exploré les inverseurs SET utilisent habituellement des dimensions/capacités/jonctions tunnels très petites, ce qui facilite le design des circuits, mais représente un défi technologique pour la réalisation physique des circuits ($C_J \sim 0.05$ aF).

Tucker ouvre aussi la porte à des circuits logiques plus complexes tels que des portes NAND et NOR qui sont aussi présentées dans le livre de Durrani [24] et dans les ouvrages de plusieurs autres chercheurs [42], [45], [47], [52], [53]. Encore une fois, tous les travaux se basent sur des SET ayant les caractéristiques idéales, sans se soucier de la possibilité de les fabriquer. Uchida *et al.* [35] démontrent la possibilité d'une logique programmable en utilisant des SET à deux grilles.

Tous s'entendent pour dire que l'utilisation de SET dans les circuits logiques est très prometteuse pour ce qui est de la puissance dissipée, de l'espace utilisé et des fréquences d'utilisation, mais c'est la fabrication qui est le facteur limitant. Outre les problèmes de fabrication, les faibles courants qui peuvent être acheminés risquent d'être un second problème pour toutes les applications interagissant avec le monde extérieur.

L'inverseur hybride

Le circuit SET-CMOS de l'inverseur hybride consiste en un circuit inverseur conventionnel dont le N-MOSFET est généralement remplacé par un N-SET. Ce type de circuit est ce qu'il y a de plus simple en termes de circuit hybride SET-CMOS d'où le fait que de nombreux auteurs proposent des versions de ce circuit [27], [32], [35], [39], [41], [42], [46], [48], [54], [55].

Pour les mêmes raisons que pour les inverseurs SET, la charge maximale est très limitée puisque le SET ne peut que générer de faibles courants. Cette particularité s'observe à la figure 2.7. La transition à la sortie du niveau haut à bas est très arrondie. Cette limitation en courant affecte la fréquence d'opération du circuit, car pour une même charge capacitive et une même tension d'alimentation, le faible courant du SET résultera obligatoirement en une augmentation du temps de décharge ($i(t)=Cdv/dt$).

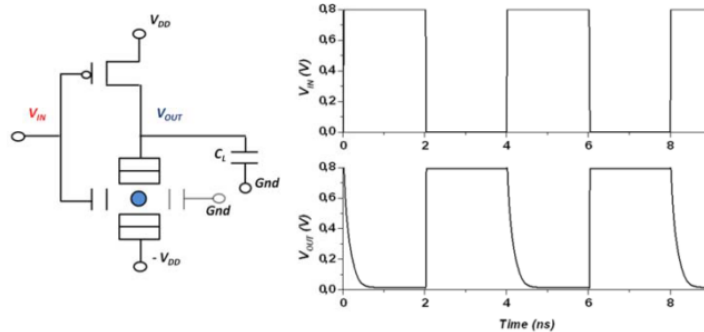


Figure 2.7 Circuit inverseur proposé par Bounouar *et al.*[55]. Schéma électrique (gauche). Signal V_{OUT} en fonction de V_{IN} (droite)

Porte Universelle

La porte universelle est un circuit hybride dans lequel on retrouve un SET, un transistor MOSFET et une source de courant (figure 2.7). Le signal d'entrée est connecté à la grille du SET et le signal de sortie est entre la source de courant I_O et le drain du MOSFET.

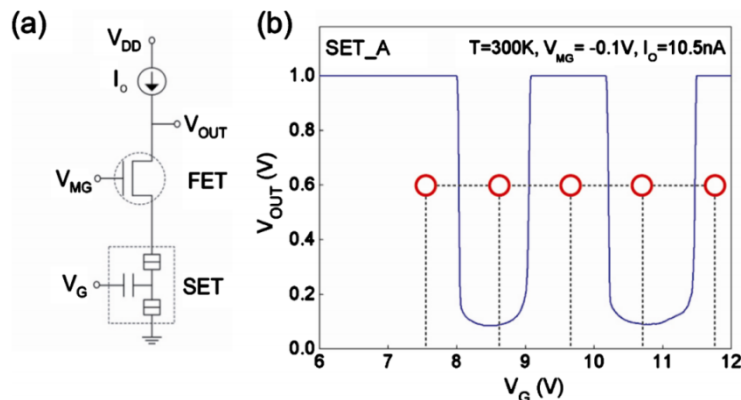


Figure 2.8 Circuit porte universelle proposé par Bounouar *et al.*[41]. Schéma (gauche). Courbe de transfert (droit)

Cette cellule est soit utilisée directement ou elle est à la base de plusieurs circuits hybrides SET-CMOS tels que le SRAM SET. Pour ces raisons, plusieurs auteurs [29], [34], [41], [43], [48], [49], [56]–[63] ont simulé ce circuit hybride simple qui est à la base des circuits de lecture, *read-out*. Ce circuit se base sur une polarisation fixe du SET par l'entremise du MOSFET. La tension V_{GG} appliquée sur la grille de celui-ci fixe la tension à sa source. Une fois que le SET est polarisé, le circuit fonctionne comme un amplificateur de classe A. Le courant I_O doit être égal à la valeur milieu des variations de l'interrupteur variable (le SET dans le cas échéant) (Figure 2.8). La tension de sortie est le résultat de la soustraction de courant $I_O - I_{SET}$. Si la valeur est positive, il y aura obligatoirement un courant provenant du I_O qui ira charger une charge

connectée à V_{OUT} . Dans le cas contraire, où $I_{SET} > I_O$, le courant vu à la charge aura pour effet d'en abaisser sa tension.

Suite à cette explication, il ne reste qu'à ajouter les liens entre les variations de courant I_{SET} et la tension d'entrée. Avec la polarisation fixe V_{DS} du SET, il sera possible de voir le phénomène d'oscillation de Coulomb qui se transféra à la sortie tel qu'expliqué précédemment. Les auteurs [29], [56], [57], [63]–[65] remplacent la source de courant I_O par un composant réel. Certains d'entre eux vont utiliser un MOSFET de type-P et pour les autres ce sera un MOSFET de type-N à appauvrissement. Ce choix est en fonction de la disponibilité de ces dispositifs pour leur future fabrication. Pour la polarisations de ce transistor, une première méthode consiste à utiliser une source de tension. Simple et efficace, elle n'est cependant pas complète, car une source de tension idéale pour la polarisation de la grille est nécessaire. Ce qui n'est pas très réaliste d'un point de vue de sa réalisation. Elle permet cependant de démontrer le fonctionnement du circuit avec tous les aspects parasites que le MOSFET présente au circuit (capacité CGD et résistance r_o) en comparaison avec une source de courant idéale. Une seconde méthode est l'utilisation d'un miroir de courant qui permettrait un bon contrôle du courant I_O . Cette méthode est tout à fait en phase avec ce qui se fait dans le domaine du VLSI, *Very-Large-Scale Integration*. Finalement, une dernière méthode pour polariser le transistor est de le connecter en « diode », soit le drain et la grille ensemble. Il n'agira plus comme une source de courant fixe, mais permettra d'évaluer l'importance des effets parasites de ce MOSFET sur le reste de ce circuit. Bounouar *et al.*[41] proposent l'utilisation d'un étage tampon permettant d'interfacer le signal V_{OUT} vers un circuit CMOS. Cet étage est composé d'une série d'inverseurs CMOS. Les auteurs ne discutent pas de l'effet de l'ajout de cet étage tampon sur le circuit de la porte universelle.

Porte universelle de Song

Un groupe de recherche de l'Université Nationale de Séoul a proposé le circuit de la figure 2.9. Plutôt que d'avoir une seule branche, il combine deux circuits de la porte universelle. Chaque SET est configuré différemment (P-SET ou N-SET) et les MOSFET M_4 et M_5 forment un miroir de courant. L'utilisation d'un N-SET et d'un P-SET a pour effet que leurs oscillations de Coulomb seront déphasées de 180° . Le miroir de courant doublera la différence de courant à la sortie V_{OUT} . M_1 et M_2 polarisent les SET. L'utilisation du miroir de courant permet de simplifier la polarisation du transistor, car il ne requiert pas de source de tension externe comme dans le circuit de la porte universelle.

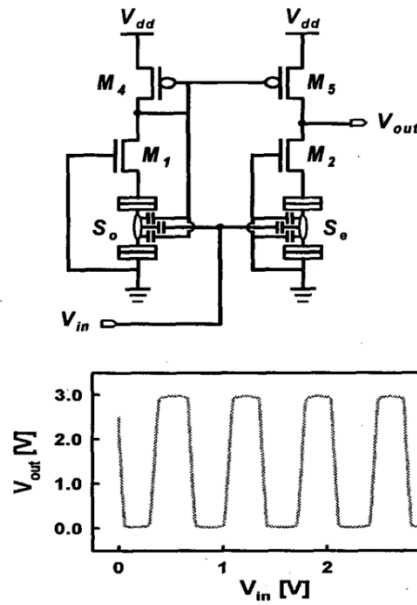


Figure 2.9 Circuit hybride proposé par Song *et al* [57].

Autres circuits numériques

Dans la littérature, il y a des circuits d'additionneur complet et des demi-additionneurs. D'un point de vue circuits, ils n'apportent aucun nouvel aspect de conception, car ceux-ci sont basés sur le circuit de la porte universelle.

2.3.2 Les applications de circuits « analogique »

Les circuits de cette section ont été designé dans le cadre du la lecture de faible variation de la tension de grille de SET (V_{G-SET}).

Amplificateur hybride universel

Parmi l'ensemble de la communauté scientifique ayant travaillé sur les circuits SET-CMOS, plusieurs ont mentionné [29], [33], [34], [49], [66]–[70] le circuit que certains ont appelé l'amplificateur hybride universel.

Le circuit est composé d'un SET, d'un transistor de polarisation (M_1) et d'un transistor de sortie (M_2) de la figure 2.10. L'entrée est la tension appliquée sur la grille du SET et la sortie est le courant de sortie de M_2 . M_1 permet de fixer la tension $V_{DS SET}$. Cependant, la tension va légèrement varier avec les variations de courant du SET. Ces légères variations de tension seront amplifiées par M_2 . Cette architecture peut être comparée à un amplificateur de transconductance dans lequel on amplifie un signal en tension (V_{IN}) pour un courant en sortie (I_{DS}).

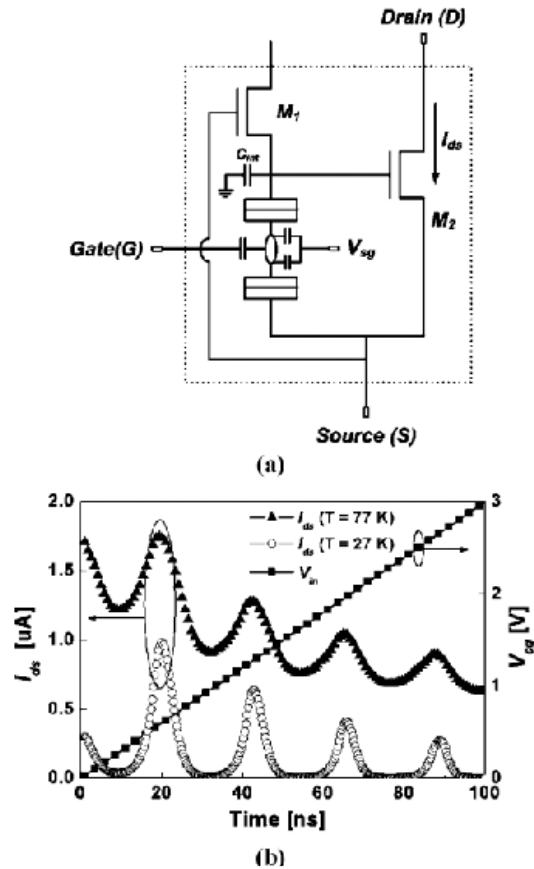


Figure 2.10 Amplificateur hybride universel proposé par Lee et al[29]. a) Schématique b) Courbes I_{OUT} - V_{IN} obtenues à différentes température

Tout comme le circuit de la porte universelle, ce circuit hybride agit comme un inverseur. Tout dépendamment de la forme des oscillations de Coulomb du SET, il est possible d'avoir une certaine linéarité de la pente entre les deux valeurs minimales et maximales du courant I_{DS} . Pour rendre le signal de sortie en volt et obtenir un amplificateur tension-tension typique, il est possible d'ajouter un P-MOSFET polarisé par une source de tension externe dont le drain est connecté avec celui de M_2 .

Amplificateur différentiel hybride

Lee *et al.* 43. 44 ont pensé intégrer deux amplificateurs hybrides à l'intérieur d'un amplificateur différentiel conventionnel (figure 2.11). Les deux cellules d'amplificateur universel hybride sont entourées d'une ligne discontinue. Leurs SET sont polarisés à 180° l'un de l'autre. Lorsque l'un sera à un niveau passant '1', l'autre sera au niveau '0' par rapport à un même signal d'entrée.

Dans le cas de la réalisation d'un tel circuit, les SET seraient fabriqués côte à côte afin d'avoir des caractéristiques semblables. Les dispositifs fabriqués sur une même gaufre n'ont pas tous les mêmes dimensions physiques sur la totalité de la surface, mais ceux qui sont côte à côte seront semblables. Deux SET semblables mais différent de ce qui était attendu fait en sorte que les courants crêtes, la distance entre les oscillations de Coulomb, l'influence de la température sur les dispositifs, etc. seront identiques. Le circuit n'est donc pas affecté par les effets parasites qu'induit la fabrication des SET.

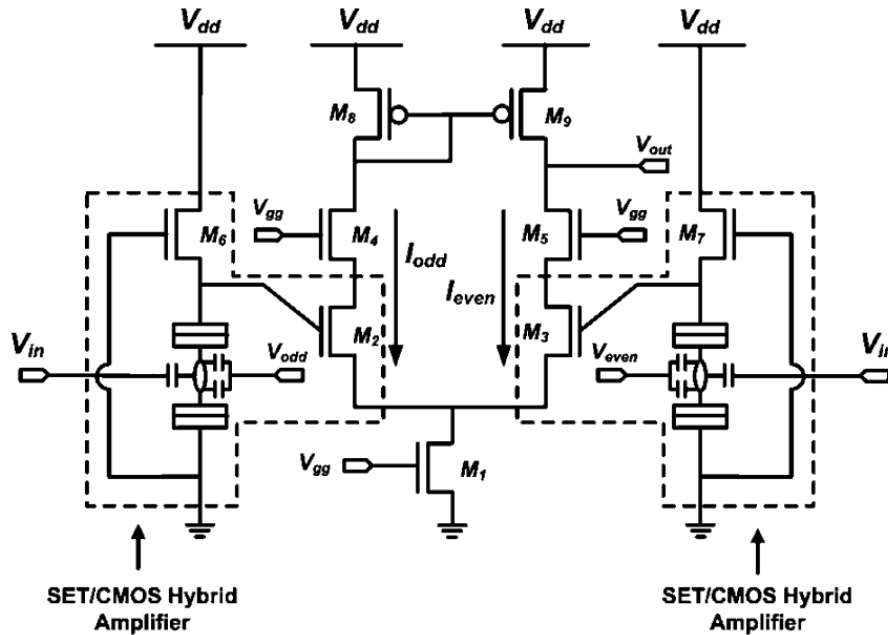


Figure 2.11 Amplificateur hybride différentiel proposé par Lee et al. [27]

2.3.3 L'effet des interconnexions dans le design de circuit hybride SET-CMOS

Peu d'auteurs ont intégré à leurs conceptions les effets parasites qu'apporte l'ajout des interconnexions. Parech *et al.* [17] ont étudié cet aspect dans le cadre d'un circuit inverseur SET qui excite un étage d'inverseur CMOS par l'entremise d'une interconnexion en cuivre de premiers niveaux d'un nœud technologique de 22 nm. À la figure 2.12, ils ont illustré la modification de la bande passante en fonction de la longueur de l'interconnexion au niveau du métal 1. Le fait que la longueur d'interconnexion soit aussi représentée en termes de pas (*pitch*) est très intéressant.

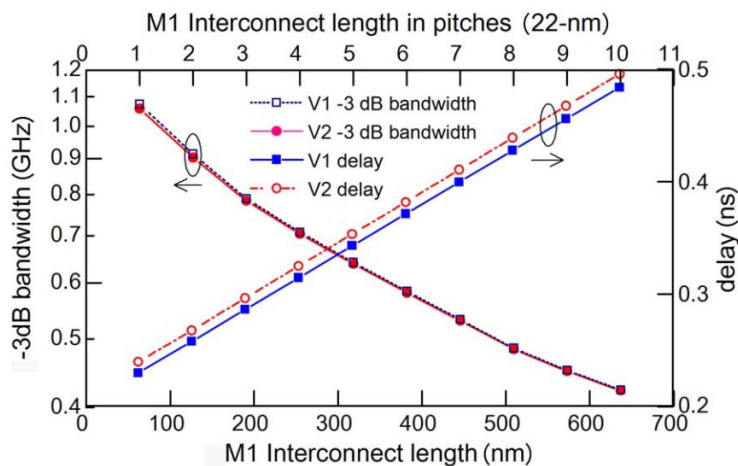


Figure 2.12 Modification de la bande passante et du délai en fonction de la longueur d'interconnexions entre les deux étages inverseurs [17]

Bounouar[71] a fait une conclusion semblable. Dans ses travaux de simulation, il simula la bande passante d'un étage inverseur SET qui en excite un autre via une interconnexion en titane. De plus, il calcula la capacité de l'interconnexion en fonction de la présence ($M_X + M_{X+1}$), ou de la non-présence (M_X), d'un niveau métallique au-dessus.

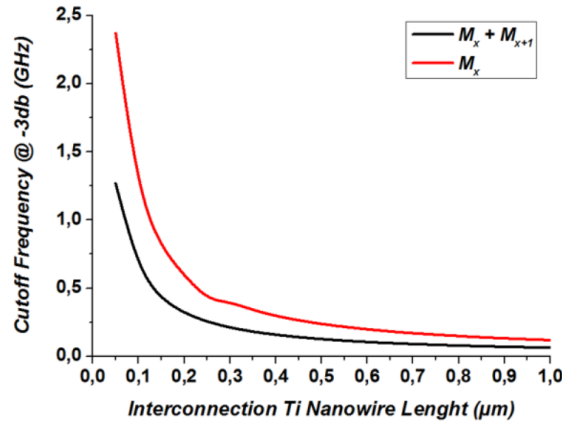


Figure 2.13 Fréquence de coupure (-3dB) en fonction de la longueur de l'interconnexion [71]

2.4 Conclusion

Aucun circuit n'utilise un modèle qui prend en compte le courant thermoionique. Il sera essentiel de les valider, car les SET auront maintenant un courant I_{OFF} non nul. Les circuits ne prennent pas en considération la présence de courant thermoionique dont l'impact peut être considérable dépendant des technologies et matériaux utilisés. Il sera nécessaire de valider les résultats temporels des circuits, car peu de simulations en montrent.

Le circuit de la porte universelle est celui qui semble être le plus commun, mais qui en contrepartie semble être le moins performant. Dans un prototype de circuit hybride, le fait que la polarisation doit être ajustée par une source de tension externe permet d'ajuster le circuit afin qu'il soit fonctionnel dans le cas où les dispositifs fabriqués sont différents de ceux de la simulation. Les transistors MOSFET ne procurent aucun gain dans ce circuit qui aura pour effet que lors d'un front descendant, seul le courant du SET déchargera la sortie. Son faible courant limitera la bande passante. L'impact du remplacement de la source de courant, pour certains travaux, aura sûrement des répercussions sur le fonctionnement du circuit.

Pour ce qui est du circuit hybride universel, il a l'avantage de ne pas avoir à charger/décharger complètement une capacité parce que la tension V_{GS} du MOSFET de sortie ne fait qu'osciller très peu. En diminuant la quantité d'électrons nécessaire pour atteindre un niveau de tension désiré, on permet ainsi d'augmenter la bande passante du circuit. On devrait donc avoir de meilleurs résultats fréquentiels avec ce circuit.

Les travaux sur l'étude des interconnexions sont peu nombreux et semblent être un facteur très limitatif sur la bande passante des circuits. Leurs effets seront donc étudiés à part.

CHAPITRE 3 CONCEPTION

3.1 L'environnement de simulation

Les travaux de simulation utiliseront les outils de simulation de Cadence Design Systems. Il est possible de simuler autant un modèle de MOSFET en BSIM4 qu'un SET en Verilog-A.

3.1.1 Modèle SET

Le modèle de simulation pour les SET est le modèle MARSSEA programmé en Verilog-A fait par Bounouar[41] (voir section MARSSEA-V). Ce modèle donne une meilleure approximation des caractéristiques électriques obtenues par le type de dispositifs pouvant être fabriqués avec le procédé nanodamascène de Dubuc *et al* (2008). Les paramètres initiaux du modèle sont présentés dans le tableau 3.1.

Il faut noter qu'il est essentiel que les capacités du drain et de la source concordent avec leurs dimensions sinon les résultats ne seront pas valides étant donné que la valeur de la capacité ne concordera pas avec les dimensions physiques du dispositif. Pour contrer cela, une modification du modèle s'impose.

Les modifications apportées

Le but de ces modifications est que l'utilisateur puisse travailler avec les dimensions physiques des dispositifs SET de la même façon que l'on travaille avec les MOSFET, soit avec leur largeur et leur longueur. De plus, parce que les dispositifs doivent être fabriqués sur le BEOL, le calcul de la capacité au substrat de l'îlot a été ajouté pour être plus réaliste. La distance îlot-substrat est séparée en trois pour s'adapter plus facilement aux multicouches d'oxydes présentes sur les puces CMOS de ST. Avec une technique de fabrication de SET nanodamascène, il faut ajouter des résistances en série avec le drain et la source représentant la résistance du nano-fil dans lequel on conçoit le SET. La liste des paramètres suite aux modifications du modèle est présentée dans le tableau 3.1.

Les travaux de conception de circuits hybrides en tenant compte des dimensions physiques des SET sont une première. Ils permettront au concepteur de toujours avoir en tête l'aspect de la fabrication du dispositif. Ceci permettra d'éviter l'utilisation de dispositifs comportant des dimensions non atteignables par les technologies de fabrication actuelle telle qu'un îlot de 1x1x1 nm.

Tableau 3.1 Paramètres du modèle MARSSEA original et modifié

Paramètres	Version originale	Version modifiée
Constante diélectrique du TiO_x	ϵ_r	ϵ_r
Hauteur de barrière des jonctions tunnels TiO_x/Ti	ϕ_0	ϕ_0
Largeur des jonctions tunnels	s	s
Hauteur des jonctions tunnels	h	h
Profondeur des jonctions tunnels	w	w
Largeur de l'îlot		l
Distance ilot-grille1		D_{G1}
Distance ilot-grille2		D_{G2}
Distance ilot-substrat		D_{B1} - D_{B2} - D_{B3}
Température	T	T
Résistance des nano-fils		R_{nw}
Capacité de la source	C_S	
Capacité du drain	C_D	
Capacité de la première grille	C_{G1}	
Capacité de la seconde grille	C_{G2}	
Charge de fond (<i>Background charge</i>)	C	

Le symbole

Le symbole utilisé dans les circuits ainsi que sa représentation complète plus complexe sont illustrés à la figure 3.1.

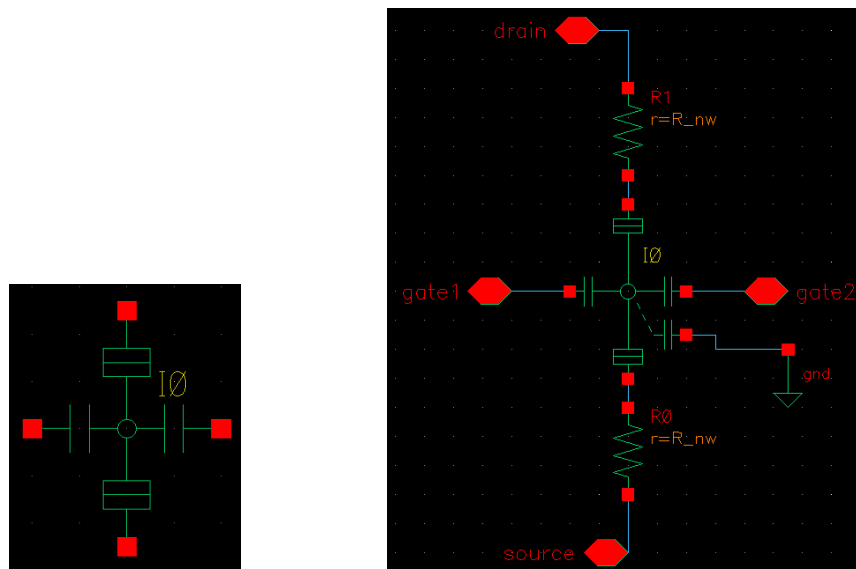


Figure 3.1 Représentation du SET dans les simulations Cadence (à droite) et schéma complet du SET avec l'ajout des résistances série du nano-fil et la capacité du substrat

Dans le symbole, seuls les paramètres modifiables sont affichés (C_D , C_S , C_{G1} et C_{G2}). Dans le schéma complet, les résistances représentent les nano-fils et il y a la capacité parasite de l'îlot avec le substrat.

3.1.2 Modèle MOSFET

Le modèle PTM, *Predictive Technology Model*, de la technologie 22 nm a été utilisé. Il est basé sur une technologie planaire avec des grilles en métal, un oxyde de grille *high K* et le canal contraint. Plusieurs chercheurs l'ont utilisé dernièrement pour leurs recherches [55], [72].

Il y a deux modèles pour le nœud 22nm, soit un modèle haute performance (HP) et une faible puissance (LP). La comparaison des deux modèles PTM 22 nm avec l'ITRS est présentée dans le tableau 3.2. Puisque l'édition de l'ITRS 2011 ne comprenait pas le nœud 22 nm, c'est celui du 21nm qui a été choisi comme référence.

La tension V_T des modèles PTM est déterminée au maximum de la double dérivée du courant I_D , ce qui correspond à la valeur maximale de g_m . La valeur C_{Gtotal} est obtenue avec le simulateur Cadence à l'aide du paramètre C_{GG} . La pente sous le seuil (SS) est calculée graphiquement à l'aide des graphiques de la figure 3.2. Suite à cette comparaison, on peut conclure que le modèle PTM LP se rapproche de la technologie LSTP, *Low Standby Standby Devices*, de l'ITRS tandis que les deux HP sont semblables.

Tableau 3.2 Comparaison des modèles PTM 22nm avec l'ITRS

Caractéristiques	ITRS	ITRS	ITRS	PTM	PTM
	2011 HP	2011 LP	2011 LSTP	22nm LP	22nm HP
Vdd	0.80	0.65	0.81	0.85	0.85
I_{on} ($\mu A/\mu m$)	1582	563	390	247	1290
I_{off} ($nA/\mu m$)	100	5	0.01	0.087	12
C_{gtotal} (fF/ μm)	0.529	0.794	0.802	0.756	0.623
SS	na	Na	na	90mV/dec	100mv/dec
V_t	0.3	0.409	0.623	0.64V	0.31V

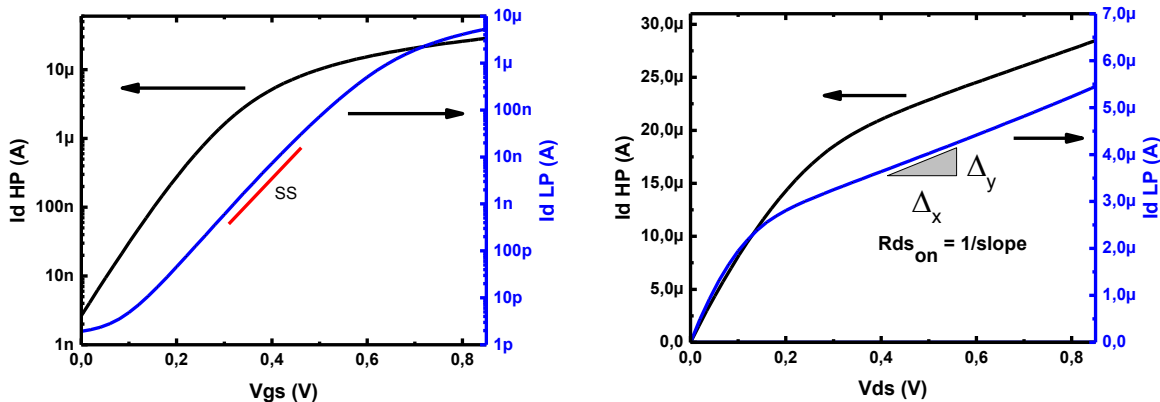


Figure 3.2 Courbes I_D - V_{GS} (gauche) et I_D - V_{DS} des modèles PTM 22nm. (LP en bleu) (HP en noir)

Dans le cadre de circuits hybrides SET-CMOS, les deux modèles seront étudiés, car chacun offre un avantage différent. Le modèle HP possède une tension de seuil plus petite ce qui permet d'atteindre la saturation plus rapidement et le modèle LP permet d'avoir un courant I_{DS} semblable à celui des SET.

3.2 Validation des circuits déjà existants

Le but de cette validation est d'observer la fonctionnalité des circuits hybrides existant en les adaptant au projet. Ceci comprend l'utilisation d'un modèle de MOSFET PTM 22 nm (HP ou LP) et du modèle SET MARSSEA modifié. Avec le modèle SET modifié, il faut leurs dimensions physiques pour la simulation, mais aucun auteur ne travaille avec ces paramètres. Une estimation par essais-erreurs a été faite afin d'extrapoler les dimensions des dispositifs SET en fonction des valeurs de capacités utilisées. Cette étape d'extrapolation est soumise à certains critères. L'épaisseur des jonctions en TiO_2 des SET sera fixée à 4nm ce qui permettra de comparer les résultats entre les différents circuits. La plus petite dimension possible des structures composant les SET sera de 2 nm. La hauteur de barrière entre le Ti/ TiO_2 sera de 0.35 eV.

La méthode de validation des circuits sera de comparer la courbe de transfert présentée par les auteurs avec celle obtenue par simulation. Une courbe de transfert est un graphique qui représente le signal de sortie en fonction du signal d'entrée.

Jana 2013

Le premier circuit à valider est l'inverseur hybride de Jana *et al.* [73] (figure 3.3). Les paramètres de simulation versus ceux des auteurs sont présentés dans le tableau 3.3.

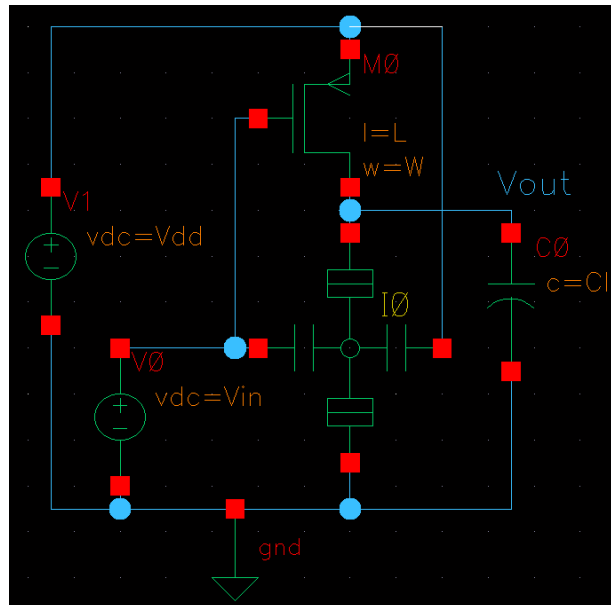


Figure 3.3 Schéma électrique de l'inverseur hybride proposé par Jana *et al.*[73]

Tableau 3.3 Paramètre de simulation de l'inverseur hybride de Jana *et al.*

Paramètres	Jana2013	Simulation	Paramètres	Jana2013	Simulation
T	300K	300K	W	---	10nm
V _{DD}	0.8V	0.8V	H	---	2nm
W _{MOSFET}	100nm	100nm	L	---	10nm
L _{MOSFET}	65nm	65nm	TiO ₂	---	4nm
C _{G1}	0.094aF	0.094aF	D _{G1}	---	27nm
C _{G2}	0.125aF	0.125aF	D _{G2}	---	19nm
C _T	0.16aF	0.16aF	Phi	---	0.35eV

La figure 3.4 illustre la comparaison entre la courbe de transfert présentée par Jana *et al.* [73] et celle obtenue par nos simulations. Dans les deux cas, le circuit est fonctionnel, mais la courbe de transfert obtenue par simulation est inférieure. Le signal de sortie n'atteint pas la valeur des alimentations et la zone de transition est plus grande. Une autre différence est la variation de tension du point de croisement V_{SP} qui est à environ 0.57 V versus 0.24 V. Le courant I_{SET} est aussi alarmant, car il y a environ 200 nA de courant de fuite lorsque V_{in} est de 0 V et aucune oscillation de coulomb n'est présente. Le fonctionnement du circuit n'est donc pas celui d'un inverseur CMOS conventionnel mais plutôt un P-MOSFET avec une résistance à la masse.

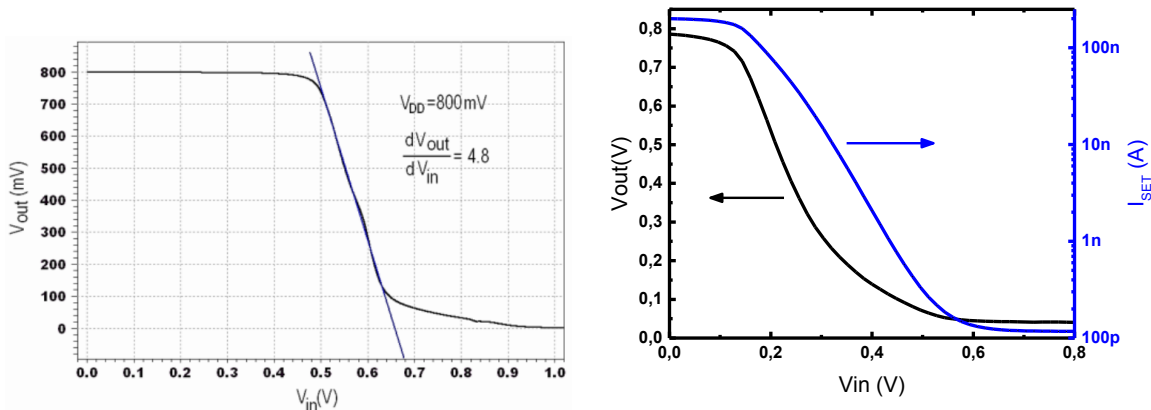


Figure 3.4 Courbe de transfert du circuit d'inverseur hybride présentée par Jana *et al.* (gauche) et celle obtenue par simulation (droite)

Mosavi 2012

Mosavi *et al.* [64] ont présenté leur version du circuit de la porte universelle et les paramètres utilisés (tableau 3.4). Le passage de capacité de jonctions tunnels à des dimensions physiques réelles est un problème, car avec la contrainte initiale de 4nm de profondeur, elles font 2 nm de hauteur et 0.65 nm de largeur.

Tableau 3.4 Paramètres de simulation de la porte universelle de Mosavi 2012 [64]

Paramètres	Mosavi 2012	Simulation	Paramètres	Mosavi 2012	Simulation
T	300	300	C _{G1}	0.5aF	0.5aF
V _{DD}	0.7V	0.7V	C _{G2}	0.01aF	0.01aF
W _{M1}	500nm	500nm	C _T	0.01aF	0.01aF
L _{M1}	2.2μm	2.2μm	W	---	0.65nm
W _{M2}	104	400nm	H	---	2nm
L _{M2}	1μm	1μm	L	---	77nm
V _{B1}	0.43V	0.43V	TiO ₂	---	4nm
V _{B2}	0.3V	0.3V	D _{G1}	---	14nm
V _{Bias}	0V	0V	D _{G2}	---	975nm
R _T	100K	Variable	Phi	---	0.35eV

La courbe de transfert de Mosavi *et al.* est présentée à la figure 3.5 (sous l'étiquette de « NTT cell »). Elle ne rejoint pas la valeur des alimentations (V_{DD} et la masse) ce qui montre que les fuites des MOSFET ne sont pas négligeables.

Le résultat obtenu par simulation, présenté à la figure 3.6, montre que cette version de la porte universelle n'est pas fonctionnelle. On constate que le ΔV_{OUT} est inférieur à 50 mV comparé à environ 0.6 V présenté par les auteurs. Cette différence peut être expliquée par deux raisons. Les valeurs de Vb1 et Vb2 sont extrêmement critiques pour ce type de circuit et ne sont surement pas à leur tension optimale. Il y a aussi le faible courant du SET qui est de quelques picoampères qui n'est pas en mesure de forcer le nœud de sortie à la masse.

Outre les résultats électriques, les dimensions sont aberrantes, car une distance de grille de 975 nm n'est pas réaliste. Il y a beaucoup trop d'éléments dans un rayon de 1μm dans le BEOL de CMOS avancé (interconnexions et vias) et tout ceci aurait une plus grande influence sur l'îlot que la seconde grille. Une largeur de 0.65 nm est aussi irréalisable à fabriquer. Une si petite distance ne représente qu'environ deux atomes.

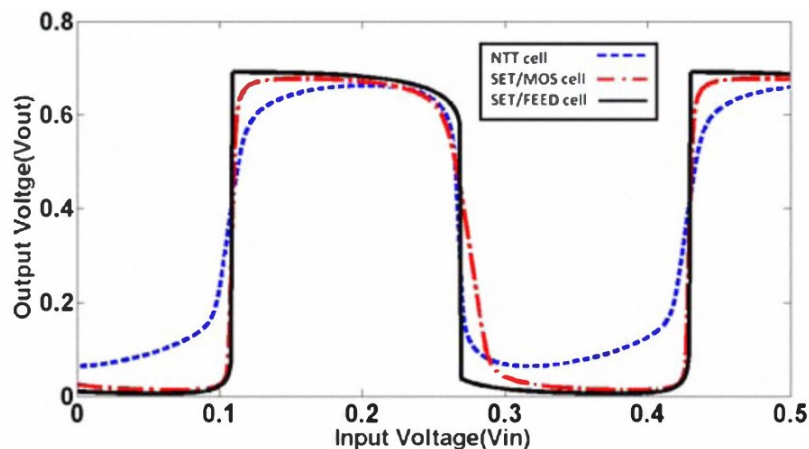


Figure 3.5 Résultat présenté par Mosavi *et al.* [64]. Les auteurs utilisent la terminologie NTT cell pour leur circuit de la porte universelle.

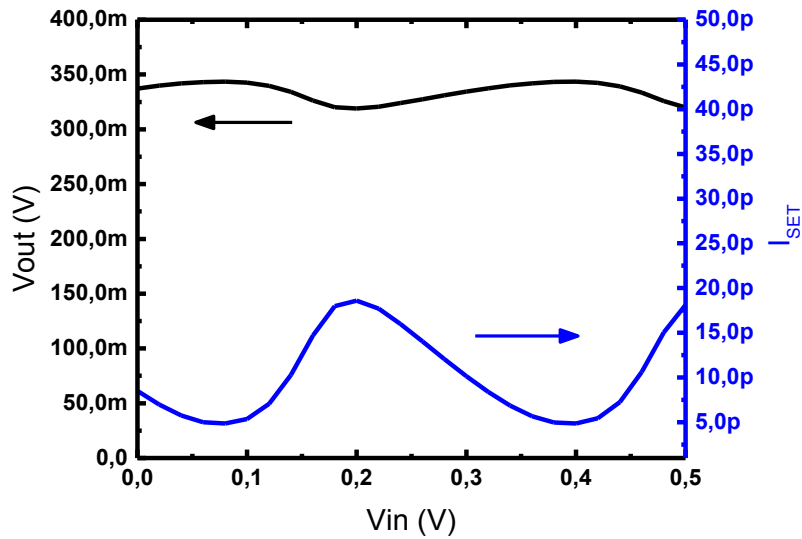


Figure 3.6 Courbe de transfert de la simulation

Lee 2007

Dans cette conception, les auteurs ont utilisé des MOSFET à déplétion qui, dans le cadre du projet, ne sont pas une alternative possible, car ce n'est pas compatible avec les technologies CMOS avancées. Les paramètres sont présentés dans le tableau 3.5 et les courbes des auteurs sont comparées à celles obtenues par simulation à la figure 3.7.

Tableau 3.5 Paramètres de simulation de l'amplificateur universel hybride de Lee *et al.* [29]

Paramètre	Lee2007	Simulation	Paramètre	Lee2007	Simulation
s			s		
T	77	77	CG1	0.24aF	0.24aF
VDD	0.7V	0.7V	CT	1.3aF	1.3aF
WM1	0.5μm	0.5μm	W	---	31nm
LM1	0.18μm	0.18μm	H	---	5nm
WM2	2.5μm	2.5μm	L	---	31nm
LM2	0.18μm	0.18μm	TiO2	---	4nm
Vsg	0V	0V	DG1	---	50nm
RT	1.3M	Variable	DG2	---	5um
			Phi	---	0.35eV

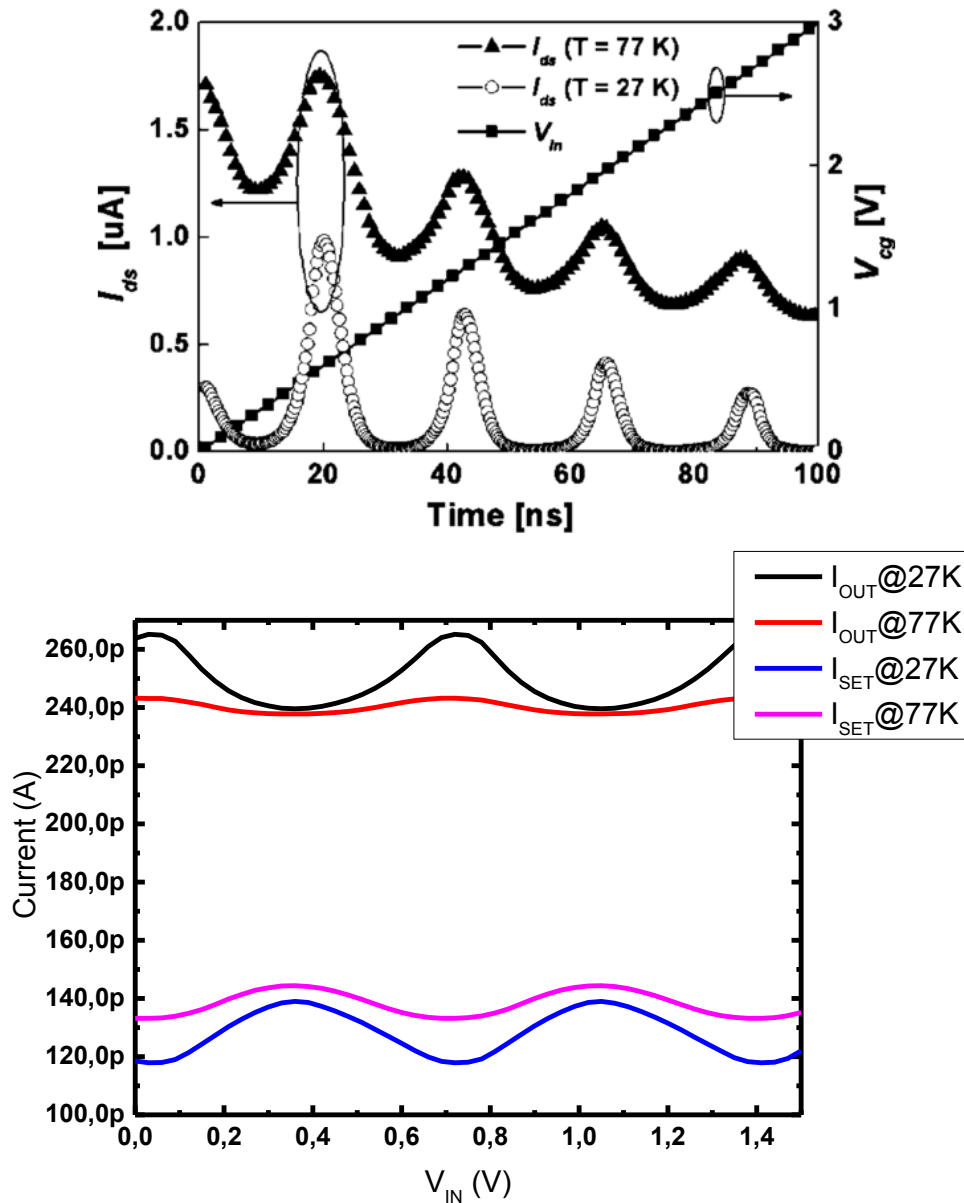


Figure 3.7 Courbes obtenues par Lee *et al.* [29] (gauche) et celles obtenues par simulation (droite)

Les meilleurs résultats ont été obtenus avec une technologie CMOS 22 nm HP. Le graphique des auteurs illustre une variation du courant de sortie I_{DS} en fonction d'une variation linéaire du signal V_{in} dans le temps. Pour ce qui est de la simulation, les courants I_{DS} du SET et du MOSFET de sortie sont affichés.

Une différence observable est la forme des oscillations de Coulomb entre les deux résultats. Dans les travaux de Lee *et al.*, c'est un SET en silicium qui est utilisé. La discrétisation des niveaux d'énergie dans l'îlot fait en sorte que le courant maximal d'une oscillation de Coulomb

diminue par rapport à la précédente. La diminution globale du courant I_{DS} en fonction de l'augmentation de la température est le résultat de la diminution de l'effet du blocage de Coulomb sur le courant thermoïonique. L'effet de l'augmentation de ce courant est illustré à droite de la figure 3.7. Il est dommage que le courant du SET ne soit pas dans les résultats donnés par Lee *et al.*

Conclusion

Tous les circuits récemment publiés adaptés au projet n'ont pas donné des résultats fonctionnels. De plus, aucun n'a donné des résultats en fréquences. Voici les conclusions tirées de ces adaptations :

- Inverseur hybride
 - Le remplacement d'un MOSFET par un SET ne procure aucun gain outre la diminution de la puissance DC.
- Porte universelle
 - Le fonctionnement du circuit est très sensible aux variations des tensions V_G .
 - Le transistor de polarisation du SET fixe la tension minimale de V_{OUT} .
- Amplificateur universel hybride
 - Le gain en courant $I_{DS\ MOSFET}$ versus $I_{DS\ SET}$ s'obtient facilement, mais le gain AC de ce courant est peu élevé.

3.3 Critère de conception

Voici les critères que les circuits devront respecter. Tout d'abord, la tension V_{DD} pour les circuits MOSFET et hybrides sera de 0.85 V afin de respecter celle de la technologie CMOS utilisée. Pour les circuits SET, elle sera de 0.4 V comme proposé par Bounouar *et al.* [71] pour sa librairie de cellules SET. Aucun critère de SET pour le circuit de lecture analogique tandis que le circuit de lecture numérique devra s'adapter à l'inverseur SET de Bounouar *et al.* [71] qui représentera n'importe quel circuit logique SET.

Le plus grand défi des circuits de lecture SET est leur réponse en fréquence. Le faible courant I_{DS} des SET permet d'avoir des circuits peu énergivores, mais en contrepartie ils ne peuvent avoir de grande charge capacitive. Dans le cas où un SET a un I_{DS} de 1 nA, un V_{DD} de 0.85 V et que le temps de montée et descente désiré est de 1 μ s, la charge capacitive maximale sera de 1.18 fF selon l'équation 3.1. Il est donc absurde de vouloir des bandes passantes de circuits hybrides SET-CMOS dans les GHz. La fréquence de coupure haute des circuits numériques sera limitée à 125 MHz. Pour les applications de capteur, un sinus de 1 kHz sera le signal à lire. Le nombre d'électrons à lire ne sera pas un critère de conception. Les SET devront avoir une hauteur de barrière de 0.35 eV et fonctionner à 300 K. Les autres dimensions sont limitées à plus de 2 nm (W, L, H, TiO₂, Dg, Dg₂).

$$i(t) = C \frac{dV}{dt} \quad (3.1)$$

3.3.1 Source du signal numérique

Comme source de signal numérique SET, l'inverseur SET proposé par Bounouar *et al.* [71] a été utilisé. La courbe de transfert de l'inverseur est présentée à la figure 3.8. Ce signal sera aussi le signal V_A dans le circuit ci-dessous. La qualité du signal de sortie n'est pas élevée, car il ne varie qu'entre 0,075 V et 0.32 V environ et la transition haut-bas est très étendue.

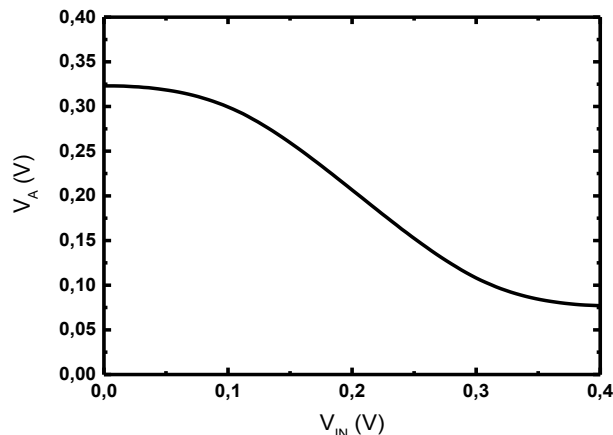


Figure 3.8 Courbe de transfert d'un inverseur SET

3.4 Conception de circuit de la porte universelle

Il a été démontré précédemment que l'utilisation du circuit de la porte universelle ne peut être vue comme une alternative avec l'utilisation de technologies CMOS avancées. Les courants de fuites des MOSFET sont supérieurs aux courants du SET par un manque de polarisation DC de celui-ci. En augmentant la tension V_{ds} du SET, il en reste moins pour la polarisation des deux autres MOSFET et réduite d'un même coup la plage de tension à la sortie.

Il est possible remédier à ce problème en modifiant la disposition des dispositifs tel qu'illustré à la figure 3.9. À gauche il y a l'inverseur SET utilisé pour simuler un circuit numérique SET, et à droite le circuit de la porte universelle modifié. Les paramètres sont présentés dans le tableau 3.6. Le paramètre V_{G2} est très sensible et une variation de plus ou moins 1 mV ferait en sorte que le circuit ne fonctionnerait plus.

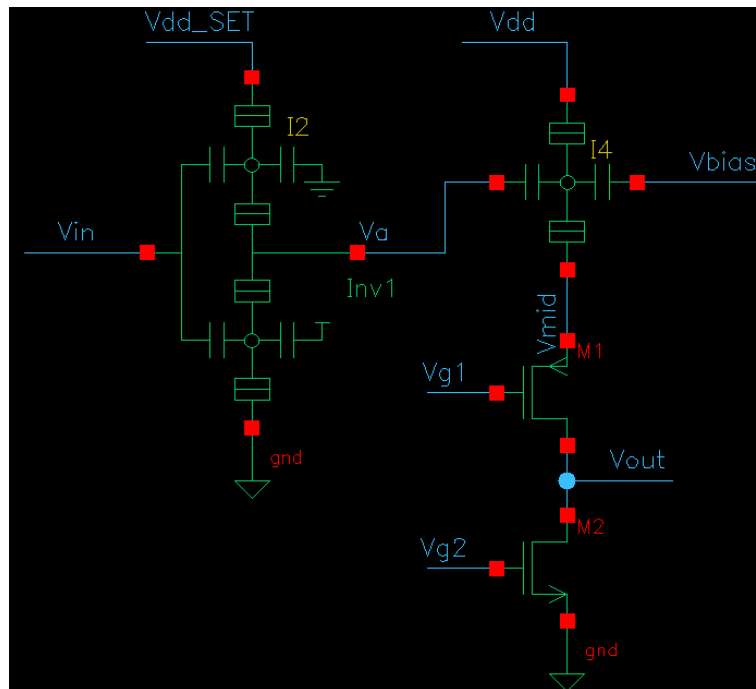


Figure 3.9 Circuit de la porte universelle modifiée

Tableau 3.6 Paramètres de simulation pour le circuit de de la porte universelle modifiée

Paramètres	Valeurs	Paramètres	Valeurs
T	300	C_{G1}	0.12aF
V_{DD}	1.5	C_{G2}	0.12aF
$V_{DD\ SET}$	0.4V	C_T	0.077aF
W_{M1-2}	28nm	W	5nm
L_{M1-2}	22nm	H	2nm
V_{G1}	0.4	L	10nm
V_{G2}	0.412	TiO ₂	4nm
V_{Bias}	0	D_{G1}	20nm
Phi	0.35eV	D_{G2}	20nm

La valeur de la tension V_{DD} dépend de la polarisation V_{DS} du SET désirée (0.65 V) et de la tension maximale que peuvent supporter les MOSFET, plus particulièrement la source de M_1 (0.85 V). La tension V_{G1} est déterminée de manière à avoir 0.85 V à V_{MID} . V_{G2} est ajusté afin que $I_{DS M2}$ soit au milieu de la variation de courant du SET. La courbe de transfert obtenu avec ce design est présentée à la figure 3.10 ainsi que les résultats s'y rapportant (tableau 3.7). Les marges de bruits se calcul comme décrit aux équations 3.2 et 3.3.

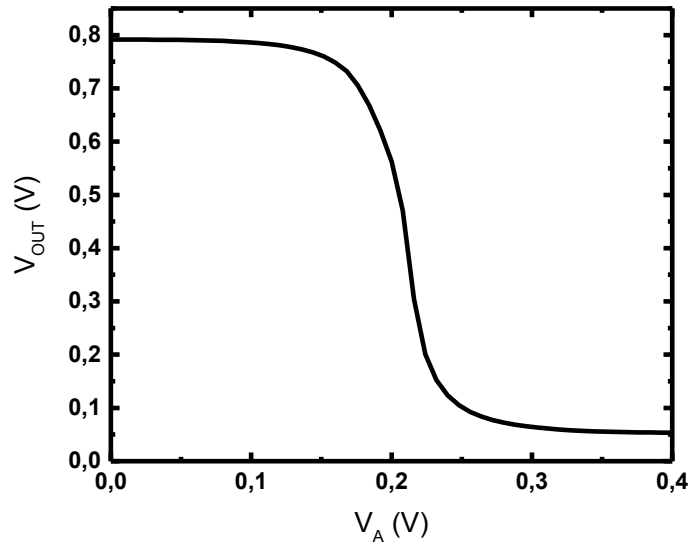


Figure 3.10 Courbe de transfert optimale du circuit de la porte universelle

Tableau 3.7 Résultats extraits de la courbe de transfert du circuit de la porte universelle modifiée

Spécifications	Valeurs de la porte universelle (avec inverseur SET à l'entrée compris)
V_{SP}	0.208
V_{IL}	0.148
V_{IH}	0.264
V_{OL}	0.054
V_{OH}	0.792
NMH	59mV
NML	71mV

$$NMH = V_{oh_{SET}} - V_{ih} = 0.323 - 0.264 = 59mV \quad (3.2)$$

$$NML = V_{il} - V_{ol_{SET}} = 0.148 - 0.077 = 71mV \quad (3.3)$$

Les résultats en DC sont très bon considérant qu'ils comprennent un étage inverseur SET qui donne un signal V_A variant entre 0,075 V et 0.32 V. Avec un meilleur signal d'entrée, les résultats serait meilleurs.

Les résultats en fréquence n'atteignent pas les objectifs fixés (figure 3.11). Le circuit ne peut fonctionner à plus de 16.44 MHz sans charge à V_{OUT} . Les faibles courant I_D utilisés combinés

avec les capacités parasites des MOSFET font en sorte que les temps de montée et de descente sont particulièrement lents (tableau 3.8 et équation 3.4).

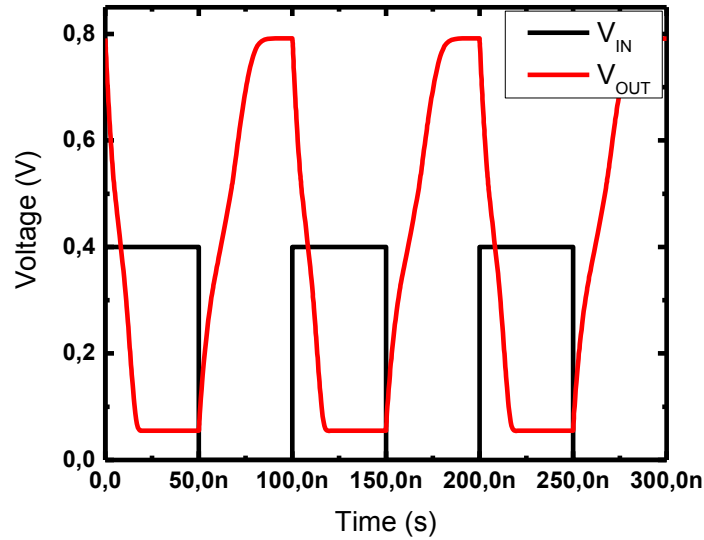


Figure 3.11 Réponse temporelle du circuit de la porte universelle modifiée

Tableau 3.8 Résultats extraits de la simulation à 125 MHz du circuit de lecture numérique SET

Spécifications	Valeurs
t_{HL}	14 ns
t_{LH}	25 ns
t_{PHL}	15 ns
t_{PLH}	6.8 ns
F_{MAX}	16.44 MHz

$$F_{MAX} = \frac{1}{t_{HL} + t_{LH} + t_{PHL} + t_{PLH}} = 16.44 \text{ MHz} \quad (3.4)$$

Bien que les niveaux en tension à V_{OUT} soient respectable, le circuit de la porte universelle n'est pas adéquat pour les applications numériques allant à quelques MHz, car le fait que l'on charge/décharge la charge à V_{OUT} et les capacités parasites des MOSFET limite sa bande passante. De plus, la très faible marge sur la polarisation V_{G2} est certainement inacceptable pour son intégration sur une puce CMOS. La vulnérabilité du fonctionnement du circuit sur le bruit présent sur V_{G2} ($< 1 \text{ mV}$) fait en sorte qu'il est impossible de le fabriquer et qu'il soit fonctionnel dans un monde réel. Les très faibles variations de courant à la grille de M_2 ajoutées aux effets parasites de l'interconnexion (inductif et capacitif) et aux sources d'interférence provoqueraient des variations au-delà du 1 mV.

3.5 Conception de circuit de lecture logique numérique-SET

L'architecture choisie pour le design de circuits de lecture numérique SET (CLN) est présentée à la Figure 3.12 Schéma électrique du CLN. Le circuit numérique SET attaque directement un circuit de préamplification dont l'utilité est de donner un premier gain au signal V_{IN} et de faire la transition du domaine d'alimentation SET (0.4 V) à celui du CMOS (0.85 V). Le signal est ensuite envoyé dans la borne positive d'un comparateur. L'entrée négative est reliée à un second préamplificateur alimenté par une tension de référence V_{BIAS} . Le signal de sortie du comparateur est lu par un étage inverseur CMOS qui agit comme un tampon.

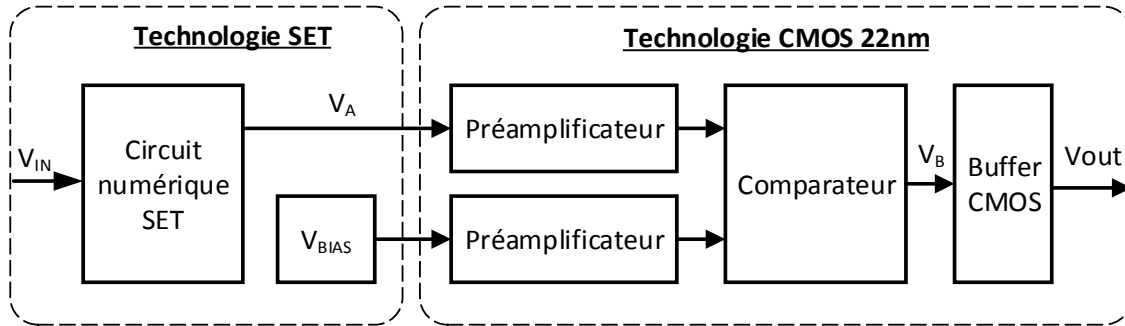


Figure 3.12 Schéma-bloc du CLN

Le circuit final du CLN est présenté à la figure 3.13. Les deux préamplificateurs sont composés de M_0 et M_1 pour le premier et de M_2 et M_3 pour le second. Le comparateur est composé d'un amplificateur différentiel avec charge active (M_6 et M_7). Le transistor d'entrée positive est M_4 , celui de l'entrée négative est M_5 et la source de courant déterminée par M_8 . Le préamplificateur connecté à V_{BIAS} permet d'équilibrer l'étage différentiel en conservant la même impédance aux grilles de M_4 et M_5 . La tension V_{BIAS} , tension à laquelle la sortie du comparateur changera, doit être au milieu de la plage de tension de V_{IN} , soit 0.2 V.

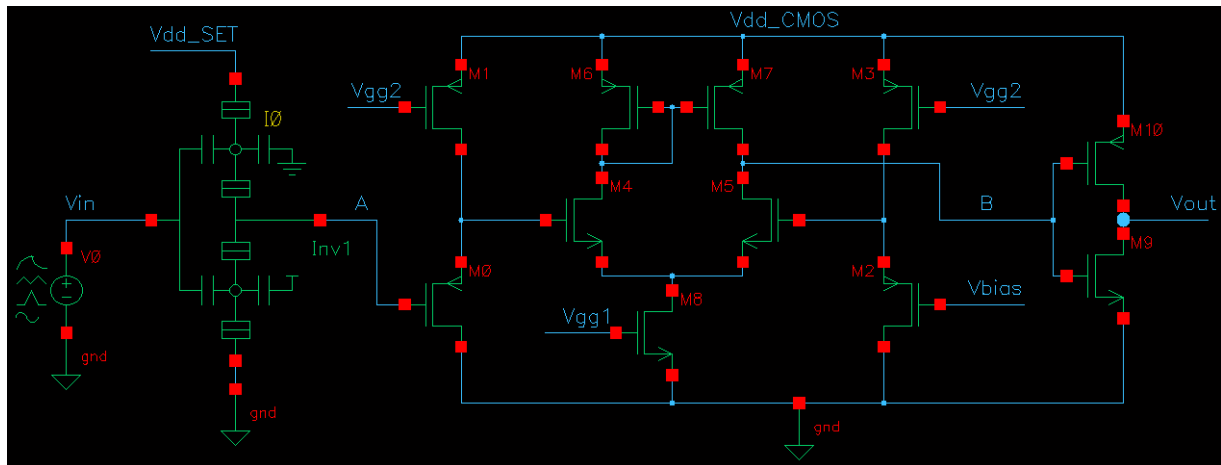


Figure 3.13 Schéma électrique du CLN

La technologie utilisée pour le CMOS est le 22 nm HP qui, avec un V_T inférieur, permet des niveaux de courant I_D plus élevés pour une même variation de signal d'entrée. Il en résultera une meilleure bande passante globale du circuit. L'ensemble des paramètres utilisés est présenté dans le tableau 3.9.

Tableau 3.9 Paramètres de simulation pour le circuit de lecture numérique SET.

Paramètres	Valeurs	Paramètres	Valeurs
T	300	C _{G1}	0.12aF
V _{DD CMOS}	0.85V	C _{G2}	0.12aF
V _{DD SET}	0.4V	C _T	0.077aF
W _{M0-1-2-3-4-5-6-7-8-9}	28nm	W	5nm
W _{M10}	44nm	H	2nm
L _{M0-1-2-3-8-9-10}	22nm	L	10nm
L _{M4-5-6-7}	44nm	TiO ₂	4nm
V ₁	0.2V	D _{G1}	20nm
V ₂	0.4V	D _{G2}	20nm
V _{gg2}	0.55V	Phi	0.35eV

La figure 3.14 montre la courbe de transfert du circuit en affichant le signal de sortie du comparateur V_A (noir) et du circuit complet V_{OUT} (rouge). L'inversion du signal entre les deux est causée par l'étage tampon de l'inverseur CMOS. Le signal V_{IN} est relié à un étage d'inverseur SET qui est branché à l'entrée du circuit de lecture, d'où l'inversion du signal V_A. C'est donc le signal présenté à la figure 3.8 qui entre dans le circuit. Les résultats extraits de la courbe de transfert V_{OUT} sont présentés dans le tableau 3.10. La marge de bruit du circuit est de 63 mV et 72 mV pour le NMH et le NML respectivement (équations 3.5 et 3.6).

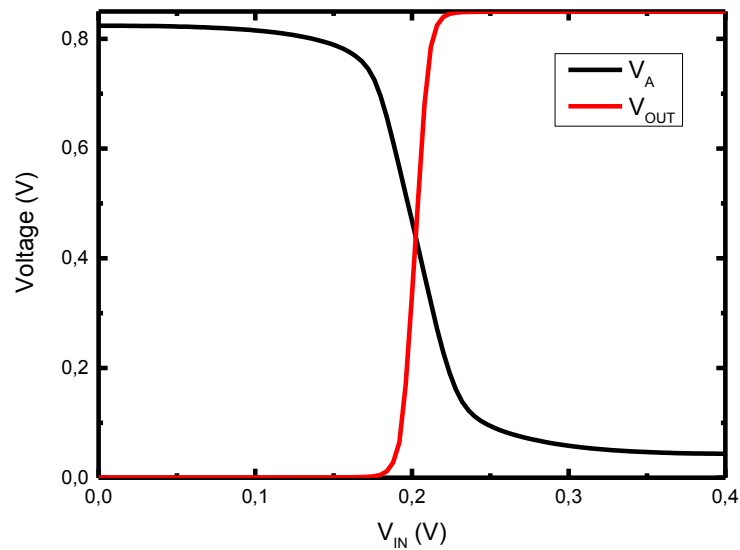


Figure 3.14 Courbe de transfert du circuit de lecture numérique SET

Tableau 3.10 Résultats extraits de la courbe de transfert du circuit de lecture numérique SET

Spécifications	Valeurs du CLN (avec inverseur SET à l'entrée compris)
V_{SP}	0.202V
V_{IL}	0.1489V
V_{IH}	0.2588V
V_{OL}	0.26mV
V_{OH}	0.8499V
NMH	63mV
NML	71.9mV

$$NMH = V_{oh_{SET}} - V_{ih_{ReadOut}} = 0.323 - 0.26 = 63mV \quad (3.5)$$

$$NML = V_{il_{RedOut}} - V_{ol_{SET}} = 0.1489 - 0.077 = 71.9mV \quad (3.6)$$

En considérant que le signal d'entrée est avant l'inverseur SET, le circuit de lecture est très efficace pour corriger les faiblesses des SET. L'utilisation du comparateur permet de réduire la zone de transition à environ 10 mV et le signal V_{OUT} a des V_{OH} et V_{OL} plus près des tensions. Le circuit a aussi une bonne immunité aux bruits avec 15 mV de marge.

Les résultats extraits des courbes à 125 MHz (Figure 3.15) sont présentés au tableau 3.11. L'extraction des résultats s'est faite sur le signal V_{OUT} uniquement. La fréquence maximale théorique du circuit est de 440 MHz selon l'équation 3.7 et surpasse d'un facteur 3.5 la contrainte initiale de 125 MHz. À 125 MHz, le circuit consomme 592.86 nA, soit une puissance de 503 nW.

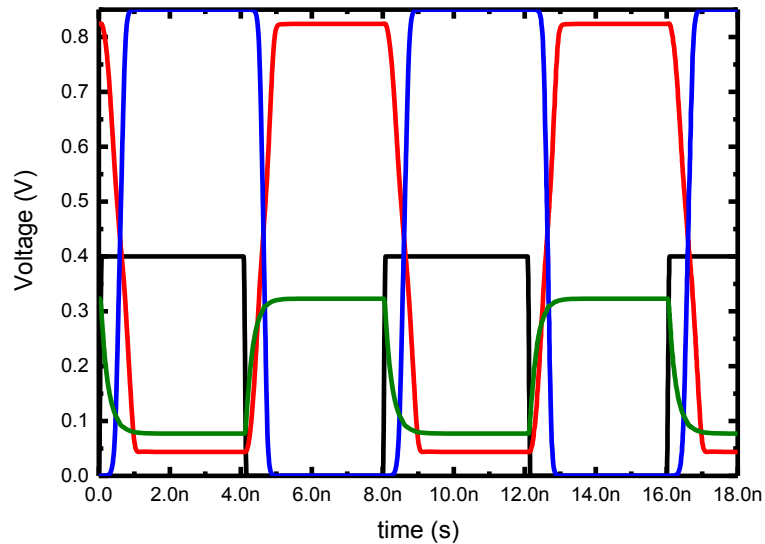


Figure 3.15 Signaux de circuit de lecture numérique SET à 125 MHz. Signal numérique V_{IN} (noir). V_A (vert). V_B (rouge). V_{OUT} (bleu)

Tableau 3.11 Résultats extraits de la simulation à 125 MHz du circuit de lecture numérique SET

Spécifications	Valeurs
t_{HL}	0.67ns
t_{LH}	0.57ns
t_{PHL}	0.60ns
t_{PLH}	0.43ns
F_{MAX}	440.52MHz

$$F_{MAX} = \frac{1}{t_{HL} + t_{LH} + t_{PHL} + t_{PLH}} = 440.52MHz \quad (3.7)$$

Dans l'optique du remplacement de circuit de logique CMOS par l'équivalent SET, un CLN sera nécessaire pour chaque signal binaire. Avec cette consommation, il faut remplacer au minimum 46 inverseurs CMOS (~552nW) par 46 inverseurs SET (~46 nW) pour que l'utilisation du circuit de lecture numérique soit énergétiquement rentable (voir la figure 3.16). Si un circuit d'additionneur complet (full-adder) contient l'équivalent de 22 inverseurs, ce qui n'équivaut pas à un circuit complet, la substitution de ce circuit logique CMOS en SET est énergétiquement rentable et ce en considérant le CLN.

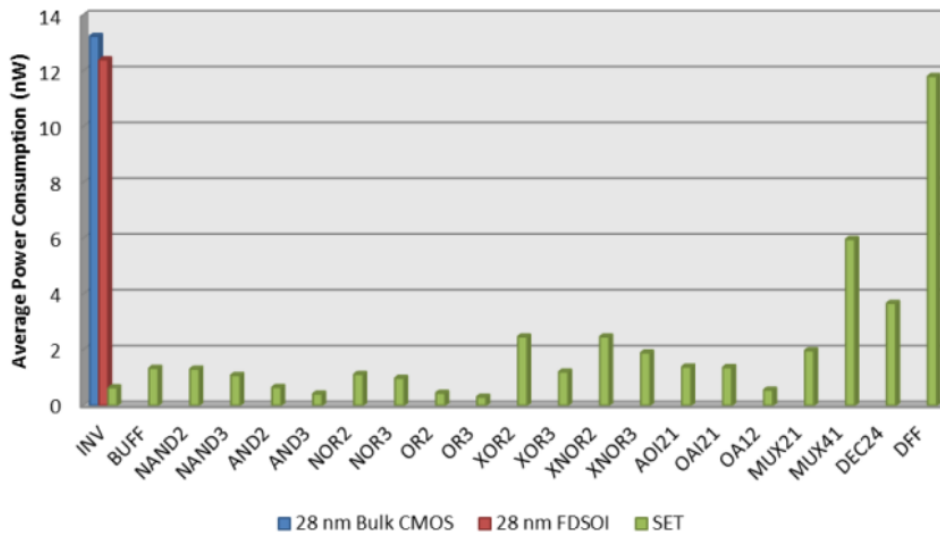


Figure 3.16 Consommation moyenne de la librairie standard SET de Bounouar *et al.* [71] comparé avec les technologies CMOS 28nm

3.6 Conception du circuit de l'amplificateur hybride universel

Le circuit de l'amplificateur hybride universel peut être utilisé pour les applications analogiques. Le circuit obtenu utilise la même architecture que celle présentée à la section 2.3.2 de l'amplificateur hybride universel. Les paramètres de simulation sont présentés au tableau 3.12. La courbe de transfert obtenue (figure 3.17) montre que pour une oscillation d'environ 9 nA en I_{DS_SET} on obtient une variation entre 4 μ A et 8.5 μ A à la sortie du circuit.

Tableau 3.12 Paramètres de simulation de l'amplificateur hybride universel.

Paramètres	Valeurs	Paramètres	Valeurs
T	300	W	5nm
V _{DD}	0.85V	H	2nm
VG1	0.6V	L	10nm
M _{OUT} W/L	22/22nm	TiO ₂	4nm
M ₁ W/L	22/22nm	D _{G1}	30nm
C _{G1}	0.12aF	D _{G2}	150nm
C _{G2}	0.12aF	Phi	0.35eV
C _T	0.077aF		

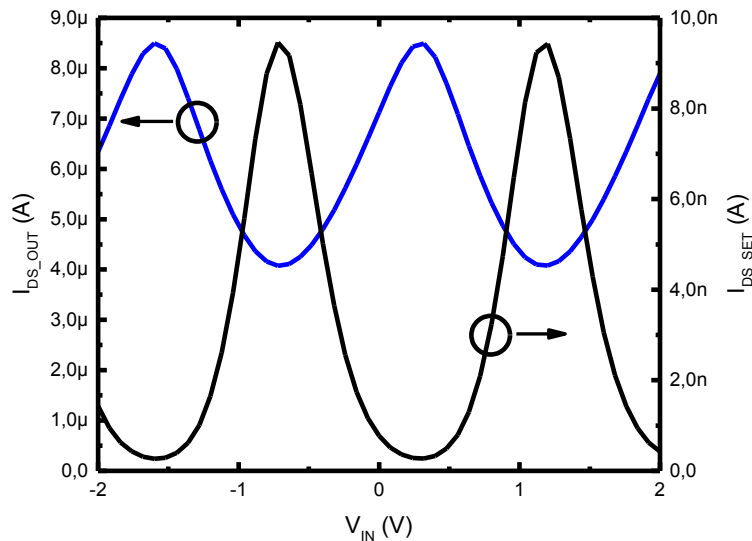


Figure 3.17 Courbe de transfert obtenu avec le circuit de l'amplificateur hybride universel.

Le signal temporel utilisé est un sinus variant entre 0.5 V et 0.9 V car on se retrouve dans une zone où la variation de courant du SET est linéaire. Les résultats de simulation sont présentés à la figure 3.18. La variation du courant I_{DS_OUT} est représentative de ce qui était attendu en fonction de la courbe de transfert obtenu précédemment ce qui démontre que le circuit fonctionne à l'intérieur de sa bande passante.

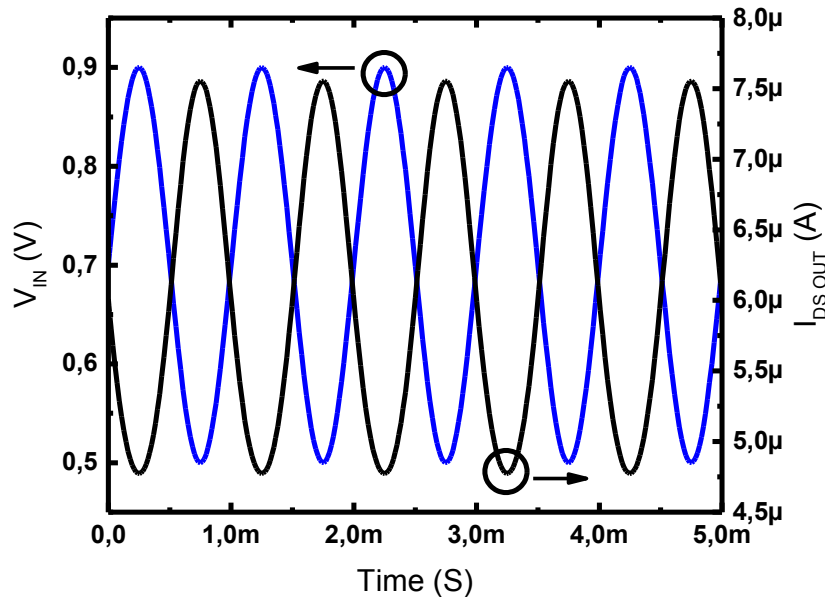


Figure 3.18 Signal de sortie du circuit de l'amplificateur hybride universel à 1 KHz.

3.7 Conception de circuit de lecture de fonctions analogiques

Voici les exigences du circuit de lecture analogique (CLA). Le signal d'entrée est le courant I_D d'un SET. Le SET doit être vu comme un capteur en entier. Par exemple, un capteur de pression ou de gaz pourrait être fabriqué sur la surface d'une puce CMOS. Le signal de sortie doit au minimum donner un gain unitaire par rapport au signal à la grille du SET. L'impédance de la charge du circuit de lecture devra être au minimum une impédance résistive de $10\text{ K}\Omega$, pour représenter une charge DC, et une impédance capacitive de 1 fF , représentant une grille de 22 nm de long par $1\text{ }\mu\text{m}$ de large, en parallèle. La bande passante minimale est de 1 KHz . L'utilisation d'une impédance complexe permet de représenter les différentes architectures de convertisseur analogique-numérique (ADC). Le circuit sera alimenté par l'alimentation CMOS de 0.85 V .

Le choix de l'architecture finale ne s'est pas arrêté sur l'un des circuits présentés précédemment, car aucun d'entre eux ne comprend un amplificateur de transimpédance complet (V_{OUT} en fonction de I_{IN}). Le choix du circuit hybride universel semblait intéressant, mais la polarisation fixe du SET ne permet pas d'avoir une variation importante du V_{GS} du transistor de sortie et donc peu de gain. Idem pour le circuit de la porte universelle.

Voici le schéma-bloc et le circuit final à la figure 3.19 et à la figure 3.20 respectivement. Le capteur SET est composé du SET I_0 . Le courant $I_{D\text{ SET}}$ entre dans l'amplificateur de transimpédance composé de M_0 , M_1 et M_2 . Les deux premiers sont configurés en miroir et donnent un gain en courant I_{D1}/I_{D0} en fonction du nombre de répétitions K_{M1} . M_2 agit comme une source de courant fixe d'un amplificateur de type A. L'amplificateur opérationnel (op-amp) est constitué de l'entrée différentielle (M_3 et M_4), de sa source active (M_5 et M_6), de la source de courant polarisant l'étage différentiel (M_7) et d'un étage de sortie (M_8 et M_9). Une contre-

réaction négative unitaire est utilisée. Cela fixe le gain de l'op-amp à 1, mais augmente son gain en courant pour permettre une plus grande charge à la sortie.

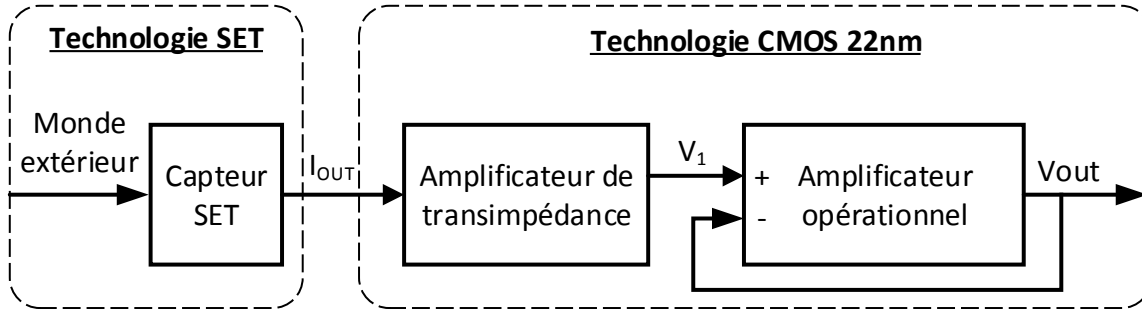


Figure 3.19 Schéma-bloc du CLA

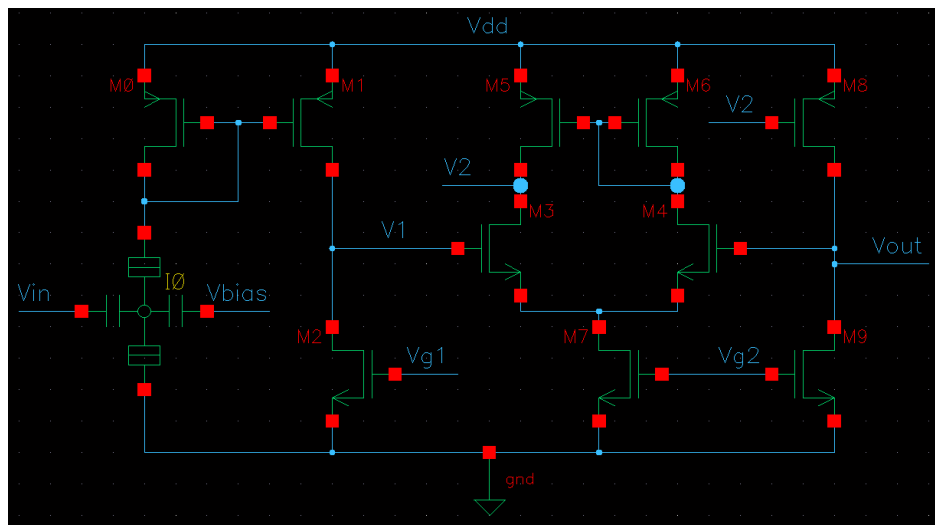


Figure 3.20 Schéma électrique du CLA

Les paramètres de tout le circuit sont dans le tableau 3.13. Les jonctions tunnels du SET sont restées les mêmes que dans la conception du CLN et seules les capacités de grille ont été modifiées. La valeur de C_g désirée fut calculée en fonction de l'écart entre les oscillations de Coulomb. Par design cet écart fut déterminé à 1V. La valeur de C_{G1} pour C_{G2} égale à 0F est de 0.0062 aF (équations 3.8, 3.9 et 3.10).

$$\frac{e}{C_g} = 1V \quad (3.8)$$

$$C_{Tot} = 2C_T + C_{G1} + C_{G2} \quad (3.9)$$

$$C_{G1} = 0.0062 \text{ aF} \quad (3.10)$$

Afin d'obtenir des dimensions physiques unitaires, la valeur finale de C_{G1} a été modifiée. La valeur non nulle de C_{G2} permet d'ajouter une charge capacitive parasite à l'ilot. L'utilisation du SET, qui ne fait pas partie de façon intégrale du circuit de lecture analogique, ajoute son lot de problèmes, mais ne peut être remplacée par une source de courant idéale. Les variations du courant causées par les variations de V_{DS} sont trop importantes pour être négligées.

Tableau 3.13 Paramètre de simulation du CLA

Paramètres	Valeurs	Paramètres	Valeurs
T	300	C _{G1}	0.007aF
V _{DD}	0.85V	C _{G2}	0.004aF
V _{G1}	0.85V	C _T	0.077aF
V _{G2}	0.4V	W	5nm
L _{M0-1-2-3-8-9-10}	22nm	H	2nm
L _{M4-5-6-7}	44nm	L	10nm
W _{M0-1-2-7}	28nm	TiO ₂	4nm
W _{M1}	550nm	D _{G1}	30nm
W _{M3-4-5-6-8-9}	1um	D _{G2}	150nm
L _{M0-1-2-8-9}	22nm	Phi	0.35eV
L _{M2}	800nm	R _{LOAD}	50K
L _{M3-4-5-6-7}	100nm	C _{LOAD}	1pF
K _{M1}	28	V _{BIAS}	0V

Les courbes de transferts sont présentées à la figure 3.21. Le gain AC du circuit de transimpédance n'est pas parfait, car il varie entre 1.8 et 4.3. Le gain en courant AC est très variable en fonction du courant du SET. Ce phénomène arrive lorsque le courant est très faible. M₁ n'est plus en mesure de répliquer le courant I_{DS} car la polarisation diffère de beaucoup de M₀. Cette variation pourrait être prise en compte lors du traitement du signal de sortie du circuit de lecture.

Le signal de sortie est centré près de V_{DD}/2 ce qui permet une plus grande plage de sortie. La courbe de transfert n'est pas centrée à #Q_{IN}=0 électron. Ceci est dû à la polarisation DC du SET qui charge l'îlot.

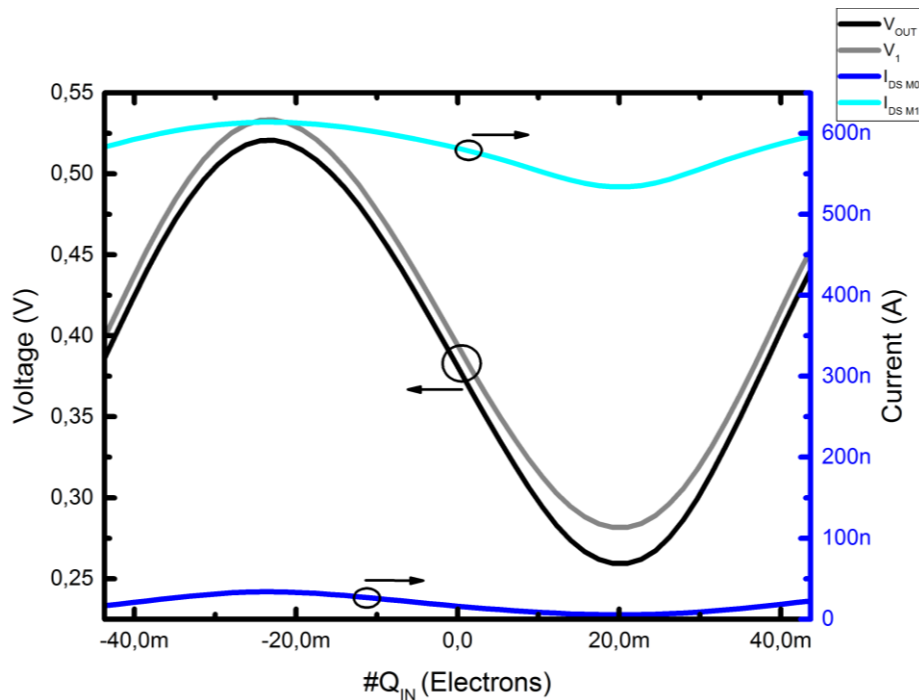


Figure 3.21 Courbe de transfert du circuit de lecture analogique

L'utilisation de l'op-amp configuré en suiveur isole la charge de l'étage de gain. Sans l'étage tampon, le signal V_{OUT} s'atténue avec l'augmentation de la charge lors du passage de la résistance de $50\text{ K}\Omega$ à $10\text{ K}\Omega$. Le gain total du circuit avec le SET est de 8.5 V/électron sur la plage de $\pm 10\text{ me}$ sur la grille C_{G1} .

La figure 3.22 montre le comportement du circuit complet avec la charge complexe. Le signal d'entrée est une variation d'électrons sur la grille C_{G1} de V_{IN} de 200 mV crête est appliqué sur la grille du SET. Le signal de sortie a conservé la même amplitude que prévue par la courbe de transfert du circuit ce qui indique que les performances ne sont pas affectées à 1 KHz . Le gain du circuit, en ne tenant pas compte du SET, est de 9.9 mV/nA . La fréquence de coupure haute du circuit est à 22 MHz (voir figure 3.23) ce qu'est plus que suffisant pour satisfaire les exigences initiales de 1 KHz .

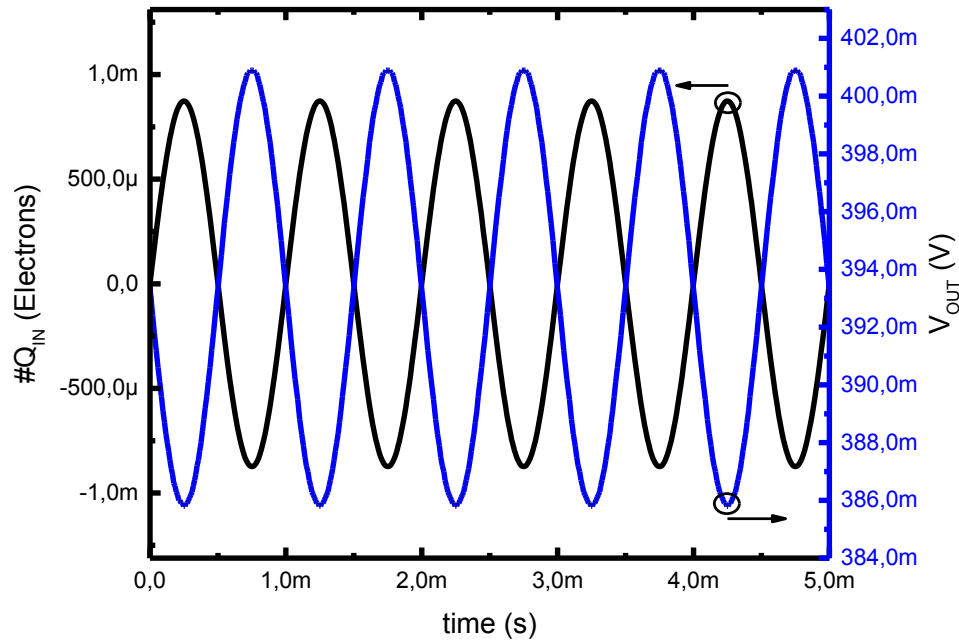


Figure 3.22 Signal de sortie du circuit de lecture analogique à 1 KHz avec la charge complexe

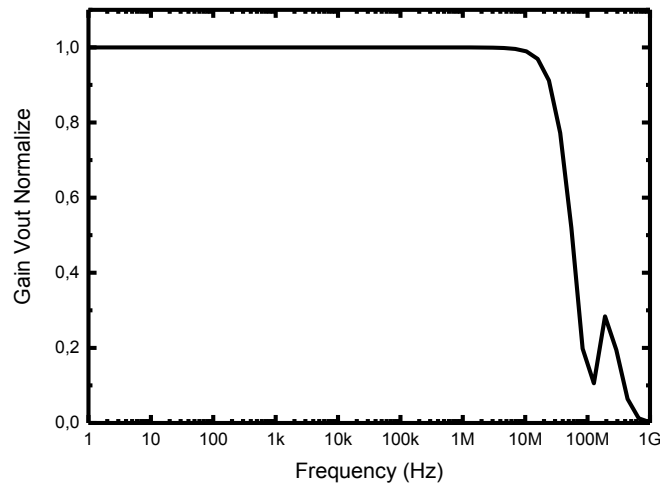


Figure 3.23 Bande passante du circuit de lecture analogique sans charge

Le nombre d'électrons qui peuvent être lu sans saturer la sortie est de 17.5 me tel qu'illustré à la figure 3.24. La plage dynamique à la sortie est de 125 mV.

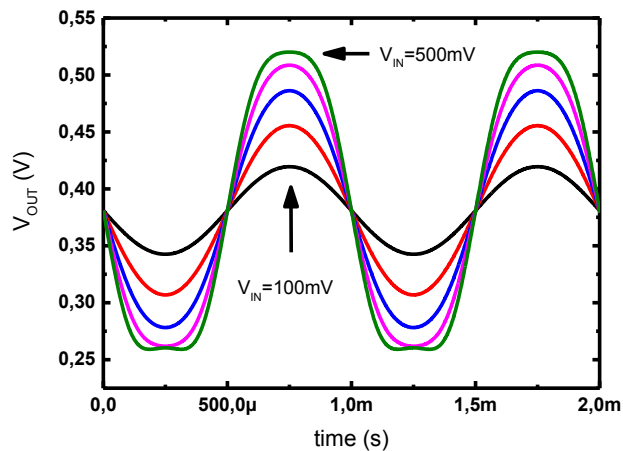


Figure 3.24 Variation du signal V_{OUT} en fonction de l'amplitude de V_{IN} à 1KHz

Les exigences initiales du circuit de lecture analogique et les résultats obtenus sont regroupés dans le tableau 3.14. Seul le gain V_{OUT}/V_{IN} n'a pas été respecté, mais puisque le SET joue un facteur important, cet aspect n'est donc pas propre au circuit et ne peut donc pas être validé. Le gain de transimpédance est de 9.9 mV/nA ce qui permet d'avoir des millivolts en sortie pour quelques nanoampères à l'entrée. La fréquence de coupure est supérieure à ce qui était requis, ce qui n'est pas qu'un avantage, car les fréquences au-delà de 1 KHz seront aussi conservées à la sortie du circuit et pourraient être dommageables au niveau du bruit.

Tableau 3.14 Comparaison des spécifications initiales versus celles obtenues du circuit de lecture analogique

	Exigences initiales	Résultats
Gain de transimpédance	Non spécifié	9.9 mV/nA
Gain $V_{OUT}/NbCharge$	Non spécifié	8.5 V/e
Niveau DC à V_{OUT}	Non spécifié	0.38 V
Puissance moyenne	Non spécifié	193.5 μ W
F_C	1KHz	22 MHz

3.8 L'impact des interconnexions dans la conception de circuits hybrides SET-FET

Dans la littérature, les simulations de circuits hybrides SET-CMOS montrent rarement l'influence des interconnexions sur les performances des circuits. Bounouar *et al.* [71] ainsi que Parekh [74] ont étudié l'ajout d'une interconnexion entre deux cellules inverseurs (SET ou CMOS).

Afin de valider les circuits de lecture numérique et analogique, ils seront re-simulés avec la totalité des effets parasites présents dans les circuits. À chaque nœud du circuit, il y sera attribué une capacité d'interconnexions suivant les équations 3.11 et 3.12. La valeur de 2 pF/cm est la constante par unité de longueur pour une interconnexion M_1 pour le nœud technologie 22 nm.

$$C_{Noeud} = (Nb_{connexions} + 1) * Pitch\ d'interconnexion\ Métal1 * 2pF/cm \quad (3.11)$$

$$C_{Noeud} = (Nb_{connexions} + 1) * 44nm * 2pF/cm \quad (3.12)$$

Par exemple, le nœud V1 du CLA a trois connections, le drain de M_1 , le drain de M_2 et la grille de M_3 , ce qui donne une valeur de capacité d'interconnexions de 35.2 aF. La résistance des interconnexions n'est pas calculée car elle n'influencera pas le comportement des circuits. La faible résistivité des interconnexions est de 5 $\mu\Omega/cm$ ce qui donne, pour l'exemple précédant, une impédance résistive de 22 p Ω . Il faudrait des courants de l'ordre de la dizaine de méga-ampère pour avoir une variation de tension de 1mV.

Le fonctionnement du CLN est très peu affecté par la capacité des interconnexions au niveau des MOSFET car les courants de ceux-ci sont assez élevés. À la figure 3.25 sont superposés les résultats de simulation en fonction de l'augmentation de la capacité d'interconnexion entre l'inverseur SET et l'entrée du circuit. Entre chaque courbe, la capacité est augmentée de 35.2 aF qui correspond à une longueur de 4 pitches ou 176 nm. Le signal de sortie de l'inverseur SET est très affecté par la capacité mais le circuit de lecture fait en sorte que le signal de sortie est encore acceptable jusqu'à 880nm.

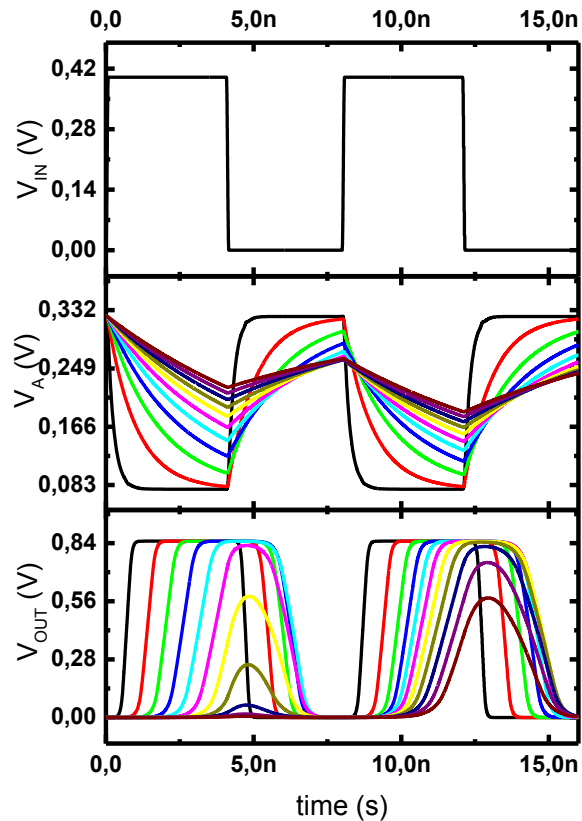


Figure 3.25 Résultat du CLN à 125MHz avec les capacités parasites

Pour ce qui est du CLA, le même exercice a été fait, soit d'ajouter des capacités d'interconnexions à chaque nœud et de seulement faire varier la capacité entre le SET et l'entrée. Le tout est fait en lien avec l'endroit physique attendu du SET, soit sur le dessus d'une puce CMOS. À la figure 3.26 les résultats obtenus indiquent que le signal a une perte de -3dB avec une capacité d'environ 0.1nF. Dans un cas extrême où un TSV, *Through-Silicon Vias*, (entre 10 et 300 fF [75]) serait entre le capteur-SET et le CLA, le circuit fonctionnerait sans difficulté à 1 KHz.

De ce résultat, il faut noter que la modification des paramètres du SET aurait un effet directement sur la fréquence de coupure haute du CLA car c'est lui qui décharge la capacité d'interconnexion. Un SET avec de plus petits courants I_{DS_SET} diminuera la capacité d'interconnexion maximale.

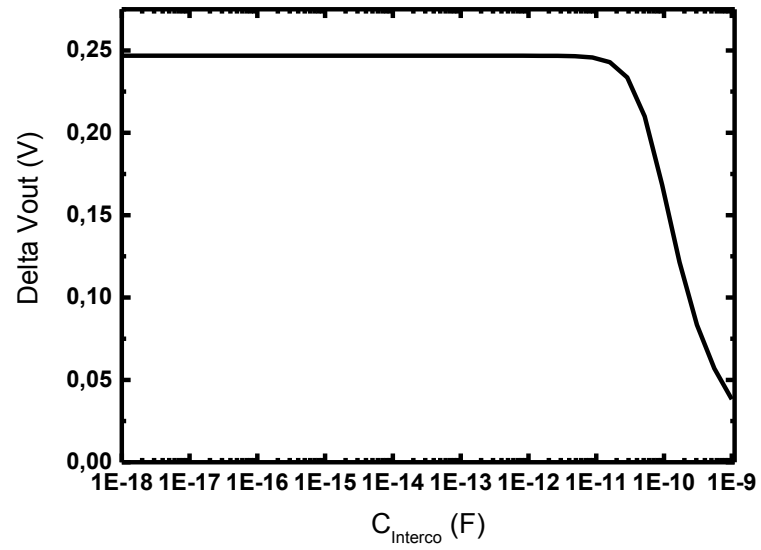


Figure 3.26 Amplitude du signal V_{OUT} à 1kHz en fonction de l'augmentation de la capacité d'interconnexion être le SET et le circuit de lecture analogique

3.9 Conclusion

Dans ce chapitre, les travaux ont démontré la faiblesse des architectures de circuits de lecture existants en démontrant leur sous-performance lorsqu'adaptés à un modèle de simulation de SET plus réaliste et une technologie CMOS conventionnelle. Cela a amené à la création de nouvelles architectures de circuits de lecture numérique et analogique.

Pour ce qui est du CLA, malgré son bon fonctionnement, sa fabrication dans une technologie 22 nm est questionnable. La conception de circuits analogiques se fait habituellement dans des technologies CMOS au-delà du nœud 0.18 μm . Puisqu'il est certain qu'un convertisseur analogique-numérique (ADC) sera utilisé à la suite du CLA, le design de l'ADC influencera la charge vue par le CLA. Si cette charge est réduite, les transistors M_8 et M_9 pourraient être diminués en largeur. Malgré la technologie de CMOS utilisé, les résultats du circuit CLA sont très bons surtout à ce qui attrait à la sensibilité du circuit totale qui est de 0.119 e/V ou 8.4 V/e

Le gain fournit par le remplacement de circuit logique CMOS en SET est possible seulement si la transition SET-CMOS est fonctionnelle, ce que le CLN est en mesure de faire. Dans ce calcul de gain, la prochaine étape sera d'intégrer l'aspect de l'utilisation du silicium. En d'autres termes, le remplacement de CMOS en SET permet d'économiser la surface du silicium nécessaire. Le design du CLN a été pensé dans l'optique de limiter l'espace nécessaire en n'utilisant que des petits transistors afin d'améliorer le coût de fabrication. De plus, les circuits SET sont fabriqués sur les niveaux métalliques au-dessus du CMOS sans penser aux problèmes de cohabitation de SET et des vias/interconnexions au CMOS. Cet espace n'est pas gratuit et est très contraint par les connexions existantes. Pour conclure, le tableau 3.15 résume les avantages-inconvénients des circuits présents dans la littérature et de ceux conçus dans le cadre de ce mémoire.

Tableau 3.15 Résumé des avantages/inconvénients des architectures de circuit de lecture existants

Architectures existantes	Avantages	Inconvénients
Inverseur hybride	+ Architecture simple	– Bande passante déterminée par le SET. – Courbe de transfert déterminée par le V_T du MOSFET
Porte universelle	+ Faible charge capacitive à l'entrée + V_{OUT} unipolaire + Faible consommation DC	– Petite bande passante – Fuites aux grilles et au substrat des MOSFET du même ordre de grandeur que I_{SET} . – Ajustements V_{B1} et V_{B2} critiques
Amplificateur universelle hybride	+ Charge capacitive du SET ne doit pas être chargée/déchargée complètement (amélioration de la bande passante) + Signal d'entrée sur la grille du SET + Bonne bande passante	– Nécessite un amplificateur de transrésistance – Faible variation de I_{OUT} – Courant DC non nul
CLA	+ Beaucoup de possibilités d'ajustement (V_{G1} , V_{G2} , tous les ratios W/L) + Très grande bande passante + V_{OUT} unipolaire + Bonne immunité aux effets parasites capacitifs	– Courant DC élevé – Circuit plus complexe – Déplacement des oscillations de Coulomb impossible
CLN	+ Les SET ne font pas partie du circuit + V_{OUT} unipolaire + Bonne immunité aux effets parasites capacitifs + Permet l'adaptation entre deux alimentations. + Ne nécessite aucun MOSFET de grande taille ($> \mu\text{m}$)	– Ne nécessite aucun gros transistor – Consommation DC

CHAPITRE 4 CADRE EXPÉRIMENTAL

La coexistence de la technologie SET développée à l'UdeS sur le BEOL de CMOS avancé a déjà été validée [10] mais jamais une connexion électrique n'a été réalisée entre les deux. Dans le cadre expérimental de ce projet, il faudra réaliser un premier prototype de circuit simple SET-CMOS dont la fabrication se basera sur le procédé nanodamascène.

4.1.1 Description du circuit CMOS

Les puces CMOS sont fournies par STMicroelectronics. Elles ont initialement été conçues pour développer le procédé de fabrication de la technologie CMOS 32 nm. Il y aura donc un travail d'ajustement afin d'être en mesure de les utiliser.

Les dimensions des puces CMOS sont de 2.6 cm par 3.3 cm. Pour ce projet seulement quelques zones sont utilisables. Elles se nomment MG01, MG02, LOD1 et LOD2 (figure 4.1).

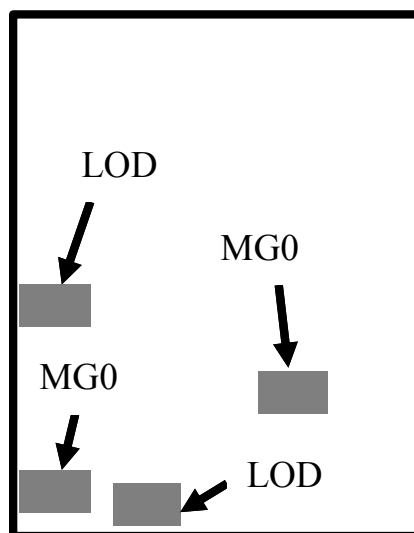


Figure 4.1 Position des zones MG01, MG02, LOD1 et LOD2

Il y a 944 MOSFET dans la totalité des quatre zones donc le ratio de N-MOSFET/P-MOSFET est de 50/50. Ils sont placés en une matrice tel qu'illustré à la figure 4.2. Chaque rectangle représente un plot de cuivre de 50 x 70 μm . Chaque ligne est composée de 8 transistors nommés A à H (la disposition des plots est présentée dans l'agrandissement de la figure 4.2). Une colonne de plots supplémentaire est placée à la suite des grilles des MOSFET H connectés au substrat de la puce CMOS.

Parce que la fabrication de SET sur le BEOL requiert une étape CMP, il faut absolument que l'échantillon envoyé au CMP soit découpé en un carré de 1x1 cm. Pour de meilleurs résultats, il faut que la zone d'intérêt ne soit pas sur le pourtour de l'échantillon. Cela implique que parmi les 4 zones connues, seulement MG01 peut être utilisée. Les

dimensions de tous les transistors varient entre 35 nm et 10 μm pour la longueur et la largeur.

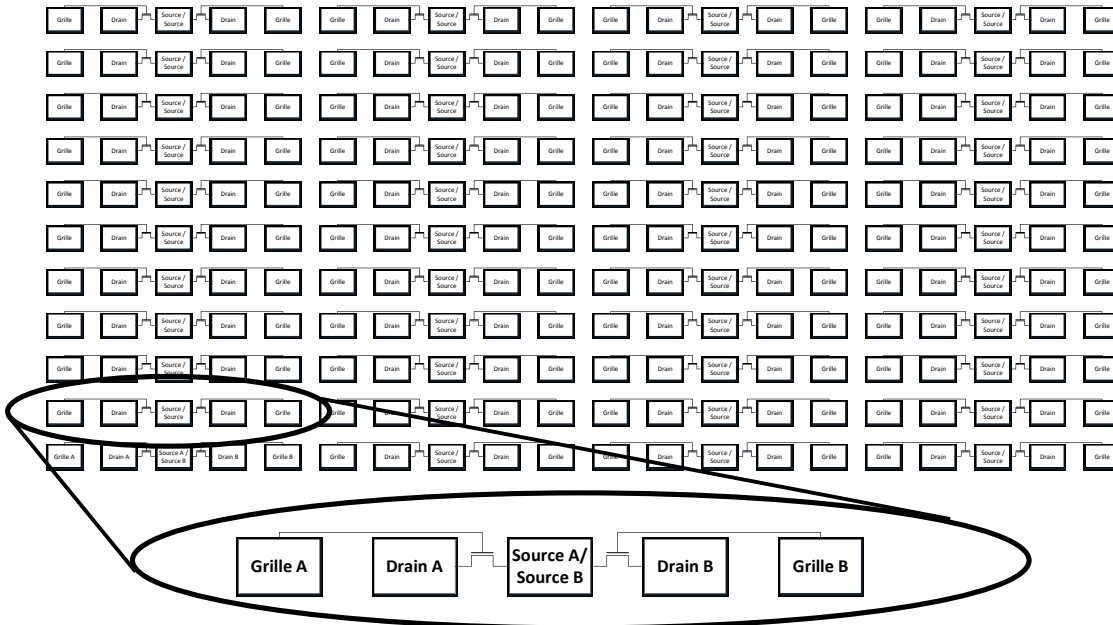


Figure 4.2 Matrice de MOSFET présents sur les puces CMOS

4.2 Les MOSFET

Puisque les puces ont été fabriquées lors du développement des procédés de fabrication de la technologie 32 nm, les dispositifs MOSFET risquent de ne pas offrir les mêmes performances électriques qu'un MOSFET conçu avec une technologie 32 nm mature. Il faudra, avant de concevoir les circuits SET-CMOS, valider les MOSFET pour déterminer lesquels sont électriquement bons.

4.2.1 La procédure d'extraction des paramètres

Les paramètres à extraire sont V_T , SS , R_O , I_{OFF} , I_{ON} , I_{BULK} et I_{GATE} . Le choix de ces paramètres repose sur un fonctionnement minimal des transistors. Il est sous-entendu par fonctionnement minimal, un V_T positif, une pente sous le seuil d'environ 80 mV/décade, une résistivité de canal R_O assez élevée démontra un contrôle de grille, un ratio I_{ON}/I_{OFF} de 10^5 (une variation en V_{DS} affecte peut le courant total I_{DS}) et des courants de fuite inférieurs à 0.1 nA.

Le protocole de prise de mesures électriques soumis aux MOSFET permet d'obtenir les courbes I_D-V_{DS} et I_D-V_{GS} (annexe 3). Elles seront obtenues à l'aide de l'appareil Keithley 4200 comprenant 4 SMU (*Source Measure Units*). Les deux graphiques ainsi tracés seront ensuite analysés pour extraire les caractéristiques des MOSFET (annexe D). La méthode pour déterminer le V_T est basée sur les travaux de Skotnicki [76].

4.2.2 Liste des dispositifs fonctionnels

Puisque le design de circuits hybrides se fera uniquement sur MG01, les travaux de caractérisation de MOSFET ne se feront que sur celle-ci. Le tableau 4.1 présente la liste des dispositifs MOSFET présents dans la zone MG01. Le but d'illustrer la distribution des transistors est de faciliter le choix des transistors lors du design des circuits hybrides.

Tableau 4.1 Liste des transistors (type P et N) de la zone MG01 en fonction de leur dimension

Longueur (μm)	Largeur (μm)																
	0.09	0.11	0.12	0.13	0.15	0.24	0.3	0.36	0.4	0.5	0.6	1	2	3.6	4	6	10
0.035			✓		✓		✓				✓	✓					✓
0.04	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
0.045		✓	✓	✓	✓		✓				✓	✓					✓
0.05		✓	✓	✓	✓		✓				✓	✓					✓
0.06		✓	✓		✓		✓				✓	✓	✓		✓	✓	✓
0.07			✓		✓		✓				✓	✓					✓
0.08			✓		✓		✓				✓	✓					✓
0.1		✓	✓	✓	✓		✓				✓	✓					✓
0.12		✓	✓	✓			✓				✓	✓					✓
0.15					✓												
0.16											✓						
0.24		✓	✓	✓	✓		✓				✓	✓					✓
0.5		✓	✓	✓	✓		✓				✓	✓					✓
0.8											✓						
1		✓	✓	✓	✓		✓				✓	✓					✓
4											✓						
10		✓	✓	✓	✓		✓				✓	✓					✓

Les mesures électriques ont été faites sur les deux puces CMOS H362 et H377. Ces deux puces sont deux découpes d'une même plaque 300 mm. Leurs performances électriques seront considérées identiques ce qui permettra de les comparer/compléter. À la réception des puces CMOS, la surface est dotée d'une triple couche d'oxyde. Pour avoir accès aux plots en cuivre des MOSFET il faudra graver des ouvertures vis-à-vis les plots. Pour ce faire, une étape de lithographie suivie d'une étape de gravure plasma ont été faites.

Les premières mesures électriques ont visé les transistors que STMicroelectronics a indiqués comme fonctionnels (tableau 4.2). Cette liste affiche quelques lacunes parce qu'elle comprend beaucoup de doublons et que les transistors ne représentent pas toutes les dimensions possibles. Une autre série de mesures électriques s'est imposée mais cette fois en validant l'effet de la largeur des transistors. Seuls les transistors qui ont une longueur de 0.5 μm , 1 μm et 10 μm ont été utilisés. Les largeurs validées étaient 0.11 μm , 0.12 μm , 0.13 μm , 0.15 μm , 0.3 μm , 0.6 μm , 1 μm et 10 μm (tableau 4.2). La conclusion de ces séries de mesures est que seulement les transistors ayant 0.6 μm et plus de largeur sont fonctionnels.

Afin de valider la plage de longueurs fonctionnelles, une troisième série de mesures a été faite sur H377. Les résultats sont présentés dans le tableau 4.3. Les conclusions sont que

les MOSFET avec une longueur inférieure à $0.16\ \mu\text{m}$ et $0.1\ \mu\text{m}$ pour les N-MOSFET et les P-MOSFET respectivement ne sont pas fonctionnels.

Tableau 4.2 Résultats électriques de H362

MOS ST approuve	005-G	005-H	006-A	006-B	006-C	067-A	067-B	067-C	067-F	067-G	067-H
Type	N	N	N	N	N	N	N	N	N	N	N
L	0.24	0.16	0.12	0.1	0.08	0.5	0.5	0.5	0.24	0.24	0.24
W	0.6	0.6	0.6	0.6	0.6	0.6	0.6	0.6	0.6	0.6	0.6
Ion				2.70E-04		3.68E-05	3.51E-05	1.50E-05		6.06E-05	5.74E-05
Ioff				3.66E-05		1.22E-12	6.64E-12	1.50E-12		7.40E-13	7.69E-13
Ibulk				2.90E-10		1.90E-11	-7.09E-12	1.79E-11		1.37E-11	1.47E-11
Igate				9.02E-12		9.71E-12	7.88E-12	9.72E-12		9.77E-12	8.57E-12
Ron				6.94 K		446.2 K	423.8 K	1.5 Meg		103 K	103.7 K
SS				1.6 V/dec		0.85 V/dec	90 mV/dec	85 mV/Dec		90 mV/Dec	85 mV/Dec
Vt				0.13 V		0.8 V	0.82 V	0.75 V		0.7 V	0.66 V
	Erreur de manipulation	Erreur de manipulation	Court-Circuit		Court-Circuit				Court-circuit grille-source		

MOS ST approuve	068-C	068-D	068-E	101-B	101-C	101-D	104-B	104-C	104-D	104-G	104-H
Type	N	N	N	N	N	N	N	N	N	N	N
L	0.12	0.12	0.12	0.15	0.15	0.15	0.27	0.27	0.27	0.15	0.15
W	0.6	0.6	0.6	1	1	1	0.6	0.6	0.6	0.6	0.6
Ion	2.04E-04	2.14E-04		3.47E-04	1.23E-04	2.02E-04	5.59E-05	5.59E-05		1.49E-04	1.41E-04
Ioff	1.32E-07	1.21E-07		1.20E-10	3.34E-12	7.14E-12	4.18E-12	4.17E-12		9.92E-12	2.88E-11
Ibulk	-1.80E-10	-1.28E-10		-5.41E-10	-2.13E-09	-8.71E-11	1.11E-11	1.33E-11		-1.60E-10	-1.39E-10
Igate	9.60E-12	9.46E-12		9.70E-12	2.16E-09	5.83E-11	8.74E-12	8.71E-12		1.73E-11	1.07E-11
Ron	18.6 K	16.545 K		12.39 K	30 K	18.67 K	154.1 K	67.78K		27 K	32.8 K
SS	160 mV/Dec	150 mV/Dec		95 mV/Dec	72 mV/Dec	80 mV/Dec	78 mV/Dec	80mV/dec		87.5 mV/Dec	93.3 mV/Dec
Vt	0.27 V	0.24 V		0.53 V	0.55 V	0.58 V	0.72 V	0.81		0.57 V	0.58 V
			Court-Circuit						Mauvais contact		

MOSFET	001-A	003-E	005-B	007-E	007-F	009-C	009-D	009-E	010-H	011-B	012-A
Type	N	N	N	N	N	N	N	N	N	N	N
L	10	10	10	10	1	10	1	0.5	10	0.5	10
W	10	1	0.6	0.3	0.3	0.15	0.15	0.15	0.13	0.13	0.12
Ion	3.50E-05	2.33E-06	1.39E-06								
Ioff	1.08E-10	2.79E-13	3.30E-13								
Ibulk	-2.57E-10	1.41E-11	1.54E-11	Circuit ouvert	Circuit ouvert	Circuit ouvert	Circuit ouvert	Circuit ouvert	Circuit ouvert	Circuit ouvert	Circuit ouvert
Igate	1.24E-10	1.02E-11	9.67E-12								
Ron	12.3 Meg	86.11 Meg	150 Meg								
SS	80	80	80								
Vt	mV/Dec	mV/Dec	mV/Dec								
	0.835 V	0.92 V	0.88 V								

MOSFET	012-B	012-C	013-F	013-G	013-H	015-A	017-E	018-B	019-C	019-D	019-F
Type	N	N	N	N	N	P	P	P	P	P	P
L	1	0.5	10	1	0.5	10	10	10	4	1	0.5
W	0.12	0.12	0.11	0.11	0.11	10	1	0.6	0.6	0.6	0.6
Ion						9.03E-06	8.49E-07	4.52E-07	-9.46E-07	-1.71E-06	-4.86E-06
Ioff						7.02E-09	7.08E-11	7.13E-11	-2.31E-10	-4.64E-09	-1.22E-10
Ibulk						8.14E-10	7.61E-11	-1.39E-10	2.07E-10	4.13E-09	1.20E-10
Igate						-3.74E-11	4.33E-12	6.47E-12	2.48E-12	7.07E-12	6.68E-12
Ron						31.4 Meg	143 Meg	421 Meg	40 Meg	23.4 Meg	3.19 Meg
SS						90	110	120	100	125	95
Vt						mV/Dec	mV/Dec	mV/Dec	mv/Dec	mV/Dec	mV/Dec
						-0.78 V	-0.77 V	-0.81 V	-0.87 V	-0.94 V	-0.89 V

MOSFET	021-E	021-F	021-G	023-C	023-D	023-E	024-H	026-A	027-F	027-H
Type	P	P	P	P	P	P	P	P	P	N
L	10	1	0.5	10	1	0.5	10	10	10	0.5
W	0.3	0.3	0.3	0.15	0.15	0.15	0.13	0.12	0.11	0.11
Ion										
Ioff										
Ibulk										
Igate										
Ron										
SS										
Vt										
	Circuit ouvert	Court-circuit au substrat	Court-circuit au substrat	Circuit ouvert	Court-circuit au substrat	Court-circuit au substrat	Circuit ouvert	Circuit ouvert	Circuit ouvert	Court-circuit au substrat

Tableau 4.3 Résultats électriques sur H377

MOSFET	001-A	001-E	001-F	001-G	002-G	003-E	003-G	003-H	004-A	004-B
Type	N	N	N	N	N	N	N	N	N	N
L	10.00	0.12	0.10	0.08	0.04	10.00	0.50	0.24	0.12	0.10
W	10.00	10.00	10.00	10.00	6.00	1.00	1.00	1.00	1.00	1.00
Ion	2.51E-03					2.23E-06	7.45E-05	2.03E-04	8.49E-04	
Ioff	1.37E-04					2.17E-13	3.39E-12	4.96E-12	1.24E-04	
Ibulk	-8.32E-10					1.72E-11	1.66E-11	-3.08E-12	-1.28E-09	
Igate	1.02E-11					9.47E-12	7.12E-12	7.45E-12	7.33E-12	
Ron	10.33 K					2.724 T	479 G	636 G	4.7 K	
SS	---					85	80	90	---	
Vt	0.59 V					mV/Dec	mV/Dec	mV/Dec	---	
						0.9 V	0.72 V	0.62 V	~0 V	
		Court-circuit	Court-circuit	Court-circuit	Court-circuit					Court-circuit

MOSFET	004-C	004-E	004-G	005-B	005-C	005-H	006-A	006-B	006-C	007-C
Type	N	N	N	N	N	N	N	N	N	N
L	0.08	0.06	0.05	10.00	4.00	0.16	0.12	0.10	0.08	0.04
W	1.00	1.00	1.00	0.60	0.60	0.60	0.60	0.60	0.60	0.40
Ion				1.23E-06	3.42E-06	2.24E-04	3.51E-04	6.68E-04		
Ioff				3.68E-13	4.98E-13	2.54E-09	2.05E-05	3.89E-04		
Ibulk				1.89E-11	1.48E-11	-1.01E-10	-4.37E-10	-4.21E-10		
Igate				7.77E-12	5.62E-12	6.49E-12	6.82E-12	5.45E-12		
Ron				12.3 G	1.04 T	373 Meg	25.3 K	2.7 K		
SS				80	90	110	---	---		
Vt				mV/Dec	mV/Dec	mV/Dec	---	---		
				0.95 V	0.9 V	0.4 V	---	---		

MOSFET	015-F	015-G	016-C	016-G	017-E	017-G	018-B	018-D	018-F	018-G
Type	P	P	P	P	P	P	P	P	P	P
L	0.1	0.08	0.045	0.04	10	0.5	0.1	0.07	0.05	0.045
W	10	10	10	6	1	1	1	1	1	1
Ion	-1.72E-03	-1.79E-03	-5.02E-05	-3.99E-03	-6.64E-07	-2.62E-06	-6.56E-05	-1.90E-04	-2.41E-04	-3.25E-04
Ioff	-3.24E-09	-8.14E-08	-1.70E-06	-1.22E-03	-4.63E-10	-1.62E-11	-7.16E-11	-4.62E-07	-4.93E-05	-1.08E-04
Ibulk	1.29E-10	4.85E-10	4.24E-11	2.19E-09	3.60E-10	2.04E-11	4.38E-11	5.01E-11	1.50E-10	2.65E-09
Igate	-1.34E-11	6.43E-12	6.94E-12	5.59E-12	4.21E-12	4.88E-12	6.64E-12	4.35E-12	5.05E-12	6.62E-12
Ron	1.6 K	1.15 K	31 K	4.7 K	201 Meg	5.4 Meg	28.3 K	9.36 K	5.7 K	6 K
SS	100	140	---	---	120	100	120	---	---	---
Vt	mV/Dec	mV/Dec	---	---	mV/Dec	mV/Dec	mV/Dec	---	---	---
	-0.46 V	-0.44 V	---	---	-0.83 V	-1.02 V	-0.64 V	---	---	---

MOSFET	018-H	019-B	019-C	019-G	020-B	020-C	020-D	020-F	020-G	021-C
Type	P	P	P	P	P	P	P	P	P	P
L	0.04	10	4	0.24	0.1	0.08	0.07	0.05	0.045	0.04
W	1	0.6	0.6	0.6	0.6	0.6	0.6	0.6	0.6	0.04
Ion		-5.04E-07	-9.14E-07	-1.59E-06	-4.56E-05	-5.02E-05	-1.08E-04	-8.88E-05		
Ioff		-5.36E-11	-1.53E-11	-2.40E-11	-9.44E-11	-1.70E-06	-3.12E-06	-1.82E-05		
Ibulk		5.63E-11	2.88E-11	1.50E-11	7.28E-10	4.24E-11	6.91E-10	7.90E-10		
Igate		3.81E-12	6.04E-12	4.69E-12	6.36E-12	6.94E-12	-8.83E-11	6.40E-12		
Ron		10 G	42.3 G	24.8 G	7.88 G	451 K	235 K	33 K		
SS		110	100	110	130	---	---	--		
Vt		mV/Dec	mV/Dec	mV/Dec	mV/Dec	---	---	--		
	Court-circuit	-0.79 V	-0.86 V	-1.07 V	-0.69 V	-0.62 V	-0.52 V	--	Court-circuit	Court-circuit

La liste complète des transistors fonctionnels de la zone MG01, suite aux travaux de caractérisation électrique, est présentée au tableau 4.4. Il y a 15 N-MOSFET et 21 P-MOSFET électriquement viables.

Tableau 4.4 Liste des transistors fonctionnels de MG01

Longueur r (μm)	Largeur (μm)																
	0.0 9	0.1 1	0.1 2	0.1 3	0.1 5	0.2 4	0. 3	0.3 6	0. 4	0. 5	0.6	1	2	3. 6	4	6	10
0.035			x		x		x				x	x					x
0.04	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
0.045		x	x	x	x		x				x	x					x
0.05		x	x	x	x		x				x	x					x
0.06		x	x		x		x				x	x	x		x	x	x
0.07			x		x		x				x	x					x
0.08			x		x		x				x	x					x
0.1		x	x	x	x		x				x	x					x
0.12		x	x	x			x				x	x					x
0.15					x												
0.16											x						
0.24		x	x	x	x		x				x	x					x
0.5		x	x	x	x		x				x	x					x
0.8											x						
1		x	x	x	x		x				x	x					x
4											x						
10		x	x	x	x		x				x	x					x

Légende :
 * Lorsque les dispositifs ne sont pas fonctionnels (N-MOSFET & P-MOSFET)
 *x Seul les dispositifs P-MOSFET sont fonctionnels
 ✓ Les dispositifs sont fonctionnels

4.3 Conception du circuit hybride

La conception des circuits hybrides SET-CMOS pour le prototype a été faite dans l'environnement de simulation Cadence. Le SET utilisé est présenté dans le tableau 4.5. Les valeurs des paramètres ont été choisies en fonction des travaux de Dubuc *et al* .[6], qui représentent le dispositif SET qu'il est possible d'obtenir à ce jour. L'utilisation d'un SET « réaliste » permet aux simulations d'être plus représentatives de ce qui est attendu.

Tableau 4.5 Paramètre du SET pour le prototype physique

H	2nm	Phi	0.35eV
W	15nm	T	300
D _G	45nm	C _{G1}	0.1335aF
D _B	150nm	C _{G2}	0.006aF
L	45nm	C _T	0.1859aF
TiO2	5nm		

Le choix des architectures à implémenter dans la conception de circuits hybrides SET-CMOS n'a pu se baser sur les nouveaux designs présentés dans le chapitre précédent (CONCEPTION). La conception de circuits hybrides a été soumise à de nouvelles contraintes propres au projet :

- 1- Le faible nombre de transistors disponibles
- 2- La taille des dispositifs disponible
- 3- Chaque MOSFET est unique en termes de dimensions physiques
- 4- Les capacités parasites sont plus ou moins connues
- 5- La démonstration de performance en fréquence n'est pas le but de ce projet

Les architectures choisies pour la conception de circuits SET-CMOS sont la porte universelle (Chapitre 2.3.1) et l'amplificateur hybride universel (chapitre 2.3.2). Leur sélection est basée sur leur simplicité d'utilisation et l'utilisation de plusieurs tensions de polarisation de grille V_G . Il sera possible de compenser les erreurs entre les simulations et la réalité avec ces sources de tension externes. Le modèle de simulation des MOSFET utilisé est le PTM 32 nm LP

4.3.1 Les circuits implémentés

Il y a trois instances du circuit de la porte universelle (figure 4.3) qui sont intégrées dans le prototype. Les circuits sont cependant inversés en ce qui a trait à l'ordre de la position des dispositifs MOSFET et SET. Le SET est au V_{DD} contrairement au circuit présenté précédemment. C'est ce circuit qui requiert les meilleurs MOSFET (le plus grand R_O) pour un fonctionnement optimal. Si le R_O est faible, les fuites seront trop élevées par rapport au $I_{DS\ SET}$ et V_{OUT} ne pourra osciller entre la masse et V_A (figure 4.3). Dans ce cas, V_{OUT} sera principalement déterminé avec le rapport des R_O de Q_1 et Q_2 . Seulement 6 MOSFET répondaient à cette particularité, trois de type P et trois de type N. C'est pour cette raison qu'il y a seulement trois instances. Le nanofil à V_{OUT} peut-être fabriqué en même temps que le SET sur le BEOL.

La totalité des paramètres utilisés sont présentés dans le tableau 4.6. La polarisation V_{DS} du SET désiré est toujours de 600 mV. Elle est ajustée à l'aide de V_{G2} . V_{G1} permet d'ajuster le courant I_{DS} de Q_1 afin d'être à la mi-course des oscillations de Coulomb du SET. Les résultats de simulations sont présentés à la figure 4.4 et la figure 4.5. On constate que les trois circuits sont fonctionnels, ont une grande plage de tension à la sortie et fonctionnent aussi à 1KHz.

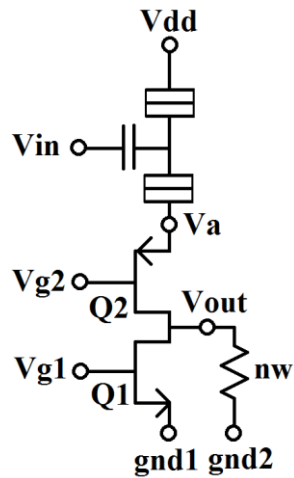


Figure 4.3 Circuit de la porte universelle implémentée dans le prototype. Soit les circuits A₁, A₂ et A₃

Tableau 4.6 Paramètres de simulation des instances de la porte universelle

V _{DD}	1.6V	W/L Q ₁ A ₁	1μm/10μm
V _{G1} A ₁	0.53V	W/L Q ₂ A ₁	1μm/10μm
V _{G2} A ₁	0.48V	W/L Q ₁ A ₂	0.6μm/10μm
V _{G1} A ₂	0.555V	W/L Q ₂ A ₂	0.6μm/10μm
V _{G2} A ₂	0.45V	W/L Q ₁ A ₃	0.6μm/4μm
V _{G1} A ₃	0.512V	W/L Q ₂ A ₃	0.6μm/4μm
V _{G2} A ₃	0.5V		

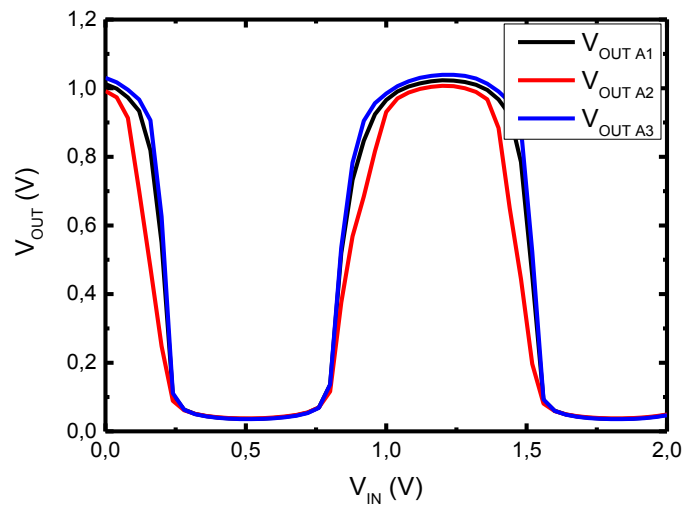


Figure 4.4 Courbes de transfert des trois instances du circuit de la porte universelle obtenues en simulation

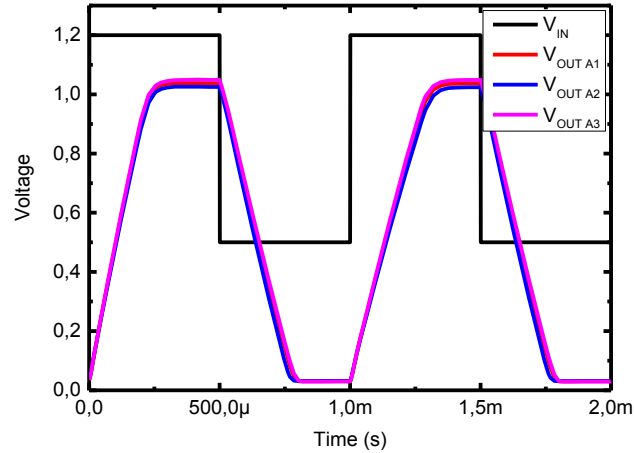


Figure 4.5 Résultats temporels d'une onde carrée à 1KHz des trois instances du circuit de la porte universelle obtenues en simulation

Il y a quatre instances du circuit de l'amplificateur hybride universel. En séparant la masse du SET avec la source de Q_2 , on s'affranchit des variations de V_T du MOSFET. Pour les simulations, V_B fût connecté à la masse. Les résultats de simulations sont présentés à la figure 4.6 et à la figure 4.7. Bien que les résultats soient moins intéressants du point de vue de la variation du signal de sortie (I_{OUT}), les circuits procurent des gains de courant (I_{OUT}/I_{SET}) supérieurs à 1.

Tableau 4.7 Liste de paramètres de simulation pour les quatre instances de l'amplificateur universel hybride.

1 ^{er} instance		2 ^e instance		3 ^e instance		4 ^e instance	
V_{DD}	1.1 V	V_{DD}	1.1 V	V_{DD}	1.1 V	V_{DD}	1.1 V
V_{G1}	1.1 V	V_{G1}	1.1 V	V_{G1}	0 V	V_{G1}	0 V
V_b	0V	V_b	0V	V_b	0V	V_b	0V
Q_1	W 1 μm	Q_1	W 1 μm	Q_1	W 1 μm	Q_1	W 1 μm
	L 0.5 μm		L 0.24 μm		L 0.5 μm		L 0.24 μm
Q_2	W 0.6 μm	Q_2	W 0.6 μm	Q_2	W 0.6 μm	Q_2	W 0.6 μm
	L 0.24 μm		L 0.16 μm		L 0.24 μm		L 0.16 μm

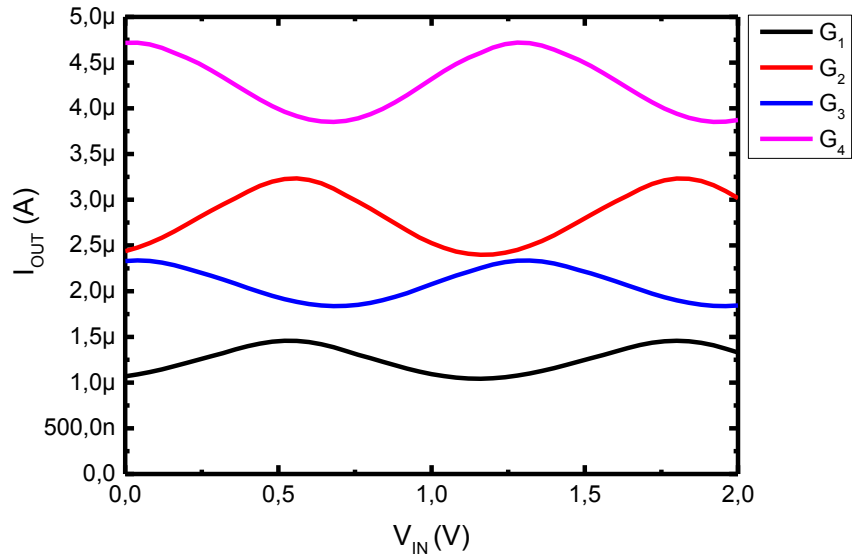


Figure 4.6 Courbe de transfert des quatre instances de l'amplificateur universel hybride

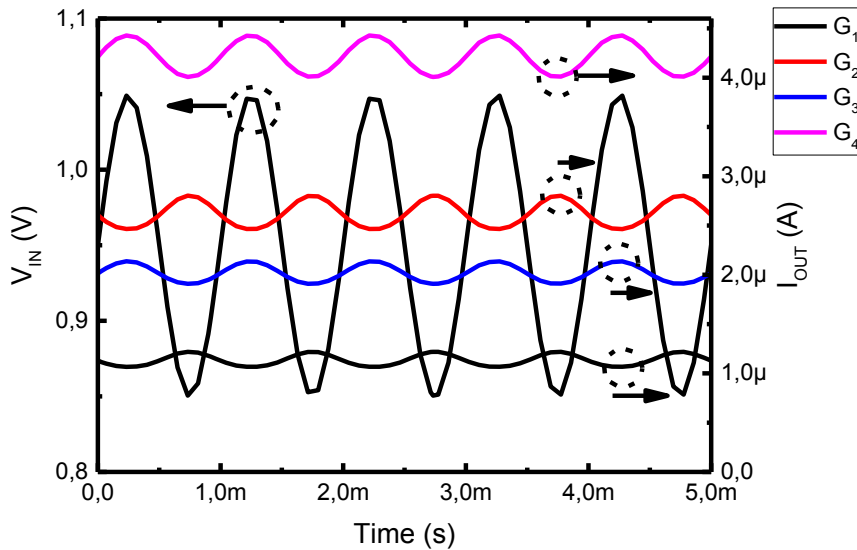


Figure 4.7 Réponse temporelle à un sinus 1KHz pour les instances de l'amplificateur universel hybride

4.4 Fabrication

La fabrication de dispositifs SET sur le BEOL a été démontrée par Jovet *et al.* [10], [77] mais aucun circuit hybride SET-CMOS n'a été réalisé. Un procédé complet d'hybridation SET-CMOS intégrant le procédé nanodamascène a été développé dans le cadre de ce projet.

Ce procédé nanodamascène intégré n'est pas celui présenté par Dubuc *et al.* [6], mais plutôt une version améliorée (le même procédé qu'utilisé par Jovet *et al.*[77]). Premièrement, il y a une auto alignement de l'îlot et de la grille du SET développé par Morissette [12]. Deuxièmement, la gravure de la tranchée n'est plus faite par une écriture directe par faisceau d'électrons dans

l'oxyde mais, par une électrolithographie dans une résine ZEP et une gravure plasma faite dans le cadre des travaux de Guilmain [11].

La fabrication du prototype se sépare en trois parties : la fabrication des vias, des interconnexions et des nanodispositifs SET. L'approche *vias-first* (on débute par la fabrication des vias) ou l'approche *vias-last* (les vias sont fabriqués à la toute fin) pourraient être utilisées. Pour le prototype, l'approche *vias-first* a été choisie pour satisfaire la technique dual-damascène ce qui permet qu'une seule étape de CMP soit requise pour la fabrication des SET.

4.4.1 Procédé de fabrication

Les étapes du procédé de fabrication sont illustrées à la figure 4.8. À l'étape 1, suite à la réception de la puce, un nettoyage par solvant (acétone-IPA-Eau DI) est fait sur elle pour enlever les résidus que peut avoir laissés la découpe. L'étape 2 comprend la création des interconnexions avec une photolithographie et une gravure plasma de 60nm de profondeur. À l'étape 3 on grave les vias avec une seconde photolithographie et une gravure plasma de 400nm de profondeur qui procure un peu de sur-gravure au niveau des plots de cuivre des MOSFET. Conceptuellement parlant, les vias pourraient être fabriqués avant les interconnexions mais le MF319 grave le cuivre. Le MF319 est le développeur de résine utilisé pour enlever la photorésine qui a été exposée lors des photolithographies.

À partir de l'étape 4, on commence par la fabrication des nanodispositifs selon le procédé nanodamascène de Dubuc *et al.*[6]. Tout d'abord, on écrit les nanotranchées avec un faisceau d'électrons et elles sont ensuite gravées avec une gravure plasma de 20nm. À l'étape 5, l'îlot est déposé par évaporation et soulèvement avec double couche de résine. Cette lithographie est aussi faite avec un faisceau d'électrons. À l'étape 6, on fait un traitement chimique du cuivre avec du BPS-172 et suit le dépôt du titane par pulvérisation sur tout l'échantillon, ce qui remplira les vias, les interconnexions et les nanodispositifs. L'étape 7 illustre le CMP, qui est la planarisation mécano-chimique de l'échantillon. On arrête le CMP lorsque toutes les structures sont isolées électriquement, en d'autres termes, lorsqu'il n'y a plus de titane sur l'oxyde du BEOL. On peut poursuivre le CMP afin de réduire l'épaisseur des structures. On réduit ainsi la capacité totale des îlots et cela permet aux SET de fonctionner à 300K. Toutes les étapes d'électrolithographie et de gravure plasma ont été faites et présentées par Bruno Lee Sang [78].

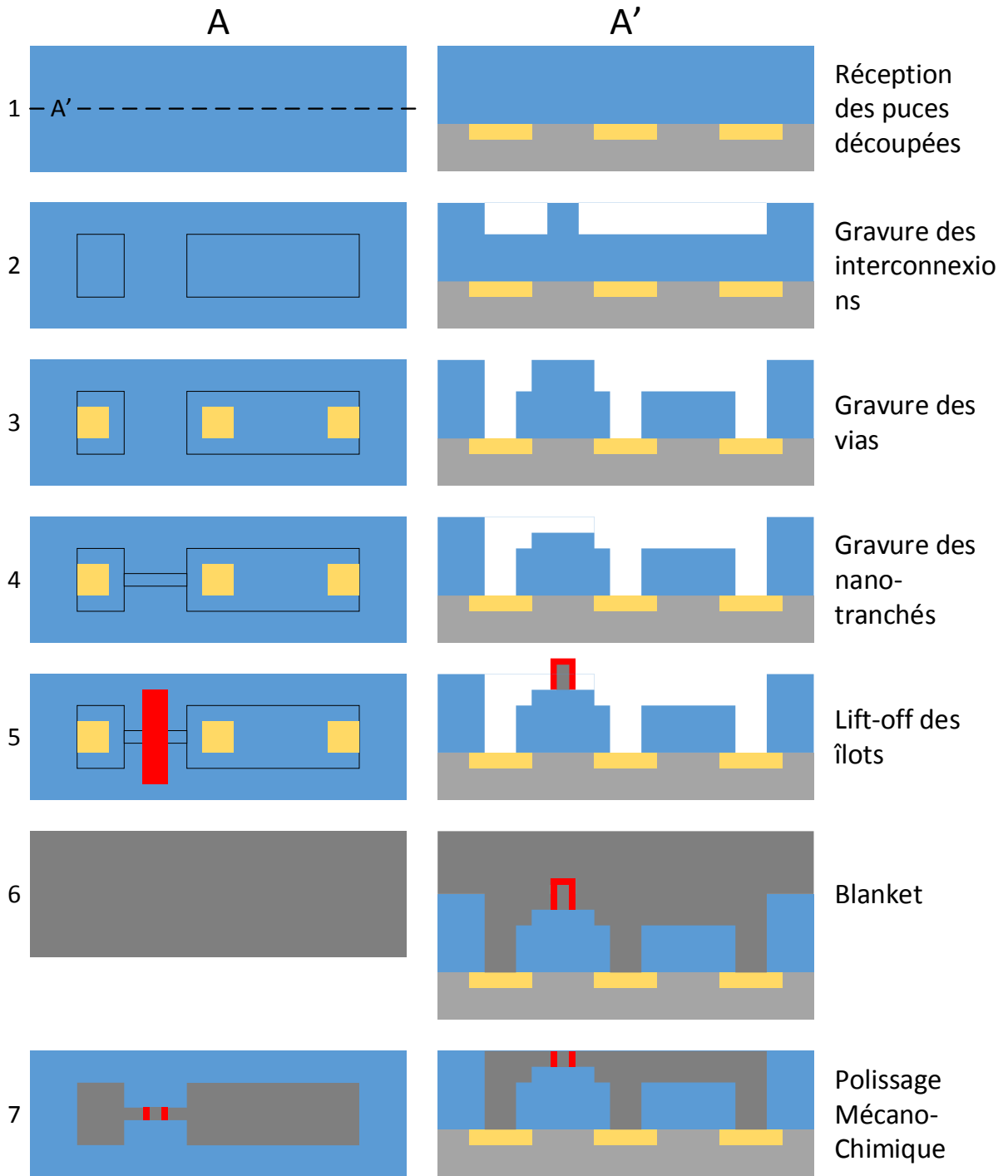


Figure 4.8 Procédé de fabrication

4.5 Design des photomasques

Afin de simplifier la fabrication, il y aura un seul niveau d'interconnexions. Cela fait en sorte que deux photomasques seront conçus, un pour les interconnexions et un pour les vias. Cette limitation fait en sorte que le design des photomasques sera intimement lié au design des circuits, car l'unique niveau d'interconnexions limitera les possibilités de relier plusieurs MOSFET puisqu'aucun croisement ne peut être fait.

La figure 4.9 illustre le design complet de la zone MG01. Les plots des MOSFET sont en jaune, les interconnexions en bleu et les vias en rouge. On observe que les interconnexions peuvent être très longues. À des fins de référence, le pas entre les plots des MOSFET est de 130 μm en X et de 60 μm en Y. Certaines interconnexions font plus de 3000 μm de longueur.

La figure 4.10 est une vue rapprochée du design d'un plot relié aux MOSFET. Les dummies, en bleu pâle, sont des structures sacrificielles nécessaires pour avoir de bons résultats à la CMP. Ils sont placés de façon à ce que la densité totale des structures soit de 50% et leurs dimensions sont déterminées de façon à limiter l'érosion et l'abrasion sur l'échantillon. L'érosion est le surpolissage présent sur une zone (dummies et non-dummies) qui abaisse la hauteur maximale des structures. L'abrasion, le *dishing*, est le surpolissage qui apparaît au milieu des structures métalliques lorsqu'elles sont trop larges[79]. L'ensemble des structures dummies et des interconnexions respecte un pas de 2 μm . C'est la largeur maximale avant que les effets d'érosion et d'abrasion apparaissent lors du CMP.

L'alignement entre les différentes étapes de fabrication, soit : les interconnexions, les vias et les SET, est crucial. Chacune d'elles est référée aux structures sur la puce CMOS pour éviter que les erreurs d'alignement ne s'additionnent.

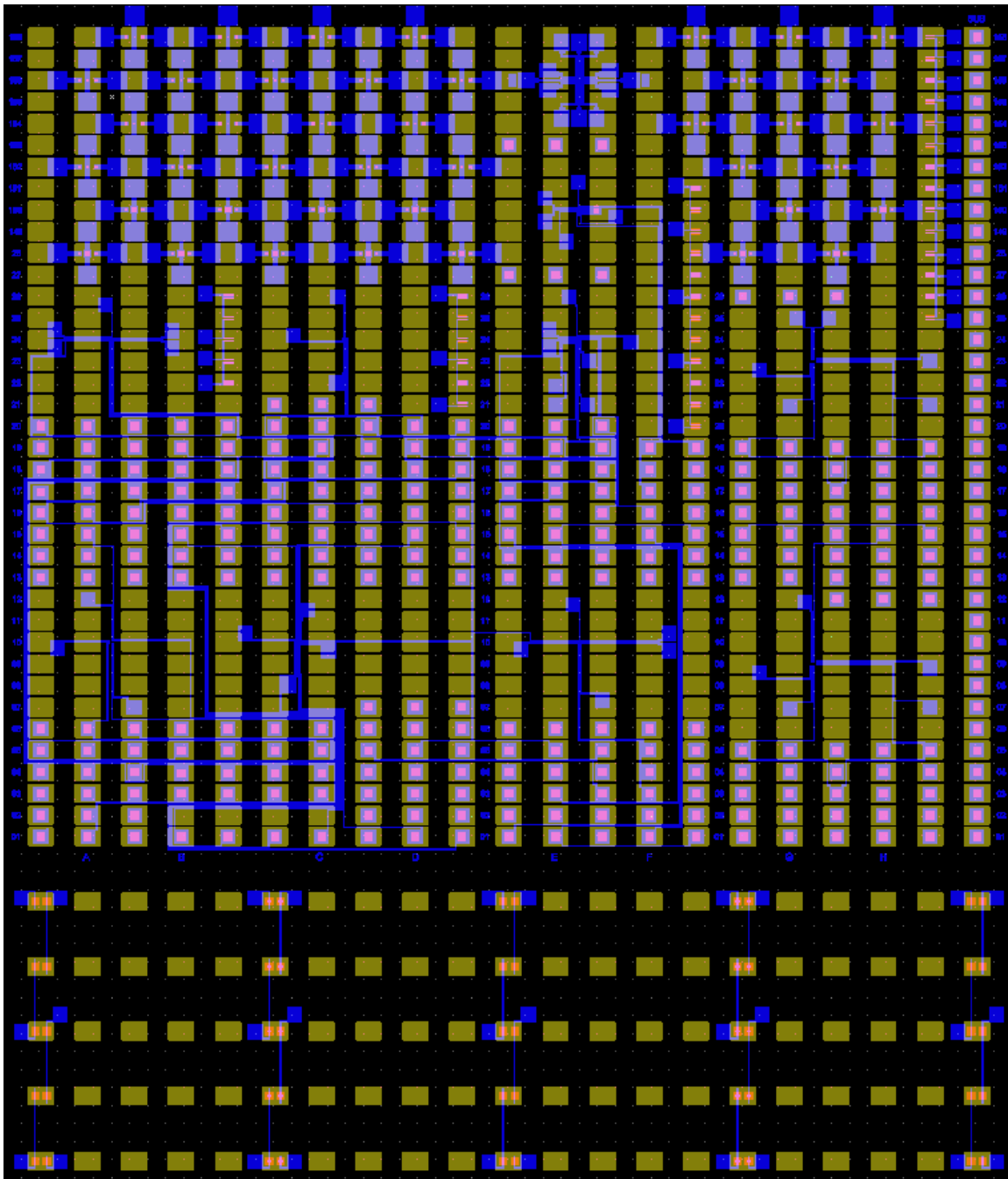


Figure 4.9 Design des interconnexions sur la zone MG01

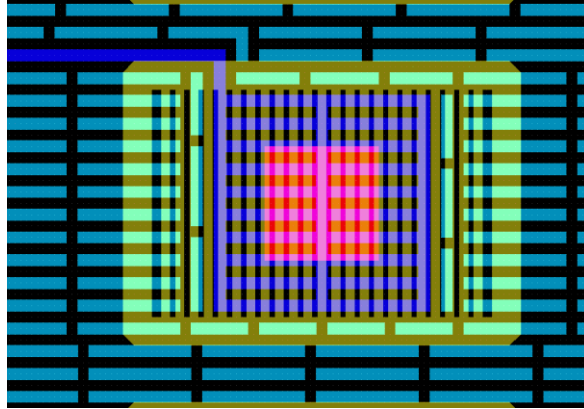


Figure 4.10 Vue rapprochée du design d'un via connecté à un plot de la puce CMOS.
Les interconnexions en bleu foncé, les dummies UV en bleu pâle,
le via en rouge et le plot du CMOS en jaune

Afin de caractériser la résistivité des vias, il a fallu concevoir des structures tests (figure 4.11). La figure de gauche montre le test de vias de $2\ \mu\text{m}$. Il existe d'autres structures tests comme celles-ci pour des vias de $1 \times 2.5\ \mu\text{m}$ et $5\ \mu\text{m}$. Le design de la structure de droite est pour mesurer la résistance des vias de $20\ \mu\text{m}$, les mêmes qu'utilisés pour les vias de MOSFET.

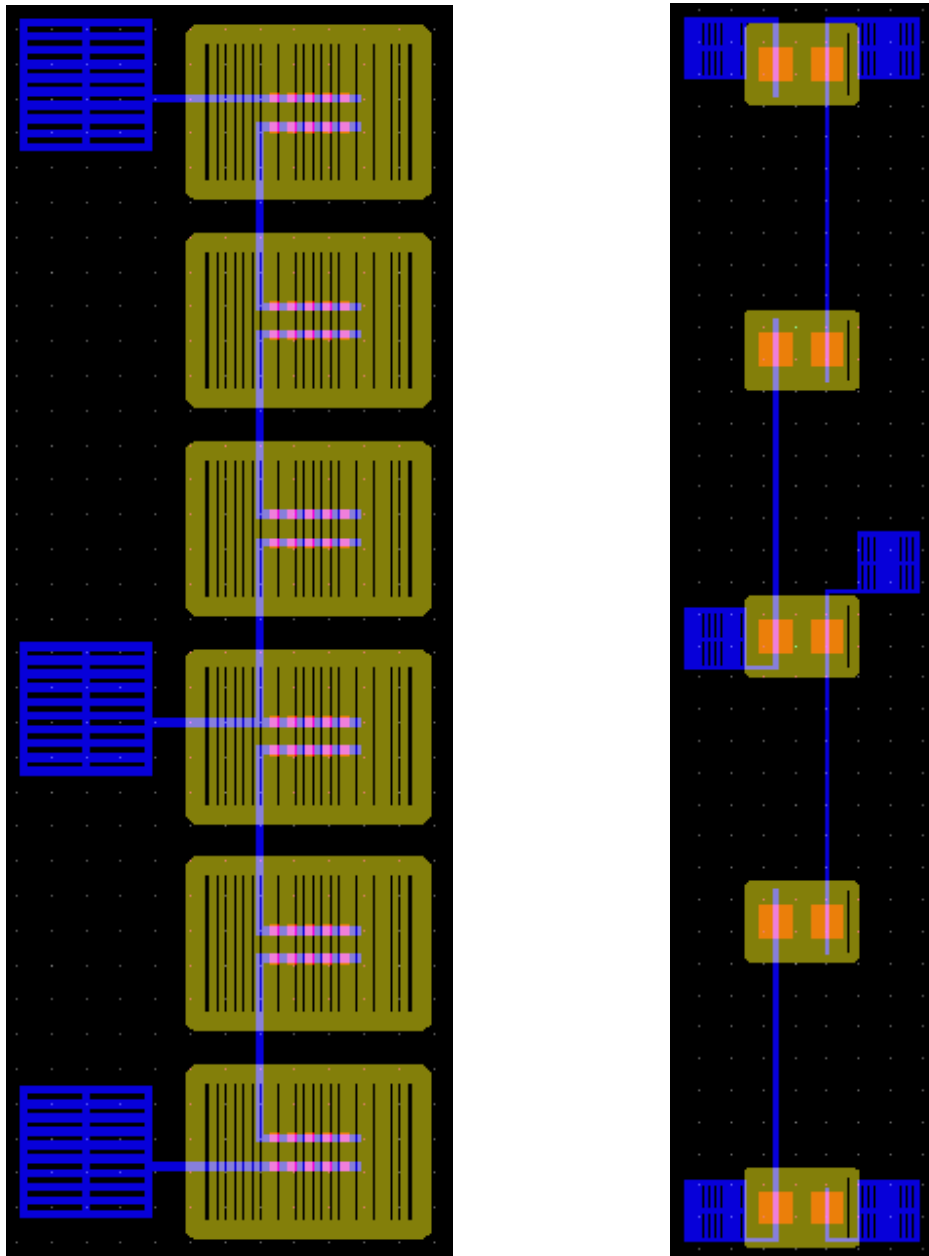


Figure 4.11 Exemple de structures test pour la caractérisation des vias

La fabrication des nanostructures se fait à l'aide d'un microscope électronique. La figure 4.12 montre un exemple de design. On y voit les espaces libres, sans dummies, servant à l'alignement sur les puces CMOS. L'alignement se fait sur les coins de plots CMOS prédéterminés. Il y a 4 étapes d'alignement distinctes dont le grossissement varie de 300x à 1200x[78].

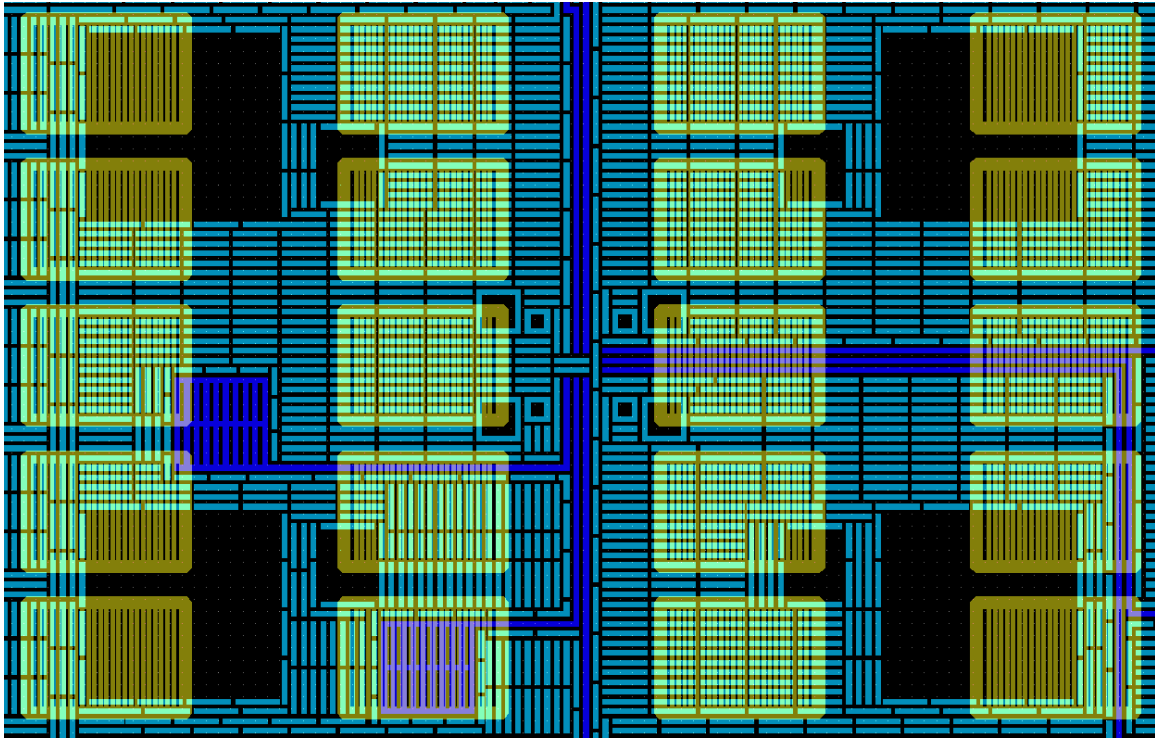


Figure 4.12 Zone pour lithographie par faisceau d'électrons

4.6 Analyse des résultats

L'utilisation de vias de $20\ \mu\text{m}$ pour connecter les MOSFET avait pour but d'optimiser la connexion électrique avec le plot ligné de cuivre. Cependant, les vias de $20\ \mu\text{m}$ n'ont donné aucun résultat électrique. La figure 4.13 illustre le problème, le pourtour du via est déjà surpoli alors que le CMP sur le reste de l'échantillon est loin d'être terminé.

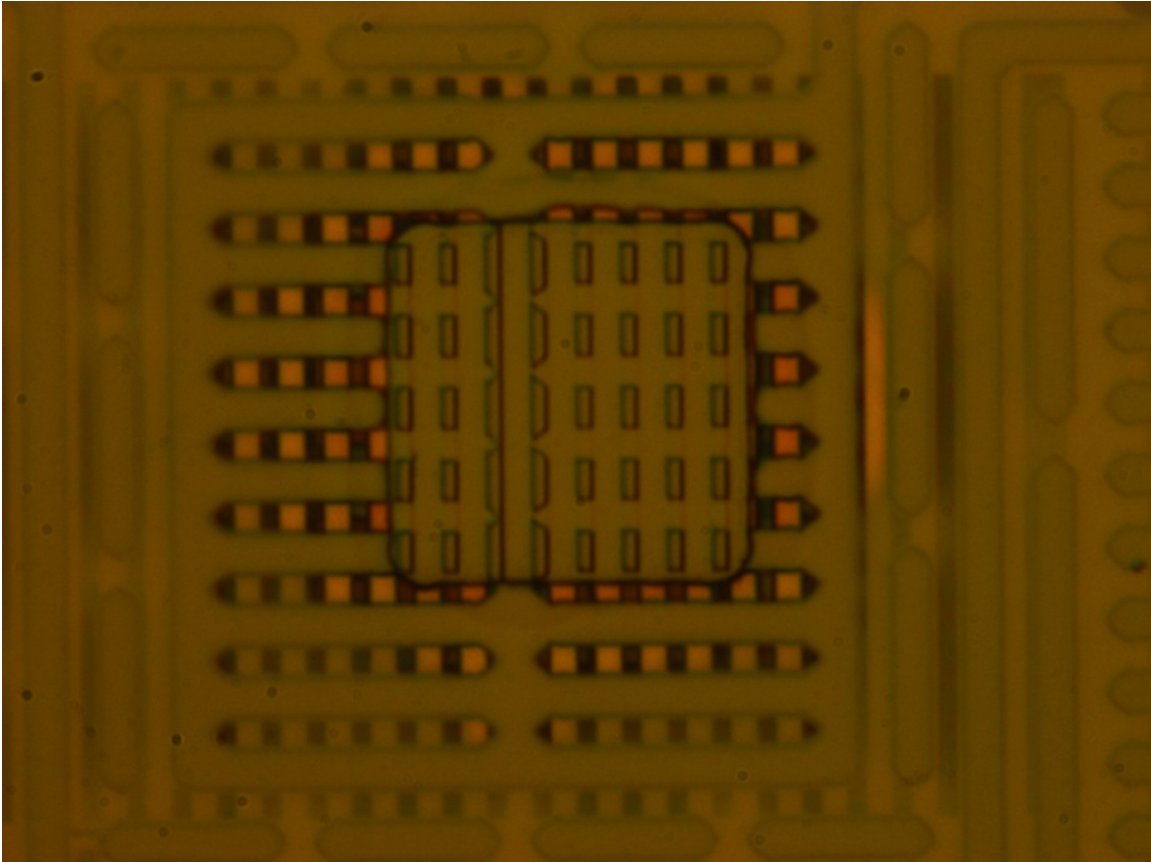


Figure 4.13 Photo d'un via après le CMP. Le CMP n'est pas terminé puisque les structures micrométriques ne sont pas isolées.

Le problème provient du dépôt blanket. Il n'est que de 150nm comparé au 400nm de profondeur des vias. La largeur de 20 μ m des vias donne un rapport de forme trop faible (<1). Les problèmes sont illustrés à la figure 4.14. Premièrement, le pad de CMP est en mesure de polir le fond du via en même temps que le reste de l'échantillon parce que le via est trop large. Ensuite, la pression sur le coin est plus élevée que le reste. Avec une pression plus élevée, le polissage est plus rapide et donne le résultat de la figure précédente.

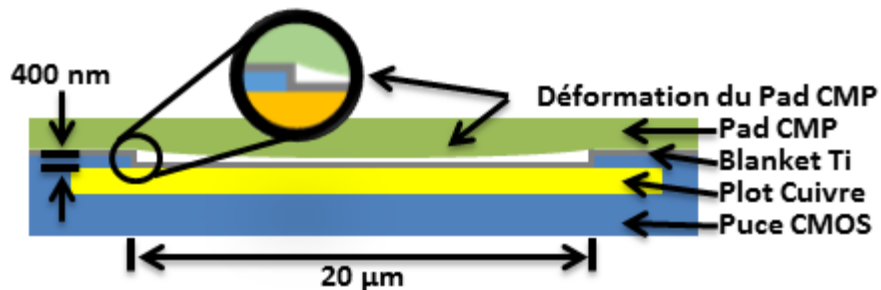


Figure 4.14 Schéma d'un via avec le dépôt blanket Ti

Afin de contrer l'erreur de conception des vias, la trop grande largeur de 20 μ m, deux alternatives existent. La première est l'utilisation d'un dépôt blanket de Ti de 600nm. Par contre avec une telle épaisseur, la force exercée par les contraintes mécanique interne de la couche déposée sera beaucoup plus élevée que la force de contact. L'adhérence de la couche sera donc

trop faible pour coller à la surface et risque de s'émietter extrêmement facilement. L'étape de CMP l'arrachera tout simplement. La seconde alternative est de faire un premier dépôt blanket de 150 nm, faire un premier CMP, refaire un dépôt blanket de 150 nm de Ti et terminer par un dernier polissage CMP. On peut penser que cela permettra de remplir les vias au complet, mais puisque les vias sont trop larges, le CMP se fera aussi dans le fond des vias. L'érosion sera plus importante autour des vias, ce qui correspondrait à une coupure électrique à la jonction via/interconnexion. Ces deux alternatives ne sont pas valides afin de corriger le problème des vias tout en conservant le même jeu de photomasques.

Les tests de vias de $1 \times 2.5 \mu\text{m}$ ne fonctionnaient pas, car il y avait une erreur d'alignement entre la lithographie des vias et celle des interconnexions. Les autres tests, avec des vias de $2.5 \mu\text{m}$ et $5 \mu\text{m}$ de largeur n'ont pas été affectés par ce léger désalignement.

Dans le tableau 4.8, le résumé des mesures électriques sur les structures test vias est présenté. Le nombre de vias est le nombre de fois que le signal passe d'une interconnexion au plot de cuivre et vice-versa, d'où le fait qu'ils sont toujours en nombre pair. Le but n'était pas de mesurer un seul et unique via. Chaque interconnexion correspond à une longueur fixe de $52 \mu\text{m}$.

Les mesures sur les vias $2.5 \mu\text{m}$ ont été faites sur deux structures tests distinctes, soit les mesures 1 à 3 sur une structure et 4 à 8 sur une autre. Puisque les designs des structures et des structures environnantes ne sont pas identiques, il se peut que les résultats ne concordent pas parfaitement.

Les résultats électriques des vias $5 \mu\text{m}$ ne sont pas viables, car il n'y a aucune corrélation entre les résistances mesurées et le nombre de vias et d'interconnexions. Les vias ayant plus de $3 \mu\text{m}$ de largeur sont plus affectés par l'érosion provoquée par le CMP. Le test vias $5 \mu\text{m}$ était sûrement à la limite de la conduction, en particulier l'interface entre les vias et les interconnexions.

Tableau 4.8 Résumé des mesures électriques des structures test vias

	# mesure	Type vias	Nombres de vias	Nombres d'interconnexions	Résistance mesurée (K Ω)
Structure #1	---	1x2.5 μm	---	---	---
Structure #2	1	2.5 μm	6	2	4.6
	2	2.5 μm	6	3	6.4
	3	2.5 μm	12	5	9.8
Structure #3	4	2.5 μm	6	3	6.9
	5	2.5 μm	4	1	4.7
	6	2.5 μm	4	2	5.37
	7	2.5 μm	10	4	9.36
	8	2.5 μm	12	5	10.89
Structure #4	9	5 μm	6	3	473
	10	5 μm	6	3	281
	11	5 μm	12	6	310

Par une régression linéaire, nous avons obtenu la résistivité des vias de 2.5 μm , des interconnexions et des résistances de contact (la constante) (tableau 4.9 – Résultats bruts). Les résultats de cette première analyse, comprenant toutes les mesures électriques, ne nous permettent pas d'obtenir des valeurs statistiquement fiables (valeur-P très grande pour la résistance-par-via et la résistivité).

Puisque le CMP est l'étape de fabrication qui cause le plus de problèmes, qu'il est très sensible au design des structures, que les structures #2 et #3 et ce qui les entourent ne sont pas identiques, il se peut que le CMP n'ait pas eu le même effet sur les deux structures. En omettant les résultats obtenus sur la structure #2, les résultats obtenus sont de loin meilleurs. Les limites inférieures et supérieures des paramètres pour un seuil de confiance de 95% (tableau 4.9 – Résultats de la structure #3) sont très près des coefficients trouvés contrairement à celles des résultats bruts. En terme statistique, les résultats filtrés ont une très forte présomption contre l'hypothèse nulle.

Tableau 4.9 Résultat de la régression linéaire faite sur les mesures électriques des vias de 2.5 μm

Résultats des structures #2 et #3				
			<i>Limite inférieure pour seuil de confiance = 95%</i>	<i>Limite supérieure pour seuil de confiance = 95%</i>
	<i>Coefficients</i>	<i>Valeur-P</i>		
Constante (Ω)	2020.8	0.028	320.7	3720.8
Résistance des vias (Ω/via)	245.5	0.408	-453.5	944.4
ρ des interconnexions ($\Omega \cdot \mu\text{m}$)	20.9	0.142	-9.9	51.6
Résultats de la structure #3				
			<i>Limite inférieure pour seuil de confiance = 95%</i>	<i>Limite supérieure pour seuil de confiance = 95%</i>
	<i>Coefficients</i>	<i>Valeur-P</i>		
Constante (Ω)	2265.5	4.10E-05	2203.0	2327.9
Résistance des vias (Ω/via)	445.9	2.04E-04	418.5	473.3
ρ des interconnexions ($\Omega \cdot \mu\text{m}$)	12.6	4.96E-04	11.4	13.8

En considérant que les interconnexions font $2\mu\text{m}$ de largeur, voici la résistivité en fonction de l'épaisseur basée sur les travaux de Ecoffey *et al.*[79].

Profondeur (nm)	$\text{Rho}_{\text{interco}}$ ($\Omega \cdot \mu\text{m}$)
60	8.0
55	8.7
50	9.7
45	10.9
40	12.4
35	14.3
30	17.0
25	20.9
20	27.1
15	38.3
10	63.8
5	165.8
0	∞

En considérant que le CMP de l'échantillon fut arrêté dès que toutes les structures furent isolées, les résultats devraient donner une résistivité d'interconnexions inférieure à $10 \Omega/\mu\text{m}$. Les résultats des tests de vias $2.5 \mu\text{m}$ filtrés sont très près de ce qui était prévu. Considérant que les

interconnexions ne sont pas remplies parfaitement et que la hauteur de titane restant dans les interconnexions ne peut être qu'approximée, on peut considérer que les résultats des mesures électriques sont valables.

Pour ce qui est de la valeur résistive des vias ($445 \Omega/\text{via}$), il n'y a pas de références sur lesquels il serait possible de comparer ce résultat à savoir si le via est trop résistif ou pas. À première vue, le via est très résistif par rapport à la longueur physique de 400 nm de long.

En utilisant l'abaque de Ecoffey *et al.*, qui est adapté aux structure en titane, il est possible d'évaluer la résistance des vias. Il peut être vue comme une feuille métallique recouvrant le pourtour du via. Pour ce qui est des vias de $2.5 \mu\text{m}$, cela correspondrait approximativement à une feuille de titane de 400 nm de long (la profondeur du via), de $10 \mu\text{m}$ de largeur (la somme des quatre côtés du via) et de 150 nm d'épais (l'épaisseur du blanket de titane). Selon l'abaque, un tel segment donne une résistance de 0.24Ω , ce qui est très différent du 445Ω .

Cette écart de valeurs peut être causée par plusieurs aspects qui ont été jusqu'à maintenant négligées. Premièrement, on ne prend pas en compte la résistance du plot de cuivre. Par contre, considérant que la distance est de $1 \mu\text{m}$ de long (la moitié de la distance entre les vias) et que la résistivité du cuivre est de $16.8 \text{ f}\Omega/\mu\text{m}$ il est peu probable que cela affecte de façon significative la résistance des vias mesurée.

Deuxièmement, la résistance de l'interface cuivre-titane est inconnue. Cependant, l'utilisation du BPS-172 avant le blanket permet de limiter la croissance de l'oxyde de cuivre à la surface des plots des MOSFET à quelques nanomètres ($<3 \text{ nm}$). Cette jonction métal-isolant-métal agit comme une jonction tunnel peut épaisse et très large. Elle sera très peu limitante au niveau des électrons, ce qui représentera une très faible résistance. On peut continuer à négliger l'interface cuivre-titane de l'approximation de la résistance des vias.

Troisièmement, la jonction entre les vias et les interconnexions a été considérée comme idéale ce qui a fait qu'elle a toujours été omise. C'est une erreur, car le CMP exerce une plus forte pression sur les coins (la jonction vias-interconnexions) que sur le reste de l'échantillon (figure 4.14) et le polissage CMP s'y fait donc plus rapidement. Cela expliquerait la différence de résistance entre les structures de vias de $2.5 \mu\text{m}$ et de $5 \mu\text{m}$. Le pad de CMP se déformerait plus avec les vias de $5 \mu\text{m}$ et occasionnerait une plus forte pression sur les coins. L'épaisseur de titane restante sur les coins est donc inférieure à celle des interconnexions et pourrait faire moins de 5 nm d'épaisseur vis-à-vis les coins ce qui leur donne une résistivité beaucoup plus élevée. La longueur de l'interconnexion qui est affectée par la déformation du pad de CMP est très difficile à évaluer mais considérant les résultats électriques et les photos post-CMP, il est possible de l'évaluer à plus de $5 \mu\text{m}$ sur lequel l'épaisseur variera de quelques nanomètres à 40 nm. La résistance des vias serait donc principalement dépendante du temps de CMP en fonction de leur largeur plutôt que de leur profondeur.

4.7 Recommandations

Pour le design d'un second prototype, voici mes recommandations. Premièrement, l'utilisation de vias de 20 μm doit être proscrite. Théoriquement, suite aux résultats obtenus à partir des structures tests de vias et des résultats de CMP fait à l'UdeS, on doit utiliser des vias avec les plus petites dimensions possibles ($<2.5 \mu\text{m}$) afin de limiter l'érosion aux jonctions vias-interconnexions. Puisque le plot des CMOS est ligné ainsi que ceux fabriqués en titane, il faut s'assurer que la connexion électrique soit bonne. Pour ce faire, les vias pourraient être de forme rectangulaire et perpendiculaire aux structures CMOS ce qui permettrait un maximum de connexion sans que ça soit problématique pour le CMP. Pour diminuer les effets du CMP sur les vias, il serait nécessaire que leur largeur soit inférieure à 3 μm .

Le design des circuits hybrides devra aussi être revu, car la résistance des interconnexions pourrait être problématique. La distance entre un N-MOSFET et son homologue P-MOSFET est de 850 μm en ligne directe. Puisque les transistors fonctionnels sont regroupés, soit tous les P-MOSFET ensemble et les N-MOSFET aussi, il est impossible de tous les relier les deux MOSFET de façon optimale. C'est pourquoi quelques interconnexions ont plus de 2000 μm (ce qui fait plus de 25 $\text{K}\Omega$ avec le procédé développé dans ce projet). Pour limiter l'interconnexion entre le SET et les MOSFET, il serait bien de faire des inverseurs hybrides comme circuits SET-CMOS. Ce circuit n'est pas très utile du point de vue des performances et de son utilité, mais pourrait très bien accomplir le rôle de premier prototype SET-CMOS.

La fabrication des vias pourrait avoir l'approche via-last qui permettrait de conserver le même procédé de fabrication nanodamascène, d'encapsuler le tout avec un oxyde et ensuite de fabriquer les vias à travers le niveau des SET pour atteindre les MOSFET. Cette approche est probablement plus viable dans le cadre d'une future production compatible avec l'industrie des semi-conducteurs et permettrait de réduire les résistances d'interconnexions en augmentant leurs tailles.

CHAPITRE 5 CONCLUSION

5.1 Sommaire et contributions

L'objectif principal du projet de recherche est la conception de circuits de lecture SET-CMOS permettant d'interfacer un circuit complexe SET à un circuit CMOS. L'atteinte de cet objectif passait par la conception de circuits et sur la fabrication d'un premier prototype. Les sections suivantes font une synthèse de ces objectifs en mettant en évidence les contributions apportées.

5.2 Conception du design

Les travaux de conception de circuits de lecture faits au chapitre 3 ont débuté par une adaptation du modèle SET permettant aux concepteurs de ne travailler qu'avec les dimensions du dispositif à la place des capacités. Cela est à l'opposé de ce que l'on retrouve dans la littérature. Cela vient principalement du fait que beaucoup d'entre eux travaillent avec le modèle SET MIB.

Une validation des architectures trouvées dans l'état de l'art a permis d'illustrer les performances limitées de ceux-ci lorsqu'un modèle de SET réaliste est utilisé et combiné à la technologie de fabrication de SET de Sherbrooke. Chaque circuit correspondait à une architecture différente et devait premièrement être adapté. Ceci consistait à une adaptation des paramètres du SET utilisé au modèle modifié précédemment et de l'utilisation du modèle de MOSFET adapté à la technologie CMOS 22 nm. Tous les circuits adaptés ne sont pas fonctionnels ce qui a permis de constater les faibles performances que les architectures connues sont capables de procurer. Cela a amené au développement de deux nouvelles architectures.

Le premier design est adapté pour interfacer un signal numérique SET (figure 3.13). Les principaux critères de conception étaient de lire un signal numérique SET (0-0.4 V et 150 mV d'immunité aux bruits sur le signal d'entrée), d'être de faible puissance (503 nW à 125 MHz), et de considérer les contraintes de la fabrication des dispositifs SET sur le BEOL de circuits CMOS avancés (considération des capacités parasites des interconnexions et utilisation d'un inverseur CMOS conventionnel comme charge au circuit). Avec le dépassement de tous les critères de performance fixés au départ, il est réaliste d'affirmer que cette architecture dépasse à tous points de vue les autres circuits de lecture numérique existants. Ce circuit est une option intéressante pour le remplacement de circuit logique CMOS en SET.

La seconde nouvelle architecture est destinée à l'interface de dispositifs SET utilisée en tant que capteur analogique (figure 3.19). Bien que peu de critères de conception fussent donnés au début de la conception : les simulations montrent un circuit très performant et stable avec une charge capacitive de 1 fF, une charge résistive de 50 K Ω et une fréquence de coupure au-delà de 1 KHz. Encore une fois, la conception du circuit prend en compte les effets parasites capacitifs des interconnexions. Dans le contexte, le via entre le SET et le circuit de lecture peut avoir une capacité de 0.1 nF sans affecter le fonctionnement du circuit. Avec le SET servant de référence, le circuit donne un gain total de 8.5 V par charge élémentaire ajoutée sur l'îlot. Sans le SET le gain de transimpédance est de 9.9 mV/nA. L'utilisation d'une charge complexe simule un circuit complexe, tel qu'un convertisseur analogique numérique, pouvant être connecté à la sortie du

circuit de lecture. Ce design est basé sur le modèle de MOSFET 22nm qui n'est pas une technologie adaptée au circuit analogique.

5.3 Fabrication dual-damascène

La fabrication d'un premier prototype de circuit hybride SET-CMOS fait au chapitre 4 a débuté par une description exhaustive des circuits CMOS. Une procédure de caractérisation des MOSFET a dû être développée pour valider les performances électriques des dispositifs. Une conception de circuit hybride simple a dû être faite en fonction des dispositifs disponibles.

L'adaptation du procédé de fabrication nanodamascène est la principale contribution. Malgré le faible nombre de résultats électriques, le premier prototype destiné à interconnecter des MOSFET avec des SET a permis d'élucider des problèmes de conception de photomasques. Les vias de $10\mu\text{m}$ semblaient être une bonne idée afin d'avoir le meilleur contact électrique entre les plots en cuivre et les vias en titane mais l'expérience a démontré que le problème est plutôt au niveau de la jonction du via et de l'interconnexion en titane. Outre l'aspect des vias, les simulations des circuits implémentés ont illustré la nécessité de connaître les paramètres électriques des MOSFET. Un design de circuit CMOS conçu expressément pour un circuit hybride SET-CMOS permettrait d'utiliser les circuits de lecture développés dans le chapitre précédent.

5.4 Travaux futurs

Puisque les résultats de conception de circuit de lecture ultimes sont très prometteurs, le travail restant se situe surtout du côté de la fabrication. Le prochain design devra mettre l'emphase sur les circuits hybrides ultrasimples, comme l'inverseur hybride. De cette façon, l'interconnexion entre le SET et le MOSFET sera minimal et limitera les effets parasites (résistifs et capacitifs).

La taille des vias doit se soumettre aux mêmes restrictions de design que celles auxquelles on soumet le niveau des interconnexions. On parle donc d'une largeur maximale de $2\mu\text{m}$. Si l'approche utilisée est toujours via-first, le remplissage métallique des vias se fera toujours avec le blanket. La réduction en deçà du μm créera sûrement des manques aux jonctions vias-interconnexions. Une modification de la recette de gravure est possible afin d'obtenir un angle de 45° qui éliminera ces vides, mais en contrepartie la taille des vias sur le dessus du BEOL sera augmentée d'au moins 700nm et devra être pris en compte lors de leur design. Une approche via-last s'affranchirait de tous les problèmes l'utilisation du CMP sur des nanostructures et des vias. Chaque niveaux, celui des SET et celui de la fabrication des vias, aurait sa propre étape CMP.

ANNEXE A – CODE EN VERILOG-A DU MODÈLE SET UTILISÉ

```
// VerilogA for SET_Fred, Model_2grilles, veriloga
// Metallic SET Model developed by BOUNOUAR (INL/UDeS) et modifier par Frederic
Bourque (UdeS) / Damien Griveau (UdeS)
```

```
`include "constants.h"
`include "disciplines.h"
`define MO 9.10938214e-31 // la masse d'un electron
`define M_MO 0.4//le ratio de la masse effective sur la masse reele d'un electron
`define ER 3.9 // Mohammed le reste du temps 3.5//er
`define NTI 2
`define VMOLTI 1.064E-5//VmolTi
`define AV 6.02214179e23//Av
`define Neff 0.9
`define LEVEL 3 //Mode du calcul du courant tunnel
`define XI 0 //Background charge
`define PRECISION 270 //Valeur de Mesh (voir Mohamed)
`define Eps_SiO2 3.9
`define Eps_TEOS 4
`define Eps_SiOC 2.65
`define Eps_SiCN 5
`define KB 1.3806E-23
`define E_C 1.6E-19

`define Eps_0 8.854187817E-12
`define Eps_TiOx 3.5
```

```
/*
    %b    display in binary format
    %c    display in ASCII character format
    %d    display in decimal format
    %h    display in hex format
    %o    display in octal format
    %s    display in string format
    */
```

```

module Model_2grilles(drain,gate1,gate2,bias,source);

    inout drain,gate1,gate2,bias,source;
    electrical drain,gate1,gate2,bias,source;

    analog function real SIGN;
        input x;
        real x;
        begin
            if (x<0)
                SIGN = -1;
            else
                SIGN = 1;
            end
        endfunction

    analog function real SMOOTH;
        input v,vt;
        real v,vt;
        real x,y;
        begin
            if (vt == 0.0)
                begin
                    if (v<=0.0)
                        SMOOTH = 1e-30;
                    else
                        SMOOTH = v;
                    end
                end
            else
                begin
                    SMOOTH=v/(1-exp(-v/vt));
                end
            end
        endfunction

    parameter real T=300.0 from (0:2000); //temperature in Kelvin
    parameter real TiO2=8e-9; //la longueur de la jonction
    parameter real height=2e-9; //hauteur du canal
    parameter real width=10e-9; //largeur du canal
    parameter real Dg = 60e-9; //Distance Grille-Ilot
    parameter real Dg2 = 60e-9; //Distance Grille2-Ilot

```

```

parameter real Db1 = 80e-9;           //Distance Bias-Ilot TEOS
parameter real Db2 = 250e-9;         //Distance Bias-Ilot SiOC
parameter real Db3 = 50e-9;          //Distance Bias-Ilot SiCN
parameter real Wg = 80e-9;           //Largeur de la boîte de la grille
parameter real l_ilot = 20e-9;       //Largeur de l'ilot
parameter real PHI_O = 0.285;        // Hauteur de barriere soit 0.285 ou 0.32

analog function real CalCapaCG1;
input a;                               //Fake input to respect the basic structure of
function
real a;
real CG1, stick;
real D, fx1, fd1_g, fA1_moy, fA2, fx3, fd3_g, fA3_moy, C1_g, C2_g, C3_g;
// Calcul Capa grille 1
begin
    D = 0;                               //Erreur d'alignement de la grille dans sa boîte
    stick = TiO2;                          // Afin de correspondre au restant du code
    fx1 = (Wg/4) - (D/2) + (l_ilot/4) - (TiO2/2); //distance centre_grille -
centre_face_A1
    fd1_g = sqrt((fx1*fx1)+(Dg*Dg)); //distance centre_ilot - centre_face_A1 pour grille
    fA1_moy = height*((Wg/4)-(D/2)+(l_ilot/4)-(TiO2/2)); //moyenne des surfaces
impliquées A1
    fA2 = height*l_ilot;                   //surface ilot
    fx3 = (Wg/4) + (D/2) + (l_ilot/4) - (TiO2/2); //distance centre_grille -
centre_face_A3
    fd3_g = sqrt((fx3*fx3)+(Dg*Dg)); //distance centre_ilot - centre_face_A3 pour grille
    fA3_moy = height*((Wg/4)+(D/2)+(l_ilot/4)-(TiO2/2)); //moyenne des surfaces
impliquées A3
    //-----
    // Calcul des capacites
    //-----
    C1_g = (Eps_SiO2*Eps_0*fA1_moy)/fd1_g;
    C2_g = (Eps_SiO2*Eps_0*fA2)/Dg;
    C3_g = (Eps_SiO2*Eps_0*fA3_moy)/fd3_g;
    CG1 = C1_g + C2_g+ C3_g;               // Capacite de grille 1
    CalCapaCG1=CG1;
end
endfunction

// Calcul capa grille 2
analog function real CalCapaCG2;
input a;                               //Fake input to respect the basic structure of
function
real a;
real CG2, stick;
real D, fx1, fd1_g, fA1_moy, fA2, fx3, fd3_g, fA3_moy, C1_g2, C2_g2, C3_g2;

```

```

begin
    D = 0; //Erreur d'alignement de la grille dans sa boite
    stick = TiO2; // Afin de correspondre au restant du code
    fx1 = (Wg/4) - (D/2) + (l_ilot/4) - (TiO2/2); //distance centre_grille -
centre_face_A1
    fd1_g = sqrt((fx1*fx1)+(Dg2*Dg2)); //distance centre_ilot - centre_face_A1
pour grille
    fA1_moy = height*((Wg/4)-(D/2)+(l_ilot/4)-(TiO2/2)); //moyenne des surfaces
impliquées A1
    fA2 = height*l_ilot; //surface ilot
    fx3 = (Wg/4) + (D/2) + (l_ilot/4) - (TiO2/2); //distance centre_grille -
centre_face_A3
    fd3_g = sqrt((fx3*fx3)+(Dg2*Dg2)); //distance centre_ilot - centre_face_A3
pour grille
    fA3_moy = height*((Wg/4)+(D/2)+(l_ilot/4)-(TiO2/2)); //moyenne des surfaces
impliquées A3

//-----
// Calcul des capacites
//-----
C1_g2 = (Eps_SiO2*Eps_0*fA1_moy)/fd1_g;
C2_g2 = (Eps_SiO2*Eps_0*fA2)/Dg2;
C3_g2 = (Eps_SiO2*Eps_0*fA3_moy)/fd3_g;
CG2 = C1_g2 + C2_g2 + C3_g2;
// Capacite de grille 1

CalCapaCG2=CG2;
$display("C1(aF) = %f; C2(aF) = %f; C3(aF) = %f",C1_g2/1e-18, C2_g2/1e-18,
C3_g2/1e-18);
end
endfunction

```

```

// Capa bias (substrat)
analog function real CalCapaCBias;
input a; //Fake input to respect the basic structure of
function
real a;
real CBias, stick;
real C1, C2, C3;
begin
// D = 0; //Erreur d'alignement de la grille dans sa boite
// stick = TiO2; // Afin de correspondre au restant du code
// fx1 = (Wg/4) - (D/2) + (l_ilot/4) - (TiO2/2); //distance centre_grille -
centre_face_A1

```

```

//      fd1_b = sqrt((fx1*fx1)+(Db*Db)); //distance centre_ilot - centre_face_A1 pour bias
//      fA1_moy = height*((Wg/4)-(D/2)+(l_ilot/4)-(TiO2/2)); //moyenne des surfaces
impliquées A1
//      fA2 = height*l_ilot; //surface ilot
//      fx3 = (Wg/4) + (D/2) + (l_ilot/4) - (TiO2/2); //distance centre_grille -
centre_face_A3
//      fd3_b = sqrt((fx3*fx3)+(Db*Db)); //distance centre_ilot - centre_face_A3 pour bias
//      fA3_moy = height*((Wg/4)+(D/2)+(l_ilot/4)-(TiO2/2)); //moyenne des surfaces
impliquées A3

//-----
// Calcul des capacites
//-----
//      C1_b = ('Eps_SiO2*'Eps_0*fA1_moy)/fd1_b;
//            //(Eps_SiO2*Eps_0*A1_moy)/d1_b;
//      C2_b = ('Eps_SiO2*'Eps_0*fA2)/Db; // (Eps_SiO2*Eps_0*A2)/Db;
//      C3_b = ('Eps_SiO2*'Eps_0*fA3_moy)/fd3_b;
//            //(Eps_SiO2*Eps_0*A3_moy)/d3_b;
//      CBias = C1_b + C2_b + C3_b; // Capacite de grille 2

C1 = 1/('Eps_TEOS*'Eps_0*width*l_ilot/Db1);
C2 = 1/('Eps_SiOC*'Eps_0*width*l_ilot/Db2);
C3 = 1/('Eps_SiCN*'Eps_0*width*l_ilot/Db3);

CBias = 1/(C1+C2+C3);

CalCapaCBias=CBias;
end
endfunction

analog function real CalCapaCTS;
input a; //Fake input to respect the basic structure of
function
real a;
begin
    CalCapaCTS = ('Eps_TiOx*'Eps_0*height*width)/TiO2;
    //(Eps_TiOx*8.854187817E-12*height*width)/TiO2; // Capacite tunnel a
la source
end
endfunction

analog function real CalCapaCTD;
input a; //Fake input to respect the basic structure of function
real a;

```

```

begin
    CalCapaCTD = ('Eps_TiOx*Eps_0*height*width)/TiO2;
                //(Eps_TiOx*8.854187817E-12*height*width)/TiO2; // Capacite tunnel au
drain
end
endfunction

```

```

analog function real Ithermo;
input V,s,Temp,aire;
real V,s,Temp,aire;
real Aeff,dphi1,dphi2,Vabs, PHIO;
begin
    Vabs=abs(V);
    PHIO = PHI_O*1.6e-19;
    Aeff = 4*`M_PI*`MO*`M_MO*`P_Q*`P_K*`P_K/(`P_H*`P_H*`P_H);
    dphi1 = exp(-1*(PHIO-`P_Q*sqrt(`P_Q*(Vabs/s)/(4*`M_PI*`P_EPS0*`ER)))/(`P_K*Temp));
    //dphi2 = exp(-1*((PHIO-
    `P_Q*sqrt(`P_Q*(Vabs/s)/(4*`M_PI*`P_EPS0*`ER))+Vabs)/(`P_K*Temp)); // Quand Vds
    == 0
    //Ithermo = Aeff*Temp*Temp*(dphi1-dphi2)*aire;

    Ithermo = Aeff*Temp*Temp*dphi1*aire;
end
endfunction

```

```

analog function real Resist;
input V,s,T,aire;
real V,s,T,aire;
real eta,lambda,Em,dEx,dx,D,zeta,Dtemp,Jt,It,Vabs,Emtemp, PHIO;
integer i1,i2,No;
begin
    PHIO = PHI_O*1.6e-19;
    Vabs=abs(V);
    if (Vabs<1e-12)
        begin
            Vabs=1e-12;
        end
    eta=`P_H*`P_H/(8*`MO)*exp(2*ln((3*`NTI*`AV)/(`M_PI*`VMOLTI))/3);

    lambda=`P_Q*`P_Q*ln(2)/(16*`M_PI*`P_EPS0*`ER*s);

    Em=eta+PHIO+5*`P_K*T;

```

```

dx=s/`PRECISION;
Emtemp=0;
No=`PRECISION*(1-`Neff);
for(i2=1;i2<=-2*No;i2=i2+1)
  begin
    if (i2<=No)
      begin
        dEx=`Neff*Em/(`PRECISION*(1-`Neff));
      end
    else
      begin
        dEx=Em/`PRECISION;
      end
    D=0;
    zeta=0;
    for(i1=1;i1<=`PRECISION;i1=i1+1)
      begin
        Dtemp=eta-(Emtemp)+PHIO-(`P_Q*Vabs*i1*dx/s)-
1.15*lambda*s*s/((i1*dx)*(s-(i1*dx)+dx));
        if (Dtemp>=0)
          begin
            D=D+(-
4)*`M_PI/`P_H*sqrt(2*`MO*`M_MO)*dx*sqrt(Dtemp);
          end
        end
        D=exp(D);

        if((Emtemp -eta)>0)
          begin
            if((Emtemp-eta)>0)
              begin
                zeta=(dEx*((exp(-(Emtemp-eta)/(`P_K*T)))/(1+exp(-
(Emtemp-eta)/(`P_K*T))))-(exp(-(Emtemp+`P_Q*Vabs-eta)/(`P_K*T)))/(1+exp(-
(Emtemp+`P_Q*Vabs-
eta)/(`P_K*T)))))))*4*`M_PI*`MO*`M_MO*`P_Q/(`P_H*`P_H*`P_H);
              end
            else
              begin
                zeta=(dEx*((1/(1+exp((Emtemp-eta)/(`P_K*T))))-(exp(-
(Emtemp+`P_Q*Vabs-eta)/(`P_K*T)))/(1+exp(-(Emtemp+`P_Q*Vabs-
eta)/(`P_K*T)))))))*4*`M_PI*`MO*`M_MO*`P_Q/(`P_H*`P_H*`P_H);
              end
            end
          end
        else
          begin

```

```

                                zeta=(dEx*((1/(1+exp((Emtemp-eta)/(`P_K*T)))))-
(1/(1+exp((Emtemp+`P_Q*Vabs-
eta)/(`P_K*T)))))))*4*`M_PI*`MO*`M_MO*`P_Q/(`P_H*`P_H*`P_H);
                                end
                                Jt=Jt+dEx*zeta*D;
                                Emtemp=Emtemp+dEx;
                                end    It=Jt*aire;
                                Resist=Vabs/It;
                                //display("Resist = %f, f',Resist);
end
endfunction

real s, aire;
real VT,VDS,VGS1,VGS2,VBIAS;
real
v_island,ID0,IS0,ID1,IS1,ID2,IS_1,ALPHA,LAMBDA,IDS,is0,is1,id0,id1,IS_2,ID_1,is_1;
real VIS0, VIS1, VIS_1, VIS_2, Vis0, Vis1,Vis_1,VID0,VID1,VID2,VID_1,Vid0,Vid1;
real RIS0, RIS1, RIS_1, RIS_2, Ris0, Ris1,Ris_1,RID0,RID1,RID2,RID_1,Rid0,Rid1;
real CTS, CTD, CG1, CG2;
real CBias, PHIO;
//real Ctot2;
//real Temp;
real ionik1, ionik2;
real Cgs,Ctot, Vgs;
real Vd0,Vs0,Vd1,Vs1,Vd2,Vs2,Vd_1,Vs_1,Vd_2,Vs_2;

analog begin
PHIO = PHI_O*1.6e-19;
CTD = CalCapaCTD(0);
CTS = CalCapaCTS(0);
CG1 = CalCapaCG1(0);
CG2 = CalCapaCG2(0);
CBias = CalCapaCBias(0);

//Ctot2 = CTD + CTS + CG1 + CG2 + CBias;
//Temp = ((`E_C*`E_C)/Ctot2)/(10*`KB);

s=TiO2;
aire=height*width;
VT = T*`P_K/`P_Q;
VDS = V(drain,source);
VGS1 = V(gate1,source);
VGS2 = V(gate2,source);
VBIAS = V(bias,source);

```



```

v_island =
VGS1*CG1/(CG1+CTD+CTS+CG2+CBias)+VDS*CTD/(CG1+CTD+CTS+CG2+CBias)+V
GS2*CG2/(CG1+CTD+CTS+CG2+CBias)+VBIAS*CBias/(CG1+CTD+CTS+CG2+CBias)-
`XI*`P_Q/(CG1+CTD+CTS+CG2+CBias);
ALPHA = `P_Q/(2*(CG1+CTD+CTS+CG2));
LAMBDA = SIGN(V(drain,source));

```

```

if (LAMBDA*v_island > (2*ALPHA + LAMBDA*V(drain,source)/2))
v_island = v_island - (1+floor(abs(v_island - (2*ALPHA +
LAMBDA*V(drain,source)/2))/(2*ALPHA)))*2*LAMBDA*ALPHA;

```

```

if (LAMBDA*v_island < LAMBDA*V(drain,source)/2)
v_island = v_island + (1+floor(abs(V(drain,source)/2-
v_island)/(2*ALPHA)))*2*LAMBDA*ALPHA;

```

```

ionik2 = LAMBDA*Ithermo(LAMBDA*V(drain,source)/2 ,s,T,aire);

```

```

RIS0 = Resist (LAMBDA*v_island, s, T, aire); VIS0 =SMOOTH(LAMBDA*v_island-
ALPHA,VT); IS0= VIS0/RIS0;
RIS1 = Resist (LAMBDA*v_island-2*ALPHA, s, T, aire); VIS1 =SMOOTH
(LAMBDA*v_island-3*ALPHA,VT); IS1= VIS1/RIS1;
RIS_1 =Resist (LAMBDA*v_island+2*ALPHA, s, T, aire); VIS_1 =SMOOTH
(LAMBDA*v_island+ALPHA,VT); IS_1= VIS_1/RIS_1;
RIS_2 =Resist (LAMBDA*v_island+4*ALPHA, s, T, aire); VIS_2 =SMOOTH
(LAMBDA*v_island+3*ALPHA, VT); IS_2= VIS_2/RIS_2;
//Ris0 = Resist (-v_island, s, T, aire);

```

```

Vis0 =SMOOTH (-LAMBDA*v_island-ALPHA,VT); is0= Vis0/RIS0;
//Ris1 = Resist (-v_island+2*ALPHA, s, T, aire);

```

```

Vis1 =SMOOTH (-LAMBDA*v_island+ALPHA, VT); is1= Vis1/RIS1;
//Ris_1 =Resist (-v_island - 2*ALPHA, s, T, aire);

```

```

Vis_1 =SMOOTH (-LAMBDA*v_island-3*ALPHA, VT); is_1= Vis_1/RIS_1;

```

```

RID0 = Resist(LAMBDA*V(drain,source) - LAMBDA*v_island ,s,T,aire);VID0=SMOOTH
(LAMBDA*V(drain,source) - LAMBDA*v_island - ALPHA,VT); ID0=VID0/RID0;
RID1 = Resist(LAMBDA*V(drain,source) -
LAMBDA*v_island+2*ALPHA,s,T,aire);VID1=SMOOTH (LAMBDA*V(drain,source) -
LAMBDA*v_island + ALPHA,VT); ID1=VID1/RID1;

```

```
RID2 = Resist(LAMBDA*V(drain,source) - LAMBDA*v_island+4*ALPHA
,s,T,aire);VID2=SMOOTH (LAMBDA*V(drain,source) - LAMBDA*v_island +3*
ALPHA,VT); ID2=VID2/RID2;
```

```
RID_1 =Resist(LAMBDA*V(drain,source) - LAMBDA*v_island-
2*ALPHA,s,T,aire);VID_1=SMOOTH (LAMBDA*V(drain,source) - LAMBDA*v_island -
3*ALPHA, VT); ID_1=VID_1/RID_1;
```

```
//Rid0 = Resist(-LAMBDA*V(drain,source) + LAMBDA*v_island,s,T,aire);
Vid0=SMOOTH (-LAMBDA*V(drain,source) + LAMBDA*v_island - ALPHA,VT);
id0=Vid0/RID0;
```

```
//Rid1 = Resist(-LAMBDA*V(drain,source) + LAMBDA*v_island-2*ALPHA,s,T,aire);
Vid1=SMOOTH (-LAMBDA*V(drain,source) +LAMBDA*v_island - 3*ALPHA, VT);
id1=Vid1/RID1;
```

```
if(`LEVEL == 3)
```

```
IDS = LAMBDA*((IS0-is0)*(is1+ID1)+(IS1-
is1)*(IS0+id0)+(is1+ID1)*(is0+ID0))/((is1+ID1)+(IS0+id0)+(IS1+id1)*(IS0+id0)/ID2+(is0+I
D0)*(is1+ID1)/IS_1);
```

```
if(`LEVEL == 2)
```

```
IDS = LAMBDA*(IS0*ID1+IS1*IS0+ID1*ID0)/(ID1+IS0+IS1*IS0/ID2+ID0*ID1/IS_1);
```

```
if(`LEVEL == 1)
```

```
IDS = LAMBDA*IS0*ID1/(ID1+IS0);
```

```
/*if(`LEVEL == 3)
```

```
IDS = LAMBDA* ((is_1+ID_1)*(is0+ID0)*(is1+ID1)+(is0+ID0)*(IS_1-
is_1)*(is1+ID1)+(IS0+is0)*(is1+ID1)*IS_1+(IS1-
is1)*(IS0+id0)*(is1+ID1)*IS_1)/((is_1+ID_1)*(is0+ID0)*(is1+ID1)/IS_2+(IS1+id1)*(IS0+id
0)*IS_1/ID2+(is0+ID0)*(is1+ID1)+(IS0+id0)*IS_1+(is1+ID1)*IS_1);
```

```
if(`LEVEL == 2)
```

```
IDS= LAMBDA*(ID_1*ID0*ID1 + ID0*IS_1*ID1 + IS0*ID1*IS_1 +
IS1*IS0*ID1*IS_1)/(ID_1*ID0*ID1/IS_2+ IS1*IS0*IS_1/ID2 +
ID0*ID1+IS0*IS_1+ID1*IS_1);
```

```
if(`LEVEL == 1)
```

```
IDS = LAMBDA* (ID0*IS_1*ID1+IS0*ID1*IS_1)/(ID0*ID1+IS0*IS_1+ID1*IS_1);*/
```

```
I(drain,source) <+ IDS+ionik2;
```

```
I(gate1,source) <+ 0;
```

```
I(gate1,drain) <+ 0;
```

```
I(gate2,source) <+ 0;
```

```
I(gate2,drain) <+ 0;
```

```
I(bias,source) <+ 0;
```

```
I(bias,drain) <+ 0;
```

```

$display("CG1(aF) = %f; CG2(aF) = %f; Cbias(aF) = %f; CT(aF) = %f",CG1/1e-18,CG2/1e-
18,CBias/1e-18,CTS/1e-18);
//$display("Temp max = %f; Ctot = %f(aF)", Temp, Ctot2/1e-18);
$display("IDS(pA) = %f; Iioni = %f",IDS/1e-12,ionik2/1e-12);
end
endmodule

```

ANNEXE B – CODE EN VERILOG-A DES CAPACITÉS PARASITES

```

// VerilogA for Interconnections, Ti on ST, veriloga
// Modele interconnexion 32nm sur ST pour niveau Metal2
// Based on Wong 2000, Modeling of Interconnect Capacitance, Delay, and Crosstalk in VLSI

```

```

`include "constants.h"
`include "disciplines.h"

```

```

// dielectric constances for under stack
`define ETeos 4
`define ESiCN 5
`define ESiOC 2.65
// dielectric constances for upper stack
`define ESi3N4 7.5
`define ESiO2 3.9
`define Econs 8.854187817E-12

```

```

module Interco_ST(sig,gnd);

```

```

inout sig,gnd;
electrical sig,gnd;

```

```

parameter real NbPlane = 1; // 1 -> only under, 2-> over and under
parameter real nWong = 0; // 0 -> Cal Capa like Wong 2000, 1-> Cal
Capa parallele plate
parameter real length = 250e-6; //Longueur de l'interconnect
parameter real Cbypass = -1; // for C value bypass
parameter real Rbypass = -1; // for R value bypass
parameter real W = 2e-6; // weight of interconnect
parameter real S = 2e-6; // Distance between interconnect
parameter real H = 200e-9; // Distance plane / interconnect
parameter real T = 60e-9; // wire thickness

```

```

analog function real Eot;
input Oxthickness, Oxdielec;
real Oxthickness, Oxdielec;
real Eot_out;
begin
  Eot=Oxthickness*(`ESiO2/Oxdielec);
end
endfunction

analog function real Ccouple;
input Eot_Ccouple; //fake
real Eot_Ccouple;
begin
  if(lnWong) //Calculation Capa like Wong 2000
    begin
      if(NbPlane==1)
        begin
          Ccouple=(1.158*pow(W/(W+(1.874*S)),0.1612));

          Ccouple=Ccouple*pow(Eot_Ccouple/(Eot_Ccouple+(0.9801*S)),1.179);

          Ccouple=Ccouple+(1.144*T/S*pow(Eot_Ccouple/(Eot_Ccouple+(2.059*S)),0.0944));
          Ccouple=Ccouple+(0.7428*pow(W/(W+(1.592*S)),1.144));
          Ccouple=Ccouple*(`ESiO2*`Econs);
        end
      else //nb plane == 2
        begin
          Ccouple=(2.37*pow(W/(W+(0.31*S)),0.28));
          //Ccouple=(1.1852*pow(W/(W+(0.3078*S)),0.25724));

          Ccouple=Ccouple*pow(Eot_Ccouple/(Eot_Ccouple+(8.961*S)),0.7571);
          //Ccouple=Ccouple*2*pow(Eot_Ccouple/(Eot_Ccouple+(8.961*S)),0.7571);
          Ccouple=Ccouple*exp(-2*S/(S+(6*Eot_Ccouple)));
          Ccouple=Ccouple+(1.4116*T/S*exp(-4*S/(S+(8.014*Eot_Ccouple))));
          Ccouple=Ccouple*(`ESiO2*`Econs);
        end
      end
    end

  else
    begin
      Ccouple = (`ESiO2*`Econs) * T / S;
    end
  $display("Ccouple(pF) = %f",Ccouple/1e-12);
end
endfunction

```

```

analog function real Caf;
input Eot_Caf;           //fake
real Eot_Caf;
real CafPP;
  begin
  if(!nWong)           //Calculation Capa like Wong 2000
    begin
    if(NbPlane==1)
      begin
      Caf= pow(T/(T+(4.532*Eot_Caf)),0.1204);
      Caf=Caf*1.171*pow(S/(S+(1.51*Eot_Caf)),0.7642);
      Caf=Caf+(W/Eot_Caf);
      Caf=Caf+(2.217*pow(S/(S+(0.702*Eot_Caf)),3.193));
      Caf=Caf*(`ESiO2*`Econs);
      end
    else           //nb plane == 2
      begin
      Caf= pow(T/(T+(4.5311*Eot_Caf)),0.071);
      Caf=Caf*2.04*pow(S/(S+(0.5355*Eot_Caf)),1.773);
      //Caf=Caf*2;
      Caf=Caf+((W/Eot_Caf));
      //Caf=Caf+((W/Eot_Caf)+(W/Eot_Caf));
      Caf=Caf*(`ESiO2*`Econs);
      end
    end
  else
    begin
    Caf = (`ESiO2*`Econs) * T / S;
    end
  $display("Caf(pF) = %f",Caf/1e-12);
  end
endfunction

real C, K_C;
real I1,I2,I3;
real Eot1;
real Eot2;
real Eot3;
real Eot_tot,Eot_tot2;
  analog begin
  // Eot equivalent for H value
  Eot1 = Eot(100e-9, `ETeos); Eot2 = Eot(250e-9, `ESiOC); Eot3 = Eot(40e-9, `ESiCN);
  Eot_tot = Eot1 + Eot2 + Eot3;
  if(NbPlane==1)
    begin
    K_C=2*Ccouple(Eot_tot)+Caf(Eot_tot);
    end
  end

```

```
else
  begin
    K_C=2*Ccouple(Eot_tot)+2*Caf(Eot_tot);
  end
if (Cbypass < 0)
  begin
    C=K_C*length;    //Capa(l,w,h,mod);
  end
else
  begin
    C=Cbypass;
  end
I(sig,gnd) <+ C*ddt(V(sig,gnd));
//$display("C(fp) = %f, K_C(nf/m) = %f, Eot(nm) = %f",C/1e-15,K_C/1e-9,Eot_tot/1e-
9);
end
endmodule
```

ANNEXE C– PROTOCOLE POUR LA PRISE DE MESURE DES MOSFET SUR LE KEITHLEY

Mesure	Protocole	Lecture
NMOS		
Id-Vds	<ul style="list-style-type: none"> - Balayage (sweep) en tension de 0 à 1.5V sur le Drain avec incrément (step) de 0.05 V - Tension à la grille de 0 V et 1.1 V - Tension à la source de 0 V - Tension au substrat de 0 V - Range à AUTO 	Courant au drain, source, substrat et grille
Id-Vgs	<ul style="list-style-type: none"> - Balayage en tension de 0 à 1.5V sur la grille avec incrément de 0.01 V - Tension au drain de 1.1 V - Tension à la source de 0 V - Tension au substrat de 0 V 	Courant au drain, source, substrat et grille
PMOS		
Id-Vds	<ul style="list-style-type: none"> - Balayage (sweep) en tension de 0 à -1.5V sur le Drain avec incrément (step) de -0.05 V - Tension à la grille de 0 V et -1.1 V - Tension à la source de 0 V - Tension au substrat de 0 V - Range à AUTO 	Courant au drain, source, substrat et grille
Id-Vgs	<ul style="list-style-type: none"> - Balayage en tension de 0 à -1.5V sur la grille avec incrément de -0.01 V - Tension au drain de -1.1 V - Tension à la source de 0 V - Tension au substrat de 0 V 	Courant au drain, source, substrat et grille

ANNEXE D – ÉTAPES POUR L'EXTRACTION DES PARAMÈTRES DES MOSFET

Paramètre	Marche à suivre
V_T	<ol style="list-style-type: none"> 1- Tracer une courbe $I_D V_G$ avec une tension $V_{ds} = V_{ALIM}$. 2- Faire la dérivée de la courbe $I_D V_G$ pour avoir la transconductance. 3- Trouver la tension V_{GS} ayant le plus grand g_m. Dans le cas de mesures expérimentales, prendre une plage de valeurs dont la valeur médiane est g_{mMAX}. 4- Sur la courbe $I_D V_G$, tracer une droite selon la plage de valeurs trouvée en « 3 ». 5- La tension V_t est à l'intersection de la droite et de l'axe des abscisses.
SS	<ol style="list-style-type: none"> 1- Tracer une courbe $\log I_D V_G$ avec une tension $V_{ds} = V_{ALIM}$. 2- La pente de la courbe sous la tension de seuil représente l'inverse de SS ($1/SS$).
R_O	<ol style="list-style-type: none"> 1- Tracer une courbe $I_D V_G$ avec une tension $V_{ds} = V_{ALIM}$. 2- La pente dans la zone de saturation représente l'inverse de R_O ($1/R_O$).
I_{ON}	1- Prendre le courant I_D lorsque $V_G = V_{ALIM}$ et que $V_{DS} = V_{ALIM}$.
I_{OFF}	1- Prendre le courant I_D lorsque $V_G = 0$ V et que $V_{DS} = V_{ALIM}$.
I_{BULK}	1- Prendre le courant du substrat (I_{Bulk}) lorsque $V_G = V_{ALIM}$ et que $V_{DS} = V_{ALIM}$.
I_{GATE}	1- Prendre le courant de la grille (I_{Gate}) lorsque $V_G = V_{ALIM}$ et que $V_{DS} = V_{ALIM}$.

LISTE DES RÉFÉRENCES

- [1] J. G. Koomey, "Worldwide electricity used in data centers," *Environ. Res. Lett.*, vol. 3, no. 3, p. 034008, Jul. 2008.
- [2] I. T. R. for S. (ITRS), "Executive Summary - 2011 Edition," 2011.
- [3] I. T. R. for S. (ITRS), "Executive Summary - 2005 Edition," 2005.
- [4] I. T. R. for S. (ITRS), "Executive Summary - 2007 Edition," 2007.
- [5] I. T. R. for S. (ITRS), "Executive Summary - 2009 Edition," Mar. 2009.
- [6] C. Dubuc, J. Beauvais, and D. Drouin, "A Nanodamascene Process for Advanced Single-Electron Transistor Fabrication," *IEEE Trans. Nanotechnol.*, vol. 7, no. 1, pp. 68–73, Jan. 2008.
- [7] C. Dubuc, J. Beauvais, and D. Drouin, "Single-electron transistors with wide operating temperature range," *Appl. Phys. Lett.*, vol. 90, no. 11, p. 113104, 2007.
- [8] C. Dubuc, "Étude et fabrication de transistors mono-électroniques à température d'opération étendue," 2008.
- [9] D. Griveau, S. Ecoffey, R. M. Parekh, M. a. Bounouar, F. Calmon, J. Beauvais, and D. Drouin, "Single electron CMOS-like one bit full adder," *2012 13th Int. Conf. Ultim. Integr. Silicon*, vol. 1, no. 1, pp. 77–80, Mar. 2012.
- [10] N. Jouvét, M. a. Bounouar, S. Ecoffey, C. Nauenheim, a. Beaumont, S. Monfray, a. Ruediger, F. Calmon, a. Souifi, and D. Drouin, "Recent Developments on 3D Integration of Metallic Set Onto Cmos Process for Memory Application," *Int. J. Nanosci.*, vol. 11, no. 04, p. 1240024, Aug. 2012.
- [11] M. Guilman, "Fabrication de mémoire monoélectronique non volatile par une approche de nanogrille flottante," 2013.
- [12] J.-F. Morissette, "Fabrication par lithographie hybride et procédé damascène de transistors monoélectroniques à grille auto-alignée."
- [13] J. Richard, "Fabrication de transistors monoélectroniques pour la détection de charge," Université de Sherbrooke, 2013.
- [14] P. Harvey-Collard, "A silicon nanocrystal tunnel field effect transistor," *Appl. Phys. ...*, vol. 193505, no. May, pp. 2–5, 2014.
- [15] K. El Hajjam, N. Baboux, F. Calmon, A. Souifi, O. Poncelet, L. a. Francis, S. Ecoffey, and D. Drouin, "Highly transparent low capacitance plasma enhanced atomic layer

- deposition Al₂O₃-HfO₂ tunnel junction engineering,” *J. Vac. Sci. Technol. A Vacuum, Surfaces, Film.*, vol. 32, no. 1, p. 01A132, 2014.
- [16] M. A. Bounouar, A. Beaumont, K. El Hajjam, F. Calmon, and D. Drouin, “On the use of nanoelectronic logic cells based on metallic Single Electron Transistors,” *2012 13th Int. Conf. Ultim. Integr. Silicon*, vol. 1, no. 1, pp. 157–160, Mar. 2012.
- [17] R. Parekh, A. Beaumont, and J. Beauvais, “Simulation and Design Methodology for Hybrid SET-CMOS Integrated Logic at 22-nm Room-Temperature Operation,” *crn2.3it.usherbrooke.ca*, vol. 59, no. 4, pp. 918–923, 2012.
- [18] J. Weis, “Single-electron devices,” in *CFN Lectures on Functional Nanostructures Vol. I*, vol. 121, 2005, pp. 87–121.
- [19] C. Wasshuber, H. Kosina, and S. Selberherr, “SIMON-A simulator for single-electron tunnel devices and circuits,” *IEEE Trans. Comput. Des. Integr. Circuits Syst.*, vol. 16, no. 9, pp. 937–944, 1997.
- [20] S. Mahapatra, K. Banerjee, F. Pegeon, and A. M. A. M. Ionescu, “A CAD framework for co-design and analysis of CMOS-SET hybrid integrated circuits,” *Language (Baltim.)*, no. Imm, pp. 497–502, 2003.
- [21] S. Mahapatra, V. Vaish, C. Wasshuber, K. Banerjee, and A. M. Ionescu, “Analytical modeling of single electron transistor for hybrid CMOS-SET analog IC design,” *Electron Devices, IEEE Trans.*, vol. 51, no. 11, pp. 1772–1782, 2004.
- [22] C. Dubuc, A. Beaumont, J. Beauvais, and D. Drouin, “Current conduction models in the high temperature single-electron transistor,” *Solid. State. Electron.*, vol. 53, no. 5, pp. 478–482, May 2009.
- [23] A. Beaumont, “Etude des mécanismes de transport électrique dans des structures à base de nanocristaux de silicium ordonnés,” L’Institut National des Sciences Appliquées de Lyon, 2005.
- [24] Z. Durrani, *Single-electron devices and circuits in silicon*. 2009.
- [25] J. Tucker, “Complementary digital logic based on the Coulomb blockade’,” *J. Appl. Phys.*, no. October 1991, 1992.
- [26] K. Nishiguchi and S. Oda, “Self-aligned double-gate single-electron transistor derived from 0.12- μ m-scale electron-beam lithography,” *Appl. Phys. Lett.*, vol. 78, no. 14, p. 2070, 2001.
- [27] a. M. Ionescu, M. J. Declercq, S. Mahapatra, K. Banerjee, and J. Gautier, “Few electron devices: towards hybrid CMOS-SET integrated circuits,” *Proc. 2002 Des. Autom. Conf. (IEEE Cat. No.02CH37324)*, pp. 88–93, 2002.

- [28] J. Y. Le, J. F. Jiang, and Q. Y. Cai, "Design of hybrid SET-CMOS D/A converter," in *ASICON 2001. 2001 4th International Conference on ASIC Proceedings (Cat. No.01TH8549)*, 2001, pp. 299–302.
- [29] C. H. Lee, S. W. Kim, J. U. Lee, S. H. Seo, G. C. Kang, K. S. Roh, K. Y. Kim, S. Y. Lee, D. M. Kim, and D. H. Kim, "Design of a Robust Analog-to-Digital Converter Based on Complementary SET/CMOS Hybrid Amplifier," *Nanotechnology, IEEE Trans.*, vol. 6, no. 6, pp. 667–675, 2007.
- [30] J. Lee, J. H. Lee, I. Y. Chung, C. J. Kim, B. G. Park, D. M. Kim, and D. H. Kim, "Comparative Study on Energy-Efficiencies of Single-Electron Transistor-Based Binary Full Adders Including Non-Ideal Effects," *Nanotechnology, IEEE Trans.*, vol. 10, no. 99, pp. 1–1, 2011.
- [31] J. Lee, C. Choi, S. Park, I.-Y. Chung, C.-J. Kim, B.-G. Park, and D. M. D. H. Kim, "Ultra-energy-efficient analog-to-digital converters based on single-electron transistor/CMOS hybrid technology for biomedical applications," *Semicond. Sci. Technol.*, vol. 24, no. 11, p. 115007, Nov. 2009.
- [32] Q. Li, L. Cai, Y. Zhou, G. Wu, and S. Wang, "Design and simulation of logic circuits by combined single-electron/MOS Transistor Structures," *2008 3rd IEEE Int. Conf. Nano/Micro Eng. Mol. Syst.*, pp. 210–214, 2008.
- [33] G. Lientschnig, I. Weymann, and P. Hadley, "Simulating Hybrid Circuits of Single-Electron Transistors and Field-Effect Transistors," *Jpn. J. Appl. Phys.*, vol. 42, no. Part 1, No. 10, pp. 6467–6472, Oct. 2003.
- [34] S. Mahapatra, V. Vaish, C. Wasshuber, K. Banerjee, and A. M. Ionescu, "Analytical modeling of single electron transistor for hybrid CMOS-SET analog IC design," *Electron Devices, IEEE Trans.*, vol. 51, no. 11, pp. 1772–1782, 2004.
- [35] K. Uchida, J. Koga, R. Ohba, and a. Toriumi, "Programmable single-electron transistor logic for future low-power intelligent LSI: proposal and room-temperature operation," *IEEE Trans. Electron Devices*, vol. 50, no. 7, pp. 1623–1630, Jul. 2003.
- [36] W. Zhang, N.-J. Wu, T. Hashizume, and S. Kasai, "Novel Hybrid Voltage Controlled Ring Oscillators Using Single Electron and MOS Transistors," *IEEE Trans. Nanotechnol.*, vol. 6, no. 2, pp. 146–157, Mar. 2007.
- [37] A. Sarmiento-Reyes and F. J. C. Gonzalez, "Hybrid simulation using functional single-electron transistor models," *Circuits Syst. (LASCAS), 2011 IEEE Second Lat. Am. Symp.*, pp. 1–4, 2011.
- [38] Y.-K. Cho and Y.-H. Jeong, "Single-Electron Pass-Transistor Logic with Multiple Tunnel Junctions and Its Hybrid Circuit with MOSFETs," *ETRI J.*, vol. 26, no. 6, pp. 669–672, Dec. 2004.

- [39] Q. Li, L. Cai, and G. Wu, "Digital-analog and analog-digital converters based on single-electron and MOS transistors," in *Control and Automation (ICCA), 2010 8th IEEE International Conference on*, 2010, pp. 1562–1566.
- [40] G. Deng, "Towards robust design of hybrid CMOS-SETs using feedback architectures," (*IEEE-NANO*), *2010 10th IEEE Conf.*, vol. 1, pp. 0–4, 2010.
- [41] M. A. Bounouar, F. Calmon, A. Beaumont, M. Guilmain, W. Xuan, S. Ecoffey, and D. Drouin, "Single Electron Transistor Analytical Model for Hybrid Circuit Design," in *New Circuits and Systems Conference (NEWCAS), 2011 IEEE 9th International*, 2011, pp. 506–509.
- [42] a. Venkataratnam and a. K. Goel, "Design and Simulation of Logic Circuits with Hybrid Architectures of Single Electron Transistors and Conventional Devices," *2006 1st Int. Conf. Nano-Networks Work.*, pp. 1–5, Sep. 2006.
- [43] G. Deng and C. Chen, "Performance analysis and improvement for hybrid CMOS-SET circuit architectures," in *Microsystems and Nanoelectronics Research Conference, 2008. MNRC 2008. 1st*, 2008, pp. 109–112.
- [44] W. Wei, J. Han, and F. Lombardi, "A hybrid memory cell using Single-Electron transfer," in *Nanoscale Architectures (NANOARCH), 2011 IEEE/ACM International Symposium on*, 2011, pp. 16–23.
- [45] A. Venkataratnam and A. Goel, *CMOS architectures for NOR and NAND logic gates using single electron transistors*. 2005, pp. 8–12.
- [46] a Venkataratnam and a Goel, "Design and simulation of logic circuits with hybrid architectures of single-electron transistors and conventional MOS devices at room temperature," *Microelectronics J.*, vol. 39, no. 12, pp. 1461–1468, Dec. 2008.
- [47] Y. Ono and Y. Takahashi, "Single-electron pass-transistor logic and its application to a binary adder," *2001 Symp. VLSI Circuits. Dig. Tech. Pap. (IEEE Cat. No.01CH37185)*, pp. 63–66, 2001.
- [48] K. Uchida, J. Koga, and R. Ohba, "Room-temperature operation of multifunctional single-electron transistor logic," *Electron Devices Meet.*, pp. 863–865, 2000.
- [49] S. Kim, C. Lee, J. Lee, S. Choi, J. Hwang, S. Lee, J. Choi, K. Park, W. Lee, I. Paik, and others, "Single-electron logic cells and SET/FET hybrid integrated circuits," *J. Semicond. Technol. Sci.*, vol. 6, no. 1, p. 53, 2006.
- [50] R. H. Chen, A. N. Korotkov, and K. K. Likharev, "Single-electron transistor logic," *Appl. Phys. Lett.*, vol. 68, no. 14, p. 1954, 1996.

- [51] A. I. Ammar, S. E. Rehan, and A.-F. I. Abdel-Fattah, "Design and simulation of single-source single-electron complementary 4-bit multiplexing nano-circuits," *Microelectronics J.*, vol. 43, no. 7, pp. 473–483, Jul. 2012.
- [52] R. H. Chen, a. N. Korotkov, and K. K. Likharev, "Single-electron transistor logic," *Appl. Phys. Lett.*, vol. 68, no. 14, p. 1954, 1996.
- [53] M. Fujishima and S. Amakawa, "Circuit simulators aiming at single-electron integration," *Jpn. J. Appl. Phys.*, vol. 37, no. March, pp. 1478–1482, 1998.
- [54] S. Mahapatra and A. M. Ionescu, "Hybridization of CMOS and SET," in *Hybrid CMOS single-electron-transistor device and circuit design*, 2006, pp. 83–128.
- [55] B. M. Amine, "Double-Gate Single Electron Transistors : Modeling , Design & Evaluation of Logic Architectures Transistors Mono-Électroniques Double-Grille : Modélisation , Conception & Évaluation d ' Architectures Logiques," 2013.
- [56] Y. S. Yu and J.-B. Choi, "A half-adder (HA) and a full-adder (FA) combining single-electron transistors (SETs) with MOSFETs," *Semicond. Sci. Technol.*, vol. 22, no. 6, pp. 647–652, Jun. 2007.
- [57] K. W. Song, G. Baek, S. H. Lee, D. H. Kim, K. R. Kim, D. S. Woo, J. S. Sim, J. D. Lee, and B. G. Park, "Realistic single-electron transistor modeling and novel CMOS/SET hybrid circuits," in *Nanotechnology, 2003. IEEE-NANO 2003. 2003 Third IEEE Conference on*, 2003, vol. 1, no. 4, pp. 119–121.
- [58] S. S. Dan and S. Mahapatra, "Impact of Energy Quantization on the Performance of Current-Biased SET Circuits," *IEEE Trans. Electron Devices*, vol. 56, no. 8, pp. 1562–1566, Aug. 2009.
- [59] K. Degawa, T. Aoki, T. Higuchi, H. Inokawa, and Y. Takahashi, "A single-electron-transistor logic gate family for binary, multiple-valued and mixed-mode logic," *IEICE Trans. Electron. E Ser. C*, vol. 87, no. 11, pp. 1827–1836, 2004.
- [60] H. Inokawa, A. Fujiwara, and Y. Takahashi, "A multiple-valued logic and memory with combined single-electron and metal-oxide-semiconductor transistors," *Electron Devices, IEEE Trans.*, vol. 50, no. 2, pp. 462–470, 2003.
- [61] S. J. Shin, C. S. Jung, B. J. Park, T. K. Yoon, J. J. Lee, S. J. Kim, J. B. Choi, Y. Takahashi, and D. G. Hasko, "Si-based ultrasmall multiswitching single-electron transistor operating at room-temperature," *Appl. Phys. Lett.*, vol. 97, no. 10, p. 103101, 2010.
- [62] H. Inokawa, A. Fujiwara, and Y. Takahashi, "A multiple-valued logic with merged single-electron and MOS transistors," *Int. Electron Devices Meet. Tech. Dig. (Cat. No.01CH37224)*, pp. 7.2.1–7.2.4, 2001.

- [63] Y. S. Yu, "A Multi-Gate Single-Electron Transistor Model for Circuit Simulations by SPICE," *J. Korean Phys. Soc.*, vol. 50, no. 3, p. 739, Mar. 2007.
- [64] S. S. Mosavi, A. Shahhoseini, and H. Shamsi, "A new cell with hybrid single electron transistor and MOS transistor with feed back technique," *2012 Int. Conf. Devices, Circuits Syst.*, pp. 63–66, Mar. 2012.
- [65] B. Sui, L. Fang, and Y. Chi, "Full adder designed with MOSFET and single-electron transistor hybrid circuit," in *Microelectronics and Electronics (PrimeAsia), 2010 Asia Pacific Conference on Postgraduate Research in*, 2010, pp. 329–332.
- [66] W. Zhang and N.-J. Wu, "A Novel Hybrid Phase-Locked-Loop Frequency Synthesizer Using Single-Electron Devices and CMOS Transistors," *IEEE Trans. Circuits Syst. I Regul. Pap.*, vol. 54, no. 11, pp. 2516–2527, Nov. 2007.
- [67] S. Mahapatra, V. Pott, S. Ecoffey, A. Schmid, C. Wasshuber, J. W. Tringe, Y. Leblebici, M. Declercq, K. Banerjee, and A. M. Ionescu, "SETMOS: A novel true hybrid SET-CMOS high current Coulomb blockade oscillation cell for future nano-scale analog ICs," in *Electron Devices Meeting, 2003. IEDM'03 Technical Digest. IEEE International*, 2003, pp. 29–7.
- [68] A. Ionescu and S. Mahapatra, "Hybrid SETMOS architecture with Coulomb blockade oscillations and high current drive," *Electron Device Lett.*, vol. 25, no. 6, pp. 411–413, 2004.
- [69] A. a. Prager, H. C. George, A. O. Orlov, and G. L. Snider, "Experimental demonstration of hybrid CMOS-single electron transistor circuits," *J. Vac. Sci. Technol. B Microelectron. Nanom. Struct.*, vol. 29, no. 4, p. 041004, 2011.
- [70] L. Cai, Q. Kang, and D.-Y. Shi, "Study of integrator performance based on hybrid SETMOS," *2011 Chinese Control Decis. Conf.*, pp. 2463–2466, May 2011.
- [71] M. Bounouar, A. Beaumont, and K. El Hajjam, "Room Temperature Double Gate Single Electron Transistor Based Standard Cell Library," *ieeexplore.ieee.org*, vol. 1, no. 1.
- [72] D. Griveau, "Mise en oeuvre de l'aspect démonstrateur des transistors mono-électroniques," 2012.
- [73] A. Jana, N. Basanta Singh, J. K. Sing, and S. K. Sarkar, "Design and simulation of hybrid CMOS–SET circuits," *Microelectron. Reliab.*, vol. 53, no. 4, pp. 592–599, Apr. 2013.
- [74] R. Parekh, "Simulation and design methodology for hybrid SET-CMOS integrated logic at 22-nm room-temperature operation," 2012.

- [75] D. H. Kim, S. Mukhopadhyay, and S. K. Lim, “Fast and Accurate Analytical Modeling of,” *IEEE Trans. Components Packag. Technol.*, vol. 1, no. 2, pp. 168–180, 2011.
- [76] T. Skotnicki, *Transistor MOS et sa technologie de fabrication*. 2001, pp. 1–37.
- [77] N. Jouvét, “Intégration hybride de transistors à un électron sur un nœud technologique CMOS,” 2012.
- [78] B. Lee Sang, “Développement d’une plateforme hybride SET-CMOS par intégration 3D monolithique,” Université de Sherbrooke, 2015.
- [79] S. Ecoffey, J.-F. Morissette, N. Jedidi, M. Guilmain, C. Nauenhein, and D. Drouin, “Ultrathin titanium passive devices fabrication,” in *2011 11th IEEE International Conference on Nanotechnology*, 2011, vol. 2, pp. 1689–1692.