

UNIVERSITÉ DE SHERBROOKE

Faculté de génie

Département de génie électrique

**SIMULATION D'UN RESEAU DE NEURONES  
A L'AIDE DE TRANSISTORS SET**

Mémoire de maîtrise

Spécialité : génie électrique

Franck ky TRINH

Jury : Dominique DROUIN (directeur)

Frédéric MAILHOT

Francis CALMON

Sherbrooke (Québec) Canada

Août 2010

IV-2121



Library and Archives  
Canada

Published Heritage  
Branch

395 Wellington Street  
Ottawa ON K1A 0N4  
Canada

Bibliothèque et  
Archives Canada

Direction du  
Patrimoine de l'édition

395, rue Wellington  
Ottawa ON K1A 0N4  
Canada

*Your file Votre référence*

*ISBN: 978-0-494-88803-2*

*Our file Notre référence*

*ISBN: 978-0-494-88803-2*

#### NOTICE:

The author has granted a non-exclusive license allowing Library and Archives Canada to reproduce, publish, archive, preserve, conserve, communicate to the public by telecommunication or on the Internet, loan, distribute and sell theses worldwide, for commercial or non-commercial purposes, in microform, paper, electronic and/or any other formats.

The author retains copyright ownership and moral rights in this thesis. Neither the thesis nor substantial extracts from it may be printed or otherwise reproduced without the author's permission.

#### AVIS:

L'auteur a accordé une licence non exclusive permettant à la Bibliothèque et Archives Canada de reproduire, publier, archiver, sauvegarder, conserver, transmettre au public par télécommunication ou par l'Internet, prêter, distribuer et vendre des thèses partout dans le monde, à des fins commerciales ou autres, sur support microforme, papier, électronique et/ou autres formats.

L'auteur conserve la propriété du droit d'auteur et des droits moraux qui protègent cette thèse. Ni la thèse ni des extraits substantiels de celle-ci ne doivent être imprimés ou autrement reproduits sans son autorisation.

---

In compliance with the Canadian Privacy Act some supporting forms may have been removed from this thesis.

While these forms may be included in the document page count, their removal does not represent any loss of content from the thesis.

Conformément à la loi canadienne sur la protection de la vie privée, quelques formulaires secondaires ont été enlevés de cette thèse.

Bien que ces formulaires aient inclus dans la pagination, il n'y aura aucun contenu manquant.

# Canada

*À mes parents, Thi kim Oanh et Minh Tri*

# RÉSUMÉ

Ce mémoire est le résultat d'une recherche purement exploratoire concernant la définition d'une application de réseaux de neurones à base de transistors monoélectroniques (Single-Electron Transistor, SET). Il dresse un portrait de l'état de l'art actuel et met en avant la possibilité d'associer les SET avec la technologie actuelle (Field Electron Transistor, FET).

La raison de cette association est que les SET peuvent être perçus comme un moyen de changement de paradigme, c'est-à-dire remplacer une fonction CMOS occupant une grande place par un dispositif alternatif présentant de meilleures performances ou équivalentes.

Par l'intermédiaire de leurs caractéristiques électriques peu ordinaires au synonyme de «l'effet de blocage de Coulomb», les SET ont le potentiel d'être exploités intelligemment afin de tirer profit sur la consommation énergétique essentiellement.

Cette problématique est présentée comme une des propositions alternative «Beyond CMOS» aux termes de la diminution géométrique des transistors FET à la lumière de l'ITRS.

Cette recherche propose d'exposer des circuits électroniques de technologie MOS complétés à l'aide de SET (circuits hybrides) et de montrer que l'on est capable de les remplacer ou compléter (partiellement) dans des architectures à réseau de neurones.

Pour cela, des simulations sous logiciel *Cadence Environnement* permettront de valider le comportement des circuits sur plusieurs critères tels que la vitesse de réponse et la consommation énergétique par exemple.

En résultat, seront proposées deux architectures à réseaux de neurones de fonctions différentes : une architecture Winner-Take-All et un générateur de spikes en tension.

La première étant inspirée d'une publication provenant de *GUIMARAES et al.* veut démontrer qu'à partir d'une architecture SET existante, il est envisageable de se l'approprier et de l'appliquer aux paramètres des SET du CRN<sup>2</sup> augmentant donc nos chances de pouvoir les concevoir dans notre groupe de recherche. Le second axe, est la simulation d'un circuit capable de générer des signaux à spikes sans perte d'information, ce qui requerrait un nombre considérable de transistors FET sans l'utilisation de SET, mettant donc en valeur la réduction de composants.

**Mots-clés :** Transistor monoélectronique (SET), Changement de paradigme, Effet de Blocage de Coulomb, Réseau de neurones, Circuits hybrides, Winner-Take-All, Générateur de spikes en tension

# REMERCIEMENTS

En tout premier lieu, je tiens à remercier mon directeur de recherche, Dominique DROUIN. Par cette formation, j'ai découvert un tout autre monde fascinant à une autre échelle, celle de la nanométrie. Un grand MERCI à lui d'avoir été disponible, de m'avoir introduit dans le domaine de la recherche et de m'avoir fait développer des capacités telles que l'autonomie ou l'approfondissement de mes connaissances acquises.

Je remercie également l'équipe de recherche de Dominique, post-doctorants, étudiants chercheurs, stagiaires pour y avoir apporté une très bonne ambiance me permettant de travailler correctement. Je remercie particulièrement Marc GUILMAIN, Rutu PAREKH et Wei XUAN qui ont contribué à l'avancement de mon projet, à Pierre LANGLOIS pour son soutien technique ainsi qu'à l'ensemble du groupe du CRN<sup>2</sup> pour leur bon joie de vivre au sein de l'établissement.

Aux nombreuses personnes que l'on croise dans les couloirs de la faculté de Génie qui, par de courtes discussions donne des solutions de temps à autres à certains problèmes techniques rencontrés lors de travaux.

Bien entendu, on peut aussi citer le CRSNG qui par leur fond ont pu contribuer au financement de ma recherche.

Une pensée également à mon école d'origine, l'ESEO (École supérieure de l'électronique de l'Ouest) qui m'a permis de profiter pleinement mon expérience internationale au Québec.

« Cam on nhieu ba voi ma va gia dinh » ( « merci à mon père, ma mère ainsi qu'à ma famille » en Vietnamien) pour leur soutien moral qui depuis la France, ont fortement contribué à mon avancée dans cette recherche. C'est en leur honneur que je dédie ce mémoire pour m'avoir laissé vivre cette expérience dans une université étrangère.

## Table des matières

RÉSUMÉ.....	i
REMERCIEMENTS.....	ii
LISTE DES FIGURES .....	vii
LISTE DES TABLEAUX .....	ix
LISTE DES SYMBOLES.....	x
LISTE DES ACRONYMES.....	xi
CHAPITRE 1 INTRODUCTION.....	1
1.1 La Loi de MOORE .....	1
1.1.1 Les limites de la réduction d'échelle nanométrique CMOS (More MOORE) .....	3
1.1.2 Vers la diversité des fonctions (More than MOORE) .....	5
1.2 Les transistors mono-électroniques .....	6
1.2.1 Structure du Single Electron Transistor.....	6
1.2.2 Effet de Blocage de Coulomb.....	7
1.2.3 Avantages et Désavantages des SET comparés aux MOSFET .....	10
1.3 Définition du Projet de Recherche.....	11
1.4 Objectifs du Projet de Recherche.....	11
1.5 Plan du document .....	12
CHAPITRE 2 ETAT DE L'ART.....	13
2.1 Définition et état de l'art des réseaux de neurones .....	13
2.1.1 Définitions biologiques.....	14
2.1.2 Fonctionnement des neurones.....	15
2.1.3 État de l'art sur des architectures de réseaux de neurones.....	15
2.2 Intérêt d'intégration des SET dans les réseaux de neurones.....	17

2.2.1 Travaux de Mahapatra et al. ....	17
2.2.2 Circuits hybrides SET-MOS.....	17
2.2.3 Neurones composés de SET .....	19
2.3 Discussions et analyses de solutions pour la problématique .....	21
<b>CHAPITRE 3 CADRE EXPERIMENTAL.....</b>	<b>23</b>
3.1 Théorie orthodoxe.....	23
3.2 Types de simulation .....	24
3.3 Monte Carlo (MC) Simulation technique .....	24
3.3.1 Présentation du logiciel SIMON.....	25
3.4 Master Équation (ME) Simulation technique .....	26
3.5 Macro-modèle Compact Spice .....	27
3.6 Modèle compact Spice par Mahapatra et al.....	27
3.6.1 VerilogA .....	28
3.6.2 Présentation du logiciel Cadence.....	29
<b>CHAPITRE 4 RESULTATS .....</b>	<b>32</b>
4.1 Présentation du circuit : Winner takes all à 2 neurones.....	32
4.1.1 Analyse théorique .....	32
4.1.2 Tests et simulations.....	37
4.1.3 Analyse et interprétations des résultats.....	44
4.2 Présentation du circuit : Générateur de spikes de tension .....	45
4.2.1 Analyse théorique .....	46
4.2.2 Tests et simulations.....	49
<b>CHAPITRE 5 CONCLUSION .....</b>	<b>53</b>
5.1 Retour sur les objectifs du projet de recherche.....	53
5.1.1 Intérêt d'intégrer les transistors SET dans les réseaux de neurones .....	53

5.1.2 Architecture Winner takes all .....	54
5.1.3 Architecture de générateur de spikes en tension.....	54
5.2 Travaux futurs.....	54
ANNEXE.....	55





# LISTE DES FIGURES

Figure 1.1 Loi de Moore : Nombre de transistors intégrés dans les microprocesseurs INTEL [9].....	1
Figure 1.2 More's law and More (Source: ITRS Executive summary 2009).....	3
Figure 1.3 Life with and after CMOS: different emerging nanotechnologies [17].....	4
Figure 1.4 Structure schématique du SET .....	7
Figure 1.5 Circuit équivalent du SET .....	7
Figure 1.6 a) Circuit électrique des jonctions tunnel alimentées par une tension source-drain, b) Courbes caractéristiques du Courant en fonction de la tension source drain pour $C_a=C_b$ différents dans chaque cas.....	9
Figure 1.7 a) Circuit électrique des jonctions tunnel alimentées par une tension de grille, b) Courbes caractéristiques du Courant en fonction de la tension de grille pour $C_a=C_b$ différents dans chaque cas .....	9
Figure 2.1 Structure biologique d'un neurone cellulaire [29] .....	14
Figure 2.2 Courbe caractéristique d'un potentiel d'action de neurone [2].....	15
Figure 2.3 Design d'un circuit inverseur hybride PMOS SET (à gauche) et NOR hybride à 2 entrées SET (à droite).....	18
Figure 2.4 Passage du neurone biologique à la modélisation mathématique [13].....	19
Figure 2.5 Implémentation d'un multiplieur avec des transistors SET[13].....	19
Figure 2.6 Implémentation d'un neurone avec des SET pour une architecture WTA...20	
Figure 3.1 Interface du logiciel SIMON.....	25
Figure 3.2 Caractéristiques électriques de $V_{ds}$ , $V_{gs}$ et $I_d$ en fonction du temps sous logiciel SIMON .....	26
Figure 3.3 Circuit équivalent du SET comme SPICE macromodèle pour cosimuler les SET avec les structures MOSFET.....	27
Figure 3.4 Effet des capacitances d'interconnexion sur $C_{\Sigma}$ où $C_{in}$ est la capacité d'entrée des autres éléments du circuit connecté au SET.....	28
Figure 3.5 Illustration des étapes d'une chaîne de conception d'un circuit intégré.....	29
Figure 3.6 Circuit de polarisation .....	31

Figure 3.7 Caractéristique électrique Id Vgs du SET aux paramètres du CRN <sup>2</sup> .....	31
Figure 4.1 Points de fonctionnement des SET1 et SET2 sur la caractéristique électrique Id-Vgs .....	32
Figure 4.2 Circuit proposé du WTA à 2 neurones [GUIMARAES, 2008]: .....	33
Figure 4.3 Caractéristiques électriques Id-Vgs du CRN <sup>2</sup> SET pour différents Vds simulés sous SIMON à 3K .....	34
Figure 4.4 Caractéristiques Id-Vgs du SET du CRN <sup>2</sup> de Sherbrooke avec la valeur limite supérieure (point rouge) .....	35
Figure 4.5 Simulation du WTA_CRN <sup>2</sup> sous CADENCE : I1 =0.5nA, I2 =0.3nA, Vbias = -0.5V, Rt = 300MΩ, Ct = 1.10 - 15F.....	37
Figure 4.6 Courbe winner de la tangente à l'origine .....	38
Figure 4.7 Simulation du WTA_CRN <sup>2</sup> sous CADENCE : I1 =0.5nA, I2 =0.3nA, Vbias = -0.5V, Rt = 300MΩ, Ct = 1.10 - 15F.....	39
Figure 4.8 Simulation du WTA_CRN <sup>2</sup> sous CADENCE : I1 =0.1nA, I2 =0.5nA, Vbias = -0.5V, Rt = 300MΩ, Ct = 1.10 - 15F.....	39
Figure 4.9 Simulation du WTA_CRN <sup>2</sup> sous CADENCE : I1 =0.3nA, I2 =0.5 nA, Vbias = -0.5V, Rt = 300MΩ, Ct = 1.10 - 15F.....	40
Figure 4.10 Simulation du WTA_CRN <sup>2</sup> sous CADENCE : I1 =1nA, I2 =0.8nA, Vbias = -0.5V, Rt = 300MΩ .....	41
Figure 4.11 Simulation du WTA_CRN <sup>2</sup> sous CADENCE : I1 =0.1nA, I2 =0.5nA, Vbias = -0.5V, Rt = 300MΩ , Ct = 1.10 - 14F.....	41
Figure 4.12 Un neurone de Winner take all à 3 neurones sous logiciel Cadence.....	42
Figure 4.13 Circuit électrique Winner take all à 3 neurones sous logiciel Cadence .....	43
Figure 4.14 Tensions de sortie des 3 neurones SET en fonction du temps .....	43
Figure 4.15 Représentation schématique de la réduction de composants pour produire le même signal.....	45
Figure 4.16 Générateur de spikes en tension .....	46
Figure 4.17 Circuit de polarisation du SET.....	47
Figure 4.18 Tension de sortie du drain en fonction du temps .....	48
Figure 4.19 Circuit d'un amplificateur émetteur commun en MOSFET.....	48
Figure 4.20 Courants et tensions de sortie du SET et des amplificateurs MOS .....	50

# LISTE DES TABLEAUX

Tableau 1.1 A comparison of different emerging nanotechnologies [19] .....	5
Tableau 2.1 Comparaison entre avantages et limitations des technologies SET et CMOS .....	17
Tableau 4.1 Paramètres de configuration du circuit .....	42
Tableau 4.2 Tableau des éléments de circuit de simulation .....	49
Tableau 4.3 Tableau des amplitudes et gains des signaux de sortie .....	51

# LISTE DES SYMBOLES

Symbole	Définition
$C$	Capacitance du Condensateur
$C_d$	Capacitance jonction-tunnel du Drain
$C_g$	Capacitance de la grille
$C_s$	Capacitance jonction-tunnel de la Source
$E_c$	Énergie de charge du condensateur
$h$	Constante de Planck
$I_i$	Courant d'entrée du neurone $i$
$I_{seti}$	Courant circulant dans le SET $i$
$I_{ti}$	Courant circulant dans la résistance $R_{ti}$
$K$	Kelvin
$k_B$	Constante de Boltzmann
$L$	Longueur de grille
$q_e$	Charge élémentaire de l'électron
$R_d$	Résistance jonction-tunnel du Drain
$R_0$	Résistance quantique
$R_s$	Résistance jonction-tunnel de la Source
$R_{ti-Cti}$	Couple Résistance et Capacitance du neurone
$t_{dep}$	Largeur de déplétion
$t_{ox}$	Épaisseur de la grille d'oxyde
$V_{bias}$	Tension de Bias
$V_d$	Tension du drain
$V_{dd}$	Tension d'alimentation
$V_{ds}$	Tension Drain Source
$V_{dsi}$	Tension drain source du neurone $i$
$V_g$	Tension de grille
$V_{gsj}$	Tension de grille du SET du neurone $j$
$v_i$	Tension de sortie d'un neurone
$V_s$	Tension de source
$V_{TH}$	Tension de seuil
$x_j$	Profondeur de jonction de la source et drain

## LISTE DES ACRONYMES

Acronyme	Définition
AMS	Analog Mixed Signal
ASIC	Application Specific Integrated Circuit
BICMOS	Bipolar Complementary Metal Oxide Semiconductor
CAD	Computer-Aided Design
CMOS	Complementary Metal Oxide Semiconductor
CRN <sup>2</sup>	Centre de recherche en nanofabrication et nanocaracterisation
EMD	Emerging Materials Devices
ERD	Emerging Research Devices
FET	Field Effect Transistor
FPGA	Field Programmable Gate Array
GSI	Giga-Scale-Integration
ITRS	International Technology Roadmap for Semiconductors
MC	Monte Carlo
ME	Master Équation
MEMS	Micro-Electro-Mechanical Systems
MIPS	Million d'instruction par Seconde
MOS	Metal Oxide Semiconductor
NMOS	N-channel Metal Oxide Semiconductor
RF	Radio Fréquence
SET	Single Electron Transistor
SIMON	SIMulation Of Nano-structures
SiP	System in Package
SoC	System on Chip
SOI	Silicon On Insulator
VLSI	Very Large Scale Integration
WTA	Winner Take All

## CHAPITRE 1 INTRODUCTION

L'intégration des composantes électroniques notamment les transistors MOS, est la technologie la plus couramment utilisée dans nos appareils électroniques (téléphones cellulaires, laptops et multimédias par exemple).

Ces transistors de technologie MOS (Métal-Oxyde-Semiconducteur) ont pour la plupart des fonctions d'amplification, de modulation de signaux, de commutation et de logique. Ils se comptent par millions dans les puces électroniques, ce qui leur permet d'améliorer radicalement la puissance et la taille des puces. Pour exemple, le processeur « Itanium processor 9300 series » en 2010 dénombre plus de deux milliards transistors![9]. Par ce phénomène, on progresse alors dans la réduction des coûts de vente, car il est maintenant possible d'intégrer sur une même puce plusieurs modules de fonctionnalités (wifi, mémoires, etc), et donc on optimise le coût sur l'assemblage.

Il est impossible d'expliquer ce progrès technologique sans évoquer la loi sur laquelle les acteurs de l'industrie de la microélectronique se réfèrent : la loi de MOORE.

### 1.1 La Loi de MOORE

En 1965, Gordon E. Moore, cofondateur d'Intel, énonça une loi empirique selon laquelle la complexité des circuits intégrés, le nombre de transistors et la puissance des processeurs doubleraient tous les deux ans. Une tendance militaire voudrait même que ce taux s'établisse en l'espace de 15 à 18 mois. Cette loi doit être vue comme un objectif de croissance.

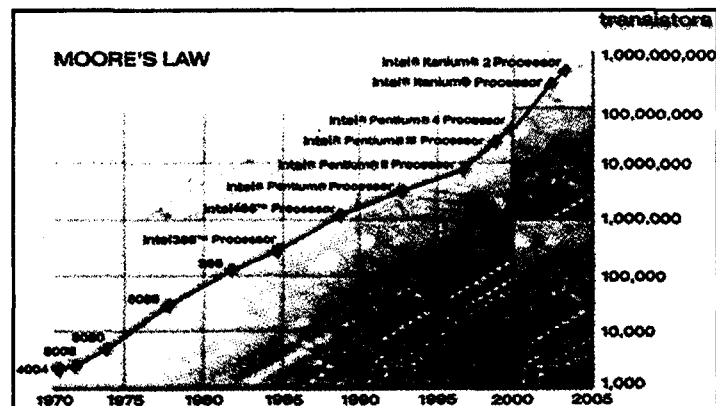


Figure 1.1 Loi de Moore : Nombre de transistors intégrés dans les microprocesseurs

INTEL [9]

Cette courbe (Figure 1.1), exprimée en millions d'instructions par seconde (MIPS), montre clairement l'augmentation en puissance de traitement grâce à la progression du nombre des transistors. Cette évolution exponentielle est grandement due à la réduction des dimensions des transistors, ce qui permet d'en intégrer en plus grand nombre sur une même puce.

Pour parvenir à miniaturiser ses composants électroniques, mémoires et transistors à un rythme quasi-constant depuis plusieurs dizaines d'années, la technologie MOS suit une "roadmap" rédigée par des acteurs industriels, selon des critères technologiques et économiques, l'ITRS.

L'ITRS (International Technology Roadmap for Semiconductors) [10] est une organisation constituée de cinq grands leaders internationaux dans le domaine des semi-conducteurs. Elle a pour but de rédiger sous formes de plusieurs documents l'état de l'art sur la performance des circuits intégrés, les dispositifs actuels, les dispositifs projetés ou envisagés, les technologies utilisées. On retrouve par exemple les meilleures opinions et directions de recherche pour les quinze prochaines années autour de différents aspects de la technologie en semiconducteur : Photolithographie, Assembly and Packaging, Emerging Research Devices, etc.

Ces derniers sont conditionnés par deux tendances : d'un côté, la miniaturisation, qui conduit à élaborer de plus en plus de composants par unité de surface, et diminuer par conséquent leur prix de revient. D'un autre côté, ces gains sont en partie contrebalancés par les investissements massifs qui nécessitent des équipements de recherche et développement plus adaptés.

Dans la section «Executive Summary», l'ITRS nous présente une «version plus appropriée» de la loi de MOORE (Figure 1.2) résumant les activités de l'industrie actuelle. Pour les années à venir, l'industrie ne peut pas seulement viser sur la réduction des tailles du transistor mais doit aussi penser à d'autres améliorations techniques pour se maintenir à la loi de Moore. C'est pourquoi, l'introduction de nouveaux dispositifs doit être envisagée pour poursuivre l'évolution industrielle.



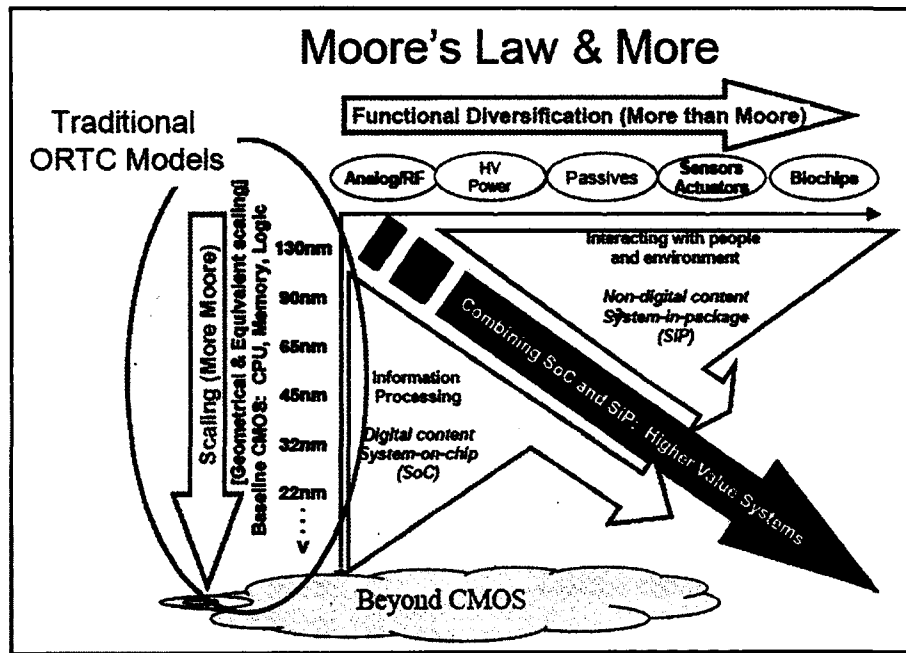


Figure 1.2 More's law and More (Source: ITRS Executive summary 2009)

### 1.1.1 Les limites de la réduction d'échelle nanométrique CMOS (More MOORE)

L'axe vertical représente la poursuite de la loi de Moore, soit la réduction des dimensions géométriques des transistors MOS. Elle reprend son évolution classique visant à augmenter la densité de transistors (réduction du coût par fonction) et la performance (rapidité, puissance).[10]

Cela est dû au fait que plus un transistor est réduit, plus on peut augmenter leurs densités. En conséquence, on diminue le coût de production par fonctionnalité, et ainsi donc, on augmente la vitesse du circuit, etc...

Parmi les paramètres de fabrication du MOSFET, on retrouve  $L$  la longueur de grille,  $x_j$  la profondeur de jonction de la source et drain,  $t_{ox}$  l'épaisseur de la grille d'oxyde,  $t_{dep}$  la largeur de déplétion,  $V_{TH}$  la tension de seuil et  $V_{dd}$  la tension d'alimentation. Selon Dennard et al. [3], il est possible de réduire drastiquement la taille des transistors en respectant les « good design rules » telles que :

$$\frac{x_j}{L} \approx \frac{1}{3}; \frac{t_{ox}}{L} \approx \frac{1}{30 \sim 40}; \frac{t_{dep}}{L} \approx \frac{1}{3}; \frac{V_{TH}}{V_{dd}} \approx \frac{1}{5} \quad (1.1)$$

Malgré le succès des vingt dernières années, on constate pour une technologie sub-100nm, à cause des limites physiques, il devient de plus en plus compliqué de satisfaire des « good design rules ». On pourrait aussi mentionner que l'un des problèmes de la réduction de la taille selon la formule de Denning est que la consommation d'énergie par transistor demeure sensiblement la même. En conséquence, la puissance dissipée par unité de surface augmente à un rythme s'approchant celui de l'intégration, à moins de réduire le potentiel d'alimentation. Les circuits s'approchant de la limite physique (voltage nécessaire pour faire fonctionner une diode), cette voie devient impossible et la puissance augmente maintenant rapidement avec le niveau d'intégration.

Au lieu de chercher à réduire davantage, d'autres solutions alternatives permettent d'améliorer la performance des CMOS :

- Mettre en place un meilleur diélectrique et diminuer les fuites de grille: High K au lieu du SiO<sub>2</sub>
- Changer les canaux de conduction pour augmenter la mobilité avec le SiGe
- Utilisation de gaufres SOI (Silicon On Insulator)

«Beyond CMOS», illustré sous forme de nuage, représente les dispositifs ou matériaux émergents : Emerging Research Devices (ERD) ou Emerging Materials Devices (EMD). Contrairement aux MOSFET impliquant un mouvement de masse des électrons, ces nouveaux dispositifs profitent de l'avantage des effets quantiques provenant des échelles nanométriques.

On distingue deux catégories : les « solid state devices » et les « molecular devices » (voir Figure 1.3).

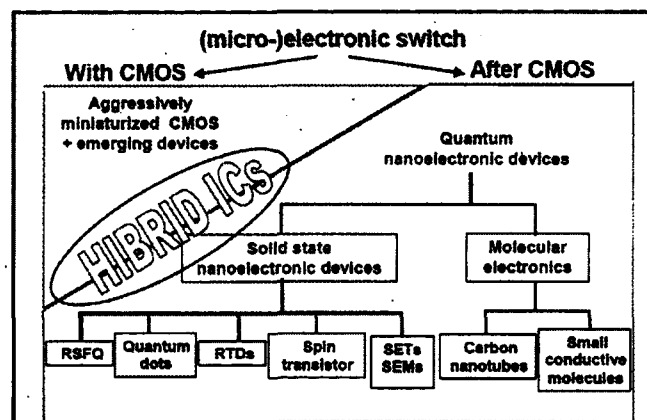


Figure 1.3 Life with and after CMOS: different emerging nanotechnologies [17]

Au terme de la réduction du CMOS, on ne s'attend pas spécialement à ce qu'ils remplacent les MOSFET mais les complètent plutôt de façon à créer des circuits hybrides au niveau de la puce ou de l'encapsulation (packaging) par exemple.

Les principales technologies sont résumées dans le tableau (Tableau 1.1).

Tableau 1.1 A comparison of different emerging nanotechnologies [19]

Technology	Advantages	Challenges	Major Applications
Single Electron Transistor (SET)	New Functionalities. Ultra low power	Room temperature operable technology, low current drive	Memory, Multiple Valued Logic, Neural Networks
Nanotube	High Conductivity	Fabrication	Interconnects. Logic
Rapid Single Quantum Flux (RSQF)	High Speed, Potentially Robust	Sub-ambient operation	Logic
Resonant Tunneling Diode (RTD)	Negative differential resistance, RF applications	Matching of device property across the wafer	RF applications, Multiple Valued Logic
Molecular Devices	Potential solution to interconnect problem	Thermal, Environmental stability, two terminal devices	3D integration, low power and low cost electronics

### 1.1.2 Vers la diversité des fonctions (More than MOORE)

L'axe horizontal représente l'incorporation de nouveaux dispositifs qui ne vont pas géométriquement réduire selon la loi de MOORE mais apporter une valeur additionnelle. L'approche «More than MOORE» poursuit typiquement des fonctionnalités non numériques (communications RF, contrôles de puissances, composants passifs ou capteurs...) qui pour leur développement, ont plus un caractère interactif avec l'environnement. On peut citer comme exemple des biocapteurs, les MEMS ou la micro-fluidique.

La courbe transversale relève alors de la combinaison des deux axes, soit l'intégration de ces dispositifs sur l'assemblage de type SoC (System on Chip) ou SiP (System in Package) qui sont des systèmes à valeur ajoutée.

Une autre façon d'aborder la diversification est le changement de paradigme dans les fonctions électroniques, c'est à dire remplacer une fonction CMOS occupant une grande place par un dispositif alternatif présentant de meilleures performances ou équivalentes.

Les transistors mono-électroniques que nous allons analyser tout au long de ce mémoire, en sont un exemple.

## 1.2 Les transistors mono-électroniques

Depuis le 21<sup>e</sup> siècle, le «scaling» des CMOSFET est entré dans l'ère du sub-50nm, marqueur des premières limites et défis technologiques. On s'attend alors à voir apparaître des symptômes d'effets quantiques. Ne serait il donc pas intéressant de profiter de ce phénomène et d'en adapter une toute nouvelle fonctionnalité voir un dispositif?

Les dispositifs monoélectroniques [27] sont prometteurs pour des structures nanométriques car ils fonctionnent à l'échelle atomique et contrôlent l'événement du passage d'un électron. L'application de ces structures dans les VLSI (Very Large Scale Integration) doit permettre une intégration à très haute densité et en conséquence, une consommation d'énergie extrêmement faible de leur part est attendue. La puissance consommée est approximativement proportionnelle au nombre d'électron transféré depuis la tension d'alimentation vers la masse dans les opérations logiques.

### 1.2.1 Structure du Single Electron Transistor

Les SET (Single-Electron Transistor), comme les transistors MOS sont composés de 3 terminaux : le drain, la grille et la source. La différence est qu'ils ont des jonctions tunnels et un îlot à la place des jonctions p-n et un canal électrique. La particularité de ce dispositif est de faire passer les électrons de la source vers le drain via un îlot métallique ou semi-conducteur compris entre leurs deux jonctions (voir Figure 1.4).

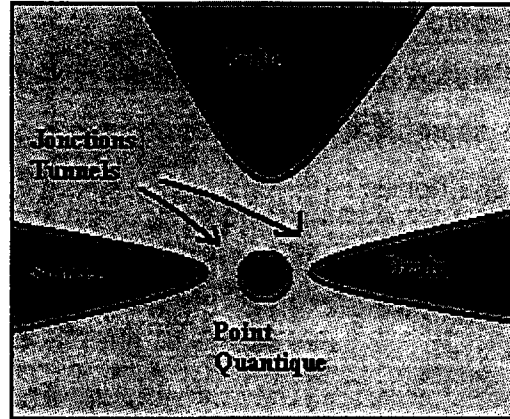
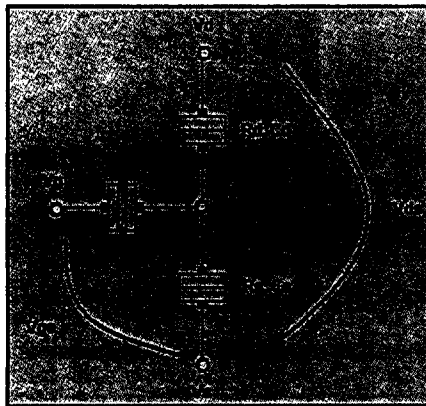


Figure 1.4 Structure schématique du SET

Schématiquement, on représente habituellement ces structures de la façon suivante :



$R_d$  : Résistance jonction-tunnel du Drain  
 $R_s$  : Résistance jonction-tunnel de la Source  
 $C_d$  : Capacité jonction-tunnel du Drain  
 $C_s$  : Capacité jonction-tunnel de la Source  
 $C_g$  : Capacité de la grille  
 $V_d$  : Tension du drain

Figure 1.5 Circuit équivalent du SET

Les jonctions tunnels sont équivalentes à une résistance en parallèle avec une capacité (voir point suivant). Afin de mieux comprendre les transistors SET, nous allons dans un premier temps étudier leur phénomène physique de base, le blocage de Coulomb. Il est concevable que la physique classique ne permette plus cette étude, il nous faut donc s'approcher par la physique quantique.

### 1.2.2 Effet de Blocage de Coulomb

L'effet tunnel à double jonction consiste à faire franchir des électrons à travers des barrières de potentiel à condition d'avoir des énergies suffisantes.

Dans la pratique, nous avons comme principe de le modéliser par une capacité  $C$  en parallèle avec une résistance tunnel  $R_t$ , et considérer l'effet tunnel par la conduction de l'électron au sein de ce dispositif. On appelle ce phénomène, l'effet de blocage de Coulomb et l'énergie de charge  $E_c$  de l'îlot est :

$$E_c = \frac{(q_e)^2}{2C} \quad (1.2)$$

Une caractéristique importante à prendre en compte : l'énergie de charge est toujours présente à toutes les températures. Cependant, pour observer l'effet de blocage de Coulomb, il faut remplir la condition de l'équation suivante :

$$\frac{(q_e)^2}{2C} \gg k_B T \quad (1.3)$$

avec  $k_B$ : constante de Boltzmann

Par ce phénomène, on voit clairement que la valeur des capacités doit être très faible pour qu'une température d'opération élevée soit possible. Nous verrons par la suite que des solutions ont été proposées pour y remédier et travailler en température ambiante.

En ce qui concerne la partie résistance tunnel  $R_t$  de notre modélisation, sa fonction est de réguler le passage des électrons au-delà de la zone isolante comprise entre les deux barrières. Elle prend seulement effet quand le courant dans les jonctions tunnel est établi.  $R_t$  est généralement une valeur fixe empêchant la délocalisation des électrons en dehors des plaques capacitives. On dit qu'elle est souvent reliée à la largeur de la barrière d'énergie, soit la distance séparant deux plaques d'une capacité.

D'après la théorie orthodoxe que nous allons simplement admettre, la résistance tunnel  $R_t$  doit être supérieure à la résistance quantique  $h/e$  :

$$R_t \gg R_0 = \frac{h}{(q_e)^2} \approx 25.8k\Omega, R_0 \text{ la résistance quantique} \quad (1.4)$$

L'observation de l'effet Blocage de Coulomb peut être réalisée, si et seulement si, ces deux conditions (énergie et résistances) sont respectées.

Sur la courbe ci-dessous (voir Figure 1.6), on cherche à représenter l'influence de la tension drain source sur l'effet de Blocage de Coulomb. Pour cela, on fait varier les capacités jonction-tunnel de drain ( $C_a$ ) et de source ( $C_b$ ) de l'ordre de l'attoFarad ( $= 10^{-18}F$ ). Ces valeurs sont choisies conformément aux transistors fabriqués au CRN<sup>2</sup> de Sherbrooke.

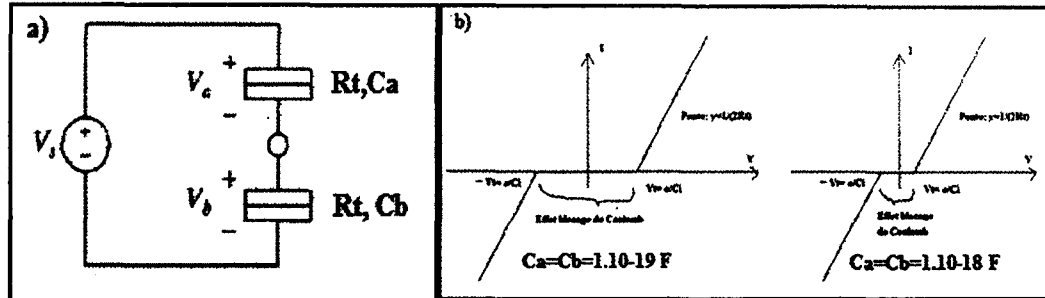


Figure 1.6 a) Circuit électrique des jonctions tunnel alimentées par une tension source-drain, b) Courbes caractéristiques du Courant en fonction de la tension source drain pour  $C_a=C_b$  différents dans chaque cas

On peut facilement constater qu'avant la tension de seuil  $V_t$ , il n'y a aucune conduction de courant, on est alors en régime de Blocage de Coulomb. Au-delà de  $V_t$ , le courant conduit linéairement proportionnel à la tension, on est en régime de conduction. Les simulations donnent une tension de seuil  $V_t$  de l'ordre de 0.55V.

Sur la courbe ci-dessous, on cherche à visualiser le signal du courant obtenu en variant la tension de grille. De façon similaire à la simulation précédente, nous paramétrons avec les valeurs du CRN<sup>2</sup> en jonglant avec les valeurs des capacités tunnel.

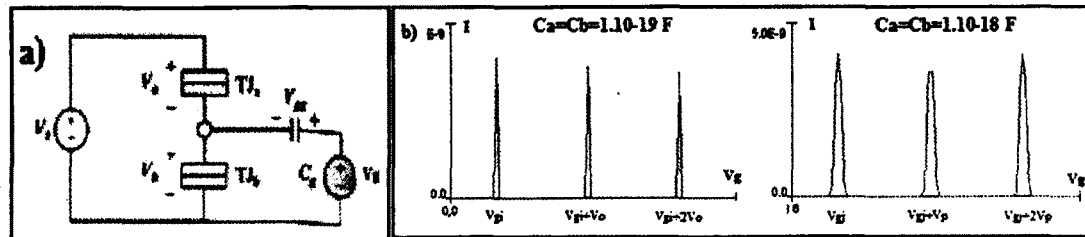


Figure 1.7 a) Circuit électrique des jonctions tunnel alimentées par une tension de grille, b) Courbes caractéristiques du Courant en fonction de la tension de grille pour  $C_a=C_b$  différents dans chaque cas

Sur la courbe ci-dessus, nous pouvons apercevoir des pics de courant à des tensions périodiques régulières ( $V_{gi}$ ,  $V_{gi+V_o}$ ,  $V_{gi+2V_o}, \dots$ ). Nous pouvons par ailleurs montrer l'influence sur le blocage de Coulomb quand les valeurs des capacités de jonction diffèrent. Par exemple, plus les capacités  $C_a$  et  $C_b$  sont faibles, moins les pics sont larges : on a alors une meilleure sélectivité du signal. Les simulations donnent généralement des tensions de grille  $V_{gi}$  de l'ordre de 1V à peu près.

### 1.2.3 Avantages et Désavantages des SET comparés aux MOSFET

L'analyse des transistors SET montre qu'ils possèdent l'avantage d'être de très faibles consommateurs d'énergie [12] ainsi que d'occuper une surface comparable aux transistors MOS (footprint semblable au CMOS ultime). En somme, ce sont de parfaits candidats dans l'intégration des VLSI.

En revanche, les opérations des circuits de SET ne fonctionnent qu'à très basses températures. D'autre part, ils ont le désavantage d'être de très forte impédance de sortie causée par les résistances des jonctions tunnel qui doivent être supérieures à  $25.8k\Omega$ . Les tensions drain-source ( $V_{ds}$ ) doivent être d'autant plus petites que les tensions balayages de grille pour l'utiliser comme un interrupteur étant donné la sensibilité du  $V_{ds}$ . On note également qu'il est très difficile de concevoir des amplificateurs avec ce type de dispositif. L'obtention de bons gains avec ces transistors est quasi inexistante [16].

Depuis peu, C.DUBUC et al.[4] ont mis en place un procédé de fabrication au CRN<sup>2</sup> de Sherbrooke ayant l'avantage de pouvoir faire fonctionner le transistor SET jusqu'à la température de 430K contrairement aux précédents, ne pouvant opérer qu'à températures cryogéniques.

On peut ajouter à cela que leurs caractéristiques électriques observées (oscillations de coulomb) peuvent être exploitées de manière astucieuse à l'obtention d'applications de réseaux neurologiques analogiques (voir chapitre suivant). En conséquence, il en découle la problématique suivante : **Peut-on alors s'affranchir de la limite technologique des transistors MOS annoncée à l'aide de dispositifs SET dans une application de réseau de neurones?**



### 1.3 Définition du Projet de Recherche

Nous constaterons dans le chapitre 2 : État de l'art que des «mini-circuits» (aussi appelés «building blocks») implémentant des transistors SET ont déjà fait leur apparition. Nous verrons également que les réseaux de neurones sont un domaine potentiel pour leur utilisation. L'utilité de cette enquête est de viser une application concrète utilisant les transistors SET, en particulier leur intégration dans les réseaux de neurones.

Afin de subvenir et anticiper les limites du MOSFET, l'enjeu serait d'exploiter les SET et profiter de leurs avantages : consommation d'énergie faible, remplacement de building block de MOS par des circuits hybrides (SET-MOS), exploitation des caractéristiques électriques des SET...

En somme, l'esprit de cette recherche souhaiterait tirer profit des caractéristiques du SET que ne peuvent réaliser ou difficilement des transistors de type MOS.

### 1.4 Objectifs du Projet de Recherche

L'objectif du projet de maîtrise est exploratoire et vise tout particulièrement à étudier différents types d'architectures.

Concernant la méthodologie retenue, la première étape sera de s'approprier le fonctionnement du SET par simulation logicielle. Pour cela, il est possible de simuler des circuits complexes à l'aide de Cadence, un logiciel répandu dans le secteur microélectronique, ce qui sera un début de piste intéressant pour créer un neurone fonctionnel.

Dans un second temps, nous exploiterons dans la littérature les applications de neurones traditionnellement implémentées dans les circuits CMOS. L'idée serait de s'inspirer des travaux antérieurs et de les adapter pour les faire fonctionner avec des SET.

Enfin, nous chiffrerons les avantages des architectures SET tels que la consommation d'énergie, la rapidité de réponse, la taille des dispositifs afin de les comparer à une architecture classique MOS.

## 1.5 Plan du document

Ce mémoire est organisé en cinq chapitres accompagnés d'une annexe :

1. **Introduction** : Mise en contexte du projet de Maitrise, Loi de Moore, Description des transistors monoélectroniques, Définitions et Objectifs du projet de recherche
2. **État de l'art** : Etat de l'art des réseaux de neurones biologiques et électriques, Intérêt d'intégration des transistors SET dans les réseaux de neurones, Dispositifs hybrides SETMOS et neurones à SET, discussions et analyses de la problématique
3. **Cadre expérimental** : Types de simulation, Présentation des logiciels SIMON et Cadence
4. **Résultats** : Présentation du circuit Winner Takes All (analyses, tests et discussions), Présentation du circuit Générateur de spikes de tension (analyses, tests et discussions)
5. **Conclusion** : Retour sur les objectifs de recherche, Résumé des principaux résultats

## CHAPITRE 2 ETAT DE L'ART

### 2.1 Définition et état de l'art des réseaux de neurones

Un réseau de neurones artificiel [29] (Artificial Neural Network) est un modèle de calcul dont la conception est très schématiquement inspirée du fonctionnement de vrais neurones (humains ou non). Les réseaux de neurones sont généralement optimisés par des méthodes d'apprentissage de type statistique, si bien qu'ils sont placés d'une part dans la famille des applications statistiques, et d'autre part dans la famille des méthodes de l'intelligence artificielle qu'ils s'enrichissent en prenant des décisions basées sur la perception.

Leur utilité réside dans le fait que ce sont des systèmes capables d'apprendre et de mettre en œuvre l'apprentissage par expérience aussi dite «Principe d'induction». Cela implique qu'ils infèrent un système de décision intégré dont le caractère générique est fonction du nombre de cas d'apprentissage rencontrés par rapport à la complexité du problème à résoudre.

Les réseaux de neurone par leurs itérations en apprentissage traitent généralement des problèmes de nature statistique et ont donc des propriétés de classification et de généralisation. Telle que la structure biologique, un réseau de neurones est formé suite à l'apprentissage d'une information en s'interconnectant entre eux à l'aide de synapses. Dès lors, quand il s'agit de répéter l'information, l'influx nerveux est beaucoup plus rapide car deux neurones activés ensemble renforcent leur connexion de sorte que l'activation en sera plus rapide à l'avenir.

Le réseau de neurones ne fournit pas toujours de règle exploitable par un humain. Il reste souvent une boîte noire qui fournit une réponse quand on lui présente une donnée, mais ne fournit pas de justification facile à interpréter.

Les applications des réseaux de neurone sont très divergentes :

- Classification de manière algorithmique selon plusieurs critères
- Reconnaissance de motif : Reconnaissance optique de caractères (OCR), et notamment par les banques pour vérifier le montant des chèques
- Approximation d'une fonction inconnue.
- Modélisation accélérée d'une fonction connue mais très complexe à calculer avec exactitude (décodage de signaux de télédétection émis par les satellites)

### 2.1.1 Définitions biologiques

Un neurone est une unité cellulaire structurale et fonctionnelle du système nerveux. Cette cellule permet notamment la transmission de messages aussi appelée influx nerveux. Il est soit :

- Excitable : réagit à un stimulus et le convertit en impulsion nerveuse
- Conducteur : Propage et transmet l'information à d'autres neurones ou cellules (muscles)

Nombreux de plus de 100 Milliards dans le corps humain, les neurones sont essentiellement constitués d'un corps cellulaire, d'un axone, de dendrites et synapses.

Le corps cellulaire constitue la partie du neurone d'où sont originaires les messages pour être transmis aux axones, puis aux synapses et enfin aux dendrites des neurones en aval.

Les axones aussi appelés fibres nerveuses sont les prolongements du corps cellulaire des neurones. Ils ont la particularité de s'étendre et de conduire les informations ou impulsions électriques au-delà du corps cellulaire du neurone.

Les dendrites possèdent également la fonction de transmetteurs messagers mais sont beaucoup plus courtes que les axones, ce qui leur confère en général, une forme de ramification. Leur utilisation se situe principalement au niveau du corps cellulaire et aux synapses.

Les synapses (Figure 2.1) désignent une zone de contact fonctionnelle s'établissant en deux neurones assurant la conversion des impulsions électriques pour être compris entre eux.

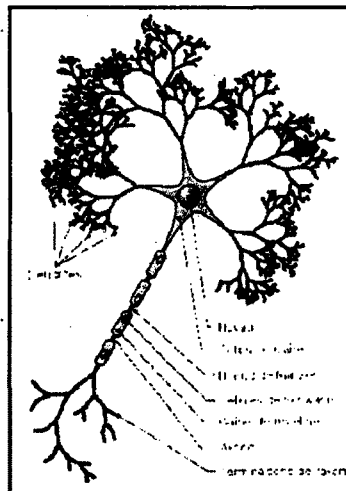


Figure 2.1 Structure biologique d'un neurone cellulaire [29]

### 2.1.2 Fonctionnement des neurones

Au repos, le neurone est polarisé et présente un gradient électrochimique négatif (-70mV) correspondant à un « potentiel de repos ». Des molécules venant d'une pompe chimique Na/K permettent de maintenir négative la charge globale de la cellule nerveuse par rapport au milieu ambiant.

Lors d'une stimulation (lumière, pression, chaleur) suffisante, dépassant un seuil minimal de tension transmise par la somme des potentiels des différentes connexions, des mouvements extracellulaires provoquent une inversion momentanée des charges électriques de part et d'autres. C'est la création d'un potentiel d'action qui va alors se propager le long de l'axone. On dit que le message nerveux obéit à la règle du tout ou rien, un neurone produit toujours un potentiel d'action de même amplitude quelle que soit la stimulation à sa source.

Une fois le message transmis, les canaux de sodium vont se refermer, on a un retour au potentiel de repos initial pour recommencer le processus. (Description du potentiel sur la figure 2.2)

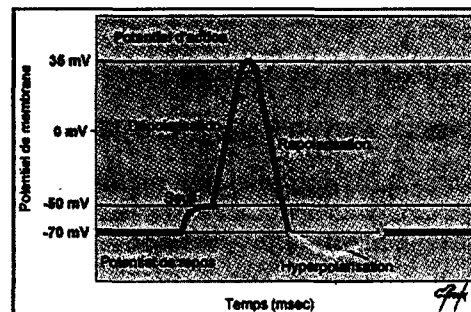


Figure 2.2 Courbe caractéristique d'un potentiel d'action de neurone [2]

### 2.1.3 État de l'art sur des architectures de réseaux de neurones

Historiquement, on évoque souvent le nom de Warren McCulloch et Walter Pitts [29], les premiers neurologues à avoir établi un modèle simplifié de neurones biologiques dans l'idée d'associer le neurone à un élément à temps discret.

A partir de ce principe, ils ont montré qu'il était possible de réaliser des fonctions logiques, arithmétiques et des symboliques complexes.

Dans la littérature actuelle, on retient souvent le chercheur [20], professeur à l'Institut de Technologie en Californie. Une de ses monographies nous expose différentes architectures

électriques testées, démontrées et ayant faites leurs preuves. Pour cela, il les présente sous forme de « building block », correspondant chacun à des circuits de transistors MOS. Ces derniers sont capables de modéliser des fonctions « mathématiques » comme, la valeur absolue, la multiplication, ainsi que des fonctions non linéaires. La seconde partie de son livre traite également l'agrégation des signaux. Elle montre que dans les architectures Winner Takes All (voir point suivant), l'avantage réside dans la robustesse : la multiplication des transistors au sein d'un circuit selon une architecture déterminée permet de renforcer les signaux.

En conséquence, de nombreuses applications ont été développées en rapport avec ses recherches. On peut citer des convertisseurs analogiques-numériques [22] à neurones hautes précisions en MOSFET, un circuit Winner Take All analogique [31], des futures machines [20] en interaction avec le monde extérieur afin d'extraire des informations sur les objets nous entourant (identification et distance de l'objet).

Pour en revenir aux potentiels d'action, [11] recense dans le cortex cérébral humain plus de vingt modèles utilisant ce type de codage à spike pour transiter leurs informations d'un neurone à un autre. Parmi eux, les recherches se sont concentrées essentiellement sur la manière de reproduire ces pics au moyen d'un minimum de dispositifs.

Au Japon, Shibata et al. [23] propose une méthode pour construire un circuit MOS de réseaux de neurones permettant l'auto apprentissage à l'aide d'interconnexions permettant de modifier leur poids synaptique. Morie [21] parvient à reproduire le modèle SRM (Spike Response Model) qui est un modèle simplifié du biologique à l'aide de MOSFET à grille flottante. Ou encore, un article très récent venant du CNRS de Lille (Alibart et al. [1], présente un dispositif associant nanoparticules au silicium appelé NOMFET (Nanoparticle Organic Memory Field-Effect Transistor). Cette dernière application principale vise à représenter une synapse biologique à fonction spike en changeant de paradigme.

## 2.2 Intérêt d'intégration des SET dans les réseaux de neurones

### 2.2.1 Travaux de Mahapatra et al.

Les travaux de Santanu MAHAPATRA [17], ont fait couler beaucoup d'encre concernant le comportement des transistors SET [18, 19] ce qui lui a permis avec son expérience d'appuyer des arguments d'intégrer des SET dans les réseaux de neurones.

Selon MAHAPATRA, les réseaux de neurones sont dotés de techniques de modélisations sophistiqués de type *non linéaires* pour effectuer des fonctions complexes. Leur implication dans l'intelligence artificielle n'a cessé d'augmenter la curiosité des chercheurs, tout particulièrement pour leur capacité autonome à apprendre grâce à la modélisation bas niveau de la structure du cerveau.

Étant limité par la consommation énergétique importante et la taille de la puce, il est alors difficile de concevoir un réseau de neurone efficace avec la technologie CMOS. C'est la raison pour laquelle, on veut exploiter l'avantage de ces SET pour réaliser des neurones compacts.

### 2.2.2 Circuits hybrides SET-MOS

D'après les discussions précédentes, nous avons attiré l'attention sur la parfaite candidature des SET pour l'intégration à très grande échelle (VLSI) grâce à trois points forts : leur taille nanométrique, leur faible consommation énergétique et leur unique caractéristique de l'effet de blocage de Coulomb. Une succincte comparaison des avantages et limitations du CMOS et SET est donnée dans le tableau ci dessous :

Tableau 2.1 Comparaison entre avantages et limitations des technologies SET et CMOS

	SET	CMOS
<b>Avantages</b>	Taille géométrique nanométrique Caractéristique unique de l'effet du blocage de Coulomb Consommation énergétique ultra faible	Gain très élevé Haute rapidité Procédés de fabrication maîtrisés
<b>Limitations</b>	Faible courant de conduction Problèmes d'opérabilité due à la température Effet de charges	Limites physiques du sub-10nm Densité de puissance

D'après ce tableau, il demeure encore difficile dans un futur proche pour le SET de remplacer intégralement la large infrastructure de MOS, autant par leurs méthodologies de

design que leur prédictibilité économique. Si on imaginait une technologie remplie uniquement de SET, on aurait toujours des problèmes de courants de conduite encore trop faibles (nano-Ampere).

Cependant, on s'aperçoit que ce tableau suggère leur complémentarité en profitant de la faible consommation énergétique des SET et du paradigme (oscillations de Coulomb) liés aux avantages des CMOS, c'est à dire leur haute rapidité et gain en tension pour compenser les inconvénients intrinsèques du SET.

Une récente analyse de circuits hybrides a été développée par VENKATARATNAM et al. [24] associant les avantages de chacune des deux technologies. Cette technique consiste à reproduire des fonctions logiques connues (voir Figure 2.3).

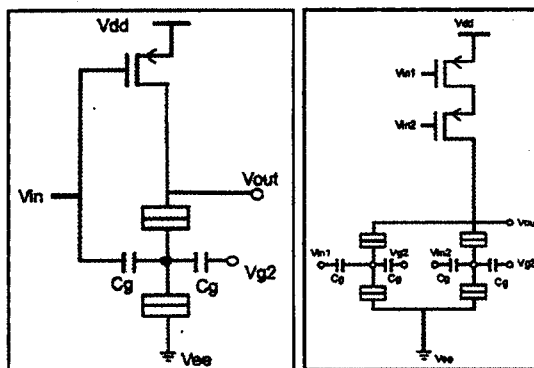


Figure 2.3 Design d'un circuit inverseur hybride PMOS SET (à gauche) et NOR hybride à 2 entrées SET (à droite)

De façon similaire, on démontre que tous les circuits logiques sont possibles car les portes les plus importantes sont concevables : NOT, NOR, NAND,...

Si on considère une technologie CMOS de 70 nm pour les circuits logiques, le remplacement du transistor NMOS par un SET donne un résultat électrique similaire, voire amélioré grâce à un gain de place sur le chip.

Les simulations sous SPICE ont également montré que les circuits hybrides délivraient des niveaux de tensions plus grands à commutations plus rapides comparés aux structures CMOS comme les inverseurs SETMOS par exemple.



### 2.2.3 Neurones composés de SET

KIRIHARA et al [13] est l'un des premiers chercheurs à avoir expérimenté l'association SET aux réseaux de neurones en 1996 au département d'électronique et informatique à Osaka.

Une de ses premières découvertes a été la modélisation du fonctionnement d'un réseau de neurones à l'aide d'une implémentation de SET. Vu précédemment dans la partie biologique, un réseau de neurone est constitué de différentes parties essentielles comme : la synapse, la mémoire (corps cellulaire), la tension de seuil,... L'objectif est de représenter par un circuit de transistors SET chacun des blocs et de construire un modèle d'architecture de réseaux de neurones (voir Figure 2.4)

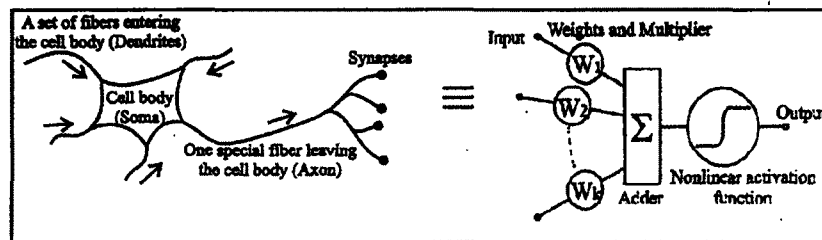


Figure 2.4 Passage du neurone biologique à la modélisation mathématique [13]

Par exemple, on peut modéliser le poids d'une synapse par la mise en série de 2 transistors SET avec au milieu une capacité gardant en mémoire (en se chargeant) le nombre d'électron entrant. Les parties A et B des SET (Figure 2.5) sont utilisées pour ajouter ou soustraire des électrons un à un, dans la capacité CLW. L'avantage de ce type de circuit, est qu'il occupe une place très réduite sur le circuit.

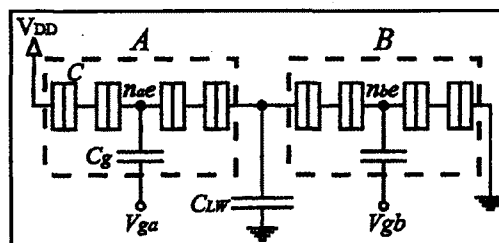


Figure 2.5 Implémentation d'un multiplieur avec des transistors SET[13]

La discussion retenue dans l'article est que pour un circuit de neurones à 10 bits de poids de précision est d'environ  $10^{-36} \times n/CJ$  par cycle, où n est le nombre d'entrée synaptique et C la capacité des jonctions-tunnel. Par exemple, la puissance dissipée par les

neurones est de l'ordre de  $10^{-17}$  J/cycle pour 5 entrées de neurones SET avec des capacités  $C$  de  $10^{-18}$  F contrairement aux  $10^{-12}$ J/cycle pour une technologie CMOS. Principalement,  $n$  entrées peuvent être réalisées avec  $6n+2$  SET transistors. Ces comparaisons de consommation d'énergie se basent essentiellement sur l'espace occupée des dispositifs sur une puce avec la technologie de l'époque, c'est-à-dire que le footprint des SET était inférieur à celui du MOS. On en déduit que par cette méthode, nous gagnons énormément en dissipation de puissance et en taille. Notons à cela qu'une capacité de  $10^{-18}$  F peut sembler extrêmement faible, mais l'article date de 1997 et la technologie utilisée était différente de maintenant : la largeur de grille était bien plus importante.

Suite à cela, on peut citer le département du Génie électrique à Brasilia de GUIMARAES et al. [6] dont leur domaine d'activité est principalement concentré sur des architectures et simulations de dispositifs mono-électroniques.

Un des travaux de leur groupe de recherche est l'architecture Winner take All (WTA) à base de transistors SET. Elles sont généralement utilisées pour les traitements de l'image et notamment faire de la reconnaissance de caractères. Cette modélisation a été inspirée d'une architecture similaire implémentée en technologie MOSFET de FANG [5]. Le design d'un neurone se résume grossièrement à deux SET en parallèle et un couple résistance-capacitance en parallèle.

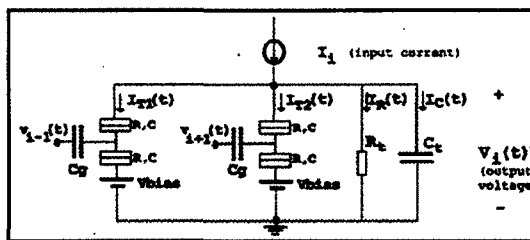


Figure 2.6 Implémentation d'un neurone avec des SET pour une architecture WTA

Le Winner take all est une application permettant d'analyser des matrices et de les comparer à des matrices références dont le but est de faire de la reconnaissance de caractères. Dans le schéma ci-dessus (Figure 2.6), on a représenté un seul neurone ayant comme objectif d'émettre en sortie une tension positive ( $v_i$ ) si ce neurone reçoit le courant ( $I_i$ ) le plus important de tous ses concurrents (voir la section Résultat).

Les résultats de consommation de puissance montrent que les énergies consommées sont beaucoup moins importantes que les estimations de l'ITRS. Cela est dû aux propriétés des SET qui commutent plus rapidement que les MOS. La reconnaissance de caractères fonctionne correctement et montre un progrès pour des applications plus complexes ultérieurement. On s'attend à développer des implémentations de Giga-Scale-Integration (GSI) à circuits de SET.

### 2.3 Discussions et analyses de solutions pour la problématique

Compte tenu de la partie précédente, nous allons synthétiser les points qui ont été abordés et tenter de répondre à la problématique.

D'emblée, l'article de KIRIHARA [13] nous a montré que la modélisation de neurone était décomposable suivant la structure biologique. Chaque partie pouvait être représentée par un circuit de transistors SET. Cette structure est généralement utilisée dans la plupart des simulations de réseaux de neurone.

Actuellement, les réseaux de neurone sont utilisés avec des technologies MOS. Les articles ci-dessus, ont réutilisé les mêmes structures mais en créant des circuits hybrides [25] (remplaçant certains MOS par des SET), ce qui avait pour conséquence, l'exploitation de part et d'autres des deux types de transistors : Bonnes amplifications pour les MOS, Rapidités de commutation et une très faible consommation pour les SET.

D'autre part, plusieurs architectures de réseau de neurones telles que Réseau de Hopfield, de Hamming, WTA, ... [7] ont été simulées à l'aide de logiciels (SIMON, MATLAB). Leur implémentation pour des applications telles que la reconnaissance de caractères fonctionnent correctement.

Associer les transistors SET aux réseaux de neurone est une des solutions pour renforcer la robustesse des SET contre des effets indésirables (consommation d'énergie importantes dues des expositions de températures ambiantes).

Enfin, suite aux analyses de MEAD[20], on s'aperçoit qu'il serait possible de simuler et d'intégrer des réseaux de neurone de type circuits hybrides SET-MOS.



## CHAPITRE 3 CADRE EXPERIMENTAL

### 3.1 Théorie orthodoxe

Découverte la première fois par Kulik et Shekhter [14] pour un cas particulier de transfert de charge dans un système de particules métalliques couplées par des interactions tunnel, la théorie orthodoxe est bien à l'origine de plusieurs modélisations du SET. Cette idée a été ensuite généralisée par Likharev et al et Averin [15].

La théorie orthodoxe du blocage de Coulomb correspond à la mise en équation du circuit équivalent à un système composé d'îlots placés entre plusieurs réservoirs d'électrons.

Afin d'expliquer le comportement physique du SET, il faut supposer quelques hypothèses :

- Ignorer la discrétisation des niveaux d'énergie : on admettra dans ce cas que l'énergie cinétique ( $E_k$ ) est négligeable devant l'énergie de charge ( $E_c$ ) pour simplifier l'analyse du taux à effet tunnel vu ultérieurement.
- Ignorer les phénomènes de transport cohérent et simultané de plus d'un électron à travers les barrières (co-tunneling) : on considèrera les résistances tunnel  $R_t$  des jonctions supérieures à un quanta de résistance soit  $R_t \gg h/e^2 = 25.8k\Omega$

Pour ne pas trop entrer dans les détails, le comportement de la théorie orthodoxe peut se rapporter au taux de l'effet tunnel sur l'îlot d'un SET : il y aura effet tunnel si le saut d'un électron sur l'îlot diminue l'énergie de  $e^2/Ct$  du système. Comme il est facile de calculer l'état d'énergie d'un système avant et après une hypothétique conduction par effet tunnel, on peut alors déterminer à l'avance si de telles conductions seront favorisées ou non.

Pour déterminer si un effet tunnel est favorable au bilan énergétique, on doit opérer avec des valeurs de charge fractionnaire sur l'îlot. Cela est dû au fait qu'en science mono électronique, on parle plutôt de charge transférée que de bilan de charge nette absolue. La charge transférée peut prendre n'importe quelle valeur continue. Les jonctions tunnel des SET peuvent être vues comme une barrière d'énergie qui bloque la conduction libre des porteurs provenant de la source ou du drain. C'est pourquoi le nombre d'électrons peut atteindre n'importe quelle valeur en s'accumulant à la jonction car il est proportionnel à la tension appliquée de la jonction. Le volume accumulé près de la jonction se transforme alors en un

nuage de charges décentralisées formant comme un dipôle électrique. La charge transférée correspond alors au nombre d'électrons dans ce volume par rapport aux atomes fixes positifs de l'électrode. Elle est utilisée pour calculer l'énergie électrostatique du système afin d'y déterminer le taux de transfert des électrons par effet tunnel. Le terme de transistor à un électron ne désigne pas qu'il y a un seul électron dans l'îlot mais plutôt que l'ajout d'un électron doit respecter les règles électrostatiques mentionnées ci-dessus.

### 3.2 Types de simulation

Les logiciels CAD (Computer-Aided Design) sont des outils performants pour la conception et la simulation électronique de circuits. Ils sont devenus indispensables à l'évolution de l'industrie microélectronique. La complexité des systèmes électroniques ne cessant d'augmenter, le besoin en termes d'outils CAD devient critique.

Une implémentation de SET pour le VLSI nécessite alors des modèles adaptés pour la simulation de larges circuits.

Présentement, trois principales approches ont été adoptées pour simuler des circuits à base de transistors SET : Monte Carlo, Master Équation et le Modèle compact.

### 3.3 Monte Carlo (MC) Simulation technique

La simulation Monte Carlo est la technique d'approche la plus populaire pour simuler les transistors SET. Elle se base sur toutes les possibilités d'événement tunnel, calcule leurs probabilités et en sélectionne une aléatoirement parmi toutes. Répétée à plusieurs reprises pour s'approcher au plus de la réalité, elle permet de simuler le transport des électrons à travers le dispositif. Les événements tunnel sont considérés indépendants et sont distribués exponentiellement.

Un simulateur MC est donc un générateur de nombre aléatoire du fait que le tunneling des électrons à travers des barrières tunnel est un phénomène stochastique. Il est le parfait candidat pour tracer des caractéristiques électriques du SET. SIMON [28] est l'un des simulateurs les plus connus utilisant cette technique.

Cependant, le seul bémol est qu'il impose beaucoup de temps pour simuler de larges circuits électroniques, et aucun des simulateurs MC connus n'est capable de cosimuler avec les transistors MOSFET.

### 3.3.1 Présentation du logiciel SIMON

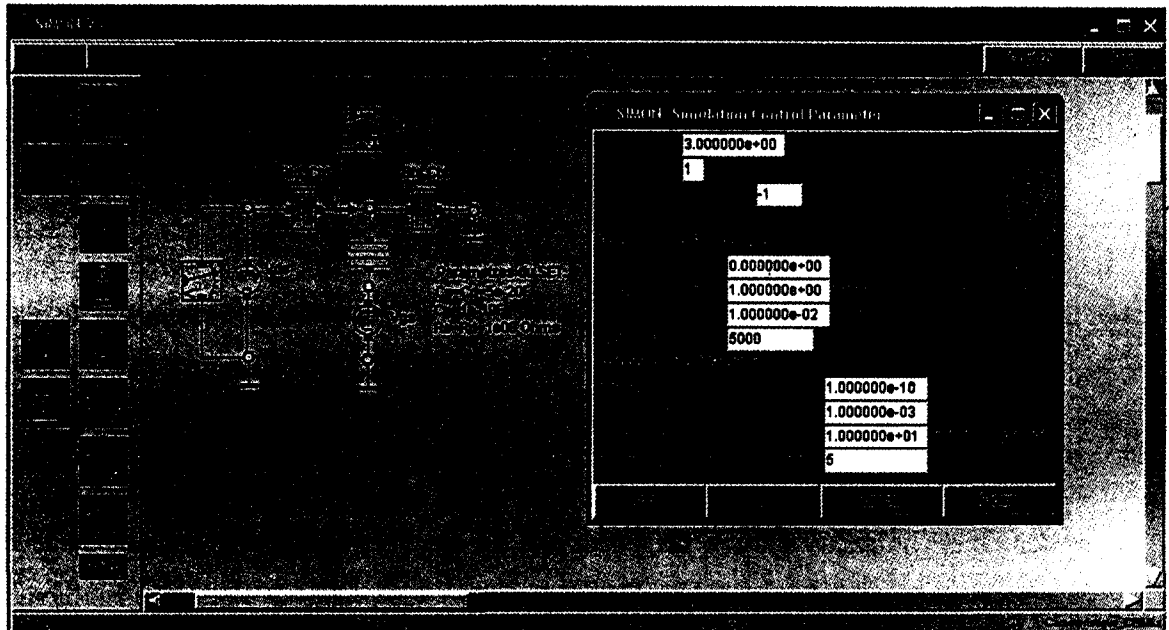


Figure 3.1 Interface du logiciel SIMON

Le logiciel SIMON (Figure 3.1) a une interface d'utilisation très simple pour ses calculs de points grâce au modèle Monte Carlo. L'inconvénient est qu'il ne possède qu'une panoplie limitée de composants : source de courant et tension, capacitance, résistance, masse, jonction tunnel et point quantique.

Parmi ses choix de paramètres, on est restreint à la température, à l'ordre du tunneling ainsi qu'au nombre d'événement. Pour ce dernier, plus le nombre est élevé plus la probabilité de se rapprocher de la réalité est grande.

L'élaboration de circuits complexes n'est d'autant plus pas appropriée pour ce type de logiciel, ni intuitive étant donné les limites du dispositif. Par exemple, on ne peut copier ni coller un ensemble de circuits, ni double cliquer sur un composant au risque de l'effacer ou encore d'y associer d'autres composants comme des transistors MOSFET.

Cependant, SIMON est très rapide concernant le traçage des caractéristiques électriques en fonction de la température ou de l'ordre du tunnel.

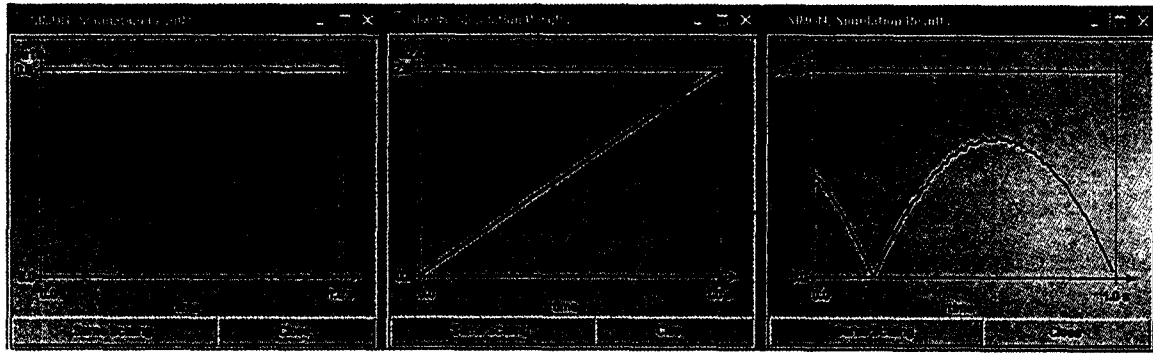


Figure 3.2 Caractéristiques électriques de  $V_{ds}$ ,  $V_{gs}$  et  $I_d$  en fonction du temps sous logiciel SIMON

Les courbes ci-dessus (Figure 3.2) ont été simulées avec un nombre d'événement de 5000 sur une période d'une seconde. Pour un  $V_{ds}$  de 0.8V et  $V_{gs}$  balayant de 0 à 2V, on obtient bien notre oscillation de Coulomb. Le point contraignant est que pour obtenir des courants en fonction des tensions, il faut retracer les points à l'aide d'un éditeur de calculs comme Excel.

### 3.4 Master Équation (ME) Simulation technique

La simulation Master Équation est une description reprenant les méthodes de calcul de la chaîne de Markov [30]. Elle retrace l'effet de tunneling de l'électron d'un îlot vers un autre, ce qui en conséquence, permet au circuit d'occuper différents états. Pour cela, tous les états du circuit sont définis à l'aide des sources de tension extérieures et de la distribution de charges dans le circuit. Dans les équations du circuit, seul un nombre fini d'état est considéré.

On distingue pour cela deux façons de résoudre une solution numérique d'un Master Equation : soit directement en résolvant l'équation de probabilité de la densité de fonction ou par procédé stochastique en analysant les probabilités de transition des particules sautant d'état en état.

La première méthode se réfère plus à l'approche Master Equation tandis que la seconde à la méthode Monte Carlo. L'avantage du Master Equation est utile seulement si c'est la structure entière du circuit qui est simulée.



### 3.5 Macro-modèle Compact Spice

Cette méthode propose un modèle de comportement SET basé sur des composants microélectroniques conventionnels (sources de courant et tension, diodes ou résistances) déjà existants dans les environnements classiques sur SPICE. Un macromodèle est proposé par YU et al [32] ci-dessous (Figure 3.3):

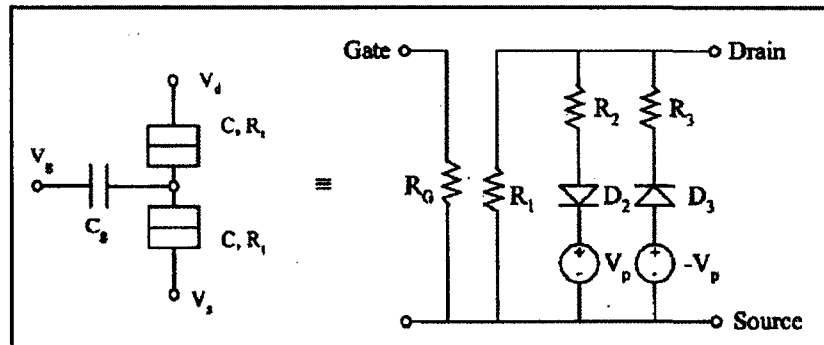


Figure 3.3 Circuit équivalent du SET comme SPICE macromodèle pour cosimuler les SET avec les structures MOSFET

Bien que cette approche soit simple avec l'environnement SPICE, elle reste empirique et ne peut physiquement être réduite. Cependant, son utilité reste la plus compacte et performante dans la conception de grands circuits électroniques

### 3.6 Modèle compact Spice par Mahapatra et al.

Le modèle compact suivant nommé « Modèle MIB » par Mahapatra et al. [19] a été développé à l'école polytechnique fédérale de Lausanne (EPFL). Il a été conçu sur la base de la théorie orthodoxe du tunneling de l'électron ainsi que sur les capacités d'interconnexions qui sont supérieures à la capacité totale  $C_{\Sigma}$  du SET (capacités du SET associées à la grille, source et drain) telle que  $C_{\Sigma} = C_{TS} + C_{TD} + C_{G1} + C_{G2}$ .

Ces capacités permettent de contrôler le tunneling de l'électron à travers la jonction tunnel associé à l'îlot par rapport à la masse. Dans un circuit où plusieurs SET sont connectés les uns aux autres,  $C_{\Sigma}$  d'un SET quelconque ne dépend pas seulement de ses propres paramètres, mais aussi des autres éléments comme le montre la Figure 3.4.

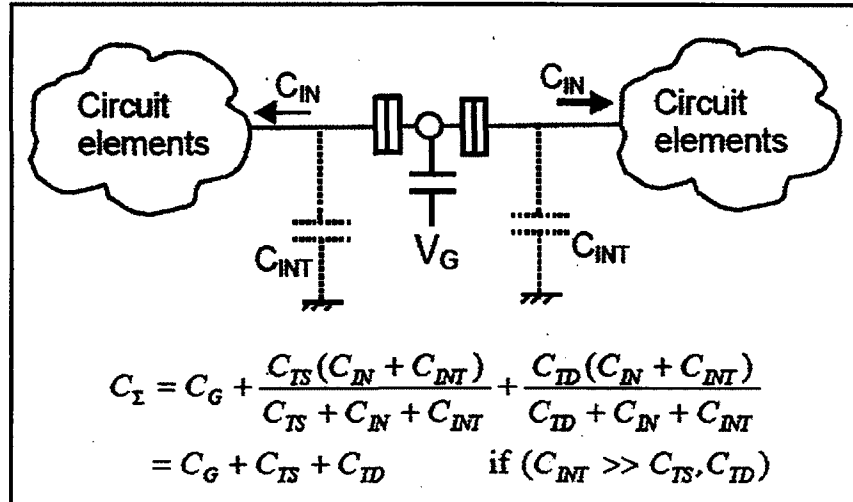


Figure 3.4 Effet des capacitances d'interconnexion sur  $C_{\Sigma}$  où  $C_{IN}$  est la capacité d'entrée des autres éléments du circuit connecté au SET.

On voit alors que les capacités d'interconnexion jouent un rôle important pour déterminer les caractéristiques électriques des circuits de SET. Elles sont d'autant plus petites que les capacités de jonction du SET.

### 3.6.1 VerilogA

Le Vérilog A ou AMS [29] est un dérivé du langage de description de matériel Verilog. Il comprend des extensions analogiques et des signaux mixtes (en anglais analog and mixed-signal, AMS) afin de définir le comportement des systèmes à signaux analogiques et mixtes.

La norme Verilog a été instaurée dans l'intention de permettre aux concepteurs de systèmes à signaux analogiques, mixtes et de circuits intégrés de pouvoir créer et d'utiliser des modules qui encapsulent les descriptions de comportement de haut niveau, aussi bien que des descriptions structurelles de systèmes et de composants.

Le langage Verilog-A définit un modèle standardisé par l'industrie pour les circuits à signaux mixtes. Il fournit à la fois le temps-continu et les sémantiques de modélisation d'événements.

Il est donc approprié pour les circuits analogiques, numériques et mixtes. Il est important de noter que le Verilog ne constitue pas un langage de programmation mais plutôt un langage de description du matériel. Nous verrons par la suite en quoi ce langage nous est utile à l'implémentation de notre transistor SET dans Cadence.

Quelques exemples de codes sont donnés en annexe.

### 3.6.2 Présentation du logiciel Cadence

Quelques explications avant de présenter le logiciel Cadence : la chaîne de conception d'un circuit intégré comporte plusieurs étapes (voir Figure 3.5) :

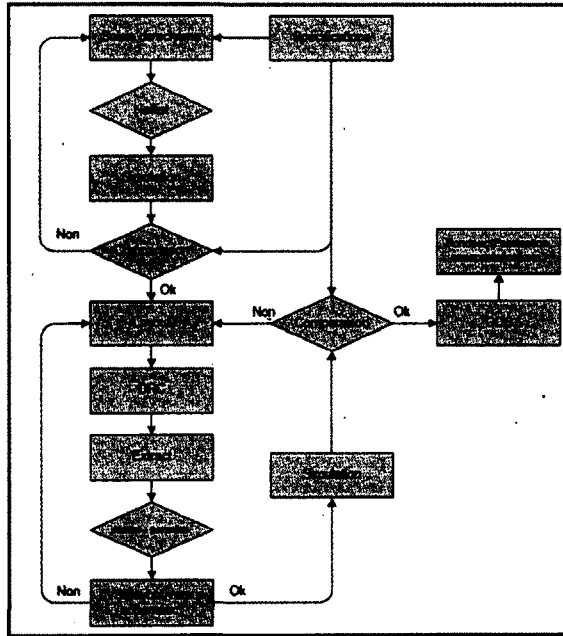


Figure 3.5 Illustration des étapes d'une chaîne de conception d'un circuit intégré

Le concepteur réalise toutes les étapes jusqu'au dessin des masques et le fondeur va ensuite récupérer les données (fichier GDS) pour fabriquer le circuit.

Le logiciel CADENCE est un outil qui permet d'établir toute la chaîne de conception. Le passage des données entre le concepteur et le fondeur se fait via un fichier de type GDS.

La conception d'un circuit électronique peut se réaliser de plusieurs façons :

- A partir d'un réseau prédiffusé, soit un circuit possédant déjà des éléments de base (transistors, résistances, capacités), on se charge uniquement des connexions entre ces éléments. Les FPGAs récents (circuits logiques programmables), quoique plus lents que les circuits dédiés, sont très performants et témoignent d'un bon exemple de réseau prédiffusé.

Cependant, l'accès à tous ces composants est payant, y compris ceux qui sont inutilisés.

- Une autre possibilité est celui de disposer des cellules standards vendues par le fondeur (amplificateurs, oscillateurs, convertisseurs). Il faut alors placer ces cellules suivant l'ordre voulu et réaliser l'ensemble des connexions entre fonctions. Cette approche est plus souple que la première. On l'appelle aussi « standard cells ».

- La troisième solution consiste à partir de l'élément de base (transistor, résistances, etc...) et réaliser toutes les fonctions soit même. Il s'agit de l'approche « full custom ».

Le logiciel CADENCE va permettre de faire aussi bien du full custom que du standard cell.

Lorsque l'on désire réaliser un circuit intégré spécialisé, ASIC (Application Specific Integrated Circuit) par exemple, la première chose à faire est de choisir la technologie (Bipolaire, CMOS, BiCMOS) et un fondeur qui fournit un Kit de conception (Design Kit). Ce dernier se chargera de la fabrication des puces à partir du dessin des masques (layout). Pour la fabrication de prototypes ou de faibles volumes de production de circuits intégrés, les concepteurs ont recours à des entreprises (exemple MOSIS) qui combinent les circuits de plusieurs clients sur une seule gaufre afin de minimiser les coûts de fabrication.

Le fondeur va utiliser un procédé de fabrication qui lui est propre et va donner à ses composants des caractéristiques particulières : pour un MOS par exemple, ceci se traduit par la donnée de l'épaisseur de l'oxyde de grille, dopage, résistivité du substrat, etc.

Afin de pouvoir effectuer des simulations, le fondeur fournit une bibliothèque de composants pour la conception en « full custom ». Il peut aussi fournir des cellules standard (amplificateurs, oscillateurs, cellules logiques, etc) si l'on désire travailler en « standard cells ». Ainsi, il est indispensable de posséder ce que l'on appelle le fichier technologique du fondeur, pour pouvoir faire la conception d'un ASIC. Dans notre cas, nous utiliserons la technologie CMOS13 du fondeur TSMC (Taiwan Semiconductor Manufacturing Company). Dans la chaîne de conception, nous nous limiterons seulement au niveau du « schematic » pour le niveau de maîtrise.

Le modèle de SET représenté ci-dessous a été programmé par Xuan en 2010 [26] en Vérilog A selon la méthode de Master Equation à la réalisation d'un modèle compact. Ce code (en Annexe) a ensuite été implémenté sous le logiciel Cadence. De façon similaire au logiciel

SIMON, on représente ci-dessous le circuit électrique de la caractéristique Id-Vgs (Figure 3.6) :

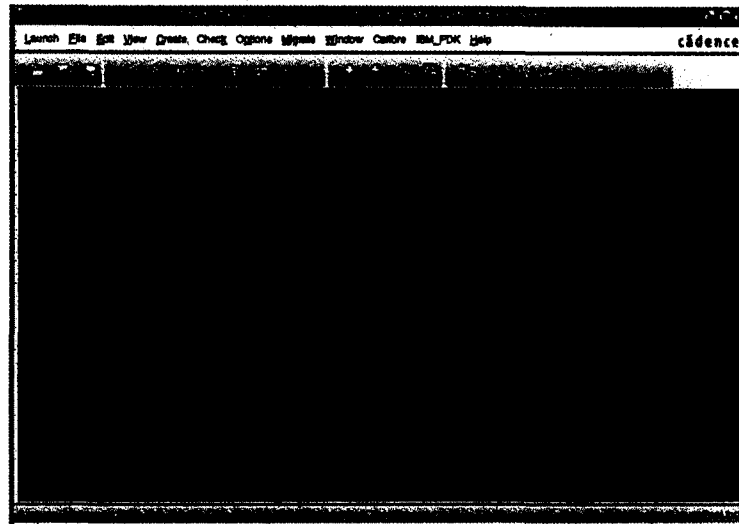


Figure 3.6 Circuit de polarisation

Le logiciel Cadence, comparé à SIMON, est beaucoup plus intuitif et permet d'intégrer un nombre considérable de composants fourni par le fondeur dans sa bibliothèque. Il est d'autant plus possible de faire varier plusieurs paramètres tels que la température ou le mode de simulation (temporel, fréquentiel, en fonction de la tension). Le temps de simulation est très rapide par rapport à SIMON.

La Figure 3.7 ci-dessous représente le balayage de la tension Vgs de 0 à 3Volts pour une tension Vds de 0.5V

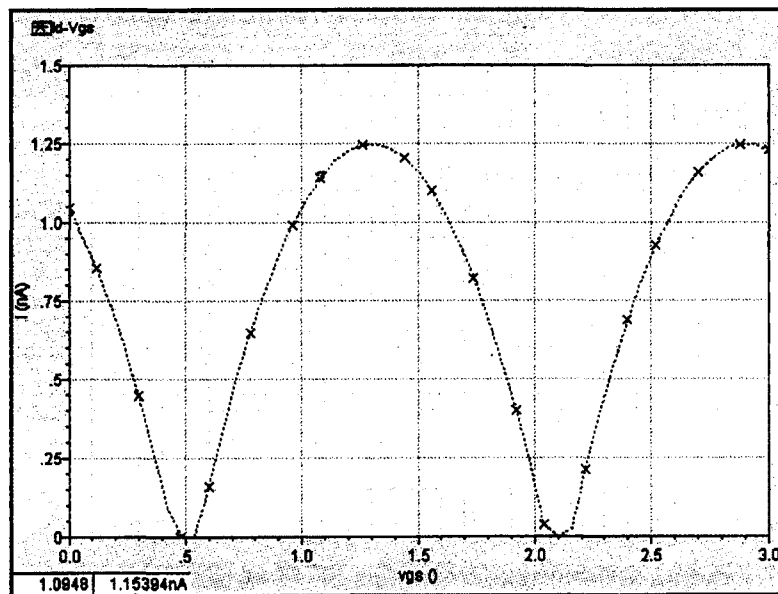


Figure 3.7 Caractéristique électrique Id Vgs du SET aux paramètres du CRN<sup>2</sup>

## CHAPITRE 4 RESULTATS

### 4.1 Présentation du circuit : Winner takes all à 2 neurones

Le circuit ci-dessous représente une architecture de réseau de neurones de type Winner take all dans lequel les nœuds de sortie des uns peuvent inhiber mutuellement les entrées des autres.

Dans cet exemple, un neurone est composé d'un transistor SET, d'une source de tension  $V_{bias}$ , d'une résistance et d'une capacité. Chaque neurone est relié à une entrée de source de courant  $I_1$  et  $I_2$ . Le rôle de chacun des composants sera expliqué par la suite.

Le principe est simple : le neurone recevant la plus forte entrée en courant, émettra en sortie une tension positive. Les autres neurones « perdants » seront inhibés et verront alors leurs tensions négatives d'où le nom de « Winner take all » pour exprimer la capacité du « gagnant » à conduire dans le sens positif.

#### 4.1.1 Analyse théorique

L'objectif d'un circuit SET-WTA à deux neurones est de jouer avec les points de fonctionnement des deux SET par le biais de leurs caractéristiques électriques, c'est-à-dire en utilisant un dans le régime bloqué (P1) et un autre sur un pic de courant (P2) (voir Figure 4.1).

De cette façon, le transistor en conduction attirera plus de courant et obligera la résistance  $R_t$  à conduire le courant dans le sens inverse. Cette méthode permet tout simplement de mieux mettre en valeur la tension du courant « winner » en ajustant toutes les tensions « looser » négatives.

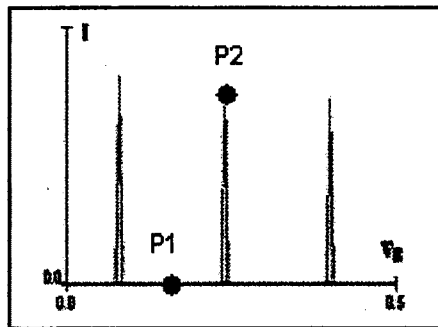


Figure 4.1 Points de fonctionnement des SET1 et SET2 sur la caractéristique électrique

$I_d$ - $V_{gs}$

On représente ci-dessous le schéma du circuit électrique proposé :

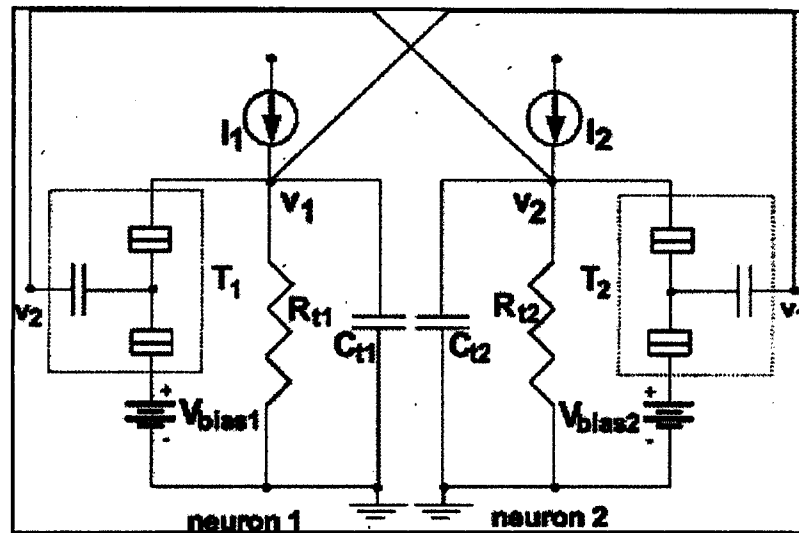


Figure 4.2 Circuit proposé du WTA à 2 neurones [GUIMARAES, 2008]:

Dans un premier temps, il faut considérer le circuit comme étant symétrique, c'est-à-dire que les résistances  $R_{t1} = R_{t2}$ , les condensateurs  $C_{t1} = C_{t2}$  et les sources de tension  $V_{bias1} = V_{bias2}$  car les courants injectés à l'entrée sont aléatoires. On doit retrouver les mêmes résultats, que  $I1$  soit supérieur à  $I2$ , ou  $I2$  supérieur à  $I1$ .

Équations du circuit :

Pour tout temps  $t$ , on considère ces équations suivantes:

$$v_i = R_{ti} \cdot I_{ti} = V_{dsi} + V_{bias} = V_{gsj} + V_{bias} \quad (4.1)$$

$$I_{seti} = I_i - I_{ti}; i \text{ le } i - \text{ème neurone et } j \text{ le } j - \text{ème neurone} \quad (4.2)$$

Avec  $v_i$  : la tension de sortie d'un neurone

$R_{ti}$ - $C_{ti}$  :le couple Résistance et Capacitance du neurone

$V_{dsi}$  : la tension drain source du neurone  $i$

$V_{gsj}$  : la tension de grille du SET du neurone  $j$

$V_{bias}$  : la tension de bias

$I_{seti}$  : le courant circulant dans le SET  $i$

$I_i$  : le courant d'entrée du neurone  $i$

$I_{ti}$  : le courant circulant dans la résistance  $R_{ti}$

## RESULTATS

### Caractéristiques réelles du transistor SET :

Afin de pouvoir chiffrer des résultats avec des valeurs réelles, nous avons tracé ci-dessous la caractéristique  $I_d$ - $V_{gs}$  à l'aide du logiciel SIMON (Figure 4.3).

Les paramètres du SET utilisés sont ceux fabriqués au CRN<sup>2</sup> de Sherbrooke [4] c'est-à-dire :  $C_g = 10^{-19}F$ ,  $C_s = C_d = 5.10^{-20}F$ ,  $R_{ts} = R_{td} = 10^8\Omega$  avec  $R_{td}$  : Résistance jonction-tunnel du Drain,  $R_{ts}$  : Résistance jonction-tunnel de la Source,  $C_d$  : Capacité jonction-tunnel du Drain,  $C_s$  : Capacité jonction-tunnel de la Source et  $C_g$  : Capacité de la grille.

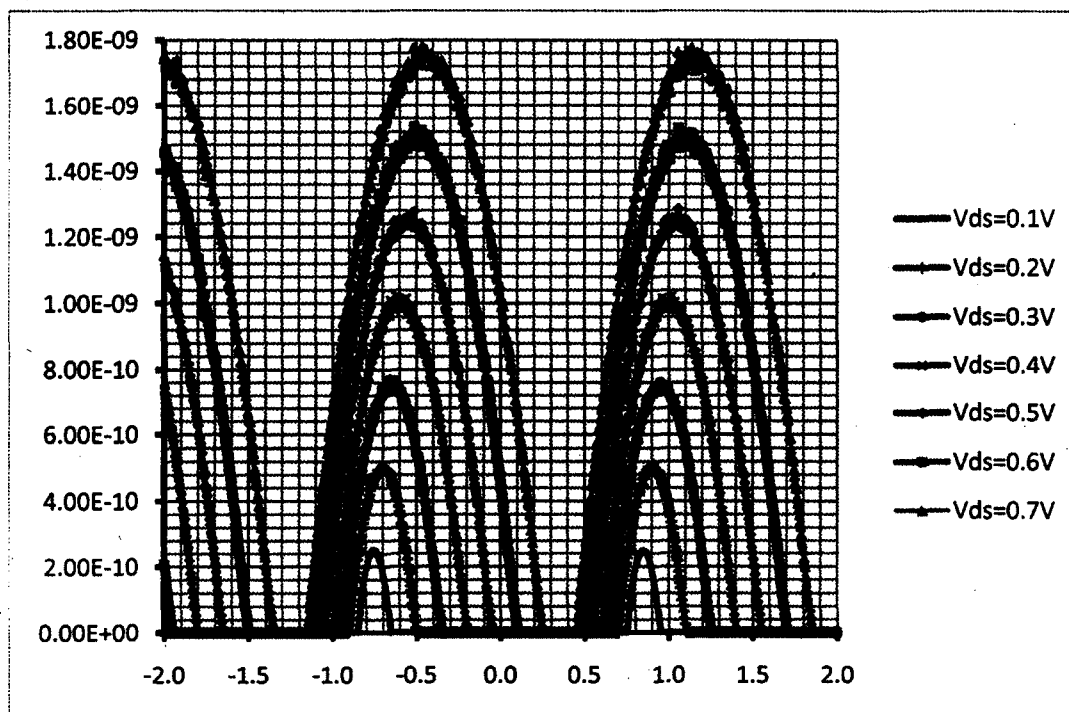


Figure 4.3 Caractéristiques électriques  $I_d$ - $V_{gs}$  du CRN<sup>2</sup> SET pour différents  $V_{ds}$  simulés sous SIMON à 3K

### Analyse théorique :

Pour le cas où  $I_1 > I_2$  :

Cas du neurone 1 :

Le cas idéal serait d'obtenir le point d'opération du SET1 en blocage de Coulomb pour avoir un circuit ouvert.

En conséquence, le courant  $I_1$  passe totalement dans la résistance  $R_t$  et donc,

$$v_1 = R_{t1} \cdot I_1 > 0 \quad (4.3)$$



Les caractéristiques du SET de Sherbrooke nous montrent que pour un  $V_{ds} > 0.7V$ , on a plus de blocage de coulomb et on obtient uniquement des oscillations. Il faut donc paramétrer les valeurs de  $V_{bias}$ ,  $R_t$  et limiter une plage d'opération de courant en entrée pour un circuit fonctionnel pour remplir cette condition.

Notons que dans le cas réel, nous aurons rarement un SET bloqué et un autre en conduction car ils dépendent fortement des courants d'entrée changeant leur point de fonctionnement. Ce qui est important, c'est d'avoir un courant supérieur à l'autre pour le fonctionnement du circuit.

Étude de cas limites : Plage de courant d'entrée maximale  $I_{imax}$  sur le circuit :

En considérant,  $V_{biasi} = V_{biasj}$ , (4.1) donne :  $V_{dsi} = V_{gsj}$  et  $V_{dsj} = V_{gsi}$

La tension d'opération d'un SET est dépendante de celle du SET voisin, c'est la raison pour laquelle on ne doit pas sélectionner des tensions  $V_{ds}$  et  $V_{gs}$  supérieures à 0.7V.

Déterminons notre cas limite :

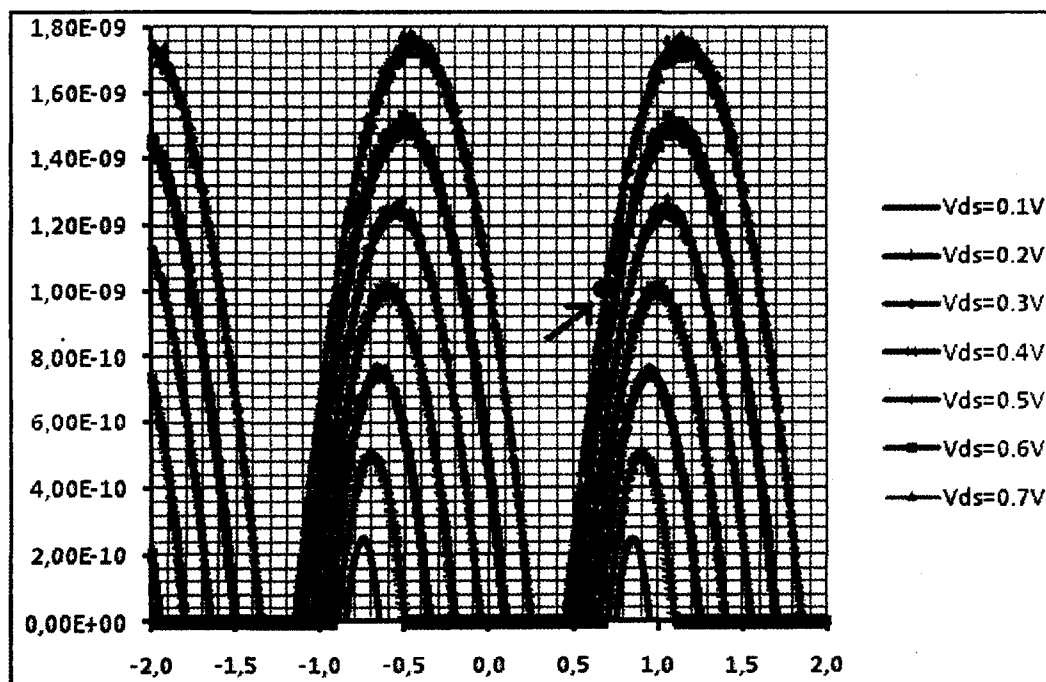


Figure 4.4 Caractéristiques  $I_d$ - $V_{gs}$  du SET du CRN<sup>2</sup> de Sherbrooke avec la valeur limite supérieure (point rouge)

Les valeurs limites sont :  $I_{set1} = 1,0nA, V_{dsi} = 0.7V, V_{gsi} = 0.7V$ . D'un autre côté, nous ne pouvons pas fonctionner en dessous de  $V_{gsi} = 0.4V$  (valeur limite inférieure) à défaut de ne plus observer de courant circulant dans le circuit (voir point suivant).

Tension  $V_{bias}$  sur le circuit :

Le rôle de  $V_{bias}$  est importante et permet notamment de fixer les points d'opération des transistors SET.

Parmi les conditions à respecter, il est impératif d'avoir également  $V_{gs}$  et  $V_{ds} \leq 0.7V$  (car  $V_{gsi} = V_{dsj}$ ) pour toujours rester en mode blocage de Coulomb.

De plus, selon la caractéristique, pour tout  $V_{gs} \leq 0.4V$ , le courant ne circule plus.

D'où la condition suivante pour assurer un minimum de courant :

$$V_{dsmin} = 0.4V \leq V_{ds} \leq V_{dsmax} = 0.7V \quad (4.4)$$

Soit (4.1) : 
$$V_{dsmin} + V_{bias} \leq v_i \leq V_{dsmax} + V_{bias} \quad (4.5)$$

Les deux tensions acceptables sont alors  $V_{bias} = -0.6V$  ou  $-0.5V$

Or, le deuxième choix nous laisserait la situation où  $v_i$  serait beaucoup plus importante sur la plage positive car  $-0.1V \leq v_i \leq 0.2V$  au lieu de  $-0.2V \leq v_i \leq 0.1V$  si  $V_{bias} = -0.6V$

D'où ce choix : 
$$V_{bias} = -0.5V$$

On considère le cas limite inférieur positif du winner soit  $v_i = 0$  car il doit toujours être positif ou nul, alors  $V_{ds} = 0.5V$ . Son courant maximum possible se situe donc à  $V_{gsmax} = 0.7V$  à  $I_{setmax} = 0.7nA$

Courant d'entrée  $I_{imax}$  sur le circuit

D'après (4.2), 
$$I_{ti} = I_i - I_{set1}$$

Il faut choisir  $I_{imax}$  comme le courant d'entrée maximal afin que le courant  $I_{ti}$  circulant dans la résistance  $R_{ti}$  soit négatif, soit 
$$I_{imax} = 0.6nA$$
 en considérant  $I_{setmax} = 0.7nA$

Dans ce cas, on obtient  $-\infty \leq I_{ti} \leq 0.6nA$  en considérant les courants d'entrée possiblement négatifs pour la condition  $-\infty$ .

On aura donc dans le cas limite :

$$R_t = \frac{v_i}{I_{tmax}} = \frac{0.2}{0.6nA} \approx 300M\Omega \quad (4.6)$$

Cas du neurone 2 :

Le neurone 2 est en conduction car il est polarisé par le SET voisin. Cependant, selon (4.2), si la source de courant d'entrée n'est pas suffisante pour conduire le SET, le courant circulant dans la résistance  $R_{t2}$  sera requis dans le sens inverse pour donner suite à la tension négative pour compléter. C'est pourquoi, on veut des sources d'entrée faible inférieures à la limite autorisée.

#### 4.1.2 Tests et simulations

##### Simulation de deux courants d'entrée différents

Remarque : Les simulations suivantes sont toutes des simulations électriques temporelles (en secondes) à la température de 3K pour simplifier les caractéristiques électriques. A cette température, on évite tous courants thermoioniques pouvant être considérés comme parasite.

Les simulations ci-dessous sont les résultats de test d'un réseau à deux neurones dont le courant  $I_1$  est supérieur à  $I_2$ .

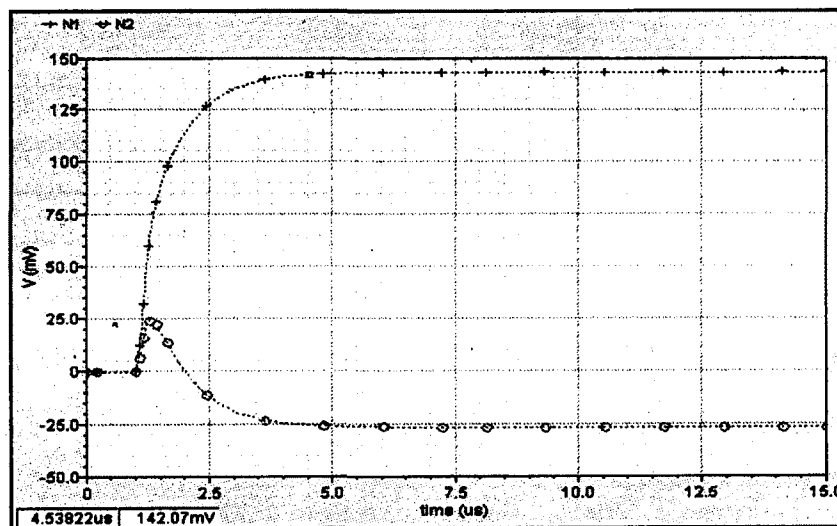


Figure 4.5 Simulation du WTA\_CRN<sup>2</sup> sous CADENCE :  $I_1=0.5nA$ ,  $I_2=0.3nA$ ,

$$V_{bias} = -0.5V, R_t = 300M\Omega, C_t = 1.10^{-15}F$$

*Interprétation des courbes :*

Les courbes ci-dessus (Figure 4.5) représentent les deux tensions de sortie des neurones :

## RESULTATS

$$v_1 = 0,15V \quad v_2 = -0,03V.$$

La tension  $v_1$  est bien positive et ne dépasse pas 0.1V. Parallèlement,  $v_2$  est négative, ce qui nous assure un courant négatif circulant aux bornes de la résistance  $R_{t2}$ .

*Calcul des points de fonctionnement*

$$\text{Paramètres : } I_1 = 0.5\text{nA}, \quad I_2 = 0.3\text{nA}, \quad V_{\text{bias}} = -0.5V, \quad R_t = 300\text{M}\Omega,$$

$$\text{Résultats : } v_1 = 0,15V, \quad v_2 = -0,03V$$

Calculs :

$$V_{\text{ds1}} = V_{\text{gs2}} = v_1 - V_{\text{bias}} = 0,15 + 0.50 = 0,65V$$

$$V_{\text{ds2}} = V_{\text{gs1}} = v_2 - V_{\text{bias}} = -0,03 + 0.50 = 0,47V$$

D'après les caractéristiques du SET :  $I_{\text{set1}} = 0.10\text{nA}$ ,  $I_{\text{set2}} = 0.44\text{nA}$

$$I_{t1} = I_1 - I_{\text{set1}} = 0.50 - 0.10 = 0.40\text{nA}$$

$$I_{t2} = I_2 - I_{\text{set2}} = 0.30 - 0.44 = -0.14\text{nA}$$

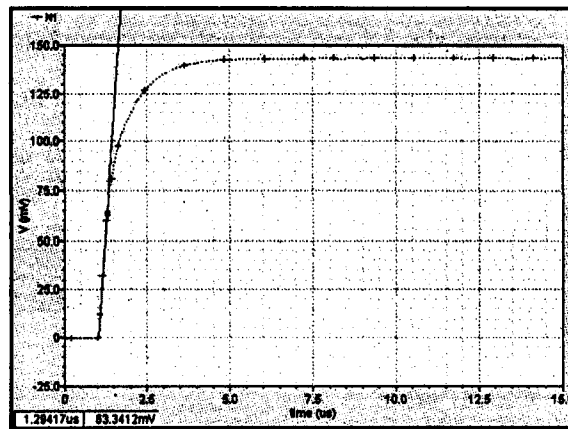


Figure 4.6 Courbe winner de la tangente à l'origine

La courbe de la tangente à l'origine nous donne un  $\tau = RC = 0.313\mu\text{s}$

Soit  $C = \frac{\tau}{R} = \frac{0.313 \cdot 10^{-6}}{3 \cdot 10^8} = 1.04 \cdot 10^{-15}\text{F}$ , ce qui nous montre que la courbe winner obéit

à une constante RC.

*Interprétation des courbes :*

L'analyse théorique nous a permis de montrer les conditions pour lesquelles on pouvait obtenir des tensions de sorties négatives pour les neurones « losers ».

D'autre part, on s'aperçoit que la tangente à l'origine obéit à une constante RC, ce qui va nous permettre d'anticiper le fait que l'on pourra faire varier le temps de montée en fonction de la valeur de la capacitance. Plus on réduit la constante RC, plus on obtient un

systeme rapide. Cependant, il est clair que la reduction a une limite physique sinon nous aurions des temps de reponse irrealis. Etant donne que tous les composants sont paralleles entre eux, modifier les parametres (capacites tunnel par exemple) du SET ne ferait qu'ajouter la valeur de la capacite  $C_t$ .

Simulation avec des plus grands ecart d'entree de courant

Cette simulation permet de tester l'influence des ecart des courants d'entree en augmentant leur difference.

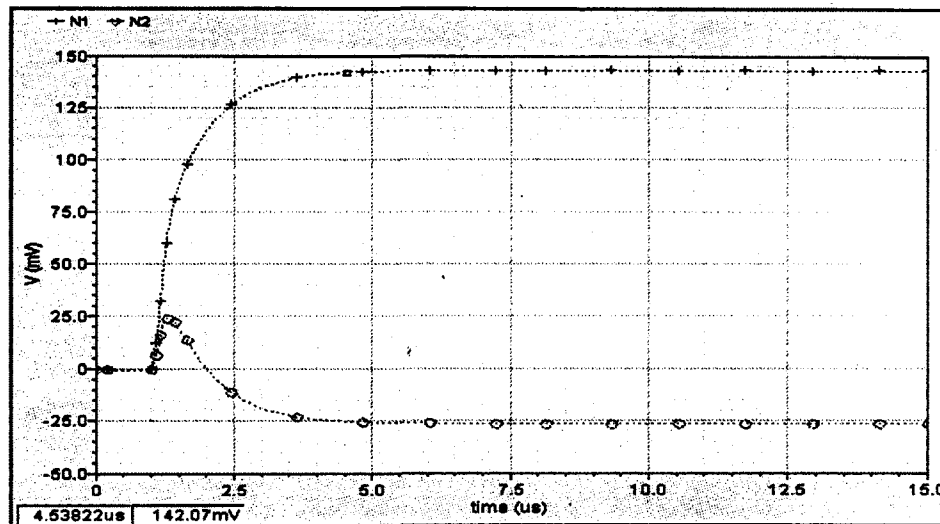


Figure 4.7 Simulation du WTA\_CRN<sup>2</sup> sous CADENCE :  $I_1=0.5\text{nA}$ ,  $I_2=0.3\text{nA}$ ,  
 $V_{\text{bias}} = -0.5\text{V}$ ,  $R_t = 300\text{M}\Omega$ ,  $C_t = 1.10^{-15}\text{F}$

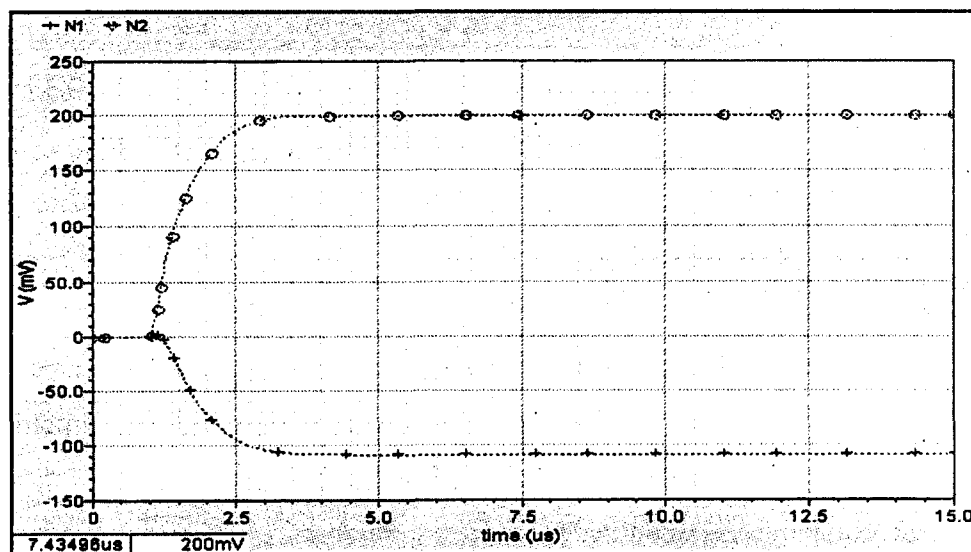


Figure 4.8 Simulation du WTA\_CRN<sup>2</sup> sous CADENCE :  $I_1=0.1\text{nA}$ ,  $I_2=0.5\text{nA}$ ,  
 $V_{\text{bias}} = -0.5\text{V}$ ,  $R_t = 300\text{M}\Omega$ ,  $C_t = 1.10^{-15}\text{F}$

## RESULTATS

### *Interprétation des courbes :*

On observe parmi ces courbes que plus l'écart de courant d'entrée est faible, plus les tensions de sortie le sont également. Les simulations nous disent également que les temps de réponse sont plus longs avec la diminution de l'écart.

### Simulation similaire avec entrées de courant inversées

La simulation ci-dessous a pour but de montrer la symétrie du circuit en inversant les deux entrées en courant.

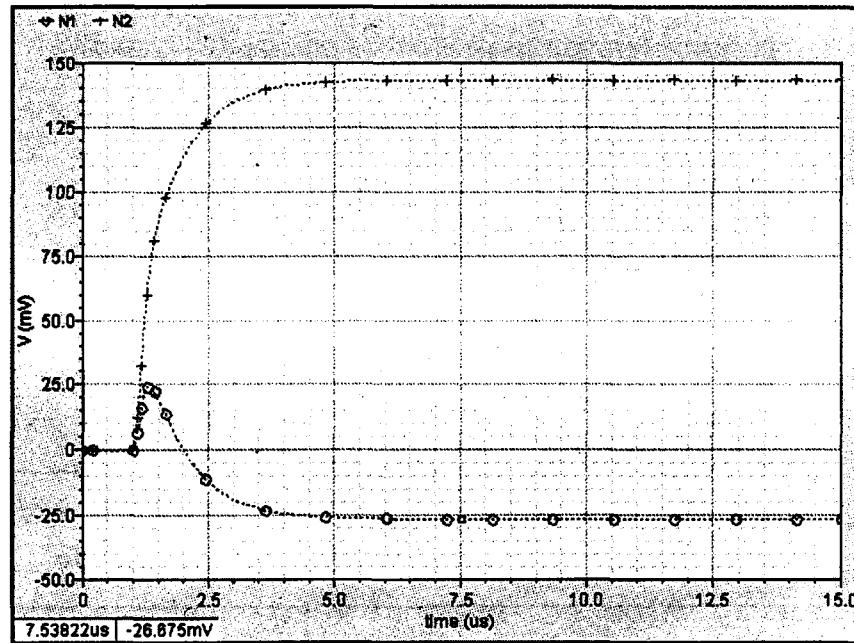


Figure 4.9 Simulation du WTA\_CRN<sup>2</sup> sous CADENCE :  $I_1=0.3\text{nA}$ ,  $I_2=0.5\text{nA}$ ,  
 $V_{\text{bias}} = -0.5\text{V}$ ,  $R_t = 300\text{M}\Omega$ ,  $C_t = 1.10^{-15}\text{F}$

### *Interprétation des courbes :*

Ces courbes similaires aux précédentes ont pour seul but d'inverser les deux courants d'entrée, de garantir le résultat similaire ainsi que l'importance de la symétrie du circuit pour une application de reconnaissance de caractère par exemple.

En comparant aux courbes précédentes, on observe clairement que les valeurs de sortie sont les mêmes ainsi que les comportements des courbes.

L'effet de symétrie fonctionne correctement.

Simulation avec un courant dépassant la limite de 1nA

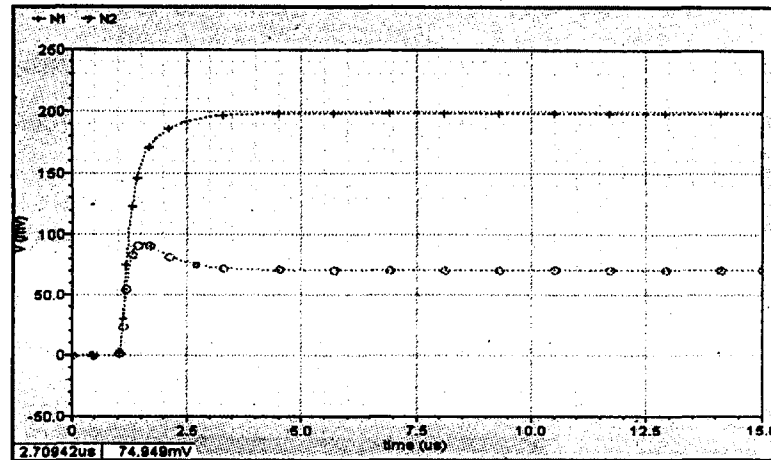


Figure 4.10 Simulation du WTA\_CRN<sup>2</sup> sous CADENCE :  $I_1=1nA$ ,  $I_2=0.8nA$ ,  $V_{bias} = -0.5V$ ,  $R_t = 300M\Omega$

*Interprétation des courbes :*

$I_1$  possède un courant supérieur à  $I_2$  mais dépasse la limite autorisée 0.6nA. En conséquence, la sortie en tension de l'entrée la plus faible  $v_1$  demeure inférieure à la tension winner  $v_2$  mais ne parvient pas à être négative. La détection du winner fonctionne mais les tensions faibles ne sont pas négatives.

Simulation avec différentes valeurs de  $C_t$

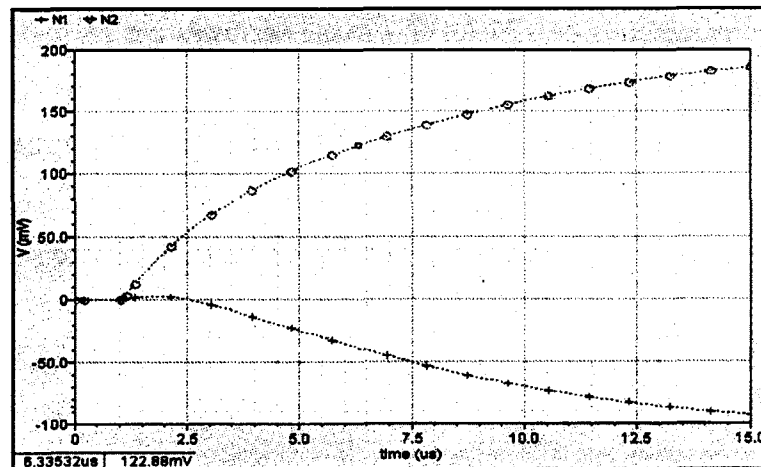


Figure 4.11 Simulation du WTA\_CRN<sup>2</sup> sous CADENCE :  $I_1=0.1nA$ ,  $I_2=0.5nA$ ,  $V_{bias} = -0.5V$ ,  $R_t = 300M\Omega$ ,  $C_t = 1.10^{-14}F$

*Interprétation des courbes :*

Ces courbes ont pour but de nous montrer l'influence de la valeur de la capacitance  $C_t$ . Plus cette dernière est faible, plus le temps de réponse l'est également.

## RESULTATS

---

### Simulation sous Cadence d'un WTA à 3 neurones

La simulation du Winner Take all à 3 neurones est testée à l'aide du logiciel Cadence étant donné la complexité du circuit. Inspirés de la publication de Guimaraes et al [6], nous proposons de simuler cette augmentation à 3 neurones, toujours avec les paramètres du SET fabriqué au CRN<sup>2</sup> de Sherbrooke.

Par rapport aux architectures à deux neurones, il est nécessaire pour ces circuits d'ajouter un second transistor SET en parallèle afin que chacun des neurones soit connecté au précédent et au suivant pour activer les inhibitions. Un exemple de neurone est illustré ci-dessous :

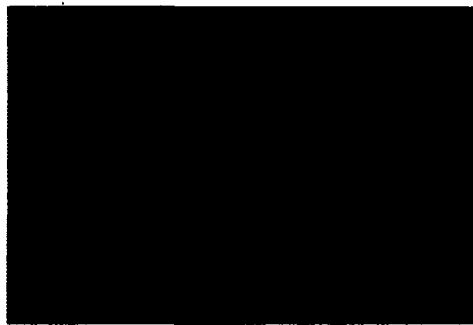


Figure 4.12 Un neurone de Winner take all à 3 neurones sous logiciel Cadence

Sur la partie gauche du neurone, le SET parallèle au circuit est relié au neurone précédent tandis que l'autre SET lui, est relié suivant.

Quelques paramètres de simulation ont été réajustés par rapport au logiciel SIMON pour améliorer les résultats : Diminution de la capacité  $C_t$  pour diminuer le temps de réponse, augmentation de la résistance  $R_t$  pour une meilleure tension de sortie, réajustement de la tension  $V_{bias}$ ...

La configuration des éléments est alors établie comme suivante :

Tableau 4.1 Paramètres de configuration du circuit

$R_t$	$1G\Omega$
$C_t$	$100aF$
$V_{bias}$	$-400mV$



On représente ci-dessous le schéma du circuit électrique :

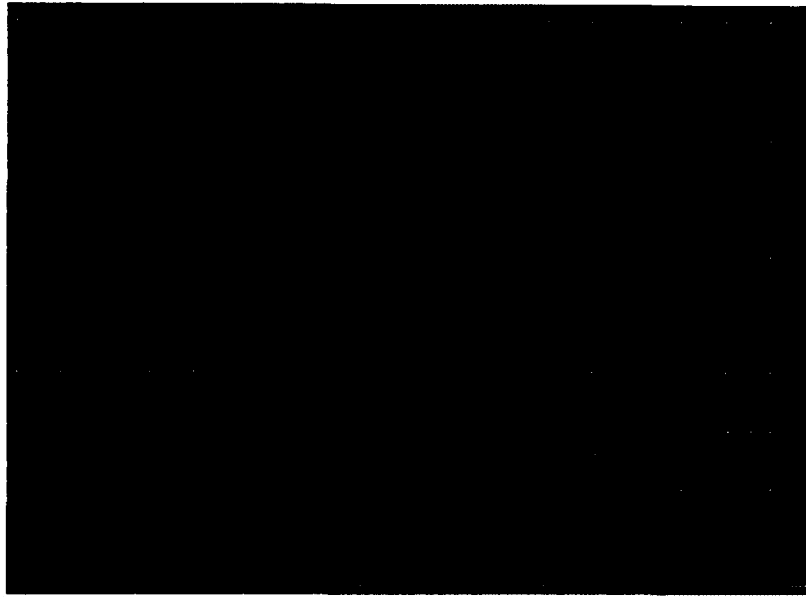


Figure 4.13 Circuit électrique Winner take all à 3 neurones sous logiciel Cadence

Pour ce circuit, nous avons simulé avec les entrées en courant suivantes :  $I_1 = 500\text{pA}$ ,  $I_2 = 200\text{pA}$ ,  $I_3 = 100\text{pA}$ , soit le neurone winner est le premier.

Voici les tensions de sortie des neurones :

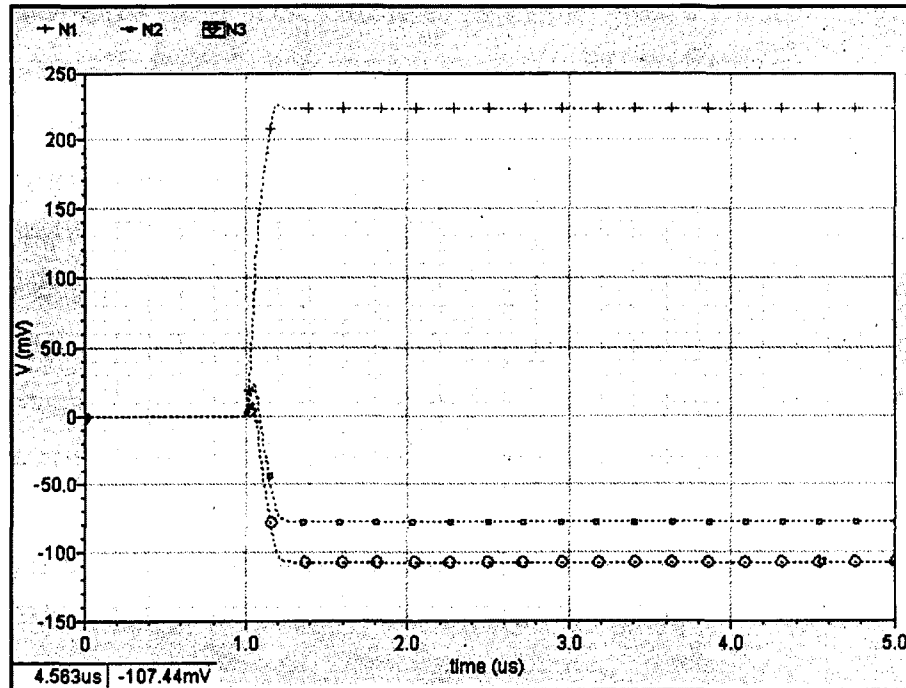


Figure 4.14 Tensions de sortie des 3 neurones SET en fonction du temps

Note : Pour la simulation, nous avons mis volontairement un temps de délai de  $1\mu\text{s}$  à tous les courants d'entrée afin de mieux apercevoir le temps de réponse du circuit.

Les résultats donnent bien une tension positive pour le neurone 1 ( $224\text{mV}$ ) et négative pour les autres neurones :  $-78\text{mV}$  (neurone 2),  $-108\text{mV}$  (neurone 3).

### *Interprétation des courbes :*

On constate dans un premier temps que la tension positive correspond au courant d'entrée le plus fort (neurone 1). D'un point de vue général, le test semble fonctionner.

Dans un second temps, on peut constater que le temps de réponse est très rapide (de l'ordre de  $400\text{ns}$ ). Une fois le régime permanent atteint, les tensions de sortie sont stables et ne semblent plus perturbées. On peut aussi remarquer que le couple RC joue un rôle important pour ce temps de réponse étant donné qu'il est parallèle aux autres paramètres du circuit.

### 4.1.3 Analyse et interprétations des résultats

L'ensemble des résultats obtenus nous a montré qu'il est possible de créer un réseau de neurones Winner takes all à deux et trois neurones. Par cette application, nous avons vu que cette architecture est capable de conduire en basculant les SET en mode blocage de Coulomb. Ainsi, le courant n'a d'autre choix que de circuler aux bornes de la résistance de charge et conduit ainsi positivement. Les neurones restants sont abaissés négativement car leurs SET conduisent et forcent leurs résistances de charge à conduire dans le sens inverse.

Une des applications possibles liée à ce type de circuit serait de la reconnaissance de caractère où l'on pourrait imaginer une comparaison de matrices à analyser avec des matrices références. Le nombre de similitudes serait proportionnel aux courants d'entrée de chaque neurone. Par le neurone winner, on intégrerait électroniquement grâce à un comparateur pour détecter la tension positive. L'objectif envisagé est maintenant d'augmenter ce nombre de neurones afin de comparer un plus grand échantillon comme plusieurs pixels d'une image par exemple.

On note également que ce type de circuit consomme très peu d'énergie et que leur multiplication peut se révéler avantageuse pour renforcer les signaux.

## 4.2 Présentation du circuit : Générateur de spikes de tension

Le circuit ci-dessous (Figure 4.16) représente un générateur de spikes à tension de type SET-MOS. La création d'un spike avec un circuit de MOSFET requiert un nombre considérable de transistors pour seulement un neurone. Or, nous avons observé dans les chapitres précédents qu'il serait intéressant d'associer la technologie MOS aux SET pour combiner leurs avantages.

L'article de *HYLANDER* [8] montre que pour produire un signal à spike, un circuit électrique nécessite une dizaine de transistors MOS (Figure 4.15).

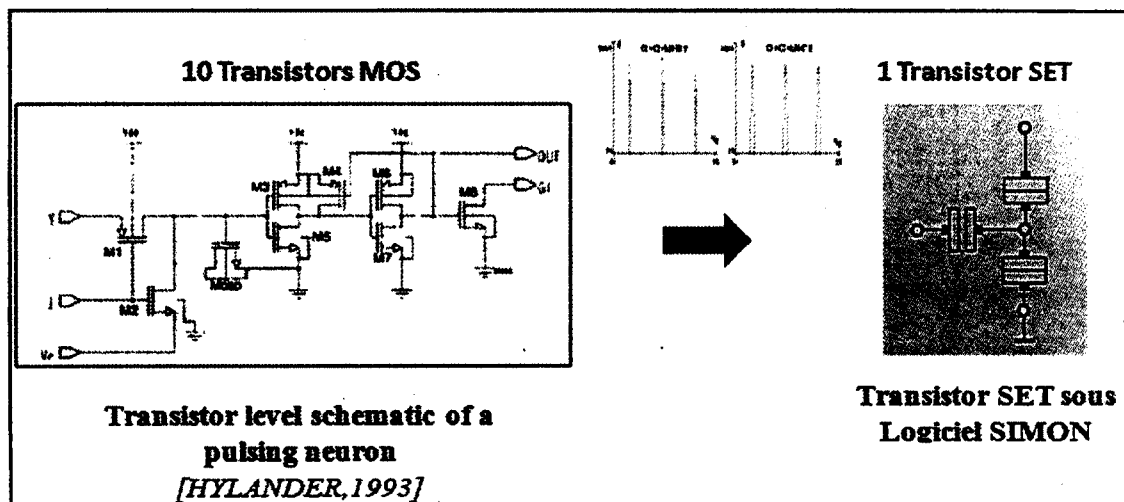


Figure 4.15 Représentation schématique de la réduction de composants pour produire le même signal

Dans cet exemple, on cherche alors à reproduire le signal d'un spike (modèle b. de l'article d'IZHIKEVICH vu précédemment) en réduisant le nombre de dispositifs, c'est-à-dire à l'aide d'un circuit hybride SETMOS.

Pour cela, une source de tension  $V_{gs}$  va balayer une oscillation de Coulomb. Cette dernière étant très faible doit impérativement être amplifiée par l'intermédiaire de transistors MOS qui ont un gain en tension supérieur aux SET. On pourra alors considérer le neurone comme acceptable si le signal transmis au neurone suivant est identique au précédent, c'est-à-dire sans pertes d'information. On peut espérer que le fonctionnement de ce circuit sur deux neurones est aussi valable sur un grand nombre de neurones.

### 4.2.1 Analyse théorique

On représente le circuit électrique du générateur de spike ci-dessous :

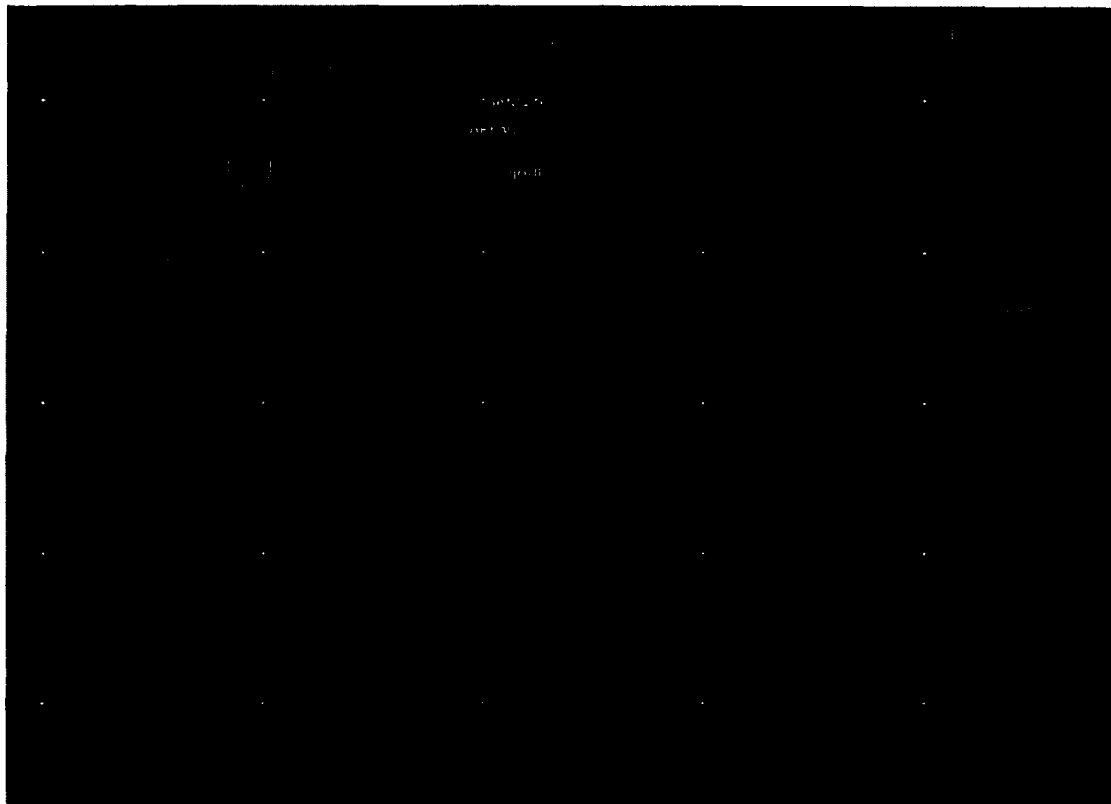


Figure 4.16 Générateur de spikes en tension

#### Condition de la tension de balayage $V_{gs}$ :

D'après les caractéristiques du SET de Sherbrooke, à  $V_{ds} = 0.5V$ , on a un pic de courant de l'ordre du nA pour un balayage de  $V_{gs}$  allant de 0 à 2V.

Le balayage en tension de la grille se réalise par l'intermédiaire d'une source de tension carrée dont on peut faire varier le temps de montée ( $t_{rise}$ ).

Or, si nous voulons transmettre au prochain neurone un signal ayant une tension de 2V avec 1 nA, il faut alors une résistance de charge :

$$R_{charge} = \frac{2}{1nA} = 2G\Omega \quad (4.7)$$

Cependant, les résistances tunnel des SET sont de l'ordre du MégaOhms et il n'est pas possible pour Cadence de simuler des charges supérieures aux résistances des jonctions.

Nous limiterons alors notre choix de résistance de charge à 100M $\Omega$ , ce qui en résulte théoriquement une tension de sortie de :

$$V_{out} = R_{charge} * 1nA = 100mV \quad (4.8)$$

Or, notre objectif est d'atteindre une tension de sortie d'amplitude d'au moins 1.3V pour pouvoir transmettre une autre tension de balayage. Il est donc impératif d'amplifier le signal avec un gain d'au moins 10.

Analyse de la Bande passante du SET :

Avant d'amplifier notre signal, nous devons nous assurer de la bande passante du SET. Par exemple, si la vitesse de balayage est trop élevée pour le SET, il n'aura pas le temps d'émettre son courant maximal.

En conséquence, nous allons concevoir un circuit de polarisation complété d'une résistance de charge de  $100M\Omega$  et mettre le temps de montée de balayage de la grille en paramètres :



Figure 4.17 Circuit de polarisation du SET

Les résultats des tensions de sortie en fonction des temps de montée sont exposés ci-dessous (Figure 4.18):

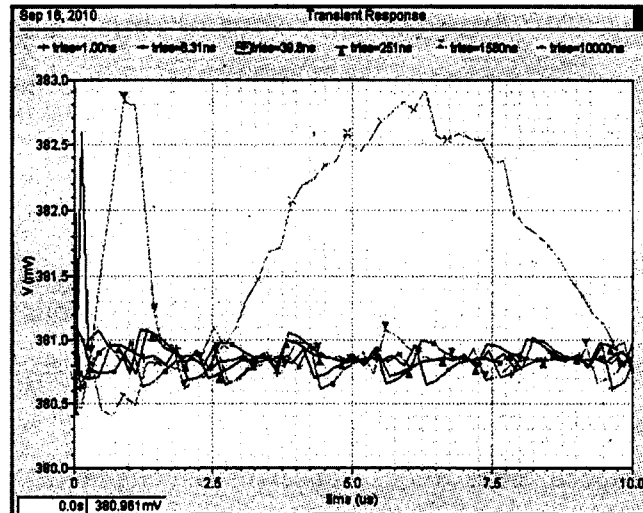


Figure 4.18 Tension de sortie du drain en fonction du temps

Ces courbes nous montrent que pour un temps de montée inférieur à 100ns, le courant ne peut atteindre son niveau de pic de courant maximal. Pour la suite des simulations, nous allons opérer avec un temps de  $1\mu s$  pour avoir une marge sûre.

Conception d'un amplificateur en tension MOS :

Pour amplifier un gain en tension, nous choisirons un amplificateur MOS en mode émetteur commun qui est le plus approprié pour ce genre d'application tel que le schéma ci-dessous :

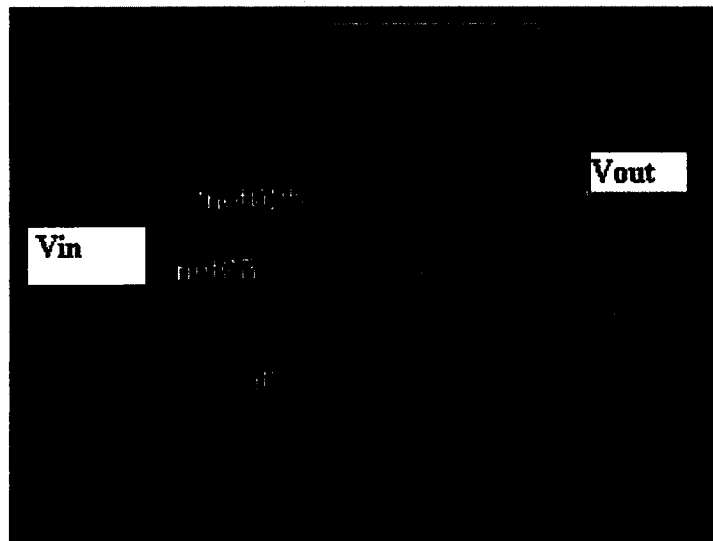


Figure 4.19 Circuit d'un amplificateur émetteur commun en MOSFET

L'entrée en tension se fait par la branche  $V_{in}$  et l'amplification est récupérée sur  $V_{out}$ .

A circuit ouvert, l'amplification en tension est égale à :

$$A_v = -g_m * R_d \quad (4.9)$$

avec  $g_m$  la transconductance du transistor et  $R_d$  la résistance de charge

Pour calculer la transconductance  $g_m$ , nous avons besoin de calculer le courant de drain  $I_d$  passant par le transistor :

$$I_d = \frac{1}{2} \cdot k'_n \cdot \frac{W}{L} \cdot (V_{gs} - V_t)^2 \quad (4.10)$$

avec:

$$\begin{aligned} V_{gs} &= 0.5V \\ V_t &= 0.36V \\ W &= 160nm \\ L &= 120nm \\ k'_n &= 440 \mu A/V^2 \end{aligned}$$

D'où,

$$g_m = \frac{2 \cdot I_d}{V_{gs} - V_t} \quad (4.11)$$

Application Numérique :

$$I_d = 5.7 \mu A, g_m = 81.7 \mu A/V$$

$$A_{v1} = -g_m * R_d = -13 \quad \text{avec } R_d = 160k\Omega$$

#### 4.2.2 Tests et simulations

Parmi nos éléments de simulation, les paramètres sont configurés de la manière suivante :

Tableau 4.2 Tableau des éléments de circuit de simulation

Éléments	Paramètres et Valeurs
MOSFET	W=160nm, L=120nm, Vt=0.36V
SET	Cg= 0.1aF, Cs=Cd=0.05aF, Rt=100MΩ
Résistance de charge r (SET)	r=100M
Résistance de charge Rd (MOS)	Rd=200kΩ
Vdd(MOS)	6V
Vds (SET)	0.5V
Vin (tension carrée d'entrée sur le SET)	V1=0.4V, V2=2V, trise=temps de montée=1μs

Les paramètres du transistor MOS (longueur et largeur de grille) sont limités par le design kit du logiciel Cadence (CMOSP13). Pour la tension d'entrée sur le SET, on

## RESULTATS

commence volontairement par 0.4V afin de ne pas commencer sur une fin d'oscillation (voir courbe caractéristique du SET).

Nous allons par l'intermédiaire de la simulation estimer nos résultats calculés afin de vérifier la concordance :

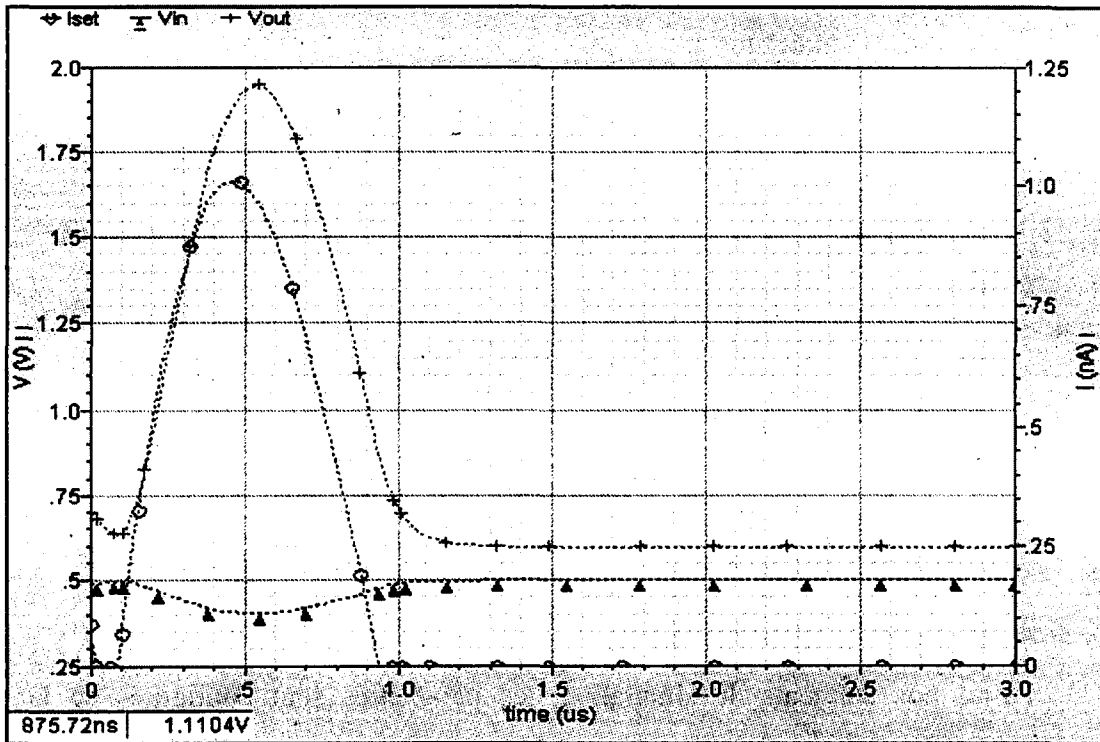


Figure 4.20 Courants et tensions de sortie du SET et des amplificateurs MOS

Les courbes ci-dessus représentent une simulation temporelle des tensions de sortie du SET ainsi que de l'amplificateur MOS sur une période de  $5 \mu s$ .

En rouge, on représente la caractéristique de courant du SET balayée par la tension de grille carrée. On obtient donc une seule oscillation de Coulomb. A ce courant  $I_{set}$ , on prélève la tension aux bornes de la résistance de charge (couleur bleue). Étant donné que cette dernière est bien trop faible (amplitude de  $V_{in}=100 \text{ mV}$ ), il faut l'amplifier au moyen d'un transistor MOS (courbe marron) qui va le multiplier par 10 environ pour pouvoir l'envoyer à un autre neurone (amplitude de  $V_{out}=1.3V$ ). Remarquons que les tensions de sortie ainsi que l'amplification « montent » en même temps et n'observent pas de délais importants.

Les résultats chiffrés permettent de mieux caractériser le taux de gain de chacun des amplificateurs.



Tableau 4.3 Tableau des amplitudes et gains des signaux de sortie

Courant/Tension	Amplitude du signal	Gain
Id (SET)	1.1nA	x
Vout (SET)	100mV	x
Vout1(AmpliMOS)	1300mV	Vout1/Vout=13
<b>Gain total = 12</b>		

*Interprétation des résultats :*

Dans un premier temps, nous pouvons observer par l'allure générale des courbes que les pics de tension corroborent bien nos attentes : un amplificateur MOS à émetteur commun voit son amplification déphasée d'où l'apparition du signe négatif. La courbe de l'amplificateur est renversée, comparée à la tension de sortie du SET.

La tension de sortie du transistor SET est de 100mV aux bornes de sa résistance de charge, ce qui confirme la théorie que le courant circulant dans la grille d'un MOSFET est quasiment inexistante.

Enfin concernant l'amplification, elle est de l'ordre de 13 conformément à notre gain théorique. Cependant, nous savons que la valeur du gain dépend de la transconductance et de la résistance de charge. Il en est aussi de même pour les tensions d'alimentation Vdd dans nos simulations.



# CHAPITRE 5 CONCLUSION

## 5.1 Retour sur les objectifs du projet de recherche

### 5.1.1 Intérêt d'intégrer les transistors SET dans les réseaux de neurones

Il a été démontré au chapitre 1 à propos des avantages et inconvénients d'intégration des transistors SET que leurs points forts étaient d'être de très faibles consommateurs d'énergie. En plus d'être de taille similaire au footprint ultime du MOS, ce sont des candidats potentiels dans l'intégration VLSI car ils occupent une place peu importante sur la puce.

A cela, on ajoute également que leur procédé de fabrication au CRN<sup>2</sup> de Sherbrooke commence à être de mieux en mieux maîtrisé, notamment pour l'utilisation en température ambiante. Implicitement, cela pourrait nous amener à créer des dispositifs hybrides (SETMOS) fonctionnels.

Nous avons étudié les caractéristiques électriques des transistors SET et avons retenu une des principales propriétés, l'effet de Blocage de Coulomb. Par exemple, sur les courbes de courant en fonction de la tension de grille, des pics de courant se forment à différentes tensions  $V_{gi}$  régulières et périodiques. On peut alors imaginer de nombreuses applications partant de ce principe : se rapprocher du codage numérique '1' ou '0' en se plaçant aux tensions  $V_{gi}$ . Une autre idée serait également le changement de paradigme, c'est-à-dire remplacer une fonction analogique composée de transistors MOS (spike) par un seul dispositif de SET réalisant des meilleures performances ou équivalentes.

En prolongeant nos recherches dans la littérature concernant les simulations électroniques des transistors SET, une des applications ambitieuses serait les architectures à réseaux de neurones.

Plusieurs arguments d'intégration ont été publiés reprenant nos explications précédentes concernant leur consommation d'énergie faible. Deux architectures dans ce projet de recherche sont proposées pour répondre aux attentes des SET dans les réseaux de neurones.

### 5.1.2 Architecture Winner takes all

Inspiré d'une publication de GUIMARAES et al., nous avons cherché à démontrer au moyen d'une simulation sous un logiciel très commercialisé dans l'industrie microélectronique (Cadence Environnement) à simuler une application de réseau de neurones à base de transistors SET. Ces derniers seront paramétrés de manière à fonctionner comme ceux fabriqués au CRN<sup>2</sup> de Sherbrooke.

Les résultats de simulation ont prouvé qu'il était possible de créer une architecture Winner take all, c'est-à-dire un système capable d'identifier le courant maximal parmi d'autre, de renvoyer une tension positive sur le neurone de ce dernier et d'abaisser les autres tensions négativement.

Nous avons également montré que ce type de circuit fonctionnait correctement à deux, voir trois neurones. Maintenant, l'objectif serait d'augmenter ce nombre de neurones et se pencher vers une application plus concrète comme de la reconnaissance de caractère ou du traitement de l'image par exemple.

### 5.1.3 Architecture de générateur de spikes en tension

Izhikevich, chercheur reconnu dans le domaine des réseaux de neurones, a publié un article recensant une vingtaine de modèles de codages à spikes utilisée dans le cortex cérébral humain [11].

Nous avons réalisé par l'intermédiaire d'une simulation, un des vingt modèles au moyen d'un transistor SET et d'un amplificateur MOS au lieu d'une dizaine de transistors MOS pour réaliser ce même signal. Cela a pour conséquence directe de prouver une diminution du nombre de composants, et ainsi donc, conduire à une réduction massive (10 fois environ) de la consommation d'énergie si on multiplie le nombre de neurones.

## 5.2 Travaux futurs

Concernant les projets envisageables à l'avenir, il est clair qu'au terme d'une simulation, on s'attend à concevoir un dispositif fonctionnel. La fabrication d'un tel dispositif n'est certainement pas pour demain mais il est certain que des simulations électriques permettent de mieux comprendre et de prouver certains signaux.

On s'attend essentiellement de cette recherche qu'elle se dirigera à long terme vers des fins commerciales et que ce projet apportera son grain de sel pour des applications futures.

# ANNEXE

## Exemple de Code en Verilog A d'une résistance

```
// Ideal resistance
`include "disciplines.vams"

module resistor (p, n);
  parameter real r=0; // resistance (Ohms)
  inout p, n;
  electrical p, n;

  analog
    V(p,n) <+ r * I(p,n);
endmodule
```

## Code en Verilog A de la modélisation du SET idéal par W.XUAN

```
// VerilogA for Franck, SET_IDEAL, veriloga

`include "constants.vams"
`include "disciplines.vams"

module SET_IDEAL(Vdrain,Vsource,Vgate,Vbody);
input Vdrain, Vsource, Vgate, Vbody;
electrical Vdrain, Vsource, Vgate, Vbody;
  parameter real Npara=0; // nombre des Â"Âlectrons parasites.
  parameter real Cd=3E-19;
  parameter real Cs=4E-19;
  parameter real Cgate=2E-19;
  parameter real Cbody=0;
  parameter real Rd=1E12;
  parameter real Rs=1E10;
  parameter real T=4.2;

real
  Qpara, // charge parasites
  Cgs,
  Vds,
  Vgs,
  Vgs1,
  Vgs2,
  Vdot,
  Vt,
  Nopt1,
  DeltaEdi[-20:20],
  Gamadi[-20:20],
  DeltaEid[-20:20],
```

```

        Gammaid[-20:20],
        DeltaEsi[-20:20],
        Gamasi[-20:20],
        DeltaEis[-20:20],
        Gamais[-20:20],
        P[-20:20];

integer  Nopt,
        n;
// function "func_Nopt" pour calculer le nombre d'Ã©lectron le plus possible
analog function integer func_Nopt;
input Nopt1_local;
real Nopt1_local;
integer n_func_Nopt;
    for (n_func_Nopt=-200;n_func_Nopt<200;n_func_Nopt=n_func_Nopt+1)
    begin
        if (n_func_Nopt-0.5<=Nopt1_local)
        begin
            if (Nopt1_local<n_func_Nopt+0.5)
            begin
                func_Nopt=n_func_Nopt;
            end
        end
    end
endfunction

// function "func_Gama" pour calculer Gama selon deltaE
//postuler que la tempÃ©rature T est plus que zÃ©ro
analog function real func_Gama;
input delta,T,R;
real delta,T,R;
begin
    if (delta > -1e-30)
        begin
            if (delta < 1e-30)
                begin
                    func_Gama=`P_K*T/(P_Q*P_Q*R);
                end
            else
                begin
                    func_Gama=(exp(-
delta/(P_K*T))*delta)/(P_Q*P_Q*R*(1-exp(-delta/(P_K*T))));//for limites of the
software, use exp(-x) when x>0.
                end
            end
        end
    else
        begin

```

```

func_Gama=(delta)/(P_Q*P_Q*R*(exp(delta/(P_K*T))-1));
end
endfunction

//function 'Icourant1' pour calculer le courant
//dans cette fonction il y a la normalisation des probabilités
analog function real Icourant1;
input P,Gamaid,Gamadi;
real P[-20:20],Gamaid[-20:20],Gamadi[-20:20];
real Ptotal;
integer n;
begin
    Ptotal=0;
    for(n=-20;n<=20;n=n+1)
        begin
            Ptotal=Ptotal+P[n];
        end
    for(n=-20;n<=20;n=n+1)
        begin
            Icourant1=Icourant1+`P_Q*P[n]*(Gamaid[n]-Gamadi[n])/Ptotal;
        end
    end
endfunction

analog begin
    Vds=V(Vdrain,Vsource);
    Vgs1=V(Vgate,Vsource);
    Vgs2=V(Vbody,Vsource);
    Qpara= -(Npara*`P_Q);
    Vgs=(Cgate*Vgs1+Cbody*Vgs2+Qpara)/(Cgate+Cbody);
    Cgs=Cgate+Cbody;
    Nopt1=(Rd*Cgs*Vgs+Rd*Cd*Vds-Rs*Vds*Cs-
Rs*Vds*Cgs+Rs*Cgs*Vgs)/(`P_Q*(Rd+Rs));
    Nopt=func_Nopt(Nopt1);
    for (n=-20;n<=20;n=n+1)
        begin
            DeltaEdi[n]=`P_Q*((2*(Nopt+n)+1)*`P_Q+2*(Cs+Cgs)*Vds-
2*(Cgs*Vgs))/(2*(Cgs+Cs+Cd));
            DeltaEid[n]=`P_Q*(2*(Cgs*Vgs)-2*(Cs+Cgs)*Vds-
(2*(n+Nopt)-1)*`P_Q)/(2*(Cgs+Cs+Cd));
            DeltaEsi[n]=`P_Q*((2*(n+Nopt)+1)*`P_Q-2*Cd*Vds-
2*(Cgs*Vgs))/(2*(Cd+Cs+Cgs));
            DeltaEis[n]=`P_Q*(2*(Cgs*Vgs)+2*Cd*Vds-
`P_Q*(2*(n+Nopt)-1))/(2*(Cgs+Cs+Cd));

            Gamadi[n]=func_Gama(DeltaEdi[n],T,Rd);

```

```

        Gamaid[n]=func_Gama(DeltaEid[n],T,Rd);
        Gamasi[n]=func_Gama(DeltaEsi[n],T,Rs);
        Gamais[n]=func_Gama(DeltaEis[n],T,Rs);
    end
    P[0]=1;
    for (n=1;n<=20;n=n+1)
        begin
            P[n]=P[n-1]*(Gamadi[n-1]+Gamasi[n-1])/
            (Gamaid[n]+Gamais[n]);
        end
    for (n=-1;n>=-20;n=n-1)
        begin
            P[n]=P[n+1]*(Gamaid[n+1]+Gamais[n+1])/
            (Gamadi[n]+Gamasi[n]);
        end
    I(Vdrain,Vsource) <+Icourant1(P,Gamaid,Gamadi);
    //I(Vdrain,Vsource) <+ DeltaEis[1];
end
endmodule

```



## Liste des références

- [1] Alibart, F., Pieutin, S., Guerin, D., Novembre, C., Lenfant, S., Lmimouni, K., Gamrat, C. et Vuillaume, D. (2010). An organic nanoparticle transistor behaving as a biological spiking synapse. *Advanced Functional Materials*, volume 20, numéro 2, p. 330-337.
- [2] College Bois de Boulogne (Colvir. Dans <http://www.colvir.net/> (page consultée le ).
- [3] Dennard, R. H., Gaensslen, F. H., Yu, H., Rideout, V. L., Bassous, E. et LeBlanc, A. R. (1974). DESIGN OF ION-IMPLANTED MOSFET's WITH VERY SMALL PHYSICAL DIMENSIONS. *IEEE Journal of Solid-State Circuits*, volume SC-9, numéro 5, p. 256-268.
- [4] Dubuc, C., Beauvais, J. et Drouin, D. (2007). Single-electron transistors with wide operating temperature range. *Applied Physics Letters*, volume 90, numéro 11, p. 113104-1.
- [5] Fang, Y., Cohen, M. A. et Kincaid, T. G. (1996). Dynamics of a winner-take-all neural network. *Neural Networks*, volume 9, numéro 7, p. 1141-54.
- [6] Guimaraes, J. G., do Carmo, H. C. et da Costa, J. C. (2004). Single-electron winner-take-all network. *Microelectronics Journal*, volume 35, numéro 2, p. 173-8.
- [7] Guimaraes, J. G., Do Carmo, H. C. et Da Costa, J. C. (2004). Single-electron winner-take-all network. *Microelectronics Journal*, volume 35, numéro 2, p. 173-178.
- [8] Hylander, P., Meader, J. et Frie, E. (1993). VLSI implementation of pulse coded winner take all networks. Dans *Proceedings of 36th Midwest Symposium on Circuits and Systems*, volume 1. IEEE, New York, NY, USA, p. 758-61.
- [9] Intel (Quarantième anniversaire de la loi de MOORE. Dans <http://www.intel.com/cd/corporate/techtrends/EMEA/fra/209837.htm> (page consultée le ).
- [10] ITRS Reports and Ordering Information. (Dans <http://www.itrs.net/Links/2009ITRS/Home2009.htm> (page consultée le ).
- [11] Izhikevich, E. M. (2004). Which model to use for cortical spiking neurons? *IEEE Transactions on Neural Networks*, volume 15, numéro 5, p. 1063-70.
- [12] Jae, J. L., Soo, Y. P., Kee, B. C. et Gee, H. K. (2008). Nano-scale patterning using the roll typed UV-nanoimprint lithography tool. *Microelectronic Engineering*, volume 85, numéro 5-6, p. 861-5.

- [13] Kiriwara, M. et Taniguchi, K. (1997). A single electron neuron device. Dans *4th International Colloquium on Scanning Tunneling Microscopy*, volume 36. Publication Office, Japanese Journal Appl. Phys, Japan, p. 4172-5.
- [14] Kulik, I. O. et Shekhter, R. I. (1975). Kinetic phenomena and charge discreteness effects in granulated media. *Zhurnal Eksperimental'noi i Teoreticheskoi Fiziki*, volume 62, numéro 2, p. 623-40.
- [15] Likharev, K. K. (1999). Single-electron devices and their applications. *Proceedings of the IEEE*, volume 87, numéro 4, p. 606-32.
- [16] Liu, H., Jiang, W., Ding, Y., Tang, Y., Lu, B., Lan, H., Shi, Y. et Yin, L. (2009). A novel loading and demoulding process control in UV nanoimprint lithography. *Microelectronic Engineering*, volume 86, numéro 1, p. 4-9.
- [17] MAHAPATRA, I. (2006). *Hybrid CMOS Single electron Transistor Device and Circuit Design*, Artech house édition 218 p.
- [18] Mahapatra, S. et Ionescu, A. M. (2005). Realization of multiple valued logic and memory by hybrid SETMOS architecture. *IEEE Transactions on Nanotechnology*, volume 4, numéro 6, p. 705-14.
- [19] Mahapatra, S. et Ionescu, A. M. (2004). A Novel Elementary Single Electron Transistor Negative Differential Resistance Device. *Japanese Journal of Applied Physics, Part 1: Regular Papers and Short Notes and Review Papers*, volume 43, numéro 2, p. 538-539.
- [20] Mead, C. (1989). *Analog VLSI and neural systems / Carver Mead.*, VLSI systems series. édition 371 p.
- [21] Morie, T., Matsuura, T., Nagata, M. et Iwata, A. (2003). A multinanodot floating-gate MOSFET circuit for spiking neuron models. *IEEE Transactions on Nanotechnology*, volume 2, numéro 3, p. 158-64.
- [22] Rantala, A., Franssila, S., Kaski, K., Lampinen, J., Aberg, M. et Kuivalainen, P. (1999). High-precision neuron MOSFET structures. *Electronics Letters*, volume 35, numéro 2, p. 155-7.
- [23] Shibata, T. et Ohmi, T. (1992). A self-learning neural-network LSI using neuron MOSFETs. Dans *92CH3172-4*. 1992 Symposium on VLSI Technology. Digest of Technical Papers (Cat. No. IEEE, New York, NY, USA, p. 84-5.
- [24] Venkataratnam, A. et Goel, A. K. (2008). Design and simulation of logic circuits with hybrid architectures of single-electron transistors and conventional MOS devices at room temperature. *Microelectronics Journal*, volume 39, numéro 12, p. 1461-1468.

- [25] Venkataratnam, A. et Goel, A. K. (2008). Design and simulation of logic circuits with hybrid architectures of single-electron transistors and conventional MOS devices at room temperature. *Microelectronics Journal*, volume 39, numéro 12, p. 1461-1468.
- [26] W. XUAN (2010). *Contribution à la modélisation de composants à un électron*.
- [27] WASER *Nanoelectronics ans Information Technology*, WILEY-VCH édition 1001 p.
- [28] Wasshuber, C., Kosina, H. et Selberherr, S. (1997). SIMON-A simulator for single-electron tunnel devices and circuits. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, volume 16, numéro 9, p. 937-44.
- [29] WIKIPEDIA (Dans [www.wikipédia.com](http://www.wikipédia.com) (page consultée le )).
- [30] WIKIPEDIA (Chaines de Markov. Dans [http://fr.wikipedia.org/wiki/Cha%C3%AEne\\_de\\_Markov](http://fr.wikipedia.org/wiki/Cha%C3%AEne_de_Markov) (page consultée le )).
- [31] Yamashita, T., Shibata, T. et Ohmi, T. (1993). Neuron MOS winner-take-all circuit and its application to associative memory. Dans *Proceedings of IEEE International Solid-State Circuits Conference - ISSCC '93*. IEEE, New York, NY, USA, p. 236-7.
- [32] Yu, Y. S., Lee, H. S. et Hwang, S. W. (1998). SPICE macro-modeling for the compact simulation of single electron circuits. Dans *5th Korean Conference on Semiconductors*, volume 33. Korean Phys. Soc, South Korea, p. 269-72.