

UNIVERSITÉ DE SHERBROOKE  
Faculté de génie  
Département de génie électrique et de génie informatique

Fabrication par lithographie hybride et  
procédé damascène de transistors  
monoélectroniques à grille auto-alignée

Mémoire de maîtrise  
Spécialité : génie électrique

Jean-François MORISSETTE

Jury : Dominique DROUIN (co-directeur)  
Jacques BEAUVAIS (co-directeur)  
Serge CHARLEBOIS  
Michel PIORO-LADRIÈRE

Sherbrooke (Québec) Canada

Janvier 2010

IV-2107



Library and Archives  
Canada

Published Heritage  
Branch

395 Wellington Street  
Ottawa ON K1A 0N4  
Canada

Bibliothèque et  
Archives Canada

Direction du  
Patrimoine de l'édition

395, rue Wellington  
Ottawa ON K1A 0N4  
Canada

*Your file* *Votre référence*  
ISBN: 978-0-494-79744-0  
*Our file* *Notre référence*  
ISBN: 978-0-494-79744-0

**NOTICE:**

The author has granted a non-exclusive license allowing Library and Archives Canada to reproduce, publish, archive, preserve, conserve, communicate to the public by telecommunication or on the Internet, loan, distribute and sell theses worldwide, for commercial or non-commercial purposes, in microform, paper, electronic and/or any other formats.

The author retains copyright ownership and moral rights in this thesis. Neither the thesis nor substantial extracts from it may be printed or otherwise reproduced without the author's permission.

---

In compliance with the Canadian Privacy Act some supporting forms may have been removed from this thesis.

While these forms may be included in the document page count, their removal does not represent any loss of content from the thesis.

**AVIS:**

L'auteur a accordé une licence non exclusive permettant à la Bibliothèque et Archives Canada de reproduire, publier, archiver, sauvegarder, conserver, transmettre au public par télécommunication ou par l'Internet, prêter, distribuer et vendre des thèses partout dans le monde, à des fins commerciales ou autres, sur support microforme, papier, électronique et/ou autres formats.

L'auteur conserve la propriété du droit d'auteur et des droits moraux qui protègent cette thèse. Ni la thèse ni des extraits substantiels de celle-ci ne doivent être imprimés ou autrement reproduits sans son autorisation.

---

Conformément à la loi canadienne sur la protection de la vie privée, quelques formulaires secondaires ont été enlevés de cette thèse.

Bien que ces formulaires aient inclus dans la pagination, il n'y aura aucun contenu manquant.

  
**Canada**

# RÉSUMÉ

Ce mémoire est le résultat d'un projet de fabrication de transistors monoélectroniques (SET). Ces dispositifs, fabriqués pour la première fois à la fin des années quatre-vingt, permettent d'observer le passage d'un nombre discret d'électrons entre deux électrodes. À température ambiante, le fonctionnement des transistors n'est pas garanti, et nécessite généralement des composantes de taille nanométriques. Autrefois vus comme de potentiels remplaçants aux transistors MOSFET dans les circuits intégrés, les SET ont vu le consensus général quant à leur application migrer vers les applications-niche, et vers une intégration hybride SET-CMOS.

On présente ici une méthode de fabrication basée sur un procédé damascène développé par Dubuc *et al.*[10][11]. Les résultats obtenus antérieurement ont démontré que des transistors ainsi fabriqués atteignent des températures maximales d'opération de 433K. Par contre, la fabrication fait appel exclusivement à la lithographie par faisceau d'électrons. Si cette technique permet de définir des motifs de très petite taille, elle est néanmoins relativement lente pour l'écriture de motifs de plus grande taille tels que des pistes de contact électrique. Les motifs sont lithographiés directement dans le SiO<sub>2</sub>, qui est une électrorésine à très haute résolution, mais qui demande des doses d'expositions très élevées, ralentissant davantage le procédé. De plus, les transistors utilisent l'arrière de l'échantillon en lieu de grille de contrôle, ce qui fait qu'il est impossible de contrôler individuellement les transistors.

Le projet de recherche propose une plateforme pour la fabrication de SET damascène par lithographie hybride. Le but est de prendre avantage à la fois de la rapidité et de la production en lot de la photolithographie, et de la capacité d'écriture de composantes de taille submicronique de l'électrolithographie. On propose également l'ajout d'une grille individuelle auto-alignée et la migration vers la gravure plasma du diélectrique SiO<sub>2</sub> avec un masque d'électrorésine en PMMA. Ces changements demandent la conception d'un photomasque comprenant les parties des dispositifs qui sont d'assez grande taille pour être fabriquées en photolithographie. Le design de deux dispositifs-test est également proposé. Ces dispositifs servent à caractériser les couches métalliques employées, les caractéristiques électriques des transistors et les paramètres de fabrication.

La réalisation de la plateforme a permis l'accélération du rythme de production des dispositifs, tout en établissant un point de départ pour des évolutions futures. Le procédé de fabrication incluant une grille de surface auto-alignée a également été montré avec succès. Des problèmes de polissage et de dépôt par soulèvement de couches métalliques ont empêché la réalisation de dispositifs complets et fonctionnels électriquement pendant la durée du projet.

**Mots-clés :** transistor monoélectronique (SET), damascène, électrolithographie, lithographie hybride, jonctions tunnel, grille auto-alignée, polissage chimique-mécanique (CMP)

À mes parents, Lise et Luc.



# REMERCIEMENTS

Je tiens à remercier cordialement mon directeur de recherche, Dominique Drouin. Le stage qu'il m'a offert en 2006 m'a permis pour la première fois d'explorer le monde fascinant (et parfois un peu étrange) du nanomètre. En me proposant le projet de transistor monoélectronique, l'objet de ce mémoire, Dominique m'a offert l'opportunité de voyager sur une voie que peu de gens peuvent se vanter avoir emprunté. Je le remercie pour sa patience, sa disponibilité et, par manque de mots meilleurs, le fait qu'on n'a pas à se compliquer pas la vie ou à s'enfarger dans les fleurs du tapis avec lui. Merci, Dominique.

Je remercie également mon co-directeur, Jacques Beauvais. Son aide est ses conseils m'ont été très précieux, spécialement lors des derniers mois de mon séjour au CRN<sup>2</sup>

La recherche ne serait pas possible sans un personnel technique compétent et passionné. Je remercie en particulier Mélanie Cloutier pour son support en matière de lithographie électronique, Pierre Langlois pour son soutien technique et ses nombreuses formations, ainsi que Michaël Lacerte, Abdelatif Jaouad, et Farida Bouzar pour leur contribution à des étapes cruciales de mon procédé. Sans eux et tous leurs collègues, le CRN<sup>2</sup> tel qu'on le connaît, un environnement de recherche stimulant, performant et sécuritaire, n'existerait pas.

Je ne saurais passer par dessus la contribution du groupe de nanoélectronique dirigé par Dominique Drouin. Les post-doctorants Arnaud Beaumont et Serge Ecoffey ont été d'une aide inestimable à mon projet. L'aide que Marc Guilmain et Wei Xuan m'ont prêtée pour l'établissement de la plateforme de lithographie hybride a été indispensable, et je les remercie également. Bon nombre de stagiaires comme Richard Al Hadi et Pierre-Antoine Garcia, dont une partie des résultats se trouve ici, ont contribué à mon projet de belle façon.

À mes parents Lise et Luc, et mes soeur Stéphanie et Marie Jo, merci de votre support inconditionnel. À ceux que je ne nomme pas ici, par faute d'espace ou de mémoire, je vous dis merci.

Le plus grand merci revient à ma conjointe Geneviève. Elle a su m'épauler pendant les moments difficiles, et j'espère avoir été aussi présent pour elle quand elle en avait besoin qu'elle l'a été pour moi. Elle m'a prouvé hors de tout doute, au cours de ces deux dernières années, qu'elle était incontestablement la meilleure du monde.



# TABLE DES MATIÈRES

<b>1</b>	<b>INTRODUCTION</b>	<b>1</b>
1.1	La Loi de Moore . . . . .	1
1.2	Transistors monoélectroniques . . . . .	3
1.2.1	Blocage de Coulomb . . . . .	4
1.2.2	Travaux de Dubuc <i>et al.</i> . . . . .	5
1.3	Définition du projet de recherche . . . . .	6
1.3.1	Grille auto-alignée . . . . .	7
1.3.2	Approche lithographique hybride . . . . .	7
1.3.3	Caractérisation par mesures électriques . . . . .	7
1.4	Plan du document . . . . .	7
<b>2</b>	<b>REVUE DE LA LITTÉRATURE</b>	<b>9</b>
2.1	Schéma et fonctionnement d'un SET . . . . .	9
2.2	SET à température cryogénique . . . . .	11
2.3	SET à température ambiante . . . . .	12
2.4	Travaux de Dubuc <i>et al.</i> . . . . .	14
2.4.1	Grille de contrôle individuelle . . . . .	16
<b>3</b>	<b>CADRE EXPÉRIMENTAL</b>	<b>19</b>
3.1	Photolithographie . . . . .	19
3.1.1	Alignement contact . . . . .	19
3.2	Électrolithographie . . . . .	20
3.2.1	NPGS . . . . .	23
3.3	Gravure plasma d'oxyde . . . . .	24
3.4	Polissage chimique-mécanique (CMP) . . . . .	26
3.5	Détails techniques du procédé de Dubuc <i>et al.</i> . . . . .	26
3.5.1	Substrat . . . . .	27
3.5.2	Motifs . . . . .	27
3.5.3	Fichiers d'exécution NPGS . . . . .	30
<b>4</b>	<b>CONCEPTION</b>	<b>33</b>
4.1	Grille auto-alignée . . . . .	33
4.1.1	Calcul de la capacité d'îlot . . . . .	34
4.1.2	Passage à la gravure plasma . . . . .	37
4.2	Dispositifs-test . . . . .	37
4.2.1	TLM . . . . .	37
4.2.2	Capacité MIM . . . . .	40
4.3	Plateforme de lithographie hybride . . . . .	41
4.3.1	Conception d'un photomasque . . . . .	42
4.3.2	Adaptation des fichier d'exécution NPGS . . . . .	45



<b>5</b>	<b>RÉSULTATS</b>	<b>49</b>
5.1	Gravure plasma . . . . .	49
5.1.1	Gains en temps versus la lithographie directe dans le $\text{SiO}_2$ . . . . .	51
5.2	Grille autoalignée . . . . .	53
5.2.1	Taux de désalignement latéral . . . . .	54
5.2.2	Problèmes de soulèvement du titane . . . . .	56
5.2.3	Remplacement du procédé de soulèvement . . . . .	60
5.2.4	Mesures électriques . . . . .	60
5.3	Lithographie hybride . . . . .	64
5.3.1	Photolithographie . . . . .	64
5.3.2	Polissage . . . . .	65
5.3.3	Changements au photomasque . . . . .	66
5.3.4	Mesures de résistivité du titane . . . . .	67
<b>6</b>	<b>CONCLUSION</b>	<b>69</b>
6.1	Retour sur les objectifs du projet de recherche . . . . .	69
6.1.1	Grille auto-alignée . . . . .	69
6.1.2	Approche lithographique hybride . . . . .	69
6.1.3	Caractérisation par mesures électriques . . . . .	70
6.2	Travaux futurs . . . . .	70
	<b>ANNEXES</b>	<b>72</b>
<b>A</b>	<b>CALCUL DE CAPACITÉ D'UN ÎLOT</b>	<b>73</b>
A.1	Capacité $C_1$ . . . . .	73
A.2	Capacité $C_2$ . . . . .	75
A.3	Capacité $C_3$ . . . . .	75
A.4	Capacité $C_{tunnel}$ . . . . .	75
A.5	Capacité $C_{dos}$ . . . . .	75
A.6	Capacité totale . . . . .	76
<b>B</b>	<b>LISTE DES IMAGES DU CHAPITRE 5</b>	<b>77</b>
<b>C</b>	<b>PROCÉDÉ DE FABRICATION COMPLET</b>	<b>79</b>
	<b>LISTE DES RÉFÉRENCES</b>	<b>83</b>

# LISTE DES FIGURES

1.1	La Loi de Moore . . . . .	2
2.1	Schéma d'un arrangement source-îlot-drain dans un SET . . . . .	9
2.2	Courbe I-V en escalier typique du blocage de Coulomb . . . . .	10
2.3	Effet de la grille sur les niveaux d'énergie dans un SET . . . . .	10
2.4	Jonctions à décharge monoélectronique de Fulton <i>et al.</i> . . . . .	12
2.5	Transistor monoélectronique sur structure SOI de Park <i>et al.</i> . . . . .	12
2.6	Procédé nanodamascène vs. Fulton <i>et al.</i> . . . . .	14
2.7	Largeur de lignes gravées en fonction de la dose EBL . . . . .	15
2.8	Procédé de fabrication damascène . . . . .	15
2.9	Courbes I-V de dispositifs à blocage de Coulomb . . . . .	16
2.10	Exemple d'alignement manuel de grille . . . . .	17
3.1	Fabrication d'un photomasque pour alignement-contact . . . . .	20
3.2	Photolithographie avec alignement et masque contact . . . . .	21
3.3	Paramètres de balayage du faisceau en électrolithographie . . . . .	22
3.4	Écran Principal NPGS . . . . .	23
3.5	Éditeur de fichier d'exécution NPGS . . . . .	25
3.6	Schéma du polissage physico-chimique . . . . .	27
3.7	Cellule SET version 10 de Dubuc <i>et al.</i> . . . . .	28
3.8	Motifs d'arrêt de polissage damascène . . . . .	29
3.9	Effet de la tension d'accélération sur la pénétration du faisceau d'électrons dans le SiO <sub>2</sub> . . . . .	29
4.1	Procédé de grille de surface auto-alignée . . . . .	33
4.2	Paramètres entrant dans les calculs de capacité d'îlot d'un SET . . . . .	34
4.3	Température d'opération simulée d'un SET à grille auto-alignée . . . . .	36
4.4	Méthode de mesure électriques à quatre pointes . . . . .	38
4.5	Motif du dispositif TLM retenu . . . . .	39
4.6	Procédé de fabrication de capacités MIM . . . . .	40
4.7	Vue rapprochée de la partie centrale des capacités MIM . . . . .	41
4.8	Version des cellules SET, TLM et MIM destinées au photomasque . . . . .	43
4.9	Image du photomasque complet . . . . .	44
4.10	Dispositifs TLM micrométriques . . . . .	45
4.11	Réseaux de lignes en bordure du cadre de 300 $\mu m$ . . . . .	46
4.12	Séquence de l'électrolithographie sur les cellules SET et MIM . . . . .	46
5.1	Vue en coupe d'une tranchée de 1 $\mu m$ gravée par plasma . . . . .	50
5.2	Vue en coupe d'une tranchée de 67 nm gravée par plasma . . . . .	51
5.3	Réseau de lignes gravées par plasma . . . . .	52
5.4	Image MEB d'un dispositif TLM gravé par plasma . . . . .	52
5.5	Ouverture de grille et tranchée après l'étape de gravure AOE . . . . .	53

5.6	Alignement latéral de la ligne d'îlot réussi . . . . .	54
5.7	Transistor à grille auto-alignée complété . . . . .	55
5.8	Soulèvement incomplet sur dispositif TLM . . . . .	56
5.9	Schéma de la formation d'ailettes par sous-développement . . . . .	57
5.10	Ailettes sur une ligne d'îlot de SET . . . . .	58
5.11	Fil arraché lors d'une étape soulèvement . . . . .	58
5.12	Problème d'adhérence sur la ligne d'îlot d'un SET . . . . .	59
5.13	Suggestion de procédé pour remplacer le soulèvement . . . . .	60
5.14	Courbes I-V d'un SET fabriqué . . . . .	61
5.15	Discontinuité dans la tranchée du SET caractérisé électriquement . . . . .	62
5.16	Vue éloignée du transistor de la figure 5.7 . . . . .	62
5.17	Motifs proposés pour limiter la longueur de tranchée . . . . .	63
5.18	Exemple de SET avec îlot manquant . . . . .	63
5.19	Ligne d'îlot arrachée au polissage . . . . .	64
5.20	Exemple de dishing . . . . .	66
5.21	Exemple d'érosion à la jonction des pistes de contact et des dispositifs . . . . .	67
A.1	Paramètres entrant dans les calculs de capacité d'îlot d'un SET . . . . .	74
A.2	Température d'opération calculée pour différentes largeurs de grille $W_G$ . . . . .	76

# LISTE DES TABLEAUX

1.1	Propriétés de condensateurs de différentes échelle . . . . .	4
2.1	Énergie de charge des SET fabriqués par nanodamascene . . . . .	16
3.1	Liste des fonctions utilisées dans un fichier d'exécution NPGS . . . . .	24
4.1	Description des paramètres de calcul de capacité d'îlot . . . . .	35
4.2	Cartographie du photomasque conçu . . . . .	45
5.1	Résines à base de PMMA disponibles au CRN <sup>2</sup> . . . . .	49
5.2	Comparaison des temps d'écriture EBL dans le SiO <sub>2</sub> et le PMMA . . . . .	53
5.3	Résistivités moyennes sur trois échantillons fabriqués par soulèvement . . . . .	68
5.4	Calcul d'épaisseur de fils métallique par mesures de résistivité . . . . .	68
A.1	Paramètres fixes dans le calcul de capacité d'îlot . . . . .	76
B.1	Tableau de la provenance des images du chapitre 5 . . . . .	77



# LISTE DES ACRONYMES

Acronyme	Définition
AFM	<i>Atomic Force Microscopy</i> (Microscopie à force atomique)
AOE	<i>Advanced Oxide Etch</i> (Gravure d'oxyde par plasma)
CMP	<i>Chemical-Mecanical Polishing</i> (Polissage chimique-mécanique)
CMOS	<i>Complimentary MOS</i> (MOS complémentaire)
CRN <sup>2</sup>	Centre de recherche en nanofabrication et nanocaractérisation
CAD	<i>Computer-aided design</i> (Dessin assisté par ordinateur)
EBL	<i>Electron beam lithography</i> (Lithographie par faisceau d'électrons)
HMW	<i>High molecular weight</i> (Haut poids moléculaire)
ICP	<i>Inductively coupled plasma</i> (Plasma à couplage inductif)
LMW	<i>Low molecular weight</i> Faible poids moléculaire
MEB	Microscope électronique à balayage
MEMS	<i>Microelectromechanical system</i> (Microsystème électromécanique)
MIM	Capacité Métal-isolant-métal
MOS	Métal-oxyde-semiconducteur
MOSFET	<i>Metal-oxide-semiconductor Field-effect transistor</i> (Transistor MOS à effet de champ)
PMMA	polyméthacrylate de méthyle (résine électrosensible)
RIE	<i>Reactive ion etching</i> (Gravure réactive ionique)
SEMM	<i>Single-electron MOS memory</i> Mémoire MOS monoélectronique
SET	<i>Single-electron transistor</i> (transistor monoélectronique)
SiP	<i>System in Package</i> (Système intégré dans l'encapsulation)
SOI	<i>Silicon-on-insulator</i> (Silicium sur isolant)
SoP	<i>System on a Chip</i> (Système intégré sur la puce)
TLM	Dispositif-test servant à la mesure de résistivité d'un matériau (de l'anglais <i>Transmission Line Method</i> )



# CHAPITRE 1

## INTRODUCTION

Il est impossible aujourd’hui d’ignorer l’apport des technologies de l’information à la vie quotidienne. L’invention du transistor dans les années 40 a lancé le domaine de l’électronique sur la voie du succès incroyable qu’on lui connaît maintenant. L’arrivée des premiers circuits intégrés dans les années 60, l’émergence de l’ordinateur personnel dans les années 80, la démocratisation d’Internet dans les années 90, l’explosion du web 2.0 et des applications mobiles des années 2000 ; ces étapes importantes de l’ère de l’information ont été rendues possibles grâce à des progrès techniques d’une proverbiale rapidité. Un ordinateur bon marché acheté aujourd’hui sera technologiquement dépassé dans moins de trois ans, au grand dam de son propriétaire. Afin d’expliquer ce progrès fulgurant, les acteurs de l’industrie de la microélectronique font souvent référence à une loi empirique connue sous le nom de ”Loi de Moore”.

### 1.1 La Loi de Moore

La loi de Moore, dans ses différentes incarnations et interprétations, est un objectif de croissance. L’industrie du semiconducteur vise en effet à garder le pas sur l’observation faite par Gordon Moore au milieu des années soixante, à l’effet que le nombre de transistors contenus dans un circuit intégré doublait à peu près tous les deux ans. La progression exponentielle dictée par la loi de Moore est grandement due à la réduction des dimensions des transistors, ce qui permet d’en intégrer un plus grand nombre sur une même puce. Or, comme la fabrication des transistors MOSFET standards se base sur un principe de lithographie optique, limitée par le critère de diffraction de Rayleigh, la taille minimale des motifs lithographiés dépend de la longueur d’onde de la lumière utilisée. Afin de continuer la diminution des tailles de dispositifs, on doit réduire encore la longueur d’onde (et développer du fait même des systèmes optiques plus performants dans la gamme UV du spectre lumineux), trouver d’autres astuces de lithographie, ou encore carrément changer de système (lithographie par faisceau d’électrons, nanoimpression, etc.).

*L’International Technological Roadmap for Semiconductors (ITRS)* est un travail conjoint des différents joueurs oeuvrant dans le domaine des semi-conducteurs. Comme présenté dans son rapport exécutif [17], l’objectif de cet organisme est de présenter les besoins de



l'industrie quant à la recherche et au développement dans les quinze années à venir. Plutôt que de viser simplement l'augmentation de transistors sur les puces, le *Roadmap* vise à déterminer quelles améliorations techniques sont nécessaires pour maintenir le cap sur la loi de Moore ainsi que les autres tendances observées : réduction du coût-par-fonction et croissance du marché. On ne se leurre pas du côté des participants au roadmap, on sait que la route de la réduction des dimensions géométriques des MOSFET arrive à sa fin. Afin de poursuivre la tendance évolutive de l'industrie, on s'attend à ce que dans la prochaine décennie, de nouveaux types de dispositifs dont les capacités vont au-delà du MOSFET soient introduits. En revanche, on ne s'attend pas à ce que ces dispositifs remplacent complètement les MOSFET. On s'attend plutôt à ce qu'ils viennent se greffer à un coeur CMOS par de l'intégration hybride, soit au niveau de la puce ou de l'encapsulation (*packaging*). La figure 1.1 montre un schéma bien connu du monde de la fabrication microélectronique.

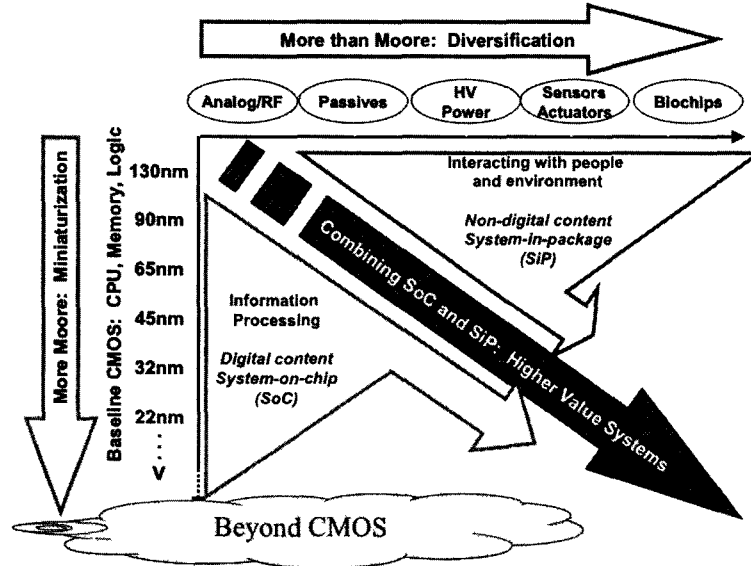


Figure 1.1 Évolution de la microélectronique : l'axe vertical représente la poursuite de la loi de Moore (plus de transistors par puce) et l'axe horizontal représente l'intégration de dispositifs nouveaux. Source : [17].

L'axe vertical montre la réduction des dimensions géométriques des transistors MOS. Cet axe représente la croissance "classique" du marché, du fait que l'implication première de la réduction des dimensions est l'intégration de plus de transistors sur une puce de même dimension. On l'appelle donc *More Moore*, poursuite directe de la tendance du double de transistor à tous les deux ans. Le problème majeur de cet axe est que la limite de la photolithographie sera probablement atteinte au noeud de 32nm, sinon à celui de 22nm (voir section "*Grand Challenges*" de [17]).

Cet axe est aussi représentatif des mesures prises au niveau de la puce pour augmenter le nombre de transistors. Nommons deux exemples : l'intégration de plusieurs coeurs de processeurs sur une même puce (*multi-core processors*) et les systèmes dits monopuce (SoC), intégrant divers systèmes électroniques (processeur, mémoire, traitement de signal digital, alimentation, etc.) sur une même puce.

L'axe horizontal représente un départ du MOSFET vers des dispositifs plus exotiques. Son titre "*More than Moore : Diversification*" est tout indiqué puisque le développement de dispositifs n'est pas nécessairement lié aux mêmes défis que la progression du CMOS. Certains de ces dispositifs sont développés avec l'objectif d'interaction avec l'environnement. Nommons par exemple : bio-puces utilisant les principes micro-fluidiques pour permettre l'analyse de sang, micro-turbines MEMS servant à récupérer l'énergie perdue dans un système (*harvesting*), composantes optiques utilisant des matériaux autres que le silicium. L'intégration de tels dispositifs au niveau de l'assemblage de systèmes (SiP), combiné à des puces de type SoC, donne la flèche transversale oblique de la figure 1.1, représentant des systèmes à valeur ajoutée.

On peut également diversifier en introduisant des dispositifs qui représentent un changement de paradigme dans les fonctions électroniques traditionnellement réservées aux CMOS. Par exemple, des équipes de recherche ont présenté des automates cellulaires magnétiques servant à effectuer des opérations logiques [16]. Ce type de dispositif pourrait remplacer des blocs logiques CMOS équivalents, qui occupent une plus grande surface. Les transistors monoélectroniques (*single-electron transistor*, SET), dont traite ce projet de recherche, pourraient également remplacer avantageusement certaines fonctions logiques ou de mémoire présentement exercées par des CMOS.

## 1.2 Transistors monoélectroniques

Les dispositifs à un électron tels que les SETs étaient originalement considérés comme de sérieux candidats pour éventuellement remplacer les transistors MOS [22]. Cependant, la possibilité d'intégrer les SET dans des applications complémentaires précises, dans l'optique *More than Moore* peut être vue comme plus intéressante. En particulier, des développements de mémoire non-volatile à haute densité et à haute vitesse accessible électriquement amèneraient une révolution dans l'architecture des ordinateurs en augmentant considérablement le débit d'information, au delà de ce que la réduction d'échelle ultime du CMOS pourrait apporter [18]. Une des applications complémentaires des SET qui doit

donc retenir l'attention est l'intégration dans des systèmes de mémoire, dans lesquels un bit d'information serait représenté par un seul électron.

Un dispositif de taille conventionnelle fait appel à des courants typiquement de l'ordre du microampère, ce qui correspond à un mouvement de l'ordre de  $10^{12}$  électrons par seconde [15]. À des échelles de dimensions plus petites, des effets de confinement peuvent devenir plus importants. Dans le cas du SET, l'effet dominant du fonctionnement s'appelle le blocage de Coulomb.

### 1.2.1 Blocage de Coulomb

Dans un condensateur, ou encore dans un système comprenant quelques composantes capacitives, il peut être montré que l'ajout d'un seul électron nécessite l'apport d'une énergie  $E_c$  telle que :

$$E_c = \frac{e^2}{2C} \quad (1.1)$$

où  $C$  est la capacité du système. Dans un système macroscopique,  $E_c$  est négligeable, mais quand on atteint des capacités de l'ordre de l'attofarad ( $10^{-18}F$ ), l'énergie s'approche de l'électronvolt (voir tableau 1.1).

Dimensions de plaques	A (nm <sup>2</sup> )	d (nm)	C (F)	$\Delta E$ (eV)
nanométrique	5 <sup>2</sup>	2	$11 \times 10^{-19}$	0,73
nanométrique	80 <sup>2</sup>	1	$5,7 \times 10^{-17}$	0,0014
millimétrique	$(5 \times 10^6)^2$	$2 \times 10^6$	$1,1 \times 10^{-13}$	$7,3 \times 10^{-7}$
micrométrique	$(5 \times 10^3)^2$	2	$1,1 \times 10^{-13}$	$7,3 \times 10^{-7}$

Tableau 1.1 Propriétés de condensateurs de différentes échelles. La capacité est calculée avec  $C = \epsilon A/d$ , où  $\epsilon$  est la permittivité du milieu entre les plaques,  $A$  est l'aire des plaques et  $d$  la distance entre les plaques. On remarque l'énergie  $\Delta E$  nécessaire au transfert d'une charge élémentaire. (Source : tableau 7.1 de [15])

On remarque aussi que, par le tableau 1.1, pour un condensateur de plus de  $10^{-18}$  farad, l'énergie thermique ( $E_T = k_B T \approx 25 meV$  à température ambiante) est généralement suffisante pour entraîner le transfert d'un seul électron. En d'autres mots, un SET a une température d'opération au-dessus de laquelle le blocage de Coulomb n'est pas présent, et le dispositif se comporte comme une résistance. Likharev suggère la condition  $E_c \geq 10k_B T$  pour une opération à température  $T$  [20].

Ces arguments mènent au problème majeur des transistors monoélectroniques : la fabrication. Afin que ces dispositifs puissent faire leur entrée sur un marché de masse, ils doivent fonctionner à température ambiante. Qui plus est, si leur utilisation finale se trouve dans un circuit hybride SET/CMOS de type SoC, où les SET seraient positionnés dans des couches supérieures d'un substrat CMOS sur silicium conventionnel, la plage de température d'opération des SET doit impérativement être la même que les CMOS. Or, pour que les perturbations énergétiques de la température n'aient pas d'incidence importante sur le fonctionnement du SET, les tailles de dispositifs doivent se chiffrer dans les dizaines de nanomètres, ou encore on doit avoir recours à d'autres méthodes et matériaux pour arriver au confinement électrostatique caractéristique du SET. Ceci force une fabrication par d'autres méthodes que la photolithographie traditionnelle.

Une telle méthode a été proposée par Dubuc *et al.* en 2007. Cette méthode combine la définition de dimensions latérales de jonctions tunnel par électrolithographie (*electron beam lithography*, EBL) et le contrôle de la troisième dimension des jonctions (profondeur) par polissage chimique-mécanique (CMP).

### 1.2.2 Travaux de Dubuc et al.

Le procédé de fabrication de Dubuc *et al.* [10] est décrit en détail au chapitre 2. Le SET produit est un assemblage de deux jonctions tunnel MIM formées par un système titane-oxyde de titane ( $Ti/TiO_x$ ). Il en résulte un îlot métallique isolé de très faible capacité. Les auteurs décrivent leur procédé de fabrication comme "nanodamascene", où des motifs sont gravés dans une couche d'oxyde thermique sur substrat de silicium, recouverts de métal, et ensuite polis par CMP. Un des points importants des travaux effectués à l'Université de Sherbrooke est la démonstration qu'un SET peut fonctionner à des températures plus élevées que celles qui sont exigées des transistors MOSFET conventionnels [10] [18]. L'implication majeure de cette preuve de concept est que des circuits hybrides SET/CMOS peuvent être fonctionnels aux mêmes plages de température.

Les transistors SET ont été caractérisés électriquement en utilisant le dos de l'échantillon comme grille de contrôle. Quoiqu'utile pour la preuve de concept, cette technique n'est pas viable pour un système comprenant plusieurs transistors, puisqu'il est impossible d'activer individuellement chaque transistor. Dans un circuit complexe comme une porte logique ou une cellule de mémoire, il est important que chaque transistor ait sa propre grille. Des essais ont été réalisés pour implémenter une grille de surface déposée par électro-lithographie et soulèvement [1], mais la procédure d'alignement sur les motifs existants est fastidieuse et

donne des résultats peu reproductibles. Il serait donc préférable que les grilles de contrôle soient auto-alignées sur l'îlot.

Aussi, la définition des motifs et des dimensions du SET est faite par électrolithographie. Cette technique utilise une interface informatisée pour contrôler le faisceau d'un microscope électronique à balayage (MEB) afin d'exposer des zones dans une résine. La taille des motifs lithographiés peut, dans des conditions adéquates, se chiffrer à une dizaine de nanomètres. Comme il sera vu plus en détail dans la revue de littérature, l'électro-lithographie présente deux désavantages pour l'industrie :

- La nature de l'écriture (pixel-par-pixel) peut donner des temps d'exposition très longs ;
- Un seul échantillon à la fois est exposé.

De plus, Dubuc *et al.* utilisent du dioxyde de silicium ( $SiO_2$ ) crû thermiquement comme électrorésine. L'avantage d'utiliser du  $SiO_2$  est la possibilité de contrôler la profondeur de gravure par la dose d'exposition. En contrepartie, les doses nécessaires pour assurer une bonne sélectivité de gravure sont excessivement élevées, jusqu'à  $100mC/cm^2$  [11], soit environ mille fois plus élevée que pour une résine standard à base de polyméthacrylate de méthyle (PMMA). Ceci résulte en des temps d'exposition élevés, de l'ordre de plusieurs minutes pour un seul dispositif.

### 1.3 Définition du projet de recherche

En résumé, la fabrication de transistors monoélectroniques est possible, mais plusieurs barrières doivent être franchies avant de pouvoir pousser ce type de dispositif vers une production de masse. Les travaux de Dubuc *et al.* constituent un excellent point de départ, étant donné que les techniques de fabrication employées sont *a priori* disponibles en milieu industriel, et que le transistor résultant est fonctionnel à des températures plus élevées que celles exigées des CMOS. Cependant, le processus de fabrication gagnerait beaucoup à être standardisé et accéléré.

À la lumière de la problématique présentée, il est possible de proposer un projet de recherche en trois points majeurs.

### 1.3.1 Grille auto-alignée

Comme mentionné plus haut, les SET fabriqués au CRN<sup>2</sup> n'ont pas de grille individuelle. Il est donc primordial d'en implémenter une pour pouvoir utiliser les SET dans des circuits plus complexes. De plus, étant donné que la taille nanométrique des dispositifs rend tout alignement lithographique difficile, l'auto-alignement de la grille devient très intéressant, voire essentiel.

### 1.3.2 Approche lithographique hybride

L'électrolithographie permet l'écriture de motifs nanométriques. Par contre, l'exposition de motifs plus grands prend un temps énorme, étant donné qu'on doit exposer les pixels un à un. C'est pourquoi il serait avantageux d'utiliser la photolithographie pour les motifs de taille moins critique tels que les chemins d'amenée servant au contact électrique des dispositifs. Un photomasque judicieusement conçu permettrait également la fabrication simultanée de plusieurs dispositifs-test comme des réseaux de lignes, des condensateurs MIM, des nanofils TLM, etc. La section 4.2 traite plus longuement de ces dispositifs.

L'objectif d'accélération du procédé amène le remplacement de l'écriture directe dans l'oxyde par une approche plus conventionnelle. Un système de lithographie dans une résine électrosensible, suivie d'une gravure sèche du SiO<sub>2</sub> prendra avantage du temps de lithographie plus court.

### 1.3.3 Caractérisation par mesures électriques

La lithographie par écriture directe a comme avantage le contrôle de la profondeur de gravure par la dose d'exposition. Il sera expliqué au chapitre 2 que cette particularité est utile lors du polissage CMP. On propose donc d'utiliser un système de mesure de résistivité électrique afin de contrôler l'épaisseur des couches métalliques. Les dispositifs-test nécessaires à ces mesures seraient intégrés au système de photomasques prévus dans le cadre de l'approche lithographique hybride.

## 1.4 Plan du document

Ce document se sépare en 6 chapitres et contient trois annexes. En voici le plan :

1. **Introduction**, page 1 : Loi de Moore, transistors monoélectronique, définition du projet de recherche.

2. **Revue de la littérature**, page 9 : Transistors monoélectroniques à température d'opération cryogénique, ambiante. Présentation des travaux de Dubuc *et al.*
3. **Cadre Expérimental**, page 19 : Techniques de fabrications employées pour la réalisation du projet, détails techniques de procédé nanodamascène.
4. **Conception**, page 33 : Conception des motifs nécessaires aux différentes lithographies, design de dispositifs-test, conception de photomasque pour la plateforme de lithographie hybride.
5. **Résultats**, page 49 : Présentation et analyse des résultats obtenus, suggestions de solutions aux problèmes rencontrés, améliorations à amener au procédé.
6. **Conclusion**, page 69 : Retour sur les objectif du projet de recherche, retour sur les principaux résultats et sur les suggestions d'évolution du procédé.
7. **Annexes**, page 73 : Calculs de capacité d'îlot, liste de la provenance des images du chapitre des résultats, procédé de fabrication complet d'un échantillon.

# CHAPITRE 2

## REVUE DE LA LITTÉRATURE

Un des auteurs ayant grandement contribué à l'essor du transistor monoélectronique est Konstantin Likharev. Dans plusieurs articles de revue (voir [20] en particulier), Likharev explique le concept du blocage de Coulomb. Expliqué au chapitre 1, rappelons que ce blocage est un phénomène électrostatique pouvant se produire sur un îlot conducteur dans certaines conditions. Pour amener un électron sur l'îlot, une énergie  $E_c$  comme décrite à l'équation (1.1) est requise. Si la capacité de l'îlot est suffisamment faible, cette énergie peut atteindre des valeurs se rapprochant de l'électronvolt, donc qui pourraient être plus facilement mesurables à l'échelle macroscopique.

### 2.1 Schéma et fonctionnement d'un SET

Le SET utilise le blocage de Coulomb pour contrôler le courant passant d'une électrode (source) à une autre (drain). Un îlot, tel que ceux discutés précédemment, est placé entre ces deux électrodes. Dans le cas du transistor étudié et fabriqué dans le cadre du présent projet de recherche, l'îlot est métallique (titane) et est isolé des électrodes, aussi en titane, par un mince oxyde. La figure 2.1 présente un tel arrangement.

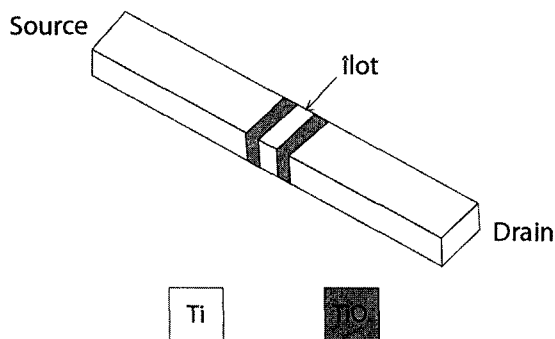


Figure 2.1 Schéma d'un arrangement source-îlot-drain dans un SET.

En appliquant une différence de potentiel entre la source et le drain, il est possible de forcer un électron à passer la barrière d'oxyde par effet tunnel pour se rendre sur l'îlot. Si l'îlot répond aux conditions de capacité évoquées au chapitre 1, le blocage de Coulomb empêchera l'amenée d'un deuxième électron sur l'îlot. En augmentant la tension, il sera



éventuellement possible de donner à un second électron l'énergie de charge  $E_c$  (c.f. eq. 1.1) pour l'amener sur l'îlot. La figure 2.2 présente cette explication sous forme de courbe courant-tension entre la source et le drain. Cette allure caractéristique est présente dans la littérature sous le nom d'escalier de Coulomb (en anglais *Coulomb staircase*).

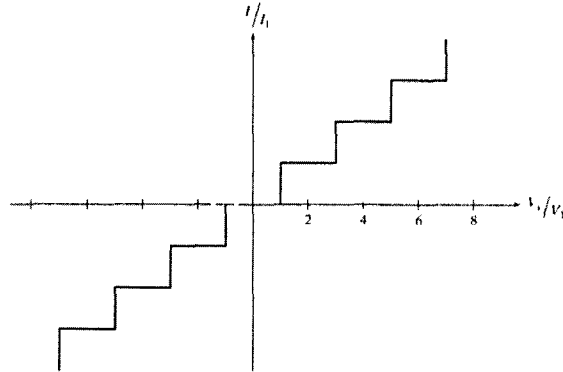


Figure 2.2 Courbe I-V en escalier typique du blocage de Coulomb. Les valeurs de tension et de courant sont normalisées pour mettre l'accent sur le fait qu'un électron passe à chaque fois que la tension atteinte est suffisante pour amener un électron supplémentaire sur l'îlot. (Source : figure 7.18 de [15])

L'ajout d'une troisième électrode, la grille, à proximité de l'îlot, permet d'influencer l'énergie nécessaire à un électron pour passer à l'îlot. La figure 2.3 illustre bien l'effet de la grille par la représentation des niveaux d'énergie.

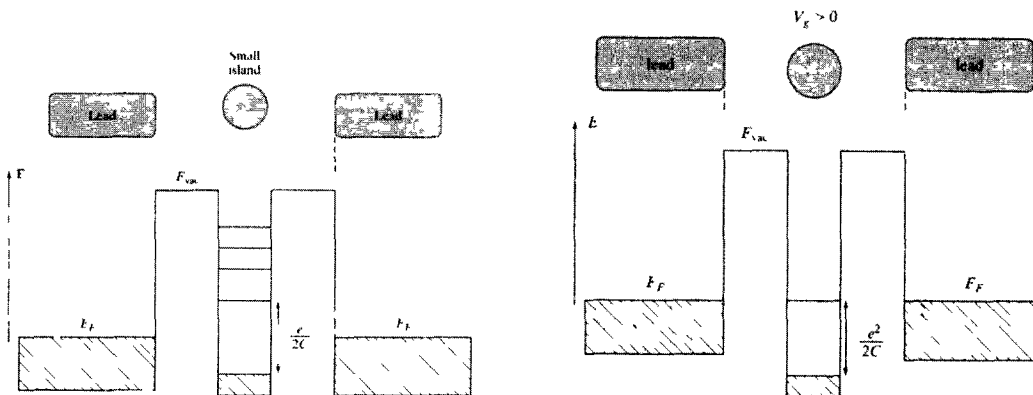


Figure 2.3 Gauche : diagramme de bandes pour un SET sans grille ; Droite : diagramme de bandes avec une tension positive à la grille. On voit l'effet répressif de la grille sur le blocage de Coulomb, par l'abaissement du niveau d'énergie. (Source : figures 7.16 et 7.22 de [15])

Donc, comme un transistor MOS conventionnel, le SET permet de faire passer du courant entre deux électrodes, et de réguler ce courant par une troisième électrode. Cependant, le blocage de Coulomb fait que ce courant est discrétisé. Pour des explications plus détaillées

du fonctionnement d'un SET, se référer à l'ouvrage de George W. Hanson *Fundamentals of Nanoelectronics* [15].

## 2.2 SET à température cryogénique

Comme mentionné au chapitre 1, un des problèmes de la fabrication de SET est que leur température d'opération maximale est parfois inférieure à la température ambiante. Il faut donc employer des moyens cryogéniques pour pouvoir observer le comportement non-linéaire typique du blocage de Coulomb.

Une des premières observations de transfert d'un seul électron a été faite dans des jonctions tunnel [13] fabriquées par une double évaporation de films d'aluminium [6]. Cette technique a été développée par G.J. Dolan pour fabriquer des jonctions Josephson. Elle consiste à lithographier une ouverture dans une double couche de résine photosensible. La couche inférieure est exposée en entier avant l'application de la seconde couche, ce qui fait qu'elle se développera partout lorsque la couche supérieure est exposée et développée. Il en résulte une gravure sous-jacente, c'est à dire que la couche supérieure montre une ouverture telle qu'exposée avec le photomasque, et que la couche inférieure est développée davantage autour de la région exposée (fig 2.4). On évapore une première couche d'aluminium à un certain angle. On oxyde ensuite le film pour créer l'oxyde tunnel. On dépose ensuite le second film d'aluminium à un angle différent. La différence d'angle à laquelle elles sont déposées permet d'obtenir un recouvrement de très faible taille entre les deux couches d'aluminium, donc des capacités de jonctions très faibles (c.f. table 1.1).

Dans l'expérience de Fulton et Dolan, trois jonctions sont fabriquées côte à côte, avec une électrode commune (voir figure 2.4). On fait passer un courant dans les électrodes du bout en observant les changements de tension dans la jonction centrale. On observe alors des sauts de tension équivalents à l'énergie de charge (c.f. eq. 1.1), entre 0,35 et 0,40 mV. Ces mesures sont faites à basse température, entre 1,1 et 4,2 K.

Dans une publication plus récente, le groupe de Park *et al.* [21] présente un transistor monoélectronique fabriqué sur une structure SOI (*silicon-on-insulator*). Un fil de silicium est défini par électrolithographie (EBL) entre une source et un drain, pour être ensuite réduit en taille par gravure réactive ionique (RIE). Le fil a alors une largeur de 15 nm et une longueur de 50 nm. Une oxydation de type PADOX (*pattern-dependent oxidation*) est alors effectuée pour réduire davantage la largeur de la ligne. Éventuellement, l'oxydation forme un îlot au centre du fil avec des jonctions tunnels aux extrémités. Un schéma ainsi qu'une image de microscopie électronique d'un dispositif est présenté à la figure 2.5. Ces

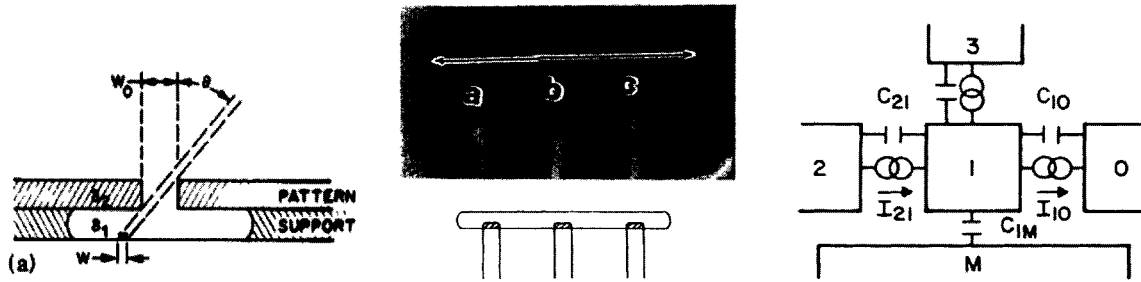


Figure 2.4 Gauche : Gravure sous-jacente permettant l'évaporation à angle (Source : [6]); Centre : schéma et image SEM des jonctions; Droite : circuit équivalent. (Source : figures 1 et 2 de [13])

SET ont été fabriqués dans l'optique d'être utilisés dans des circuits logiques hybrides SET/FET. Dans un circuit d'amplification fabriqué par ce groupe, une tension d'entrée de 30 mV à la grille du SET a pu être converti à 400mV à la sortie. Le groupe présente également une cellule inverseur complémentaire comparable aux CMOS fabriquée avec deux SET, montrant un gain de 1,2 à température de 4,2K.

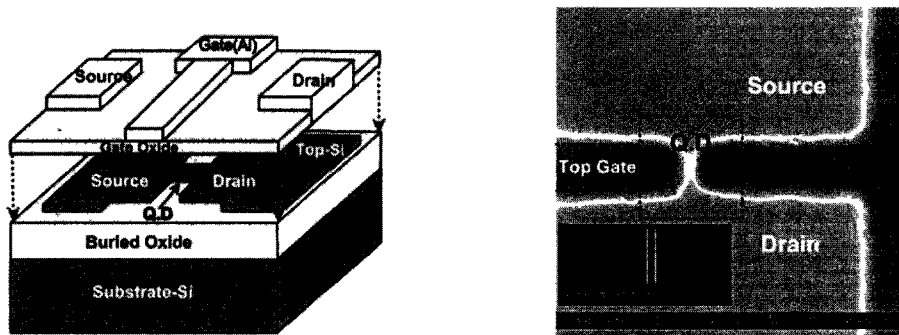


Figure 2.5 Gauche : Schéma du dispositif, avec grille sur le dessus du point quantique; Droite : Image SEM d'un dispositif. Les parties claires sont en silicium. (Source : figure 1 de [21])

Il est possible de trouver des applications-niche où l'opération à température ambiante n'est pas une priorité. L'établissement de standards de courants ou de capacité [19], par exemple, ou encore l'utilisation de SET en conjonction avec des supraconducteurs, qui nécessitent déjà un refroidissement. Cependant, comme il a été établi, une application commerciale destinée à un marché large se doit d'être opérationnelle à température ambiante.

### 2.3 SET à température ambiante

Il existe plusieurs démonstrations de blocage de Coulomb à température ambiante. Choi *et al.* présentent des SET répondant à ce critère dans [5]. La fabrication de ces dispositifs

consiste à déposer par soulèvement des électrodes de grille, drain et source en aluminium sur une couche de points quantiques de silicium autoassemblés. La faible densité de ces points jumelée à la faible distance (30 nm) entre les électrodes de drain et de source fait que statistiquement, un nombre limité de points se trouve entre la source et le drain. La caractéristique  $I_{DS}-V_{DS}$  montre une allure en escalier, typique du blocage de Coulomb, à température ambiante. On rapporte cependant des fuites de courant par la grille ; à une tension de grille supérieure à 1,6V, ce courant devient comparable au courant source-drain. De plus, la formation de l'îlot n'est pas déterminée par les paramètres de fabrication, mais plutôt par l'autoassemblage des points quantiques, un phénomène aléatoire qui ne peut être parfaitement contrôlé ou garanti.

Les circuits de mémoires sont une des applications envisageables des SET [20], notamment lorsqu'intégrés dans des circuits hybrides SET/FET[23]. Plusieurs travaux publiés présentent des systèmes de mémoire utilisant des structures de points quantiques en polysilicium cristallin (poly-Si).

Un de ces travaux [14] présente un dispositif de mémoire MOS à un électron (*single-electron MOS memory*, SEMM) fabriqué sur une structure SOI. On dépose une couche de polysilicium par dessus le silicium de surface. Une couche d'oxyde natif d'environ 1 nm sépare le poly-Si du silicium. Le poly-Si déposé sert à former une grille flottante au-dessus d'un canal de silicium. Une première EBL définit la largeur du fil de silicium, et par le fait même, la largeur de la grille flottante. La deuxième EBL définit la longueur du point de poly-Si. Le procédé utilise des gravures RIE. La grille de contrôle est déposée par-dessus le point. Guo rapporte une opération du SEMM à température ambiante, ainsi qu'un temps de rétention d'environ 5 secondes. Les auteurs mentionnent que des études détaillées, notamment sur les effets de la variation des dimensions et des charges parasites sur la tension de seuil, doivent être effectuées avant de pouvoir envisager la production de mémoires semblables. Le dispositif a aussi l'inconvénient d'être fabriqué sur une structure SOI, inconvénient qui sera plus longuement discuté à la section 2.4.

Dans [23], Yano *et al.* présentent un système de mémoire à un électron. Les mémoires montrées peuvent fonctionner à température ambiante, avec un temps de rétention estimé à environ un mois. Cependant, les éléments de base (source, drain, îlot) sont formés par l'arrangement naturel de nanostructures de polysilicium. Les auteurs soulèvent la question de répétabilité de ces procédés, puisqu'une des clés de l'intégration à grande échelle est d'éliminer les variations d'une cellule-mémoire à l'autre. Le dispositif est également très sensible aux charges aléatoires, et le temps d'écriture est relativement long de par le faible courant.

## 2.4 Travaux de Dubuc et al.

Dans les travaux de Christian Dubuc *et al.* initialement présentés dans [10], on s'adresse d'abord à certains problèmes de la fabrication des SET. Les auteurs rappellent l'importance de pouvoir définir des composantes de très petite taille pour minimiser les capacités des jonctions tunnel. L'autoassemblage de points quantiques semble intéressant à la base, puisque la réduction de la taille de ces points n'a pratiquement pas de limite. Par contre, la nature même de la technique ne confère pas beaucoup de contrôle sur la manipulation des points, ce qui résulte en une grande variabilité des résultats, d'un dispositif à un autre. Il est donc important de continuer à pousser les limites du design par lithographie électronique [11]. Le procédé nanodamascène présenté dans [1], [8], [9], [10] et [11] est un exemple d'utilisation de lithographie électronique en conjonction avec une technique de polissage CMP qui permet la fabrication de jonctions tunnel.

L'idée de ce concept est de pouvoir contrôler plus étroitement la dimension de jonctions tunnel MIM inspirées par Fulton *et al.*. Comme on voit à la figure 2.6, l'apport du CMP est le contrôle de la profondeur (dimension "z"), une des dimensions entrant dans le calcul de capacité selon le modèle simple de plaques parallèles. Il est possible *a priori* de relaxer la contrainte sur la lithographie, et de compenser l'augmentation de dimensions latérales par la diminution par polissage de la profondeur de la jonction. En d'autres termes, à conditions lithographiques égales, on permet une capacité plus faible, donc une température théorique d'opération plus élevée.

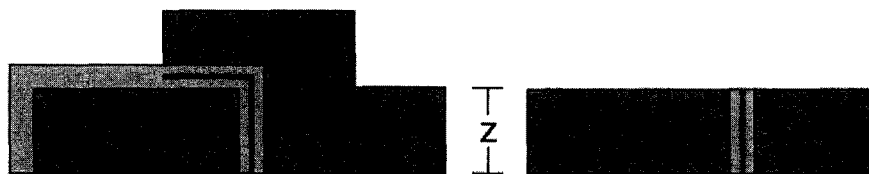


Figure 2.6 L'ajout d'une étape de polissage permet de diminuer la taille des jonctions sans davantage contraindre la lithographie. La surface totale entrant dans les calculs de capacité de jonction est représentée par la ligne rouge.

Dans la technique nanodamascène, on grave d'abord une tranchée par EBL directement dans l'oxyde de silicium. Avec l'utilisation du logiciel de simulation Monte-Carlo CASINO [7], il a été possible d'évaluer qu'une énergie plus faible du faisceau d'électrons amenait un dépôt d'énergie plus grand dans la couche d'oxyde, ce qui réduit considérablement le

temps de lithographie. La figure 2.7 montre qu'à faible énergie, une dose moins élevée est nécessaire pour graver une ligne d'une même largeur.

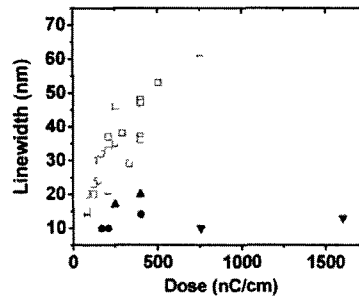


Figure 2.7 Largeur de lignes gravées en fonction de la dose EBL. Les carrés représentent une énergie de 2kV, les triangles noirs 4kV, les pois noirs 6kV et les triangles noirs inversés 9kV. Une plus faible énergie permet de réduire la dose, donc de raccourcir le temps de lithographie. (Source : figure 2 de [11])

On dépose ensuite par soulèvement une ligne de titane perpendiculairement aux tranchées gravées. Celle-ci devient l'îlot du SET. On oxyde alors la ligne dans un plasma d'oxygène pour l'isoler et former les jonctions tunnel, et on recouvre tout l'échantillon par une couche de titane dite *blanket*. Ce *blanket* va venir remplir le reste de la tranchée, formant ainsi le drain et la source du transistor.

On fixe ensuite l'échantillon sur un appareil de polissage chimique-mécanique. Le polissage va enlever le matériau se situant au-dessus de la couche de  $\text{SiO}_2$ . Le sommet de l'îlot sera enlevé, mais les couches de  $\text{TiO}_x$  l'isole du drain et de la source. La figure 2.8 tirée de [11], illustre le procédé complet de fabrication nanodamascène.

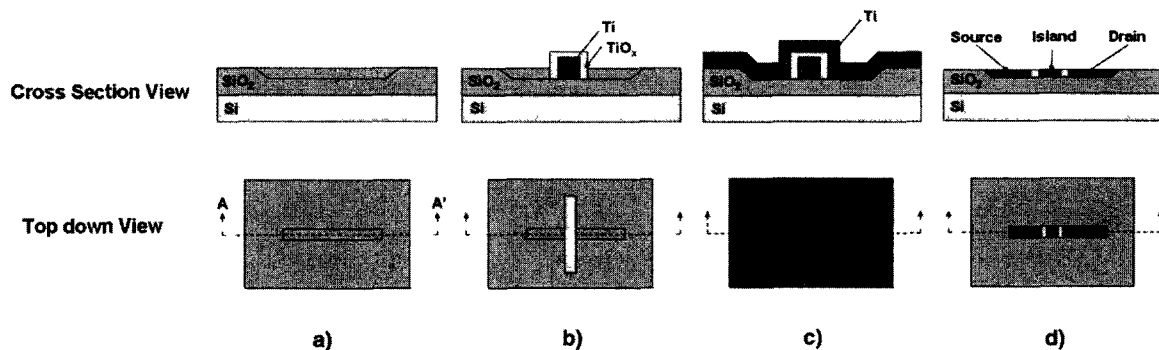


Figure 2.8 Procédé de fabrication damascène. (Source : adaptation de la figure 1 de [11]).

Le courant de drain en fonction de la tension drain-source, caractéristique importante des transistors, est mesuré en utilisant le dos du substrat comme grille de contrôle. Dans un régime de blocage de Coulomb, on est en droit de s'attendre à une courbe I-V présentant un plateau (figure 2.9). Dans la figure 4 de [10], on présente un comportement non-linéaire

typique du blocage de Coulomb, pour des dispositifs SET à une température allant jusqu'à 433K. Les énergies de charge des transistors fabriqués par nanodamascène sont présentées au tableau 2.1.

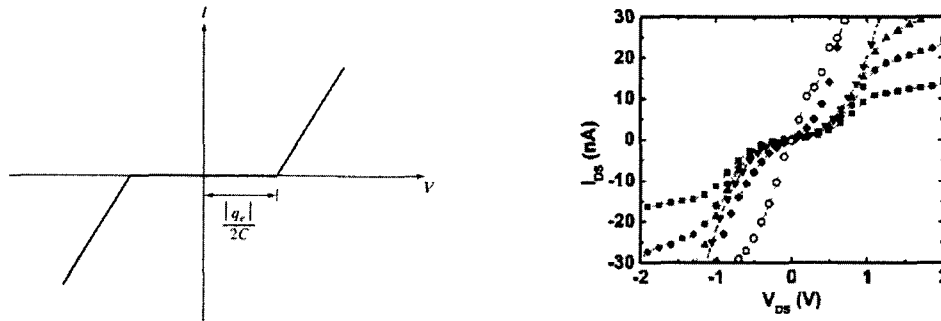


Figure 2.9 Gauche : modèle de courbe I-V pour un dispositif à blocage de Coulomb (Source : figure 7.4 de [15]). Droite : Blocage de Coulomb observé jusqu'à une température de 433K (diamants noirs). (Source : figure 4 de [10])

Tableau 2.1 Énergie de charge des SET fabriqués par Dubuc *et al.* .

Publication	$C_T$	$E_C$	$E_C/(k_B T) @ T = 433K$
Dubuc <i>et al.</i> [10]	0,35 aF	457 meV	12
Dubuc <i>et al.</i> [11]	0,39 aF	415 meV	10

Il apparaît donc que la fabrication de dispositifs par procédé damascène offre la possibilité d'obtenir des SET pouvant fonctionner à des plages de température d'opération semblables à celles des FET conventionnels. Qui plus est, on montre dans [11] que théoriquement, une variation de 10% dans les paramètres de fabrication donnerait des transistors fonctionnant jusqu'à une température 326 K. De plus, alors que certains SET présentés précédemment se fabriquent sur une structure SOI, occupant ainsi un espace qui pourrait être réservé à des MOSFET conventionnels, les SET nanodamascène se fabriquent sur une couche d'isolant. En remplaçant la lithographie à écriture direct dans l'oxyde par une lithographie plus conventionnelle dans une résine, on pourrait en théorie fabriquer ces dispositifs sur tous les types d'isolants utilisés en industrie, rendant possible l'intégration 3D SoC hybride SET/MOSFET.

### 2.4.1 Grille de contrôle individuelle

Dans des travaux présentés dans [2], une grille de contrôle est déposée par soulèvement après les étapes de CMP. C'est une étape critique, puisque pour activer chacun des SET individuellement dans un éventuel circuit, l'utilisation du dos du substrat comme grille n'est pas viable. Par contre, l'ajout d'une grille compromet le comportement du SET,

puisque l'électrode supplémentaire augmente théoriquement la capacité de l'îlot. Comme l'énergie de charge est liée à la capacité (éq.1.1), l'alignement manuel de chaque grille doit être minutieusement fait. Un exemple d'alignement à 200 nanomètres près est présenté à la figure 2.10.

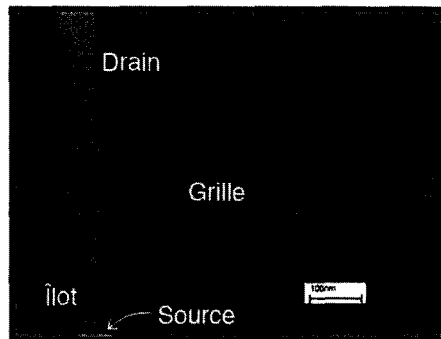


Figure 2.10 Grille déposée par soulèvement. On voit que l'alignement manuel avec l'îlot n'est pas parfait. Source : [1]

La nature manuelle de l'alignement soumet le dispositif à d'importantes incertitudes quant à la distance grille-îlot, par extension à la capacité totale. Ce n'est également pas une solution viable, puisque dans d'éventuels circuits, on pourrait avoir à aligner et déposer un grand nombre de grilles, une opération longue et donnant des résultats plus ou moins répétables d'un dispositif à l'autre. L'introduction d'un procédé de grille autoalignée sur l'îlot est essentiel pour pouvoir passer à un niveau supérieur d'intégration.





# CHAPITRE 3

## CADRE EXPÉRIMENTAL

Afin de pouvoir cibler les moyens à entreprendre pour atteindre les objectifs ciblés par la définition de projet (c.f. section 1.3), il est essentiel de décrire les outils de fabrication qui seront utilisées, et de passer en revue les détails techniques du procédé de fabrication des SET nanodamascène.

### 3.1 Photolithographie

Technique à la base de l'industrie de la fabrication microélectronique, la photolithographie permet de transférer des motifs dans une résine en l'exposant à une source de lumière et en la développant dans une solution. Il existe une panoplie de systèmes différents pour exposer la résine. Afin d'améliorer les résolutions atteignables, ou pour s'adapter au procédé voulu, il est possible de varier les paramètres suivants :

- Système optique : Longueur d'onde de la lumière utilisée pour l'exposition, réduction par projection, etc.
- Type de masque : à contact, à contraste de phase, etc.
- Composition chimique de la résine

Dans le cadre de ce projet de recherche, on utilisera une configuration commune et simple qui fait appel à une aligneuse contact, un masque de chrome sur support en verre, de la résine photosensible positive, et une exposition avec une lampe UV. Ce choix est fait pour deux raisons. La première est que l'utilisation visée ne nécessite pas une résolution extrêmement élevée (c.f. section 4.3) . La seconde raison est que l'équipement nécessaire est disponible au CRN<sup>2</sup>.

#### 3.1.1 Alignement contact

Cette méthode débute avec la fabrication d'un masque. À l'aide de logiciels de dessin assisté par ordinateur (CAD), l'utilisateur prépare un fichier contenant les motifs qu'il veut reproduire sur l'échantillon. Ce fichier est lu par un système d'écriture directe par faisceau laser, appelée "*photoplotter*". Un masque vierge, qui consiste en une plaque de

verre recouverte sur une face d'une mince couche de chrome et de résine photosensible, est placée dans le *photoplotter*, face résinée dirigée vers le laser. Le logiciel pilotant le faisceau laser expose pixel par pixel la résine en suivant le dessin CAD fourni par l'utilisateur. Différentes têtes d'écriture permettent de lithographier des motifs d'une dimension minimale de  $0,6 \mu\text{m}$ . Une fois exposée, la résine est développée, ce qui découvre le chrome aux endroits lithographiés. Une gravure par plasma permet d'enlever le chrome. Après le nettoyage de la résine, l'utilisateur obtient un masque qui laissera passer la lumière aux endroits lithographiés par le photoplotter. La figure 3.1 illustre la méthode de fabrication du photomasque.

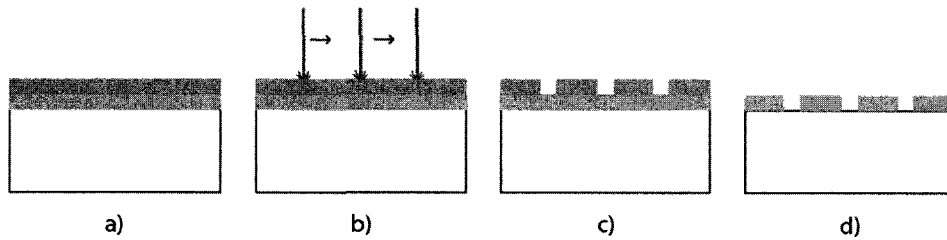


Figure 3.1 Fabrication d'un masque pour photolithographie à alignement avec contact. a) Masque vierge avec couche de chrome et résine photosensible. b) Exposition pixel par pixel à l'aide d'un laser. c) Développement de la résine. d) Masque final, après gravure de chrome et nettoyage de la résine.

Le masque est ensuite utilisé dans l'aligneuse-contact. Cet appareil permet d'accueillir le photomasque et l'échantillon sur une plateforme mobile sous un microscope optique. L'utilisateur peut déplacer l'échantillon selon les trois axes spatiaux, en observant dans le microscope, afin de l'aligner avec les motifs du masque. Une fois que l'alignement est satisfaisant, l'utilisateur met l'échantillon en contact avec la face chromée du masque, d'où le nom de la technique. Le contact permet d'éviter le phénomène de parallaxe qui, si le masque et l'échantillon étaient plus espacés, mènerait à l'exposition d'une région plus grande que les motifs ouverts dans le masque. Comme le contact est direct, les motifs exposés sur l'échantillon ont la même taille que ceux sur le masque. Le temps d'exposition est contrôlé par un obturateur. Une fois exposée, la résine peut être développée avec la solution appropriée. Les étapes de la photolithographie par contact sont illustrées à la figure 3.2.

## 3.2 Électrolithographie

Il existe des systèmes dédiés d'écriture par faisceau d'électrons. Au CRN<sup>2</sup>, l'instrument principal de l'électrolithographie est le microscope électronique à balayage (MEB). Conçu

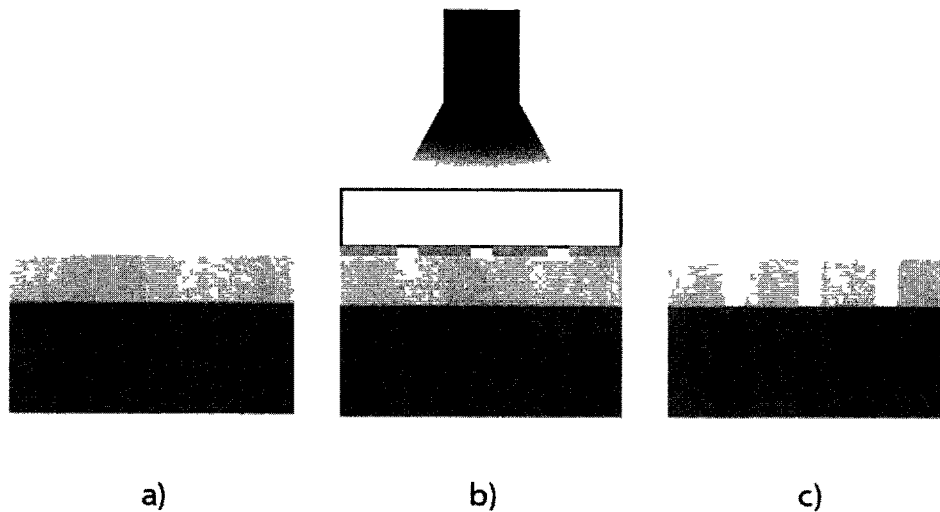


Figure 3.2 Procédé de photolithographie avec aligneuse contact. a) Revêtement de résine photosensible sur l'échantillon. b) Alignement et mise en contact du masque et de l'échantillon. Exposition à une source de lumière. c) Développement de la résine.

à la base pour l'observation d'échantillons, ce microscope utilise un faisceau d'électrons, focalisé par des lentilles électromagnétiques, pour balayer une surface. Les électrons émis par divers mécanismes dans l'échantillon bombardé sont reçus par des capteurs. Un ordinateur gère le balayage du faisceau et traite le signal des capteurs afin de reconstruire une image de niveaux de contraste. Il n'est pas nécessaire ici de s'attarder longuement sur les différentes interactions électron-matière pouvant se produire dans un MEB. En revanche, on peut consulter les résultats vu dans le chapitre 2 concernant la relation entre l'énergie des électrons, dictée par la tension d'accélération dans la colonne du microscope, et le volume d'interaction dans l'échantillon.

La planification d'une lithographie commence par la création d'un dessin sur un fichier CAD. Le dessin que l'utilisateur veut transférer sur son échantillon peut comporter deux types de motifs : des lignes et des polygones. Les lignes sont suivies par le faisceau d'électrons, alors que les polygones sont remplis par un déplacement en serpentins du faisceau, à l'intérieur des limites du polygone. Le balayage du faisceau se fait pixel par pixel, ce qui fait que l'exposition d'un motif revient à contrôler deux paramètres : l'espacement entre les points voisins, et le temps que le faisceau passe sur chaque point (*dwell time*). L'espacement entre les points (centre à centre et espacement des lignes) ainsi que le balayage en serpentins sont illustrés à la figure 3.3.

Comme une résine employée en lithographie, optique ou électronique, doit recevoir une dose donnée pour que le motif soit clairement développé, on peut calculer la dose reçue pour une surface avec l'équation (3.1) :

$$D_s = \frac{I_{\text{faisceau}} \cdot t}{C \cdot L} \quad (3.1)$$

où  $D_s$  est la dose surfacique,  $I_{\text{faisceau}}$  est le courant de faisceau,  $t$  le temps que le faisceau passe sur chaque pixel,  $C$  la distance centre à centre et  $L$  la distance entre les lignes. Pour l'exposition d'une ligne, on trouve la dose linéaire en omettant  $L$  au dénominateur. Une fois l'échantillon exposé, il est développé dans une solution appropriée. Les fabricants de résines fournissent habituellement des indications quant à la dose d'exposition et le temps de développement. Cependant, ces indications ne servent souvent qu'à donner une idée de l'ordre de grandeur des paramètres à utiliser. L'utilisateur doit faire des tests afin de déterminer les paramètres qui conviennent au projet réalisé et à l'équipement utilisé.

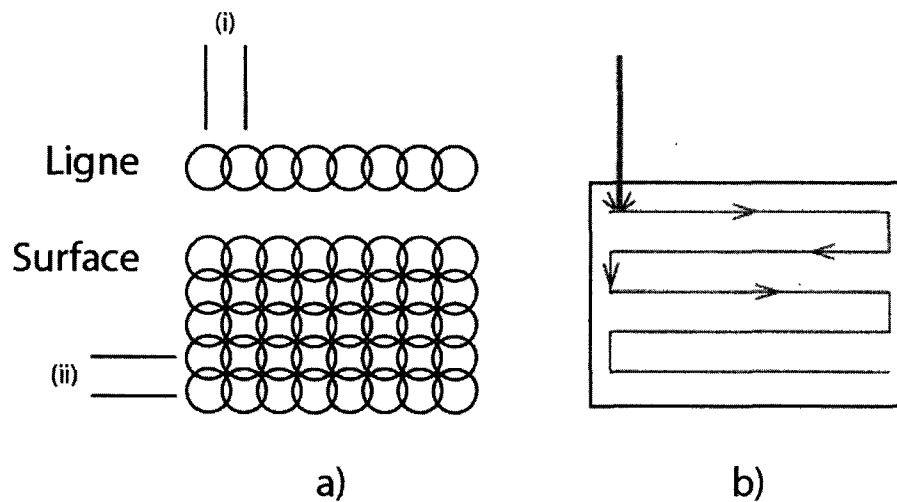


Figure 3.3 Paramètres du balayage du faisceau d'électrons lors de l'exposition en EBL. a) Exposition de lignes et de surfaces. (i) est la distance centre à centre, et (ii) la distance interlignes. Figure inspirée du manuel de l'utilisateur de NPGS. b) Balayage en serpentin dans un polygone à exposer.

Le contrôle automatisé du balayage du faisceau est la clé de la lithographie EBL. Des logiciels permettant le pilotage du faisceau suivant des motifs CAD sont disponibles sur le marché. Au CRN<sup>2</sup>, le logiciel utilisé se nomme NPGS.

### 3.2.1 NPGS

Le logiciel NPGS (acronyme de *Nanometer Pattern Generation System*) permet de transformer un MEB commercial en appareil de lithographie. Pour les fins de ce mémoire, l'explication en détail des interactions entre le logiciel, le matériel et le microscope n'est pas nécessaire. Les étapes de lithographie, allant de l'idée de départ jusqu'au développement de la résine doivent par contre être expliquées.

La fenêtre principale de NPGS est illustrée à la figure 3 4. L'utilisateur se crée un projet dans lequel se retrouvent les fichiers nécessaires à la réalisation de la lithographie. Ici, le projet **Exemple** contient un dessin CAD pour le motif, un dessin CAD servant à l'alignement, et un fichier d'exécution des étapes de la lithographie, le **Run file**. Dans la colonne de gauche **Custom Commands**, l'utilisateur peut lancer les applications les plus courantes de NPGS comme l'éditeur de fichier d'exécution **Run File Editor**, le logiciel de dessin assisté par ordinateur **DesignCAD**, l'obturateur de faisceau **Beam On/Off**, ainsi que l'ajustement global du courant de faisceau **Exposure Scale**, où l'utilisateur entre la valeur de courant du faisceau ( $I_{\text{faisceau}}$ ) qu'il mesure avant de lancer sa lithographie.

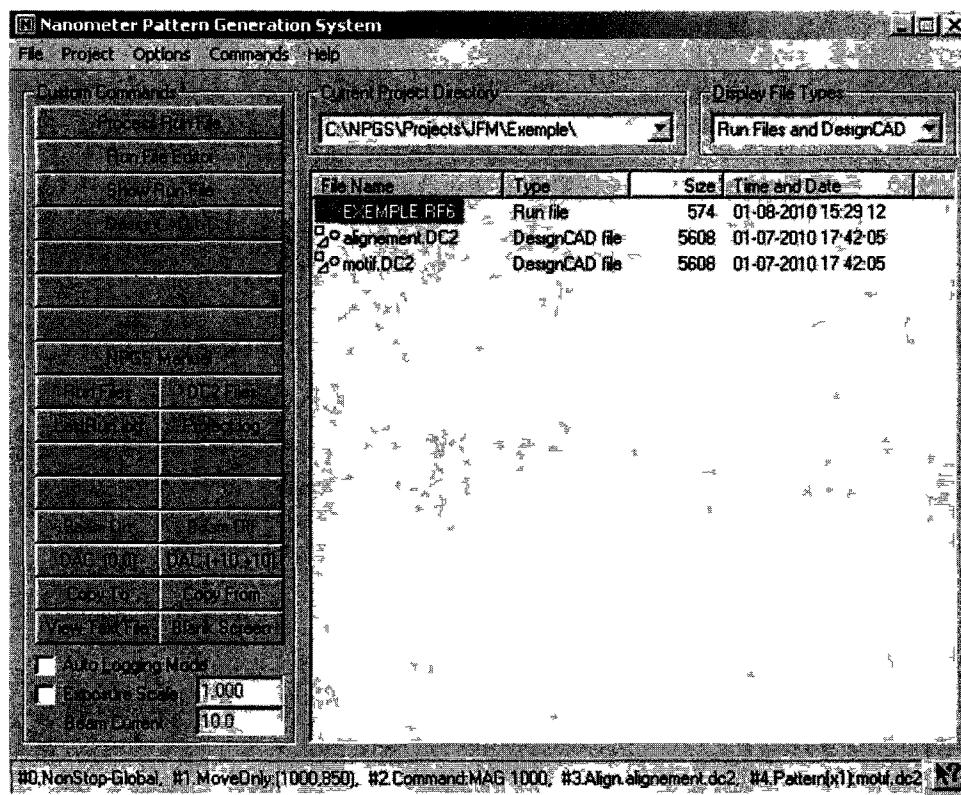


Figure 3 4 L'écran principal de NPGS, où on peut gérer un projet de lithographie (Dans ce cas, le projet *Exemple*)

Le développement du fichier d'exécution est effectué dans l'éditeur, illustré à la figure 3.5. La programmation d'un *Run file* est linéaire et séquentielle. L'utilisateur peut employer sept fonctions, appelés *Entities* (entités) afin de constituer sa lithographie. On résume le rôle de ces fonctions au tableau 3.1. Un fichier d'exécution peut contenir jusqu'à 5000 entités, pour la réalisation de projets complexes demandant des déplacements automatisés de l'échantillon, des étapes d'alignement sur des motifs pré-existants et l'écriture de dessins élaborés. La nature linéaire de la programmation et l'impossibilité d'appeler d'autres *run files* font que la mise en oeuvre d'un fichier d'exécution demande de la minutie, de la patience et de la rigueur.

Le fichier *exemple.rf6* contient quatre entités (c.f. fig. 3.5). Après avoir entré la valeur de courant du faisceau ( $I_{faisceau}$ ) dans la fenêtre principale de NPGS, l'utilisateur lance le fichier d'exécution. Les temps d'exposition sont calculés automatiquement avec la valeur de courant mesuré, les doses et les distances inter-points spécifiées. Les entités sont exécutées de façon séquentielle. Le logiciel déplace donc la platine de l'échantillon de  $1000 \mu\text{m}$  sur l'axe X et de  $850 \mu\text{m}$  sur l'axe Y. Le grossissement est par la suite réglé à 1000X. Une étape d'alignement manuel est ensuite effectuée, avant l'écriture de *motif.dc2*. On peut remarquer dans la colonne de droite de la figure 3.5 que selon la couleur des motifs dessinés dans le fichier CAD, les doses peuvent changer. Ainsi, les dessins roses (**Color 1**), qui sont des polygones, recevront une dose surfacique de  $150 \mu\text{C}/\text{cm}^2$ , alors que les dessins de couleurs verte (**Color 2**) et jaune (**Color 3**), des lignes, seront exposées d'une dose de 0,6 et 0,7  $\mu\text{C}/\text{cm}$ , respectivement.

Tableau 3.1 Résumé des fonctions pouvant être utilisées dans un fichier d'exécution NPGS.

Nom d'entité	Traduction	Rôle
<i>Alignment</i>	Alignement	Aligner les motifs à écrire avec l'échantillon
<i>Pattern</i>	Motif	Exposition de motif
<i>Array</i>	Matrice	Exposition d'une matrice d'un même motif
<i>Fracture</i>	Fracture	Morcellement et exposition d'un motif de grande taille
<i>MoveOnly</i>	Déplacement	Commande servant à déplacer la platine porte-échantillon du MEB
<i>Command</i>	Commande	Passage de diverses commandes au MEB (e.g. grossissement, contrôle externe du balayage)
<i>Comment</i>	Commentaire	Afficher un commentaire à l'écran lors de la lithographie

### 3.3 Gravure plasma d'oxyde

Un plasma est un gaz ionisé qui se forme habituellement entre deux électrodes. On ne traitera pas ici de tous les phénomènes physiques impliqués dans la formation et le maintien

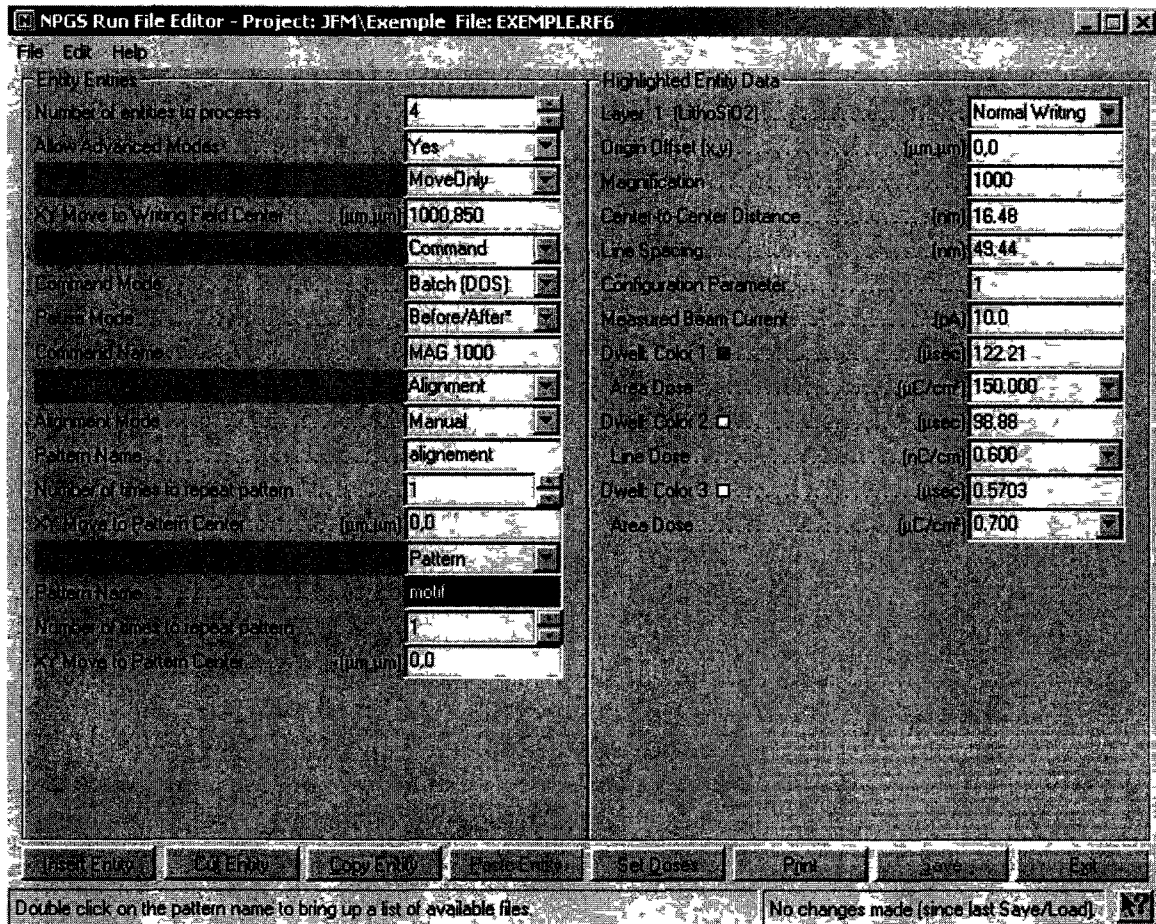


Figure 3.5 L'éditeur de fichier d'exécution NPGS, où on peut établir la séquence des opérations à effectuer pendant la lithographie Ici, le fichier *exemple.rf6* effectue un déplacement, règle le grossissement du microscope, procède à un alignement manuel et expose l'échantillon selon le dessin *motif dc2*

d'un plasma. On tentera plutôt d'expliquer brièvement le fonctionnement d'un réacteur servant à faire de la gravure plasma.

Dans la chambre d'un réacteur, on introduit un gaz, ou un mélange de gaz, appelé gaz précurseur. Lorsqu'à l'aide d'une excitation électromagnétique (un champ électrique alternatif entre deux électrodes placés dans le réacteur, par exemple) on réussit à initier le plasma, le gaz précurseur s'ionise ou se sépare en plusieurs molécules. On aura pris soin de choisir le gaz précurseur en fonction du type de matériau qu'il faut graver. Certaines molécules ou ions séparés du gaz précurseur vont réagir avec la surface de l'échantillon à graver. L'échantillon est placé, règle générale, sur une électrode. Dans le cas d'un réacteur à couplage capacitif, cette électrode est l'une des deux servant à démarrer et à maintenir le plasma. Dans le cas des réacteurs à couplage inductif (*Inductively coupled plasma, ICP*), plus complexes, cette électrode n'est pas impliquée dans le plasma, mais on y applique



quand même une tension DC afin d'attirer les ions du plasma. Les molécules venant réagir avec l'échantillon changent la composition de sa surface, créant de nouvelles molécules pouvant être détachée et évacuées par le flot de gaz dans la chambre, ce qui résulte en une gravure de l'échantillon.

La gravure est effectuée par la collision entre de nouvelles molécules ionisées venant du plasma, qui sont attirées par la tension DC appliquée sur l'échantillon, et les molécules issues des réactions chimiques à la surface. Comme le champ électrique créé par la tension DC est perpendiculaire à la surface de l'échantillon, il en résulte que la gravure est anisotrope. C'est cette particularité qui rend la gravure plasma particulièrement intéressante pour certains domaines comme celui de la fabrication de microsystèmes électromécaniques (MEMS). On trouvera plus de détails sur la gravure plasma au chapitre 11 de [12].

Dans le cadre du projet dont fait l'objet ce mémoire, l'intérêt principal de la gravure plasma est qu'elle permet l'utilisation de résines plus rapides que le  $\text{SiO}_2$ . La gravure anisotrope donne aussi des profils de gravure verticaux et de grands rapports d'aspect, ce qui permet de graver des petites structures très près les unes des autres. Le CRN<sup>2</sup> utilise le système AOE (*Advanced Oxide Etch*) de la compagnie STS. Pour des fins de clarté, le terme "gravure AOE" sera parfois utilisé pendant ce mémoire lorsqu'il est question de gravure plasma d'oxyde.

### 3.4 Polissage chimique-mécanique (CMP)

Comme son nom l'indique, le polissage physico-chimique utilise simultanément deux méthodes abrasives : un frottement circulaire sur un tapis rugeux, et une réaction chimique avec une pâte de polissage. De plus, la pâte contient des nanobilles pour aider au polissage mécanique. C'est un procédé utilisé dans l'industrie du semi-conducteur pour aplanir des surfaces, mais également pour des procédés damascène, la fabrication des interconnexions dans un procédé CMOS, par exemple. On peut trouver plus de détails sur le polissage au chapitre 16 de [12].

### 3.5 Détails techniques du procédé de Dubuc et al.

Cette section passe en revue la fabrication de SET nanodamascène telle que réalisée à Sherbrooke. Où le chapitre 2 s'est concentré sur la revue des publications issues du centre de recherche, cette section traite des détails techniques qui sont nécessaires à l'élaboration

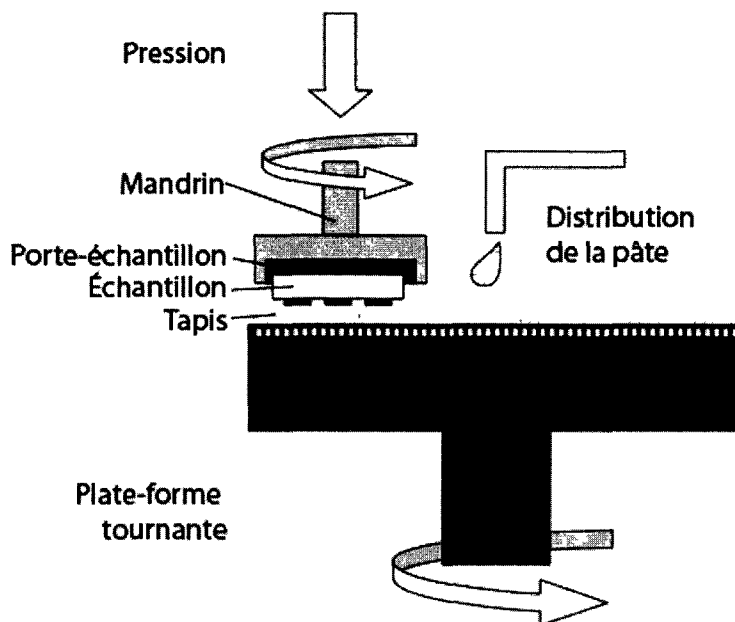


Figure 3.6 Schéma du procédé de polissage physico-chimique. Source : figure 16.2 de [12].

d'un nouveau procédé hybride. L'exploration des détails techniques de la fabrication est importante, puisqu'il s'agit du point de départ de ce projet de maîtrise.

### 3.5.1 Substrat

Les substrats utilisés pour la fabrication sont des pièces de silicium de 1cm par 1 cm, polis des deux côtés. L'appareil de CMP utilise un système d'alignement optique pour fixer l'échantillon au mandrin ; le polissage double face est nécessaire pour refléter les faisceaux laser qui permettent l'alignement.

Comme il a été vu à la section 2.4, les SET sont fabriqués dans l'oxyde de silicium. Une couche de  $\text{SiO}_2$  de 100 nm est donc crue thermiquement dans un four.

### 3.5.2 Motifs

Les travaux présentés dans ce mémoire se basent sur la dixième version d'une cellule comprenant quatre SET. Les dispositifs sont disposés en croix, rejoints par trois électrodes chacun. La figure 3.7 présente le motif complet de la cellule, avec en mortaise un agrandissement de la zone centrale où sont situés les transistors. On remarque également le morcellement des pistes de contact en trois parties, lesquelles s'agencent avec les trois niveaux d'alignement.

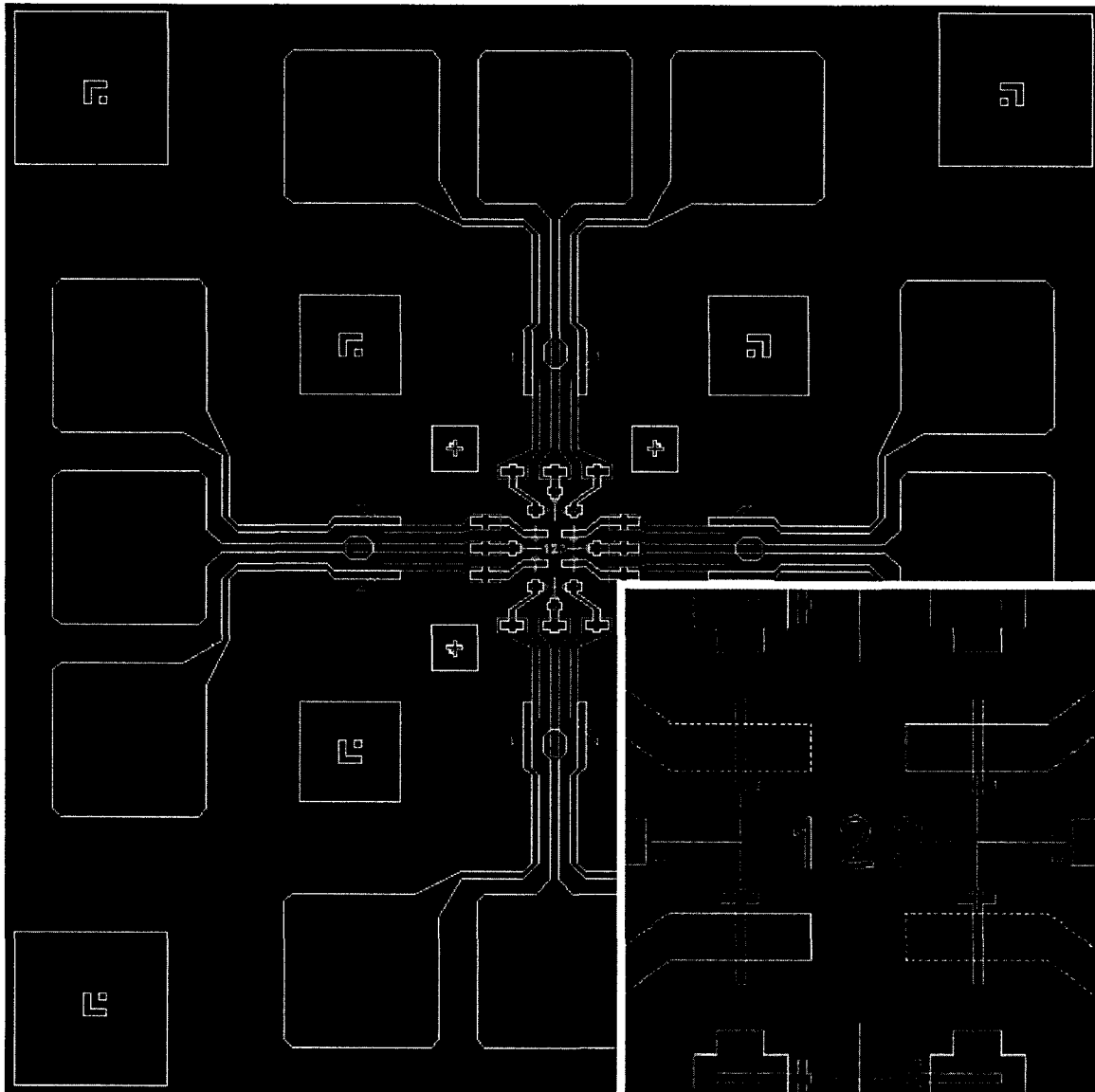


Figure 3.7 Motif de la cellule entière du SET fabriqué à Sherbrooke. Les quatre dispositifs se trouvent dans la zone centrale (agrandie en mortaise). On peut voir les 3 niveaux de marques d'alignement dans leurs boîtes (en turquoise) et le morcellement des pistes de contact électrique en trois niveaux correspondants à ces marques d'alignement.

On peut aussi voir qu'au centre de la cellule, à l'échelle des transistors, on retrouve les chiffres 1, 2 et 3. Ces chiffres sont lithographiés avec des doses décroissantes. La différence de dose a comme résultat qu'au développement de l'oxyde, le chiffre 1 est gravé plus profondément que le chiffre 2, qui est à son tour plus profond que le chiffre 3. Lors du polissage final du procédé damascène, il est possible de se fier sur la présence ou l'absence des chiffres pour arrêter le polissage. La figure 3.8, tirée de [11], montre la région environnante d'un transistor, où on voit clairement les chiffres 1 et 2, mais où le chiffre 3 est disparu.

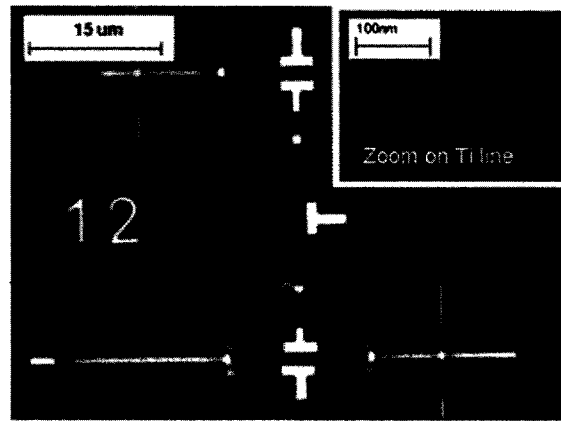


Figure 3.8 Agrandissement de la zone centrale de la cellule, où se trouvent les dispositifs. Le chiffre 3 est disparu au polissage (Source : fig. 4 de [11])

Une autre particularité de la lithographie directe dans l'oxyde est le lien entre l'énergie d'accélération des électrons et la largeur des lignes gravées. Comme mentionné au chapitre 2, il est possible de montrer qu'une tension d'accélération moindre permet d'augmenter l'énergie déposée à proximité de la surface de l'oxyde (figure 3.9), diminuant ainsi les doses nécessaires pour la lithographie directe dans le  $\text{SiO}_2$ . On se référera à la figure 2.7 pour plus de détails.

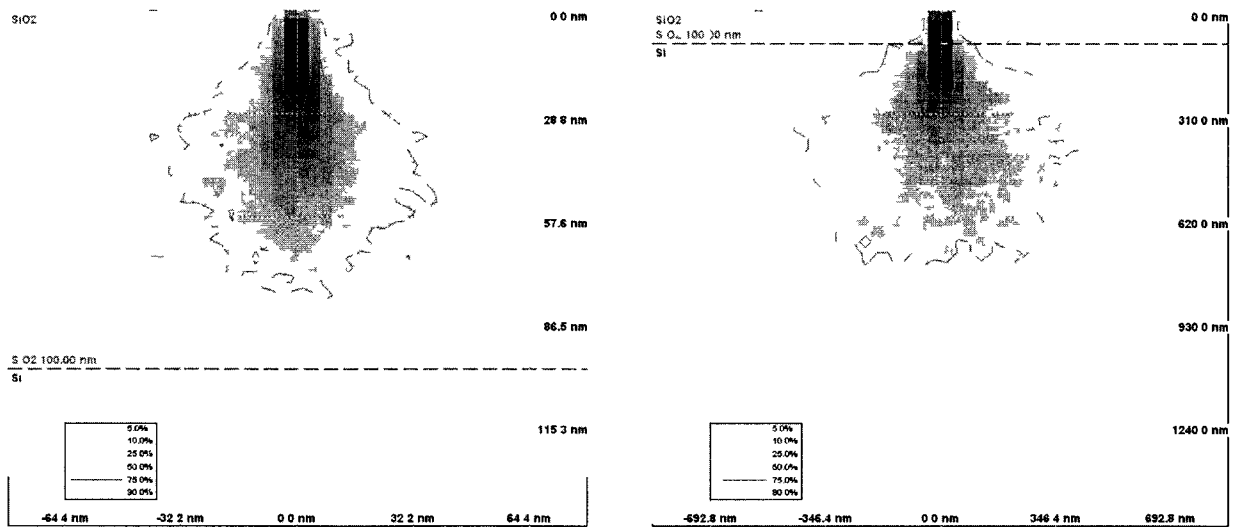


Figure 3.9 Effet de la tension d'accélération sur la pénétration du faisceau d'électrons dans le  $\text{SiO}_2$ . L'image de gauche représente le pourcentage d'énergie déposée selon la profondeur à une tension d'accélération de 2kV, alors que celle de droite est pour une tension de 9kV. On voit que, pour une tension de 2kV, la totalité de l'énergie est déposée dans la couche de  $\text{SiO}_2$  (100nm, délimitée par la ligne pointillée), alors qu'à 9kV, l'énergie est déposée plus profondément dans l'échantillon. Images obtenues par simulation Monte-Carlo dans le logiciel CASINO [7].

### 3.5.3 Fichiers d'exécution NPGS

La version dix du SET fabriqué au CRN<sup>2</sup> comprend trois fichiers d'exécution NPGS. Cette section relève des détails qui seront utiles dans l'élaboration des éléments de design et des paramètres de fabrication du projet de recherche qui est l'objet de ce mémoire (c.f. chapitre 4).

#### 1.rf6

Le fichier **1.rf6** dirige une étape de lithographie directe dans le SiO<sub>2</sub>. La valeur du courant de faisceau est de 600 pA, valeur assez élevée pour diminuer le temps de lithographie. Après avoir lithographié les trois niveaux de marques d'alignement (à 100X, 270X, et 600X), la zone de dispositif (en mortaise dans la figure 3.7) est exposée. À l'aide du mode simulation de NPGS, il est possible d'évaluer le temps d'écriture de la zone dispositif d'une cellule à près de quatre minutes. Il est important de souligner que les trois niveaux de marques d'alignement requièrent un temps d'exposition combiné d'environ 33 minutes. Les doses d'exposition sont de 80 000  $\mu\text{C}/\text{cm}^2$  (surfacique) et de 500 nC/cm (linéaire). Le développement de l'oxyde se fait dans une solution aqueuse d'acide fluorhydrique tamponnée connue dans l'industrie sous l'acronyme BHF (*buffered hydrofluoric acid*).

#### 2.rf6

Une fois les tranchées gravées dans le SiO<sub>2</sub>, on procède au dépôt de la ligne transversale de titane qui deviendra l'îlot du SET. L'échantillon est préparé avec une double couche de PMMA pour un soulèvement. Comme le PMMA requiert une dose moins élevée que l'oxyde, on utilise un courant de faisceau de 17 pA. Le fichier **2.rf6** contient trois entités de type *Alignment* afin de permettre l'alignement du motif avec les trois niveaux de marques lithographiées dans l'oxyde. Utilisant une dose linéaire de 0,8  $\mu\text{C}/\text{cm}$ , le temps d'écriture de la lithographie est de quatorze secondes. Le développement de la résine est fait dans une solution aqueuse d'isopropanol (90%) à 20 degrés Celcius.

#### 3.rf6

La dernière lithographie a lieu une fois que l'îlot a été déposé et oxydé, que la couche *blanket* de titane a été déposée et que le polissage CMP est complété. Le fichier **3.rf6** dirige une lithographie dans le PMMA qui sert à déposer par soulèvement les pistes de contact nécessaires aux mesures électriques sur les SET. Une étape d'alignement sur les marques à plus petit grossissement est effectuée. Ceci permet l'écriture des plus grandes pistes de contact. Les étapes d'alignement et d'écriture sont répétées pour les deux autres

niveaux de grossissement. Avec un courant de faisceau de 360 pA et une dose surfacique de  $140 \mu\text{C}/\text{cm}^2$ , le temps d'écriture total de **3.rf6** est de neuf minutes et quinze secondes.



# CHAPITRE 4

## CONCEPTION

Ce chapitre décrit la conception et le design des améliorations au procédé de fabrication nanodamascène.

### 4.1 Grille auto-alignée

D'abord suggéré dans le chapitre 5 de la thèse de doctorat de Christian Dubuc [8], l'ajout d'une grille pour chaque transistor est essentielle pour pouvoir contrôler indépendamment l'état ouvert/fermé de chacun de ces derniers.

Pour réaliser une grille, on ajoute une ouverture à côté de la tranchée. Cette ouverture sera lithographiée en même temps que la tranchée. Une fois le polissage effectué, le métal qui aura rempli l'ouverture pourra être contacté électriquement, et sa proximité avec la tranchée permettra de l'utiliser comme grille. En pratiquant une ouverture assez large, il sera possible que la ligne de titane déposée afin de former l'îlot se retrouve également dans l'ouverture de grille. La grille finale sera donc auto-alignée sur l'îlot. La figure 4.1 illustre le procédé damascène avec grille auto-alignée.

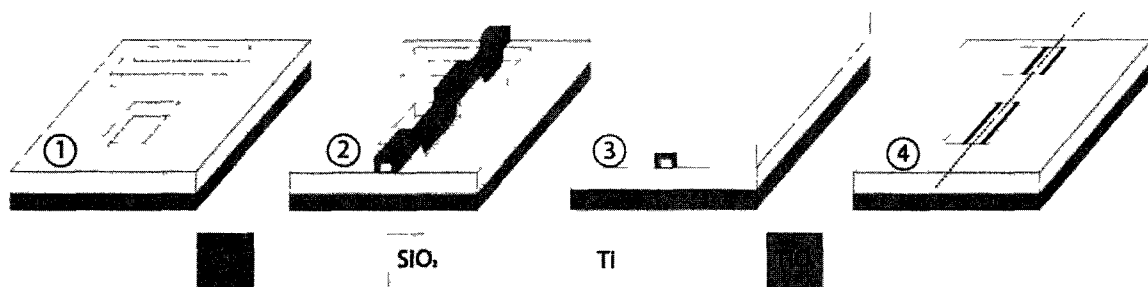


Figure 4.1 Schéma représentant les étapes de fabrication d'un transistor monoélectronique avec grille de surface auto-alignée.

L'ajout d'une grille signifie également l'ajout d'une capacité supplémentaire à l'îlot. En augmentant la capacité totale, on risque d'abaisser la température d'opération. Des calculs sont donc nécessaires afin d'évaluer et de choisir les paramètres géométriques des dispositifs afin de maximiser la température d'opération.



### 4.1.1 Calcul de la capacité d'îlot

Afin de calculer la capacité totale de l'îlot dans une configuration de grille de surface auto-alignée, on fait appel à un modèle simple de condensateur à plaques parallèles. La figure 4.2 illustre les dimensions à tenir en compte lors d'un tel calcul ; le tableau 4.1 donne le détail sur les mesures indiquées sur la figure.

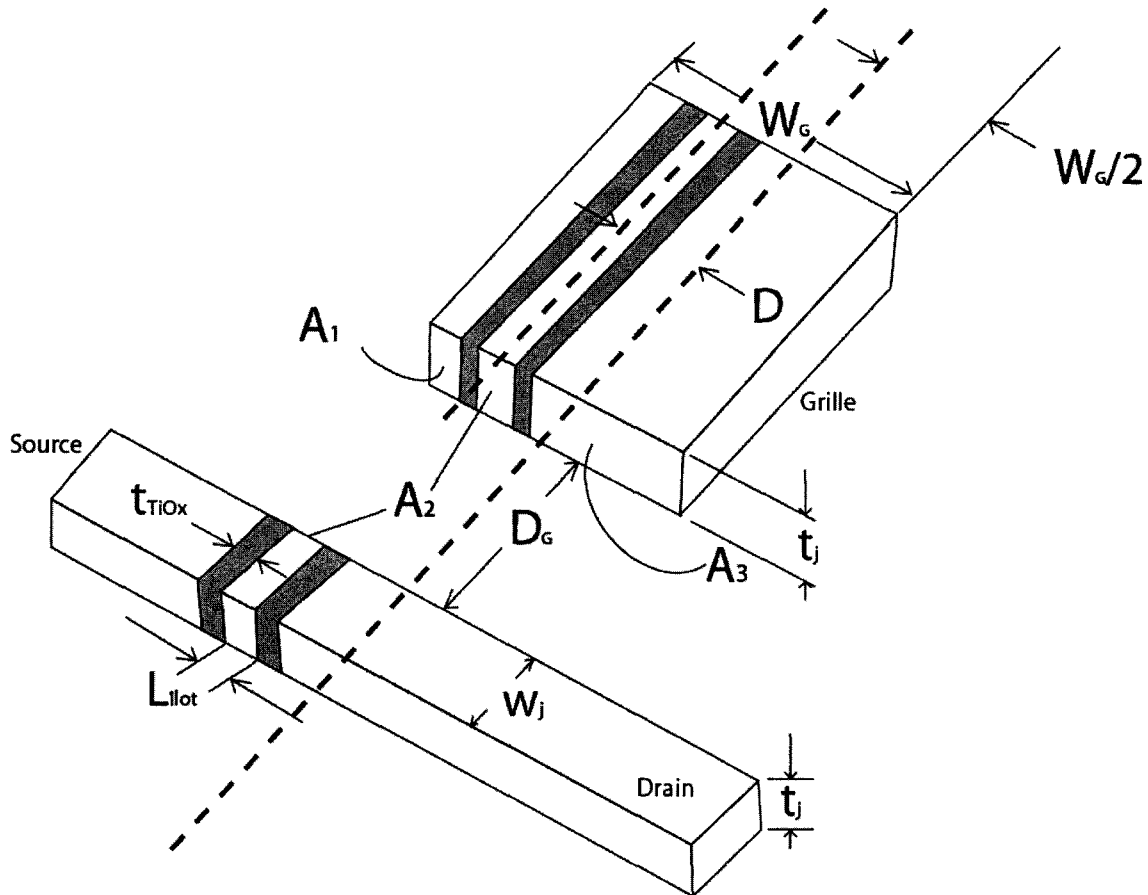


Figure 4.2 Schéma des paramètres entrant dans le calcul de capacité de l'îlot d'un SET à grille auto-alignée. Les parties blanches sont en titane et les parties oranges sont en oxyde de titane. La signification des dimensions indiquées est résumée au tableau 4.1

La proposition de calcul pour la capacité de l'îlot vient du chapitre 5 de [8]. On peut voir sur la figure 4.2 que la grille comporte trois parties métalliques. La contribution de chacune de ces trois parties doit être prise en compte dans la capacité. La capacité  $C$  d'un condensateur à plaques parallèles d'aire  $A$  séparées d'une distance  $d$  est calculée à l'aide de l'équation (4.1) :

$$C = \frac{\epsilon A}{d} \quad (4.1)$$

Tableau 4.1 Description des paramètres de calcul de capacité d'îlot.

Paramètre de la fig. 4.2	Rôle dans le calcul $T_{op}$
$\mathbf{A}_1$	Aire de la portion étroite de la grille
$\mathbf{A}_2$	Aire de la portion auto-alignée de la grille (aussi l'aire de l'îlot)
$\mathbf{A}_3$	Aire de la portion large de la grille
$\mathbf{D}$	Désalignement latéral de l'îlot par rapport au centre de la grille
$\mathbf{D}_G$	Distance entre l'ouverture de grille et de la tranchée/l'îlot
$\mathbf{L}_{\text{îlot}}$	Largeur de l'îlot
$t_j$	Épaisseur de la couche métallique
$\mathbf{W}_G$	Largeur de l'ouverture de grille
$w_j$	Largeur de la tranchée
$t_{TiO_x}$	Épaisseur de l'oxyde-tunnel

La contribution de la surface  $\mathbf{A}_2$  se calcule facilement, puisque qu'il s'agit essentiellement de l'extension de la ligne déposée pour l'îlot dans le procédé damascène. Pour les contributions des surfaces  $\mathbf{A}_1$  et  $\mathbf{A}_3$ , on fera la moyenne des surfaces impliquées dans la capacité, et on utilisera la distance entre le centre des surfaces. Par exemple, pour la contribution de  $\mathbf{A}_1$ , on utilisera dans l'équation (4.1) la moyenne de la surface de l'îlot et de  $\mathbf{A}_1$ , et la distance entre le centre de l'îlot et le centre de  $\mathbf{A}_1$ . L'annexe A contient les détails algébriques du calcul de capacité d'îlot.

Le calcul de capacité permet une première évaluation quant au choix du paramètre de fabrication ayant le plus d'incidence sur la température d'opération du SET. Les trois paramètres sur lesquels il faut se concentrer sont le désalignement latéral  $\mathbf{D}$ , la distance îlot-grille  $\mathbf{D}_G$  et la largeur de grille  $\mathbf{W}_G$ . La figure 4.3 présente le résultat des calculs de température d'opération, fixée avec le paramètre  $T_{op} = E_C/10k_B$ , en fonction de  $\mathbf{D}$  et  $\mathbf{D}_G$ . Pour les fins du calcul, on utilise les dimension géométriques du SET de [11].

On présente une figure de calculs de la température d'opération en fonction de la largeur de grille en annexe A. La variation de la largeur de grille  $\mathbf{W}_G$  a un effet certain sur la température d'opération, mais au bout du compte, pour que la ligne d'îlot "tombe" dans l'ouverture de grille, il faut que celle-ci soit suffisamment large pour accommoder les erreurs d'alignement. En observant les figures de [1] et [2], il est possible de conclure qu'en utilisant les trois niveaux d'alignement du SET version dix, un désalignement latéral limité à une centaine de nanomètres est atteignable. Pour les calculs de simulation, la largeur de grille a donc été fixée à 100 nanomètres.

La figure 4.3 permet de conclure que le paramètre dont les variations affectent le plus grandement la température d'opération est la distance entre la grille et l'îlot,  $\mathbf{D}_G$ . L'auto-

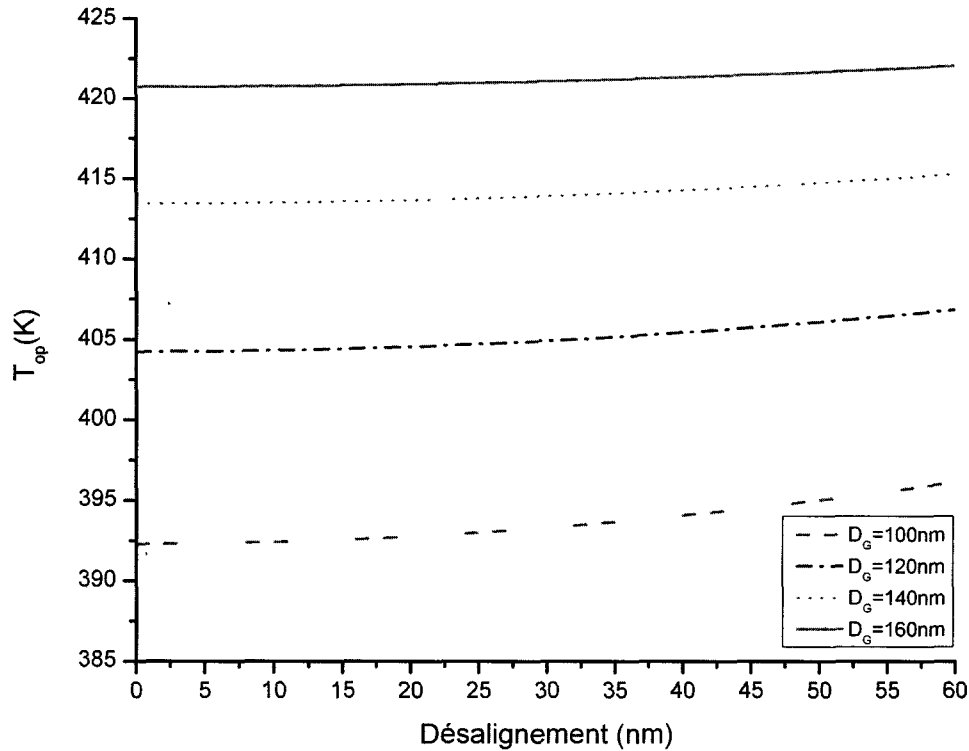


Figure 4.3 Température d’opération simulée d’un SET à grille auto-alignée, en fonction de l’erreur d’alignement latéral (Desalignement,  $D$ ), pour différentes distance îlot-grille  $D_G$ . On voit que, en variant chacun des paramètres de 60nm,  $D_G$  a une influence beaucoup plus grande sur la température d’opération que  $D$ . La largeur de grille  $W_G$  utilisée est de 100nm.

alignement le plus important n’est donc pas l’alignement latéral entre l’îlot et la grille, mais bien l’alignement en distance de l’îlot et la grille.

### Limites du modèle présenté

Le modèle de plaques parallèles ne prend pas en compte certaines particularités de la géométrie du SET présenté. Le calcul de la capacité  $C_{dos}$  (c.f. annexe A), par exemple, considère que la plaque assignée à l’arrière de l’échantillon est de la même taille que l’îlot. En réalité, cette plaque peut être considérée comme étant de taille infinie par rapport à l’îlot. Afin de calculer la capacité exacte de l’îlot, il faudrait déterminer le champ électrique ou le potentiel, et passer par la définition de la capacité :  $C = Q/V$ . Or ce calcul, pour une géométrie complexe comme celle présentée, peut s’avérer difficile, voire impossible à résoudre analytiquement.

### 4.1.2 Passage à la gravure plasma

L'électrolithographie dans le cadre de ce projet sera effectuée d'une façon plus conventionnelle, utilisant une résine électrosensible et une gravure plasma du  $\text{SiO}_2$ , pour des raisons évoquées plus tôt. Au CRN<sup>2</sup>, la résine habituellement utilisée pour des lithographies EBL est le PMMA. Cependant, peu d'exemples d'utilisation de cette résine comme masque de gravure plasma ont été présentées. Les capacités du PMMA à cet effet feront donc l'objet de tests.

L'abandon de la lithographie par écriture direct signifie par contre qu'il faut trouver un substitut à la méthode d'arrêt de polissage. En effet, il a été vu qu'avec une modulation des doses d'exposition, il était possible de créer des structures à des profondeurs variables, ce qui rendait possible la réalisation de structure comme le 1-2-3 présenté à la figure 3.8. La méthode proposée est une combinaison de la caractérisation du titane utilisé dans la fabrication du SET et de mesures électriques effectuées sur des dispositifs-test adéquats.

## 4.2 Dispositifs-test

Deux designs de dispositifs-test sont proposés. Le premier permet d'évaluer la résistivité d'un matériau à l'aide de mesures électriques. Ce type de dispositif, appelé TLM (de l'anglais *Transmission Line Method*), tire son nom des mesures auxquelles il est soumis.

### 4.2.1 TLM

La figure 4.4 montre un fil électrique sur lequel se trouvent quatre points de contacts. On fait passer un courant dans un fil entre les électrodes **A** et **D**, et on mesure la différence de tension entre **B** et **C**. En connaissant les dimensions géométriques du fil, il est possible de les lier avec les mesures de courant et de tension pour trouver la résistivité du matériau.

En rapport avec le polissage, le TLM sera utile de deux façons. Premièrement, on pourra fabriquer un TLM par soulèvement de titane. L'épaisseur de la couche de métal déposée, connue, ainsi que la taille des fils mesurée au microscope électronique, permettront de connaître toutes les dimensions géométriques des fils. Des mesures électriques permettront de trouver la résistivité spécifique au titane utilisé au centre de recherche pour fabriquer les SET. En deuxième lieu, lorsque des TLMs seront fabriqués par méthode damascène, sur les mêmes échantillons que les SET, il sera possible d'évaluer l'épaisseur des structures de polissage. En effet, la résistivité déterminée en soulèvement sera utilisée pour calculer l'épaisseur des fils enfoncés dans l'oxyde.

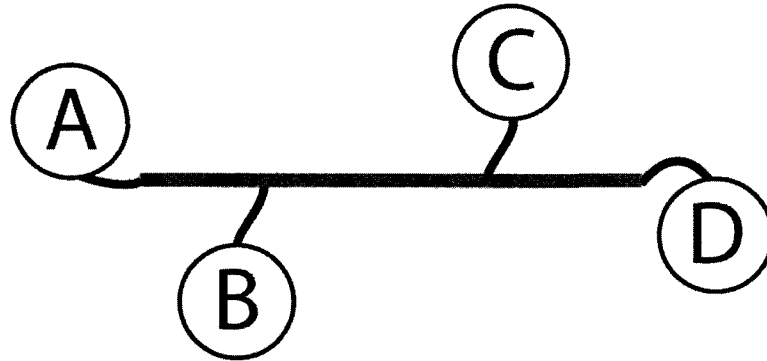


Figure 4.4 Schéma de la mesure électrique de type quatre pointes. On fait passer un courant dans le fil (en gris) entre les électrodes A et D, et on mesure la différence de tension entre B et C. La loi d'Ohm et les dimensions géométriques du fil permettent de trouver la résistivité du matériau gris.

Lors du design d'un TLM, il faut garder en tête que les mesures sont très sensibles aux dimensions géométriques. Chaque piste de contact menant au fil à mesurer doit être de la même longueur, pour que leur contribution à la résistance du fil ne soit pas prise en compte. De plus, pour que ces contributions soient négligeables comparativement à celles du fil, les pistes de contact doivent être d'une taille significativement supérieure à celle du fil. En ce sens, la figure 4.4 n'est pas adéquate puisque le fil gris est beaucoup plus gros que les pistes de contact, en noir. En revanche, le point de contact avec le fil gris se doit d'être le plus petit possible, afin de pouvoir déterminer précisément sur quelle longueur de fil la mesure est véritablement effectuée.

### Motif de TLM retenu

Avec les spécifications données ci-dessus, il est possible de suggérer un motif de TLM utile pour la fabrication de SET. Résumons d'abord les trois caractéristiques importantes du TLM désiré :

- Pistes de contact de longueurs égales ;
- Largeur des pistes de contact de beaucoup supérieures à la largeur du fil ;
- Plusieurs points de contact sur le fil

La figure 4.5 montre une capture d'écran du motif d'un TLM qui sera réalisé en électrolithographie. Comme dans le cas du SET version dix (c.f. fig. 3.7), les pistes de contact sont morcelées, et les différents niveaux sont lithographiés à différents grossissements du MEB. En mortaise, on peut également voir un agrandissement de la zone centrale, où se

trouvent le fil et les points de contact. On remarque que les huit points de contact forment sept sections de fil, mesurant (de gauche à droite) : 1,5 ; 3 ; 6 ; 7,5 ; 4,5 ; 2,5 et 2  $\mu m$  de longueur. Comme tout le dispositif est exposé dans la même session de lithographie, une seule marque d'alignement est écrite, en bas, à gauche. Cette marque permet de repérer l'orientation du dispositif, afin d'associer les bonnes mesures électriques aux bonnes longueurs de fil.

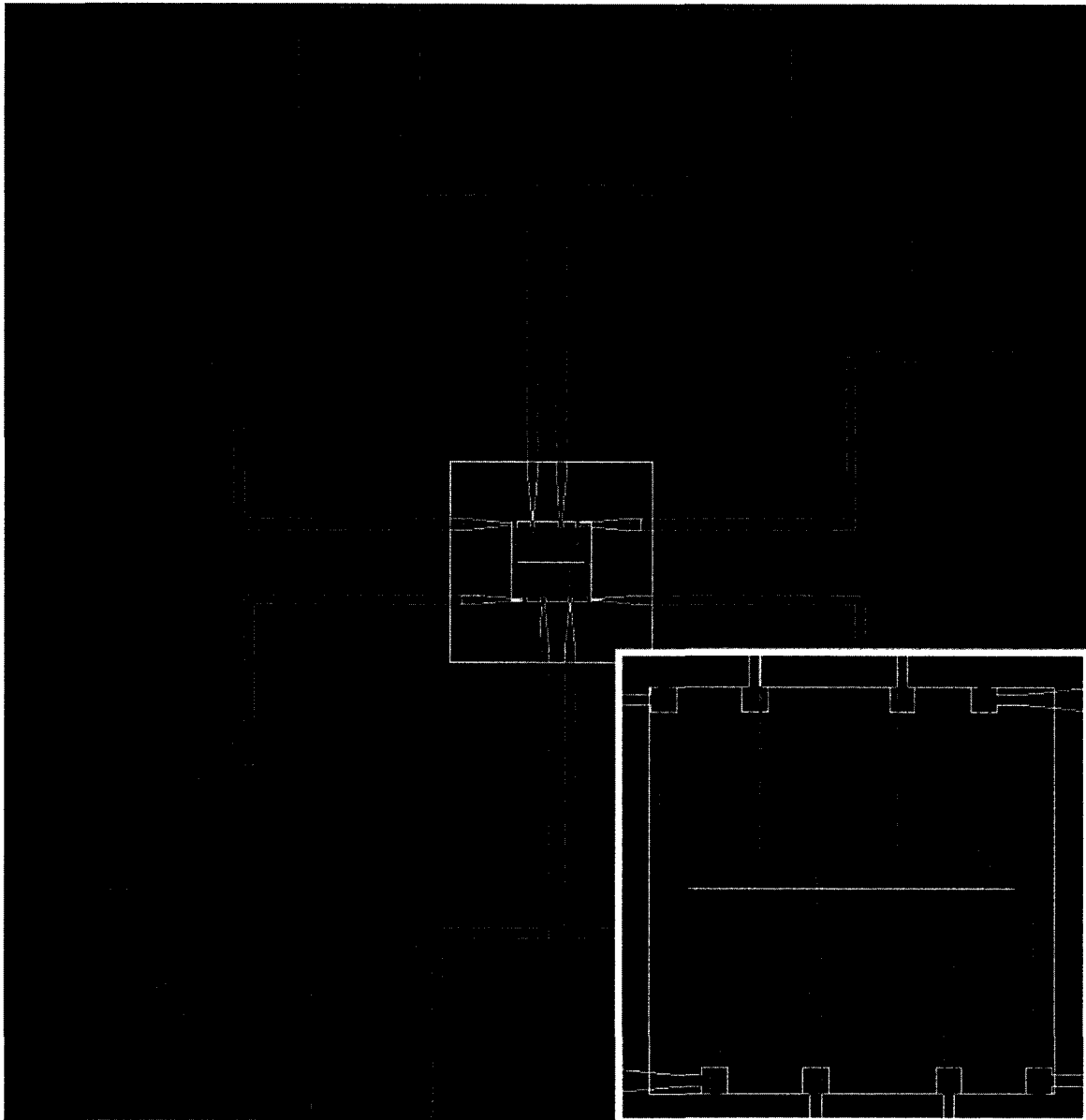


Figure 4.5 Motif du dispositif TLM conçu et retenu pour la réalisation du projet. En mortaise : agrandissement de la zone centrale montrant le fil et les huit points de contacts, formant sept sections de fil de longueurs différentes.

### 4.2.2 Capacité MIM

Le deuxième type de dispositif sert à caractériser les jonctions tunnel qui composent le SET. Il s'agit d'une modification au design de la cellule SET pour permettre la fabrication d'une jonction simple au lieu de doubles jonctions. Comme une jonction est également un condensateur, puisqu'elle est formée de deux électrodes de titane séparée par un oxyde, on appelle ce dispositif capacité MIM (métal-isolant-métal). Les résultats de la caractérisation de ce dispositif permettent entre autres d'améliorer les modèles de simulation de SET.

La différence avec le SET damascène, au niveau de la fabrication, se trouve dans la tranchée. Au lieu d'y déposer une ligne perpendiculaire, on dépose un grand carré de titane qui va d'une électrode jusqu'au centre de la tranchée. On oxyde alors ce carré, avant de le recouvrir de la couche *blanket* et de procéder au polissage. Le schéma de la figure 4.6 illustre ce procédé.

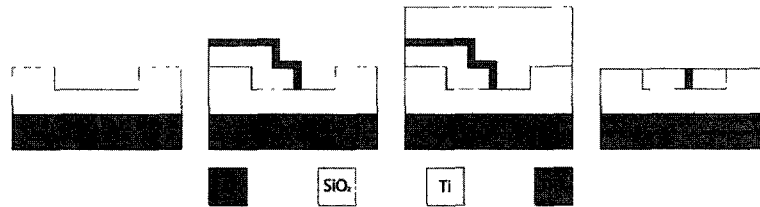


Figure 4.6 Fabrication de capacités MIM par damascène. Le schéma illustre une vue en coupe le long de la tranchée. Les étapes de fabrication sont les mêmes que pour le SET à grille auto-alignée (c.f. fig. 4.1).

Comme la fabrication de capacités MIM est très semblable à la fabrication de SET, le design du dispositif-test reprendra les motifs montrés à la figure 3.7. Cependant, une jonction tunnel simple n'a pas besoin d'électrode de grille. Avec quatre SET par cellule dans la version dix, on dispose de douze électrodes pour les capacités MIM. Une réorganisation de la zone centrale de la cellule SET permettra la fabrication simultanée de six capacités individuelles. On pourra prendre avantage de ce nombre en fabricant des jonctions de différentes largeurs dans la même cellule, par exemple. Le design retenu pour la réorganisation des pistes de contact est présenté à la figure 4.7.

Les capacités MIM sont fabriquées exclusivement selon la technique damascène, contrairement aux TLM qui peuvent également être fabriqués par soulèvement. Pour cette raison, les capacités MIM n'ont pas été adaptées pour être fabriquées complètement en électrolithographie. En effet, comme un des objectifs de ce projet est d'établir une plateforme de lithographie hybride, le motif des capacités MIM a été adapté pour que les pistes de

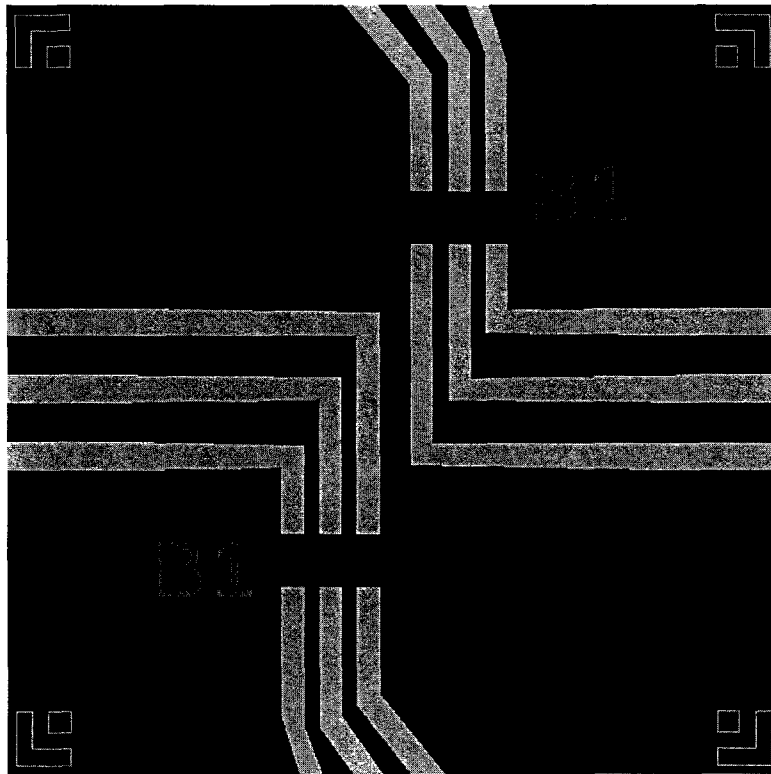


Figure 4.7 Vue rapprochée de la partie centrale des capacités MIM. Les marques B1 sont en rapport avec le photomasque dont la conception est détaillée à la section 4.3.

contact soient fabriquées par photolithographie, et que les parties nanométriques soient fabriquées par électrolithographie.

### 4.3 Plateforme de lithographie hybride

Les SET fabriqués dans le cadre de ce projet conserveront le même substrat de départ que ceux de Dubuc *et al.* : des carrés de silicium de 1cm par 1 cm, poli des deux côtés, avec une couche d'oxyde thermique de 100 nanomètres. Ce choix se justifie par le désir de conserver les paramètres de CMP déjà en place, et qu'un changement dans les dimensions du substrat demanderait une adaptation du polissage. Les variations de ces paramètres ne feront pas l'objet d'une étude dans le cadre de ce projet.

Une combinaison de photolithographie et d'électrolithographie sera utilisée. Les avantages d'un passage vers une telle lithographie, dite hybride, sont multiples. Premièrement, la photolithographie permet de traiter beaucoup d'échantillons en peu de temps. Alors qu'en électrolithographie on doit définir les pistes de connexion une cellule à la fois (c.f. section 3.5), il est possible de fabriquer un photomasque contenant plusieurs cellules, qui sont



transférées sur l'échantillon en une seule étape de photolithographie. Deuxièmement, il a été vu à la section 3.5.3 que les pistes de contact et les marques d'alignement sont les motifs qui prennent le plus de temps d'exposition lorsque fabriqués par EBL. Or, ces motifs ont tous des dimensions supérieures à un micron, taille qui est facilement atteinte avec l'équipement de photolithographie du CRN<sup>2</sup>. En combinant la rapidité et la fabrication en lot de la photolithographie avec la possibilité d'écriture de motifs nanométriques de l'électrolithographie, on obtient un système offrant un rendement supérieur à la version dix du SET.

Afin d'établir la plateforme de lithographie hybride, il faut définir les étapes du procédé complet. La liste suivante décrit grossièrement les étapes du flot de production visé pour ce projet :

1. Photolithographie : définition des cellules, incluant les pistes de contact, les marques d'alignement pour la lithographie EBL et les dispositifs-test ;
2. Première gravure AOE : les éléments photolithographiés sont gravés dans l'oxyde ;
3. Première électrolithographie : alignement sur les pistes et lithographie des tranchées et des grilles de SET, ainsi que des parties nanométriques des dispositifs-test ;
4. Deuxième gravure AOE : gravure des éléments de la première EBL ;
5. Deuxième électrolithographie : alignement et lithographie pour le soulèvement des îlots de SET, premier contact métallique des capacités MIM ;
6. Oxydation du titane : formation de l'oxyde tunnel par plasma d'oxygène ;
7. Dépôt de la couche *blanket* : les tranchées de SET et de capacités MIM sont remplies, ainsi que les pistes de contact photolithographiées
8. Polissage : dernière étape du procédé damascène.

Avec cette liste, il est possible de passer à la première étape de la conception de plateforme : le design du photomasque.

### 4.3.1 Conception d'un photomasque

Avant de pouvoir dessiner le motif d'un photomasque, il faut cerner les besoins auxquels il doit répondre. On désire d'abord laisser un espace libre de deux millimètres autour de l'échantillon puisqu'à cet endroit, le polissage CMP est souvent inégal. Pour cette même raison, les cellules SET, seront placées dans la zone centrale de l'échantillon. Ensuite, on

souhaite inclure le plus grand nombre de cellules possible dans l'espace restant. On veut encadrer l'espace qu'occupent les dispositifs par des réseaux de lignes. On veut également que toute la zone centrale soit comprise dans un large cadre carré, mesurant 0,7 cm de côté et dont le trait mesure  $300 \mu m$  de largeur. Ce cadre se veut un prototype pour une couche d'arrêt de CMP. Il constitue également un repère géométrique loin des zones sensibles des dispositifs, repère utile lors du démarrage des EBL.

Les cellules SET, TLM et capacités MIM existantes doivent subir quelques adaptations pour la version photolithographique. Les trois niveaux d'alignement (à 100X, 270X et 600X) sont conservés. Par contre, comme les pistes sont lithographiées en entier d'un seul coup, le morcellement sera éliminé. De plus, comme le photomasque comporte plusieurs cellules identiques, il faut introduire des marques qui permettront l'identification des dispositifs lors de la caractérisation. La figure 4.8 montre les versions "photomasque" des cellules SET, TLM et capacités MIM.

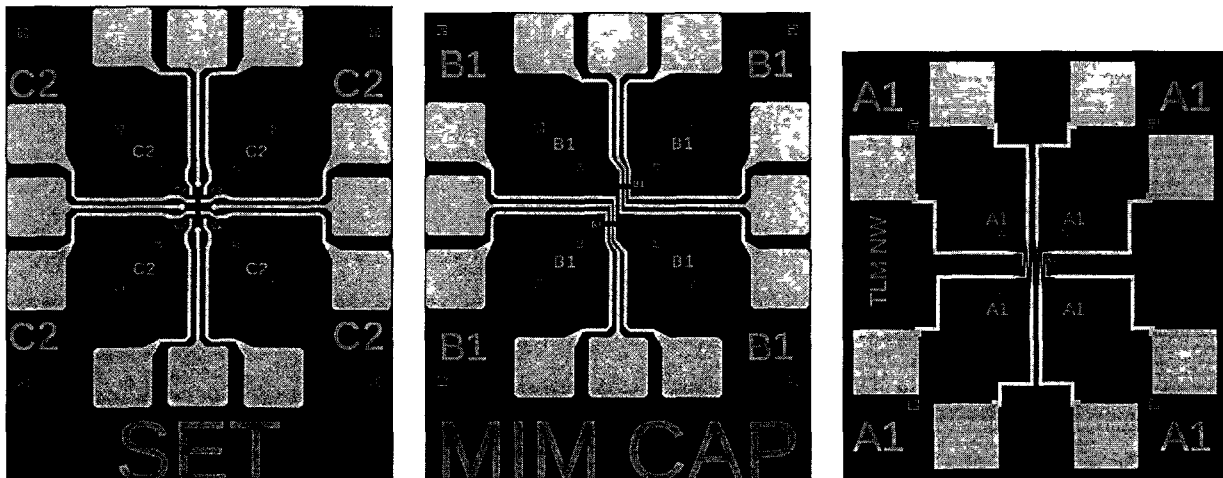


Figure 4.8 Version des cellules SET, TLM et capacités MIM destinées au photomasque. On remarque l'absence de morcellement dans les pistes de contact, les marques d'alignement pour l'EBL, et les marques d'identifications à chacun des trois niveaux d'alignement.

L'adaptation de la cellule SET, avec l'ajout entre autres du nom de la cellule sous les pistes, donne une indication sur la taille de la grille alphanumérique sur laquelle sont placés les dispositifs. Considérant la zone disponible, une matrice de sept cellules (horizontalement) par cinq cellules (verticalement) est choisie. Chaque cellule mesure  $700 \mu m$  de largeur par  $900 \mu m$  de hauteur, ce qui est suffisant pour contenir les cellules SET, TLM et MIM. Les emplacements alphanumériques sont identifiés par les lettres A à G horizontalement, et les chiffres 1 à 5 verticalement. Autour de la grille se trouvent les réseaux de lignes de tailles variant de 1 à  $20 \mu m$ , qui sont à leur tour encadrés par le cadre de  $300 \mu m$ . Une image du masque final est présentée à la figure 4.9

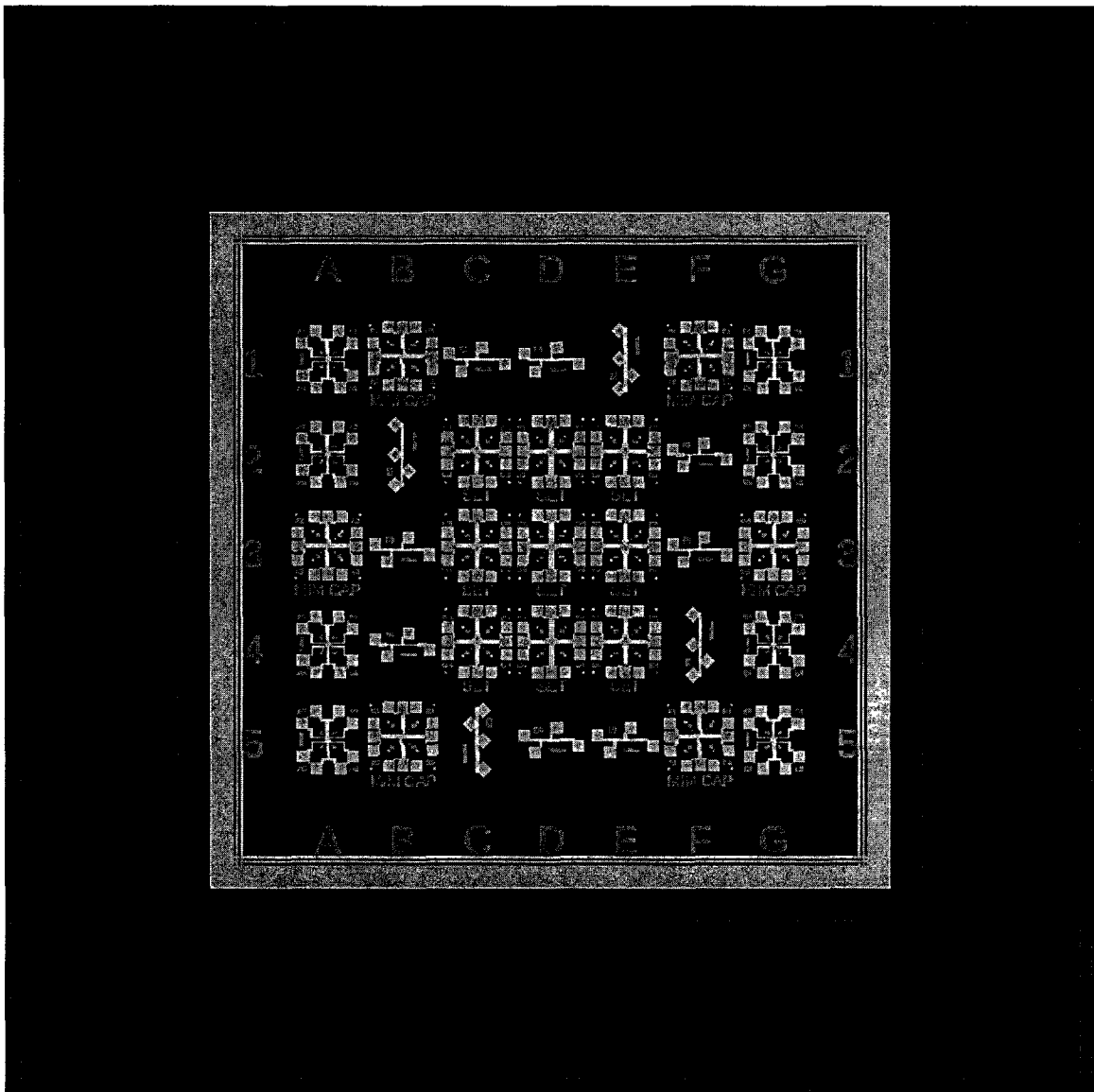


Figure 4.9 Motif du photomasque complet. On y remarque le cadre de  $300 \mu\text{m}$  en brun, la grille d'identification alphanumérique et les 35 cellules contenant des dispositifs. Les neuf cellules SET sont situées au centre

On remarque que le photomasque comprend trois types de dispositifs qui n'ont pas été mentionnés jusqu'à maintenant. Il s'agit de TLM fabriqués avec des fils de dimensions micrométriques. Leur design, présenté à la figure 4.10, rappelle le schéma utilisé pour expliquer les mesures électriques à quatre pointes (c.f. fig 4.4). Leur fabrication n'implique pas d'électrolithographie.

Pour des fins de référence, la cartographie complète du photomasque est faite au tableau 4.2. Ce tableau contient également l'information sur les réseaux de lignes illustrés à la figure 4.11

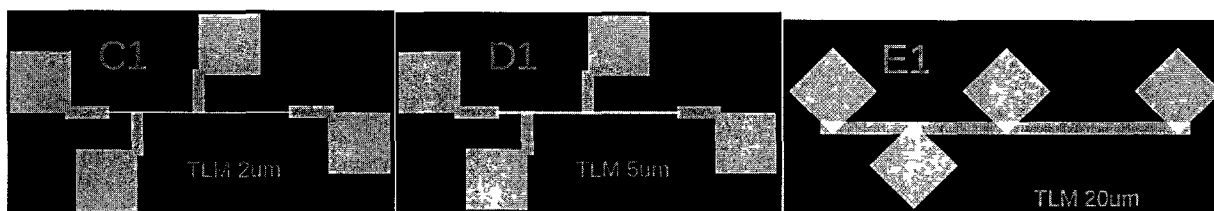


Figure 4.10 Dispositifs TLM avec fils de taille micrométriques.

Tableau 4.2 Cartographie du photomasque conçu.

Cellule/dispositif	Nombre	Emplacement
SET	9	C2, C3, C4, D2, D3, D4, E2, E3, E4
MIM	6	A3, B1, B5, F1, F5, G3
TLM (nanofil)	8	A1, A2, A4, A5, G1, G2, G4, G5
TLM (2 $\mu m$ )	4	B4, C1, F2, E5
TLM (5 $\mu m$ )	4	B3, D1, D5, F3
TLM (20 $\mu m$ )	4	B2, C5, E1, F4
Réseau (1 $\mu m$ )	1 ligne	En bordure du cadre de 300 $\mu m$
Réseau (2 $\mu m$ )	6 lignes	En bordure du cadre de 300 $\mu m$
Réseau (5 $\mu m$ )	5 lignes	En bordure du cadre de 300 $\mu m$
Réseau (10 $\mu m$ )	5 lignes	En bordure du cadre de 300 $\mu m$
Réseau (20 $\mu m$ )	3 lignes	En bordure du cadre de 300 $\mu m$

### 4.3.2 Adaptation des fichier d'exécution NPGS

La plus grande partie du travail d'adaptation en électrolithographie se situe au niveau des fichiers d'exécution. En effet, comme les motifs des cellules sont tirés en grande partie de la version dix de Dubuc *et al.*, les fichiers CAD des zones de dispositif à lithographier en EBL ne demandent que des ajustements mineurs. En revanche, il faut développer des fichiers d'exécution permettant d'effectuer la lithographie sur les pistes de contact établies en photolithographie, et ce, sur chaque cellule de la matrice alphanumérique. Les fichiers d'exécution doivent inclure les déplacements d'une cellule à l'autre. La procédure d'alignement reste en théorie inchangée.

On présente à la figure 4.12 une séquence permettant de lithographier les neuf cellules SET et les six capacités MIM.

Qualitativement, le fichier d'exécution développé effectue la séquence suivante :

1. Premier alignement (sur les trois niveaux de grossissement) sur la cellule **B5**. Comme la position initiale de l'échantillon peut ne pas être parfaite, il se peut que des fenêtres d'imagerie MEB (utilisées par l'application d'alignement de NPGS) soient ouvertes

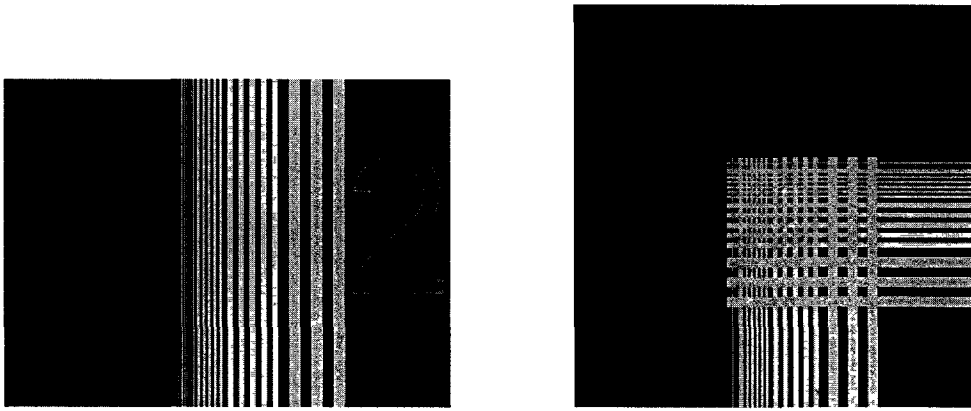


Figure 4.11 Réseaux de lignes en bordure du cadre de  $300 \mu\text{m}$ . Gauche : près du cadre; Droite : dans un coin.

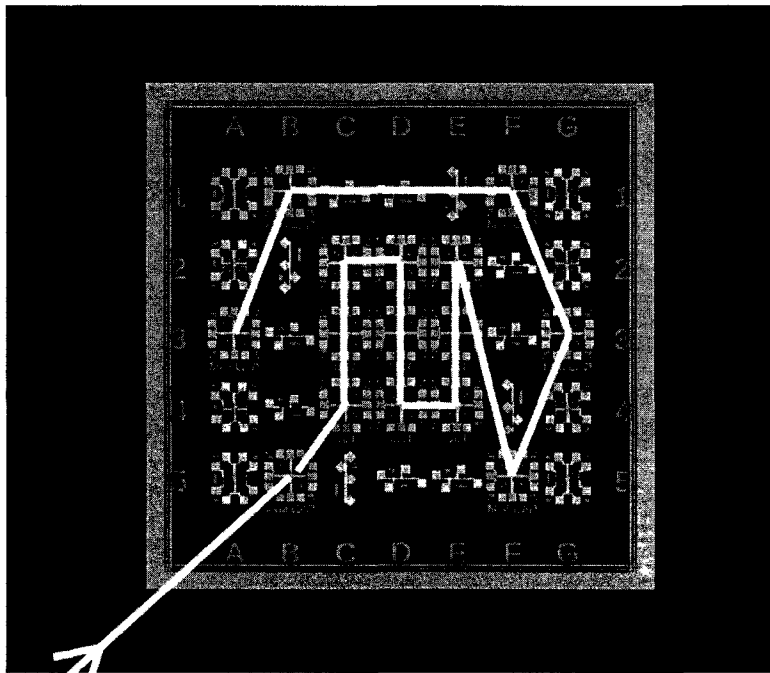


Figure 4.12 Séquence de l'électrolithographie sur les cellules SET et capacités MIM de la plateforme hybride. La première cellule MIM (B5) est sacrifiée pour ajuster l'alignement initial de l'échantillon

à des endroits sensibles, comme au centre de la cellule. On dira donc que cette cellule est "sacrifiée".

2. Lithographie de la partie "dispositif" de **B5**
3. Déplacement du porte échantillon sur la cellule SET **C4**
4. Alignement à trois niveaux de grossissement et lithographie de la partie centrale du SET

5. Déplacement du porte échantillon sur la cellule SET **C3**
6. Alignement à trois niveaux de grossissement et lithographie de la partie centrale du SET
7. Déplacement du porte échantillon sur la cellule SET **C2**
8. Alignement à trois niveaux de grossissement et lithographie de la partie centrale du SET
9. Déplacement du porte échantillon sur la cellule SET **D2**
10. Alignement à trois niveaux de grossissement et lithographie de la partie centrale du SET
11. Déplacement du porte échantillon sur la cellule SET **D3**
12. Alignement à trois niveaux de grossissement et lithographie de la partie centrale du SET
13. Déplacement du porte échantillon sur la cellule SET **D4**
14. Alignement à trois niveaux de grossissement et lithographie de la partie centrale du SET
15. Déplacement du porte échantillon sur la cellule SET **E4**
16. Alignement à trois niveaux de grossissement et lithographie de la partie centrale du SET
17. Déplacement du porte échantillon sur la cellule SET **E3**
18. Alignement à trois niveaux de grossissement et lithographie de la partie centrale du SET
19. Déplacement du porte échantillon sur la cellule SET **E2**
20. Alignement à trois niveaux de grossissement et lithographie de la partie centrale du SET
21. Déplacement du porte échantillon sur la cellule MIM **F5**
22. Alignement à trois niveaux de grossissement et lithographie de la partie centrale de la capacité MIM
23. Déplacement du porte échantillon sur la cellule MIM **G3**

24. Alignement à trois niveaux de grossissement et lithographie de la partie centrale de la capacité MIM
25. Déplacement du porte échantillon sur la cellule MIM **F1**
26. Alignement à trois niveaux de grossissement et lithographie de la partie centrale de la capacité MIM
27. Déplacement du porte échantillon sur la cellule MIM **B1**
28. Alignement à trois niveaux de grossissement et lithographie de la partie centrale de la capacité MIM
29. Déplacement du porte échantillon sur la cellule MIM **A3**
30. Alignement à trois niveaux de grossissement et lithographie de la partie centrale de la capacité MIM

La lithographie sur les TLM pourrait également être ajoutée dans cette séquence.

# CHAPITRE 5

## RÉSULTATS

Afin d'alléger le texte, un tableau résumant la provenance de chacune des images contenue dans ce chapitre se trouve à l'annexe B. Le lecteur voulant savoir de quel échantillon provient une certaine image s'y référera. Le tableau contient le numéro de la figure de l'image, le numéro SSE de l'échantillon, et des notes sur l'image.

### 5.1 Gravure plasma

La résine choisie au chapitre 4 est le PMMA. Au CRN<sup>2</sup>, la résine PMMA est disponible en deux différents poids moléculaires. Il est possible ensuite de la diluer dans l'anisole pour varier la viscosité, ce qui change l'épaisseur de la résine lorsqu'elle est déposée par étalement sur l'échantillon. Des courbes d'épaisseur en fonction de la vitesse de rotation de l'étaeuse sont disponibles dans [4] pour différentes dilutions de PMMA dans l'anisole. On appellera ces relations "courbes d'étalement". On résume au tableau 5.1 les caractéristiques des électrorésines à base de PMMA disponibles au CRN<sup>2</sup>.

Tableau 5.1 Résumé des résines à base de PMMA disponibles au CRN<sup>2</sup>

Nom de la résine	Poids moléculaire [4]	Dilutions avec courbe d'étalement :
PMMA HMW	996 000 g/mol	2%, 3%, 4%, 6%, 9%
PMMA LMW	120 000 g/mol	2%, 4%, 9%

Dans [3], les fabricants du réacteur plasma utilisé au CRN<sup>2</sup> mesurent une sélectivité de gravure minimale de 3. Pour une gravure visée de 30 nm, on peut donc rechercher une résine qui s'étale à une épaisseur avoisinant les 90 nanomètres. De plus, la résine à faible poids moléculaire (LMW) se développe plus rapidement que celle ayant un plus grand poids moléculaire. Pour cette raison, elle est exclusivement utilisée comme couche de fond d'un système à double couche pour soulèvement, afin de favoriser la gravure sous-jacente nécessaire à cette technique (c.f. section 5.2). La gravure plasma utilise donc une seule couche de PMMA HMW. Selon les courbes d'étalement présentées dans [4], la gamme d'épaisseurs que la PMMA HMW 2% peut atteindre répond aux besoins spécifiés ci-haut. L'épaisseur des couches de résines peut être mesurée par ellipsométrie.

Pour une utilisation du PMMA dans une étape de soulèvement, [4] suggère un recuit de résine de 90 secondes à 180°C sur plaque chauffante. Comme mentionné à la section 4.1.2,



l'utilisation du PMMA en guise de masque de gravure sèche est peu connue. Étant donné que l'on suggère un recuit beaucoup plus long dans le cas d'une gravure humide, la décision a été prise de faire des recuits plus long que 90 secondes pour la gravure plasma. Un recuit de 180 secondes, le double de ce qui est conseillé pour le soulèvement, a été choisi.

La figure 5.1 montre une vue en coupe de gravure AOE d'une tranchée de  $1\ \mu\text{m}$  avec un masque de PMMA, mesuré à  $68\ \text{nm}$  d'épaisseur par ellipsométrie. La profondeur de gravure visée était de  $35\ \text{nm}$ , avec une épaisseur initiale de  $\text{SiO}_2$  de  $99,89\ \text{nm}$  (mesure moyenne sur la gaufre). La vue en coupe permet d'évaluer que la profondeur de gravure obtenue est bien de  $35\ \text{nm}$ .

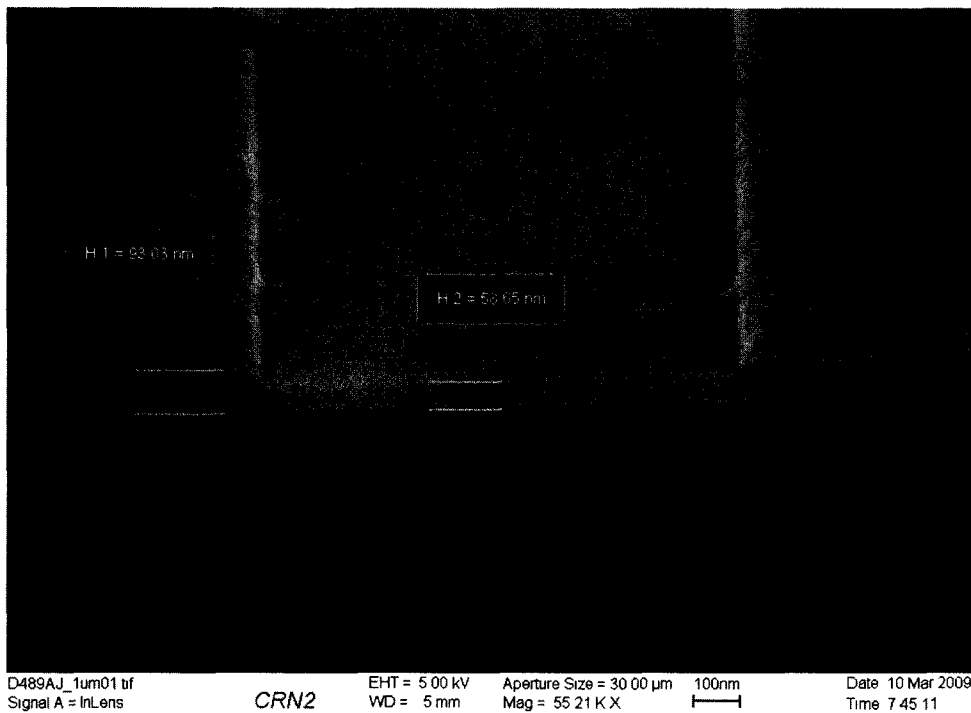


Figure 5.1 Vue en coupe d'une tranchée gravée par AOE, d'une largeur de  $1\ \mu\text{m}$  et d'une profondeur de  $35\ \text{nm}$ . La profondeur mesurée correspond à la profondeur visée.

La figure 5.1 montre qu'il est donc possible d'utiliser la résine PMMA comme masque de gravure AOE. Les lignes de largeur de  $1\ \mu\text{m}$  et plus peuvent par contre être fabriquées en photolithographie; il faut donc démontrer que ce type de gravure est possible pour graver des lignes de la taille de la tranchée d'un SET damascène. La figure 5.2 montre une tranchée de  $67\ \text{nm}$  de largeur, gravée de  $40\ \text{nm}$  en profondeur. L'échantillon a été recouvert de titane et soumis à un polissage afin de faire des fils. La métallisation est également utile pour l'observation MEB.

Des test ont également été réalisés pour vérifier la possibilité de fabriquer des structures à haute densité. La figure 5.3 montre un réseau de lignes de  $20\ \text{nm}$  de largeur séparées par

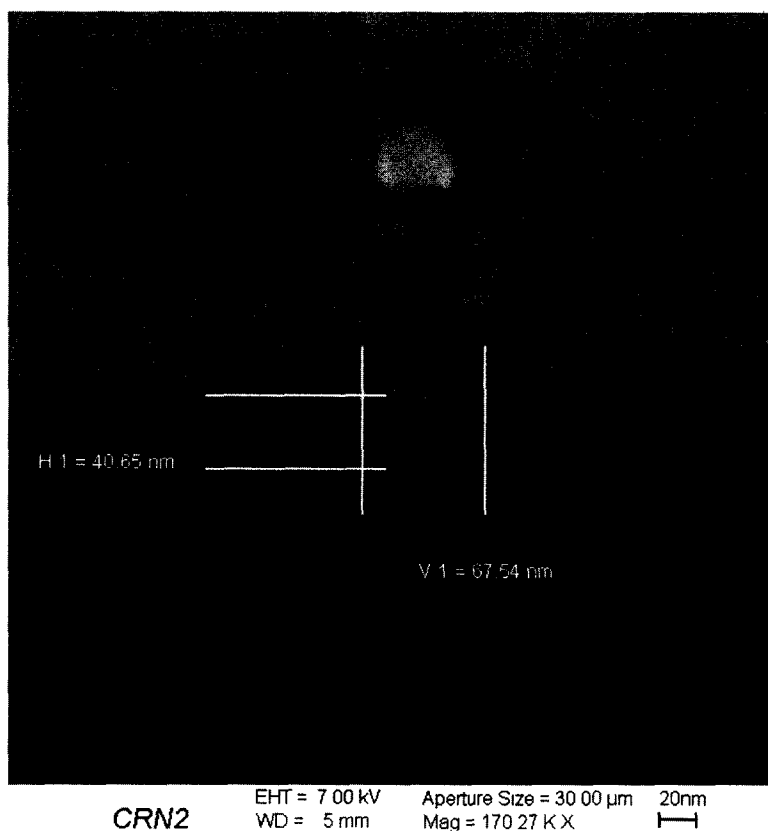


Figure 5.2 Vue en coupe d'une tranchée gravée par AOE, d'une largeur de 67 nm et d'une profondeur de 40 nm. La profondeur mesurée est légèrement supérieure à la profondeur visée. La bille blanche au-dessus de la tranchée vient de la pâte de polissage

un pas de 55 nm, ce qui donne un rapport de densité (1 : 2,75). Ces résultats montrent le potentiel du système de gravure AOE sur PMMA. Une étude plus approfondie, notamment sur les doses d'exposition des lignes, pourrait donner une densité supérieure.

On présente également un dispositif TLM gravé par AOE à la figure 5.4. On remarque que l'observation MEB des structures peu profondes se font à une tension d'accélération plus faible.

### 5.1.1 Gains en temps versus la lithographie directe dans le $\text{SiO}_2$

Les lithographies ont été effectuées avec des doses d'exposition variant de 140 à 160  $\mu\text{C}/\text{cm}^2$  pour les surfaces, et entre 0.4 et 0.8  $\text{nC}/\text{cm}$  pour les lignes. Avec le mode simulation de NPGS, il est possible de quantifier les gains en temps d'écriture qu'amène la migration vers la résine PMMA. Pour des fins de clarté, on résume dans le tableau 5.2 les résultats de ces simulations. Les motifs utilisés sont les mêmes que ceux utilisés dans le fichier d'exécution **1.rf6** (c.f. section 3.5.3), i.e. la zone centrale d'une cellule SET. Le gain en temps final

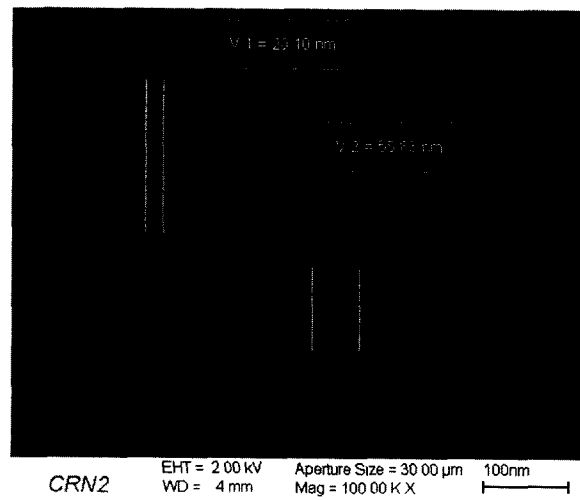


Figure 5.3 Réseau de lignes à haute densité, gravées par AOE. Le rapport de densité est de 1 :2,75.

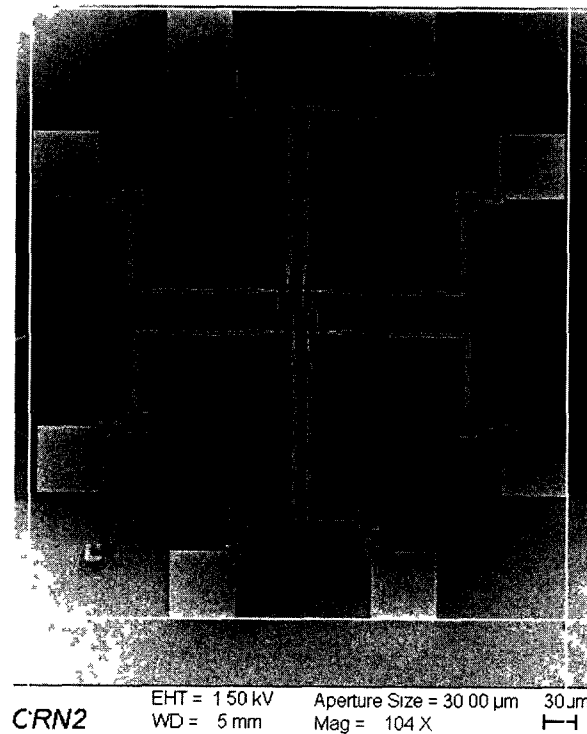


Figure 5.4 Image MEB d'un dispositif TLM gravé par AOE. La gravure est d'une profondeur de 20 nm. Les lignes blanches ont été ajoutées par ordinateur.

est substantiel, alors que la lithographie dans le PMMA requiert près de 17 fois moins de temps que dans le  $\text{SiO}_2$ .

Tableau 5.2 Comparaison des temps d'écriture EBL dans le SiO<sub>2</sub> et le PMMA

Résine	Doses (nC/cm ; $\mu C/cm^2$ )	Temps d'écriture (min :s)	Gain de temps vs. SiO <sub>2</sub>
SiO <sub>2</sub>	(500 ; 80 000)	3 :53	-
PMMA	(0,5 ; 150)	0 :14	1663%

## 5.2 Grille autoalignée

Différentes configurations de transistors à grille auto-alignée ont été réalisées. Avec quatre SET par cellules, pour une possibilité de 36 SET par échantillon, il était possible de faire varier les paramètres des distance grille-tranchée ( $D_G$ ) et de largeur de grille ( $W_G$ ). On présente à la figure 5.5 une ouverture de grille et une tranchée. L'image est prise après la première étape de gravure AOE et montre une ouverture de grille de 200 nm et une largeur de tranchée d'environ 34 nm. La distance  $D_G$  est 300 nm.

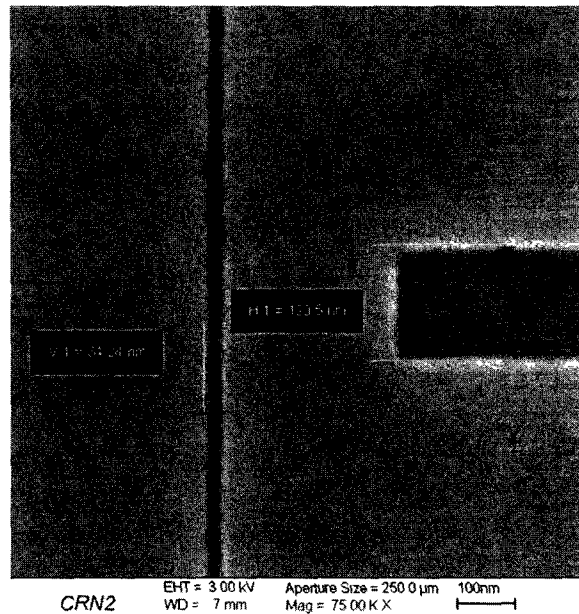


Figure 5.5 Image MEB d'une ouverture de grille et tranchée après l'étape de gravure AOE. La distance grille-tranchée est de 300 nm

Il a été mentionné à la section 4.1.1 que les trois niveaux d'alignement de l'EBL permettent l'utilisation d'une ouverture de grille de taille allant jusqu'à un minimum 100 nm. Des grilles de cette taille ont été réalisées afin de vérifier la possibilité d'alignement avec la ligne d'îlot déposée par soulèvement. La figure 5.6 montre des lignes d'îlot alignées latéralement avec les ouvertures de grille. Le transistor de gauche a une largeur de grille de 100nm, alors que celle du transistor de droite est de 200 nm. Les deux transistors proviennent du même échantillon, mais de cellules différentes.

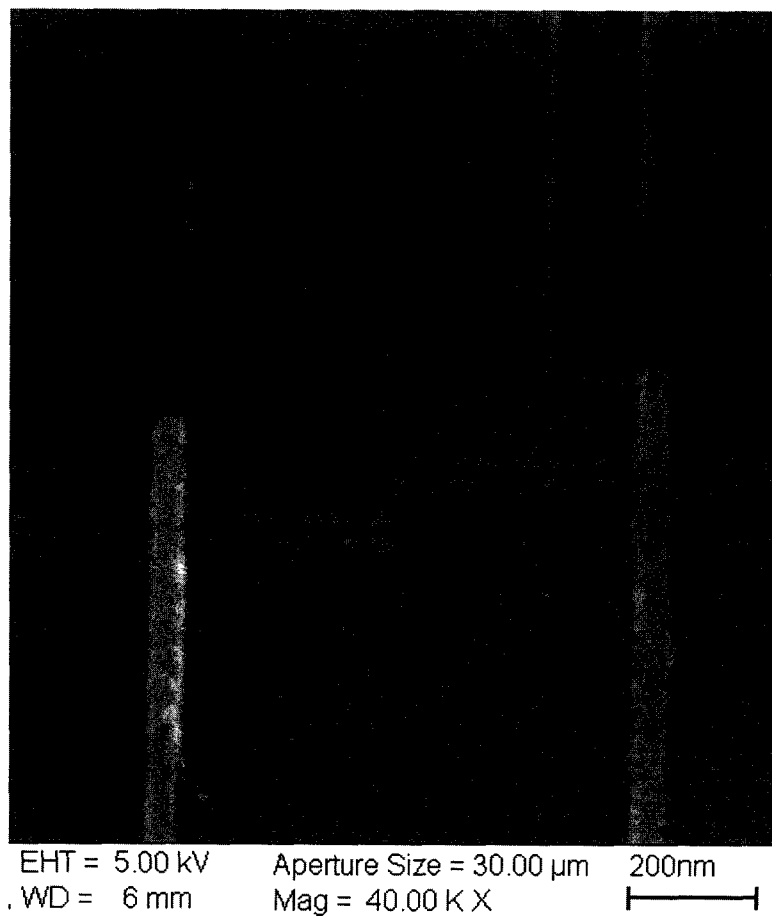


Figure 5.6 Alignement réussi de la ligne d'îlot sur deux transistors à largeur d'ouverture de grille différentes. Le transistor de gauche a une largeur de grille de 100nm, celui de droite, 200nm. L'image est un montage de deux images MEB différentes, prises à grossissement égal.

Les différentes parties du SET à grille auto-alignée montrées dans le schéma de la figure 4.2 peuvent être observées sur des transistors complétés. La figure 5.7 montre un transistor terminé. On arrive à distinguer les différentes parties du SET, mais la section 5.2.4 apportera des précisions concernant les problèmes rencontrés lors de la mesure électrique et qui concernent cette figure.

### 5.2.1 Taux de désalignement latéral

Le rendement maximal atteint en ce qui a trait à l'alignement de l'îlot avec la grille sur un échantillon unique est de 29 transistors sur 36. C'est donc dire que dans presque un cas sur cinq, la ligne d'îlot ne tombe pas dans l'ouverture de grille. Bien que les calculs de la section 4.1.1 montrent que l'alignement latéral est moins crucial pour la température d'opération que l'alignement en distance, il n'en demeure pas moins que la grille est une électrode et que

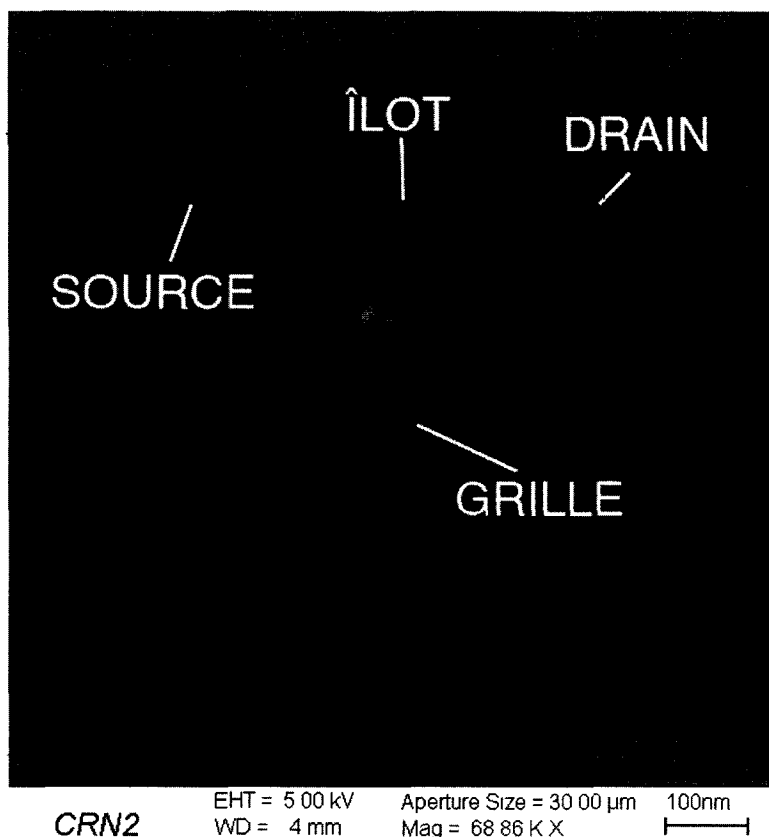


Figure 5.7 Transistor à grille auto-alignée complété.

son principal rôle est d'agir sur le comportement électrique du transistor. Un désalignement latéral trop grand pourrait forcer l'emploi d'une tension de grille plus élevée, causant des champs électrique énormes (par la petite taille structures mises sous tension) et amenant du même coup des risques de claquage. Une tension trop élevée irait aussi à l'envers de la tendance à la réduction de la consommation des dispositifs électroniques modernes. La fiabilité de l'alignement latéral doit être améliorée.

Une solution simple pourrait se trouver dans une révision mineure de la plateforme de lithographie. Le photomasque proposé au chapitre 4.3 contient les marques nécessaires aux trois niveaux d'alignement. La définition de la tranchée et de la grille se fait à la suite d'un alignement à trois niveaux, avec une certaine erreur  $x_1$  par rapport aux marques. Ensuite, dans seconde étape d'EBL, la ligne d'îlot est déposée, avec une certaine erreur  $x_2$  par rapport aux marques photolithographiées. L'erreur d'alignement entre la grille et la ligne d'îlot est donc  $x_{tot} = x_1 + x_2$ . En ajoutant des marques supplémentaires lors de l'écriture de la première EBL et en les utilisant lors de l'alignement de la ligne d'îlot, on supprimerait l'erreur  $x_1$  sans trop augmenter le temps d'écriture de l'EBL.

## 5.2.2 Problèmes de soulèvement du titane

Durant la réalisation de ce projet, deux problèmes en lien avec le soulèvement sont apparus. D'abord, des soulèvements incomplets faisaient que des parties de titane indésirables ne se détachaient pas lors du soulèvement. Ensuite, à l'opposé, des problèmes d'adhérence ont fait que certains dispositifs se sont retrouvés avec des parties métalliques manquantes. On se permettra ici de traiter des dispositifs-test TLM, qui ont également été affligés de ces problèmes. Les résultats électriques obtenus à l'aide de ces dispositifs seront toutefois traités à la section 5.3.4.

### Soulèvements incomplets

Les soulèvements incomplets sont problématiques pour deux raisons. La première est que le métal qui reste accroché aux structures peut créer des courts-circuits entre des électrodes qui devraient autrement être isolées. Il est également possible qu'un morceau de titane soulevé qui se trouve dans la solution vienne se redéposer à un autre endroit sur le dispositif, en amenant encore une fois un risque de court-circuit.

La deuxième raison concerne plus spécifiquement les dispositifs TLM. En effet, il arrive que le soulèvement soit incomplet parce que la couche métallique qui repose sur la résine ne se détache pas à proximité des structures lithographiées. Il en résulte que les structures sont entourées d'ailettes de métal, tel que montré à la figure 5.8.

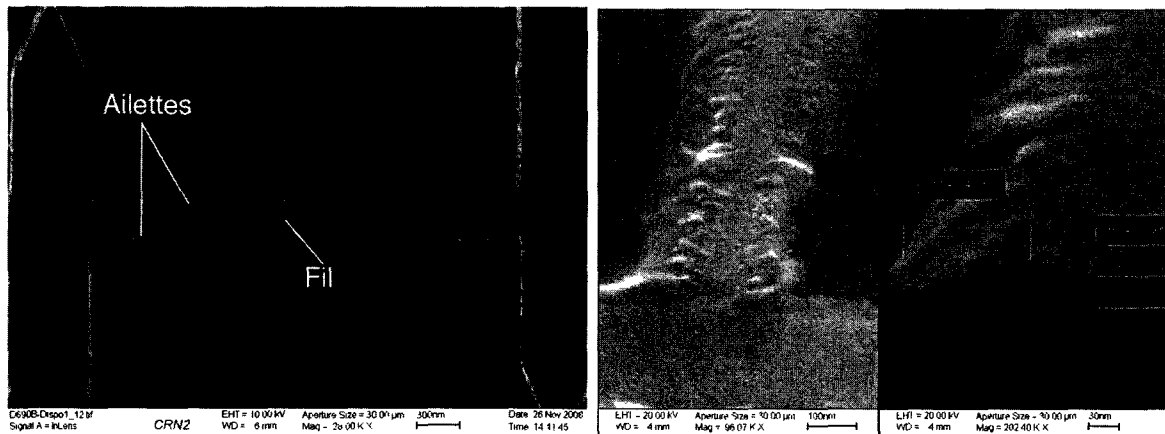


Figure 5.8 Soulèvement incomplet sur dispositif TLM. Gauche : vue d'ensemble sur un fil avec ailettes. Droite : Image composite du fil vu en angle (grossissement 96kX), et d'un fil vu en coupe (grossissement 202kX).

Il a été vu à la section 4.2.1 que la forme géométrique joue un rôle majeur dans les mesures de TLM. La présence d'ailettes donne une forme erratique au fil, rendant sa caractérisation géométrique impossible.

L'hypothèse la plus probable pour expliquer la présence de ces ailettes est que la gravure sous-jacente nécessaire au bon fonctionnement du procédé de soulèvement ne se fait pas correctement. Il y a deux étapes du soulèvement qui peuvent causer cette absence, si on considère que l'épaisseur de résine (mesurée à l'ellipsomètre) est exacte, et que la composition chimique n'est pas en cause.

Il y a premièrement l'étape dite de "dévoilage" (en anglais *descum*), qui consiste à faire subir à l'échantillon un court traitement de plasma d'oxygène après le développement de résine. Cette étape est effectuée afin d'enlever les résidus de résine qui pourraient être restés au fond des motifs lithographiés. Servant à la base comme promotion d'adhérence, il se peut qu'une telle étape provoque l'effondrement de la gravure sous-jacente, en attaquant trop agressivement la résine. Des tests de soulèvement ont donc été effectués, en omettant le dévoilage. La présence d'ailettes était par contre encore observée, ce qui écarte la possibilité que le dévoilage soit responsable des soulèvements incomplets.

La seconde étape du procédé de soulèvement pouvant causer l'absence de gravure sous-jacente est le développement de résine. En effet, il se peut que le temps de développement suggéré par [4] soit insuffisant. Lors du développement, la couche supérieure est exposée en premier à la solution de développement. À mesure que la couche supérieure se développe, la couche inférieure est découverte. Si le développement est stoppé trop tôt, la couche supérieure sera bien développée, mais la couche inférieure n'aura pas eu le temps de se développer suffisamment pour former la gravure sous-jacente. Le schéma 5.9 illustre le problème d'ailettes dû au sous-développement.

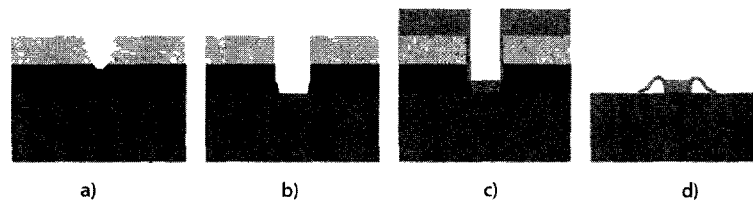


Figure 5.9 Schéma d'un procédé de soulèvement menant à la formation d'ailettes causées par le sous-développement. Le film de métal déposé à l'étape c) est continu et en contact avec le fil déposé. Au soulèvement en d), les parois verticales du film ne se détachent pas complètement, et retombent vers la surface de l'échantillon pour créer les ailettes.

Des tests de soulèvement avec différents temps de développement ont été effectués. Avec un développement de 90 secondes, soit le double de ce que recommande [4]. Il s'est avéré qu'un développement plus long empêche la formation d'ailettes sur la très grande majorité des fils. Une ligne d'îlot de SET avec ailettes a été observé, malgré que le développement



ait été de 90 s (fig. 5.10). Cette observation sème le doute quant à la fiabilité du procédé de soulèvement pour la formation de l'îlot, et force à explorer d'autres avenues de fabrication.

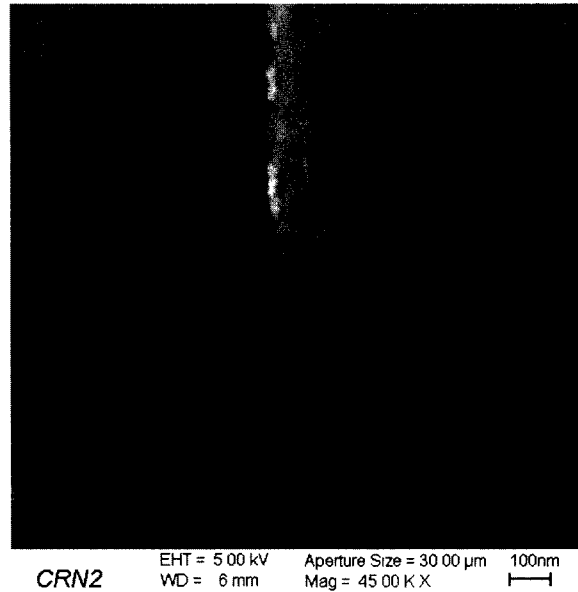


Figure 5.10 Ailettes sur une ligne d'îlot de SET. Le temps de développement de la lithographie est de 90 secondes, le double de ce qui est suggéré par [4].

### Problèmes d'adhérence

On observe sur certains échantillons que des parties de fil s'arrachent lors du soulèvement, résultant dans les dispositifs TLM à des circuits ouverts. On présente à la figure 5.11 une image MEB d'un fil ayant été arraché lors du soulèvement. Le dispositif montré a été fabriqué selon un motif de fils simples, d'une conception antérieure au projet de recherche.

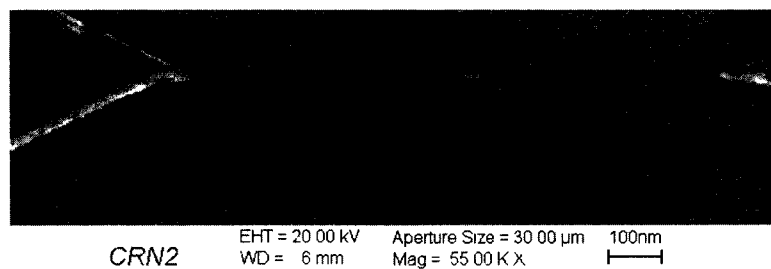


Figure 5.11 Fil arraché lors d'une étape soulèvement. Le dispositif présenté a été fabriqué selon un motif de ligne simple entre deux électrodes triangulaires. La conception de ce motif est antérieure à ce projet de recherche.

En faisant un lien avec les problèmes de soulèvement incomplets, il est possible que les plus petites structures soient arrachées lors du soulèvement parce que la gravure sous-jacente n'est pas suffisamment prononcée, ce qui fait que le film de métal est continu. Lorsque la

résine est dissoute dans le solvant, les lignes de métal restent accrochées au film soulevé et sont donc arrachées, parce que l'adhérence du métal au fond de la tranchée lithographiée est insuffisante. La solution proposée pour le soulèvement incomplet devrait en théorie aider à régler le problème, mais même avec un développement de résine plus long, il est possible que des motifs soient arrachés. À la figure 5.12, on montre une ligne d'îlot qui n'a pas été arrachée, mais qui montre clairement que le problème d'adhérence peut être dommageable localement. En effet, sur cette image, on voit que la ligne a été déplacée par endroit, la faisant sortir de l'ouverture de grille.

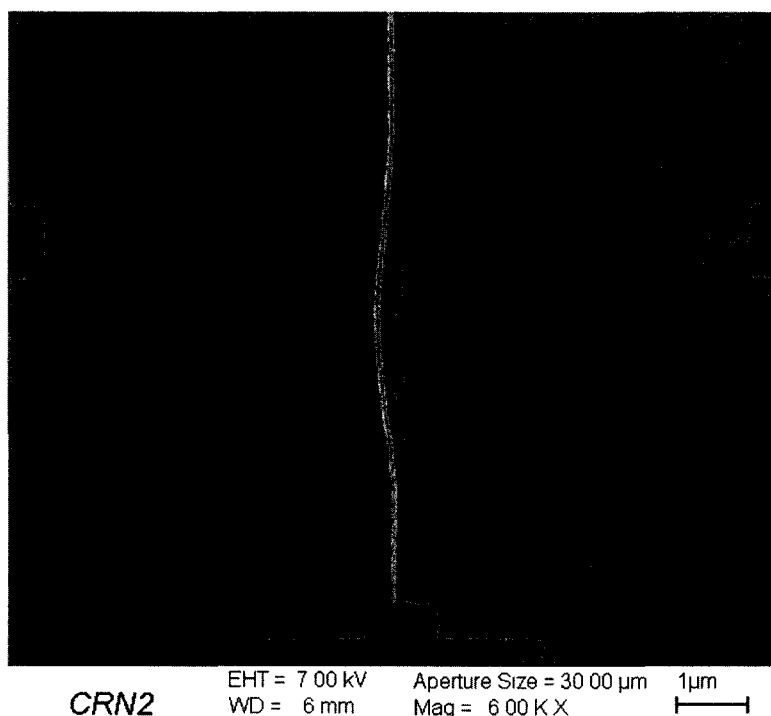


Figure 5.12 Image MEB d'une ligne d'îlot de SET où le problème d'adhérence se manifeste localement. Une partie de la ligne a été soulevée et s'est déposée à un autre endroit, formant une ligne courbe.

Il est important de noter que des tests de soulèvement comportant une étape de dévoilage ont été effectués. Les résultats sont semblables à ceux obtenus sans dévoilage, c'est-à-dire que les deux problèmes rencontrés lors des soulèvements ne se manifestaient pas significativement moins souvent. Des tests plus approfondis sur l'effet du dévoilage devraient être faits pour pouvoir se prononcer plus clairement sur son utilité.

### 5.2.3 Remplacement du procédé de soulèvement

Les problèmes rencontrés précédemment soulignent le manque de fiabilité du soulèvement dans le cas de la fabrication de lignes de dimensions nanométriques. Il serait intéressant d'explorer d'autres moyens pour former la ligne d'îlot du SET. Par exemple, une résine négative pourrait être utilisée comme masque de gravure de titane. Dans ce cas, tout l'échantillon serait recouvert d'une couche de titane, qui serait à son tour recouverte d'une couche de résine négative. La ligne définie par l'électrolithographie apparaîtrait en résine après le développement, formant un masque protégeant le titane. Ce type de procédé est présenté schématiquement à la figure 5.13

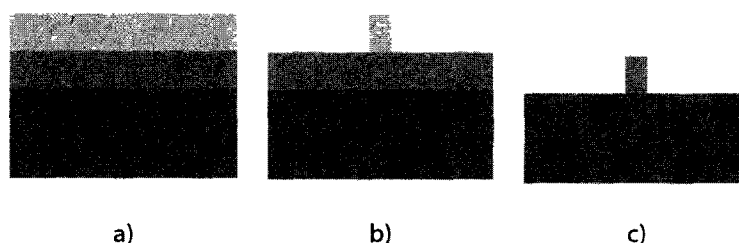


Figure 5.13 Suggestion de procédé pour remplacer le soulèvement dans la formation de la ligne d'îlot. a) Étalement de résine négative sur une couche de titane qui recouvre le substrat. b) Lithographie et développement de la résine. c) Gravure plasma anisotrope et nettoyage de la résine.

La résine choisie devra être suffisamment sensible afin de ne pas annuler les gains de temps de lithographie accomplis par l'abandon du  $\text{SiO}_2$  comme résine. Elle devra également pouvoir résister à la gravure plasma. Ce type de gravure sera sans doute préféré à la gravure humide par produits chimiques. En effet, les solutions employées pour la gravure de titane sont sensiblement les mêmes que celles employées pour la gravure de  $\text{SiO}_2$ , ce qui donne une sélectivité de gravure nulle. Aussi, la gravure humide est isotrope, ce qui risque de donner des lignes dont la section est de forme irrégulière. Les profils verticaux fournis par la gravure plasma faciliteraient la modélisation géométrique des lignes utilisées dans les TLM. Une investigation à savoir quel type de gravure plasma conviendrait au titane devrait être menée.

### 5.2.4 Mesures électriques

Au point de vue de la fabrication, les résultats montrés ci-haut permettent d'affirmer que la réalisation de la géométrie de SET suggérée est possible. Des mesures électriques ont été effectuées pour déterminer si les SET à grille autoalignée pouvaient fonctionner à

température ambiante. La figure 5.14 montrent une famille de courbe de courant de drain en fonction de la tension source-drain (communément appelée I-V) mesurées sur un SET. Toutes les mesures sont faites dans une station sous pointe, dans le noir.

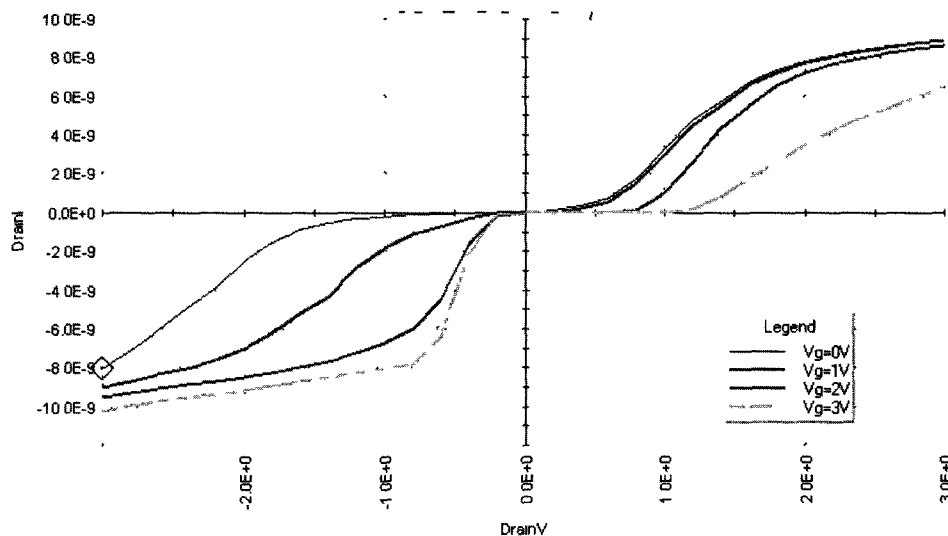


Figure 5.14 Famille de courbes I-V d'un SET à grille auto-alignée fabriqué à l'aide de la plateforme de lithographie hybride. Les courbes sont tracées pour des tensions de grille de 0, 1, 2, et 3 volts. Le graphique montre des caractéristiques typiques de fuite de courant par la grille.

Les courbes mesurées montrent une non-linéarité dans la caractéristique I-V du dispositif. Cette non-linéarité s'apparente à celle attendue d'un SET. La variation de la tension de grille introduit un décalage en tension de la courbe. Ce type de décalage est habituellement typique d'une fuite de courant par la grille. La source de cette fuite n'a pu être identifiée. L'observation au MEB du dispositif a permis de relever une défaillance au niveau de la tranchée. La figure 5.15 montre qu'il y a probablement une discontinuité dans le titane de la tranchée. On peut donc douter que la non-linéarité dans la mesure I-V n'est peut-être pas due à l'îlot, mais à une irrégularité ailleurs dans le dispositif.

La mesure électrique de la figure 5.14 est la seule qui ait pu être effectuée. En effet, tous les autres SET montraient des caractéristiques de circuits ouverts. Dans plusieurs cas, des images SEM ont pu confirmer que des parties de titane dans la tranchée ont été arrachées lors du polissage. Ce problème, également mentionné dans [11], est dû aux forces latérales du polissage chimique-mécanique. La figure 5.16 montre une vue plus éloignée du transistor présenté à la figure 5.7. La vue d'ensemble permet de remarquer que le drain et la source montrent des contrastes différents. L'observation des deux images permet de supposer que la source et l'îlot du transistor illustré ont été arrachés au polissage.

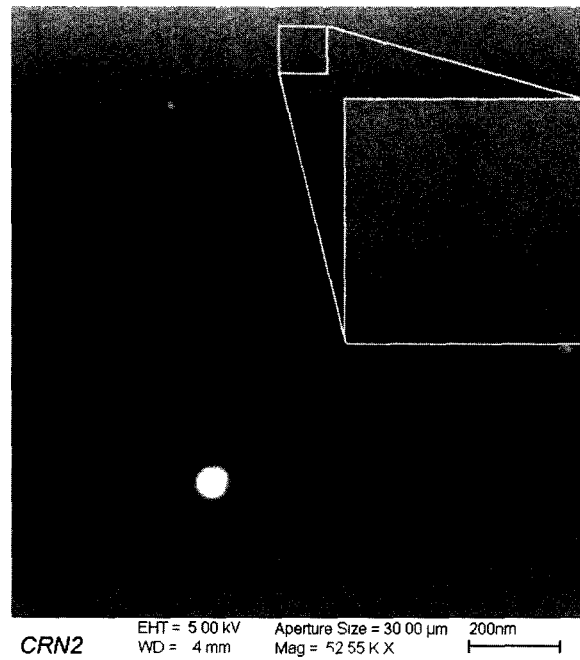


Figure 5.15 Image MEB montrant le SET caractérisé électriquement. L'agrandissement montre un endroit où la piste de titane dans la tranchée est possiblement discontinue.

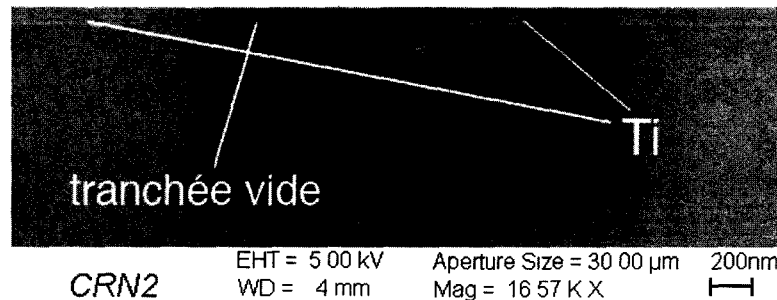


Figure 5.16 Vue éloignée du transistor de la figure 5.7. Les contrastes différents permettent de croire que la source et l'îlot ont été arrachés au polissage.

Des pistes de solutions à ce problème peuvent être envisagées. La première consiste à un changement au niveau de la forme du motif de la première EBL. Dans les transistors fabriqués au cours de ce projet, les lignes de tranchées étaient très longues. Comme on peut voir à la figure 5.17, un rapprochement des contacts permet d'éliminer la longue ligne de tranchée. Avec des contacts comme ceux-ci, il est possible de croire que des discontinuités dans les tranchées loin des îlots tels que ceux de la figure 5.15 auraient été évitées.

Sur d'autres SET, comme celui de la figure 5.18, seuls les îlots semblent avoir été arrachés lors du polissage. Lorsque seul l'îlot manque sur un SET, contrairement à des parties entières de la source ou du drain, l'hypothèse la plus plausible est que le manque d'adhérence discuté à la section 5.2.2 en soit la cause.

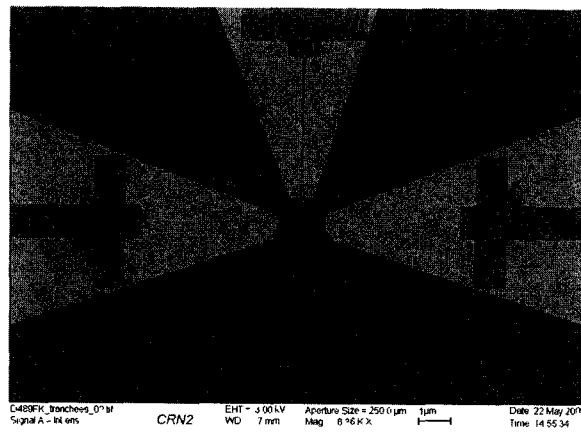


Figure 5.17 Motifs proposés pour limiter la longueur de tranchée. Les motifs en triangle remplaceraient les croix lors de la première EBL. La configuration de la tranchée et de l'ouverture de grille ne seraient pas changée.

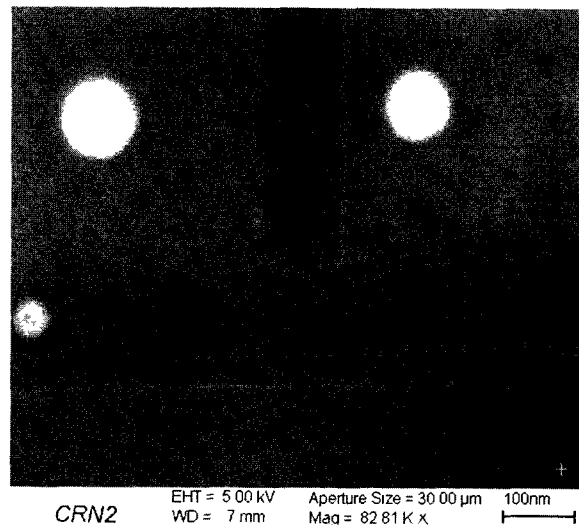


Figure 5.18 Exemple de SET avec îlot manquant. Les billes blanches proviennent de la pâte de polissage.

Pendant le polissage, il arrive un moment où la couche *blanket* qui se trouve directement au-dessus de la ligne d'îlot est polie. Le polissage du *blanket* se poursuit autour de la ligne de titane, mais si celle-ci n'adhère pas bien au substrat de  $\text{SiO}_2$ , il se peut qu'elle soit arrachée. Si la couche *blanket* a une bonne adhérence, son polissage se poursuivra normalement, alors que la région où se trouvait la ligne d'îlot sera plus creuse. Des indices convaincants de ce phénomène ont pu être observés en imagerie MEB, ainsi qu'en imagerie AFM (fig 5.19). La résolution du problème de circuits ouverts nécessite donc également une résolution du problème d'adhérence discuté à la section 5.2.2.

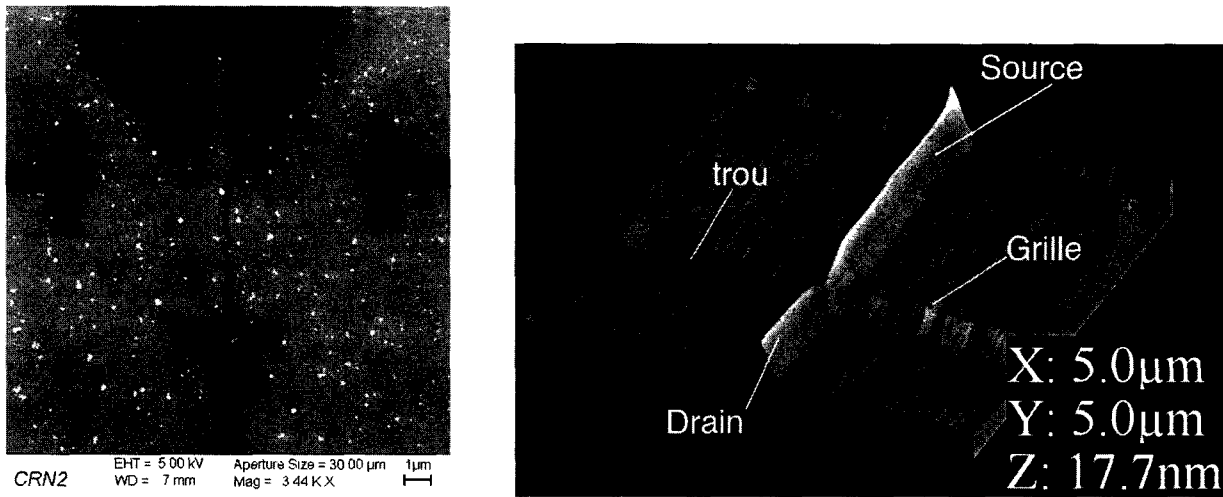


Figure 5.19 Observations d'une ligne d'îlot arrachée par le polissage CMP. Gauche : Image MEB. Les parties foncées sont en titane; les pâles en  $\text{SiO}_2$ . On voit en haut qu'il reste du titane au centre de la cellule SET, mais que la région où la ligne a été déposée est sur-gravée. Droite : Image AFM. On observe les trois parties du SET. On voit également une dépression là où devrait être l'îlot, ainsi qu'un trou de l'autre côté de la grille, où la ligne d'îlot avait été déposée.

## 5.3 Lithographie hybride

Il est à noter que bien que des cellules MIM aient été incluses dans le photomasque, promettant ainsi leur place sur la plateforme de lithographie hybride, leurs caractéristiques électriques n'ont pas été étudiées dans le cadre de ce projet.

### 5.3.1 Photolithographie

Lors de la photolithographie sur les échantillons de 1 cm par 1 cm, certains motifs de petite taille (en particulier la partie centrale du TLM c.f. fig.4.8) ne se sont pas développés, ou encore se sont mal développés. Des tests ont montré que l'ajout d'une étape préalable de lithographie servant à éliminer le cordon de résine (en anglais *edge bead removal*) réglait ce problème.

Le cordon est une élévation située en bordure des échantillons sur lesquels une résine est étalée par rotation. On l'enlève en utilisant un photomasque ayant la forme de l'échantillon, mais de grandeur inférieure. Lors de la lithographie, seul le cordon est exposé et développé, ce qui donne une plus grande planarité de la couche de résine. On évite donc l'effet de parallaxe qui apparaît si le masque n'est pas en contact direct avec la résine.

L'étape d'élimination du cordon retarde considérablement la production, puisque qu'elle doit être réalisée individuellement sur chaque échantillon. Trois pistes de solutions peuvent être empruntées. La première est d'étaler la résine sur une gaufre complète, d'enlever le cordon sur la gaufre, et de découper celle-ci en morceaux de 1 cm par 1cm prêts à être lithographier. Cette solution n'est pas idéale, puisque des éclats provenant de la découpe peuvent se déposer sur la résine, et endommager le photomasque lorsqu'il est mis en contact avec l'échantillon. La seconde solution consiste à compenser la perte des extrémités des pistes de contact TLM en les lithographiant dans la première EBL. Cette solution ajoute du temps d'écriture à l'étape d'électrolithographie, mais permet autrement de conserver le même procédé de fabrication.

La troisième solution serait d'éliminer le cordon sur la gaufre. Celle-ci serait exposée en entier d'un seul coup avec un photomasque contenant une matrice de répétitions du photomasque initial, et ensuite découpée en échantillons de 1 cm par 1 cm. Cette solution se rapproche davantage du paradigme de fabrication industrielle de circuits intégrés. En effet, il serait avantageux en matière de rendement de pouvoir exécuter toute les étapes de fabrication sur des gaufres entières, et de les découper une fois les SET terminés. Par contre, comme la fabrication du masque conçu lors de ce projet a nécessité près de huit heures d'exposition sur le *photoplotter* du centre de recherche, la migration immédiate vers une fabrication au niveau de la gaufre serait trop coûteux considérant que la plateforme de lithographie hybride en est à ses premiers pas. Dans le cadre de ce projet, la compensation par la lithographie EBL était suffisante, mais si le SET damascène aspire à un marché commercial, les travaux futurs doivent s'orienter vers une fabrication de gaufres entières.

### 5.3.2 Polissage

Les paramètres du polissage ne sont pas abordés en profondeur dans ce projet de recherche. Cependant, il a été mentionné qu'un cadre de 300  $\mu m$  de trait entourait la zone des dispositifs. L'effet souhaité de ce cadre couche était qu'il agisse comme couche d'arrêt de polissage. Cet effet ne s'est pas manifesté.

Pour ce projet, les pistes de contact étaient fabriquées par damascène, métallisées par la couche *blanket* et isolées lors du polissage final. Cependant, les pistes ont été confrontées à un problème dit de "dishing", qui fait que le métal au centre des tranchées d'une largeur supérieure à une certaine valeur se polit plus rapidement que sur les côtés. Ce problème est courant dans les étapes de CMP. On en présente un exemple à la figure 5.20.



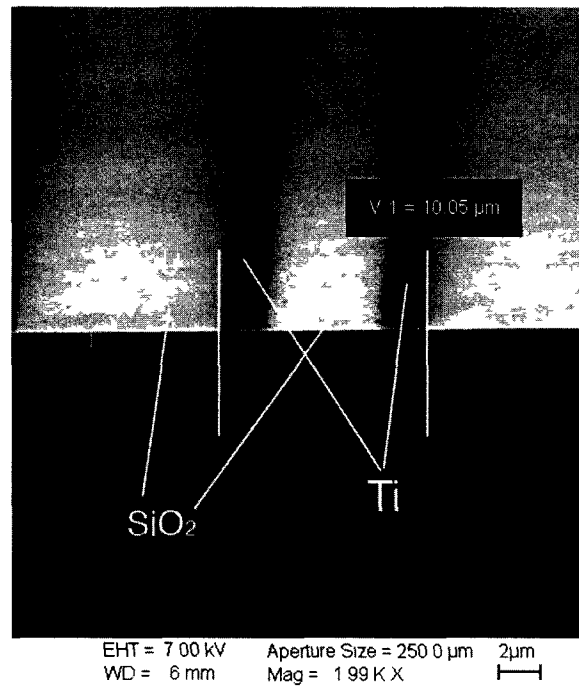


Figure 5.20 Exemple de dishing dans une tranchée d'une largeur de 10  $\mu\text{m}$ . Le titane au centre de la tranchée a été poli jusqu'au fond.

Un autre phénomène dû au polissage s'est manifesté à la jonction entre les motifs photolithographiés et électrolithographiés. La combinaison de motifs à angle droits et de gravures AOE à profondeurs différentes a causé une érosion qui a isolé les SET de leurs pistes de contact. Afin de récupérer les échantillons affectés par ce problème, une étape supplémentaire de lithographie EBL, avec un soulèvement d'un contact chrome-or, a dû être effectuée. La figure 5.21 présente un échantillon érodé et une cellule SET après l'étape de réparation.

Des travaux au niveau du polissage ont permis d'éliminer les problèmes de dishing et d'érosion sur des échantillons plus récents. Cependant, des changements au niveau des motifs du photomasque pourrait permettre d'éviter ces problèmes.

### 5.3.3 Changements au photomasque

Une première suggestion consiste à séparer le motif de masque actuel en deux masques. Le premier serait utilisé pour lithographier les marques d'alignement pour la EBL et quelques structures de test seulement. Les pistes de contacts seraient contenues sur un autre photomasque, qui serait utilisé à la fin du procédé damascène pour contacter les dispositifs. De cette façon, les pistes de contact ne sont pas assujetties au dishing. La connexion entre les pistes et les dispositifs ne dépendant pas du polissage et ne risquent

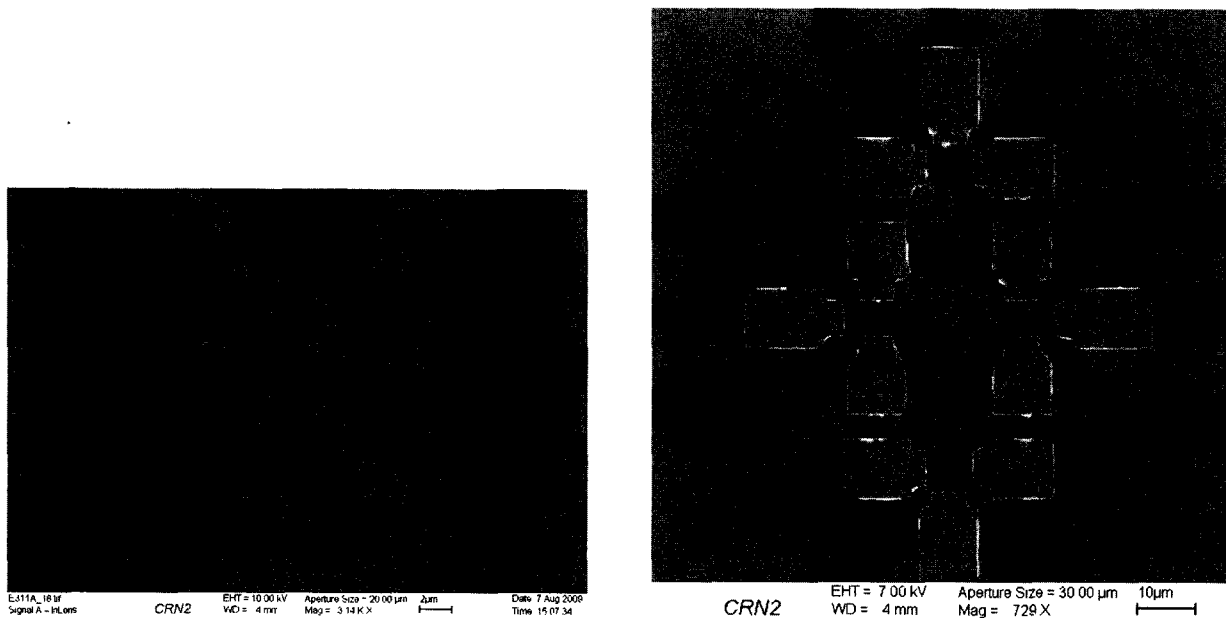


Figure 5.21 Gauche : Exemple d'érosion à la jonction des pistes de contact et des dispositifs.  
Droite : L'isolement a pu être réparé par une lithographie EBL supplémentaire.

donc pas d'être isolées par l'érosion. Comme la première photolithographie est faite au tout début du procédé, et que la seconde est faite après le polissage final, il faut aussi que les masques comprennent un ensemble de marques adaptées à une utilisation avec aligneuse contact. Un tel ensemble de masques a été récemment produit, et des dispositifs sont en cours de fabrication.

Un problème peut être vu dans l'ajout des pistes de contact comme dernière étape du procédé. En effet, la connexion des pistes se fait lorsqu'elles sont déposées sur des contacts en titane, lithographiés lors de la première EBL, qui ont été oxydés en même temps que la ligne d'îlot. Le contact n'est donc pas directement entre deux structures métalliques, mais bien un contact MIM. Afin de remédier au problème de dishing sans risquer d'amener des problèmes de contact, il serait possible de redessiner les pistes de contact du masque actuel. Au lieu d'écrire des pistes qui sont des larges lignes pleines, on pourrait dessiner des pistes en réseaux de lignes de  $2 \mu\text{m}$  de largeur, qui ne sont pas assujetties au dishing. Un tel photomasque est également en développement.

#### 5.3.4 Mesures de résistivité du titane

Des fils simples fabriqués selon le même motif mentionné à la figure 5.11 ont été mesurés. Pour des raisons évoquées à la section 5.2.2, des dispositifs TLM fabriqués par soulèvement n'ont pu être caractérisés.

Pour trouver la résistivité  $\rho$  d'un fil rectangulaire, l'équation suivant est utilisée :

$$\rho = \frac{R \cdot w \cdot t}{l} \quad (5.1)$$

où  $R$  est la résistance mesurée,  $w$  la largeur du fil,  $t$  l'épaisseur du fil et  $l$  sa longueur. Le tableau 5.3 montre les résistivités moyennes calculées sur trois échantillons différents :

Tableau 5.3 Résistivités moyennes sur trois échantillons fabriqués par soulèvement.

Numéro SSE d'échantillon	$\rho$
D264F	$5,02 \times 10^{-5} \Omega \cdot m$
D264G	$2,57 \times 10^{-5} \Omega \cdot m$
D264H	$4,51 \times 10^{-5} \Omega \cdot m$

Des fils ont ensuite été fabriqués par damascène. D'une longueur de  $10,28 \mu m$  et d'une largeur variant entre 16,8 et 27,9 nm, ces fils ont été fabriqués en remplissant une tranchée de 30 nm de profondeur. En comparant cette profondeur nominale à la profondeur obtenue avec un calcul utilisant les valeurs de résistivité du tableau 5.3 et l'équation (5.1), on trouve que la profondeur calculée est inférieure de 17, 19 et 23 nm à la nominale. Ces résultats sont présentés au tableau 5.4.

Tableau 5.4 Calcul d'épaisseur de fils métallique par mesures de résistivité. Les écarts d'épaisseur de fils sont calculés par rapport à une valeur nominale de 30 nm.

$\rho$	Écart moyen avec l'épaisseur nominale
$5,02 \times 10^{-5} \Omega \cdot m$	17,3 nm
$2,57 \times 10^{-5} \Omega \cdot m$	23,5 nm
$4,51 \times 10^{-5} \Omega \cdot m$	18,6 nm

Ces tests préliminaires montrent un écart important entre les mesures d'épaisseur de titane par résistivité et les valeurs auxquelles on s'attend. Il faut par contre souligner que les valeurs d'épaisseur sont nominales, et non mesurées. Bien que la profondeur de la gravure AOE soit bien contrôlée, il est possible que des irrégularités de forme géométriques apparaissent aux bord des nanofils, comme il est observé dans l'image AFM de la figure 5.19. Ces irrégularités, au même titre que les ailettes qui se forment sur les TLM, peuvent faire que le modèle de fil rectangulaire n'est pas adéquat. Des études plus approfondies d'imagerie AFM, et des mesures électriques sur des TLM, pourraient contribuer à améliorer les modèles de résistivité et ainsi permettre de réduire l'écart observé dans ces premiers tests.

De plus, il est possible que l'épaisseur des fils soit réellement plus faible à cause d'un sur-polissage. La corroboration des résultats de mesures électriques à des mesures d'épaisseur d'oxyde avant et après le polissage est donc également une voie à explorer.

# CHAPITRE 6

## CONCLUSION

### 6.1 Retour sur les objectifs du projet de recherche

#### 6.1.1 Grille auto-alignée

Il a été montré au chapitre 5 qu'il était possible de fabriquer des SET avec une grille individuelle auto-alignée. L'auto-alignement par rapport à la distance entre l'îlot et la grille, qui a été identifiée comme étant la dimension dont les variations avait le plus d'influence sur la température d'opération, a été réalisé. Il a également été montré qu'un alignement à trois niveaux de grossissement était suffisant pour déposer la ligne d'îlot dans des ouvertures de grille d'une largeur de 100 nm. On a observé que dans le meilleur des cas, une ligne sur cinq ne tombait pas dans l'ouverture. L'écriture simultanée des marques d'alignement les plus fines et des premiers motifs nanométriques des SET, dans une même exposition, permettrait de réduire l'erreur totale sur l'alignement, et pourrait en augmenter le rendement.

Des problèmes de soulèvement et de polissage ont contribué au manque de dispositifs fonctionnels. Cependant, les résultats obtenus montrent qu'en pratique, toutes les étapes nécessaires à la fabrication d'un SET fonctionnel peuvent être réalisées. Comme les échantillons analysés dans le cadre de ce mémoire étaient les premiers à sortir de la plateforme de lithographie hybride, il y a fort à parier qu'avec des ajustements progressifs et la maturation du procédé, les rendements devraient grandement s'améliorer.

#### 6.1.2 Approche lithographique hybride

La production d'un photomasque contenant toutes les structures de tailles supérieures à un micron a permis d'accélérer grandement la production de SET. Neuf cellules SET peuvent être exposées sur un même échantillon en même temps, alors qu'auparavant les pistes de contact devaient être lithographiées individuellement à l'EBL. De plus, l'introduction de dispositifs-test dans le photomasque de la plateforme hybride permet de caractériser les matériaux et les paramètres de fabrication, en plus d'aider à la caractérisation des SET. Comme il a été mentionné à la section 5.3.3, les problèmes rencontrés lors du polissage pourraient être évités par des changements à la conception des photomasques.

Dans une version future du photomasque, quelques cellules de dispositifs-tests pourraient être remplacées par d'autres cellules SET, ou encore par des cellules au design nouveau, servant à fabriquer des inverseurs SET, par exemple. Aussi, la configuration de la matrice alphanumérique et des réseaux de lignes pourrait être revue afin de pouvoir ajouter des cellules supplémentaires et augmenter la densité de dispositifs.

L'approche lithographique hybride amenait également le remplacement de la lithographie directe dans l'oxyde par un système plus traditionnel de résine électrosensible et de gravure plasma. Il a été montré que la résine PMMA pouvait agir comme masque de gravure à haute résolution, offrant un avantage sur le temps d'écriture par rapport au  $\text{SiO}_2$ . Des résultats préliminaires montrent également que le PMMA pourrait être utilisé pour définir des motifs à haute densité.

### 6.1.3 Caractérisation par mesures électriques

Le remplacement de l'écriture directe dans le  $\text{SiO}_2$  fait en sorte qu'une nouvelle méthode pour évaluer la profondeur du polissage a dû être proposée. La mesure de résistivité du titane par des mesures électriques sur des dispositifs-test était la solution visée. Les dispositifs-tests ont été conçus lors de l'élaboration de la plateforme de lithographie hybride. Comme dans d'autres aspects de ce projet, la caractérisation du polissage par des mesures électrique en était à ses premiers pas dans le procédé damascène. On a pu présenter des résultats préliminaires qui montrent le potentiel de la technique, mais qui demandent une étude plus approfondie afin de pouvoir servir d'une façon fiable à l'arrêt du polissage.

## 6.2 Travaux futurs

Une des problématiques les plus grandes rencontrée lors de ce projet concerne le procédé de soulèvement de structures nanométriques. Les travaux futurs devront se pencher sérieusement sur l'exploration de nouvelles avenues afin de pallier au manque de fiabilité observé ici. Outre la méthode de gravure plasma avec masque de résine négative, d'autres méthodes plus inhabituelles, la nanoimpression par exemple, pourrait être envisagée.

La réalisation de SET individuels offre un intérêt certain. Étant donné le potentiel reconnu du SET nanodamascène [18], il serait intéressant de commencer à l'introduire dans des configurations et des architectures plus complexes. Des travaux afin de rajouter une grille flottante servant de point-mémoire sont déjà en cours, et une collaboration avec une com-

pagnie fabriquant des tranches MOSFET a été entamée dans le but d'explorer l'intégration hybride SET/CMOS. Il serait également intéressant de voir comment se comporte le SET étudié ici dans des applications de logique, comme des inverseurs et des portes.

Les travaux présentés ici constituent le premier pas vers une production à plus grande échelle de SET. Il est discuté dans [8] que les MOSFET ont connu une ascension fulgurante parce que la production d'un nombre phénoménal de transistor a été rendue facile et courante. Il était alors possible de fabriquer et caractériser un grand volume de transistors, permettant alors les études statistiques et l'amélioration des performances générales des dispositifs et des procédés de fabrication. Les SET ont quant à eux été ralentis dans leur cycle de vie par des problèmes de fabrication, mais à la mesure où les techniques progressent, des projets comme celui-ci peuvent se réaliser, et les transistors monoélectroniques peuvent espérer sortir de leur laboratoire pour aller jouer dans la cour des applications commerciales.



# ANNEXE A

## CALCUL DE CAPACITÉ D'UN ÎLOT

La température d'opération du SET à grille auto-alignée est calculée selon le critère suivant :

$$T_{op} = \frac{E_C}{10k_B} \quad (\text{A.1})$$

En utilisant l'équation 1.1, on obtient l'expression suivante :

$$T_{op} = \frac{e^2}{20k_B C_{tot}} \quad (\text{A.2})$$

où  $C_{tot}$  est la capacité totale de l'îlot. Cette valeur peut être trouvée en calculant les contributions des différentes capacités formées entre l'îlot et les autres électrodes du transistor :

Les cinq capacités contribuant à la capacité totale de l'îlot sont :

1. Entre l'îlot et une des parties de grille remplie par la couche *blanket* (surface  $\mathbf{A}_1$ ), appelée  $\mathbf{C}_1$  ;
2. Entre l'îlot et la partie de grille résultant du soulèvement de titane (surface  $\mathbf{A}_2$ ), appelée  $\mathbf{C}_2$  ;
3. Entre l'îlot et l'autre partie de grille remplie par la couche *blanket* (surface  $\mathbf{A}_3$ ), appelée  $\mathbf{C}_3$  ;
4. Entre l'îlot et les électrodes de drain et de source (i.e. les capacités des jonctions tunnel), appelée  $\mathbf{C}_{tunnel}$  ;
5. Entre l'îlot et l'électrode du dos de l'échantillon, appelée  $\mathbf{C}_{dos}$  ;

Tous les calculs de capacité sont faites selon un modèle de condensateur à plaques parallèles (c.f. équation (4.1)). Dans le cas de  $\mathbf{C}_1$  et  $\mathbf{C}_3$ , on prendra les moyennes des surfaces impliquées pour le paramètre  $A$ . La distance  $d$  entre le centre des surfaces respectives sera évaluée en fonction du désalignement  $\mathbf{D}$  dans la figure A.1.

### A.1 Capacité $\mathbf{C}_1$

La distance  $x_1$  entre le centre de la grille et le centre de la face  $\mathbf{A}_1$  est :

$$x_1 = \frac{W_G}{4} - \frac{D}{2} + \frac{L_{\text{îlot}}}{4} - \frac{t_{\text{TiO}_x}}{2} \quad (\text{A.3})$$



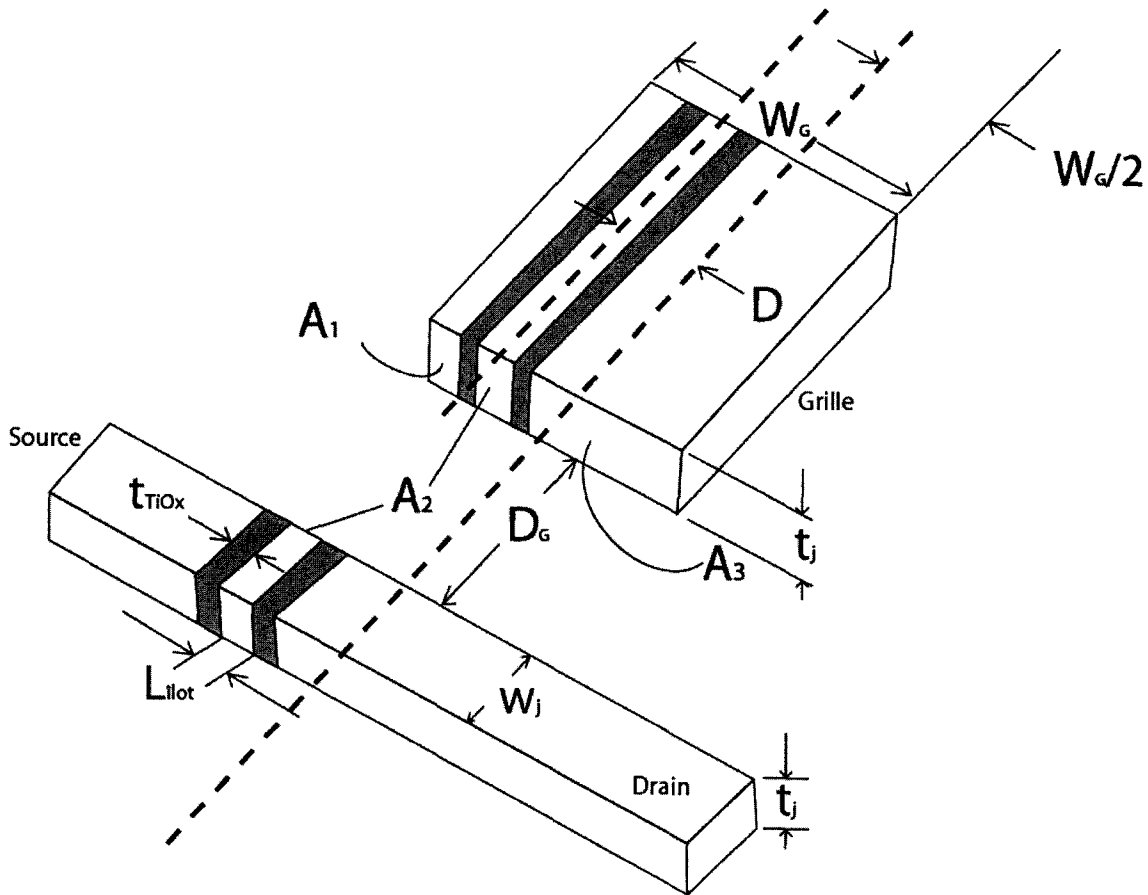


Figure A.1 Reprise de la figure 4.2 : Schéma des paramètres entrant dans le calcul de capacité de l'îlot d'un SET à grille auto-alignée. Les parties blanches sont en titane et les parties oranges sont en oxyde de titane. La signification des dimensions indiquées est résumée au tableau 4.1

On calcule la distance entre le centre de la face de l'îlot et le centre de  $A_1$  par :

$$d_1 = \sqrt{x_1^2 + D_G^2} \quad (\text{A.4})$$

La moyenne des surfaces impliquées,  $A_1$  et la surface de l'îlot faisant face à la grille, est :

$$A_{1_{moy}} = t_j * \left( \frac{W_G}{4} - \frac{D}{2} + \frac{L_{\text{îlot}}}{4} - \frac{t_{TiOx}}{2} \right); \quad (\text{A.5})$$

Puisque le diélectrique séparant la grille et l'îlot est du  $SiO_2$ , la capacité  $C_1$  est :

$$C_1 = \frac{\epsilon_{SiO_2} A_{1_{moy}}}{d_1} \quad (\text{A.6})$$

## A.2 Capacité $C_2$

Plus simple, la capacité se calcule par simple substitution des dimensions dans l'équation (4.1) :

$$C_2 = \frac{\epsilon_{SiO_2} A_2}{D_G} \quad (\text{A.7})$$

où  $A_2 = t_j \cdot L_{\text{lot}}$ .

## A.3 Capacité $C_3$

De la même façon que pour  $C_2$ , on trouve la distance entre le centre de la grille et le centre de  $A_3$  :

$$x_3 = \frac{W_G}{4} + \frac{D}{2} + \frac{L_{\text{lot}}}{4} - \frac{t_{TiO_x}}{2} \quad (\text{A.8})$$

La distance impliquée dans la capacité est donc :

$$d_3 = \sqrt{x_3^2 + D_G^2} \quad (\text{A.9})$$

Encore une fois, de façon semblable à  $C_1$  on trouve la moyenne des surfaces :

$$A_{3_{\text{moy}}} = t_j * \left( \frac{W_G}{4} + \frac{D}{2} + \frac{L_{\text{lot}}}{4} - \frac{t_{TiO_x}}{2} \right); \quad (\text{A.10})$$

$$C_3 = \frac{\epsilon_{SiO_2} A_{3_{\text{moy}}}}{d_3} \quad (\text{A.11})$$

## A.4 Capacité $C_{\text{tunnel}}$

Toutes les dimensions nécessaires à ce calculs sont indiquées dans la figure A.1 :

$$C_j = 2 * (\epsilon_{SiO_2} * t_j * w_j) / t_{TiO_x};$$

$$C_{\text{tunnel}} = \frac{\epsilon_{TiO_x} t_j w_j}{t_{TiO_x}} \quad (\text{A.12})$$

## A.5 Capacité $C_{\text{dos}}$

Les dimensions nécessaires ce calcul sont elles aussi indiquées dans la figure A.1 :

$$C_{\text{dos}} = \frac{\epsilon_{\text{SiO}_2} L_{\text{îlot}} w_j}{t_{\text{SiO}_2}} \quad (\text{A.13})$$

où  $t_{\text{SiO}_2}$  est l'épaisseur de  $\text{SiO}_2$  entre le fond de la tranchée et la surface de Si sous le diélectrique.

## A.6 Capacité totale

La capacité totale  $C_{\text{tot}}$  est calculée en additionnant les cinq contributions mentionnées :

$$C_{\text{tot}} = C_1 + C_2 + C_3 + C_{\text{tunnel}} + C_{\text{dos}} \quad (\text{A.14})$$

Les valeurs des paramètres fixes dans le calcul sont présentés au tableau A.1

Tableau A.1 Paramètres fixes dans le calcul de la capacité de l'îlot.

Paramètre	Valeur	Note
$\epsilon_{\text{SiO}_2}$	3,9	Permittivité relative du $\text{SiO}_2$
$\epsilon_{\text{TiO}_x}$	3,5	Permittivité relative du $\text{TiO}_x$
$L_{\text{îlot}}$	60 nm	[11]
$t_j$	2 nm	<i>idem</i>
$w_j$	10 nm	<i>idem</i>
$t_{\text{SiO}_2}$	90 nm	<i>idem</i>
$t_{\text{TiO}_x}$	8 nm	<i>idem</i>
$W_G$	100 nm	Voir section 4.1.1

La figure A.2 montre la température d'opération du SET en fonction de différentes largeurs de grille à désalignement nul.

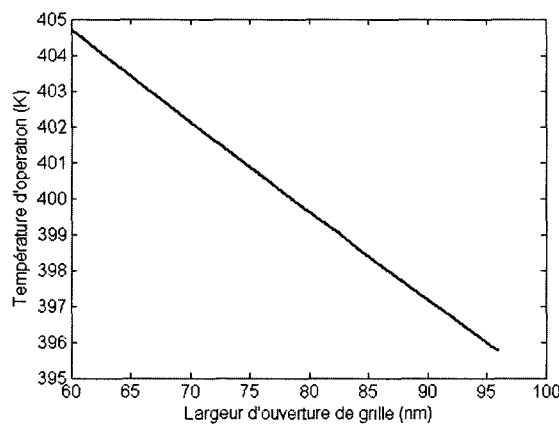


Figure A.2 Température d'opération calculée pour différentes largeurs de grille  $W_G$  d'un SET à grille auto-alignée. Le calcul est fait à désalignement nul.

# ANNEXE B

## Liste des images du chapitre 5

Le tableau suivant fournit l'information sur la provenance des diverses images utilisées dans le chapitre 5.

Tableau B.1 Provenance des images du chapitre 5

Figure	Numéro SSE de l'échantillon	Note
5.1	D489AJ	
5.2	D489AK	
5.4	D455A	
5.3	D455B	
5.5	D489FK	
5.6	D489FK	Transistor gauche : cell. D4, droite : E2
5.7	D489FB	Cellule E2, transistor du bas
5.8	D690B	
5.10	D489FF	
5.11	D264G	
5.12	D489FN	
5.14	D489FC	SET mesuré : cell. C2, transistor de gauche
5.15	D489FC	<i>idem</i>
5.16	D489FB	cell. E2
5.17	D489FK	pour les fins du schéma seulement
5.18	D489FB	cell. C2
5.19	D489FB	MEB : cell. C2, trans. bas ; AFM : cell C2, trans. haut
5.20	D489AD	Éch. composé exclusivement de structures-test
5.21	E311A	



# **ANNEXE C**

## **PROCÉDÉ DE FABRICATION COMPLET**

Liste des étapes réalisées pour D489FF

Type	Détail	Note
Oxydation	Tube 2 contrôlé par ordinateur, sous N2 à 20%, Entré à 400C, Monté à 1050C en 30minutes Attente de 10minutes,	
Ellipsométrie	MSE = 1.7110 Thickness # 1 = 88.16 ± 0.011 nm n of Cauchy Film @ 1.960 eV = 1.467	Fichiers :
Oxydation	Tube 2, sous N2 à 20%, Entré à 400C, Monté à 1000C en 35minutes	
Ellipsométrie	MSE = 1.5219 Thickness # 1 = 94.04 ± 0.009 nm	Mesure d'un échantillon en un point. Fichiers :
Oxydation	Tube 2, sous N2 à 20%, Entré à 20C, Monté à 1000C en 30minutes	
Ellipsométrie	MSE = 1.6558 Thickness # 1 = 99.89 ± 0.010 nm	Mesure d'une gaufre en un point Fichiers :
Photolithographie > Étalement de résine	Vitesse (rpm) : 3000 Durée (s) : 30s	
Photolithographie > Recuit de résine	T (°C) : 115 Durée : 1min	
Photolithographie > Exposition	Aligneuse : OAI Mode : Intensité courante Intensité (mW/cm2) : 22	
Photolithographie > Développement de résine	Développeur : MF319 Durée : 30s T (°C) : ambiante	à la développeuse
AOE-STS	SiOSlo_1_103.xls - Non standard Num STS : AOE1050-2	
Plasma O <sub>2</sub> Plasmaline	100W 10 min	strip de résine s1805 après gravure aoe
Électrolithographie > Étalement de résine	Vitesse (rpm) : 2500 Durée (s) : 20s	épaisseur ellipso : 51-56 nm
Électrolithographie > Recuit de résine	T (°C) : 180 Durée : 3min	épaisseur ellipso : 51-56 nm
Électrolithographie > Exposition	Microscope : 1530 Tension (kV) : 20 Distance de travail(mm): 5.1 Diaphragme(µm): 10 Courant de faisceau (pA): 27.8	fait la litho de F, ensuite de C. SET E3 de F : skippé la deuxième étape d'alignement, pour voir : motif désaligné, invalid matrix calculation à la 3eme étape quand j'ai essayé de compenser. Fichiers :
Électrolithographie > Développement de résine	Développeur : IPA-H2O 9:1 Durée : 1min 30 T (°C) : 20	
AOE-STS	SiOSlo_1_137.xls - Non standard Num STS : AOE1128-2	
Plasma O <sub>2</sub> Plasmaline	100W 5 min	strip résine
Électrolithographie > Étalement de résine	Vitesse (rpm) : 4000 Durée (s) : 30s	épaisseur 75-76 nm
Électrolithographie > Recuit de résine	T (°C) : 180 Durée : 90s	épaisseur 75-76 nm

Électrolithographie > Étalement de résine	Vitesse (rpm) : 2500-3200 Durée (s) : 20s Étaleuse : Solitec Type : pmma hmw 2%	B : 3200 rpm 32.99 nm (spread 2,5 sec) C : 3200 rpm 18.08 nm (spread 2,5 sec) F : 3000 rpm 31.44 nm (spread 2,5 sec) N : 2500 rpm 35.49 nm (spread 1 sec)
Électrolithographie > Recuit de résine	T (°C) : 180 Durée : 90s Méthode : Plaque chauffante	B : 3200 rpm 32.99 nm (spread 2,5 sec) C : 3200 rpm 18.08 nm (spread 2,5 sec) F : 3000 rpm 31.44 nm (spread 2,5 sec) N : 2500 rpm 35.49 nm (spread 1 sec)
Électrolithographie > Exposition	Microscope : 1530 Tension (kV) : 20 Distance de travail(mm) : 5.1	ajouté les parties déposition de métal pour les capa mim Fichiers : Nom(s) de fichier NPGS : SET-ilots.rf6
Électrolithographie > Développement de résine	Développeur : IPA-H20 9:1 Durée : 1min30 T (°C) : 20	
Évaporation : Évaporateur Sloan (canon à électrons) - Salles propres	Couche N°1 : cible : Ti taux de dépôt : 2 A/s épaisseur visée : 25 nm	
Électrolithographie > Soulèvement	Solvant : acetone Durée : dégagement	3s quand le métal commence à "faire des bulles", 3-5 secondes vers la fin pour enlever ce qu'il reste
Oxydation	plasmaline O2 50W 10 minutes débit 2,5	
Évaporation : Évaporateur Sloan (canon à électrons) - Salles propres	Couche N°1 : cible : Ti taux de dépôt : 5 A/s épaisseur visée : 60 nm	
Autre type d'opération	Polissage CMP, tête fixe, insert R-601.  PARAMÈTRES montage = standard 09/08/04 pad = 0.02 um Chem-Pol (8 po) slurry = 0.02 um silica m = 300 g (via 282 g brut) nu = 30 rpm	Fichiers :
Caractérisation SEM	Durée : 2h Observation des dispositifs.	Fichiers :
Électrolithographie > Étalement de résine	Vitesse (rpm) : 4k Durée (s) : 30s	Pour réparation de l'érosion
Électrolithographie > Recuit de résine	T (°C) : 180 Durée : 90	
Électrolithographie > Étalement de résine	Vitesse (rpm) : 4k Durée (s) : 30s	
Électrolithographie > Recuit de résine	T (°C) : 180 Durée : 90s	
Électrolithographie > Exposition	Microscope : 1530 Tension (kV) : 20 Distance de travail(mm): 5.1	Fichiers : Nom(s) de fichier NPGS : projet : reparation d489ff





# LISTE DES RÉFÉRENCES

- [1] Beaumont, A., Dubuc, C., Beauvais, J. et Drouin, D. (2007) Titanium nanowires interspersed with tens of zeptofarad tunnel junctions for high density single electron circuit fabrication. volume 1058. Materials Research Society.
- [2] Beaumont, A., Dubuc, C., Beauvais, J. et Drouin, D. (2009) Room temperature single-electron transistor featuring gate-enhanced on-state current. *Electron Device Letters, IEEE*, volume 30, n° 7, p. 766–768.
- [3] Bhardwaj, J. K., Welch, C., Barker, A., Gunn, R., Lea, L. et Watcham, S. (2000) *Advances in Deep Oxide Etch Processing for MEMS - Mask Selection*. Rapport technique, Surface Technology Systems Limited, 307-310 p.
- [4] Centre de recherche en nanofabrication et nanocaractérisation (CRN<sup>2</sup>) (2010) *Guide de l'utilisateur des salles blanches*. [https://crn2.gel.usherbrooke.ca/guide\\_sb/](https://crn2.gel.usherbrooke.ca/guide_sb/), page consultée le 10 janvier 2010.
- [5] Choi, B., Hwang, S., Kim, I., Shin, H., Kim, Y. et Kim, E. (1998) Fabrication and room-temperature characterization of a silicon self-assembled quantum-dot transistor. *Applied Physics Letters*, volume 73, n° 21, p. 3129–3131.
- [6] Dolan, G. J. (1977) Offset masks for lift-off photoprocessing. *Applied Physics Letters*, volume 31, n° 5, p. 337–339.
- [7] Drouin, D., Couture, A. R., Joly, D., Tastet, X., Aimez, V. et Gauvin, R. (2007) CASINO V2.42 - A fast and easy-to-use modeling tool for scanning electron microscopy and microanalysis users. *Scanning*, volume 29, n° 3, p. 92–101.
- [8] Dubuc, C. (2008) *Étude et fabrication de transistors mono-électroniques à température d'opération étendue*. Thèse de doctorat, Université de Sherbrooke, Sherbrooke, 126 p.
- [9] Dubuc, C., Beaumont, A., Beauvais, J. et Drouin, D. (2009) Current conduction models in the high temperature single-electron transistor. *Solid-State Electronics*, volume 53, n° 5, p. 478–482.
- [10] Dubuc, C., Beauvais, J. et Drouin, D. (2007) Single-electron transistors with wide operating temperature range. *Applied Physics Letters*, volume 90, n° 11, p. 31041–3.
- [11] Dubuc, C., Beauvais, J. et Drouin, D. (2008) A nanodamascene process for advanced single-electron transistor fabrication. *IEEE Transactions on Nanotechnology*, volume 7, n° 1, p. 68 – 73.
- [12] Franssila, S. (2004) *Introduction to Microfabrication*. John Wiley & Sons, Etobicoke, Ontario, Canada, 422 p.
- [13] Fulton, T. et Dolan, G. (1987) Observation of Single-Electron Charging Effects in Small Tunnel Junctions. *Physical Review Letters*, volume 59, n° 1, p. 109–112.

- [14] Guo, L., Leobandung, E. et Chou, S. (1997) A silicon single-electron transistor memory operating at room temperature. *Science*, volume 275, p. 649–651.
- [15] Hanson, G. (2007) *Fundamentals of Nanoelectronics*. Prentice Hall, Reading, MA, USA, 400 p.
- [16] Imre, A., Csaba, G., Ji, L., Orlov, A., Bernstein, G. et Porod, W. (2006) Majority logic gate for magnetic quantum-dot cellular automata. *Science*, volume 311, n° 5758, p. 205 – 8.
- [17] International Technology Roadmap for Semiconductors (2007) *Executive Summary 2007 Edition*. \http://www.itrs.net/Links/2007ITRS/ExecSum2007.pdf, page consultée le 21 septembre 2009.
- [18] International Technology Roadmap for Semiconductors (2007) *Emerging Research Devices 2007 Edition*. \http://www.itrs.net/links/2007ITRS/2007\_Chapters/2007\_ERD.pdf, page consultée le 21 septembre 2009.
- [19] Keller, M., Martinis, J., Steinbach, A. et Zimmerman, N. (Apr 1997) A seven-junction electron pump : design, fabrication, and operation. *Instrumentation and Measurement, IEEE Transactions on*, volume 46, n° 2, p. 307–310.
- [20] Likharev, K. (1999) Single-electron devices and their applications. *Proceedings of the IEEE*, volume 87, n° 4, p. 606–632.
- [21] Park, K., Kim, S., Baek, I., Lee, W., Kang, J., Jo, Y., Lee, S., Lee, C., Choi, J., Kim, J., Park, K., Cho, W., Jang, M. et Lee, S. (2005) SOI single-electron transistor with low RC delay for logic cells and SET/FET hybrid ICs. *IEEE Transactions on Nanotechnology*, volume 4, n° 2, p. 242–248.
- [22] Toriumi, A., Uchida, K., Ohba, R. et Koga, J. (1999) Challenge and prospects for silicon set/fet hybrid circuits. *Physica B : Condensed Matter*, volume 272, n° 1-4, p. 522 – 526.
- [23] Yano, K., Ishii, T., Sano, T., Mine, T., Murai, F., Hashimoto, T., Kobayashi, T., Kure, T. et Seki, K. (1999) Single-electron memory for giga-to-tera bit storage. *Proceedings of the IEEE*, volume 87, n° 4, p. 633–651.