

UNIVERSITÉ DU QUÉBEC

MÉMOIRE PRÉSENTÉ À
L'UNIVERSITÉ DU QUÉBEC À TROIS-RIVIÈRES

COMME EXIGENCE PARTIELLE
DE LA MAÎTRISE EN GÉNIE ÉLECTRIQUE

PAR
OUSSAMA BERRIAH

ÉTUDE ET CONCEPTION D'UN BLOC DE PUISSANCE APPARIÉ À UNE
TRANCHE DE SILICIUM

JUILLET 2011

Université du Québec à Trois-Rivières

Service de la bibliothèque

Avertissement

L'auteur de ce mémoire ou de cette thèse a autorisé l'Université du Québec à Trois-Rivières à diffuser, à des fins non lucratives, une copie de son mémoire ou de sa thèse.

Cette diffusion n'entraîne pas une renonciation de la part de l'auteur à ses droits de propriété intellectuelle, incluant le droit d'auteur, sur ce mémoire ou cette thèse. Notamment, la reproduction ou la publication de la totalité ou d'une partie importante de ce mémoire ou de cette thèse requiert son autorisation.

RÉSUMÉ

Le travail présenté dans ce mémoire de maîtrise porte sur les études, les travaux de recherches et les analyses qui ont été effectuées durant la conception d'un bloc de puissance apparié à une tranche de silicium.

Le bloc de puissance est un élément important pour le développement et le fonctionnement du WaferBoard™ qui est une carte de prototypage rapide des systèmes électronique. La carte de prototypage rapide a pour objectif de réduire le coût et le temps de conception des systèmes électroniques complexes, elle peut être utilisée comme carte de prototypage rapide comme elle peut être une carte d'essais ou simulateur réel et physique d'un système électronique en développement. Cette carte permet à ses utilisateurs de détecter les pins des composants électroniques encapsulé dans des boîtiers à matrice de billes (Ball Grid Array, BGA) par l'intermédiaire de sa surface active, de les identifier et d'établir des interconnexions entre ces composants d'une façon intelligente est programmable ainsi que d'assurer leurs alimentation par les tensions et les puissances appropriés.

La pertinence du sujet et de ces travaux de recherches se présente d'une part dans l'utilité de la carte de prototypage dans la recherche et l'industrie et par la suite dans l'utilité et le rôle du bloc de puissance dans la carte et d'autre part dans l'originalité et les nouveautés technologique apportées par le projet. Le rôle du bloc de puissance se compose de trois parties : il doit assurer l'alimentation de la tranche de silicium par les tensions et les courants adéquats, conduire la chaleur de la tranche verticalement vers le bas pour qu'elle soit évacuée par le radiateur ainsi que d'assurer un bon support mécanique pour la tranche de silicium.

Les études et les travaux présentés, ont été axés sur la conception du bloc de puissance et l'attachement du bloc de puissance à la tranche de silicium, l'amélioration des qualités électrique du bloc de puissance, de sa conductivité thermique et de sa qualité de support mécanique pour la tranche.

Finalement, deux configurations du bloc de puissance ont été proposées pour une investigation thermique avec la combinaison de deux outils informatique de l'analyse thermique : Qfin et NISA (Numerical Integrated element for System Analysis). Les résultats de ces analyses ont permis l'évaluation des performances de ces deux modèles et par la suite le choix de la configuration adéquat pour la carte de prototypage ainsi que la validation des spécifications de fabrication.

Mots clés : bloc de puissance, tranche de silicium, carte de prototypage rapide, spéciation de fabrication, conception, analyse thermique.

SUMMURY

The information presented in this master's dissertation describes the studies, research and analyses carried out during the conception of a power block that is powering and attached to a silicon wafer.

The power block is a critical element in the development and functioning of the WaferBoard™, which is a board, used for the rapid prototyping of electronic systems. The use of this prototyping board will allow for the reduction of both the cost and time involved in the development of complex electronic systems containing high technology components such as: FPGA, ASIC, processors and memories. Users of the prototyping board can place components on the active upper surface of the board, which will then detect the component pins, power them with the corresponding power and tension, and allow intelligible and programmable connections to be made between components. These connections can be modified at any time, allowing the user to add or remove both connections and components.

The role of the power block is threefold: electrical, thermal and mechanical. The electrical, which includes the powering of the silicon wafer with proper voltages and currents; the thermal, which involves the conduction of temperature vertically to the heat-sink which is on the bottom; and the mechanical, which involves the strength of the board and power block structure as a whole.

The relevance of the topic and its related research is evidenced, firstly, by the use of the prototyping board in research and industry endeavours and, subsequently, the use of the power block in the board. Secondly, this project is important because of its originality and the technological innovations that it offers. The studies involved in this project are based on the miniaturization of the power block dimensions, improvements to its electric qualities, its thermal conductivity, and the mechanical support for the silicon wafer.

Finally, two power block configurations were put forward for thermal investigations through a combination of two computer-based tools for the thermal analysis: Qfin and NISA (Numerical Integrated element for System Analysis). The results of these analyses allowed for performance evaluations of these three models and the subsequent choice of the most appropriate model for the prototyping board, as well as the verification of manufacturer specifications.

Key words: power block, silicon wafer, rapid prototyping board, manufacturer specifications, thermal analysis.

REMERCIEMENTS

Je tiens à remercier mon directeur Monsieur Ahmed Lakhssassi qui m'a offert la possibilité de travailler sur le sujet de mon mémoire au sein du laboratoire LIMA (Laboratoire d'Ingénierie des Microsystèmes Avancées). Je tiens à remercier également mon codirecteur Monsieur Adel-Omar Dahmane de l'UQTR. Je tiens à remercier tous les membres de l'équipe de recherche DreamWafer™ ainsi que le personnel de la compagnie Technocap à Montréal. Je veux aussi remercier MITACS et FQRNT pour le soutien financier.

Enfin, je tiens à remercier tous les membres de ma famille et particulièrement mes parents et mon épouse.

TABLE DES MATIÈRES

CHAPITRE 1	INTRODUCTION	- 1 -
1.1	MISE EN CONTEXTE	- 1 -
1.2	INTRODUCTION AU PROJET	- 2 -
1.3	ORIGINALITÉS ET PERTINENCE DU PROJET	- 3 -
1.4	EXPOSÉ DE LA PROBLÉMATIQUE	- 3 -
1.4.1	<i>Problématique : partie thermomécanique</i>	- 4 -
1.4.1.1	Résumé de la problématique thermomécanique	- 8 -
1.4.2	<i>Problématique : partie électrique</i>	- 9 -
1.5	MÉTHODOLOGIE, PRÉSENTATION DU MÉMOIRE	- 9 -
CHAPITRE 2	ÉTAT DE L'ART	- 11 -
2.1	PRÉSENTATION DE LA CARTE DE PROTOTYPAGE WAFERBOARD™	- 11 -
2.1.1	<i>Fonctionnement de la carte WaferBoard™</i>	- 11 -
2.1.2	<i>La plaquette Wafer-Scale (WSI), la tranche de silicium WaferIC</i>	- 13 -
2.1.2.1	Avantage de l'utilisation de la tranche de silicium, WSI	- 13 -
2.1.3	<i>La distribution de la puissance dans la tranche de silicium</i>	- 14 -
2.1.4	<i>Le concept de la carte Wafer-Board</i>	- 16 -
2.1.5	<i>Le réseau configurable d'interconnexion, WaferNet</i>	- 18 -
2.1.6	<i>Détection des billes du composant</i>	- 20 -
2.1.7	<i>Architecture fonctionnelle de l'Unité-Cellule</i>	- 21 -
2.1.8	<i>Plan architectural des cellules</i>	- 22 -
2.2	GÉNÉRALITÉS, ET ANALYSES THERMIQUES DE LA CARTE DE PROTOTYPAGE	- 23 -
2.2.1	<i>Généralités et notions de bases de la thermodynamique</i>	- 23 -
2.2.1.1	La température de jonction maximale, T_{jmax}	- 23 -
2.2.1.2	Formules et paramètres importants de la thermodynamique	- 24 -
2.2.2	<i>Moyens et outils d'analyses et de conceptions thermiques</i>	- 27 -
2.2.3	<i>Techniques de Conception d'éléments de refroidissement et radiateurs</i>	- 29 -
2.2.3.1	Choix dans la conception d'un élément de refroidissement	- 29 -
2.2.3.2	Ressources matériels pour la conception	- 30 -
2.2.4	<i>Investigations thermique antérieures de la carte de prototypage</i>	- 30 -
2.2.5	<i>Conclusion</i>	- 31 -
CHAPITRE 3	SPÉCIFICATIONS DE CONCEPTION	- 32 -
3.1	RÔLE DU BLOC DE PUISSANCE	- 32 -
3.2	LE WAFER ET LE BLOC DE PUISSANCE	- 33 -
3.3	LA TAILLE DU BLOC DE PUISSANCE	- 34 -
3.3.1	<i>Bloc de puissance couvrant la totalité de la tranche</i>	- 34 -
3.3.1.1	Propriétés électriques du bloc de puissance	- 35 -
3.3.1.2	Propriétés thermomécaniques du bloc de puissance	- 35 -
3.3.2	<i>Bloc de puissance couvrant une partie de la tranche</i>	- 37 -

3.3.2.1	Propriétés électriques du bloc de puissance.....	- 38 -
3.3.2.2	Propriétés thermomécaniques du bloc de puissance	- 38 -
3.3.3	<i>Bilan et solution adoptée</i>	- 39 -
3.3.3.1	Solution adoptée.....	- 39 -
3.4	CONNEXION ENTRE LE BLOC DE PUISSANCE ET LE WAFER.....	- 41 -
3.5	MODÈLE THERMOMÉCANIQUE	- 42 -
3.6	SPÉCIFICATIONS ÉLECTRIQUES.....	- 44 -
3.6.1	<i>Impédance des rails en DC</i>	- 46 -
3.6.2	<i>Impédance des rails en AC</i>	- 47 -
3.6.3	<i>Stratégie contre le défaut et sa détection</i>	- 50 -
CHAPITRE 4	CHOIX DE CONCEPTION	- 54 -
4.1	CHOIX DE CONCEPTION ÉLECTRIQUE.....	- 54 -
4.1.1	<i>Choix de l'architecture du bloc de puissance</i>	- 54 -
4.1.2	<i>Choix du régulateur de tension</i>	- 55 -
4.1.2.1	Solution adoptée.....	- 57 -
4.1.3	<i>Choix et calcul de l'inductance et du condensateur de sortie</i>	- 58 -
4.1.3.1	Choix de l'inductance de sortie	- 59 -
4.1.3.2	Choix du condensateur de sortie.....	- 60 -
4.1.4	<i>Réseaux de condensateurs de découplages</i>	- 61 -
4.1.4.1	Calcul des paramètres du réseau de distribution de la puissance.....	- 62 -
4.1.4.1.1	Détermination de la résistance de la sortie du régulateur	- 63 -
4.1.4.1.2	Impédance de l'inductance.....	- 64 -
4.1.4.1.3	Impédance du condensateur	- 64 -
4.1.4.1.4	Impédance du plan d'alimentation.....	- 64 -
4.1.4.2	Analyses fréquentiel du réseau de distribution de la puissance	- 65 -
4.1.4.3	Calcul des condensateurs de découplage.....	- 68 -
4.1.4.4	Réseau de distribution de la puissance avec les condensateurs de découplage.....	- 70 -
4.2	CHOIX DE CONCEPTION THERMOMÉCANIQUE	- 71 -
4.2.1	<i>Validation du modèle thermomécanique du bloc de puissance</i>	- 71 -
4.2.1.1	Premier modèle pour le bloc de puissance	- 72 -
4.2.1.2	Deuxième modèle du bloc de puissance	- 72 -
4.2.2	<i>Détermination de la distance minimale entre les blocs de puissance</i>	- 73 -
4.2.2.1	Analyses thermomécaniques	- 73 -
4.3	CONCLUSION	- 75 -
CHAPITRE 5	CONCLUSION GÉNÉRALE	- 76 -
Références	-78-
Annexe A	-82-

LISTE DES FIGURES

FIGURE 1-1 LES SENS DE TRANSFERT DE LA CHALEUR DE LA TRANCHE ET DU COMPOSANT IC	4
FIGURE 1-2 ZONE DE CONTACT ENTRE LE COMPOSANT IC ET LA TRANCHE DE SILICIUM	5
FIGURE 1-3 POCHES THERMIQUES AU DESSUS DE LA TRANCHE DE SILICIUM WAFERIC	6
FIGURE 1-4 BLOC DE PUISSANCE ATTACHÉ À LA TRANCHE DE SILICIUM	7
FIGURE 1-5 COURBURES DANS LE BLOC DE PUISSANCE	8
FIGURE 2-1 ILLUSTRATION DE LA CARTE DE PROTOTYPAGE CONNECTÉ À UN ORDINATEUR	12
FIGURE 2-2 STRUCTURE MASTER ESCLAVE DU RÉGULATEUR PROGRAMMABLE [21]	14
FIGURE 2-3 FLUX DE PUISSANCE DANS LA CARTE DE PROTOTYPAGE	15
FIGURE 2-4 COMPOSANTS IC POSÉS SUR LA SURFACE DE LA TRANCHE DE SILICIUM	16
FIGURE 2-5 ILLUSTRATION DE LA CARTE DE PROTOTYPAGE, LE WAFER, RÉTICULE, CELLULE [22]	17
FIGURE 2-6 WAFER-SCALE AVEC DES RANGÉES DE CELLULES PROGRAMMABLES CONTENANT 4x4 NANOPADS [22]	18
FIGURE 2-7 CONNECTIVITÉ DANS LE WAFERNET [22]	19
FIGURE 2-8 PRÉSENTATION DU WAFERNET CONNECTANT DES BILLES DU COMPOSANT IC [22]	19
FIGURE 2-9 DÉTECTION DES BILLES DU COMPOSANT PAR LE COURT-CIRCUIT [22]	20
FIGURE 2-10 BARRE TRANSVERSALE ET BLOC DE CONTRÔLE POUR LES NANOPADS	21
FIGURE 2-11 ILLUSTRATION DU PROTOTYPE PERMETTANT LE CONTACT DE DEUX BILLES AVEC UNE CELLULE [22]	22
FIGURE 2-12 TRANSFERT THERMIQUE ENTRE DEUX POINTS AU LONG DE LA DISTANCE « ϵ »	25
FIGURE 3-1 RÉTICULES DANS LA TRANCHE DE SILICIUM	33
FIGURE 3-2 BLOC DE PUISSANCE AYANT LA TAILLE DE LA TRANCHE	34
FIGURE 3-3 PILIERS-COLONNES DE SUPPORT DU WAFER DANS LE BLOC DE PUISSANCE	36
FIGURE 3-4 PLUSIEURS BLOCS DE PUISSANCE POUR ALIMENTER LA TRANCHE	37
FIGURE 3-5 POSSIBILITÉ DE LA DÉFORMATION DU WAFER EN FONCTION DES DIMENSIONS DU BLOC	38
FIGURE 3-6 VINGT-ET-UN BLOCS DE PUISSANCE AYANT UNE SURFACE DE 36x36 mm ²	40
FIGURE 3-7 ESPACEMENT ENTRE TSV	41
FIGURE 3-8 SOLUTION ADOPTÉE, 4 PADS PAR TSV	42
FIGURE 3-9 HAUTEUR DU BLOC DE PUISSANCE	43
FIGURE 3-10 SCHÉMA DE PRINCIPE DU FLUX DE LA PUISSANCE DANS LE WAFERBOARD™	44
FIGURE 3-11 UN COMPOSANT IC ALIMENTÉ PAR 4 BLOCS DE PUISSANCE	45
FIGURE 3-12 SUBSTRAT À MULTICOUCHES AVEC PLUSIEURS PLANS D'ALIMENTATION	47
FIGURE 3-13 IMPÉDANCE DU SUBSTRAT	48
FIGURE 3-14 SCHÉMA DU RAIL D'ALIMENTATION	49
FIGURE 3-15 SCHÉMA DE PRINCIPE DU SYSTÈME INTELLIGENT DE LA CARTE DE PROTOTYPAGE	50
FIGURE 3-16 CONTRÔLABILITÉ DANS LE BLOC DE PUISSANCE	51
FIGURE 4-1 ARCHITECTURE DU BLOC DE PUISSANCE	54
FIGURE 4-2 COURANT DE SORTIE DES RÉGULATEURS EN (A) EN FONCTION DE L'ESPACE OCCUPÉ EN (mm ²)	56
FIGURE 4-3 SOLUTION ADOPTÉE AVEC LE RÉGULATEUR IP1202	57
FIGURE 4-4 PUISSANCE DISSIPÉE EN FONCTION DE LA FRÉQUENCE DANS L'IP1202 [41]	58
FIGURE 4-5 ZONES DE PLACEMENT DE CONDENSATEUR DE DÉCOUPLAGE DANS LE BLOC DE PUISSANCE	61
FIGURE 4-6 SCHÉMA DE L'IMPÉDANCE DU RÉSEAU DE DISTRIBUTION DE LA PUISSANCE « PDN »	62
FIGURE 4-7 PUISSANCE DISSIPÉE DANS LES DEUX SORTIES DU RÉGULATEUR EN FONCTION DU COURANT DE SORTIE	63
FIGURE 4-8 L'IMPÉDANCE DU PDN SANS LES CONDENSATEURS BPCN ENTRE [0-10KHZ]	65

FIGURE 4-9 L'IMPÉDANCE DU PDN SANS LES CONDENSATEURS BPCN ENTRE [1KHz-10MHz]-----	67 -
FIGURE 4-10 COMPORTEMENT RÉSIDIF, CAPACITIF ET INDUCTIF DU RÉSEAU PDN ENTRE [1KHz-10MHz]-----	68 -
FIGURE 4-11 COMPORTEMENT DE L'IMPÉDANCE D'UN CONDENSATEUR DE 100NF -----	69 -
FIGURE 4-12 L'IMPÉDANCE DU RÉSEAU PDN ET RÉSEAU PDN AVEC LE BPCN ENTRE [1KHz-10MHz] -----	70 -
FIGURE 4-13 DIAGRAMME DU BLOC DE PUISSANCE AVEC LES COMPOSANTS -----	71 -
FIGURE 4-14 MODÈLE 1 DU BLOC DE PUISSANCE -----	72 -
FIGURE 4-15 MODÈLE 2 DU BLOC DE PUISSANCE -----	72 -
FIGURE 4-16 MODÈLE FE D'UN BLOC DE PUISSANCE ET CELUI DE 21 BLOCS DE PUISSANCE -----	73 -
FIGURE 4-17 DÉPLACEMENT DES BLOCS DE PUISSANCE SELON L'AXE X-----	74 -
FIGURE 4-18 DÉPLACEMENT DES BLOCS DE PUISSANCE SELON L'AXE Y-----	74 -
FIGURE 4-19 DÉPLACEMENT DES BLOCS DE PUISSANCE SELON L'AXE Z-----	75 -

Chapitre 1 INTRODUCTION

1.1 MISE EN CONTEXTE

L'industrie des systèmes électroniques évoluent progressivement et deviennent de plus en plus complexe pour répondre à la demande du marché et pour rester concurrentiel sur les plans coût du produit et sa qualité [1]. Les inventions et les recherches dans l'industrie de l'électronique se dirigent d'une part vers l'intégration de plusieurs sous-systèmes électroniques dans le même système afin de permettre à ce système d'offrir plusieurs fonctions et d'autre part vers la miniaturisation de sa taille, l'amélioration de ses performances et son rendement ainsi que la réduction de son coût de fabrication et de développement [2,3]. Les problèmes et les contraintes qui sont liés à ses orientations dans le développement de l'industrie de l'électronique peuvent être présentés comme suit :

Intégration : les systèmes électroniques actuels assurent plusieurs fonctions par l'intégration de plusieurs sous-systèmes dans un système multifonctionnel. Ces sous-systèmes forment avec le ou les contrôleurs, l'intelligence dans le système, qu'ils soient des FPGA, des ASIC ou des Microprocesseurs, un système complet où des millions de transistors sont présents. Cette concentration élevée de transistors et de circuits dans les systèmes intégrés augmente la concentration de la puissance dans le système ce qui peut poser des problèmes thermiques dans le système.

Miniaturisation : la réduction de la taille des systèmes électroniques s'effectue par la réduction de la taille des composants électroniques du système ainsi que la taille du support des composants (PCB). Ceci, implique une augmentation de la densité des contacts et des pins des composants dans le système et par conséquent elle augmente la densité des connections entre ces composants. L'augmentation de la densité du réseau de connections dans le système est obtenue par la réduction de la taille des pistes et des épaisseurs de ces connections. Cela induit des changements dans les caractéristiques physique des connections et par conséquent l'intensité de courant et la puissance supporté par la connexion, les délais et la bande passante de ces connections peuvent changer.

Performances et rendements : la bonne sélection des composants électroniques ainsi que la combinaison adéquate permettent d'améliorer significativement le rendement et les performances du système. D'autres part, la qualité du réseau d'interconnexions dans le système sur le plan de l'intégrité du signal et de la puissance améliore considérablement la

qualité et le rendement de ce système. La sélection des composants ainsi que l'amélioration du réseau d'interconnexions du système peut nécessiter plusieurs tests, analyses et simulations engendrant plusieurs heures de travail et des coûts élevés.

Réduction du coût : les objectives de l'industrie de l'électronique s'orientent vers l'amélioration des performances des systèmes électronique avec des coûts concurrentiels [3]. La réduction du coût du produit est atteinte si les chercheurs et les industrielles réussissent à développer le système en question en moins de temps. Ceci mène à dire qu'une grande partie du coût final du produit dépend du temps de développement du système alors qu'on constate que le temps de développement du système dépend de son tour de la complexité du système et le nombre de circuit qu'il contient.

Durant chaque nouveau projet, les chercheurs et les industriels de l'électronique tentent de trouver des solutions et des compromis pour aboutir aux buts et aux orientations cités ci-dessus : intégration, miniaturisation, augmentation du rendement et les performances et la réduction du coût. Atteindre ces orientations et ces objectifs, trouver les solutions pour le développement et la finalisation de la conception du système électronique requièrent des heures de travaux, d'investigations et d'essais afin de pouvoir arriver aux buts recherchés, tandis que les coûts de la conception des systèmes électroniques dépendent principalement de la nature des travaux de recherches et d'essais menés lors du prototypage et de la conception. Ceci, nous mène à dire que la simplification des techniques et des outils de prototypage et de la conception réduira considérablement le temps et les coûts des projets de conception et permettra ainsi d'atteindre les objectifs principales pour l'amélioration des systèmes électroniques.

1.2 INTRODUCTION AU PROJET

L'idée de la carte de prototypage rapide WaferBoard™ est née pour répondre aux besoins et aux exigences de l'industrie de l'électronique. Elle rentre dans le cadre du projet de développement de la technologie DreamWafer™ chez gestion TechnoCap, Inc. ainsi que plusieurs d'autres partenaires industriels, gouvernementaux et des universités canadiennes. Les travaux de recherches et les investigations effectués dans les universités et aux laboratoires de recherches impliqués dans le projet, sont transmis aux partenaires industriels pour que ce dernier fabrique les différentes parties du système de prototypage rapide.

L'équipe de recherche élabore des spécifications de fabrication avec la prise en considération des technologies supportées par les fabricants. D'autre part, ces spécifications sont accompagnées par les résultats d'investigations et d'analyses effectués durant l'élaboration des spécifications afin d'améliorer la rentabilité et les performances de la partie du système en conception. Des recherches et des analyses peuvent être menées aussi pour chercher des solutions à des problèmes éventuels ou bien pour des problèmes apparurent lors de la fabrication. Après la fin de la fabrication du prototype fonctionnel, des tests électriques, mécaniques ou thermiques sont effectués par l'équipe de recherche dans

les laboratoires des universités pour vérifier la conformité et la correspondance des éléments conçus avec leurs spécifications de conception.

1.3 ORIGINALITÉS ET PERTINENCE DU PROJET

L'originalité du projet vient de l'idée de concevoir un système de prototypage rapide permettant de réduire le temps de prototypage et de la conception des systèmes électroniques. Cette carte peut être considéré comme un PCB « Printed circuit Board » ayant des interconnexions totalement programmable et qui peuvent se créer d'une façon rapide, et intelligente. Donc, cette carte va permettre aux ingénieurs et aux chercheurs du domaine de l'électronique de tester le fonctionnement du système en conception, de vérifier la compatibilité entre ces différents composants, ainsi que d'améliorer les performances du système par des modifications au niveau des composants ou bien au niveau du schéma d'interconnexion du système. D'autre part la carte de prototypage permettra de valider les analyses et les résultats obtenus par les outils informatiques de prototypage et de passer à la fabrication avec plus de certitude.

Un autre point important dans ce projet est le nombre d'invention et d'idées créatives traduites par le nombre de brevet industriel. Trente-trois brevets d'inventions correspond au projet DreamWafer et qui comprennent plusieurs domaines : l'électronique, communications et architectures, informatique et logiciels, la mécanique et la thermique. Ceci, explique la richesse, la qualité et l'intérêt des travaux de recherches mené dans le cadre de ce projet.

1.4 EXPOSÉ DE LA PROBLÉMATIQUE

Cette partie de l'introduction sera consacrée à la détermination de la problématique du sujet qui peut être divisée en trois parties majeures sur lesquels les travaux de recherches seront axés :

- Partie thermomécanique : cette partie traite les problèmes liés à la présence des points chauds, aux écarts de la température dans la structure du bloc de puissance, à la différence des coefficients de dilatation thermique des différents matériaux constituant le bloc de puissance et aussi à la robustesse mécanique de la structure et par conséquent celle de tout le système. D'autre part, cette partie traite la problématique liés à la sélection et le choix des matériaux et du model thermomécanique du bloc de puissance afin d'assurer une meilleure conductivité thermique et que les coefficients de dilatations thermique de ses matériaux soit appariés et proches, et finalement, assurer un bon support à la tranche de silicium afin d'éviter des courbures ou des déformations dans sa structure (Problème connu en anglais par « Wafer Bow ou Wafer Warp »).

- Partie électrique : cette partie concerne la problématique liés à l'alimentation de la tranche et aux exigences électriques de celle-ci sur le plan performances et puissance ainsi que l'impact des choix et des exigences thermomécaniques du bloc de puissance et de la tranche de silicium sur les solutions technologiques de conception, notamment, le choix des composants électroniques et leurs emplacements dans le bloc de puissance.

1.4.1 PROBLÉMATIQUE : PARTIE THERMOMÉCANIQUE

L'élément clé de système de prototypage est la tranche de silicium qui contient des millions de circuits permettant de détecter les billes des composants IC (integrated circuits) du système à prototyper, d'établir des interconnexions entre les broches de ces composants d'une façon programmable ainsi que de fournir à ces composants les tensions d'alimentation convenable et la puissance suffisante pour leur bon fonctionnement.

La tranche de silicium est de 200mm de diamètre et 350 μ m d'épaisseur, les caractéristiques thermiques et mécaniques de la tranche telle que la robustesse et la conductance thermique vont dépendre de ses dimensions, par ailleurs le diamètre de 200mm déterminera la surface d'échange thermique de la tranche dans le sens vertical vers le haut et vers le bas de la tranche (Fig.1-1).

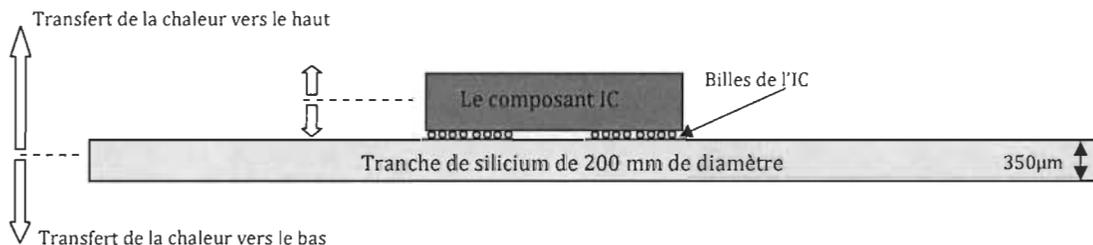


Figure 1-1 Les sens de transfert de la chaleur de la tranche et du composant IC¹

Les composants IC peuvent être des processeurs, des FPGA ou des mémoires qui dissipent et consomment des puissances importantes pouvant atteindre les 40 Watts. D'autre part, la tranche de silicium consomme en moyenne 60 watts quand elle est active et quand des composants IC sont déposés à sa surface. Ceci nous amène à dire que la puissance dissipée par les composants IC et par la tranche peut atteindre 100 watts. Ceci,

¹ Un système en prototypage comporte plusieurs composants IC, la présentation d'un seul composant IC dans les figures n'est que pour simplifier les dessins.

peut provoquer des problèmes thermiques qui causées par la haute concentration de la chaleur dans des petites surfaces de la structure de la tranche de silicium.

Du faite que les surfaces horizontales de la tranche et des composants IC sont plus importantes que celles qui sont verticales, l'évacuation de la chaleur de ces dispositifs se fait principalement dans le sens verticale, ce qui signifie qu'il y'aura un échange thermique entre la tranche de silicium et les composants IC et éventuellement un transfert de la chaleur de ces composants vers la tranche à travers les billes qui sont en contact avec la surface supérieure de la tranche (Fig. 1-2).

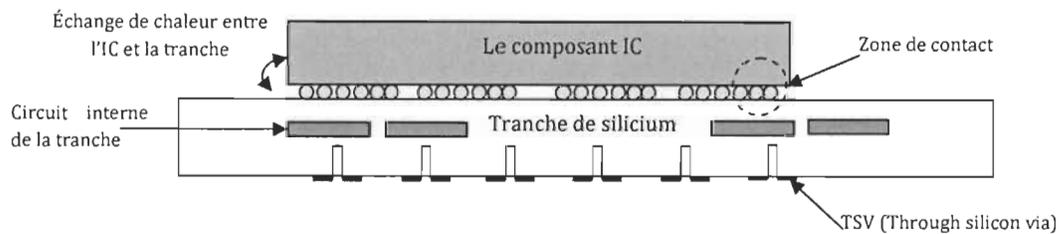


Figure 1-2 Zone de contact entre le composant IC et la tranche de silicium

La chaleur à l'intérieur de la tranche de silicium résulte du cumule de la chaleur produite par ses circuits internes et celle provenant de l'extérieur, particulièrement celle produite par les composants IC.

La montée de la température et l'augmentation de l'écart de celle-ci dans la structure de la tranche de silicium peuvent produire des sérieux problèmes thermomécaniques dans sa structure qui est une structure à plusieurs couches avec des matériaux ayant des propriétés mécanique et thermique différentes tel que les coefficients de dilatation « CTE, coefficient of thermal expansion ». De ce fait, la montée de la température et les écarts importants de celle-ci dans cette structure produiront des déplacements, des contraintes mécaniques importantes et des déformations pouvant endommager la tranche [4].

Pour résoudre ces problèmes thermomécaniques il sera nécessaire de réduire la température dans la structure et d'avoir une température uniforme avec des écarts non significatifs, d'où la nécessité de multiplier les chemins de dissipation thermique afin d'éviter un cumule localisé de la chaleur. Ceci nous mène à conclure que la carte de prototypage rapide doit disposer de deux issus de dissipation thermique dans le sens verticale.

Une solution de refroidissement a déjà été présentée dans les publications de l'équipe de recherche DreamWafer™ et elle est en cours d'étude et d'amélioration par les étudiants et les chercheurs de l'équipe. Il s'agit de refroidir le haut de la tranche ainsi que les composants IC par une poche thermique contenant un liquide, sur celle-ci il y'aura un couvercle-radiateur aidant la poche à conduire rapidement la chaleur vers l'extérieure (Figure 1-3;[10]).

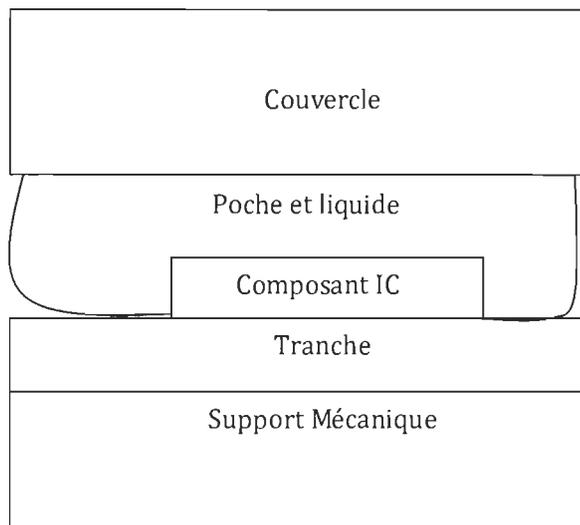


Figure 1-3 Poche thermique au dessus de la tranche de silicium WaferIC

La figure 1-3 montre la structure de base du WaferBoard™, le WaferIC™ qui est la tranche de silicium sur laquelle des composants IC sont posés. Au dessus de ces composants on trouve la poche qui contient le liquide thermique, celle-ci est en contact aussi avec la tranche de silicium et permettant ainsi une meilleure dissipation de la chaleur du système.

La deuxième solution de dissipation de la chaleur et qui est le sujet de ce mémoire est d'évacuer de la chaleur vers le bas à travers le bloc de puissance. Le bloc de puissance contiendra des composants électroniques pour l'alimentation de la tranche avec le courant et les tensions nécessaires. Le choix adéquat des dimensions du bloc de puissance, de son modèle thermomécanique ainsi que ses matériaux sont des facteurs nécessaires pour éviter des problèmes thermomécaniques éventuels tels qu'une discordance de coefficient de dilatation thermique « CTE mismatch [5] » entre la tranche de silicium et le bloc de puissance et aussi la montée de la température et de son écart dans le bloc.

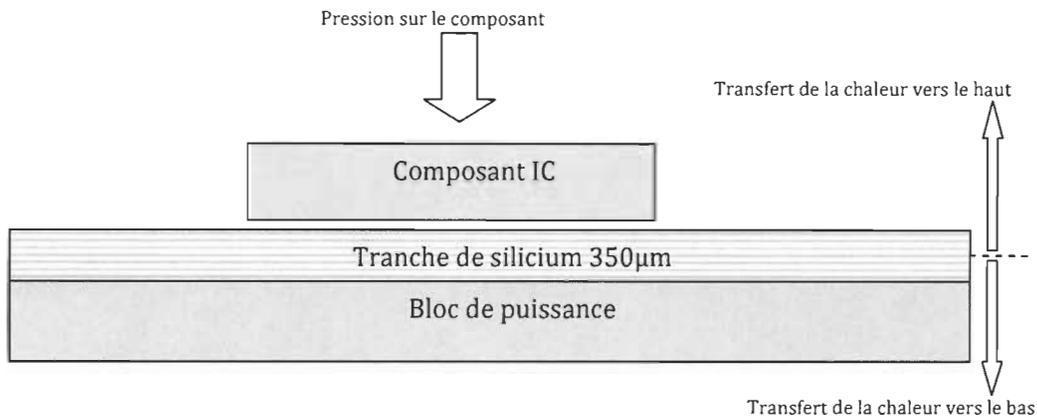


Figure 1-4 Bloc de puissance attaché à la tranche de silicium

La figure 1-4 montre le bloc de puissance attaché à la tranche de silicium et aussi le chemin de la dissipation thermique et qui s'effectue dans le sens verticale vers le haut et vers le bas. La figure montre aussi une pression exercée sur les composants IC afin de permettre un bon contact électrique entre les billes des composants IC et la tranche de silicium. La pression appliquée sur la tranche peut changer d'un utilisateur de la carte de prototypage à un autre vu que cette pression est ajustée par ce dernier au début de l'opération de prototypage. L'impacte de celle-ci sur la tranche variera donc en fonction de cette pression.

La surface de la tranche n'est pas parfaitement plate du faite qu'elle comporte des ondulations pouvant varier de 150nm à 200nm (sur une tranche de 200mm de diamètre) selon le procédé de fabrication [6]. Cette ondulation est quasiment négligeable devant l'épaisseur de la tranche vu qu'elle présente moins de 0,1% de cette épaisseur, ce qui est un facteur important réduisant le risque de courbure de la tranche de silicium « wafer bow » [7,8] lorsqu'elle sera assemblée à l'ensemble de la structure de la carte de prototypage. Par ailleurs, la structure mécanique de la tranche de silicium est fragile et peut robuste [9] et ceci est expliquée par son épaisseur qui est de l'ordre micrométrique. Cette propriété de la tranche explique qu'elle ne tolère pas les courbures. Le risque que la surface de la tranche soit courbée vient du faite qu'une pression est appliquée sur les composants IC et par conséquent sur la tranche, ainsi l'aspect critique vient du faite que la structure du bloc de puissance qui est en bas de la tranche présente des courbures ou bien des anomalies mécanique ou de robustesse et que des courbures peuvent se produire lors de la présence de la pression.

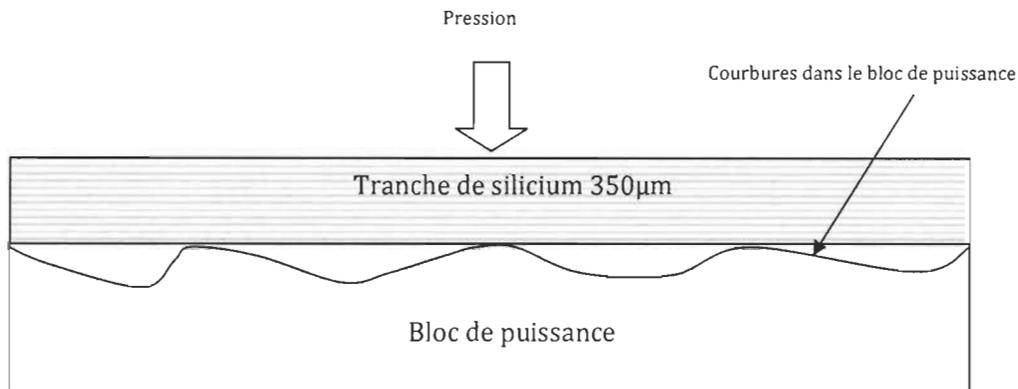


Figure 1-5 Courbures dans le bloc de puissance

La figure 1-5 illustre le cas où si la structure du bloc de puissance présente des courbures ou que les courbures se forment avec la pression au cas où sa structure mécanique n'est pas si solide.

1.4.1.1 Résumé de la problématique thermomécanique

En résumé, la carte de prototypage a été développée avec une tendance d'une plus haute performance et de petites dimensions. Ceci mène à ce que la densité de la chaleur soit très élevée dans le système et que des défis se présentent en traitant les problèmes thermiques tels que : la durée de vie et le mauvais fonctionnement du système. La dissipation thermique efficace joue donc un rôle très important dans la conception du système. On résume les étapes et les requis de la conception comme suit et qui sont l'objet de la problématique :

- Sélection des matériaux en fonction de leurs conductivités thermiques
- Sélection des matériaux en fonction de leurs coefficients de dilatation thermique « CTE » afin d'éviter des problèmes dû à la discordance du CTE.
- Sélection thermomécanique pour avoir une meilleure dissipation de la température et aussi un faible écart thermique dans le bloc de puissance et aussi pour assurer un bon support mécanique à la tranche.
- Choix des dimensions du bloc de puissance afin d'avoir une meilleur conductance thermique possible
- Que les surfaces du bloc de puissance soient uniformes et qu'elles ne présentent pas des courbures.

- Que la structure du bloc soit solide.

1.4.2 PROBLÉMATIQUE : PARTIE ÉLECTRIQUE

Le bloc de puissance permettra de fournir à la tranche de silicium les tensions et la puissance nécessaires pour qu'elle fonctionne et pour qu'elle puisse alimenter à son tour les composants IC. La présence du bloc de puissance en dessous de la tranche va permettre d'améliorer l'intégrité du signal et de la puissance vu que le bloc de puissance sera à proximité de la tranche. Ceci s'explique par la réduction de la longueur du réseau et par conséquent la réduction de la résistance DC dans le réseau d'interconnexion entre le bloc de puissance et la tranche et par la suite la réduction de la chute de tension.

La conception du bloc de puissance doit prendre en considération les choix et les exigences thermomécaniques ainsi que les requis de la tranche de silicium. Ces spécifications peuvent être résumées comme suit :

- Établir un schéma de principe pour répondre aux besoins et exigences électriques du système WaferBoard™ et de la tranche de silicium.
- Choix des composants avec la prise en considération des exigences thermomécaniques. Ce choix est principalement basé sur les dimensions de ces composants pour libérer de la place pour des supports mécaniques dans le bloc de puissance et aussi pour pouvoir augmenter la surface des dissipateurs thermiques à l'intérieur du bloc de puissance. D'autres parts, ces composants doivent présenter de faibles pertes de puissances de telle sorte à réduire la puissance dissipée dans le bloc de puissance.
- Choix de l'emplacement des composants pour permettre une bonne distribution de la température dans le bloc de puissance et aussi son bon fonctionnement.

1.5 MÉTHODOLOGIE, PRÉSENTATION DU MÉMOIRE

Cette partie sera consacrée à la méthodologie et aussi à la présentation des différentes parties du projet. La première partie du projet regroupe le travail de recherche et de collecte d'informations sur les différents aspects et éléments du projet et qui sera présenté dans le chapitre 2 « État de l'art ». Le chapitre 3 « Spécifications de conception » sera consacré à la recherche, l'extraction et l'établissement des spécifications de conceptions du bloc de puissance sur le plan mécanique, thermique et électrique, ces spécifications serviront comme exigences et points référentielles dans la conception et aussi des éléments à vérifier par des tests et essais après la conception. Le chapitre 4 « Choix de conception » sera consacré aux étapes et aux choix qui ont été pris durant la conception du bloc de

puissance tel que : choix des composants électroniques et leurs emplacements, choix des matériaux et le choix du modèle thermique.

La suite du chapitre 4 sera consacrée aux Analyses et aux investigations thermiques qui ont été élaborées afin de valider les choix de conception établis et le model thermomécanique ainsi que la détermination de la taille du bloc de puissance. Finalement, le chapitre 5 sera consacré à la conclusion et aux travaux futurs.

Ont peut présenter la philosophie et la méthodologie du travail comme suit :

1	<p>État de l'art</p> <ul style="list-style-type: none"> • Étude des différents éléments de la carte de prototypage ; • Étude des exigences, des propriétés et des requis de la tranche de silicium ; • Étude thermiques, analyses thermiques, éléments de refroidissement ;
2	<p>Spécifications et choix de conception</p> <ul style="list-style-type: none"> • Spécifications thermomécaniques ; • Spécifications électriques ;
3	<p>Analyses thermiques</p> <ul style="list-style-type: none"> • Établissement des modèles thermiques ; • Analyses thermiques de ces modèles ; • Présentation des résultats ; • Choix du modèle thermique ;
4	<p>Modifications des choix de spécifications</p> <ul style="list-style-type: none"> • Les résultats d'analyses peuvent montrer si des modifications sont nécessaires dans les choix de conceptions ; • Des nouvelles analyses peuvent être établies pour évaluer et valider les changements qui ont été élaborés ;

Chapitre 2 ÉTAT DE L'ART

Ce chapitre présente l'état de connaissance et de recherche en rapport avec le projet pour mieux cerner les différents aspects du bloc de puissance (thermomécaniques et électriques) et d'autre part mieux connaître les différents éléments de la carte de prototypage et ainsi les exigences et les requis de la tranche de silicium.

2.1 PRÉSENTATION DE LA CARTE DE PROTOTYPAGE WAFERBOARD™

Le WaferBoard™ est une carte de prototypage rapide conçu pour répondre à des besoins croissants de l'industrie et de la recherche dans le domaine de l'électronique. Ces besoins naissent avec les nouveautés technologiques qui évoquent des défis sur le plan matériel ou architectural.

Dans les systèmes électroniques actuels, certains défis et limitations technologiques ne sont pas relatives aux composants du système du moment où les outils et les plates-formes de simulation et de prototypage avec lesquels le choix de ces composants a été fait sont fiables, mais généralement ils sont relatives aux interconnexions entre ces composants. Autrement dit, les outils de simulation permettent de valider les choix des composants et le fonctionnement du système avec des paramètres des réseaux d'interconnexions supportées par l'outil de simulation et non par des réseaux d'interconnexions physique et réelle. D'où la solution proposé par le WaferBoard™ qui permet de créer des systèmes de prototype rapides avec des composants et des interconnexions physique et réelles et ceci implique que la carte de prototypage en développement doit être capable d'interconnecter densément une large variété de types de composants avec des largeurs de bande toujours croissantes [10].

Dans les parties suivantes de ce chapitre, une présentation des différentes parties de la carte de prototypage ainsi que une description de son mode de fonctionnement sera donnée.

2.1.1 FONCTIONNEMENT DE LA CARTE WAFERBOARD™

Dans la carte de prototypage rapide, les composants électroniques sont simplement déposés sur la surface active de la WaferBoard™ qui est une tranche de silicium nommée WaferIC. La tranche de silicium est de 200mm de diamètre, la surface supérieure de la tranche contient des rangées très denses de pads conductrice [10]. Ces pads, nommés Nanopad™ ont une forme carrée et ayant une dimension de 200µm [11] sont conçus afin de

pouvoir détecter la totalité des broches des composants IC existant dans le marché des composants électronique packagés de type « BGA, Ball Grid Array » [10]. Les Nanopads permettent donc, la détection des broches des composants IC et par la suite serviront à la liaison de ces broches au réseau d'interconnexion. Autrement dit, les Nanopads sont des points d'accès aux composants que ça soit pour leurs alimentation ou bien pour leurs transmettre des signaux numériques.

Pour permettre un bon contact des broches des composants avec la surface de la tranche de silicium. L'utilisateur de la carte de prototypage peut appliquer la pression nécessaire sur le composant [13] qui permet à la tranche de détecter et être en contact avec toutes les broches de ce composant (Figure 2-1). Une plateforme logicielle représentant l'environnement de travail pour l'utilisateur depuis un ordinateur servira pour visualiser les états de la carte de prototypage dont les broches des composants et aussi de programmer le réseau d'interconnexion à partir d'une liste de connexion « netlist » existante dans la bibliothèque de l'environnement. Ainsi l'utilisateur peut modifier cette liste de connexion et créer une nouvelle [14,15]. La bibliothèque des listes de connexions servira à accélérer et faciliter le processus de programmation des interconnexions du faite que l'environnement logiciel peut faire une proposition de la liste de connexions convenable en faisant une recherche dans sa bibliothèque de la liste qui contient une disposition, des broches de composants, la plus similaire à celles des composants posés sur la tranche de silicium [15].

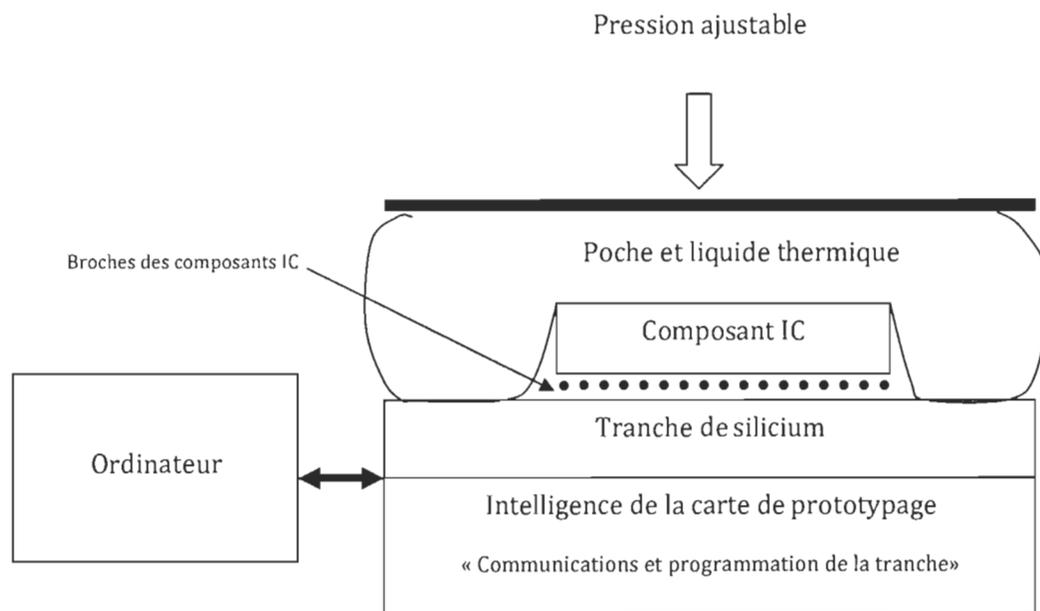


Figure 2-1 Illustration de la carte de prototypage connecté à un ordinateur

2.1.2 LA PLAQUETTE WAFER-SCALE (WSI), LA TRANCHE DE SILICIUM WAFERIC

La tranche de silicium contient des millions de circuits qui permettent de détecter les broches de différents types de composants IC et d'établir des réseaux d'interconnexions programmables. Après la détection de l'emplacement de chaque broche de ces composants la tranche de silicium permet d'établir des raccordements de puissance avec ces composants IC ainsi que des raccordements de signal. Ces raccordements sont programmés pendant une étape de configuration, semblable aux FPGAs [10,11]. Ces raccordements traversent des répéteurs si nécessaire pour maintenir l'intégrité du signal [11].

Dans le concept de la tranche de silicium, on constate deux caractéristiques principales et importantes :

- La haute densité de surface de contact. La surface de contact qui se situe dans le haut de la plaquette wafer-scale contient des rangés très denses de pads conductrice sous une forme carrée et d'une dimension de 200 μ m [11]. Celle-ci est nécessaire pour manipuler, supporter et détecter une série de modèles de composants IC ayant des espacements de broches différentes et variées.
- La haute connectivité interne requise pour établir les raccordements désirés entre les ensembles choisis de contacts et broches en créant le substrat reconfigurable pour le système de prototypage rapide [16]. La haute connectivité, permettra d'augmenter le nombre possible à connecter des contacts et broches ainsi que d'augmenter la manipulabilité des composants IC sur la surface de la tranche ainsi que la possibilité de rapprocher les composants.

De plus, d'autres caractéristiques sont nécessaires pour que la carte de prototypage puisse supporter une variété de composants IC. La rapidité des composants IC est de plus en plus croissante [17], ceci signifie que la bande passante des interconnexions de la tranche doit être élevée. D'autre part, les composants IC consomment des puissances de plus en plus importantes et exigent des tensions stables et adéquates [18, 19], cela signifie que la tranche doit contenir des régulateur de tension à proximité des entrées sortie de la tranche.

2.1.2.1 Avantage de l'utilisation de la tranche de silicium, WSI

Tel que montré dans les paragraphes précédentes, le but principale est de pouvoir établir des réseaux d'interconnexions programmable et ayant des bandes passantes suffisantes.

L'avantage principal de l'utilisant des wafer-scale « WSI » n'est pas d'obtenir une puissance de calcul ou une mémoire importante tel que montré dans [20], mais d'obtenir une assez grande surface active « Smart Active Surface » et un réseau d'interconnexion programmable et auto-configurable à des coûts accessibles et raisonnables [10].

2.1.3 LA DISTRIBUTION DE LA PUISSANCE DANS LA TRANCHE DE SILICIUM

Lorsqu'un composant IC est posé sur la surface active de la tranche de silicium et ses billes «broches» sont détectés par les Nanopads qui sont en contact avec ces billes, les nanopads peuvent être programmés en fonction de la nature de la bille du composant avec laquelle ils sont en contact [10, 21]. Il existe trois modes auxquels les nanopads peuvent être programmés : mode entrée-sortie qui permet de conduire des signaux logiques, mode GND « masse » qui permet de relier les billes de masses des composants à la masse et finalement mode tension qui permet de relier la bille de puissance du composant IC à la tension d'alimentation adéquate [21].

Les tensions d'alimentation d'un composants IC varient d'un composant à un autre. Des régulateurs de tensions sont intégrés dans la tranche, ces régulateurs occupent une surface minimale étant de 0.001377 mm² [21]. Le rôle de ces régulateurs programmables est de fournir des tensions de référence pour les nanopads quand ils sont en mode tension. Selon les spécifications de *Laflamme-Mayer et al*, les régulateurs sont conçus pour avoir une tension d'entrée allant de 3 à 4V alors que leurs tensions de sortie programmable peuvent aller de 1 à 2.5V. Selon la topologie cellulaire de la tranche [10, 11], une structure Master esclave a été proposé pour ces régulateurs. Le master commande alors 16 esclaves [21], l'étage master fourni une tension stable aux esclaves et élimine les retours du bruit provenant de la charge qui est dans ce cas les composants IC (Figure 2-2).

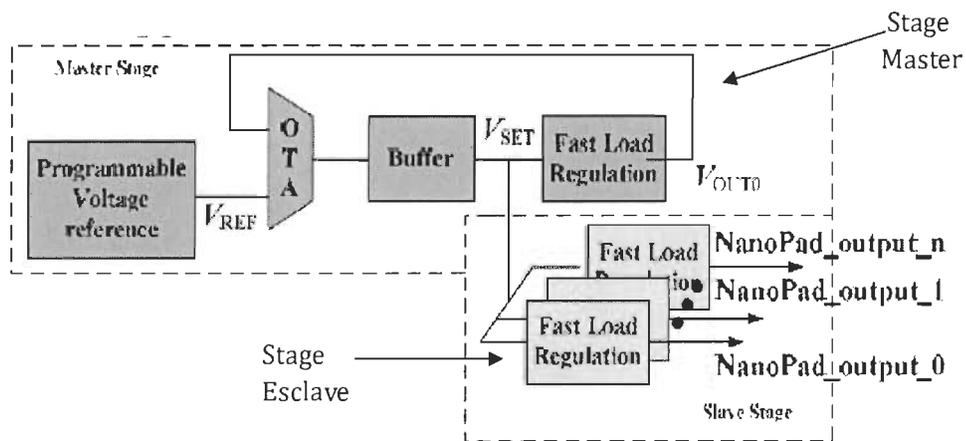


Figure 2-2 Structure Master esclave du régulateur programmable [21]

La figure 2-2 montre que tension programmable est produite au niveau du master, le (OTA) amplificateur opérationnel à transductance qui contrôle la sortie V_{set} du buffer via le retour de V_{out_0} . Le buffer a deux rôles, le premier est de propager V_{set} à tous les étages esclaves, le deuxième rôle est de contrer le retour de bruit indésirable pour protéger les étages qui le précède. La boucle de retour permet de contrôler et réguler V_{out_0} en fonction de la tension de référence V_{ref} .

Le flux de la puissance dans et à l'extérieure de la tranche de silicium peut être schématisé comme suit :

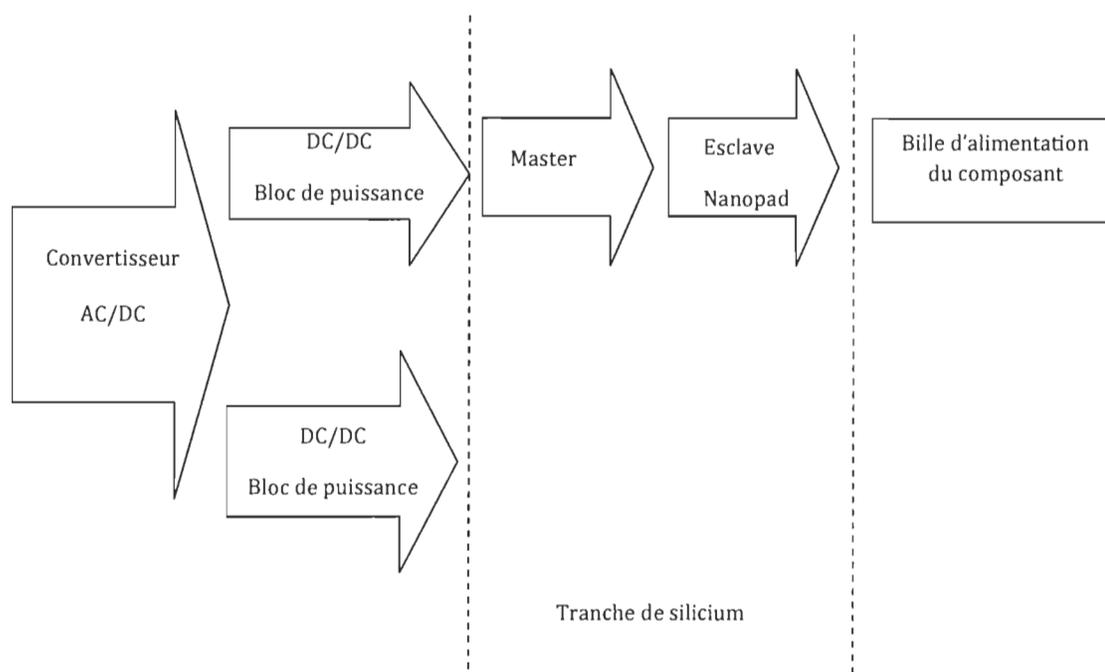


Figure 2-3 Flux de puissance dans la carte de prototypage

Le convertisseur AC/DC permet de fournir une tension et un courant continu aux blocs de puissance qui ont principalement pour rôle de fournir les tensions dont la tranche de silicium a besoin, l'étage Master fournit une tension programmable selon les besoins du composant IC et l'étage esclave qui est propre à chaque Nanopad (un étage esclave par Nanopad) permet de lui fournir une tension stable. Selon la taille de la bille du composant IC, elle peut être en contact avec au moins deux Nanopads pour permettre la détection de la bille (la détection de la bille sera développée dans une section spécifiée de ce chapitre).

2.1.4 LE CONCEPT DE LA CARTE WAFER-BOARD

La structure de la surface active de la tranche de silicium « wafer-scale » se compose de rangées très denses de pads conductrice groupées sous forme cellulaire et ayant une dimension de $77\mu\text{m} \times 77\mu\text{m}$ [21].

Chaque Pad, appelée Nanopad est reliée au WaferNet « un réseau interne Wafer-Scale d'interconnexion » et qui peut être configuré pour relier n'importe quel Nanopad à un ou plusieurs Nanopads sans conflit de raccordements et de connexions. Les circuits et les composants IC peuvent être placés n'importe où et dans n'importe quel orientation sur la surface du wafer (Figure 2-4) et les Nanopads sont assez dense pour que chaque bille du composant soit en contact avec plusieurs Nanopads [10,11].

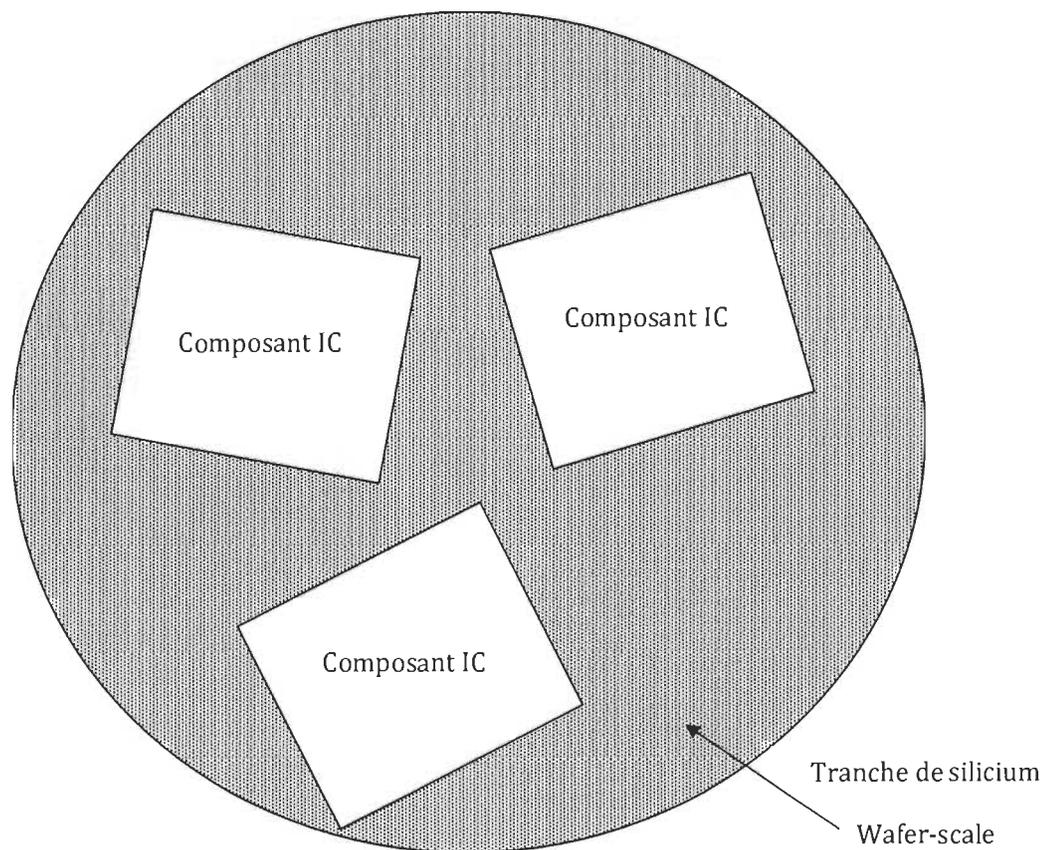
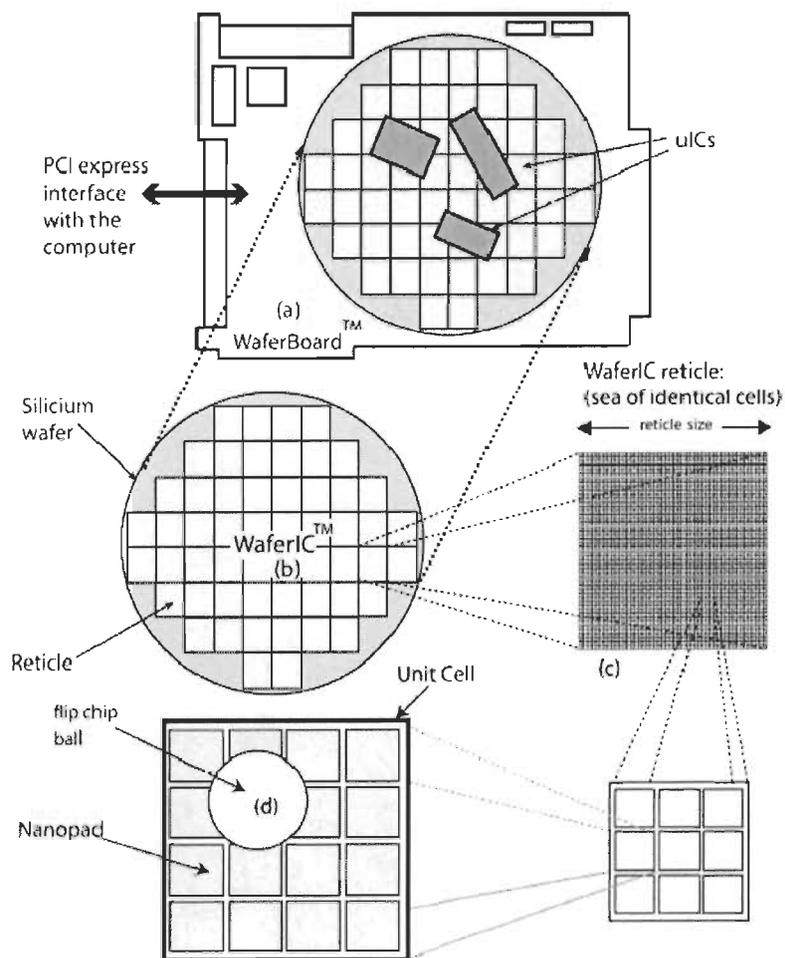


Figure 2-4 Composants IC posés sur la surface de la tranche de silicium

Une architecture cellulaire simplifie nettement la conception de la carte de prototypage. L'unité-cellule contient une puce intelligente qui permet la gestion du réseau interne, une cellule de régulation de la tension et des Nanopads sur la surface. Donc, les Nanopads sont contenu dans les unités-cellules et ces derniers sont contenus dans un réticule. Le wafer-scale est construit par la photo-répétition de cette unité-cellule au long du wafer avec des techniques d'inter-réticule pour assurer des raccordements entre les réticules [10,11]. Le wafer-scale est ainsi une plage des cellules identiques reliées entre eux par un réseau d'interconnexions reconfigurable couplé et relié à une plage de rangés très denses de Nanopads (Figure 2-5).



(a) : carte de prototypage, (b) : tranche de silicium « wafer-scale », (c) : réticule qui regroupe un ensemble d'unités-cellules, (d) : bille du composant IC.

Figure 2-5 Illustration de la carte de prototypage, le wafer, réticule, cellule [22]

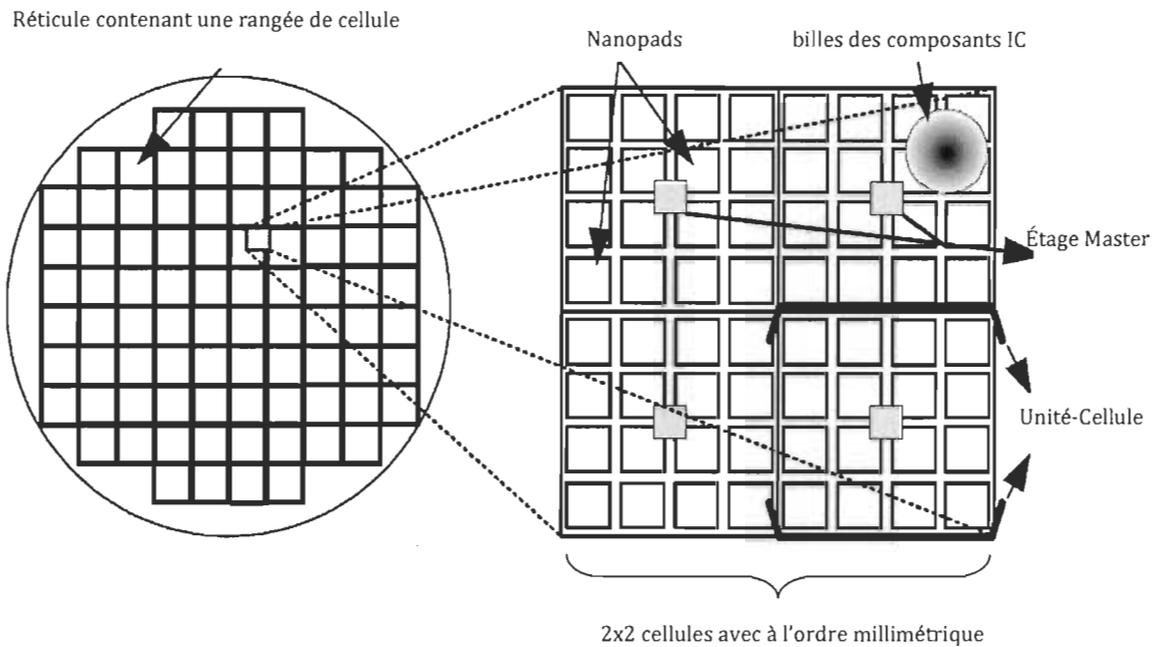


Figure 2-6 Wafer-scale avec des rangées de cellules programmables contenant 4x4 Nanopads [22]

La figure 2-6 montre l'étage master qui centralise et contrôle la cellule qui contient 4x4 Nanopads, la surface d'une unité cellule est de l'ordre millimétrique alors que la surface du réticule est de l'ordre centimétrique [10].

2.1.5 LE RÉSEAU CONFIGURABLE D'INTERCONNEXION, WAFERNET

Le WaferNet est configuré pour relier n'importe quel Nanopad sur la surface du Wafer à n'importe quel autre ensemble de Nanopads. Cependant, une architecture régulière cellulaire de maille est utilisée, chaque Unité-Cellule liée à sept autres Unité-Cellules dans chaque direction (N-S-E-W) [11].

Chaque lien continu dans une direction a une longueur différente : 1, 2, 4, 8, 16, 32 et 64, où un lien de la longueur 4 relie la cellule à la 4ème cellule voisine, suivant les indications du schéma présenté par Norman et al dans [11] (Figure 2-7).

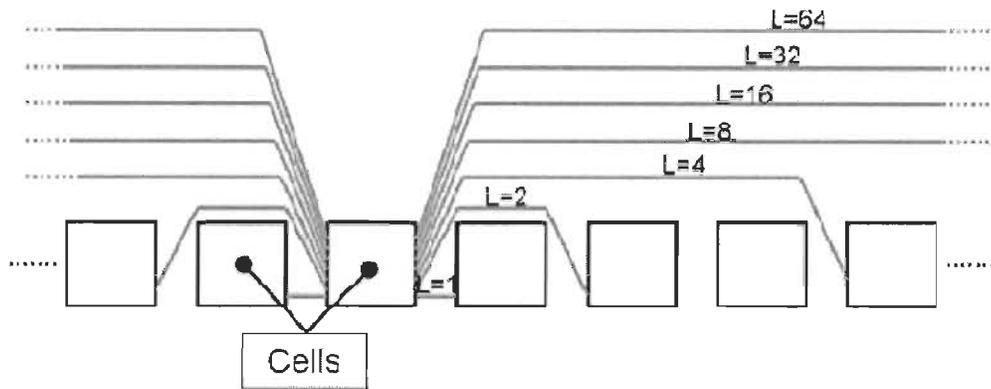


Figure 2-7 Connectivité dans le WaferNet [22]

Chaque cellule de la tranche de silicium inclut une grande barre transversale pour relier n'importe quel lien entrant à n'importe quel lien sortant. Le fonctionnement de la barre transversale est similaire à celui d'un concentrateur « HUB » avec plusieurs ports d'entrées-sorties.

D'autre part, les Nanopads sont également reliés à la barre transversale (l'unité-cellule contient 16 Nanopads regroupés sous forme de 4x4 Nanopads) (Figure). Chaque unité-cellule inclut des répéteurs pour propager efficacement les signaux numériques sur ces lignes de transmission. Ces répéteurs permettent donc efficacement d'augmenter la possibilité de connecter une unité-cellule avec une autre unité-cellule plus loin.

De/À la bille du composant
IC à travers les nanopads

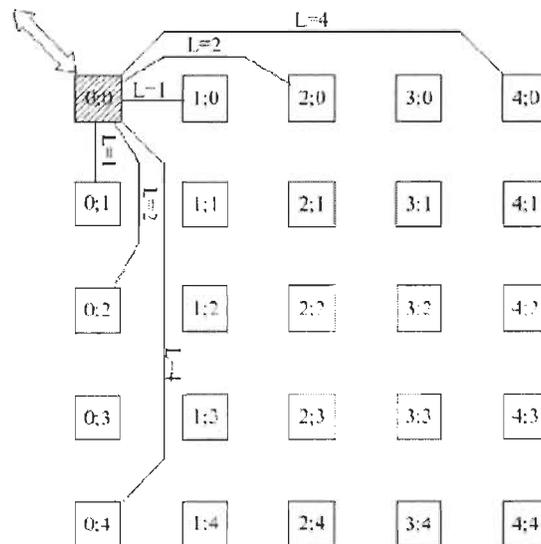


Figure 2-8 Présentation du WaferNet connectant des billes du composant IC [22]

2.1.6 DÉTECTION DES BILLES DU COMPOSANT

La carte de prototypage WaferBoard a la propriété essentielle de la détection et de la localisation de défaut. Ces défauts sont contrôlés avec l'utilisation du réseau defect-tolerant qui a la redondance de niveau de logique et de cellules. L'Unité-Cellule inclut des circuits pour détecter le bon contact électrique entre NanoPads et les pins de l'IC placés sur sa surface.

Une solution pour détecter de tels contacts est de mesurer le chargement capacitif sur chaque Nano-pad, comme proposé par *Blaquière et al* [23]. Une autre solution est de détecter des courts-circuits créés par la bille du composant IC entre des Nanopads ou entre un Nanopad et des ouvertures minuscules dans le Nanopad comme il était montré par *Norman et al* dans [10] (Figure 2-9).

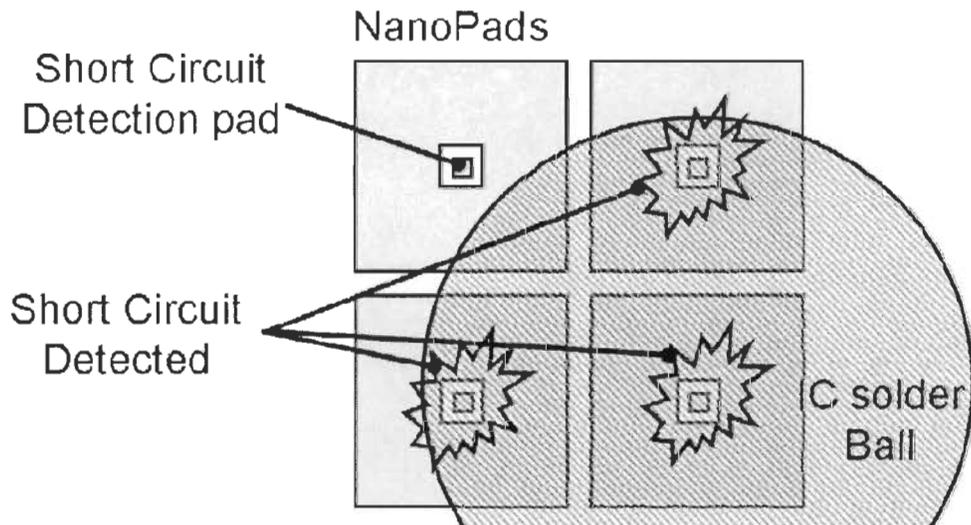


Figure 2-9 Détection des billes du composant par le court-circuit [22]

Après une étape de détection qui dure quelques micro-secondes [10], le système transmet l'endroit des billes détectées desquelles un plan ou carte « Map » des composants IC est établie. Ce plan composé d'un plan de défaut et du netlist fourni par l'utilisateur sont alors employés pour configurer le réseau d'interconnexion et pour créer les raccordements électriques entre les billes des composants ICs.

2.1.7 ARCHITECTURE FONCTIONNELLE DE L'UNITÉ-CELLULE

L'unité-cellule a une logique complexe et des fonctions analogues pour commander une petite rangée de Nanopads qui s'interface aux composants IC tel que montré par *Norman et al* (Figure). Du point de vue réseau, une unité-cellule est un nœud d'interconnexion : elle peut recevoir et transmettre des signaux de n'importe quelle direction y compris un Nanopad sur la surface de la tranche de silicium « wafer-scale » selon la configuration chargée dans la barre transversale « crossbar ».

Une rangée de Nanopads configurables connecte la cellule avec les billes des composants IC quand une bille du composant est détectée par le bloc de détection de bille inclus dans chaque Nanopad. Un Nanopad est également une entrée-sortie multistandard qui peut supporter plusieurs niveaux d'entrées sorties logiques semblable à une entrée-sortie dans un FPGA [10].

Ceci permet des Auto-reconfigurations superflues comme rapporté dans [10], cette dernière propriété augmente la tolérance de défaut du système global, où certaines fonctions d'une cellule défectueuse peuvent être activées d'une autre cellule.

En termes de fonctionnalité de commande chaque cellule peut être considérée comme un élément disponible pour ses voisins en cas de défauts.

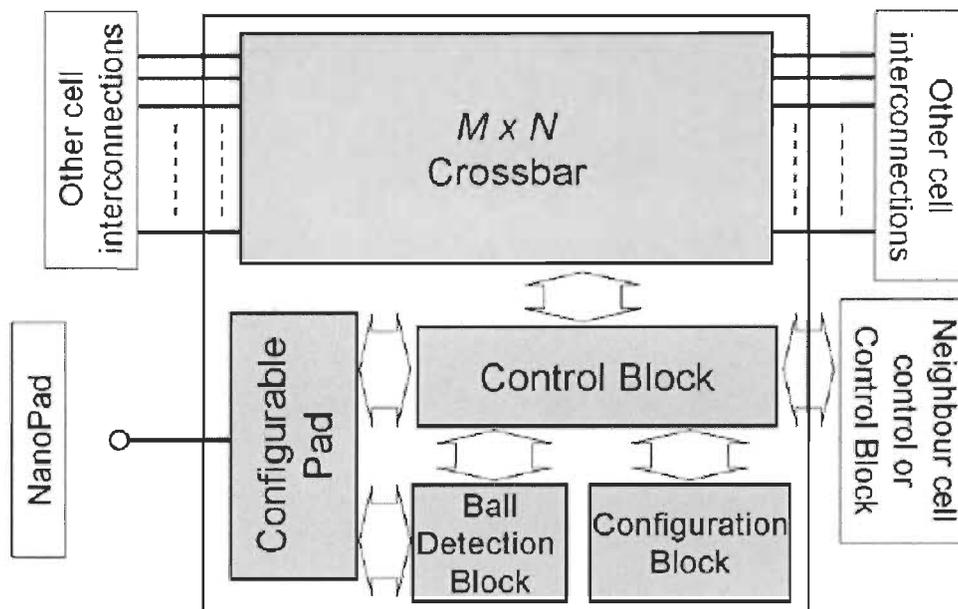


Figure 2-10 Barre transversale et bloc de contrôle pour les Nanopads

2.1.8 PLAN ARCHITECTURAL DES CELLULES

Pour valider la faisabilité des concepts proposés, des études sur des contraintes physiques d'implémentation ont été réalisées. L'étude entreprise par *Norman et al* a permis d'obtenir un plan possible de l'unité-cellule avec quelques évaluations du secteur de silicium de chaque logique et de circuits de Nano-Pad

L'unité-cellule est de forme carrée ($71\mu\text{m} \times 71\mu\text{m}$ [21,10]) pour une meilleure utilisation de la redondance de l'architecture cellulaire et avoir une conception qui se comporte également bien dans les directions horizontales et verticales. D'un point de vue électrique, une cellule peut soutenir un ou plusieurs entrées-sorties des composants IC; le coût de support de chaque entrée-sortie supplémentaire est relativement petit [10].

La taille d'une cellule doit être assez petite afin d'éviter d'essayer de relier plus qu'une bille d'un composant que la cellule a été conçue pour soutenir, cette taille est une fonction de la technologie la plus dense de BGA (Ball Grid Array)[10]. Autrement dit, le but d'avoir des cellules de taille minimale est de minimiser le nombre de billes qui rentrent en contact avec les Nanopads de la cellule. Tel que montré par *Norman et al* (Figure) le prototype proposé du système permet de détecter un maximum de deux billes des composants BGA. Ceci implique que les dimensions d'une Unité-Cellule et de son NanoPads dépendent des types de packages de des composants IC et de leurs tailles.

La détermination du nombre et la taille de Nanopads dans une Unité-Cellule a une importance égale à la détermination et à la démonstration de la faisabilité de la technologie qui assure le bon contact électrique et mécanique avec les billes des composants IC. Une cellule devrait avoir autant de Nanopads que possible afin d'augmenter la redondance et réduire le risque de défaut de contact avec la bille du composant (au cas où un Nanopad ne fonctionne plus, le reste des Nanopads qui sont en contact avec la bille fonctionne). En revanche, plus le nombre de Nanopads augmente plus le nombre de la logique et de circuits analogues sont nécessaires [10].

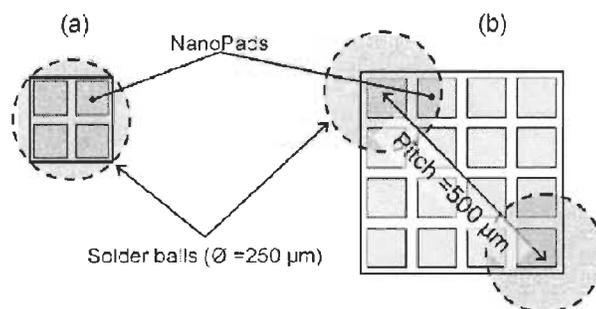


Figure 2-11 Illustration du prototype permettant le contact de deux billes avec une cellule [22]

2.2 GÉNÉRALITÉS, ET ANALYSES THERMIQUES DE LA CARTE DE PROTOTYPAGE

Dans cette section du chapitre 2, on va essayer de définir certaines notions de base concernant le transfert de la chaleur, la température maximale, les techniques et approches pour prédire certaines propriétés thermiques du système ainsi que les techniques concernant les radiateurs et le refroidissement. Ces notions vont nous servir par la suite à mieux comprendre la problématique et pourvoir proposer des solutions fiables et pertinentes.

D'autre part, il est important de connaître les travaux et leurs résultats qui ont été effectué précédemment, notamment les travaux effectués par *Bougataya et al* [24] et qui montrent que les composants IC (qui sont placés sur la surface supérieure de la carte de prototypage rapide) sont la source principale de la chaleur qui est transmise à celle-ci.

2.2.1 GÉNÉRALITÉS ET NOTIONS DE BASES DE LE THERMODYNAMIQUE

2.2.1.1 La température de jonction maximale, T_{jmax}

Le mauvais contrôle de la température peut causer des dommages dans les circuits électroniques tels que la dégradation de leurs performances et la réduction du cycle thermique. Des études montrent que la fiabilité de la puce de silicium est diminuée d'environ de 10% pour chaque élévation d'une température de 2°C par rapport à la température maximale de la jonction [25]. Une autre étude de l'Armée de l'Air des États-Unis a indiqué que plus de 50% des échecs de l'électronique sont causés par la température extérieure et locale [26].

Ceci, nous montre l'importance de rester dans la plage de température fonctionnelle de l'équipement électronique et que la puissance maximale indiquée par le fabricant doit être respectés à tout moment au cours de son fonctionnement. Il est connu qu'une augmentation trop importante de la température peut détruire la structure cristalline du semi-conducteur. Les calories produites à l'intérieur du cristal du semi-conducteur doivent être évacués par des moyens de dissipation de chaleur et des radiateurs. Par ce fait, la température maximale T_{jmax} de la jonction est un paramètre déterminant la limite entre le bon fonctionnement du circuit et le mauvais fonctionnement ou l'arrêt du système. La température T_{jmax} ne doit jamais être atteinte pendant le fonctionnement du circuit et elle rentre seulement dans les calculs et les hypothèses lorsqu'on considère que le circuit est en surcharge maximale [24, 27].

2.2.1.2 Formules et paramètres importants de la thermodynamique

Le transfert de la chaleur est exprimé par la loi de Fourier qui est formé depuis des résultats empiriques comparable à celle de la loi d'Ohm [28]. Le transfert de la chaleur ou le transfert thermique se fait entre deux points qui ont des températures différentes, un point qui a une température élevée que l'autre. Cette loi s'exprime de la façon suivante :

$$q = -k \cdot \frac{\partial T}{\partial x} \quad (1)$$

Pour une distance $e = x_2 - x_1$, q peut s'écrire de la façon suivante :

$$q = \frac{k}{e} (T_1 - T_2) \quad (2)$$

La loi de Fourier exprime que la densité du flux q est égale au gradient de la température multiplié par la conductivité thermique k [29]. Son unité s'exprime en $\text{J} \cdot \text{m}^{-1} \cdot \text{K}^{-1} \cdot \text{s}^{-1}$ ou, soit des $\text{W} \cdot \text{m}^{-1} \cdot \text{K}^{-1}$ alors que la densité du flux surfacique φ peu s'écrire de la façon suivante :

$$\varphi = \frac{k \cdot A}{e} (T_1 - T_2) = \frac{(T_1 - T_2)}{\frac{k \cdot A}{e}} = q \cdot A \quad (3)$$

On note que le flux thermique φ est la quantité d'énergie thermique qui traverse une surface dans un espace de temps Δt , l'unité du flux thermique est le J/s ou le W .

Soit ΔT la différence de température au long de la distance e et A est la section transversale normale à la trajectoire de l'écoulement de la chaleur en m^2 (Figure). Si pour cette distance e la conductivité thermique k ne varie pas, on peut écrire la formule suivante :

$$\Delta T = T_1 - T_2 = \varphi \cdot \frac{e}{k \cdot A} \quad (4)$$

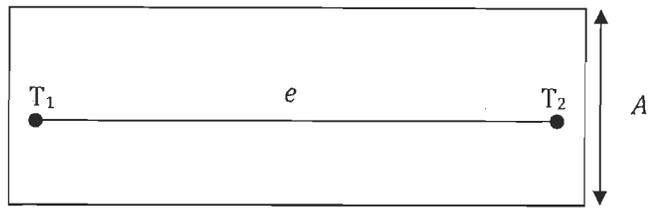


Figure 2-12 Transfert thermique entre deux points au long de la distance « e »

Par conséquent, la résistance thermique peut être définie comme suit :

$$R_{th} = \frac{e}{k \cdot A} = \frac{\Delta T}{\varphi} \quad (5)$$

Donc, la résistance thermique R_{th} entre deux points d'un élément est le rapport de la différence de température entre ces deux points et le flux φ .

k étant la conductivité thermique peut s'exprimer aussi de cette façon :

$$k = \frac{e}{A \cdot R_{th}} = \varphi \cdot \frac{e}{A \cdot \Delta T} = \frac{\Delta Q \cdot e}{A \cdot \Delta t \cdot \Delta T} \quad (6)$$

Avec ΔQ l'énergie transférée.

Cette formule nous permet ainsi de connaître la température de la source T_{source} en connaissant la température de sortie (Exemple la température de sortie d'un radiateur T_{sink}) en connaissant la résistance thermique R_{th} et le flux φ , de la façon suivante :

$$T_{source} = T_{sink} + R_{th} \cdot \varphi \quad (7)$$

Dans le cas où il y'a plusieurs matériaux adjacents ayant des résistances thermiques différentes, la résistance équivalente « R_{theq} » se calcule par la somme de ces résistances.

$$R_{theq} = \sum_1^n R_n \quad (8)$$

L'autre paramètre important dans la conception et la caractérisation thermique est le de transfert thermique qui est exprimé aussi par son coefficient h comme suit :

$$h = \frac{\Delta Q}{A \cdot \Delta T \cdot \Delta t} = \frac{\varphi}{A \cdot \Delta T} = \frac{q}{\Delta T} \quad (9)$$

Le coefficient de transfert thermique est donc le rapport de la densité du flux q et la différence de température ΔT . D'autre part, des formules (6) et (9) on constate que le coefficient de transfert thermique est le rapport de la conductivité thermique au long de la distance e de ce matériel peut écrire h sous cette forme aussi :

$$h = \frac{k}{e} \quad (10)$$

Quand il s'agit d'une interface complexe composée par plusieurs surfaces d'échange placées en parallèle et ayant des coefficients de transfert différents, le coefficient de transfert global est exprimé comme suit :

$$\frac{1}{U} = \frac{1}{h_1} + \frac{1}{k} + \frac{1}{h_2} \quad (11)$$

Avec k la conductivité thermique du matériau qui sépare les deux surfaces, e est l'épaisseur du matériau séparateur et h_1 et h_2 sont les coefficients respectifs des deux surfaces.

Dhotre et al [30] et *Ganguli* [31] et al ont démontré dans leurs travaux les moyens de détermination et de prédiction du coefficient de transfert thermique par la construction des modèles « CFD, Computational Fluid Dynamics » Dans la mesure où la détermination de ce paramètre par des méthodes pratiques demande beaucoup de moyens et de temps [24]. Pour cela l'utilisation des outils d'analyse thermique et des approches est très fréquente.

2.2.2 MOYENS ET OUTILS D'ANALYSES ET DE CONCEPTIONS THERMIQUES

Parmi les buts finaux de l'analyse thermique est d'avoir une cartographie de la distribution de la température dans une structure et dans le modèle thermique préétablie par l'outil de l'analyse, ainsi que d'extraire des paramètres thermiques de cette structure (Exemple : Coefficient de transfert thermique). L'analyse thermique est généralement basée sur des méthodes telles-que la CFD (Computational fluid dynamics) qui est une des branches de la mécanique des fluides et qui utilise des méthodes numériques et algorithmes pour analyser et résoudre les problèmes qui concernent l'écoulement de fluide. Cette méthode qui a connus ces débuts dans les années soixante-dix consiste à étudier les mouvements d'un fluide et d'analyser numériquement le passage des flux primaires ou de leurs effets par la résolution numérique des équations régissant le fluide [32].

La procédure des outils basés sur la méthode CFD tel que montré dans [33,35] peut être résumée comme suit : l'utilisateur de l'outil doit définir la géométrie de sa structure, par la suite le volume du fluide doit être définie, celui-ci va être devisé sous plusieurs cellules discrètes ou des mailles. Une fois fait, le modèle physique et les conditions aux limites doivent être définit par la spécification des propriétés physiques de la structure et de définir le comportement du fluide.

Il existe deux types d'analyse, une analyse au régime transitoire et une analyse au régime permanent. Les conditions initiales du problème doivent être définit dans le cas d'une analyse au régime transitoire. Dès que la simulation est lancée l'outil établie des solutions itératives selon le régime choisi (transitoire ou permanent). Finalement, le post-processeur se charge à illustrer et de visualiser les résultats de la simulation sous forme de tableaux ou des figures.

La méthode CFD ou mécanique des fluides numérique est basée sur la discrétisation qui est généralement établie numériquement par l'utilisation des équations de Navier-Stokes et Euler [34]. Ces équations sont intégrées dans plusieurs méthodes de discrétisation utilisé dans la CFD et dont on peut citer : la FVM (Finite Volume Method) ou Méthode des volumes finie, la FEM (Finite Element Method) ou méthode des éléments finie ou la méthode de la différence finie [33].

Ces méthodes sont utilisées pour résoudre des équations aux dérivées partielles soit par l'approximation des dérivées ce qui est le cas de la méthode de différence finie ou soit par des approximations d'intégrales ce qui est le cas de la FEM et de la FVM [34].

Par ailleurs, la méthode CFD peut être très coûteuse en termes de ressources informatiques utilisées pour effectuer des millions de calcul pour résoudre les équations aux dérivées partielles et ceci nécessite à établir des approximations qui sont en général le résultat d'un compromis en termes de besoins de représentation physique par rapport aux ressources de calcul ou de modélisation disponibles tel que montré par *Turbomach et al* dans [36].

Dans le domaine de la recherche, cette approche est l'objet d'un effort important, car elle permet l'accès à toutes les informations instantanées (vitesse, pression, concentration) pour chaque point du domaine de calcul pour un coût global généralement faible par rapport aux coûts d'une expérience et d'un essai pratique qui demande la réalisation du prototype. Alors que le but de l'utilisation de la CFD est de pouvoir valider le modèle de conception avec les plus faibles coûts.

En résumé et de manière générale, la résolution d'un problème de CFD passe par trois grandes phases telles qu'identifier par Bubak dans [37] :

1. La préparation et la définition du problème : ceci passe par la définition de la géométrie et du volume du fluide de la structure, la définition d'un maillage discrétisant le domaine de calcul et par le choix des modèles et méthodes numériques employés.
2. La résolution numérique du problème qui passe par l'exécution d'un outil informatique.
3. L'exploitation des résultats : ces derniers sont examinés pour extraire les réponses aux questions posées pendant la définition du problème.

Il existe plusieurs outils d'analyse thermique dans le commerce qui utilisent la méthode CFD dont on peut citer NISA qui est un outil d'analyse thermomécanique et l'outil Qfin qui est plus orienté dans la conception thermique, notamment le choix de radiateurs et la sélection des paramètres de refroidissement. Ces deux outils vont être utilisés durant les travaux de ce projet dont le laboratoire d'accueil « LIMA, Laboratoire d'Ingénierie des Microsystèmes Avancés » à l'université du Québec en Outaouais dispose.

2.2.3 TECHNIQUES DE CONCEPTION D'ÉLÉMENTS DE REFROIDISSEMENT ET RADIATEURS

Dans cette partie du chapitre 2, une étude comprenant un résumé de quelques travaux sera présentée dans le but d'exposer des techniques et des principes qui rentrent dans la conception des éléments de refroidissement et de radiateurs. Cette étude, sera utile dans la conception thermomécanique du modèle du bloc de puissance et dans la compréhension et la validation des résultats obtenus par les outils informatique de conception.

2.2.3.1 Choix dans la conception d'un élément de refroidissement

Il existe deux types de convection : une convection naturelle et une convection forcée. La convection forcée consiste à un déplacement ou un transfert de la température par un moyen artificiel tel que pompe, ventilateur ou turbine, alors que la convection naturelle consiste à un déplacement de la température dans le sens verticale par le phénomène connu par le poussé d'Archimède. Par ailleurs, il est évident que la convection naturelle est plus économique en termes d'économie en argent et en ressource que la convection forcée qui se fait par des équipements électrique (Ventilateurs, turbine...). *Knight et al* dans [38] ont démontré qu'il est possible d'améliorer la résistance thermique d'un radiateur par l'ajustement du nombre de ses ailettes et que cette résistance peut être réduite de 13% juste en rajoutant 3 ailettes au radiateur. Tandis qu'il possible d'augmenter la résistance thermique du radiateur par 19% ont supprimant 3 ailettes au radiateur par la proposition d'une structure du radiateur optimisée. Les résultats montrés dans cette étude prouvent que la résistance thermique est aussi dépendante de la géométrie du radiateur et non seulement du nombre des ailettes, notamment le rapport entre la hauteur, la longueur et la largeur du radiateur et aussi de l'espacement entre les ailettes et leurs épaisseurs. Autrement dit, cette étude démontre le rapport entre la résistance thermique et la surface d'échange du radiateur avec l'extérieur et que celle-ci peut être augmentée d'une façon significative en ajustant les dimensions du radiateur.

En résumé, cette étude a pu nous démontré que la résistance thermique peut être améliorée avec des moyens économique en terme de temps, énergie et surtout en terme d'espace et d'usinage (Il est évident que concevoir un radiateur avec 3 ailettes de moins est plus économique que celui avec 3 de plus). Ces résultats peuvent donc être très utiles pour la suite des travaux de ce projet et dans l'orientation de nos choix de conception du modèle thermomécanique du bloc de puissance et à l'amélioration de sa résistance thermique.

2.2.3.2 Ressources matériels pour la conception

Les outils de conception thermomécanique peuvent être gourmands en termes de ressource matériel et informatique et la réduction de la consommation de ces outils est un des objectifs souhaité par les concepteurs. *Tseng et al* dans [39] ont démontré que 50% des efforts de simulation peuvent être économisés par des techniques d'optimisation du modèle CFD (Computational Fluid Dynamic) construit pour la simulation. Les paramètres de simulation du modèle CFD sont : La densité de puissance, l'orientation, la géométrie et la configuration de l'écoulement. Les résultats montrés dans cette étude démontre que la géométrie, la densité de la puissance et la configuration d'écoulement sont séquentiellement les paramètres importants et elles influencent de manière significative le comportement thermique. Tandis que, l'orientation et des effets de l'élément à refroidir (objet de refroidissement exemple : Puce ou carte électronique....) n'influence pas grandement le comportement thermique et elles peuvent être ignorées dans les paramètres de simulation et ceci permet une économie du temps et des ressources informatique de la simulation allant à 50%.

De même, *Narisimhan et al* dans [40] ont démontré que l'utilisation d'un modèle compact du radiateur lors de la simulation comportant moins de détail permet de faire des profits sur le plan d'économie du temps et de ressource, et ceci, sans que l'écart entre les résultats obtenus avec le modèle complet et le modèle compact soit significatif.

2.2.4 INVESTIGATIONS THERMIQUE ANTÉRIEURES DE LA CARTE DE PROTOTYPAGE

Plusieurs études et investigations thermomécaniques ont été élaborées dans le cadre du projet DreamWafer. Dans cette partie, une présentation des résultats principaux des travaux effectués par *Bougataya et al* dans [24]. Ces résultats comme ce qui est le cas de cette étude présentée dans ce chapitre est de mieux comprendre la problématique et les besoins, ainsi que de comprendre les résultats et pouvoir les commenter. Ces résultats nous ont permis de mieux comprendre la problématique du projet sur le plan thermique. On peut résumer ces résultats comme suit :

- La source de chaleur principale dans la carte de prototypage vient des composants IC posés sur sa surface et la partie de la puissance consommée par la tranche de silicium. D'autre part, cette chaleur est dissipée directement en dessous de ces composants ICs.
- Le chemin dominant de la chaleur est verticale dans la carte de prototypage et que le transfert de la chaleur se fait principalement dans le sens vertical. Cela implique que, la propagation de la température dans la carte de prototypage dans le sens horizontal est négligeable et qu'il y'a que le transfert de la chaleur entre composants

IC est très négligeable. Par conséquent, chaque composant est indépendant de l'autre et que les composants peuvent être considérés d'une manière individuelle.

- La poche qui contient du liquide thermique (Figure 2-1) au dessus des composants IC, permet de maintenir une pression mécanique uniforme sur les composants et contribue à la dissipation thermique.
- L'effort de stress et de contrainte maximum se produit aux billes des composants IC.

2.2.5 CONCLUSION

Cette étude contenue dans ce chapitre a permis de mieux comprendre les différentes parties du projet, connaître les différentes composantes de la carte de prototypage WaferBoard™ et de comprendre leurs fonctionnements et leurs besoins notamment la tranche de silicium WaferBoard™, de comprendre la problématique et de comprendre et définir les objectifs du projet. Cette étude va nous permettre d'extraire les spécifications de fabrication du bloc de puissance sur le plan thermomécanique et électrique à partir des besoins de la carte de prototypage et de la tranche de silicium ainsi que de pouvoir établir des solutions pour que le bloc de puissance réponde aux besoins du projet sur le plan électrique, thermique et mécanique.

Chapitre 3 SPÉCIFICATIONS DE CONCEPTION

Ce chapitre résume les étapes qui ont conduit à la détermination des spécifications de fabrications du bloc de puissance ainsi que les objectifs dans sa fabrication et sa conception. D'autre part, ce chapitre présente la philosophie de travail, qui pourrait servir de guide pour la conception de dispositifs ou à résoudre des problématiques semblables à ceux du bloc de puissance. Les spécifications de conception du bloc de puissance détermineront un cadre pour les choix et les solutions de conception qui seront présent en considération dans les étapes suivantes. De plus, les spécifications de conception présente un compromis entre les besoins du projet et les technologies supportées par le manufacturier qui va fabriquer le bloc de puissance ainsi que d'assurer son attachement à la tranche de silicium « wafer-scale ».

Finalement, les spécifications de conceptions du bloc de puissance seront un cahier de charge ou des points de références énumérant les besoins et les caractéristiques du bloc de puissance. Ces spécifications doivent être suivie et respectées par le fabricant et aussi vérifiées après la fabrication du bloc de puissance.

3.1 RÔLE DU BLOC DE PUISSANCE

Tel que indiqué au chapitre 2, la carte de prototypage rapide WaferBoard est une carte de prototypage rapide capable de transformer une liste de connexions « Netlist » transférer par un utilisateur depuis son ordinateur à des liens physiques et réels. Ceci est permis par la tranche de silicium « Wafer-Scale » qui est d'un diamètre de 200mm.

La tranche de silicium requière d'être alimenter de l'extérieur par une puissance suffisante. La solution est de l'alimenter par le dessous de la tranche et que la source soit proche. D'où l'idée d'attacher le bloc de puissance à la tranche. D'autre part, le wafer a besoin de communiquer avec le monde extérieur, cela implique que le bloc de puissance doit jouer l'intermédiaire, et que, à travers lui des milliers de paquets (permettant la programmation des réticules ou bien indiquant la position des billes des composants) traverseront le bloc de puissance.

Cependant, le bloc de puissance doit assurer quelques performances thermomécaniques telles que : la robustesse de tel sorte à assurer un bon support mécanique au wafer dans la mesure de réduire son risque de courbure ou de déformation. D'autre part, assurer un bon transfert thermique du wafer vers le radiateur, que l'écart de la température dans le bloc de puissance soit minimale et qu'il présent une haute conductivité thermique. Finalement, que son CTE soit apparié (Proche) à celui du wafer afin de réduire le risque de contrainte mécanique et de stress.

3.2 LE WAFER ET LE BLOC DE PUISSANCE

Le bloc de puissance sera attaché au wafer, ce dernier contient 72 réticules dont 8 sont des réticules partiels situés dans le coin du wafer, Figure 3-1.

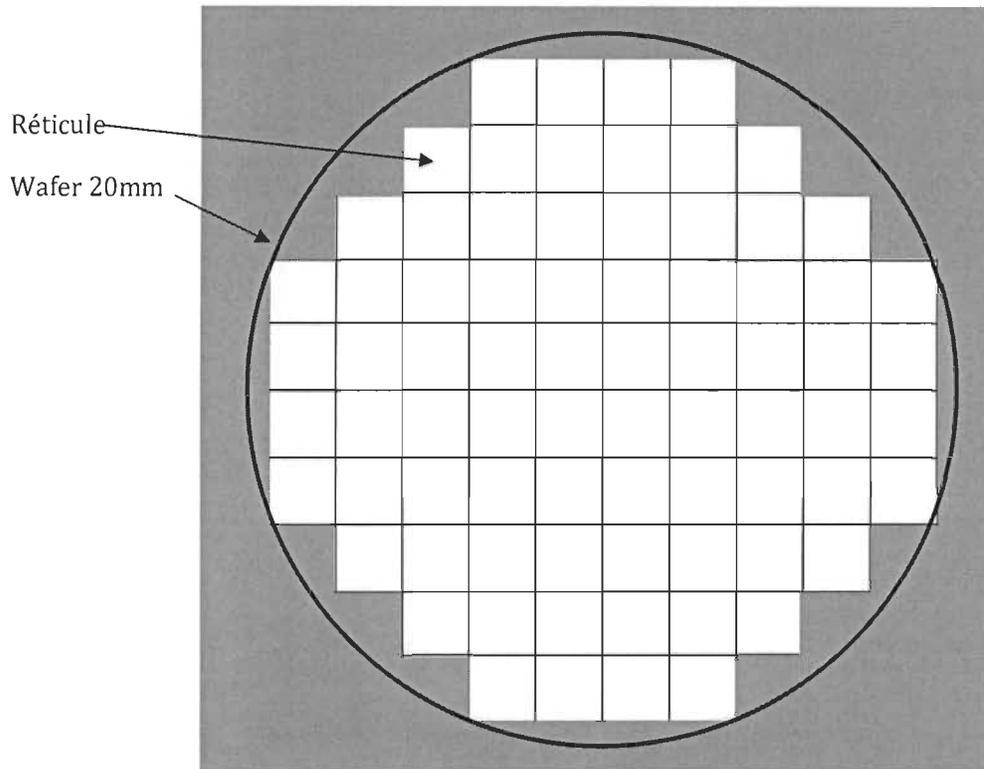


Figure 3-1 Réticules dans la tranche de silicium

La tranche de silicium a une structure cellulaire et que les réticules sont faits par photorépétition [10-11]. Cela implique que les besoins, les propriétés physiques et les entrées-sorties sont identiques pour chaque réticule ainsi que les besoins en terme de tensions et de courant. Cette propriété cellulaire de la tranche de silicium nous fait penser à la relation adéquate qui doit exister entre Wafer, Réticule(s) et Bloc de puissance du fait que le wafer contient 72 réticules identiques et que le bloc de puissance est pour rôle d'alimenter le wafer par l'alimentation de ces réticules identiques.

3.3 LA TAILLE DU BLOC DE PUISSANCE

Les réticules dans la tranche de silicium « Wafer-Scale » sont identiques, cela signifie que le bloc de puissance fournira les mêmes tensions à chaque réticule qui lui est connecté et que la puissance (ou bien le courant que le bloc de puissance doit fournir) du bloc dépendra du nombre de ces réticules. Autrement dit, le courant que fournit un bloc de puissance couvrant un réticule est quatre fois plus important que le courant de celui qui couvre quatre réticules et ainsi de suite. Ceci nous mène à poser la question suivante : quel est le nombre approprié de réticules à couvrir par un bloc de puissance ? La réponse à cette question doit être vue sur le plan électrique et thermomécanique et doit prendre en considération les avantages et les inconvénients de chaque disposition et chaque solution.

3.3.1 BLOC DE PUISSANCE COUVRANT LA TOTALITÉ DE LA TRANCHE

Soit un bloc de puissance couvrant la totalité de la tranche de silicium qui a un diamètre de 200mm (Figure 3-2) :

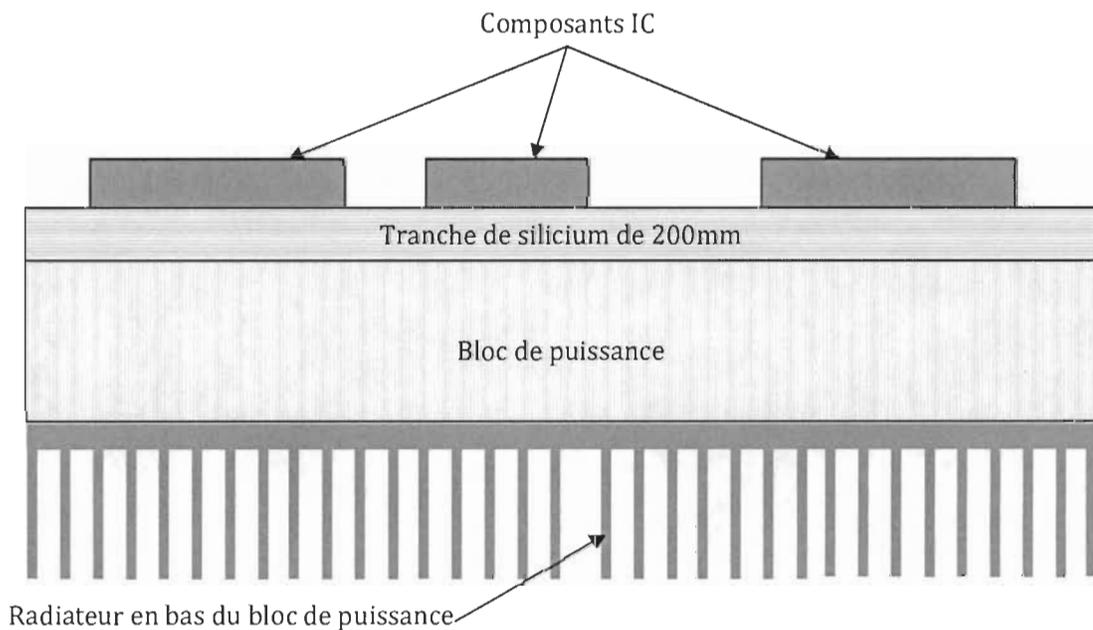


Figure 3-2 Bloc de puissance ayant la taille de la tranche

3.3.1.1 Propriétés électriques du bloc de puissance

Dans ce cas, la puissance que le bloc de puissance doit fournir devrait suffire la tranche de silicium ainsi que la totalité des composants IC posés sur la tranche. Cette puissance peut être importante et peut atteindre les 400W quand la tranche de silicium est entièrement exploitée.

La réalisation d'un bloc de puissance couvrant la totalité de la surface de la tranche de silicium qui est de 200mm de diamètre, est simple sur le plan technologique, sachant que certains constructeurs tel que «IR, International Rectifier» propose des régulateurs de tension d'une dimension de 50mm² pour une puissance maximal allant à 220 W selon le site web du fabricant [41].

La surface de ces régulateurs présentera environ 15% de la surface du bloc de puissance et fournissent plus que la moitié de la puissance électrique maximal que le bloc de puissance doit fournir. Cela signifie que la possibilité de mettre plusieurs régulateurs pour atteindre les 400W (Puissance maximale) est techniquement possible et que les contraintes de dépassement de la taille du bloc de puissance sont mineures pour cette configuration.

Résumé : La réalisation d'un bloc de puissance avec une taille de 200mm de diamètre et d'une puissance de 400W est techniquement possible avec l'utilisation de composants et des régulateurs de petites dimensions afin de pouvoir les posés dans la surface du substrat du bloc.

3.3.1.2 Propriétés thermomécaniques du bloc de puissance

Le choix des matériaux qui rentreront dans la fabrication du bloc de puissance doivent assurer un bon support mécanique pour le wafer, un bon rapport de CTE² avec le wafer et une bonne conductivité thermique afin de conduire la chaleur vers le radiateur situé en bas du bloc de puissance.

Dans cette disposition, un bloc de puissance couvrant toute la surface du wafer, le bloc de puissance doit assurer un bon rapport de CTE avec le wafer. Idéalement, il doit y'avoir le même matériel de fabrication que le wafer afin d'éviter des contraintes thermomécaniques considérables et causer par conséquent des déformations dans la structure. Cela implique qu'il faut déposer une plaque en silicium au dessus du bloc de puissance pour l'apparier avec la tranche de silicium.

D'autre part, le bon support mécanique pour toute la surface du wafer nécessitera la présence de plusieurs piliers-colonnes dans le bloc de puissance. Ceci réduira la surface

² C'est le coefficient de dilatation thermique ou en anglais « Coefficient of thermal expansion ».

allouable aux composants électronique du bloc de puissance. Dans la même perspective, le bloc de puissance doit conduire vers le bas la totalité de la chaleur dissipée par le Wafer et la présence de ces piliers-colonnes augmentera considérablement la conductance thermique de la structure du bloc de puissance (Figure 3-3).

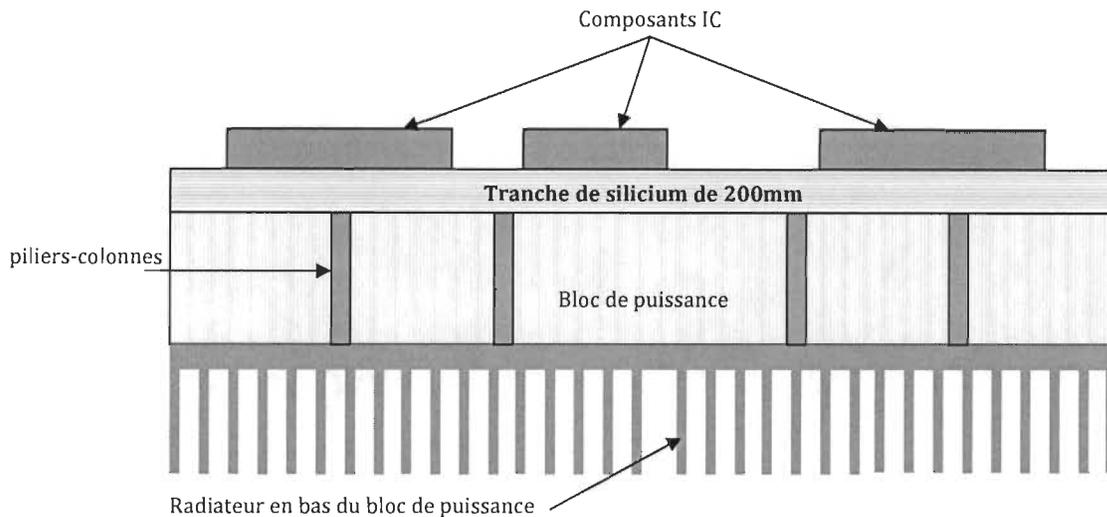


Figure 3-3 Piliers-colonnes de support du wafer dans le bloc de puissance

Tel que indiqué dans la figure 3-3, les composants IC sont au dessus de la surface de la tranche et par conséquent au dessus du bloc de puissance. Cela résulte que la température dans le bloc de puissance sera distribuée en fonction de la position des composants IC (qui sont la source principale de la chaleur) sur la tranche. La température sera donc distribuée d'une manière non-uniforme. Cette distribution non-uniforme et ces écarts importants de la température peuvent produire des contraintes et des stress mécanique importants avec des déplacements et des déformations des matériaux dans le bloc de puissance et de sa structure.

Synthèse : L'espace allouable dans le substrat du bloc de puissance pour les composants peut être réduit par la nécessité de la présence de piliers-colonnes pour le support du Wafer et aussi pour le besoin de l'augmentation de la surface conductrice de la chaleur dans et à travers le bloc de puissance. Cela implique que l'avantage en termes d'espace en ayant un substrat d'un diamètre de 200mm pour mettre les composants électronique du bloc de puissance risque de ne pas exister par la nécessité d'implanté des piliers-colonnes.

D'autre part, la distribution de la température dans le bloc de puissance sera non-uniforme avec des pics thermiques situés en dessous de chaque composant IC. Cette non-uniformité de la température dans le bloc de puissance peut causer des problèmes thermomécaniques majeurs. Finalement, le coût de cette structure peut être élevé à cause des matériaux qu'on doit utiliser (Exemple l'utilisation du silicium) pour éviter les problèmes thermomécaniques, pour augmenter la conductivité du bloc, ainsi que de réduire les écarts de la température dans le bloc de puissance.

3.3.2 BLOC DE PUISSANCE COUVRANT UNE PARTIE DE LA TRANCHE

Soit plusieurs blocs de puissance couvrant la surface de la tranche de silicium (Figure 3-4).

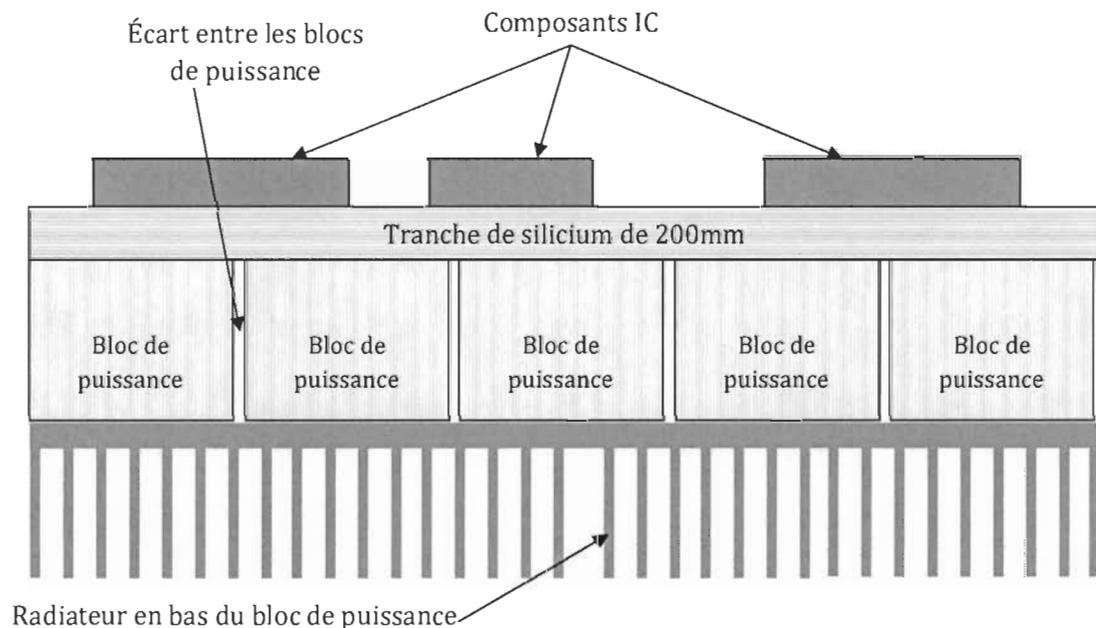


Figure 3-4 Plusieurs blocs de puissance pour alimenter la tranche

L'écart entre les blocs de puissance est nécessaire afin d'éviter le contact entre ces blocs quand un bloc est chaud et que sa structure est en dilatation ou en expansion. Cet écart sera déterminé par des simulations thermomécaniques durant la conception.

3.3.2.1 Propriétés électriques du bloc de puissance

Dans ce cas, la puissance électrique que le bloc de puissance doit fournir dépendra du nombre de réticule qu'il couvre. Un bon choix de la taille du bloc de puissance qui se définit par le choix du nombre de réticule couvert par un bloc de puissance et par la suite par la puissance nécessaire pour ces réticules, permettra de simplifier la conception. Tel que mentionné dans l'introduction de ce chapitre, un bloc de puissance couvrant 8 réticules doit avoir une puissance deux fois importante que celui qui couvre 4 réticules. Tandis que le bloc de puissance qui couvre 8 réticules doit couvrir le double de la surface que le bloc de puissance couvrant 4 réticules. Cela implique qu'il faut faire des compromis afin de sélectionner la bonne disposition, et, qu'il faut prendre en considération la taille des composants qui rentreront dans la fabrication du bloc ainsi que leurs capacités, notamment la puissance pour le régulateur.

3.3.2.2 Propriétés thermomécaniques du bloc de puissance

La structure envisagée pour le bloc de puissance consiste à avoir un substrat pour les composants électronique, ce dernier sera entouré par un cadre métallique pour le support mécanique du Wafer ainsi que pour l'augmentation de sa conductivité thermique. Cette solution va donc permettre que le Wafer soit supporté par le cadre métallique du bloc de puissance. Cela implique que la qualité du support mécanique dépendra de la taille du bloc de puissance. Plus que le cadre est petit plus il y'a moins d'espace vide ainsi que moins de risque pour que le Wafer se courbe et se déforme. D'autre part, si la taille du bloc de puissance est petite et par conséquent la taille du cadre métallique. Le besoin d'avoir plusieurs piliers-colonnes pour le support du wafer et l'augmentation de la conductivité du bloc sera réduit. Tel que montré dans la Figure 3-5, un bloc de puissance de petite dimension et présente un bon support mécanique pour le wafer.

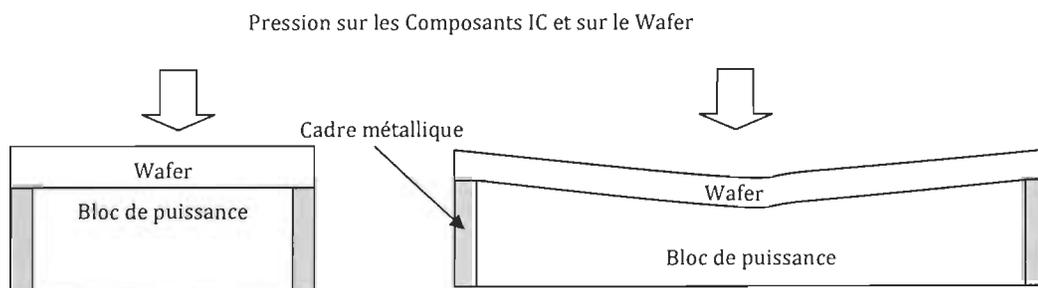


Figure 3-5 Possibilité de la déformation du Wafer en fonction des dimensions du bloc

D'autre part, par la réduction de la taille du bloc de puissance, l'écart des températures dans la structure du bloc de puissance sera réduit et par conséquent le risque des problèmes thermiques et mécaniques seront réduits. Finalement, le besoin d'utiliser des matériaux coûteux pour éviter les problèmes thermomécaniques dans le bloc n'est pas nécessaire, et par conséquent le coût d'un bloc de puissance de petite taille est moins élevé qu'un bloc de puissance de grande taille qui présente plus de risque d'avoir des problèmes thermomécaniques.

3.3.3 BILAN ET SOLUTION ADOPTÉE

Dans les parties précédentes de la section 3 de ce chapitre, une étude a été présentée concernant les avantages et les inconvénients de chaque configuration du bloc de puissance. La première configuration étant un bloc de puissance couvrant la totalité de la tranche de silicium et qui doit lui fournir la totalité de la puissance qu'elle demande. Cette configuration bien qu'elle se présente avantageuse sur le plan électrique du fait que le bloc de la puissance aura la même surface de la tranche (200mm de diamètre) et que le placement de composant de puissance sur cette surface demeure faisable sur le plan technologique. Tandis que cette configuration, présente beaucoup de problème thermomécanique ; notamment le problème de la non-uniformité de la température ainsi que la présence de pics thermique au dessus de chaque composant IC. Ces problèmes thermomécaniques se présente moins importante dans la deuxième configuration avec plusieurs bloc de puissance pour une tranche de silicium tandis que le problème reste de choisir la bonne taille du bloc de puissance en fonction de la puissance demandée, la taille des composants de puissance existante dans le marché ainsi que l'architecture du Wafer.

3.3.3.1 Solution adoptée

La tranche de silicium WaferIC dont la carte de prototypage WaferBoard™ contient 76 réticules [13]. Ces réticules sont identiques sur le plan architectural est physique. L'idée de la répétitivité³ ou la duplication dans la conception de la tranche de silicium serait utile dans la conception des blocs de puissance. Il suffirait dans ce cas de déterminer les paramètres et les spécifications de conception d'un bloc de puissance pour en faire plusieurs. D'autre part, cette technique va réduire le coût de la production dans la mesure où la fabrication en masse de plusieurs éléments identiques est beaucoup moins coûteuse que la production de plusieurs éléments différents.

³ La tranche de silicium WaferIC peut être vue comme un ensemble de réticules (circuits microélectronique) identique. La répétitivité dans la conception du Wafer est pour but de minimiser le coût de la production et de la conception en faisant répéter et dupliquer un élément pour former l'ensemble.

Dans cette optique, le choix de la taille du bloc de puissance doit permettre à ce que les blocs de puissance soit identiques sur le plan géométrique, physique et caractéristiques. Ceci revient à ce que chacun des blocs de puissance, doit couvrir le même nombre de réticules qui sont à leurs tours identiques.

Afin d'avoir la symétrie et que la largeur et la longueur du bloc de puissance soit égaux, le nombre de réticules couvert par un bloc de puissance doit être le carré d'un nombre entier, exemple :1,4,9...

Sachant que le nombre de réticule dans le wafer est de 76 et que la taille de réticule est de $18 \times 18 \text{ mm}^2$, la configuration du bloc de puissance couvrant 4 réticules est la configuration la mieux adaptée à l'architecture du wafer. La configuration de 1 réticule par bloc présente beaucoup de contraintes et de limitation d'espace pour pouvoir placer les circuits passifs, le régulateur et les circuits logiques dans le bloc de puissance. Tandis que, la configuration de 9 réticules par bloc de puissance n'est pas adaptée à l'architecture du Wafer, dans la mesure où, nous pouvons ne pas couvrir la surface du wafer avec des blocs de puissance ayant la surface de 9 réticules.

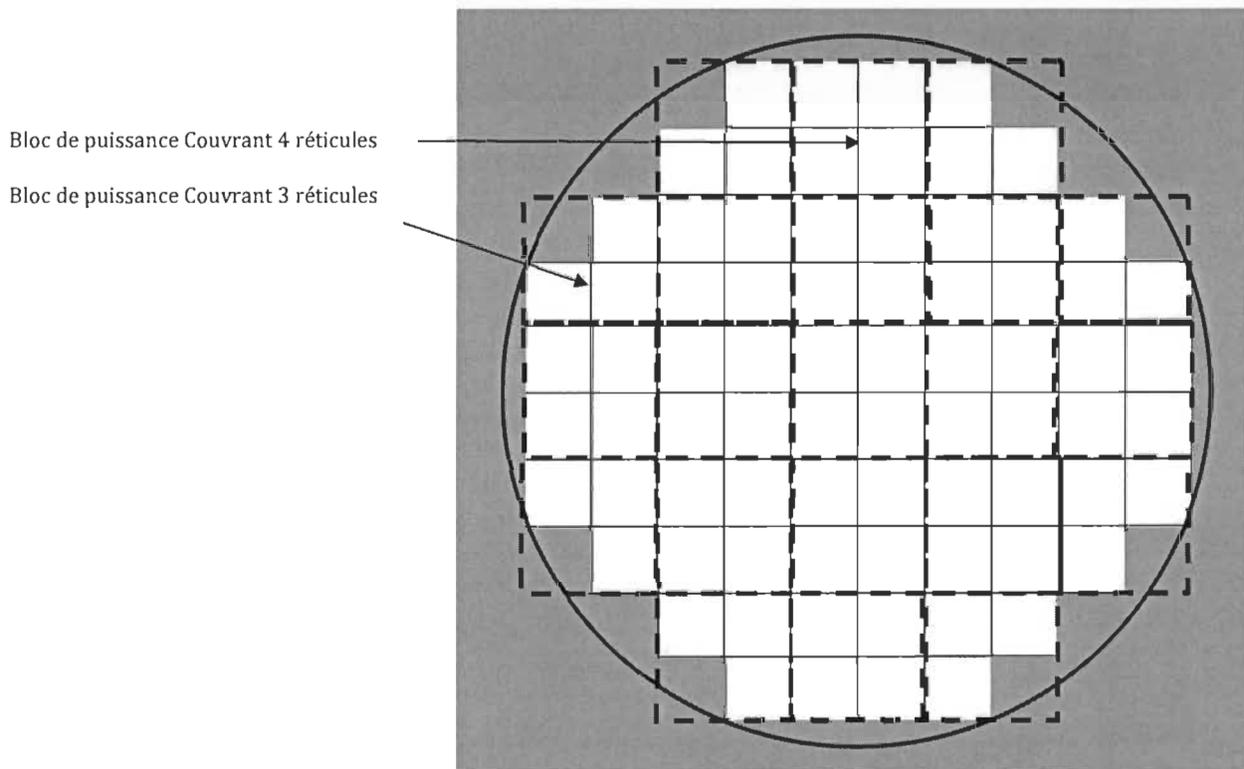


Figure 3-6 Vingt-et-un blocs de puissance ayant une surface de $36 \times 36 \text{ mm}^2$

Comme montré dans la figure 3-6, il y'aura des blocs de puissance qui couvrent 3 réticules comme il y'aura des blocs de puissance qui couvrent 4 réticules. De cette manière, les blocs de puissance seront identiques et auront la même taille.

3.4 CONNEXION ENTRE LE BLOC DE PUISSANCE ET LE WAFER

La tranche de silicium WaferIC dispose de TSV (Through Silicon Via), ces TSV sont répartie de manière uniforme et aient des dimensions et des espacements constants. Les dimensions d'un TSV sont prises en considération dans la conception de la connexion entre le bloc de puissance et le wafer.

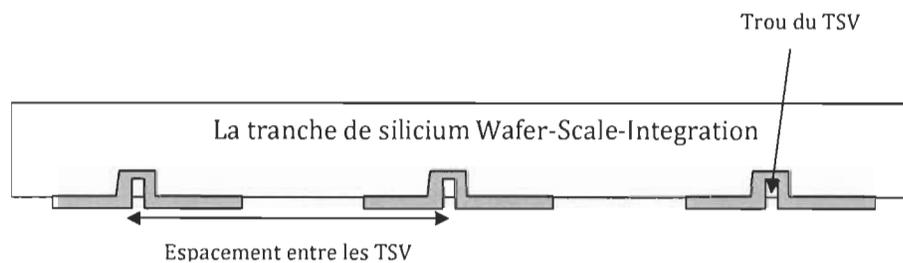


Figure 3-7 Espacement entre TSV

L'espacement entre les TSV est de 2.24mm alors que le diamètre du trou du TSV est d'environ 150 μ m. La fragilité de la tranche de silicium exige à ce que le support du bloc de puissance pour le wafer permet de réduire le risque de cassure ou de courbure de la tranche qui peuvent être causées par la pression exercée par le dessus sur les composants IC et par la suite sur la tranche de silicium.

Pour cet objectif, les pads du bloc de puissance et qui transmettront les données et la puissance électrique au wafer, doivent avoir la même grandeur et la même hauteur. D'autre part, la distribution régulière est uniforme de ces pads permettrait de répartir la pression sur le wafer d'une manière uniforme.

Il est évident que plus la surface de contact entre les pads et le wafer à travers les TSV est grande plus le risque de courbure du wafer est réduit. Cette surface de contact est calculée par le produit du nombre de pads et la surface d'un pad. Tandis que, le choix de la surface d'un pad doit être accepté par la technologie du fabricant. Cet élément, doit être pris en considération durant la conception et le choix de la surface d'un pad. Finalement, la force exercée sur un pad peut être réduite on augmentant le nombre de ces pads. Sachant que la Force est le rapport de la pression sur la surface, la force exercée sur un pad sera réduite en réduisant la surface d'un pad.

En conclusion, le but final serait de maximiser la surface totale des pads tout en augmentant le nombre de ces pads afin de réduire la force exercée sur un pad.

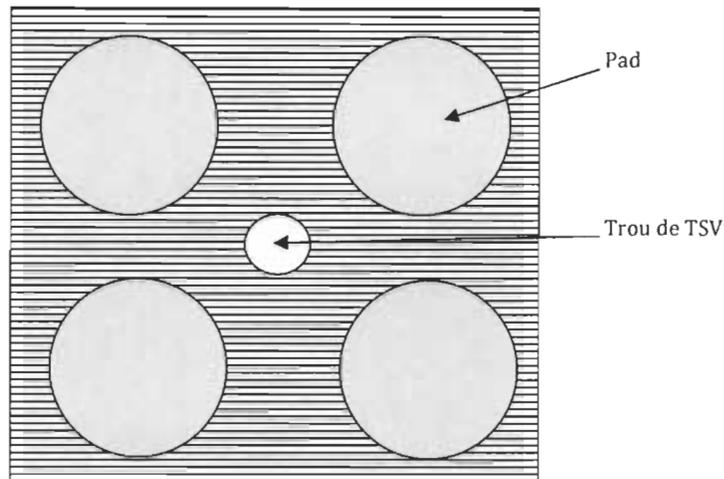


Figure 3-8 Solution adoptée, 4 pads par TSV

La figure 3-7 montre la solution qui a été adoptée en créant une redondance de pads avec un facteur de 4 pour chaque TSV. Cette solution a été prise en prenant en considération les limitations technologiques du fabricant concernant, les tailles des pads et des espacements entre les TSV et la taille de leurs ouvertures.

3.5 MODÈLE THERMOMÉCANIQUE

Un des rôles principal du bloc de puissance est le permettre un bon support mécanique au wafer ainsi que de permettre une bonne distribution de la chaleur dans le bloc et une bonne conduite de la chaleur du wafer vers le radiateur en bas du bloc de puissance.

Le modèle thermomécanique est établi après le choix des différents matériaux qui rentreront dans la fabrication du bloc de puissance. Le bloc de puissance contiendra un substrat avec des composants électroniques, ce substrat sera entouré par un cadre métallique pour le support mécanique du wafer ainsi que pour transfert la chaleur du wafer vers le radiateur en bas du bloc. D'autre part, le bloc de puissance devrait être assemblé avec un matériel qui a un coefficient d'expansion proche à celui du silicium et présentant une conductivité thermique élevée.

Par la suite, Le modèle thermomécanique proposé et qui sera validé et évalué par simulation, contiendra : les propriétés des matériaux qui seront utilisés dans le bloc de puissance. Il comprend aussi, la puissance qui sera dissipée dans le bloc de puissance ainsi que la puissance transférée par le wafer au bloc de puissance, la disposition des composants électroniques et notamment les composants de puissance (les composants qui dissipent plus de puissance et marquant une majeure concentration de la puissance) et finalement les propriétés du radiateur en bas du bloc de puissance.

Un espacement minimum entre les blocs de puissance doit être déterminé afin d'éviter le chevauchement entre les blocs lors de leur déformation et dilatation avec la température. Cet espacement minimum, doit être déterminé à son tour avec les simulations thermomécaniques, permettant de prédire la dilatation maximale des matériaux du bloc de puissance quand la température est élevée et quand le bloc de puissance est sous pression du haut du wafer. Ceci, va permettre ainsi de déterminer avec exactitude la taille d'un bloc de puissance. La taille d'un bloc de puissance serait donc, la taille de 4 réticules moins l'espacement que nous devrions respecter entre chaque bloc de puissance.

Un autre élément important concernant le modèle thermomécanique du bloc de puissance et sa taille est bien sa hauteur. Comme dans la partie 3.3 de ce chapitre, la taille du bloc de puissance (Longueur et largeur) a été déterminée afin de répondre aux exigences thermomécaniques du wafer.

Selon la formule (10) du chapitre 2, le coefficient de transfert thermique h est le rapport entre la conductivité thermique k et la distance e . Dans notre cas, la chaleur sera transférée verticalement à travers le bloc de puissance du haut vers le bas, donc le coefficient de transfert thermique sera relative à la hauteur du bloc de puissance, plus cette hauteur est petite plus le transfert thermique sera élevée. Ceci implique que, la hauteur du bloc de puissance devrait être la plus petite possible afin d'augmenter le coefficient de transfert du bloc ; cette hauteur sera déterminée par la hauteur des composants électroniques. Ce critère de la hauteur doit figurer parmi le reste des critères de sélection et de choix des composants électronique.

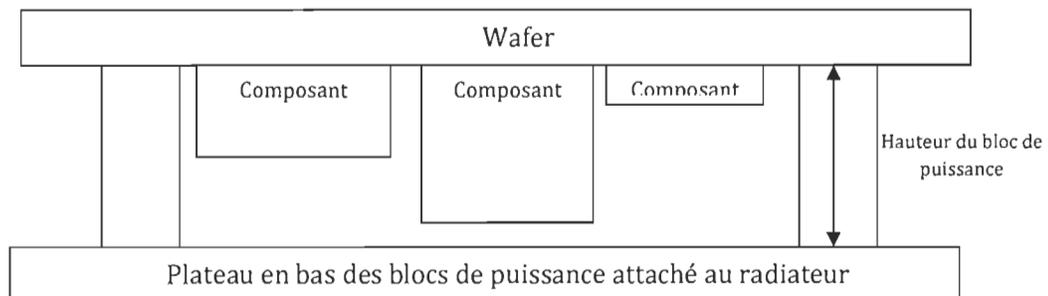


Figure 3-9 Hauteur du bloc de puissance

3.6 SPÉCIFICATIONS ÉLECTRIQUES

La puissance maximale estimée et qui peut être consommée par un réticule du Wafer est de 2W. Dans le design actuel les circuits du wafer fonctionnent à des tensions basses dont le maximum est de 1.8V. Afin de diminuer la chute de tension dans les TSV (qui ont pour rôle de conduire le courant du bloc de puissance au wafer), le courant qui parcourt ces TSV doit être minimisé, ce qui signifie que la tension d'alimentation du Wafer doit être au maximum. On peut considérer donc que la tension d'alimentation du wafer est de 1,8V pour un courant maximal de 5A pour les 4 réticules couvert par un bloc de puissance.

La tranche de silicium est conçue afin de supporter des composants IC gourmand en puissance. En exemple, on peut citer l'Intel® Core™ qui consomme une puissance de 73W ou bien la gamme de processeurs d'Intel® Itanium® qui peuvent consommer une puissance allant de 104W à 185W [42,43]. D'autre part, la taille d'un processeur Intel® Core™ est de l'ordre de 66x66mm², cette taille peut couvrir 4x4 réticules, qui est l'équivalent de la taille de 4 blocs de puissance adjacents.

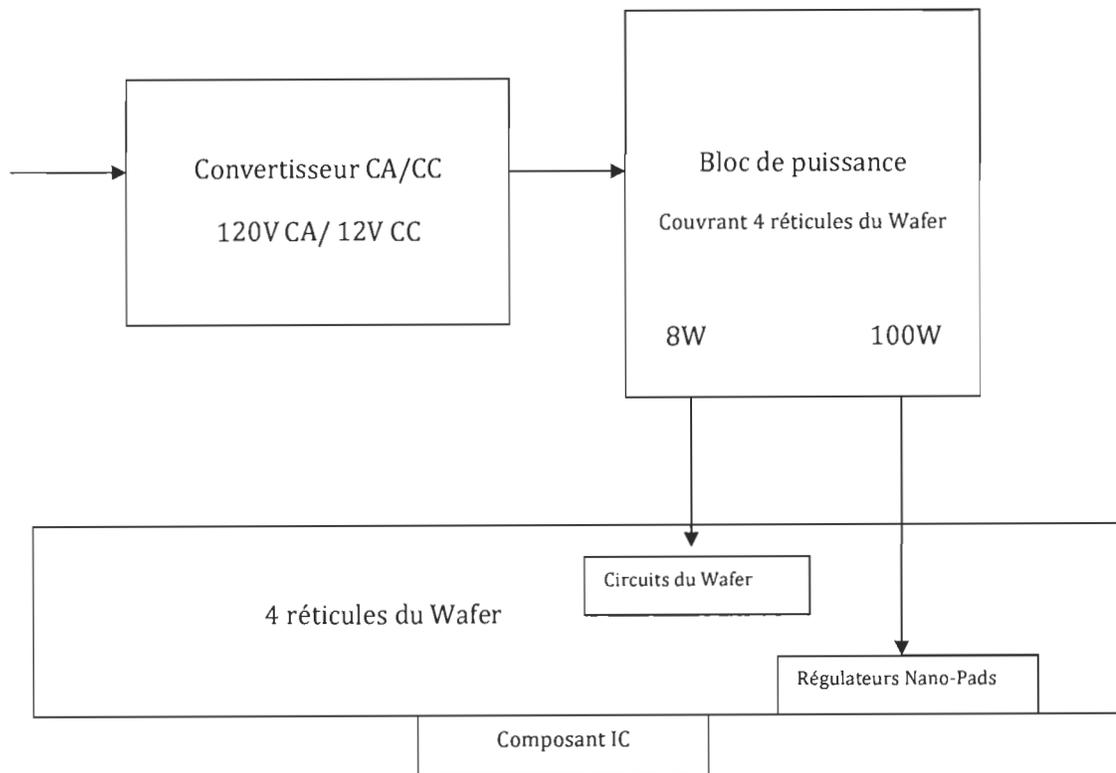


Figure 3-10 Schéma de principe du flux de la puissance dans le WaferBoard™

Considérant qu'un bloc de puissance, alimentant les régulateurs des Nanopads™ dans le Wafer, est capable de fournir une puissance de l'ordre de 100W (Figure 3-10). Cela signifie, qu'il faudrait deux blocs de puissance afin de pouvoir alimenter un composant IC tel qu'un Intel® Core™ qui consomme une puissance allant jusqu'à 185W. La figure 3-11 illustre une configuration possible dont nous avons, un composant IC type Core™ avec une puissance de 185W et ayant une taille de 66x66mm², alimenté par 4 blocs de puissance.

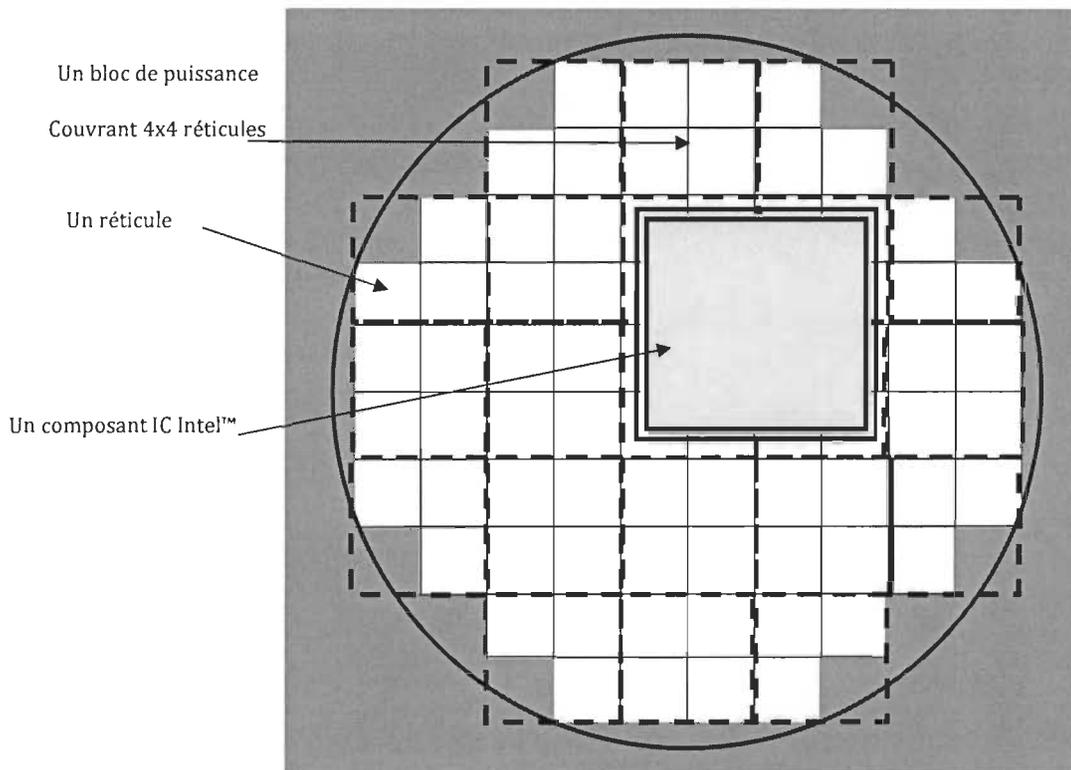


Figure 3-11 Un composant IC alimenté par 4 blocs de puissance

Considérant que la puissance moyenne, fournie par un bloc de puissance dans le cas illustré dans la figure 3-11, est égale et identique pour les 4 blocs de puissance. Cela signifie que, chaque bloc de puissance fournira une puissance de : 185W (puissance maximal consommée par le composant IC) divisée par 4 (les 4 blocs de puissance). Cette puissance, $185/4 = 46,25W$, présente environ 50% de la puissance maximale considérée (100W) pour un bloc de puissance.

À une puissance maximale de 100W pour 4 réticules, les blocs de puissance seront donc capables de fournir la puissance suffisante pour les composants IC les plus gourmands, présents dans le marché des composants électronique.

Les régulateurs des Nano-Pads sont capables de supporter des tensions d'entrées voisinant les 3,3V. À cette tension et afin d'avoir une puissance voisinant les 100W le courant maximal devrait être égale à 30A par bloc de puissance. Finalement, on distinguera le rail de 3,3V qui servira à alimenter les Nano-Pads avec un courant maximal de 30A par bloc de puissance ainsi que le rail de 1,8V qui servira à alimenter le Wafer avec un courant maximal de 5A par bloc de puissance.

3.6.1 IMPÉDANCE DES RAILS EN DC

Le bloc de puissance contiendra des composants électroniques dans un substrat « PCB ». Sur le dos du substrat il y'aura des pads qui vont conduire la puissance au Wafer à travers les TSV. La chute de tension dans le rail d'alimentation pour le wafer ou bien pour les Nano-pads serait causée par la résistance des conducteurs du substrat. On désire avoir une chute de tension minimale à la sortie du bloc de puissance, afin de minimiser les pertes en puissance dans le substrat ainsi que d'alimenter les circuits du wafer par les tensions convenables et suffisantes. Ces pertes, peuvent engendrées de la chaleur et qui par conséquent peut causer une défaillance dans le substrat et une discontinuité de la puissance.

Il est évident que pour réduire la chute de tension il faut réduire la résistance des conducteurs du substrat. Cet objectif peut être atteint, d'une part par, par la réduction de la longueur de la ligne d'alimentation ou bien les conducteurs du substrat. D'autre part, sachant que la résistance de la ligne d'alimentation est bien :

$$R = \text{Résistivité du conducteur} \frac{\text{Longueur du conducteur}}{\text{Section du conducteur}} \quad (12)$$

Cela signifie que nous pouvons aussi, réduire la résistance du conducteur par l'augmentation de sa section, ou bien par la réduction de sa longueur et l'augmentation de sa section. Les lignes ou les conducteurs du substrat sont des pistes en cuivre et l'augmentation de la section du conducteur signifiera l'augmentation de la largeur de la trace ou de la piste du cuivre. Cette augmentation de la largeur des pistes de cuivre devrait se faire dans un substrat de surface fixe (36 mm environ et qui la surface du bloc de puissance).

Toutes les connexions entre les différents composants devraient être tracées dans le même substrat. Pour permettre l'augmentation des largeurs des pistes de cuivres des lignes d'alimentation tout en assurant les différentes connexions. La solution serait de créer un substrat multicouches tel qu'illustré dans la figure 3-12.

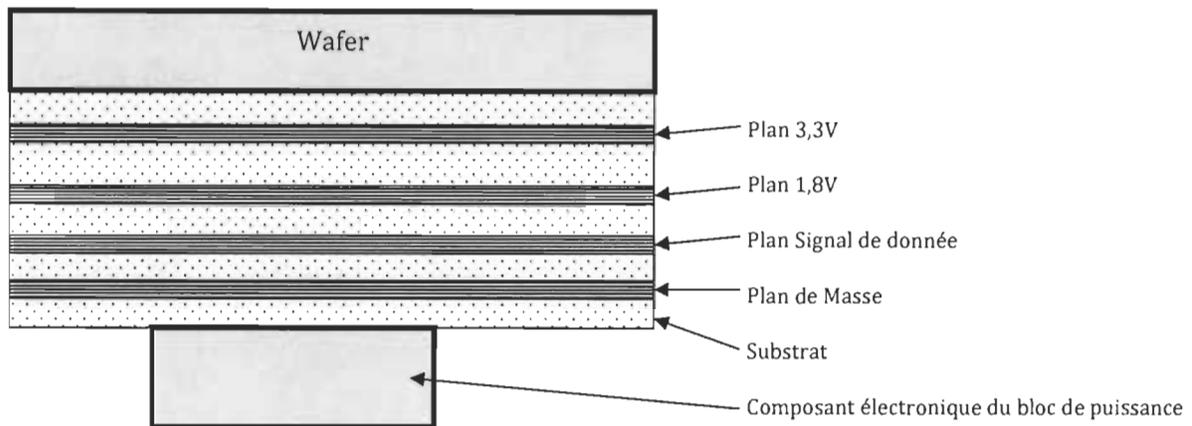


Figure 3-12 Substrat à multicouches avec plusieurs plans d'alimentation

Dans la figure 3-12, on montre la nécessité d'utiliser plusieurs plans d'alimentation afin de permettre une section maximale des pistes de cuivre des lignes d'alimentation dans le but de réduire la résistance de ces lignes et par conséquent, réduire la chute de tension dans ces lignes. Finalement, cette solution devrait permettre que les VIA (accès d'interconnexion vertical, qui sert à relier verticalement une connexion d'un plan d'alimentation à une autre connexion dans un autre plan), soient plus large afin de minimiser la résistance.

3.6.2 IMPÉDANCE DES RAILS EN AC

La qualité de la puissance dans le bloc de puissance se résume dans le comportement fréquentiel des rails d'alimentation. Tel que mentionné dans la section précédente, les rails d'alimentation, qui sont dans le cas du substrat du bloc de puissance, un réseau de distribution de la puissance, doivent avoir une résistance minimale afin de minimiser les chutes de tension dans ce réseau. Cette résistance, est bien l'impédance du réseau dans le mode courant continu « DC ». En mode fréquentiel « AC », cette impédance doit être aussi inférieure, cette impédance peut avoir un comportement capacitif, résistif ou inductif.

Le Wafer ainsi que les composants IC sont des dispositifs logiques rapides, dont la demande du courant peut varier rapidement du maximum au minimum, ou l'inverse. Si le réseau de distribution de la puissance est lent (réponse temporaire lente, impédance basse fréquence, ou fréquence de coupure basse fréquence), ceci peut causer un mauvais fonctionnement du Wafer et par la suite des composants IC.

L'impédance du réseau de distribution présente la résistance de chaque ligne d'alimentation (3,3V et 1,8V) ainsi que le condensateur défini par les plans d'alimentation. Exemple la figure 3-11.

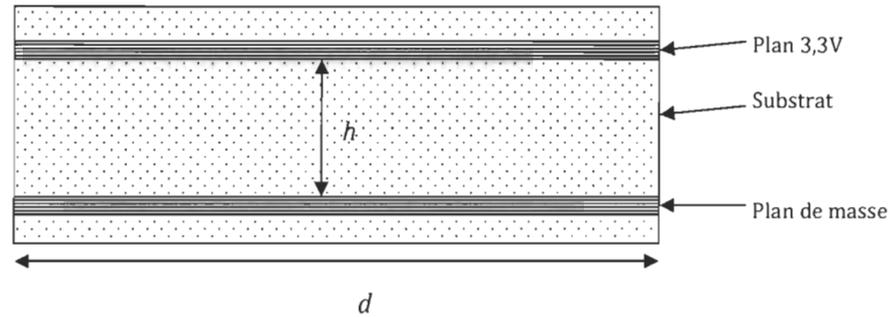


Figure 3-13 Impédance du substrat

On peut considérer que h est la hauteur ou bien la distance entre les deux plans, et d la longueur de la ligne. La capacité du condensateur équivalent du réseau pourrait s'écrire de la façon suivante :

$$c = \text{permittivité} \frac{\text{La surface du plan d'alimentation}}{\text{la hauteur}} \quad (13)$$

Le comportement fréquentiel du rail d'alimentation serait dépendant de la valeur de son impédance. Selon l'application on peut définir l'impédance maximale que le réseau doit avoir par la relation suivante (14) tel que expliqué dans [45,46] :

$$\text{Impédance maximale} = \frac{\text{tension d'alimentation} \cdot \text{ondulation}}{\text{Courant maximal transitoire}} \quad (14)$$

Si on considère que l'ondulation admissible pour les circuits du Wafer est 10% et que le courant maximal transitoire est le courant maximum sur le rail l'impédance serait :

- Impédance pour le rail du 1,8V = $1,8 \cdot 10\% / 5 = 36 \text{ m}\Omega$
- Impédance pour le rail du 3,3V = $3,3 \cdot 10\% / 30 = 11 \text{ m}\Omega$

On remarque que le rail 1,8V est moins exigeant que le rail 3,3V et ceci est dû à l'intensité du courant qui parcourt le rail de 3,3V.

En réalité cette impédance serait calculée en fonction des condensateurs et des inductances qui vont être présent sur le rail.

Le bloc de puissance contiendra des régulateurs DC-DC afin d'abaisser la tension de 12V fournie par le bloc d'alimentation AC (Figure3-10). Ces régulateurs, nécessitent en général l'ajout de composants externes pour le lissage et le filtrage du courant (des Inductances et des condensateurs). Les condensateurs et les inductances utilisés dans ce genre d'application, sont des composants de valeurs importantes et ont des fréquences de coupure basses. Cela implique que, l'impédance de la ligne d'alimentation serait élevée en haute fréquence.

Afin de remédier à ce problème, des condensateurs de petites valeurs ayant des fréquences de coupure élevées doivent être ajoutés. L'ajout de ces condensateurs de petites valeurs à celle qui est de grande valeur va pousser la fréquence de coupure plus loin vers les fréquences les plus élevées. Plus la fréquence de coupure des condensateurs ajoutés est haute plus la fréquence de coupure total du rail serait haute. Le rail d'alimentation pourrait être présenté comme suit :

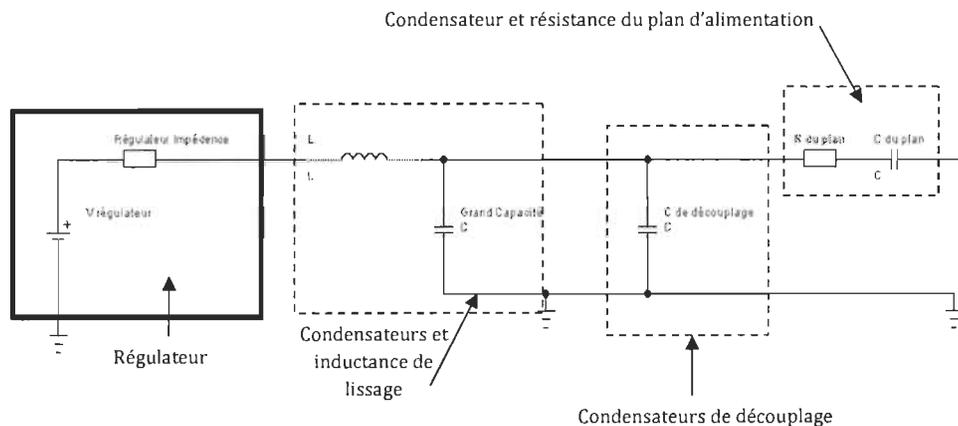


Figure 3-14 Schéma du rail d'alimentation

Sachant qu'une représentation réelle d'un condensateur est un circuit R-L-C, dont R est la résistance en série, L est l'inductance série et C est la capacité du condensateur. Un autre élément à prendre en considération durant le choix des composants est de choisir des condensateurs avec des petites pastilles « Footprints », afin d'avoir une inductance inhérente petite du condensateur [46]. Finalement, le choix des valeurs des condensateurs et leurs nombre pour chaque rail doit être effectué selon une analyse fréquentiel du réseau de distribution de l'alimentation.

3.6.3 STRATÉGIE CONTRE LE DÉFAUT ET SA DÉTECTION

Le bloc de puissance a pour rôle d'alimenter les réticules du Wafer ainsi que d'assurer la communication entre le Wafer et les autres parties de la carte de prototypage WaferBoard™.

Tel que mentionné dans la section « Fonctionnement de la carte WaferBoard™ » du chapitre 2, la partie intelligente de la carte de prototypage doit assurer la communication entre l'ordinateur et le WaferBoard™ ainsi que la programmation du Wafer (Le Wafer qui est la surface active de la carte de prototypage). D'autre part, la partie intelligente de la carte doit assurer la gestion de défaut et des problèmes qui peuvent se produire au niveau du wafer. On distingue trois éléments dans la partie intelligente : La carte « PCB » du Haut, La carte « PCB » du Bas et les blocs de puissance. Le schéma de principes expliquant la relation entre ces trois éléments peut être illustré comme suit :

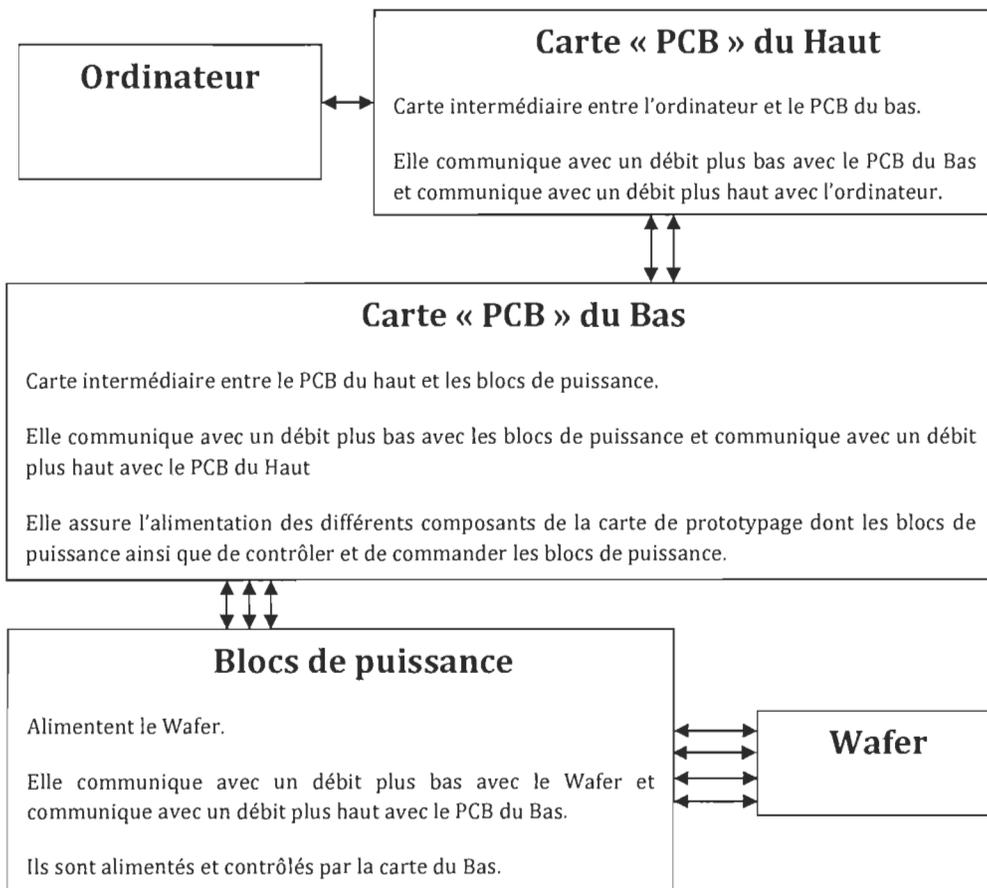


Figure 3-15 Schéma de principe du système intelligent de la carte de prototypage

La figure 3-15 montre que le bloc de puissance est contrôlé par la carte PCB du bas, elle permet d'activer les blocs de puissance pour alimenter les réticules du wafer, comme elle permet de les désactiver. La possibilité du contrôle du bloc de puissance va permettre de gérer la puissance dans la carte WaferBoard™ par l'activation des blocs de puissance au besoin ainsi que de désactiver les blocs de puissance dont les réticules du wafer qui les sont connectés sont inactifs. De plus, cette contrôlabilité du bloc de puissance, va permettre aussi d'isoler le bloc de puissance du wafer au cas d'un problème dans le wafer ou au cas d'un problème dans le bloc de puissance.

Le bloc de puissance doit être désactivé quand la tension fournie par le bloc de puissance n'est pas adéquate au wafer, ou bien dans le cas où il y'a une demande excessif de courant de la part du wafer. Cette contrôlabilité peut être effectuée au niveau du bloc de puissance lui même ou bien par la carte « PCB » bas. On peut schématiser un exemple de contrôlabilité de la façon suivante :

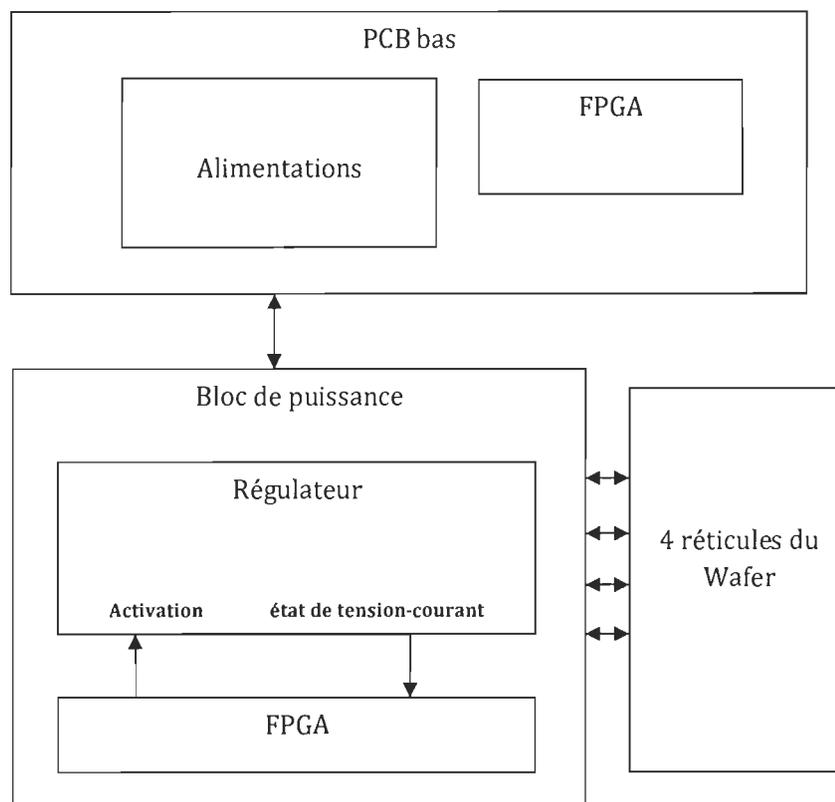


Figure 0-1 Contrôlabilité dans le bloc de puissance

La contrôlabilité du bloc de puissance est cruciale dans la mesure où elle va permettre la protection du wafer et le bloc de puissance contre une demande excessif du courant du wafer ainsi que les réticules du wafer à une hausse de la tension du bloc de puissance.

La présence d'un FPGA dans le bloc de puissance a pour rôle de traiter le flux de données qui traversera le bloc de puissance et d'acheminer ces données vers les réticules concernées. Le rôle majeur de ce FPGA serait de jouer le rôle d'interprète entre le wafer et le FPGA qui se situe dans la carte PCB du Bas. Autrement dit, il va compresser les données vers le FPGA de la carte PCB du bas, comme il va étaler ces données et les acheminer vers les réticules concernés. De plus, ce FPGA devrait servir à contrôler le régulateur(s) du bloc de puissance tel que mentionné dans la figure 3-16, la décision d'activer ou de désactiver le régulateur qui alimentera les réticules du wafer, pourrait être prise au niveau du bloc de puissance comme elle peut être prise acheminer a travers la carte PCB du bas. Il est important qu'une communication entre le FPGA du bloc de puissance et le régulateur existe et que le FPGA aille une image sur les états du courant et la tension dans la sortie(s) du régulateur(s).

Ces éléments de contrôlabilité vont permettre de réduire les effets de la présence d'un défaut non permanent (Changement de la tension ou du courant ou moment de l'opération à des valeurs non appropriées) dans le bloc de puissance ou le wafer.

La vérification et le diagnostic des différents éléments de la carte WaferBoard™, devraient inclure la vérification des réticules du wafer, notamment la présence d'un court-circuit due d'un défaut de fabrication ou d'un défaut qui s'est produit avec l'utilisation. Il est important de spécifier une stratégie de détection de défaut lors de l'amorçage du WaferBoard™. La détection du court-circuit dans les réticules, peut se faire de la façon suivante :

- Initialement tous les régulateurs dans les blocs de puissance sont désactivés.
- Activer un régulateur par bloc de puissance.
- Mesurer le courant absorbé par le régulateur par un capteur de courant.
- Estimer du courant de court-circuit minimal qui est le rapport entre la tension appliquée à un TSV (Exemple 3,3V) est la résistance mesurée du TSV.
- Si le courant absorbé par le régulateur est plus important que le courant de fonctionnement du régulateur et qu'il est la somme du courant de fonctionnement et le courant de court-circuit estimé, cela implique que le réticule est défectueux.
- Le réticule défectueux doit être isolé en coupant le courant et en désactivant le régulateur qui alimente ce réticule.

À la présence du court-circuit dans le réticule du wafer, la puissance dissipée dans ce dernier peut causer une augmentation de la température dans le wafer ainsi que dans le bloc de puissance. Cette augmentation de la température dans le circuit peut causer des problèmes thermomécaniques dans le wafer. Cette augmentation de la température est due au courant de court-circuit qui circule dans le réticule. Ce courant doit donc être coupé afin d'éviter ce problème, et cela implique que le réticule est perdu et ne peut plus être utilisé prochainement.

Afin de minimiser l'impacte du défaut dû à un court-circuit dans un réticule, il faudrait couper le courant sur seulement les réticules où le court-circuit a été détecté. Cela conduit à ce que, idéalement, nous devons être capables de contrôler le courant fournit à chaque réticule et le couper seulement sur le réticule défectueux.

En résumé, le choix des composants du bloc de puissance doit permettre la contrôlabilité au niveau du bloc de puissance. D'autre part, lorsqu'un réticule est défectueux et qu'un court-circuit est détecté, le bloc de puissance doit être capable de couper le courant sur le réticule défectueux et continuer à fournir le courant aux réticules fonctionnels.

Chapitre 4 CHOIX DE CONCEPTION

Ce chapitre sera consacré aux travaux de recherche qui ont été effectués afin d'établir les choix et les solutions de conception du bloc de puissance. Le chapitre présente les choix qui ont été pris afin de répondre aux spécifications de conception. Les sections de ce chapitre seront présentées dans l'ordre où les travaux ont été effectués.

4.1 CHOIX DE CONCEPTION ÉLECTRIQUE

Il est important d'établir les choix électriques (Architecture et composants) du bloc de puissance avant d'établir les choix thermomécaniques. La disposition et les dimensions des composants électriques, notamment la hauteur de ces composants, seront pris au compte dans la conception du model thermomécanique du bloc de puissance.

4.1.1 CHOIX DE L'ARCHITECTURE DU BLOC DE PUISSANCE

Selon les spécifications électriques du bloc de puissance, ce dernier doit fournir deux tensions différentes (3,3V avec une puissance maximale de 100W et 1,8V avec une puissance maximale de 8W). La proximité des régulateurs qui vont fournir la tension 1,8V n'est pas nécessaire dans la mesure où la tension 1,8V est la tension maximale admissible par les circuits du Wafer. Nous pouvons donc, placer ces régulateurs sur la carte du PCB du bas. L'architecture du bloc de puissance serait comme suit :

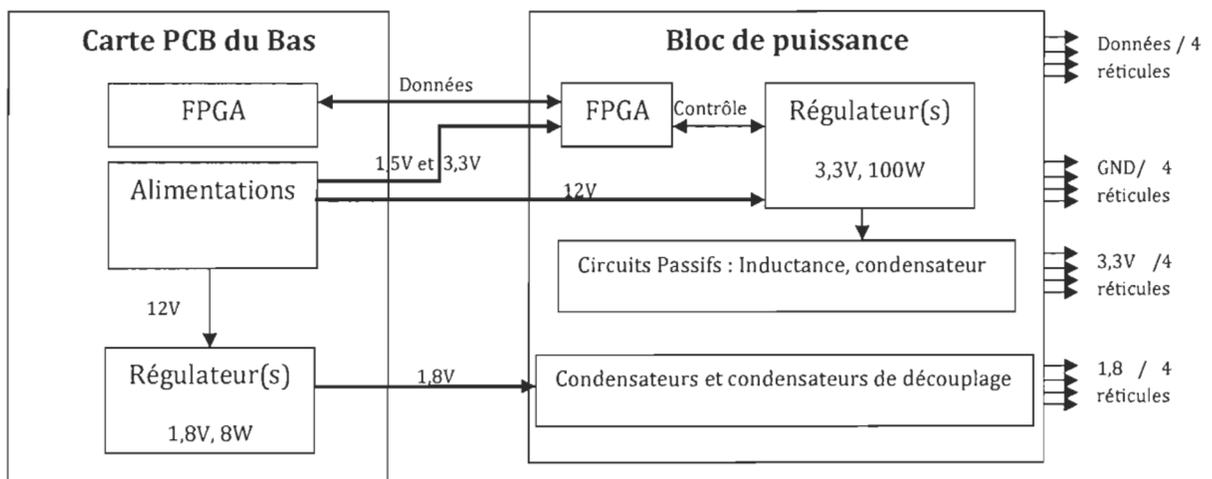


Figure 4-1 Architecture du bloc de puissance

Le grand défi dans la conception du bloc de puissance est de pouvoir placer tous les composants nécessaires de ce dernier sur son substrat. La solution sera de déplacer tous les composants qui ne sont pas nécessaires sur le substrat du bloc de puissance et de les placer sur le PCB du bas. Exemple des composants qui ont été déplacés au PCB du bas : les régulateurs (1,8V et 8W), l'alimentation du FPGA et son signal d'horloge qui sera transmis dans le paquet de données à partir du PCB du bas. Le FPGA du bloc de puissance a besoin de deux tensions pour fonctionner (3,3V et 1,5V). Ces deux tensions ont été ramenées du PCB du bas, bien qu'il fût possible d'alimenter le FPGA par le 3,3V qui est la tension de sortie des régulateurs qui seront placés dans le bloc de puissance, mais tel que indiqué dans les spécifications du bloc de puissance, les régulateurs dans le bloc de puissance ne sont pas toujours actifs et que c'est le FPGA du bloc de puissance qui va les activer ou les désactiver. Par conséquent, le FPGA ne peut être alimenté par les régulateurs du bloc de puissance.

Maintenant que l'architecture du bloc de puissance est fixée, il reste à choisir le ou les régulateurs du bloc de puissance ainsi que leurs composants passifs. Le FPGA pour le bloc de puissance qui a été choisi pour cette application est l'AGL060V5 qui est un FPGA de ACTEL, cette FPGA peut avoir des dimensions de 8x8mm et des ressources logiques qui répondent aux besoins du projet [47].

N.B : La conception du bloc de puissance est indépendante de la conception de la carte de PCB du bas. Ce mémoire présente uniquement les travaux effectués sur le bloc de puissance et ne comprend pas le choix des régulateurs (1,8V, 8W), des capteurs de courant pour la mesure de court-circuit et le choix de l'alimentation dans la carte du PCB du bas.

4.1.2 CHOIX DU RÉGULATEUR DE TENSION

Le choix du régulateur sera pris selon deux critères : répondre aux exigences des spécifications et que ces régulateurs soient de petite taille en terme de (largeur, longueur, et hauteur). Il existe de multiples choix de régulateurs de tension dans le marché des composants électroniques dont nous pouvons les classer comme suit :

- Régulateurs de petite taille avec une faible puissance électrique (maximum 20W à une tension de 3.3V) et qui nécessitent des condensateurs de filtrage et des inductances de lissage.
- Régulateurs de taille moyenne avec une faible puissance électrique (maximum 15W à une tension de 3.3V), qui nécessitent des condensateurs de filtrage et que l'inductance de lissage est intégrée dans le boîtier du régulateur.
- Régulateurs de grande taille avec une puissance électrique importante (66 à 99W à une tension de 3.3V) et qui nécessitent des condensateurs de filtrage et des inductances de lissage.

- Régulateurs de taille moyenne avec une puissance électrique importante (66 à 132W à une tension de 3.3V) et qui nécessitent des condensateurs de filtrage, des inductances de lissages ainsi qu'un contrôleur PWM.

Nous pouvons illustrer les résultats des recherches qui ont été effectuées dans la bibliothèque des composants électroniques de certain fabricant afin de répondre aux exigences citées dans les spécifications, notamment la contrôlabilité et la taille du composant. Le graphique ci-dessous montre le courant de sortie maximal de plusieurs exemples de régulateurs contrôlables en fonction de la taille de ces régulateurs plus la taille des composants passifs nécessaires pour le fonctionnement de ce régulateur. Le courant maximal de ces régulateurs est le courant de sortie que nous pouvons extraire des sorties du régulateur dans le cas où ce régulateur présente plusieurs sortie ou bien le courant de la sortie unique de ce régulateur.

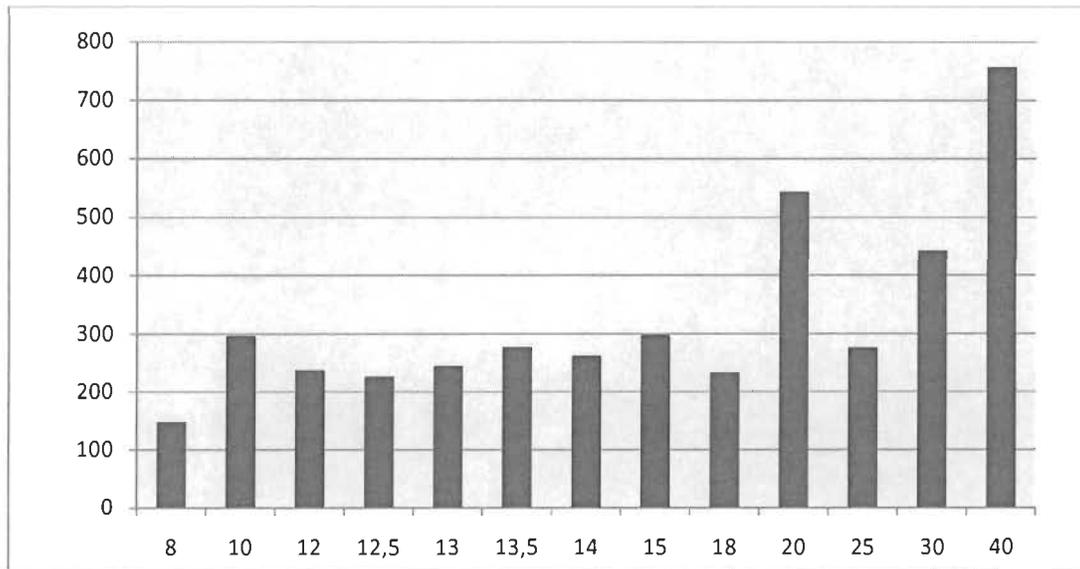


Figure 4-2 Courant de sortie des régulateurs en (A) en fonction de l'espace occupé en (mm²)

N.B : L'exemple montré dans la figure 4-2 ne présente que les régulateurs et les composants électroniques pris dans le cadre des travaux de recherche de ce projet et qui répondent aux exigences de contrôlabilité cités dans les spécifications du bloc de puissance. Les fournisseurs de régulateurs pris dans cette étude sont « international rectifier, [41] », « Linear, [48] », « Texas instrument, [49], et « STmicroelectronics, [50] ».

Selon les spécifications du bloc de puissance, celui-ci doit fournir un courant d'environ 30A à une tension de 3,3V. La figure 4-2 nous montre que si on utilise un régulateur de 30A, l'espace occupé dans le bloc de puissance serait d'environ 442mm². Avec un régulateur de 15A l'espace occupé serait de 296mm².

Le graphique montre aussi que l'espace qui sera occupé dans le bloc de puissance par les régulateurs ainsi que les composants passifs (Inductance(s) et/ou condensateurs) est semblable pour la gamme de courant allant de 12 à 18A. Cela est dû à la grandeur des composants passifs, notamment les inductances et les condensateurs de filtrage. Dans certains cas de ces régulateurs, environ 70% de l'espace occupé serait dû aux composants passifs contre 20% de composants passifs pour les régulateurs à Inductance(s) intégré.

4.1.2.1 Solution adoptée

Le régulateur choisi pour cette application est le IP1202 qui est un régulateur d'un courant maximal de 30A avec deux sorties d'un courant maximal de 15A sur chacune des sorties [41]. Ce régulateur comprend un contrôleur PWM interne qui présente le rendement le plus intéressant parmi la gamme de régulateurs offerts par la compagnie. Il comprend aussi un contrôle activation/désactivation de chaque sortie du bloc de puissance, il indique l'état de la tension de sortie pour chaque sortie ainsi qu'une protection contre les sur-courants, les surtensions et les sous-tensions. Cette solution va permettre d'alimenter deux réseaux par chaque sortie de régulateur, pour un total de quatre réseaux par bloc de puissance. Au cas où il y'a un court-circuit dans un réseau dans le bloc de puissance, nous devons couper le courant de la sortie du régulateur qui alimente le réseau défectueux. Par conséquent, le courant sera coupé sur les deux réseaux qui sont alimentés par cette sortie. La figure 4- illustre cette solution au cas d'un défaut dans un réseau.

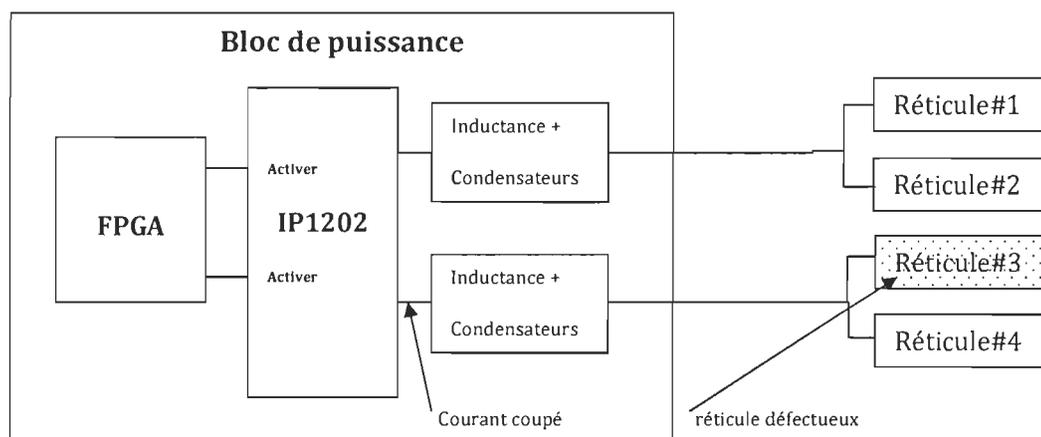


Figure 4-3 Solution adoptée avec le régulateur IP1202

4.1.3 CHOIX ET CALCULE DE L'INDUCTANCE ET DU CONDENSATEUR DE SORTIE

Plus la fréquence de commutation du régulateur choisi est grande plus la valeur de l'inductance et du condensateur de sortie est petite et par conséquent la taille de ce composant sera petite. Pour l'IP1202 la fréquence de commutation peut être sélectionnée par une résistance externe à une valeur entre 200 et 400Khz. D'autre part, la valeur de cette fréquence peut varier la valeur de la puissance perdue dans le régulateur et celle-ci peut engendrer une chaleur supplémentaire à l'intérieure du bloc de puissance.

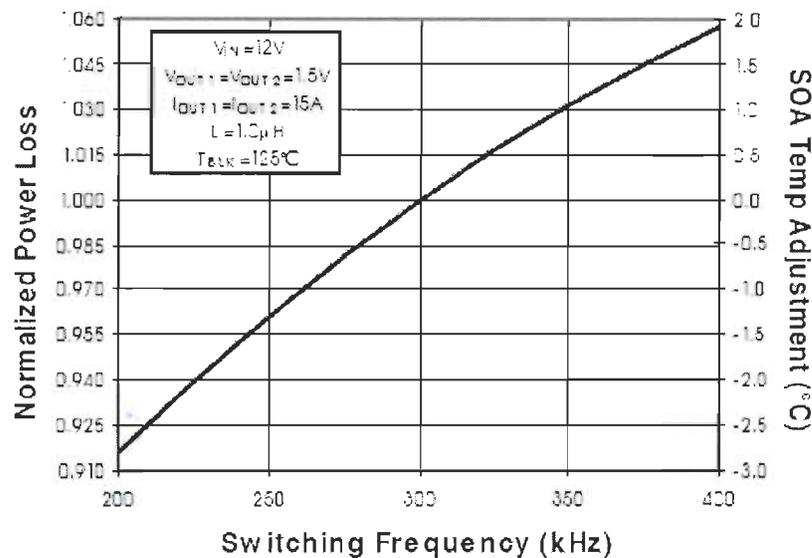


Figure 4-4 Puissance dissipée en fonction de la fréquence dans l'IP1202 [41]

La figure 4-4 exprime la puissance dissipée normalisée dans le régulateur qui représente le rapport entre la puissance dissipée à une fréquence donnée et la puissance à la fréquence de 300KHz. On constate que la puissance dissipée normalisée est de 1,06 à la fréquence 400KHz contre une puissance de 0,918 à une fréquence de 200 KHz quand le courant est de 15A sur les deux sorties du régulateur. Donc, nous aurons une augmentation de +15% de la puissance dissipée dans le régulateur à une fréquence de 400KHz par rapport à la fréquence de 200KHz. Cette comparaison montre que sur le plan de la puissance, le régulateur à 200KHz consommerait moins et dissiperait moins de chaleur.

L'impact du choix de la fréquence doit être vu sous différents aspects, notamment le sur les composants électronique et leurs taille. Sachant que la taille du condensateur et de l'inductance est un facteur déterminant dans le choix de ces composants afin de simplifier la conception du bloc de puissance et à améliorer son coefficient de transfert thermique.

On doit donc calculer la valeur du condensateur de sortie du régulateur et la valeur d'inductance pour les deux fréquences 400 et 200KHz et au aussi comparer leurs tailles pour ces deuxvaleurs.

Selon les spécifications du constructeur du régulateur IP1202 [41], nous devons d'abord calculer la résistance série R_{esr} , qui est la résistance théorique exprimant le rapport entre la valeur de la tension d'ondulation et le courant maximal. L'IP1202 a deux sorties de tension, les valeurs de la tension et du courant dans ces deux sorties seront identique et par conséquent les valeurs du condensateur et d'inductance de sortie.

Le rapport d'ondulation admissible pour l'IP1202 est de 30% du courant maximal de sortie alors que la tension d'ondulation crête à crête est de 50mV. Le R_{esr} se calculera comme suit :

$$R_{esr} = \frac{50 \cdot 10^{-3}}{15 \cdot 30\%} \quad (15)$$

$$R_{esr} = 11m\Omega$$

Le condensateur choisi doit avoir une résistance série R_{esr} inférieur à $11m\Omega$ et que sa capacité doit avoir une valeur supérieur à cette valeur :

$$C_{out} = \frac{10}{2\pi \cdot f_s \cdot R_{esr}} \quad (16) \text{ avec } f_s \text{ fréquence de commutation.}$$

La valeur de l'inductance de sortie est calculée comme suit :

$$L_{out} = V_{out} \frac{(1 - \frac{V_{out}}{V_{in}})}{f_s \cdot I_{max} \cdot 30\%} \quad (17)$$

$$\text{Pour } f_s = 200\text{KHz} \rightarrow C_{out} = 717\mu\text{F} \text{ et } L_{out} = 2,66\mu\text{H}$$

$$\text{Pour } f_s = 400\text{KHz} \rightarrow C_{out} = 358\mu\text{F} \text{ et } L_{out} = 1,33\mu\text{H}$$

4.1.3.1 Choix de l'inductance de sortie

L'inductance choisie doit supporter au moins le courant maximal plus une marge de sécurité de 30%, donc l'inductance doit supporter un courant de 18A. Selon les spécifications des inductances, on constate que les dimensions de l'inductance croient en fonction de sa valeur. Exemple, une inductance de la compagnie Vishay [51] d'une valeur de $1,5\mu\text{H}$ a une dimension de $13,2 \times 12,9$ mm avec une hauteur de 3,5mm, alors qu'une

inductance de $2,8\mu\text{H}$ de la compagnie Pulse [52] a une dimension de $14\times 13\text{mm}$ avec une hauteur de $6,5\text{mm}$.

Selon les spécifications du bloc de puissance, la hauteur du bloc de puissance doit être réduite au minimum afin d'augmenter le facteur de transfert thermique et de réduire la résistance thermique du bloc de puissance.

Comme ce qui était le cas du régulateur, les valeurs de l'inductance et le condensateur doivent être choisis de telles sortes à ce qu'elle aille les dimensions les plus petites que possible. Par conséquent, la fréquence de commutation choisie doit être égale à 400KHz .

Dans cette conception, l'inductance qui a été choisie a une valeur d'inductance de $1,5\mu\text{H}$ et une résistance série de $16\text{m}\Omega$ et que ces dimensions sont de $7\times 7,5\text{mm}$ avec une hauteur de $3,2\text{mm}$ [53]. Cela conduit à ce que la hauteur du bloc de puissance serait supérieure ou égale à $3,2\text{mm}$, cette valeur aurait un effet considérable sur l'amélioration du facteur de transfert thermique du bloc de puissance.

4.1.3.2 Choix du condensateur de sortie

Le critère de choix du condensateur de sortie du régulateur serait dans le même sens de celui de l'inductance. C'est-à-dire, plus le condensateur est de petite taille plus la conception du bloc de puissance est plus simple et plus ses performances sont meilleures (Exemple, selon les applications note d'Altera [45,46], les meilleures performances pour un condensateur sont obtenus lorsque ces traces « Footprints » sont petites). Afin de réduire la résistance série totale pour le condensateur de sortie du régulateur, le condensateur de sortie peut être une mise en parallèle de plusieurs condensateurs. Exemple, deux condensateurs d'une valeur de $220\mu\text{F}$ ayant une résistance série $R_{\text{esr}} = 18\text{m}\Omega$, conduit à ce que la résistance série totale serait égale à $R_{\text{esr totale}} = 9\text{m}\Omega$. D'autre part, le choix des valeurs des condensateurs devrait prendre en considération l'espace occupé par ces condensateurs.

Généralement, un condensateur d'une capacité de grande valeur et d'une résistance série élevée a sensiblement les mêmes dimensions que celui d'un condensateur ayant une capacité de petite valeur et une valeur de résistance série moins élevée. Donc, il serait plus judicieux de choisir un premier condensateur d'une grande valeur et un deuxième avec une petite capacité et une résistance R_{esr} moins élevée.

Dans cette conception, deux valeurs de condensateurs ont été choisis, un d'une valeur de $680\mu\text{F}$ et un deuxième de $150\mu\text{F}$ ayant une faible valeur de résistance R_{esr} [54] et que la résistance série totale de ces deux condensateurs est de $6,42\text{m}\Omega$. Cette valeur sera utilisée dans la détermination du réseau de condensateurs de découplage.

4.1.4 RÉSEAUX DE CONDENSATEURS DE DÉCOUPLAGES

Tel que démontré dans le chapitre 3 aux spécifications du bloc de puissance, des condensateurs de découplages doivent être ajoutés en parallèle avec chaque condensateur de filtrage de chaque sortie du régulateur. Le bloc de puissance dispose dans son dos d'un ensemble de pads qui rentre en contact avec le wafer via les TSV. Les TSV présentent des charges « Loads » pour les sorties ou les pads du bloc de puissance. On peut distinguer un ensemble de TSV pour former une zone dont on doit spécifier un nombre de condensateur de découplage. Sur le plan pratique, ces zones de TSV sont identiques sur le plan requis électrique vu qu'ils nécessiteront la même puissance et les mêmes performances. Par contre, ces TSV ne sont pas tous à la même distance des sorties du régulateur du bloc de puissance. Ceci conduit à ce que les caractéristiques du plan d'alimentation ou bien le réseau de distribution de la puissance pour ces TSV serait différent à celui des TSV qui sont plus proches à la sortie du régulateur.

On compte 64 TSV de 3,3V pour chaque bloc de puissance. Selon la position des sorties du régulateur, la position du régulateur, et la distribution des autres composants du bloc de puissance, on peut diviser ces TSV sous 16 zones, ou 8 zones pour chaque sortie du régulateur.

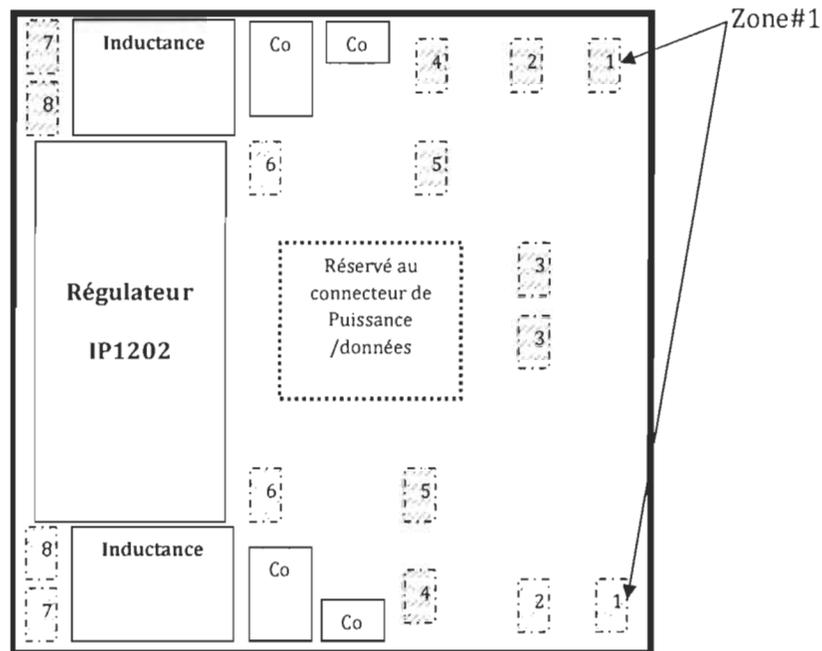


Figure 4-5 Zones de placement de condensateur de découplage dans le bloc de puissance

Les 8 zones montrés dans la figure 4-5 par des rectangles et numéroté de 1 à 8 ont été désigné après placement de tout les composants du régulateurs (Régulateur, condensateurs, Inductances, FPGA, composants passifs, connecteur...). Ces zones présentent donc, les espaces vacants dans le bloc de puissance après optimisation des espaces du substrat du bloc de puissance. Les zones sont numérotés en fonction de leurs distances avec les deux sorties du régulateur, zones 1 présentes les deux zones les plus lointaines par rapport au deux sorties du régulateur, alors que les zones 8 présente les deux zones les plus proches au deux sorties du régulateur.

Le calcul des éléments du réseau des condensateurs de découplage va se faire selon le pire cas qui se présente dans les condensateurs qui seront placé dans la zone 1 (La zone la plus lointaine des sorties du régulateur). Une fois ces condensateurs sont déterminés, on pourrait dupliquer ces condensateurs afin de déterminer tous les condensateurs du réseau de condensateurs de découplage. Les condensateurs pour chaque zone seront identiques à celle de la zone 1 (La zone qui présente le pire cas).

4.1.4.1 Calcul des paramètres du réseau de distribution de la puissance

Tel que indiqué dans le chapitre « 3 », on va déterminer les éléments du réseau de distribution de la puissance « Power distribution network, PDN » sans le réseau de condensateurs de découplage «By-pass-capacitors network, BPCN». Par la suite on déterminera les valeurs des condensateurs du BPCN pour la zone 1. Le schéma détaillé du PDN et le BPCN devrait être comme suit :

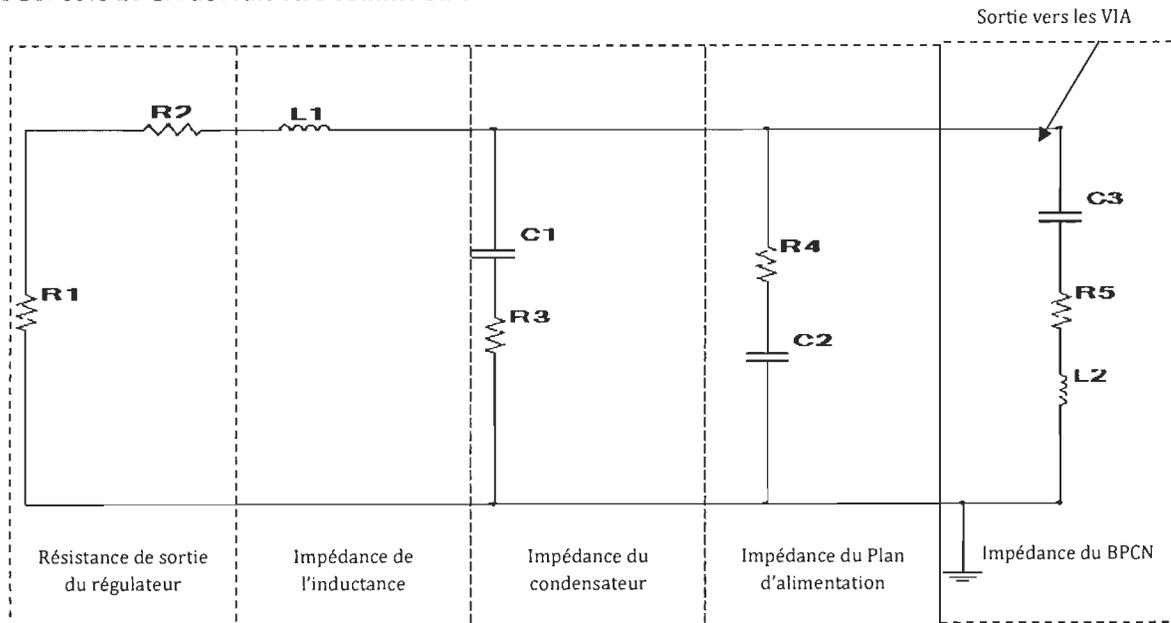


Figure 4-6 Schéma de l'impédance du réseau de distribution de la puissance « PDN »

4.1.4.1.1 Détermination de la résistance de la sortie du régulateur

Les spécifications du IP1202 [41] n'offrent pas le graphe de la tension de sortie en fonction du courant de sortie, par contre nous pouvons utiliser le graphique de la puissance dissipée dans les deux sorties du régulateur pour extraire la résistance de sortie du régulateur.

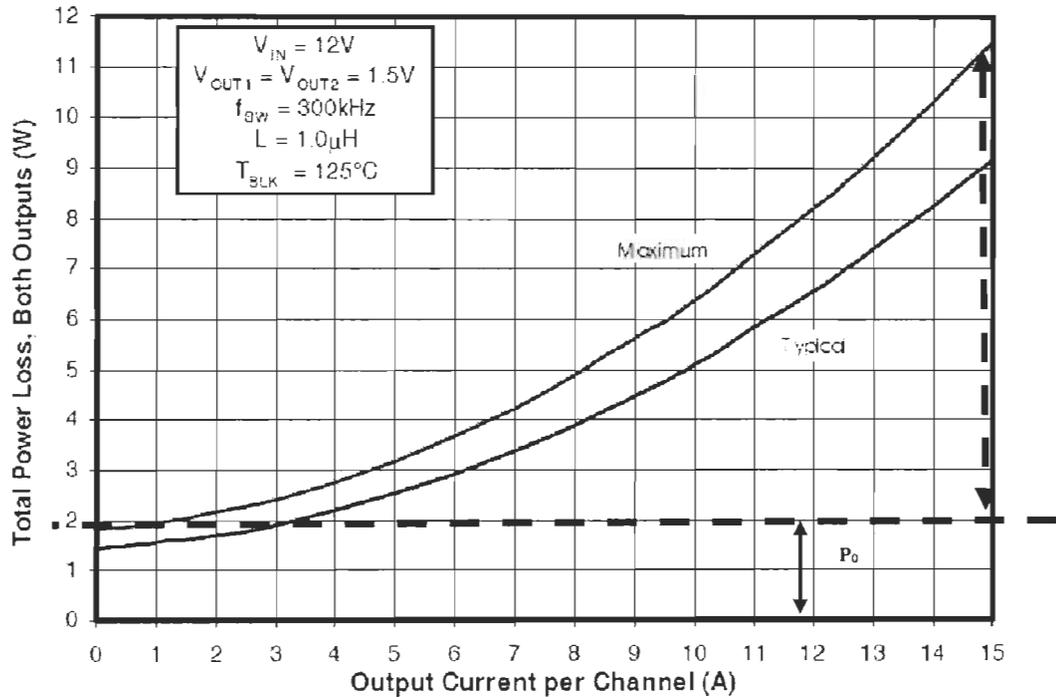


Figure 4-7 Puissance dissipée dans les deux sorties du régulateur en fonction du courant de sortie

On peut calculer la puissance dissipée dans le cas extrême qui se présente à un courant maximal de 15A. La relation entre la résistance de sortie du régulateur et la puissance dissipée ses deux sorties peut s'écrire comme suit :

$$P \text{ dans les deux sorties} = P_0 - 2 \cdot R_s \cdot I^2 \rightarrow R_s = \frac{P \text{ dans les deux sorties} - P_0}{2 \cdot I^2} \quad (18)$$

$$R_s = \frac{11,5 - 2}{2 \cdot 15^2} = 21m\Omega$$

Donc $R_s = 21m\Omega$ dans le cas où la puissance dissipée est maximale tandis qu'elle est autour de $15m\Omega$ à la valeur typique de la puissance dissipée.

4.1.4.1.2 Impédance de l'inductance

L'impédance de l'inductance est déduite directement de ses spécifications. La valeur de l'inductance est $1,5\mu\text{H}$ et sa résistance série est de $16\text{m}\Omega$.

4.1.4.1.3 Impédance du condensateur

De même que l'impédance de l'inductance, l'impédance des condensateurs est déduite directement de leurs spécifications. Nous avons deux condensateurs en parallèle : un condensateur ayant pour valeur de capacité de $680\mu\text{F}$ en série avec une résistance de $12\text{m}\Omega$ et un condensateur ayant pour valeur de capacité de $150\mu\text{F}$ en série avec une résistance de $15\text{m}\Omega$.

Afin de mieux se rapprocher de la réalité, nous pouvons rajouter les valeurs des inductances de ces condensateurs à leurs paramètres. Selon le fabricant des condensateurs [54], les inductances respectifs de ces condensateurs est de 3.2nF pour le condensateur de $680\mu\text{F}$ est de 3nF pour le condensateur de $150\mu\text{F}$.

4.1.4.1.4 Impédance du plan d'alimentation

L'impédance du plan d'alimentation a été calculée après avoir tracé le schéma du bloc de puissance et la détermination des distances entre les plans et aussi la largeur des tracés. Les valeurs de l'impédance présente la valeur de la résistance et le condensateur pour la zone 1 (Voir figure 4-5) qui seront déterminées selon les expressions (12) et (13) du chapitre 3 et aussi selon les caractéristiques du diélectrique et du conducteur [55].

- La résistance du plan pour la zone 1 est $=190\text{m}\Omega$
- La capacité du plan pour la zone 1 est $= \varepsilon \frac{\text{surface du plan}}{\text{hauteur}}$
 $= (8,854 \cdot 10^{-12})\text{F/m} \cdot 8,9 \cdot (9/48)\text{m} = 14,77\text{pF}$
- Idem pour les condensateurs, pour mieux se rapprocher du comportement fréquentiel réel du plan d'alimentation nous pouvons rajouter la valeur de l'inductance aux paramètres du plan. L'inductance du plan d'alimentation peut être calculée selon les paramètres indiqués dans l'application note de Xilinx [56]. La valeur de l'inductance du plan d'alimentation du bloc de puissance est de 32pH/cm^2 , par conséquent, la valeur totale de l'inductance est de 112pF .

4.1.4.2 Analyses fréquentiel du réseau de distribution de la puissance

Après le calcul des paramètres du réseau d'alimentation de la distribution de la puissance du bloc de puissance qui comprend : le régulateur de tension, l'inductance de lissage, les condensateurs de filtrages et le plan d'alimentation. Nous pouvons tracer l'impédance en fonction de la fréquence du réseau sans les BPCN. Le tracé de cette impédance est important pour la détermination des valeurs des condensateurs de découplage « Condensateur du BPCN ». Le tracé de l'impédance en fonction de la fréquence a été effectué dans l'outil Matlab&Simulink [57].

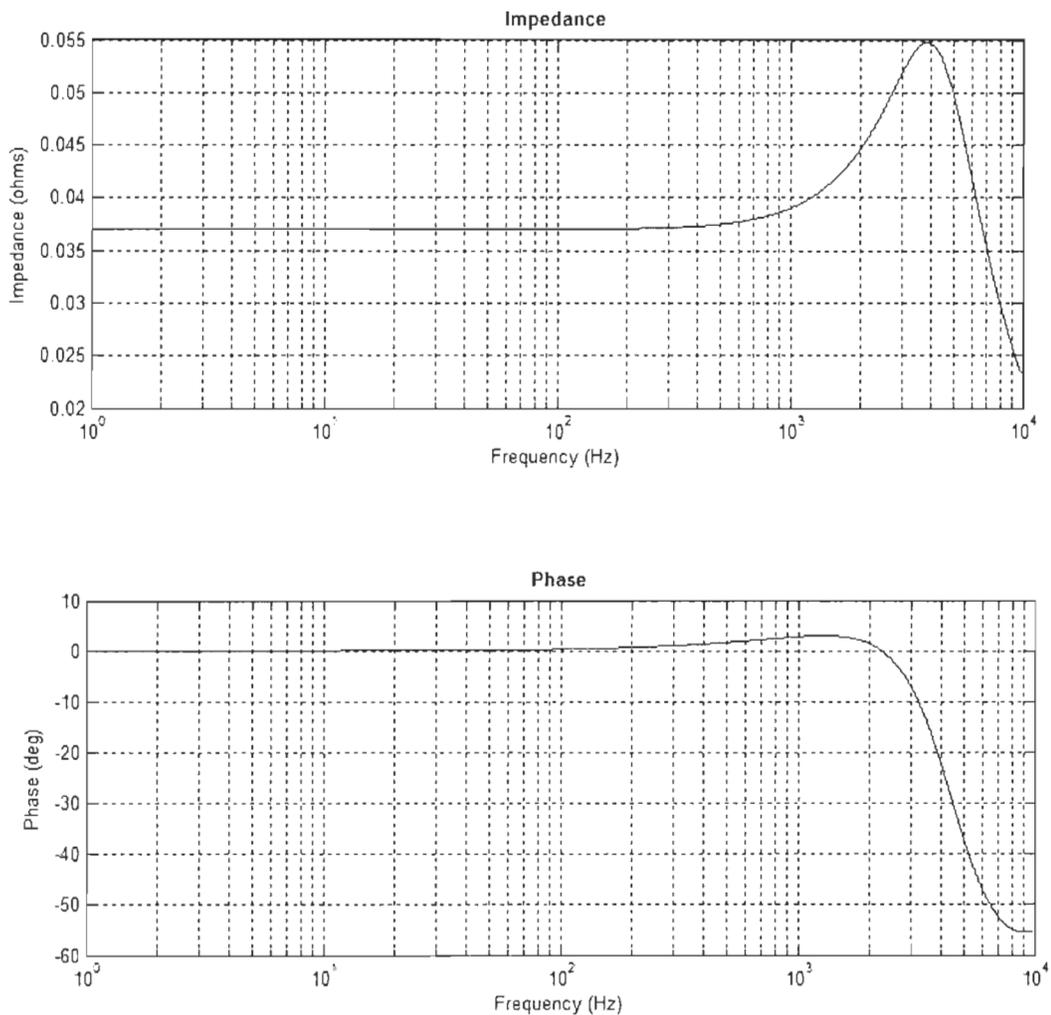


Figure 4-8 l'impédance du PDN sans les condensateurs BPCN entre [0-10KHz]

Les résultats de cette analyse montrent que l'impédance du PDN est au tour de 37mΩ pour les fréquences inférieures à 1KHz et qu'elle monte à 55mΩ à la fréquence de 4KHz.

Voyant si cette impédance respecte les spécifications et la valeur maximale admissible de l'impédance du réseau PDN. Sachant que cette simulation a été effectuée pour la zone 1 qui présente le pire cas (la zone du bloc de puissance la plus éloignée des sorties du régulateur).

Le calcul de l'impédance maximale admissible pour la zone 1 peut être effectué en considérant que le courant dans les 8 zones du bloc de puissance a la même valeur. Donc, l'impédance maximale admissible du réseau PDN peut se calculer comme suit :

$$Z_{maximal} = \frac{3.3V * 10\%}{\frac{30A}{8}} = 88m\Omega.$$

N.B: Tel que mentionné dans les spécifications (Chapitres 3), l'impédance maximale admissible est le rapport entre la variation de la tension (ΔV) et le courant maximale, le courant maximal dans le cas de la zone 1 est le courant total des deux sorties du régulateur 30A. Les zones (1 à 8) ne présentent que les emplacements où les condensateurs des découplages (BPCN) seront placés, tandis que ces zones sont énumérées selon leurs emplacements par rapports aux sorties du régulateur (zone 1 désigne la zone la plus lointaine du régulateur).

Les résultats de la figure 4-8 montrent que l'impédance du réseau « PDN » pour la zone 1 est inférieure à la valeur de l'impédance maximale admissible qui est de 88mΩ pour la gamme de fréquence inférieure à 10Khz. Ces résultats montrent donc que le réseau n'a pas besoin de correction de sa valeur d'impédance pour les fréquences inférieures à 10KHz, nous devons voir si la valeur du réseau « PDN » restera inférieure à 88mΩ pour les fréquences supérieures.

D'autre part, on constate que selon la figure 4-8, que la phase de l'impédance aux fréquences inférieures à 10KHz est égale à 0°, cela explique que le comportement du réseau est résistif et que dans cette gamme de fréquence nous aurons un déphasage de 0° et aussi un retard de 0 du signal qui va se propager des sorties du régulateur vers les circuits du Wafer qui est exigeant sur le plan intégrité de la puissance.

Idem pour les analyses effectués sur le réseau « PDN » avec les mêmes paramètres et le même outil (Matlab & Simulink) mais en faisant un calcul de l'impédance en fonction de la fréquence tous les 100Hz au lieu de tous les 2Hz de tel sorte à réduire le temps de calcul. Il faut indiquer que ce qui nous intéresse dans ces analyses est de connaître la tendance de l'impédance du réseau dans les fréquences supérieures à 10KHz et non de connaître les variations de la valeur de l'impédance dans un pas de 100Hz.

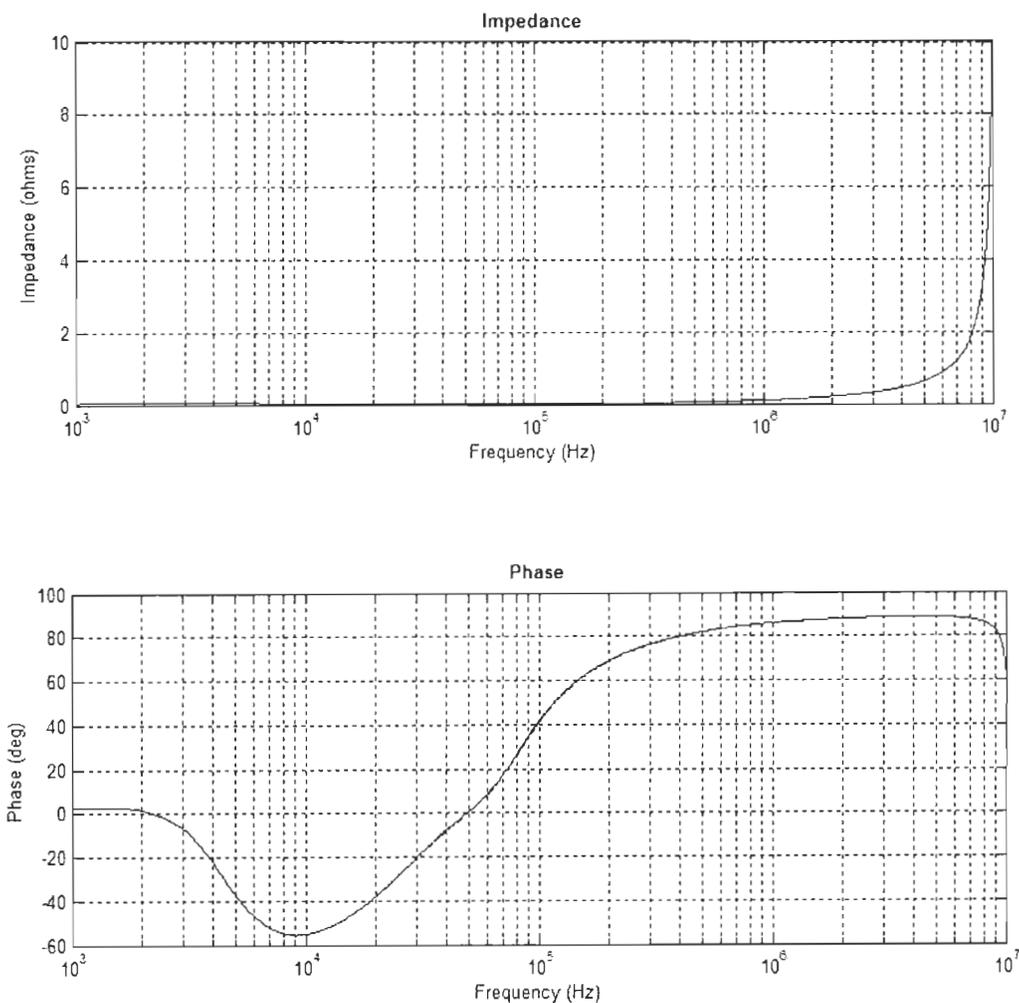


Figure 4-9 l'impédance du PDN sans les condensateurs BPCN entre [1KHz-10MHz]

La figure 4-9 montre que la valeur de l'impédance monte à 10Ω à la fréquence de 10MHz et qu'elle a tendance de continuer de monter. D'autre part, la phase commence par une valeur nulle, devient négative entre 2KHz et 40KHz et devient positive pour les fréquences supérieures à 40KHz.

Nous pouvons marquer ce comportement, résistif, capacitif et inductif comme suit :

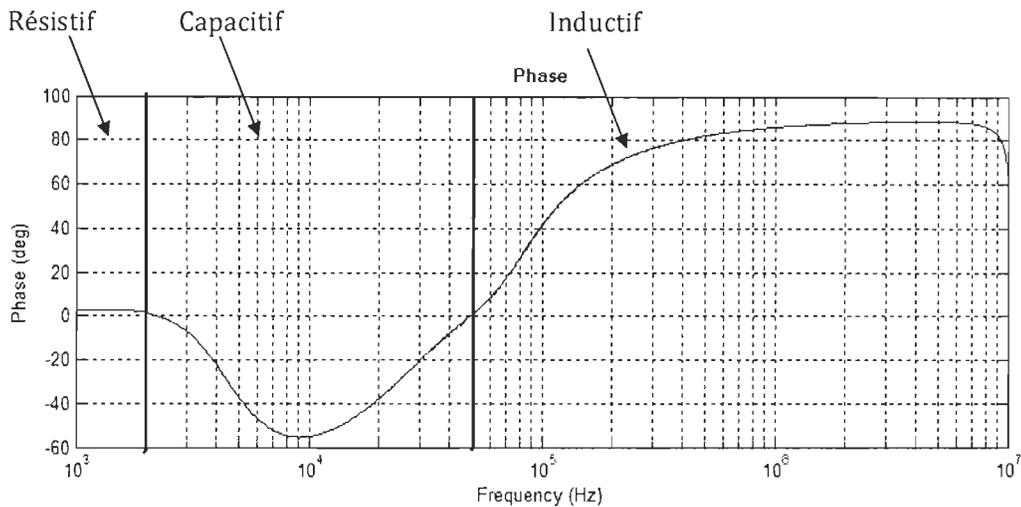


Figure 4-10 Comportement résistif, capacitif et inductif du réseau PDN entre [1KHz-10MHz]

4.1.4.3 Calcul des condensateurs de découplage

L'utilisation des condensateurs de découplage a pour but de corriger le comportement du réseau de distribution de la puissance « PDN » et de réduire sa valeur d'impédance à des valeurs inférieures à $88m\Omega$ qui est la valeur maximale admissible du réseau « PDN ». Trois paramètres vont déterminer le choix de ces condensateurs : Capacité, Résistance série, et Inductance Série du Condensateur. Les valeurs de ces paramètres des condensateurs de découplage vont définir une valeur d'impédance qui va par conséquent modifier et réduire la valeur de l'impédance totale du réseau PDN.

Nous pouvons montrer le comportement fréquentiel de l'impédance d'un condensateur de 100nF par simulation selon ses spécifications [54].

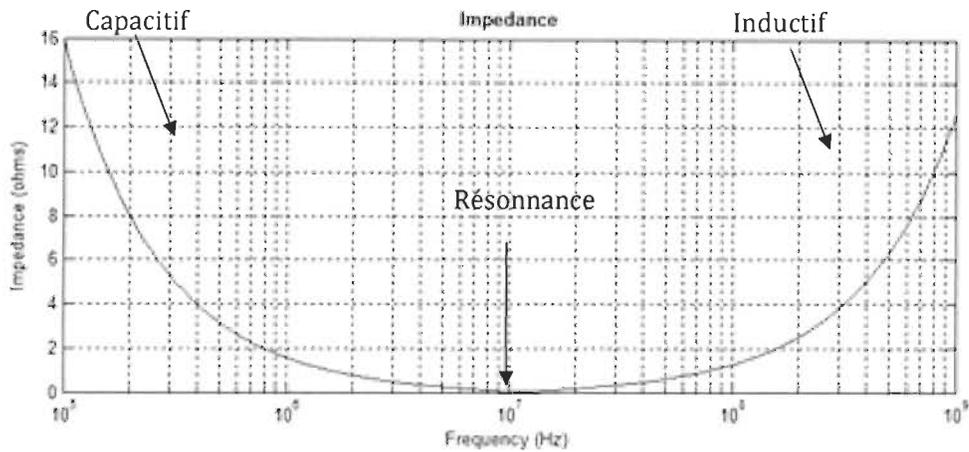


Figure 4-11 Comportement de l'impédance d'un condensateur de 100nF

La résonance présente le point où l'impédance du condensateur est égale à la valeur de la résistance série du condensateur et que la fréquence de résonance est égale à $f_r = \frac{1}{\sqrt{LC}}$ avec L : Inductance série du condensateur et C : capacité du condensateur.

Afin d'obtenir les résultats souhaités, il serait important de choisir des condensateurs ayant une valeur de résistance série la plus faible possible et aussi une valeur d'inductance la plus faible possible. Les valeurs de la résistance série et l'inductance série détermineront donc la valeur totale de l'impédance du réseau « PDN » avec ces condensateurs de découplage, la valeur de L et C détermineront la fréquence à laquelle nous aurons l'impédance la plus faible. L'impédance totale du réseau serait l'ensemble des impédances qui vont être en parallèles. Plus on augmentera le nombre des condensateurs de découplage plus la valeur totale de l'impédance du réseau serait basse.

Selon les estimations sur l'espace disponible dans le bloc de puissance pour placer des condensateurs de découplage, on peut placer 12 condensateurs dans chaque zone ayant une dimension de $0,5 \times 0,5 \text{ mm}^2$.

Nous avons choisi 12 condensateurs ayant trois valeurs différentes, donc trois blocs de condensateurs ayant chacun une valeur différente et dans chaque bloc on aura quatre condensateurs de la même valeur.

Les condensateurs choisis ont les valeurs respectives suivantes : $1\mu\text{F}$, $0,47\mu\text{F}$ et $0,1\mu\text{F}$.

4.1.4.4 Réseau de distribution de la puissance avec les condensateurs de découplage

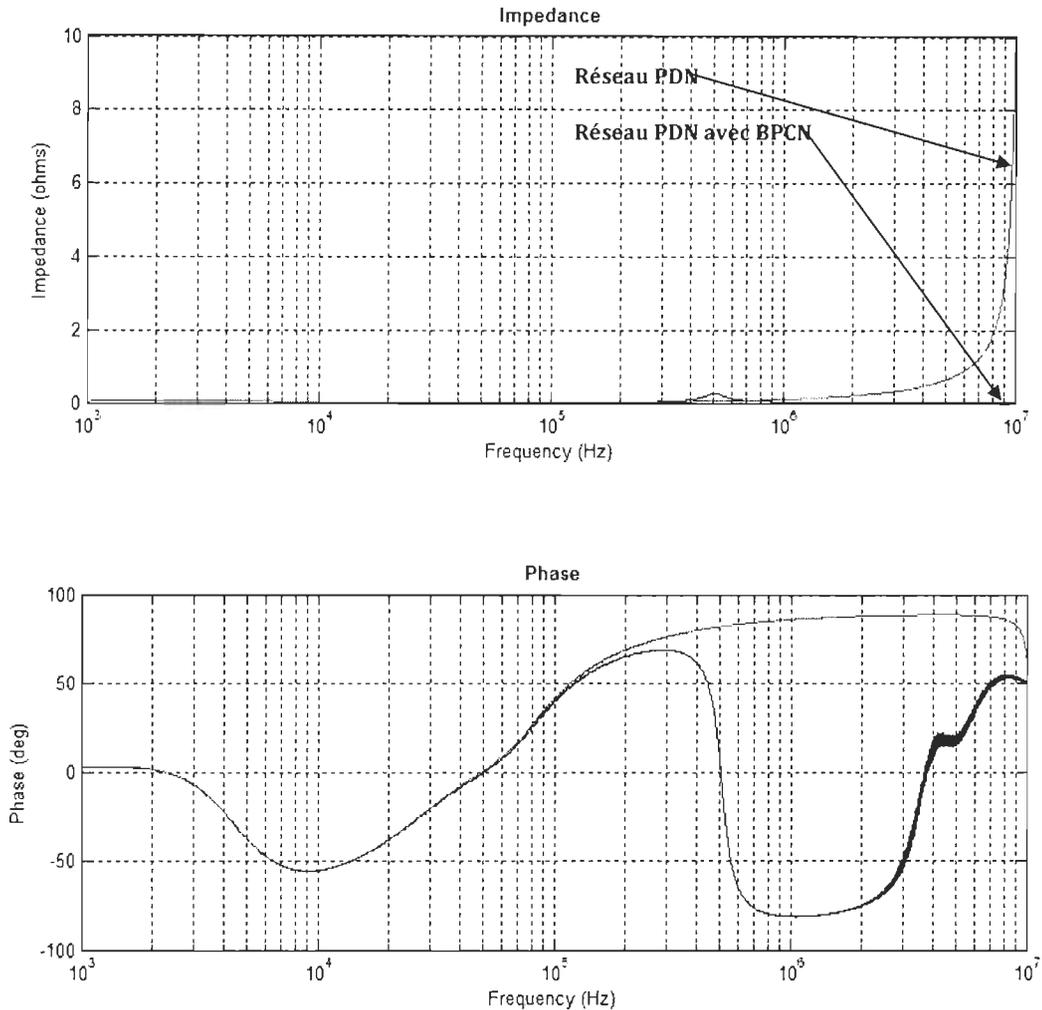


Figure 4-12 l'impédance du réseau PDN et réseau PDN avec le BPCN entre [1KHz-10MHz]

On remarque que l'impédance du réseau PDN avec les condensateurs du BPCN est très basse comparé à l'impédance du réseau PDN sans le BPCN et que sa valeur est comprise entre 50mΩ et 10mΩ pour la gamme de fréquence [1KHz-10MHz]. Cette valeur d'impédance reste faible par rapport à la valeur calculer dans la section 4.1.4.2 et qui est de 80mΩ. On constate aussi que le réseau PDN avec BPCN garde une valeur d'impédance faible, tandis que l'impédance du PDN sans BPCN monte rapidement en fonction de la fréquence. Cela résume que notre choix pour les valeurs des condensateurs a été réussi.

Finalement, les résultats des simulations par Matlab&Simulink ont montré que le choix des condensateurs de découplage a été bien réussi et qu'il permettra de répondre aux spécifications de conceptions mentionnées dans le chapitre 3.

4.2 CHOIX DE CONCEPTION THERMOMÉCANIQUE

Cette partie de ce chapitre résume les travaux qui ont été effectués afin de valider le modèle thermomécanique qui comprend les matériaux utilisés dans la construction du bloc de puissance, les dimensions et la forme de ces matériaux. Les analyses thermomécaniques présentées dans ce chapitre ont été conduites avec l'expertise de Mohammed Bougataya et Ahmed Lakhssassi Directeur du laboratoire LIMA à l'université du Québec en Outaouais. Deux modèles vont être comparés afin de choisir celui qui donne les meilleures performances en termes de conductance thermique. La présentation des résultats ainsi que la discussion de ces résultats de cette partie seront présentés dans l'annexe A. D'autre part des analyses thermomécaniques ont été conduites afin de déterminer la distance minimale nécessaire pour éviter un contact entre les blocs de puissance lors de la présence d'une pression sur le Wafer.

4.2.1 VALIDATION DU MODÈLE THERMOMÉCANIQUE DU BLOC DE PUISSANCE

La figure 4-13 montre le diagramme du bloc de puissance avec les composants, le cadre en cuivre a pour but d'améliorer le support mécanique du wafer ainsi que d'augmenter la conductivité thermique du bloc de puissance. Ce diagramme de base sera présenté sous deux versions différentes avec des analyses de leurs performances thermiques.

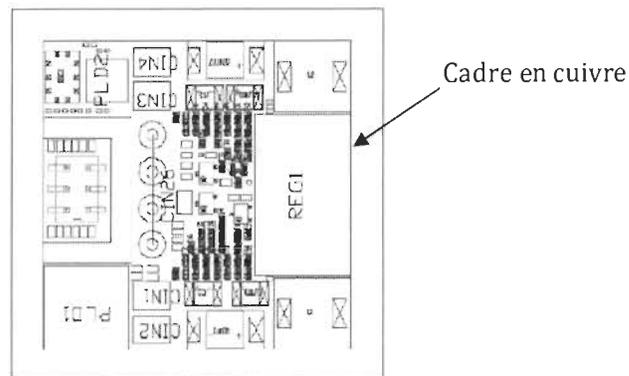


Figure 4-13 Diagramme du bloc de puissance avec les composants

4.2.1.1 Premier modèle pour le bloc de puissance

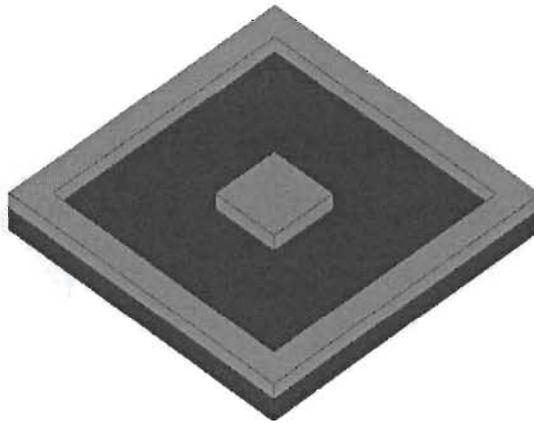


Figure 4-14 Modèle 1 du bloc de puissance

La couleur rouge dans la figure 4-14 présente le substrat en AlN (Nitride d'aluminium), alors que la couleur verte présente le cuivre. (Voir annexe A pour la présentation des résultats et la discussion)

4.2.1.2 Deuxième modèle du bloc de puissance

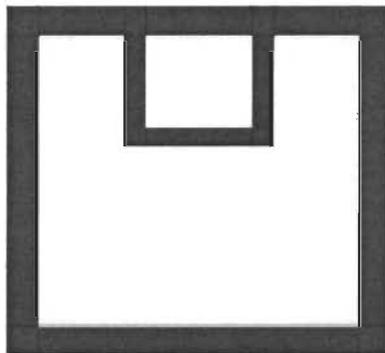


Figure 4-15 Modèle 2 du bloc de puissance

La figure 4-15 présente le cadre en cuivre qui sera attaché au substrat du bloc de puissance. (Voir annexe A pour la présentation des résultats et la discussion)

4.2.2 DÉTERMINATION DE LA DISTANCE MINIMALE ENTRE LES BLOCS DE PUISSANCE

Après la création du modèle d'éléments finis « FE » d'un bloc de puissance (figure 4-16), on peut créer le modèle de « ÉF » des 21 blocs de puissance de la carte de prototypage WaferBoard™. Les analyses thermomécanique qui seront présentées dans ce chapitre ont été effectués par le l'outil NISA.

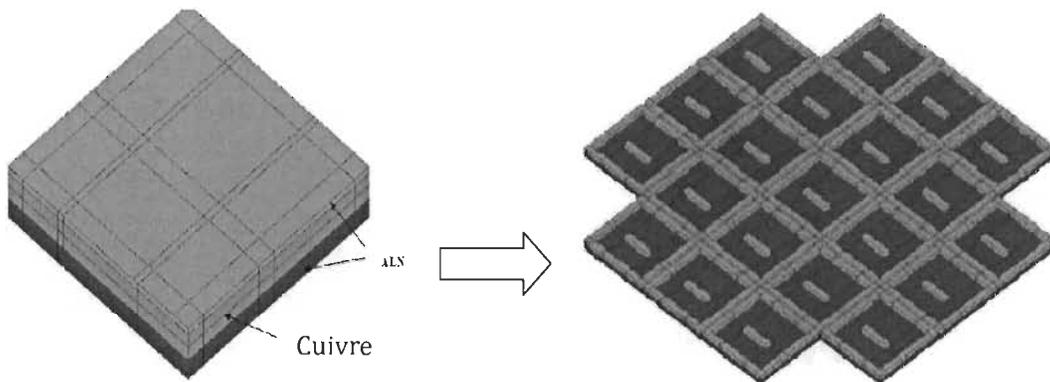


Figure 4-16 Modèle FE d'un bloc de puissance et celui de 21 blocs de puissance

4.2.2.1 Analyses thermomécaniques

L'objectif dans cette partie est de montrer les analyses thermomécaniques avec une convection forcée dans le bas de la structure. Ce refroidissement forcé sera assuré tel que mentionné dans les sections précédentes de ce mémoire par le radiateur qui est en bas des blocs de puissance. Les blocs de puissance vont subir une force venant du haut (Wafer). Cette force est le résultat de la pression qui sera exercée sur les composants IC. La pression P est estimée à 7atm dans cette étude. Pour chaque axe (X, Y, Z) on aura un déplacement du bloc de puissance ce déplacement va nous permettre d'estimer la distance minimale à respecter entre chaque bloc de puissance.

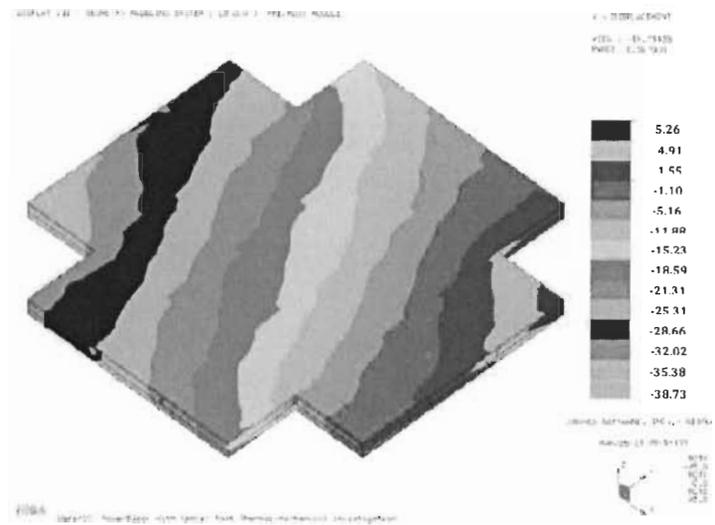


Figure 4-17 Déplacement des blocs de puissance selon l'axe X

Le déplacement selon l'axe X serait compris entre environ +5 μ m et -39 μ m.

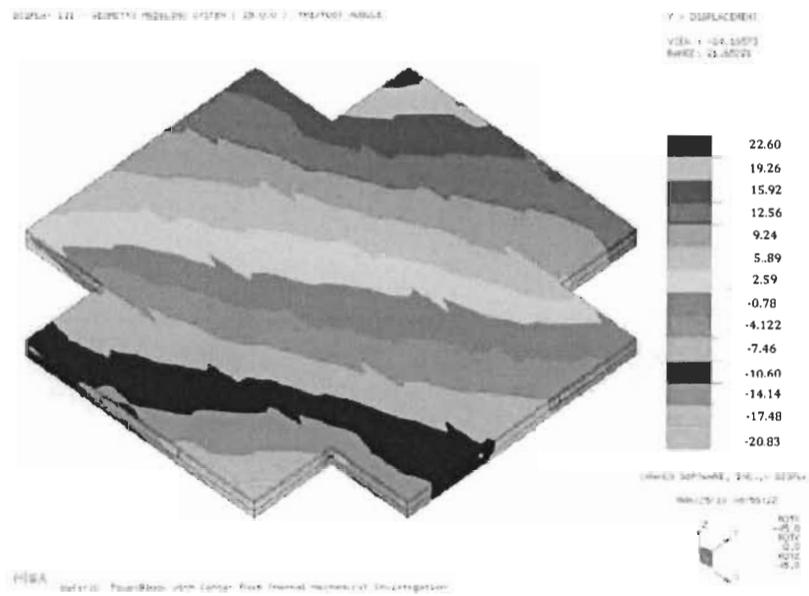


Figure 4-18 Déplacement des blocs de puissance selon l'axe Y

Le déplacement selon l'axe Y serait compris entre environ +23 μ m et -24 μ m.

Chapitre 5 CONCLUSION GÉNÉRALE

La conception du bloc de puissance, qui est un élément crucial dans la carte WaferBoard™, dépend de différentes variantes et facteurs, notamment la connaissance des caractéristiques, le rôle et les nécessités de chaque élément du système de prototypage.

La position architecturale et physique du bloc de puissance au centre de la carte rend de lui une partie centrale du système et un élément en contact directe avec la plupart des éléments de la carte : la tranche de silicium wafer, le PCB du bas et le radiateur.

D'autre part, le rôle du bloc de puissance englobe trois domaines distincts : Électronique, Thermique et Mécanique. Sans la connaissance des requis et des besoins du wafer et le reste des éléments de la carte WaferBoard™, la conception du bloc de puissance est impossible et le projet sera conduit à l'échec total. La réussite de la conception du bloc de puissance selon les spécifications et l'établissement des choix adéquats au fabricant ainsi que la réussite de l'attachement du bloc de puissance à la tranche de silicium, présentent la réussite d'une partie importante dans la conception du système de prototypage.

Le bloc de puissance est en ce moment en fabrication, il sera une première mondiale, sa conception a connu différents modifications dans le but d'accommoder les recommandations du fabricant et aussi de suivre les modifications dans les différents éléments de la carte WaferBoard™.

Ce mémoire résume les parties des travaux les plus pertinentes qui ont été conduit durant ce projet. La recherche des informations concernant le projet, définition de la problématique, définition des objectifs. La maîtrise des connaissances et l'organisation du projet, a été favorisé par le travail de groupe que connait ce projet, ainsi que les réunions régulières qui s'effectuent dans le siège de la compagnie TechnoCap à Montréal, avec le groupe de recherche ainsi qu'avec les partenaires industriels tel que : Alvia, Tower, OnSemi.

La suite de ce mémoire a mis le focus sur la méthodologie et la philosophie de travail qui était suivie dans la détermination des spécifications de fabrication du bloc de puissance ainsi que dans les choix de conceptions avec une présentation des résultats de choix qui ont été pris durant la conception.

La difficulté rencontré dans la conception du bloc de puissance se présentait dans l'adaptation des spécifications aux limites technologique du fabricant et a leurs recommandations. D'autre part, lorsqu'une modification d'un paramètre dans le modèle électrique (ajout ou changement d'un composant électronique) est recommandée, le modèle mécanique du bloc de puissance doit à son tour changer et par la suite de nouvelles analyses thermomécaniques sont nécessaires et réciproquement.

Finalelement, les travaux de recherches effectués dans ce mémoire étaient dans le but de développer et concevoir un bloc de puissance apparié à une tranche de silicium. Le mariage entre la recherche et le développement a été bénéfique et fructueux, tandis que la diversité et la richesse du projet a permis une maîtrise de différents aspects notamment dans le domaine thermomécaniques. D'autre part, ce travail a permis de connaître les limites et les techniques de fabrications existante et suivie par les industrielles, non seulement au Canada mais aussi dans d'autre pays du monde.

RÉFÉRENCES

- [1] *Perspectives to understand risks in the electronic industry*, Dasgupta, A.; Magrab, E.B.; Anand, D.K.; Eisinger, K.; McLeish, J.G.; Torres, M.A.; Lall, P.; Dishongh, T.J.; *Components, Packaging, and Manufacturing Technology, Part A, IEEE Transactions on Dec 1997; Volume : 20, Issue:4; On page(s): 542 – 547; ISSN : 1070-9886.*
- [2] *Aspects of systems integration*; Dasgupta, A.; Magrab, E.B.; Anand, D.K.; Eisinger, K.; McLeish, J.G.; Torres, M.A.; Lall, P.; Dishongh, T.J.; *CALCE Center for Electron. Packaging, Maryland Univ., College Park, MD; Components, Packaging, and Manufacturing Technology, Part A, IEEE Transactions on Dec 1997; Volume : 20, Issue:4, On page(s): 542 – 547, ISSN : 1070-9886.*
- [3] *Innovation and Technology Management in Brazilian Subsidiaries in the Electro-Electronic Industry*; De Oliveira Gavira, M.; Quadros, R.; *State Univ. of Campinas, Campinas; Management of Engineering and Technology, 5-9 Aug. 2007 On page(s): 680 – 690, Print ISBN: 9781890843151*
- [4] *Materials Characterization by Thermomechanical Analysis*; Riga AT, Neag MC; *Page (s) 3- 14; January 1991*
- [5] *Coatings for high-temperature structural materials: trends and opportunities (page 35)*, Par: *Committee on Coatings for High-Temperature Structural Materials (Author), Commission on Engineering and Technical Systems (Author), National Research Council (Author); année 1996.*
- [6] *Atomically Flat Silicon Surface and Silicon/Insulator Interface Formation Technologies for (100) Surface Orientation Large-Diameter Wafers Introducing High Performance and Low-Noise Metal-Insulator-Silicon FETs*; Kuroda, R.; Suwa, T.; Teramoto, A.; Hasebe, R.; Sugawa, S.; Ohmi, T.; *Grad. Sch. of Eng., Tohoku Univ., Sendai; Feb. 2009, Volume: 56, Issue: 2 On page(s): 291 - 298*
- [7] *Spearing, S. Mark; Turner, K.T, "Effect of Wafer Bow and Etch Patterns in Direct Wafer Bonding," January 2003.*
- [8] *Leong, Hoi Liong; Gan, C.L.; Pey, Kin Leong; Thompson, Carl V.; Li, Hongyu, "Effects of Applied Loads, Effective Contact Area and Surface Roughness on the Dicing Yield of 3D Cu Bonded Interconnects" January 2006.*
- [9] *Temporary Bonding and DeBonding Enabling TSV Formation and 3D Integration for Ultra-thin Wafers*; Pargfrieder, S.; Kettner, P.; Privett, M.; Ting, J.; *EV Group, St. Florian, Austria; Electronics Packaging Technology Conference, 2008. EPTC 2008. 10th; Issue Date : 9-12 Dec. 2008; On page(s): 1301 - 1305*
- [10] *An Active Reconfigurable Circuit Board*; Norman et al., *IEEE NEWCAS-TAISA Conference, Montreal, Canada, Jun 22-25, 2008*
- [11] *An Interconnection Network for a Novel Reconfigurable Circuit Board*; Norman et al., *IEEE NEWCAS-TAISA Conference, Montreal, Canada, Jun 22-25, 2008.*

- [12] <http://www.dreamwafer.com/InstructionsforWaferBoard3DModel.pdf>, Mars 2011
- [13] <http://www.dreamwafer.com/WaferBoard.pdf>, Mars 2011
- [14] <http://www.dreamwafer.com/InstructionsforWaferBoard3DModel.pdf>, Mars 2011
- [15] *Workflow for an Electronic Configurable Computing System*. Lepercq et al., IEEE/ISCAS International Symposium on Circuits and Systems, Taipei, Taiwan, May 24-27, 2009
- [16] *Digital Signal Propagation on a Wafer-Scale Smart Active Programmable Interconnect*; Valorge et al., IEEE/ICECS International Conference on Electronics, Circuits, and Systems, Malta, Aug 31-Sep 3, 2008
- [17] Site Web de Dell ; « Dell Power Solution » :
http://www.dell.com/content/topics/global.aspx/power/en/ps3q02_intelgb?c=us&l=en&cs=555 ,
 Mars 2011
- [18] *Low-Power Electronics Design*, edition (July 27, 2004), Christian Piguet, pages 10 5-177 ET pages 433-520
- [19] *Power-Aware Computer Systems: 4th International Workshop, PACS 2004*, Portland, OR, USA, December 5, 2004 Page 153-162
- [20] J. Otterstedt, K. Gaedke, K. Herrmann, M. Kuboschek, H.U. Schröder, A. Werner "A 16cm² monolithic multiprocessor system integrating 9 video signal processing elements", IEEE Int. Solid-State Circuits Conf., San Francisco, CA, Feb. 1996, pp. 306-307.
- [21] *A Low-Power, Small-Area Voltage Reference Array for a Wafer-Scale Prototyping Platform* Laflamme-Mayer et al., IEEE NEWCAS Conference, Montreal, Canada, Jun 20-23, 2010
- [22] *Hardware Software System Co-Verification of an Active Reconfigurable Board with System C-VHDL*; Basile-Bellavance et al., IEEE/ICECS International Conference on Electronics, Circuits, and Systems, Malta, Aug 31-Sep 3, 2008
- [23] Blaquièrre, Y., Savaria, Y., El Fouladi, J., "Digital Measurement Technique for Capacitance Variation Detection on Integrated Circuit I/Os", ICECS'07, December 11-14, 2007.
- [24] *Steady State Thermal Analysis of a Reconfigurable Wafer-Scale Circuit Board*; Bougataya et al., IEEE/CCECE08 Proceedings, Niagara Falls, Canada, May 4-7, 2008
- [25] Bar-Cohen, A., Kraus, A.D., and Davidson, S.F., 1983, "Thermal Frontiers in the Design and Packaging of Microelectronic Equipment," J. Mechanical Engineering, Vol.105, No. 6, pp. 53-59.
- [26] Yeh, L. T., 1995 "Review of Heat Transfer Technologies in Electronic Equipment," ASME J. Electronic Packaging, Vol.117, pp. 333-339.
- [27] *Design rule for minimizing thermal resistance in a non-uniformly powered microprocessor* Kaisare, A.; Agonafer, D.; Haji-shiekh, A.; Chrysler, G.; Mahajan, R.; Semiconductor Thermal Measurement and Management Symposium, 2006 IEEE Twenty-Second Annual IEEE
- [28] *Advances in Heat Transfer: Volume 39*, James P. Hartnett (pages 172-214)

- [29] <http://www.sciences.univ-nantes.fr/physique/perso/blanquet/conducti/11intro/11intro.htm>, Mars 2011
- [30] *Two-Dimensional CFD Model for the Prediction of Flow Pattern, Pressure Drop and Heat Transfer Coefficient in Bubble Column Reactors* Original Research Article *Chemical Engineering Research and Design*, Volume 82, Issue 6, June 2004, Pages 689-707; M.T. Dhotre, J.B. Joshi
- [31] *CFD simulation of heat transfer in a two-dimensional vertical enclosure* Original Research Article; *Chemical Engineering Research and Design*, Volume 87, Issue 5, May 2009, Pages 711-727; A.A. Ganguli, A.B. Pandit, J.B. Joshi
- [32] <http://www.aeronautics.nasa.gov/contributions/index.htm>, Mars 2011
- [33] http://www.cfd-online.com/Wiki/Main_Page, Mars 2011
- [34] *Characteristics finite element methods in computational fluid dynamics* Par Joe Iannelli (page 1-72 et 107-121)
- [35] *Advances of CFD in fluid machinery design* Par Robin L. Elder, Antonios Tournlidakis, Martin K. Yates (Page 13-17)
- [36] *Efficient Finite Element Analysis/Computational Fluid Dynamics Thermal Coupling for Engineering Applications* J. Turbomach. -- July 2010 -- Volume 132, Issue 3, 031016 (9 pages)
- [37] *Computational science-- ICCS 2004: 4th international conference ...*, Partie 1 Par Marian Bubak page (479-485)
- [38] Knight, R.W.; Goodling, J.S.; Gross, B.E., "Optimal thermal design of air cooled forced convection finned heatsinks-experimental verification", *Thermal Phenomena in Electronic Systems*, 1992. I-THERM III, InterSociety Conference on Volume, Issue, 5-8 Feb 1992 Page(s):206 - 212.
- [39] Yung-Shin Tseng; Hwai-Hui Fu; Tzu-Chen Hung; Bau-Shei Pei "An Optimal Parametric Design to Improve Chip Cooling", *Advanced Packaging Materials: Processes, Properties and Interface*, 2006 11th International Symposium on Volume, Issue, 0-0 0 Page(s):169 - 174.
- [40] Narasimhan, S.; Mira, A. "Characterization of compact heat sink models in natural convection" *Thermal and Thermomechanical Phenomena in Electronic Systems*, 2000. I-THERM 2000. The Seventh Intersociety Conference on Volume 1, Issue, 2000 Page(s): - 179.
- [41] <http://www.irf.com/indexnsw.html>, Mars 2011
- [42] <http://ark.intel.com/Product.aspx?id=50177>, Mars 2011
- [43] *Itanium Haute performance :*
<http://www.intel.com/cd/products/services/emea/fra/processors/itanium/specifications/374244.htm>, Mars 2011
- [44] <http://download.intel.com/design/itanium/downloads/322821.pdf> page 84
- [45] <http://www.altera.com/literature/tb/tb-092.pdf>, Mars 2011

- [46] <http://www.altera.com/literature/an/an574.pdf>, Mars 2011
- [47] <http://www.actel.com/products/iglooplus/default.aspx>, Mars 2011
- [48] <http://www.linear.com/>, Mars 2011
- [49] <http://www.ti.com/>, Mars 2011
- [50] <http://www.st.com/internet/com/home/home.jsp>, Mars 2011
- [51] <http://www.vishay.com/>, Mars 2011
- [52] <http://12.9.181.227/> Pulse Electronic, Mars 2011
- [53] <http://www.sumida.com>, Mars 2011
- [54] <http://www.kemet.com/>, Mars 2011
- [55] http://www2.dupont.com/MCM/en_US/assets/downloads/prodinfo/AIN_ProductOverview.pdf, Mars 2011
- [56] Xilinx Application note 623:, Mars 2011
http://www.xilinx.com/support/documentation/application_notes/xapp623.pdf, Mars 2011
- [57] <http://www.mathworks.com>, Mars 2011

Thermal Analysis of a Miniature Electronic Power Device Matched to a Silicon Wafer

Oussama Berriah^{1,2}
oussama.berriah@uqtr.ca

Mohammed Bougataya^{1,2}
Mohammed.Bougataya@uqo.ca

Ahmed Lakhssassi¹
ahmed.lakhssassi@uqo.ca

Yves Blaqui re³
blaquiere.yves@uqam.ca

Yvon Savaria⁴
Yvon.Savaria@polymtl.ca

⁽¹⁾Comp Sci. & Eng. Dept. U. du Qu bec en Outaouais, Canada.

⁽²⁾Elec. & Comp. Eng. Dep. UQTR, Canada.

⁽³⁾Comp Sci. Dept. U. du Qu bec   Monr al, Canada.

⁽⁴⁾ Ele Eng. Dep.  cole Polytechnique de Monr al, Canada.

Abstract— This paper presents the power distribution modules of the WaferBoard™ system. These modules are critical components of these systems. In the proposed configuration, they are TCE (Thermal Coefficient of Expansion) matched to the WaferIC™, a wafer scale device providing a configurable system connectivity. The paper provides results of steady state thermal management investigations that will contribute to its performance characterization. The paper deals with material selection, design, and validation of cooling mechanism to reduce localized hot spots and large thermal gradients. The performance of the proposed power distribution and thermal management strategy was evaluated and tested using a finite element method. Finally, this paper presents the methodology that was used to predict steady state thermal behavior of these critical power devices. It shows the resulting temperature profile when the wafer feeds power to a high performance chip enclosed in a standard package.

Index Terms- thermal evaluation, power device, silicon wafer, AlN substrate.

I. INTRODUCTION

The WaferBoard™ is a rapid prototyping electronic system with an active surface, called a WaferIC™. The WaferIC is a wafer-scale silicon circuit with a dense array of very fine conducting pads on its surface. Each pad is connected to circuits that can detect pins of conventional integrated circuits (ICs) deposited on top of the wafer surface. The wafer can then be configured to create interconnections between components and to power them with proper voltages [1, 2].

The power source for the silicon wafer and the ICs on its top is a key issue. The proximity of the power source to the wafer reduces interconnect length and therefore improves the power supply integrity [3]. The WaferIC cannot be powered with direct connections over to the active surface. The power is supplied from the back of the wafer using through silicon vias (TSV). It is regulated by power devices that embed electronic components such as voltage regulators, capacitors and inductors, surface-mounted on an Aluminum Nitride (AlN) ceramic substrate (Fig. 1). To ensure good electrical contact between ICs, a Z-Axis vertically conductive film and the 350µm WaferIC surface, a strong force is applied on each

IC with a uniform pressure. Solid mechanical support, uniformly distributed along the bottom of the silicon wafer is therefore required in order for the fragile mechanical structure to resist such pressure. Several factors impact the mechanical design of the power device (Fig. 1). In addition to the electrical and mechanical concerns, thermal considerations are also critical to the entire WaferBoard and the power device for thermo-mechanical stability [4]. In this paper, a methodology to evaluate and predict a thermal peak of miniature electronic power device matched to a silicon wafer will be presented. The important factors contributing to the device's thermal heating were characterized. The approach reported in this paper can be applied to predict the thermal peak of multilevel structures.

Section II summarizes the constraints on the power device where its major role in the WaferBoard is threefold: electrical, mechanical and thermal. Section III introduces the method used to perform thermal analysis and investigations on the power device, carried out via a 3D thermal model and thermal simulations. Boundary conditions for partially coupled fluid-heat transfer, models and tools are detailed in section IV. Results are analysed and conclusion are presented in section V and VI respectively. It is shown that the power device meets its mechanical and thermal performance requirements.

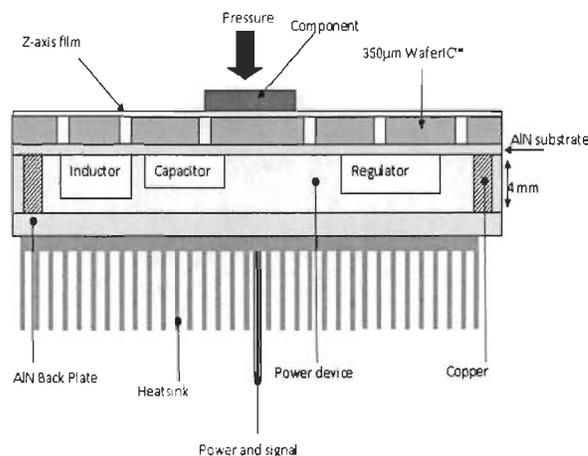


Figure 1: The power device at the bottom of the silicon wafer.

II. POWER DEVICE DESIGN ELEMENTS

Several elements must be taken into account when designing power devices to improve their performance, such as the choice of proper materials, their dimensions and the selection of electronic components that need to be embedded inside.

Proper materials: the selection criteria for the power device materials are based on ensuring a good mechanical support to the wafer and on maximizing the thermal conductivity of the power device. Two materials have been investigated for the power device assembly: copper and AlN ceramic. Copper is widely used in the electronic industry for its large thermal conductivity and its strength coefficient, which is close to that of other steels used by mechanical engineers to construct mechanical parts [5]. The second material that was considered is the AlN ceramic. It has a high thermal conductivity and a TCE close to that of silicon. It reduces the expansion mismatch between the power device and the silicon wafer [6, 7], in addition to offering better thermal conductivity.

Dimensions: the power device is enclosed between the WaferIC™ (silicon wafer) and the bottom heat-sink (Fig. 1). The thermal conductance of the power device is inversely proportional to the power device height. Thus if the height is reduced, the thermal conductance increases. The height of the power device depends upon the height of the electronic components embedded inside the power device; therefore, the height of the components is an important consideration for improving the power device's thermal conductance. On other hand, the power device area which is a multiple of the size of a printed reticle (2 by 2) is $36 \times 36 \text{mm}^2$ and it embeds all necessary power electronic components, connectors and heat-sink copper spacers. Finally, these dimensions have a strong influence on the choice of the electronic components.

Electronic components: based on an analysis of the system requirements, it was specified that the power device must have the ability to provide up to 100W of electrical power to each region of the WaferIC. The power loss in the power device can increase considerably its internal temperature, which can impact considerably the thermal performance. Therefore, the power device design must take into account the electronic components temperature limit and their size (the smaller the better, in this case).

III. NEW APPROACH FOR THERMAL INVESTIGATIONS

The electronic components surface mounted in the module reduce the total area available to conduct heat. The materials from which the module is built must conduct heat to the heat sink, but where components and air gaps are present, heat must flow laterally to reach the areas of good thermal conductivity. This greatly exacerbates the challenges associated with thermal management. Overheating in some areas would cause hot spots that not only reduce circuit life, but also induce large thermal stress. A coupled fluid-heat transfer thermal analysis was done. In this case, the thermal

behavior depends on the power device geometry and materials, junction structure, and physical heat sources distribution.

The mixed fluid-heat transfer approach for thermal analysis of a thermal path considers large power devices, lateral heat flow through the thin structures, vertical heat flow through the limited thermally conductive area and an estimated convection coefficient of the heat sink. Based on the FEM (Finite Element Method), the approach combines fluid flow and heat transfer analysis to predict working temperature of the wafer scale active surface. Based on this analysis, the effects of power density, position and heat sink characteristics during thermal response can be investigated. The adopted mixed approach can be used for accurate rating of semiconductor devices or heat sink systems when designing large circuits. The proposed approach is an effective design step for high performance power devices.

IV. A PARTIALLY COUPLED FLUID-HEAT TRANSFER APPROACH

One of the most difficult issues in creating compact thermal models is to use an appropriate set of boundary condition for the finite element model. The accuracy of the calculated thermo-mechanical distributions depends of the boundary conditions that must be selected to reflect the thermal envelope of the application of interest. The thermal analysis depends on the following:

- the applied cooling options;
- the location / power of heat dissipating devices;
- the thermal conductivity of the various materials and components such as: the printed circuit board, heat sink, components package, substrate and heat spreader.

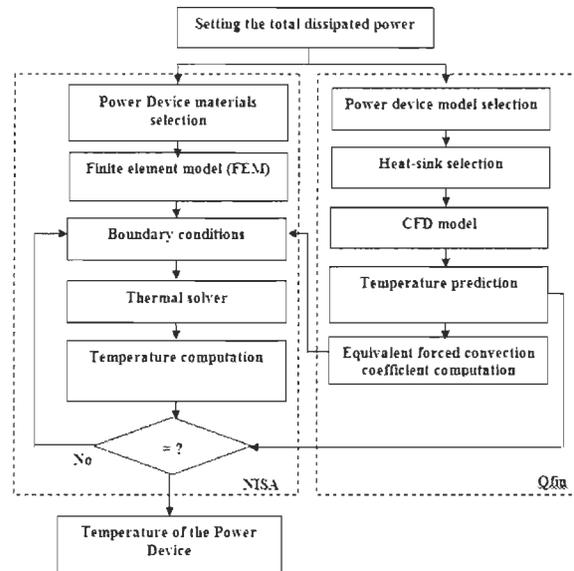


Figure 2: Flow chart of mixed fluid-heat transfer approach.

As shown in the flow chart of figure 2, the objective of the approach is to extract the equivalent forced convection coefficient to be applied at the device level. This is achieved in two steps: In the first step, the Qfin software (CFD Computational Fluid Dynamics thermal analysis) is used to determine the heat sink performance. The forced convection coefficient and heat sink configuration are then used to predict detailed power device temperature distribution.

Qfin is used to compute the thermal equivalent forced convection coefficient, which is then used to solve the assembly configuration. The calculation of the heat transfer coefficient is in turn dependant on the type of convection that the assembly is subjected to, as well as the ambient conditions. Hence, an equivalent forced convection coefficient for the whole heat sink model is used as an input to complete the thermal B.C (Boundary Conditions). In a second step of the analysis, NISA (Numerical Integrated element for System Analysis) is used to obtain the same temperature obtained with the equivalent forced convection coefficient computed in step 1.

V. EXAMPLES OF THERMAL INVESTIGATION RESULTS

Two configurations with different floor-plans for the power device are presented. The difference between these configurations is that in the first one, a copper rectangle is fixed to one of the four side of the power device. The role of this copper rectangle is to add mechanical support to the wafer, as well as to increase the thermal conductivity of the power device. For the second configuration a square copper support was added to the center of the power device.

For the thermal investigations, various boundary conditions and approaches (CFD and FEM) were tried to perform a detailed and accurate thermal analysis of the power device feeding nominal power. The convection boundary conditions represented by h (forced convection coefficient) applied on the bottom face of the power device were typically between $10-50 \text{ W/m}^2 \text{ }^\circ\text{C}$. The worst case thermal simulation scenario is a free air convection, which is typically between $3-12 \text{ W/m}^2 \text{ }^\circ\text{C}$, when the power loss in the power device is 10 W (when the power device provide 100 W to the wafer, the regulator and the other passive components in the power device consume 10 W , the specified power loss) and the power dissipated over the silicon wafer is 60 Watts .

The analyses were done assuming forced convection through the bottom. Figure 3 and 5 show the two temperature distributions at the bottom of the power device with a bottom film convection coefficient of $50 \text{ W/m}^2 \text{ }^\circ\text{C}$ for the considered power device configurations. Tables 1 and 2 summarize the minimum and maximum temperatures in the power device for different bottom film coefficients, ranging from 10 to $50 \text{ W/m}^2 \text{ }^\circ\text{C}$.

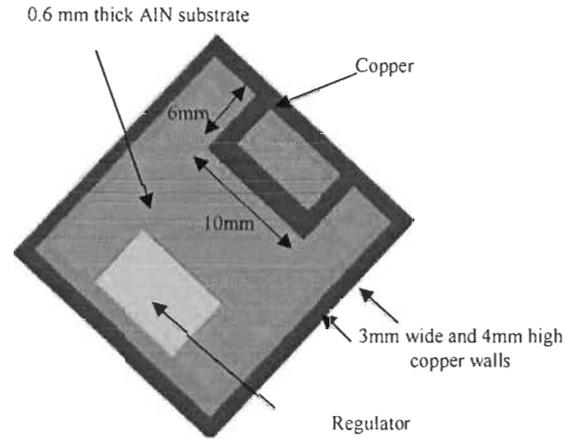


Figure 2: First Power device configuration, with copper on the edge

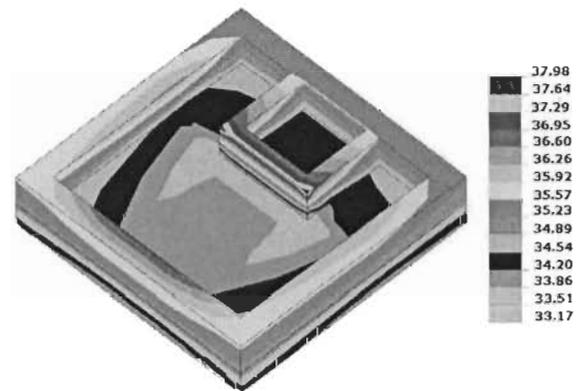


Figure 3: Temperature distribution for the first power device configuration

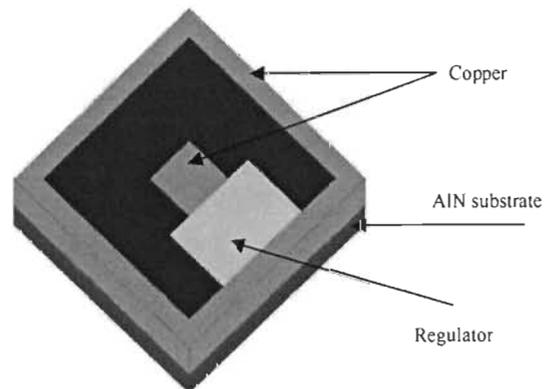


Figure 4: Second power device configuration, with copper at the center

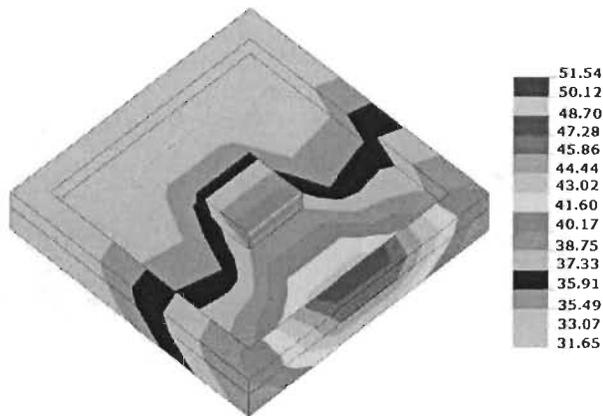


Figure 5: Temperature distribution for the second power device configuration.

Table 1: Results with different film coefficients

Bottom film convection coefficient	T_{min} °C	T_{max} °C
50 W/m ² C	33.17	37.98
40 W/m ² C	35.34	40.16
30 W/m ² C	38.97	43.80
20 W/m ² C	46.24	51.09
10 W/m ² C	68.09	72.95

Table 2: Results with different film coefficients for the second power device configuration.

Bottom film coefficient	T_{min} °C	T_{max} °C
50 W/m ² C	31.65	51.54
40 W/m ² C	34.02	54.53
30 W/m ² C	38.14	59.34
20 W/m ² C	46.68	68.71
10 W/m ² C	73.09	96.09

The reported results show that in the first configuration, which is without a central block and with copper on the surface of the power device, the maximal temperature with a bottom film convection coefficient of 50W/m²C is around 38°C, while the minimal temperature is around 33°C. By contrast, for the second configuration, the maximal temperature increases to around 51.5°C, which is caused by the heat being concentrated behind the regulator, located on the right side of the power device. This reduces the beneficial effect of the central block to reduce the temperatures in the power device. These effects are clearly shown in figures 3 and 5 respectively, with the heat spreading across the power device and the concentration of heat on its right side. A second explanation for these results is the absence of copper on the surface of the power device, in the second configuration, which impedes the desired steady heat spread across the surface of the power device.

VI. CONCLUSION

In this paper, a methodology to evaluate and predict a steady state thermal behavior of a power device matched to a silicon wafer was presented. The important factors contributing to the device's thermal heating were characterized. The temperature distribution of the power device when supplying power to a high performance chip in a standard package was determined. The modeling approach reported in this study can also be applied to predict the peak thermal stress of high power device matched to a silicon wafer.

Thermal management is a significant consideration when designing power distribution devices and heat transfer structures of the WaferBoard. Moreover, thermal analysis is crucial for managing temperature peaks, spatial thermal gradients, and the thermal stress they can induce. Hence device thermal behavior prediction is a major issue for reliable operation, starting from the first design step of power device technology. Finally, the thermal results presented in this paper permitted evaluating and comparing two configurations of the power device, which is a necessary step towards finalizing the design of the power distribution device.

ACKNOWLEDGMENTS

The authors thank the Natural Sciences and Engineering Research Council of Canada (NSERC), Le Regroupement Stratégique en Microsystèmes du Québec (ReSMIQ) and Gestion TechnoCap Inc. for their financial support and CMC Microsystems for providing design tools, support and associated technologies. The authors also wish to acknowledge advices provided by Nick Tasker and Jeff Fletcher from Sound Design.

REFERENCES

- [1] Norman et al. "An Active Reconfigurable Circuit Board", IEEE NEWCAS-TAISA Conference, Montreal, Canada, Jun 22-25, pp. 351 – 354, 2008.
- [2] Norman et al., " An Interconnection Network for a Novel Reconfigurable Circuit Board", IEEE NEWCAS-TAISA Conf., Montreal, Canada, Jun 22-25, pp. 129 – 132, 2008.
- [3] W.Ahmad, "Power integrity optimization of 3D chips stacked through TSVs" IEEE 18th Conference on, Oct. 2009, pp. 105-108.
- [4] Bougataya et al., "Steady State Thermal Analysis of a Reconfigurable Wafer-Scale Circuit Board", IEEE/CCECE08 Proceedings, Niagara Falls, Canada, May 4-7, pp. 411 – 416, 2008.
- [5] James M. Gere, Barry J. Goodno. "Mechanics of materials", 2009, page 991.
- [6] W. Werdecker, "Metallizing of aluminum nitride substrates," in Proc. 5th European Hybrid Microelectronics Conf, 1985, pp.472-488.
- [7] N. Kuramoto and H. Taniguchi, "Transparent AlN ceramics," J. Mat. Sci. Lett., vol. 3, pp. 471-474 1984.