

UNIVERSITÉ DU QUÉBEC

THÈSE PRÉSENTÉE À
L'UNIVERSITÉ DU QUÉBEC À TROIS-RIVIÈRES

COMME EXIGENCE PARTIELLE
DU DOCTORAT EN GÉNIE ÉLECTRIQUE

PAR
MOHAMED ZEBDI

IMPLÉMENTATION EN SIGNAUX MIXTES D'UN RÉCEPTEUR EN
TRANSFORMATION DU DOMAINE À SÉQUENCES DIRECTES POUR LE
STANDARD UWB WLAN

OCTOBRE 2012

Université du Québec à Trois-Rivières

Service de la bibliothèque

Avertissement

L'auteur de ce mémoire ou de cette thèse a autorisé l'Université du Québec à Trois-Rivières à diffuser, à des fins non lucratives, une copie de son mémoire ou de sa thèse.

Cette diffusion n'entraîne pas une renonciation de la part de l'auteur à ses droits de propriété intellectuelle, incluant le droit d'auteur, sur ce mémoire ou cette thèse. Notamment, la reproduction ou la publication de la totalité ou d'une partie importante de ce mémoire ou de cette thèse requiert son autorisation.

UNIVERSITÉ DU QUÉBEC À TROIS-RIVIÈRES

DOCTORAT EN GÉNIE ÉLECTRIQUE (PH.D.)

Programme offert par l'Université du QUÉBEC À TROIS-RIVIÈRES

IMPLÉMENTATION EN SIGNAUX MIXTES D'UN RÉCEPTEUR EN TRANSFORMATION DU
DOMAINE À SÉQUENCES DIRECTES POUR LE STANDARD UWB WLAN

PAR

MOHAMED ZEBDI

Daniel Massicotte, directeur de recherche Université du Québec à Trois-Rivières

Adel Omar Dahmane, président du jury Université du Québec à Trois-Rivières

Christian Jésus B. Fayomi, codirecteur de recherche Université du Québec à Montréal

Frédéric Domingue, évaluateur Université du Québec à Trois-Rivières

Philippe A. Pango, évaluateur externe Vitasound Audio Inc.

Thèse soutenue le 23 mai 2012

**À ma mère, la plus formidable des mamans,
Mon père et toute ma famille.**

Résumé

Dans le domaine des communications sans fil (*Wireless Communications*), le recours à de nouveaux standards ne cesse de s'accroître. Cette évolution est principalement motivée par le souci permanent de permettre l'utilisation des canaux à larges bandes passantes, afin de garantir les transmissions de données à débit multiple et des services hétérogènes. Ces services pourraient ainsi inclure la voix, l'image, et le multimédia véhiculés dans le même canal physique. Ceci, tout en fournissant simultanément une large variété de services de communication pour chaque individu, partout et à tout moment. Le standard de communication à bandes ultralarges (*Ultra WideBand – UWB*)¹ exploitant les bandes de fréquences comprises entre 3.1-10.6GHz, réparties en plusieurs canaux de 528MHz de largeur de bandes. Il représente un des standards qui a fait l'objet d'importants travaux de recherches ces dernières années, à la fois sur le plan algorithmique et implémentation sur silicium. Une structure de réception à bandes ultralarges a été proposée en premier lieu, selon une architecture dite 'Conventionnelle'. Avec cette architecture, le signal analogique traité à la réception devait être converti en signal numérique, en utilisant des convertisseurs analogiques/numériques (*Analog to Digital Converter – CAN* ou ADC), dont la vitesse de conversion pourrait facilement atteindre les 500Mb/s.

Ainsi, selon la proposition de Hoyos et Sadler présentée en [HOY07], un signal analogique en bandes ultralarges reçu et traité, en premier lieu en domaine temporel, serait

¹ Par simplicité de lecture de ce rapport technique, nous utiliserons les abréviations usuelles anglophones

ensuite convertis en signal numérique en domaine fréquentiel. Ceci est rendu possible par l'introduction du principe d'orthogonalité dans le domaine fréquentiel, en projetant le signal à convertir sur une base de fonctions analogiques appropriées [HOY04]; d'où l'appellation 'Récepteur en transformation du domaine'. Cette architecture permet en outre de la réduction des coûts de l'implémentation, l'élimination des interférences inter-symboles (*Inter-Symbol Interferences* – ISI) des données du signal reçu.

L'objectif du travail de recherche consiste à répondre au nouveau défi d'implémentation engendré par la proposition de [HOY07]. Les propositions seront focalisées sur le système UWB (*Wireless Local Area Network* – WLAN). La méthodologie de recherche est répartie en deux principaux axes:

- La première repose sur la proposition en technologie CMOS 0.18 μm , d'un front-end UWB WLAN sélectif, basé sur une conception multi-blocs d'un UWB (*Low Noise Amplifier* – LNA) sélectif. Le front-end réalise un gain en conversion de 34.8dB et facteur de bruit de 6.42dB à 5.6GHz. Il montre aussi une robustesse significative par rapport aux interférences des signaux adjacents, avec un gain de désensibilisation à 1 dB de pour un signal d'inférence de puissance -2dBm à 7GHz. Le circuit dissipe 10,9 mA à partir d'une tension d'alimentation de 1,8 V.
- Le deuxième axe représente la deuxième partie du récepteur en transformation du domaine, avec le développement un circuit d'expansion en domaine fréquentiel du signal en bande de base. Cet axe est basé sur la proposition d'un mélangeur en technologie pliée (*Folded Mixer*) avec filtre passe-bas intégré. Le circuit occupe une surface active de 1,680 1,080 mm^2 , et permet de réduire de 64% la surface d'implémentation du récepteur UWB en domaine temporel, pour la même technologie.

Summary

In Wireless Communications Systems, the upward need for larger bandwidth channels, higher data transmission rates thoroughly stakes in new standards, ushering a new technologic era while including multiple heterogeneous services. The new standards should underpin services including voice, image, and multimedia, simultaneously conveyed in the same physical channel, and providing wide variety of Communication Services for each individual, anywhere and anytime. The Ultra-Wideband (UWB) Communication Standard operates the frequency bands between 3.1-10.6GHz, divided into 14 sub channels of 528MHZ bandwidth each. Extended research with room for advancement involving the UWB standard have been undertaken during the last years, with much more purpose in getting grip on both hardware and algorithmic reception system challenges.

Ultra-Wideband receiver architecture was first proposed in a 'Conventional' structure, where the analog signal processed at the reception was to be converted into a digital signal using analog-to-digital converters (ADC), where the conversion rate could easily retched up to 500Mb/s. By introducing the orthogonality principal in the Frequency Domain, Hoyos and Sadler proposal [HOY07] means to first process the wideband analog signal received in Time Domain, prior to process the Frequency Domain analog-to-digital conversion. The signal to be converted is expanded over an appropriate basis set [HOY04], and hence, the 'Transform Domain Receiver' term.

The research project mainly aims at addressing the Transform Domain Receiver implementation challenge, ushered by the Hoyos and Sadler proposal. Thus, in addition to the Frequency Domain baseband signal expansion circuit, the Front-End circuit, broadly akin to the conventional architecture one, should henceforth develop a relatively high selectivity level, critical when using the orthogonality principal in the Frequency Domain. The receiver system eventual loss of orthogonality during the Frequency Domain analog-to-digital conversion has once made the receiver selectivity necessary.

Proposals will be focused on the UWB Wireless Local Area Network (WLAN) laying between 5-6GHz. Consequently, the research methodology hinges on two major axes:

- The first based on the Time Domain selective analog UWB WLAN Front-End, proposed in the 0.18 μ m CMOS technology, and featuring the Multi-Block linear, low noise amplifier (LNA). The Front-End circuit dissipates 10.9 mA from 1.8 V supply voltage, and achieves 34.8dB conversion gain, 6.42dB noise figure at 5.6GHz. The circuit shows a significant robustness with respect to the adjacent signal interferers producing 1-dB desensitization gain with -8dBm interferer power at 7GHz.
- The second axis is the Transform Domain Receiver second part circuit, considering a Frequency Domain baseband signal expansion circuit proposal, based on the Folded Gilbert Cell Mixer circuit proposal, with integrated low-pass filter. The circuit lies in 1.680 \times 1.080 mmA² active area, leading to 64% implementation surface reduction compared to the conventional, digital time domain UWB receiver architecture.

Remerciements

Je voudrais d'abord remercier mon directeur de recherche le professeur Daniel MASSICOTTE pour ces précieux conseils et orientations, dont l'aide et la motivation ont été grandement appréciées. Ainsi que mon co-directeur de recherche le professeur Christian J. FAYOUMI de l'université du Québec à Montréal pour son encadrement et soutien pédagogique.

Je tiens aussi à remercier tout ceux qui m'ont soutenue tout le long de mes travaux de recherches par un appui logistique, assistance et valeureuses suggestions; spécialement mon frère Abdelhamid ZEBDI, Claude CHAGNON, Messaoud AHMED OUAMEUR et Guy BOISCLAIR.

Je dédie cette thèse à mes frères (Tarik, Abdelhamid et Adel), et mes sœurs (Radia et Samia), ainsi que mes amis : Slimane, Kamel, et Kader.

Table de Matières

RESUMÉ	iii
SUMMARY	v
REMERCIEMENTS	vii
TABLE DE MATIÈRES	viii
LISTE DES FIGURES	xi
LISTE DES TABLEAUX	xvi
LISTE DES ABRÉVIATIONS	xvii
LISTE DES SYMBOLES	xix
1. INTRODUCTION	1
1.1 CONTEXTE DU PROJET	1
1.2 PROBLÉMATIQUE	4
1.3 OBJECTIFS	7
1.3.1 OBJECTIF GÉNÉRAL	7
1.3.2 SOUS-OBJECTIFS	7
1.4 MÉTHODOLOGIE	9
1.5 ORGANISATION DE LA THÈSE	11
1.6 CONTRIBUTION DE LA THÈSE	11

2. RÉCEPTEURS UWB EN TRANSFORMATION DU DOMAINE	15
2.1 RÉCEPTEURS CONVENTIONNELLES	15
2.1-1 CIRCUITS DE BASE	15
2.1-2 CONCEPTION ET IMPLÉMENTATION DU RÉCEPTEUR UWB	18
A. RÉCEPTEURS UWB POUR GROUPE #1	18
B. RÉCEPTEUR UWB SÉLECTIVE	20
C. IMPLÉMENTATION	24
2.2 PROJECTION DANS UN ESPACE ORTHOGONAL FREQUENTIEL	26
2.3 COMPARAISON DES NIVEAUX DE DISTORSION ET GAIN EN CONVERSION ENTRE LES DEUX ARCHITECTURES	32
2.4 LE CHOIX DE LA DIMENSION N DANS LE RECEPTEUR EN TRANSFORMATION DU DOMAINE	34
3. FRONT_END EN DOMAINE TEMPOREL	36
3.1 AMPLIFICATEUR À FAIBLE BRUIT LNA	37
3.1-1 ADAPTATION D'IMPÉDANCE	42
3.1-2 GAIN D'AMPLIFICATION À FAIBLE BRUIT	45
3.1-3 FIGURE DE BRUIT	51
3.1-4 LINÉARITÉ	54
3.1-5 STABILITÉ	56
3.2 MÉLANGEUR HAUTE FRÉQUENCE	60
3.3 FILTRE PASSE-BAS	64
3.4 CONCLUSION	64
4. EXPANSION EN DOMAINE FRÉQUENTIEL DU SIGNAL EN BANDE DE BASE	66
4.1 MÉLANGEUR EN BANDE DE BASE (BASEBAND MIXER)	66
4.1.1 PROPOSITION D'UN MÉLANGEUR EN BANDE DE BASE EN TOPOLOGIE PLIÉE	70
4.1.2 RÉALISATION DU DESSEIN DE MASQUE	81

4.1.3 CONCLUSION	82
4.2 INTÉGRATEURS	83
4.2-1 INTEGRATION EN BASSES FRÉQUENCES (IDÉAL)	88
4.2-2 INTEGRATION EN HAUTES FRÉQUENCES (NON-IDÉAL)	89
4.3 FILTRE APPARIÉ (MATCHED FILTER)	91
4.4 ETUDE DE LA STABILITE DU MELANGEUR EN BANDES DE BASE APRES FABRICATION	97
4.4.1 ÉTUDE DE SENSIBILITÉ	98
4.4.2 INFLUENCE DU ‘MISMATCHING’	99
4.4.3 INFLUENCE DE LA TENSION D’ALIMENTATION	100
4.4.4 INFLUENCE DE LA VARIATION DE LA TEMPÉRATURE	102
5. CONCLUSION ET TRAVAUX FUTURS	105
RÉFÉRENCES	111
ANNEXE A	119
A.1 VIRTUOSO [®] SPECTRERF	120
A.2 MÉTHODES DE SIMULATIONS DU SPECTRERF	122
A.2.1 MÉTHODE D’INTERVALLE DE PROJECTION	122
A.2.2 MÉTHODE D’ÉQUILIBRE HARMONIQUE	123
A.3 PARAMÈTRES DE PRÉCISIONS	123
A.4 CHOIX ET MÉTHODES DE SIMULATION ADOPTÉE	126
A.4.1 MÉTHODES DE SIMULATION ADOPTÉE	126
A.4.2 PARAMÈTRES DE PRÉCISION CHOISIS	127

Liste des Figures

Figure 1.1: Structure des bandes et canalisation des signaux UWB.	3
Figure 1.2: Architecture classique d'un récepteur UWB.	5
Figure 2.1: Un LNA en structure base commune pour le mode #1 d'un système UWB tiré de [RAZ05].	19
Figure 2.2: Architecture d'un LNA en structure grille commune pour un front-end sélective UWB tiré de [CUS06].	22
Figure 2.3: Exemple d'une implémentation d'un émetteur-récepteur UWB tiré de [BLA05].	25
Figure 2.4: Architecture en transformation du domaine d'un récepteur UWB [HOY07].	27
Figure 2.5 : Distorsion du signal après conversion analogique numérique dans le domaine temporel et fréquentiel tiré de [HOY07].	33
Figure 2.6 : Le gain en conversion en fonction du nombre de coefficients N dans le cas d'une conversion analogique-numérique dans le domaine fréquentiel tiré	33

de [HOY07].

Figure 2.7 : Le (BER) d'une expansion du signal dans le domaine fréquentiel en fonction du nombre de coefficients N de la base d'expansion tiré de [HOY07]. 35

Figure 2.8 : Comparaison entre une architecture en domaine fréquentiel et une architecture en domaine temporel. 35

Figure 3.1: Représentation en modèle G d'un circuit d'amplification avec feedback tension-tension. 39

Figure 3.2: Amplificateur à faible bruit avec un feedback dynamique pour UWB WLAN. 41

Figure 3.3: Impédance d'entrée du feedback dynamique. L'impédance croît proportionnellement avec la fréquence d'utilisation. 41

Figure 3.4: L'adaptation d'impédance du LNA proposé. Minimum S_{11} S_{22} atteint à 5.6GHz. 45

Figure 3.5: Diagramme bloc du LNA à feedback dynamique proposé. Le gain en boucle ouverte est un gain composé $A_0.B_0$ (Conception en multi-blocs). 46

Figure 3.6: Modèle petit signal du feedback dynamique du LNA proposé. 47

Figure 3.7: La contribution en gain du feedback dynamique. (Un gain marginal pour $L=4.5nH$ dans la bande de fréquence 5-6GHz). 49

Figure 3.8: La contribution en figure de bruit NF du feedback dynamique.	49
Figure 3.9: Gain en conversion du LNA en fonction de l'inductance L. (NF=0.1dB pour L=4.5nH dans la bande de fréquence 5-6GHz).	50
Figure 3.10: Optimisation du gain en conversion par la capacité de couplage C. (L=4.5nH).	51
Figure 3.11: Figure du bruit NF de l'UWB WLAN LNA. (NF varie entre 3.86- 2.76dB dans la bande 5-6GHz).	53
Figure 3.12: Simulation de la linéarité du LNA à feedback dynamique. (a) Le gain par rapport au signal de puissance. (b) Gain petit signal par rapport au signal d'interférence le plus proche (7GHz, Groupe#3).	55
Figure 3.13: Variation de phase du LNA à feedback dynamique. LNA stable pour (L=4.5nH).	58
Figure 3.14: Schématique du mélangeur en quadrature.	61
Figure 3.15: Résultats de simulations des performances du mélangeur en quadratique.	62
Figure 4.1: Schématique du mélangeur en topologie plié (<i>Folded Mixer</i>) proposé.	71
Figure 4.2: L'effet de la densité de courant de l'étage d'entrée sur le gain en	74

conversion, figure de bruit et IIP3.

Figure 4.3: L'effet de la largeur des transistors de la paire de commutation sur le bruit de basses fréquences du mélangeur. 78

Figure 4.4: L'effet de l'amplitude de l'oscillateur local (LO) sur le gain en conversion, figure de bruit et IIP3. 79

Figure 4.5: La réponse en fréquence du gain en conversion, figure de bruit, IIP3 et IIP2. 80

Figure 4.6: Le 'Layout' du mélangeur plié avec une fréquence de coupure de -3 dB à 300MHz en technologie CMOS 0.18 μ m. 82

Figure 4.7: Schéma de l'intégrateur différentiel. 86

Figure 4.8: Le diagramme bloc du filtre apparié. 92

Figure 4.9: Étalage dans le temps de la durée des impulsions transmises après l'expansion du signal en bande de base. 94

Figure 4.10: 'Layout' du filtre apparié. a) : Cologne des mélangeurs. b) : Cologne des intégrateurs. c) : Le sommateur. 95

Figure 4.11: L'ordre décroissant des principaux paramètres influençant sur le point de fonctionnement du mixeur en bandes de base proposé. 98

Figure 4.12: Le résultat de simulation Monte-Carlo sur le mixeur en bandes de 99

base.

Figure 4.13: L'influence de la variation de la tension d'alimentation sur le gain en conversion du mixeur en bandes de base. 100

Figure 4.14: l'influence de la variation de tension d'alimentation sur la valeur de la figure de bruit. 101

Figure 4.15: L'influence de la variation de la tension d'alimentation sur la linéarité du mixeur. 102

Figure 4.16 : L'influence de la température sur le gain en conversion du mixeur. 103

Figure 4.17 : L'influence de la température sur la valeur de la figure de bruit. 104

Figure 4.18 : L'influence de la température sur la linéarité du mixeur en bandes de base. 104

Liste des Tableaux

Tableau 1.1: Méthodologie en cinq étapes.	10
Tableau 3.1: Tableau comparative des performances du LNA avec les récentes publications.	59
Tableau 3.2: Comparaison des performances entre les front-end sélectifs.	65
Tableau 4.1: Performances simulées du mélangeur en topologie pliée.	82
Tableau 4.2: Les différentes surfaces d'implémentation traitées dans la thèse.	96
Tableau A.1: Choix adoptés des simulations des circuits non linéaires durant les travaux de recherche.	129

Liste des Abréviations

4 BOK	4 BiOrthogonal Keying
AC	Alternative Current
BPSK	Binary Phase Shift Keying
C.P	Compression Point
CAN	Convertisseur Analogique/Numérique
CG	Conversion Gain
DC Offset	Direct Current Offset
DS-CDMA	Direct Sequence Code Division Multiple Access
FCC	Federal Communication Commission
Flash ADC	Flash Analog to Digital Converter
IF	Intermediary Frequency
IIP2	Third Order Interception Point
IIP3	Third Order Interception Point
LNA	Low Noise Amplifier
LO Switches	Local Oscillator Switches
LS	Least Square
MB-OFDM	MultiBand Orthogonal Frequency Division Multiplexing
MF	Matched-Filter

MMSE	Minimum Mean Square Error
MSE	Mean Square Error
NBI	Narrow-Band Interferer
NF	Noise Figure
OFDM	Orthogonal Frequency Multiple Access
PCM	Phase Coded Modulation
PL	Parallel Inductance
QPSK	Quadrature Phase Shift Keying
SL	Serial Inductance
SNR	Signal to Noise Ratio
UWB	Ultra Wideband
WCDMA	Wideband Code Division Multiple Access
WLAN	Wireless Local Access Network

Liste des Symboles

\hat{a}	Élément du Vecteur d'Estimation du Signal Reçue
$R_{m,n}$	Matrice des Coefficients du Signal dans la Base Orthogonale
$\Phi_n(t)$	Base Orthogonale
$r(t)$	Signal Reçue
C_{BV}	Capacité Base-Volume (Bulk)
C_{GB}	Capacité Grille-Base
C_{GD}	Capacité Grille-Drain
G	Matrice de Projection du Signal
G_A	Gain Disponible
H	Matrice d'Estimation du Signal
K	Nombre d'Échantillons
L	$M \times N$
M	Dimension de la fenêtre d'échantillonnage
N	Dimension de la Base Orthogonale
N_{in}	Bruit d'Entrée
N_{out}	Bruit de Sortie
T	Période d'échantillonnage

T_c	Période d'Intégration
V_{gs}	Tension Grille-Base
V_t	Tension de Seuil
z	Vecteur de Bruit

1.

INTRODUCTION

1.1 Contexte du projet

Le principe de la communication en bandes ultralarges (*Ultra WideBand* – UWB)² trouve son origine à la fin des années 1960, quand il était reconnu que certains réseaux micro-ondes, pouvaient être beaucoup plus efficacement caractérisés par une réponse impulsionnelle qu’avec une mesure de la réponse fréquentielle [ROS78]. Appelé système de communications ‘Par Impulsions’, ‘Sans Porteuse’, ‘Bande de Base’ ou ‘En Domaine Temporel’, la méthode de présentation des signaux sans fil par des courtes impulsions est aussitôt devenue populaire dans les applications militaires et les systèmes radars. Cette popularité est due en premier lieu, à la faible interceptabilité et forte résolution de tels signaux. Récemment, le principe de la transmission sans fil des données, avec plusieurs centaines de mégabits par seconde de débit, avait ravivé de nouveau l’intérêt pour les systèmes à bandes ultralarges.

² Par simplicité de lecture de ce rapport technique, nous utiliserons les abréviations usuelles anglophones

En 2002, le comité fédéral de communications (*Federal Communication Committee*) avait défini, comme signal en bandes ultralarges, tout signal occupant plus de 500 MHz de fréquences, avec une densité spectrale de puissance limite de -41.3 dBm/MHz dans la bande de fréquences délimitée entre 3.1-10.6GHz [REV02].

Cette allocation de bandes de fréquences permet plusieurs applications: radars terrestres, systèmes de détection et surveillance, systèmes de contrôle sanitaires, et connexions sans fil pour des données en images entre autres. Deux propositions détaillant le fonctionnement des dispositifs UWB ont été retenues. La première emploie une modulation binaire par déplacement de phase (*Binary Phase Shift Key- BPSK*) et un verrouillage bi-orthogonal en quadrature (*Quadrature Bi-orthogonal Keying - 4-BOK*). Cette méthode est basée sur l'exploitation des systèmes de transmission (*Direct Sequences- Code Division Multiple Access - DS-CDMA*). Ce dispositif permet des vitesses de transmission allant de 28 à 1320Mb/s, pour les bandes de fréquences comprises à la fois entre 3.1 à 4.85 GHz, et entre 6.2 à 9.7 GHz [FIS05]. Alors que l'autre proposition exploite l'approche du multiplexage par division multi bandes et orthogonale de la fréquence (*Multi-Bandes Orthogonal Frequency Division Multiplexing – Multi-bands OFDM*). L'information est encodée dans un canal de 528 MHz de largeur de bande, utilisant 122 sous porteuses à verrouillage par décalage des phases des données en quadrature (*Quadrature Phase Shift Key - QPSK*). Un schéma d'espérance de fréquences est ainsi utilisé, pour assurer un débit variant de 53.3Mb/s à 480Mb/s [BAT03].

La bande de fréquences comprises entre 3.1GHz et 10.6GHz est divisée en 14 canaux, organisés en cinq modes appelés groupes (Fig.1.1).

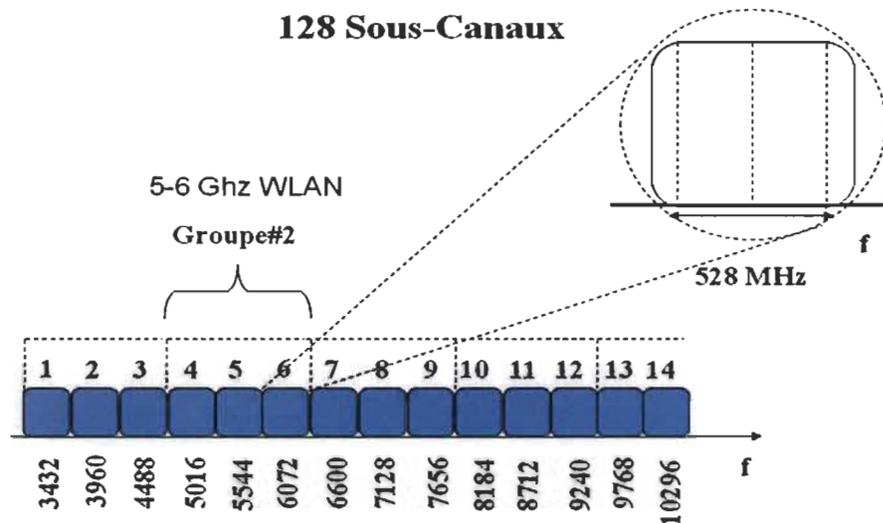


Figure 1.1: Structure des bandes et canalisation des signaux UWB.

Durant la réception d'un signal UWB, l'utilisation du premier groupe est obligatoire pour les signaux de contrôle, mais optionnelle pour les autres groupes. L'étalement du spectre permet de minimiser les interférences, avec les standards existant dans la bande comprise entre 3.1GHz et 10.6GHz. Réciproquement, les signaux relatifs aux réseaux locaux des systèmes de communications sans fil (*Wireless Local Area Network* - WLAN), du groupe#2, sont appelés à faire face à un important niveau d'interférences de voisinage. Exemple : Interférences avec les signaux compris entre 3.5-4.5GHz et 6.6-7.6GHz d'un récepteur UWB (Fig. 1.1), ou avec des signaux du standard de télécommunication (*Wideband Code Division Multiple Access* - WCDMA), comprises entre 1-12GHz [GHA05].

1.2 Problématique

Avec une architecture classique de récepteur UWB, telle que présentée à la Figure 1.2, le signal reçu (de l'ordre de quelques μV) devrait passer par un circuit de conditionnement approprié; amplificateur à faible bruit (*Low-Noise Amplifier* – LNA). Le LNA devrait être suivi d'un multiplicateur à haute fréquence, puis un circuit de corrélation, pour produire les signaux de basse fréquence en quadrature (*in phase/Quadrature* - I/Q).

Par conséquent, l'implémentation d'un algorithme d'élimination d'interférences inter-symboles, ne devrait s'introduire qu'après une conversion analogique/numérique dans le domaine tempore, des signaux en quadrature I/Q. Afin de satisfaire le critère de Nyquist, les convertisseurs analogiques/numériques (*Analog to Digital Converter* – CAN ou ADC), doivent cependant, avoir une fréquence d'échantillonnage au moins le double, de la fréquence intermédiaire (*Intermediary Frequency* – IF) générée par le multiplicateur à hautes fréquences. Toutefois, une conversion analogique/numérique à cet ordre de fréquences reste très coûteuse, en termes de surface d'intégration et consommation de puissance; deux contraintes représentant des défis d'actualité. L'alternative serait d'introduire le principe d'une conversion analogique/numérique en domaine fréquentiel, par l'expansion en domaine fréquentiel du signal à convertir, en le projetant sur une base orthogonal appropriée. Cette expansion consiste à répartir sur un grand nombre de sous-porteuses, le signal en bande de base à convertir. Pour que les fréquences des sous-porteuses soient les plus proches possibles, transmettre le maximum d'informations sur la bande de fréquences allouée, les sous-porteuses doivent être orthogonales entre elles.

Les signaux des différentes sous-porteuses se chevauchent, mais grâce au principe d'orthogonalité, elles ne sont pas supposées de s'interférer entre elles. Les éléments de cette base seront issus de la transformation de fourrier, du filtre pour modulation des impulsions (*Pulse Shaping Filter*), qui a servi comme élément de base de la transmission du même signal dans le domaine temporel.

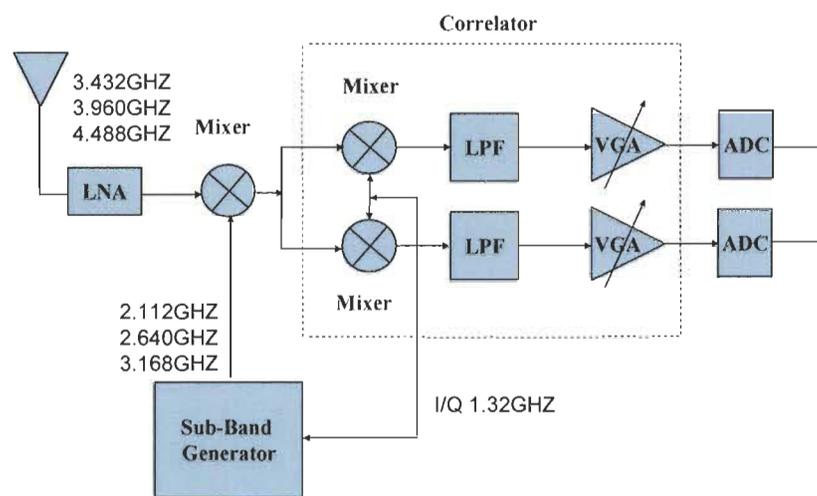


Figure 1.2: Architecture classique d'un récepteur UWB [KAN08].

Afin de montrer l'importance de la problématique, nous proposons de convertir un signal de source gaussienne, de moyenne non nulle et variance σ^2 , en transmission monobit de modulation (*Pulse Coded Modulation* – PCM) de 5 GHz de largeur de bande, et fréquence centrale de 7 GHz. Notre principal objectif serait de minimiser la fréquence d'échantillonnage des données transmises. Le temps de conversion est donné comme $T_c=3ns$ (espacement de fréquences $\Delta F=333.33$ MHz). Une étude de comparaison entre un CAN basée sur un espace orthogonal, et un CAN conventionnel dans le domaine temporel, serait introduite dans le chapitre 2.

La mesure de comparaison est basée sur la valeur de l'erreur d'estimation quadratique (*Mean Square Error* – MSE). Ainsi, les résultats montrent, le CAN à espace orthogonale a besoin d'une dimension $N = 3$ (6 valeurs réelles à quantifier), avec une vitesse de conversion $1/T_c$, de 333.33 MHz, pour atteindre le même niveau de distorsion du signal MSE du CAN conventionnel. Alors qu'il faudrait une fréquence d'échantillonnage de 10 GHz pour un CAN conventionnel, pour la conversion du même signal (5 GHz), selon le critère de Nyquist.

Par conséquent, en recourant à une architecture conventionnelle avec un entrelacement (*Interleaving*) dans le domaine temporel, il faudrait 30 CANs pour réduire la vitesse de conversion du CAN conventionnelle à celle d'un CAN à espace orthogonale. Il serait donc nécessaire dans ce cas, d'utiliser 24 CAN de plus que celle d'une architecture à espace orthogonale.

On remarquerait ainsi, que dans l'architecture d'un émetteur récepteur UWB implémenté sur une plateforme discrète, tel que proposé par Blazquez et coll. [BLA05]³, la grande complexité de la synchronisation et la démodulation des signaux UWB ont requis plus de la moitié de la surface d'implémentation (4.3mm×2.9mm en technologie (*Complementary Metal–Oxide–Semiconductor* – CMOS) de 0.18 μm). Ceci, sans oublier la puissance totale consommée avec les CANs de largeur de bandes supérieures à 500 MHz.

³ Une plate forme discrète en technologie CMOS de 0.18 μm d'un récepteur UWB proposé par l'équipe du (*Massachusetts Institut of Technology*), incluant un algorithme d'élimination des interférences inter-symboles et circuits de contrôle.

1.3 Objectifs

1.3.1 OBJECTIF GÉNÉRAL

L'objectif général du sujet de recherche consiste à proposer une architecture d'intégration silicium en signaux mixtes (analogique/numérique), des récepteurs UWB WLAN en séquences directes, basée sur une conversion analogique/numérique dans le domaine fréquentiel. Cet objectif d'intégration permet à la fois, la détection du signal à la réception, et l'élimination des interférences inter-symboles (égalisation), primordiale pour un réseau local de communication sans fil.

D'autre part, concernant le système d'intégration, cet objectif permet une réduction significative de la consommation de puissance, comparativement au récepteur conventionnel. Pour cela, l'idée repose sur l'implémentation d'une architecture de réception basée sur une conversion analogique/numérique dans le domaine fréquentiel, telle que proposée par Hoyos et Sadler en [HOY07]. Cette méthode réduit le recours aux implémentations externes des algorithmes d'égalisation, très coûteuse en terme de surface et consommation de puissance pour le standard UWB conventionnel, dont les architectures sont basées sur une conversion analogique/numérique en domaine temporel classique [CHE06].

1.3.2 SOUS-OBJECTIFS

Les sous objectifs du travail de recherche peuvent être scindés en deux parties :

Le premier sous objectif à atteindre consiste à proposer un front-end UWB WLAN à séquences directes, basé sur un LNA sélectif. Cette sélectivité permettrait de prémunir le récepteur, des effets de la perte d'orthogonalité dans le domaine fréquentiel, lors de la conversion analogique/numérique dans le domaine fréquentiel. Un des principes fondamentaux d'un récepteur en transformation du domaine serait, la conversion analogique/numérique en domaine fréquentiel, du signal reçu et traité par le front-end.

Cette conversion emploie le principe de l'orthogonalité, pour l'expansion du signal en bande de base (Baseband Signal), dans le domaine fréquentiel avant conversion. Par conséquent, une éventuelle interférence en domaine fréquentiel avec les bandes de fréquences ou systèmes de communications adjacents, rendrait aléatoire l'opération de numérisation causée par une éventuelle perte d'orthogonalité.

Les nouveaux défis de conception d'un récepteur en transformation du domaine, nous oblige à considérer la proposition d'un front-end, ou plus précisément un LNA sélectif, comme premier sous objectif à atteindre.

La conversion analogique/numérique en domaine fréquentiel nécessite la proposition, réalisation d'un circuit d'expansion en domaine fréquentiel, basé sur un mélangeur en bande de base approprié. Cette projection permet de réduire considérablement la limite basse de la vitesse de conversion des CANs à utiliser, tout en gardant les mêmes performances d'un (Flash ADC). Ainsi, notre troisième sous objectif serait de concevoir, réaliser le circuit de projection, afin de mettre en évidence l'apport d'une architecture de réception en transformation du domaine, par rapport à une architecture conventionnelle.

1.4 Méthodologie

Afin d'atteindre nos objectifs, nous avons déterminé les principales étapes présentées dans le tableau 1.1. Après une évaluation algorithmique de la proposition de Hoyos et Sadler [HOY07], sur laquelle repose notre sujet de recherche, un relevé bibliographique est établi de l'état de la technique et les récentes publications. Le relevé bibliographique concerne à la fois, l'architecture et implémentation sur silicium des récepteurs UWB, ainsi qu'aux différents sous blocs les constituants. En terme d'objectif général, les travaux de recherche concernant la conception et réalisation des UWB front-end sélectifs, à l'instar de celui réalisé par Cusmai et al. [CUS06] seront privilégiés.

Cette étude devrait ensuite s'approfondir sur les propositions, relatives aux principaux sous-blocs constituant un récepteur UWB, à savoir, les amplificateurs à faible bruit LNAs, mélangeurs hautes fréquences ou en bande de base, et intégrateurs. Ceci nous permettrait aussi d'atteindre également nos sous objectifs de travaux de recherches.

La proposition d'un UWB LNA sélectif à faible consommation d'énergie, serait l'essence de la proposition de notre UWB WLAN front-end à séquences directes. Ce dernier permettrait la réalisation d'une corrélation sélective à faible puissance du signal reçu, selon le standard UWB WLAN. Le produit de cette corrélation est un signal en quadratique I/Q en bande de base, ce qui constitue la partie temporelle du circuit de réception. Cette étape sera suivie par la proposition d'un circuit d'expansion en domaine fréquentiel, du signal en bandes de base reçu par le UWB WLAN front-end.

Ce circuit serait basé sur une conception d'un mélangeur de faible puissance en topologie pliée (*Folded Topology*), avec filtre passe-bas intégré. Ce qui permettrait de réduire significativement, la vitesse de conversion des CANs à utiliser pour la conversion analogique/numérique. La réalisation en technologie CMOS de 0.18 μm de ce circuit servirait à valider, le gain en surface produit avec une architecture en transformée du domaine. Cette validation s'appuie sur une comparaison avec la conception réalisation d'un récepteur UWB en architecture conventionnelle présentée en [BLA03].

Tableau 1.1: Méthodologie en cinq étapes.

Étape 1.	Relevé de la littérature sur les : (i) Standard UWB; (ii) Récepteurs UWB; (iii) Éléments du récepteur UWB, (iv) Algorithmes d'élimination des interférences.
Étape 2.	Synthèse de l'état de la technique des sous-blocs des circuits des récepteurs UWB.
Étape 3.	Proposition d'une implantation d'un front-end en domaine temporel d'un récepteur UWB WLAN en transformation du domaine, basé sur un LNA sélectif et à faible consommation d'énergie.
Étape 4.	Proposition d'un circuit de projection en domaine fréquentiel d'un signal en bande de base, basée sur un mélangeur à faible puissance en topologie pliée.
Étape 5.	Validation de l'apport d'un récepteur UWB en transformation du domaine par rapport à une architecture conventionnelle, en matière de réduction de la surface d'implémentation sur silicium, par la réalisation du circuit de projection du signal en bande de base dans le domaine fréquentiel.

1.5 Organisation de la thèse

Ce rapport est organisé comme suit: le récepteur UWB en transformation du domaine est présenté dans le chapitre 2. Un modèle d'architecture conventionnelle est défini en premier lieu, suivi d'un exposé détaillé de la proposition de Hoyos et Sadler. La capacité de cette architecture à la fois, pour la détection, élimination des interférences inter-symboles (égalisation) du signal UWB est particulièrement mise en évidence. Dans le chapitre 3, un front-end UWB WLAN muni d'un LNA en conception multi-blocs est proposé. Le chapitre 4 quand à lui serait dédié à la conception, réalisation d'un circuit de projection ou expansion en domaine fréquentiel, du signal en bande de base avant conversion. Finalement, la conclusion serait tirée et les travaux futurs seront présentés.

1.6 Contributions de la thèse

Nous retrouvons deux contributions majeures dans cette thèse:

- **Proposition d'un UWB WLAN front-end sélectif**

Cette contribution est rendue nécessaire, étant donné l'étroite relation entre le niveau de sélectivité du front-end en domaine temporel, et le risque de perte d'orthogonalité de la conversion analogique/numérique en domaine fréquentiel du bloc subséquent, pour tout récepteur UWB en transformation du domaine. Cette proposition repose sur une conception d'un UWB WLAN LNA, introduisant les principes suivants :

- La conception en multi-blocs, qui nous permet de produire un meilleur équilibre (*Trade-off*) entre le gain en conversion (*Conversion Gain* – CG), la valeur de la figure de bruit (*Noise Figure* – NF), linéarité, et consommation de puissance du circuit. Cette méthode de conception contraste, avec les méthodes de conception mono-bloc des autres propositions des UWB LNAs, notamment celles de [CUS06], [PAR05], [SHA06], et [BEV04].
- La conception en multi-blocs a donné lieu à un UWB WLAN LNA, avec un feedback dynamique. Ainsi, le gain en conversion serait le résultat d'une modélisation adéquate de la fonction de transfert de tout le circuit LNA, autour de la bande de fréquences d'intérêt. Ceci nous a permis d'atteindre un niveau de gain en conversion aussi élevé que 27 dB ; et par voie de conséquences, un niveau de sélectivité aussi élevé, par le rejet des signaux de bandes ou systèmes adjacents.
- Avec une conception en multi-blocs, le recours systématique à un large courant de polarisation, afin de minimiser la valeur de la figure de bruit ne serait plus nécessaire. Cette méthode permet de réaliser un minimum de niveau de bruit, avec un minimum de consommation d'énergie.
- **Proposition d'un circuit d'expansion du signal en bande de base en domaine fréquentiel.**

Cette contribution consiste à développer un circuit de projection du signal en bande de base, issue du front-end en domaine temporel, sur une base de fonctions analogique, en employant le principe de l'orthogonalité dans le domaine fréquentiel.

Cette partie est constituée essentiellement d'une proposition d'un mélangeur en topologie pliée, à faible consommation d'énergie. Bien qu'un mélangeur en cellule Gilbert avec topologie pliée (*Folded Mixer*) ait été déjà proposé en [CHO07], [FLO05], [BAU00], [BRA05], [FON07], [CHO07], [REJ08], la conception proposée dans nos travaux de recherches repose sur les performances suivantes :

- Intégration de filtres passe-bas à la sortie différentielle du mélangeur proposé, permettant ainsi de pouvoir sélectionner directement le signal désiré à la sortie, en évitant le recours à des filtres passe-bas externes, très coûteux en termes de surface d'implémentation.
- L'optimisation de la largeur des commutateurs pour oscillateurs locaux (*Local Oscillator Switches* – LO Switchs) du mélangeur, de manière à pouvoir établir un équilibre entre, le niveau de bruit basse fréquences minimal, et une capacité de commutation rapide. Cette optimisation permettrait de rediriger complètement le courant de l'étage des transconducteurs (*g_m-Stage*), vers l'étage de commutation. Cette optimisation est d'autant plus nécessaire, sachant que le niveau de bruit basse fréquences reste une des sérieuses problématiques, lors de la conception des mélangeurs en bande de base.

En résumé:

Les travaux de recherches relatifs à la conception d'une architecture en transformation du domaine d'un récepteur UWB WLAN, nous ont conduits à la nécessité de répondre à

plusieurs nouveaux défis de conception, où les récentes publications dans le domaine, ne pouvaient répondre de manière efficace aux attentes et performances désirées.

Par conséquent, la mise en œuvre de la proposition de Hoyos et Sadler, nous permet de produire une contribution significative à la fois, dans le domaine de la conception des récepteurs UWB, et les sous-blocs les constituants.

L'ensemble de cette contribution sera sanctionnée par une série de publications, portant d'une part, sur la proposition d'un front-end sélectif afin d'assurer la partie temporelle de la réception UWB, et une proposition d'un circuit d'expansion en bande de base du signal avant conversion. La principale contribution dans la première partie serait, l'introduction du principe de la conception en multi-blocs dans la conception d'un amplificateur à faible bruit (LNA), pour assurer une meilleure sélectivité du récepteur. Par contre, la proposition d'un mélangeur en topologie pliée, pour la partie expansion du signal en bande de base, serait l'élément central de la partie relative à la conversion analogique/numérique en domaine fréquentiel.

2.



RÉCEPTEURS UWB EN TRANSFORMATION DU DOMAINE

Dans ce chapitre, les principales architectures, ainsi que les récentes propositions de circuits de base, constituant un récepteur UWB seront détaillées. Ce qui permettrait de justifier toutes les propositions et les contributions développées, tout le long des travaux de recherches.

2.1 Récepteurs UWB conventionnels

2.1.1 LES CIRCUITS DE BASE

Les CMOS UWB LNAs emploient diverses techniques, afin de produire simultanément un gain suffisant en bandes larges, et une meilleure adaptation d'impédance possible avec l'antenne de réception.

Dans [BEV04] et [ISM04], un étage d'entrée à dégénération inductive est utilisé, où l'adaptation d'impédance, pour toute la bande de fréquences entre 3.1 à 10.6 GHz, est atteinte grâce à un réseau multi-étages réactifs.

Les inconvénients de cette topologie sont principalement, la grande surface nécessaire pour accueillir les inductances intégrées employées dans le réseau d'entrée, en plus du bruit additionnel, en raison de leur facteur de qualité moyenne.

L'amplificateur à faible bruit LNA à grille commune proposé en [CUS06] dispose d'une architecture à sortie unique (*Single-Ended LNA*), pour éviter l'utilisation des transformateurs symétriques, à cause de leurs coûts et perte énergétique. Dans cette proposition, une excellente linéarité est assurée par la structure grille commune, munie d'un feedback en mode tension-tension. Néanmoins, le circuit présente le désavantage d'une faible impédance d'entrée, ce qui limite son gain en faibles signaux [RAZ01].

D'autres parts, des travaux de recherche pour une optimisation en technologie CMOS, de la figure de bruit NF des amplificateurs à faible bruit, à base commune et une dégénération inductive, sont introduites en [BEL06]. L'étude montre qu'une optimisation sous contrainte de gain, ne permet pas le contrôle de la quantité de puissance dissipée dans le transistor. D'autres parts, une optimisation sous contrainte de puissance tend à augmenter la valeur de l'inductance de la grille du transistor L_g , à travers l'augmentation du facteur de qualité de l'impédance d'entrée Q_{ind} . Cette optimisation conduit à une dégradation du facteur de bruit du LNA, par l'augmentation de la valeur de la résistance R_g . L'auteur propose l'introduction d'une capacité extérieure C_{ex} , afin de découpler la contrainte de consommation de puissance, par rapport au facteur de qualité du réseau inductive à l'entrée.

Une optimisation pour des opérations à faible consommation des LNAs à base commune est présentée en [ASG07]. Une architecture en inductance série (*Serial Inductance* - SL) et parallèle (*Parallel Inductance* - PL) est introduite, pour assortiment réactif (*Reactive Matching*) en larges bandes. Bien que cette architecture permet une réduction de près de 60% de la puissance consommée, le désavantage d'une réduction significative de la linéarité du circuit, suite à l'élimination de l'inductance de dégénération, reste toutefois problématique.

Concernant les mélangeurs en technologie CMOS, les avantages de faible perte de conversion, dimension compacte, ainsi qu'en gain en conversion d'une architecture hautes fréquences basée sur la cellule Gilbert (*Gilbert-Cell Mixer*), ont été prouvés même lors d'une utilisation du circuit à des fréquences allant jusqu'à 75 GHz en technologie de 90nm [TSA07]. Un mélangeur plié (*Folded Mixer*) est même proposé en [CHO07], afin d'assurer une polarisation distincte entre l'étage transconducteur (g_m -*Stage*), et l'étage de commutation par oscillateur local (*LO Switches*).

Pour les opérations en bande de base, le mélangeur proposé en [PAR06], utilisant la technique du courant saignant (*Bleeding Current*), pour la résonance de la capacité parasite en architecture à deux inducteurs, permet de réaliser pour un angle de fréquence de 125 KHz, un gain en conversion de 16.2 dB, et une valeur de figure de bruit NF de 9.8 dB.

2.1-2 CONCEPTION ET IMPLÉMENTATION DU RÉCEPTEUR UWB

Les plus récentes publications dans ce domaine, ont présenté une architecture complète d'un récepteur UWB, pour le groupe#1 seulement (Mode-1). Tandis que sur un autre plan, les investigations en larges bandes ont concerné principalement l'amplificateur à faible bruit LNA [BEV04].

Les opérations sur ce mode peuvent s'appuyer sur une atténuation outre bandes, générée par pré-filtrage [BER05] [RAZ05]. Par contre, [CUS06] propose une architecture d'un émetteur récepteur UWB en technologie CMOS de 0.18 μ m, qui adresse le problème du rejet des signaux UWB WLAN entre 5-6GHz. Cette proposition concerne les applications en multi-bandes avec un multiplexage par division orthogonale de fréquences (*Orthogonal Frequency Division Multiplexage* - OFDM), en amplifiant les signaux des groupes#1 et le groupe#3 seulement, tout en filtrant le signal du groupe#2.

A. Récepteurs UWB pour groupe #1

Un exemple d'un émetteur-récepteur UWB, conçu en technologie CMOS 0.13 μ m, pour le mode #1 est présenté en [RAZ05]. Le dispositif de réception est constitué d'un LNA avec trois charges de résonance, correspondant aux trois bandes du groupe#1.

Le signal en conversion basses fréquences est appliqué à un filtre (Sallen and Key - SK) de quatrième ordre, et un étage filtre passe-bas de premier ordre. Une gamme de 60 dB de gain en conversion est assurée par le front-end; 16 dB de gain dans le LNA, 30 dB à la sortie des mélangeurs, et 14 dB dans le filtrage en bande de base.

En plus des exigences typiques, le LNA dans un système UWB doit fournir une adaptation d'impédance à l'entrée, un transfert en larges bandes, ainsi qu'un gain en commutation de 16 dB au minimum.

Le schématique du CMOS UWB LNA pour les 3 bandes du mode #1, adopté dans cette architecture est représenté dans la figure 2.1. Un étage à grille commune fournit une résistance d'entrée de 50 ohms, complétée par une large inductance de (20-nH) en résonance avec le transistor et les capacités du circuit, produisant un niveau adéquat de perte de puissance en réflexion tout le long de la gamme de fréquences d'intérêt.

La résistance drain-source (R_{ds}) du transistor M_6 varie avec le processus et la température, mais le circuit de correction introduit pourrait garantir, en toutes circonstances, un coefficient de transfert d'énergie à l'entrée $|S_{11}| > 10$ dB. Les transistors M_3 à M_5 servent en tant qu'étage de commutation, alors que les circuits LC (*LC Tanks*) produisent une résonance à la fréquence centrale de chaque bande.

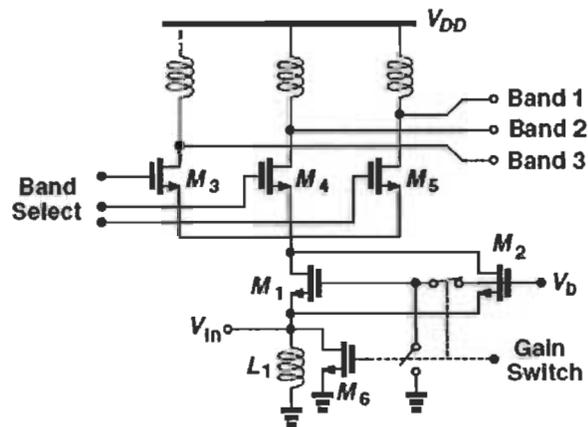


Figure 2.1: Un LNA en structure base commune pour le mode #1 d'un système UWB tiré de [RAZ05].

Les mélangeurs doivent fournir un gain variable d'environ 30 dB. Ce gain de commutation offre une large bande passante à la sortie (>300 MHz), une linéarité élevée, et une impédance de sortie constante (élément critique dans la conception des filtres des étages subséquents). Tan disque le niveau de tension en mode commun du port d'oscillateur local (*Local Oscillator* - LO), est défini de manière à pouvoir utiliser environ, la moitié du courant de polarisation du transconducteur M_1 uniquement.

Toutefois, les performances du front-end en matière de linéarité, figure de bruit, et consommation d'énergie n'étaient pas détaillées dans cette proposition.

La sélectivité du circuit par rapport au système WLAN et les autres groupes UWB adjacents, n'a pas été introduit non plus. D'autant plus, qu'une implémentation en circuit intégré d'une inductance aussi large que (20nH) reste très problématique.

B. Récepteur UWB sélectif

Dans ce type d'architectures, le problème du rejet des signaux d'interférences dans un front-end, opérant dans la gamme de fréquences UWB 3.1-8GHz est adressé. La technologie retenue est une technologie CMOS, afin d'augmenter le niveau d'intégration tout en réduisant les coûts. Les dispositifs fonctionnant dans le mode-1 (Groupe #1), principalement les LNAs, pouvaient aisément s'appuyer sur une atténuation outre bandes. Cette atténuation est prévue par le pré-filtrage couvrant plusieurs groupes UWB, pour éviter une éventuelle désensibilisation et intermodulation nuisible.

Par contre, le front-end sélectif proposé dans [CUS06] emploie une architecture à séquences directes, composée d'un LNA avec feedback résonance multiple, et mélangeur en quadrature. Le dispositif est destiné à couvrir les groupes# 1 et # 3, tout en filtrant les signaux du groupe# 2.

Le LNA s'appuie sur une topologie à feedback tension-tension très linéaire, où le circuit de charge à réseau LC modélise simultanément, l'impédance d'entrée et la fonction de transfert en fréquences du LNA. Cette modélisation est produite tout en atténuant les signaux des systèmes WLAN adjacents (*IEEE802.11a, HiperLAN / 2*), situés entre 5-6GHz, ainsi que les autres interférences outre bandes.

Un filtre passe-bas de second-ordre est aussi introduit en tant que charge, à la sortie du mélangeur, pour atténuer encore les signaux d'interférences, et réduire la gamme dynamique (*Dynamic Range*) requise dans les structures subséquentes en bande de base.

La conception du LNA dans cette architecture introduit une approche différente des LNAs, conçus pour couvrir une largeur de bande spécifique, à savoir, l'exploitation sélective des différents groupes de largeurs de bandes.

En fait, une réponse plate en fréquences (*Flat Frequency Response*) amplifie les signaux d'interférences de la bande 5-6GHz (WLAN), exactement de la même manière que le signal UWB. Le signal UWB WLAN transmis pourrait donc grandement désensibiliser le récepteur UWB, en considérant que les deux systèmes d'émetteurs-récepteurs pourraient éventuellement, se trouver simultanément dans un même environnement; Par exemple, être pris en charge par le même ordinateur portable.

Par contre, un LNA en multi-bandes permet de produire un gain sélectif, dans des régions de fréquences différentes.

La solution proposée par [CUS06], (Fig. 2.2), emploie une structure d'amplification à grille commune, avec un feedback capacitive tension-tension munie d'un réseau des charges multi-bandes.

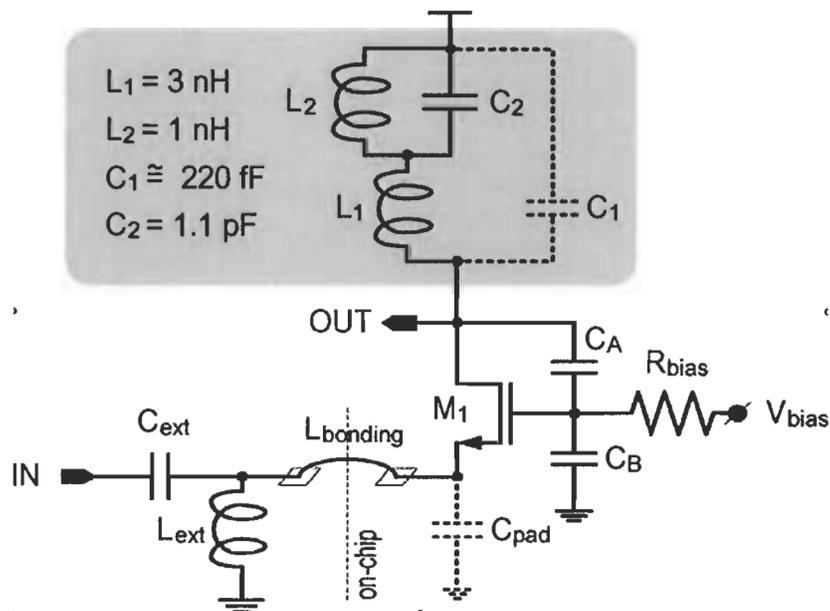


Figure 2.2: Architecture d'un LNA en structure grille commune pour un front-end sélective UWB tiré de [CUS06].

À partir des résultats de simulations, le LNA produit 16 dB de gain en conversion maximum, et une valeur de la figure de bruit minimale de 4.1 dB, même avec un courant de polarisation de 5 mA. Un faible gain en conversion du LNA signifierait une faible immunité au bruit du signal reçu. En termes de linéarité, la fonction de transfert du LNA a été évaluée en présence d'un signal d'interférence à 5.5 GHz, émulant un signal d'interférence UWB WLAN.

Le gain simulé avec un signal d'interférence à l'entrée, produit un point de désensibilisation en gain à 1 dB, à partir d'un niveau de puissance de -1,5 dBm du signal d'interférence. Tandis que le point de compression à 1 dB est atteint pour 1.5 dBm de puissance du signal d'entrée.

Ainsi, le choix d'une structure d'amplification avec un étage d'entrée en grille commune, ou mieux encore, une solution en boucle fermée, permet d'atteindre une meilleure linéarité comparativement à une topologie à base commune classique, et une dégénération inductive, comme ça sera détaillé dans les chapitres suivants.

Quant au mélangeur choisi pour cette architecture, il s'agit d'un mélangeur avec un seul transducteur, qui injecte le signal (*Radio Frequency - RF*), dans deux paires de commutations en quadrature à simple balancement (*Single Balanced*). Un circuit de résonance parallèle centré à 5-GHz optimise la bande passante du gain en courant. Cette amélioration du gain est particulièrement importante, compte tenu de la contribution non négligeable des paires de commutations, à la valeur de la figure de bruit totale du front-end, surtout pour les bandes fréquences élevées.

Bien que cette architecture ait pu traiter la problématique de la sélectivité dans la conception d'un front-end UWB, la valeur relativement modeste du gain en conversion, et le niveau relativement élevé de la figure du bruit réalisé, par le LNA adopté dans cette architecture, constituent des sérieuses lacunes dans cette conception qu'il faudrait impérativement les améliorer.

C. Implémentation

Une implémentation intégrale sur silicium d'un émetteur-récepteur UWB a été introduite, par le groupe de recherche du (*Massachusetts Institut Of Technology - MIT*), en utilisant une technologie CMOS 0.18 μm . Cette plateforme numérique qui repose sur une surface globale de 4.3 mm \times 2.9 mm, reste pour nous le meilleur exemple pris comme référence dans nos travaux de recherches [BLA05].

Comme le montre la figure 2.3, cette architecture constituée, en plus du front-end classique, d'un (*Flash ADC*), circuits de parallélisation et synchronisation nécessaires, ainsi que les circuits de convolution pour l'élimination des interférences inter-symboles.

Il faut noter toute fois que, dans cette architecture de front-end adoptée, le signal d'entrée n'est pas converti en basse fréquences, avant de subir une conversion analogique/numérique. Par conséquent, le (*Flash ADC*) introduit dans le circuit est constitué de 4 CANs entrelacés dans le temps, précédés par 4-chemins de parallélisation initiale du signal. La synchronisation est entièrement exécutée par le bloc numérique.

La conversion analogique/numérique nécessite des taux d'échantillonnage de 500 Mcps (*Mega chips per second*) au minimum. La spécification de la résolution du convertisseur de données détermine, non seulement le niveau de sa dissipation de puissance, mais aussi celle de tout le bloc numérique.

Une conversion analogique/numérique en 1-bit dans un régime de bruit limité, et un CAN de 4-bit dans un régime de réception bruité en bandes étroites, était toutefois nécessaire pour cette architecture [BLA05].

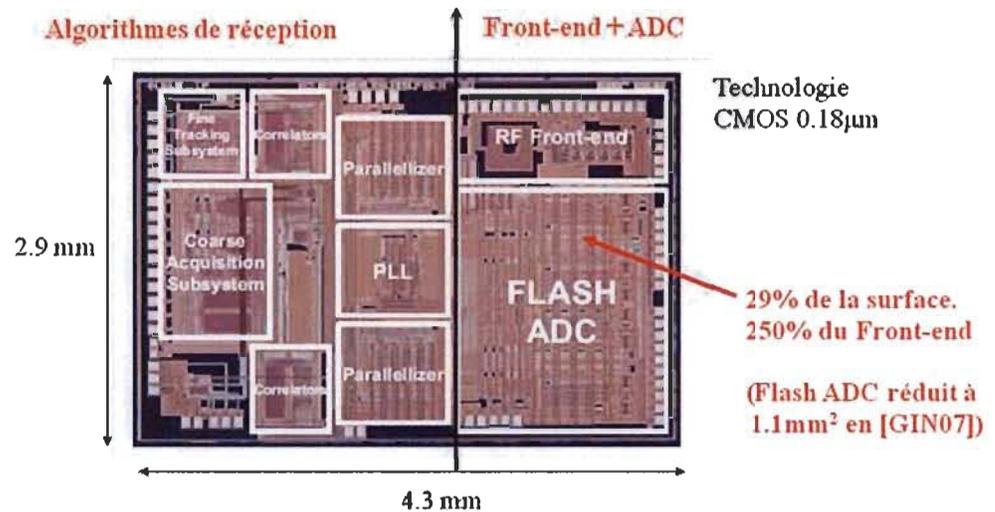


Figure 2.3: Exemple d'une implémentation d'un émetteur-récepteur UWB tiré de [BLA05].

Le front-end utilise une architecture de conversion à séquences directes [RAZ07], où le signal d'entrée est composé d'une séquence d'impulsions de 500 MHz de bandes passantes. Ces séquences sont ensuite converties à l'un des 14 canaux (Sous-bandes), de la bande de fréquence comprise entre 3.1-10.6 GHz, pour un débit de transmission de 100 Mbps. La surface occupée par les CANs représente déjà 29% de la surface globale d'implémentation et 250% de la surface du front-end (Fig. 2.3). À noter que Ginsburg et Chandrakasan ont proposé une version du CAN réduite à 1.1 mm^2 [GIN07], ce dernier design nous servira de référence. Au CAN, il faut ajouter les circuits de parallélisation et convolution nécessaires, ainsi que toute la consommation en puissance que pourrait engendrer une architecture de cette dimension (non précisée par l'auteur), Pour les appareils de télécommunications modernes, la miniaturisation et la durée de la batterie restent essentielles pour leur commercialisation, d'où l'intérêt d'une nouvelle

architecture de réception pour les systèmes UWB, qui réduit le recours à une surface ou niveau consommation de puissance relativement élevé.

2.2 Projection Dans un espace orthogonal fréquentiel

Le récepteur à bandes ultralarges en transformation du domaine [HOY07] est un nouveau récepteur UWB, introduisant une nouvelle approche, qui utilise la méthode d'expansion analogique du signal d'entrée, par le biais d'une base de fonctions analogiques. Cette expansion sera suivie par l'échantillonnage en parallèle des coefficients produits par cette base [HOY04]. Cette nouvelle approche vise à mieux faire face aux nombreux défis d'implémentation, notamment l'atteinte de performances significatives en terme de plages dynamiques pour le front-end, soutenir la valeur du gain en transformation nécessaire pour une réception fiable, en plus du rejet des grandes interférences à bandes étroites (*NarrowBand Interferences* – NBI). Ceci sans oublier, l'importance de pouvoir surmonter les distorsions induites par le canal de communication.

Cette méthode permet le traitement numérique en parallèle du signal d'entrée, et conduit ainsi à une réduction de la complexité d'implémentation, tout en continuant à réaliser une performance très proche du taux Nyquist des récepteurs numériques. Cette performance est maintenue même lors d'utilisation d'un échantillonnage en bas du taux de Nyquist, sans perte significative en termes du BER (*Bit Error Rate*), si l'erreur de troncature serait négligeable par rapport au niveau du bruit additionnel. La dégradation du SNR (*Signal To Noise Ratio*) induite pourrait être atténuée, par l'introduction du décodeur dans le système de communication [HOY07].

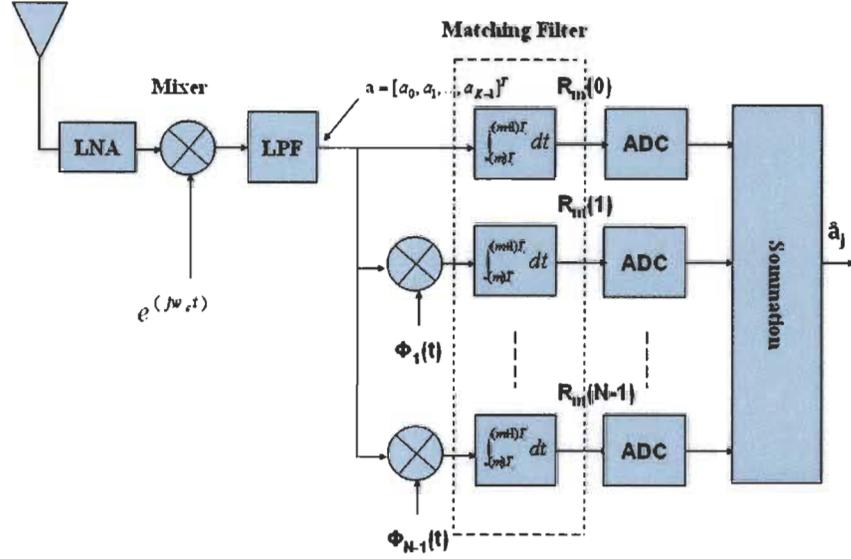


Figure 2.4: Architecture en transformation du domaine d'un récepteur UWB [HOY07].

Comme le montre la figure 2.4, lors d'une réception selon l'architecture proposée par Hoyos et Sadler [HOY07], le signal reçu $r(t)$ est échantillonné à chaque période de durée T_c en N échantillons, obtenus par la projection sur une base orthogonale $\Phi_n(t)|_{n=0}^{N-1}$. Les coefficients $R_{m,n} |_{m=0}^{M-1} |_{n=0}^{N-1}$ peuvent alors s'écrire sous forme d'équation :

$$R_{m,n} = \int_0^{T_c} r(t + mT_c) \Phi_n^*(t) dt. \quad (1)$$

Dans le but d'estimer le bit transmis a_i à partir des coefficients obtenus des CANs, on commence par exprimer la structure du récepteur, en tant que problème de filtrage, dans le même domaine de transformation et expansion de $r(t)$. Dans le but d'obtenir une expression vectorielle du modèle du récepteur, on regroupe les échantillons obtenus en (1) dans un vecteur \mathbf{r} de dimension $L \times 1$, décrit comme :

$$\mathbf{r} = [r_0, r_1, \dots, r_l, \dots, r_{L-1}]^T, \quad (2)$$

Avec $L = MN$, et $r_l = R_{m,n}$ ($l = 0, 1, 2, \dots, L-1$), en assumant que durant une période d'échantillonnage T , le signal reçu $r(t)$ contient K éléments notés $\mathbf{a} = [a_0, a_1, \dots, a_{K-1}]^T$. Une estimation de a_i est ainsi obtenue, à travers une matrice \mathbf{H} de dimension $K \times L$ du récepteur:

$$\hat{\mathbf{a}} = \mathbf{H}\mathbf{r}. \quad (3)$$

D'autre part, la projection et l'expansion du signal reçu, dans un espace orthogonal fréquentiel nous permettent d'écrire :

$$\mathbf{r} = \mathbf{G}\mathbf{a} + \mathbf{z}, \quad (4)$$

Où \mathbf{G} est une matrice de dimension $L \times K$ qui modélise toutes les transformations linéaires du signal d'entrée, et \mathbf{z} représente le vecteur de bruit de dimension $L \times 1$.

La détermination de la matrice \mathbf{H} passe ainsi par la résolution du problème linéaire, auquel trois types de solutions peuvent lui être associées [HOY07]:

1. Méthode de l'erreur quadratique minimale (*Minimum Mean Square Error* – MMSE) exprimée par l'équation suivante :

$$\mathbf{H}_{MMSE} = \sum_a \mathbf{G}^H (\mathbf{G} \sum_a \mathbf{G}^H + \mathbf{z})^{-1}. \quad (5)$$

2. Méthode des moindres carrés (LS – *Least Square*):

$$\mathbf{H}_{LS} = \begin{cases} (\mathbf{G}^H \mathbf{G})^{-1} \mathbf{G} & \text{si } L > K \\ \mathbf{G}^{-1} & \text{si } L = K \\ \mathbf{G}^H (\mathbf{G} \mathbf{G}^H)^{-1} & \text{si } L < K \end{cases} \quad (6)$$

3. Méthode du filtre assorti (*Matched-Filter*) :

$$\mathbf{H}_{MF} = \mathbf{G}^H, \quad (7)$$

Où \mathbf{G}^H représente la matrice transposée conjuguée de \mathbf{G} .

Selon les travaux de Hoyos et Sadler [HOY07], les résultats montrent comme on le verra au cours de ce chapitre, que pour une solution sous optimale, la solution à filtres assortis (*Matched-Filter*) présente des performances acceptables pour un système codé (introduction d'un algorithme de codage/décodage à l'émission et réception du signal d'information respectivement). Il faut noter que la formulation linéaire en (4) inclue implicitement les interférences inter-symboles du signal reçu $r(t)$. Par conséquent, la matrice \mathbf{H} a aussi le rôle d'assurer à la fois, la détection et l'égalisation du signal reçu.

La dimension N de cette matrice représente une valeur de compromis, entre un niveau de distorsion, et une complexité d'implémentation acceptable, étant donné que cette valeur détermine la dimension de l'espace orthogonal pour l'expansion du signal.

Le projet consiste à implémenter en domaine fréquentiel, avec des circuits analogiques, un algorithme de réception et élimination des interférences inter-symboles (*Inter-Symbol Interference* – ISI), pour un récepteur à bandes ultralarges, comme alternative des architectures qui ont été proposées jusqu'à date [CHE06].

La parallélisation du récepteur en domaine fréquentiel pourrait être exploitée, pour ajouter de la robustesse vis-à-vis des signaux d'interférences des canaux adjacents. Ce qui pourrait être particulièrement bénéfique pour les récepteurs WLAN, qui occupent la bande de fréquences comprises entre 5-6GHz du standard des systèmes UWB [REV02].

Pour un système WLAN, les nœuds de connexions avoisinantes restent très proches les uns aux autres, produisant des niveaux d'interférences relativement élevés, par rapport à un système de communications sans fil classique.

Dans ce cas, une réception en transformation du domaine contraste avec, les architectures conventionnelles de détection et égalisation du signal UWB, très couteuse en termes de puissance et surface d'implémentation [BLA05] [CHE06].

La différence fondamentale entre le front-end d'un récepteur en transformation du domaine, et un récepteur en architecture conventionnelle réside dans le processus d'échantillonnage du signal d'entrée. L'étalement du spectre du signal d'entrée introduit par l'échantillonnage dans le domaine temporel, produit le chevauchement fréquentiel classique. Par conséquent, le signal d'interférence du canal adjacent pourrait ainsi s'introduire dans la bande de fréquence d'intérêt, en compromettant sérieusement la représentation discrète du signal, si la sélectivité du front-end d'un récepteur conventionnel n'arrivait pas assurer une atténuation adéquate.

Étant donné que le récepteur en transformation du domaine procède N chemins parallèles, le taux d'échantillonnage de chaque chemin serait donc N fois plus faible du taux de Nyquist, alors que le taux de Nyquist est le taux de conversion minimal avec un CAN en domaine temporel. Les simulations [HOY07] ont montré que $N = 4$ représente le meilleur compromis entre performances en matière de conversion analogique/numérique, et complexité de mise en œuvre, étant donné que comme on va le voir ultérieurement que, chaque valeur supplémentaire de N se traduit automatiquement par une ligne supplémentaire de convolution.

Par conséquent, avec le manque de sélectivité en domaine fréquentiel du front-end d'un récepteur classique, l'atténuation nécessaire des signaux en bandes de fréquences adjacentes reste sérieusement compromise.

Cette faiblesse permettrait inévitablement au reste des interférences inconnues, et indésirables des canaux adjacents, de se repositionner dans la bande du signal d'intérêt. Ainsi, en utilisant le principe d'orthogonalité dans le domaine des fréquences, un récepteur en transformation du domaine pourrait sélectionner les signaux avec une grande précision, même en présence de fortes interférences adjacentes.

Malheureusement, il y a des limites pratiques à cette solution, dû premièrement au nombre limité d'échantillons en fréquences qui pourraient être pris en considération, en raison de la complexité de la banque de mélangeurs et intégrateurs parallèles nécessaires. Cette limitation nous oblige à effectuer un échantillonnage en fréquence, sur de courtes fenêtres temporelles, ce qui à son tour, produit de l'expansion de la bande passante en raison de la convolution dans le domaine fréquentiel. Cette extension fréquentielle implique un chevauchement (*aliasing*) dans le domaine des fréquences, c'est-à-dire, une perte d'orthogonalité.

La perte d'orthogonalité va produire un chevauchement destructif entre à la fois, les signaux d'interférences des bandes adjacentes, et celles de la bande de fréquences d'intérêt avec le signal d'intérêt.

Bien qu'une structure multi-chemin d'un récepteur en transformation du domaine ait été proposée dans [PRA08], toutefois, le présent sujet de recherche vise à proposer une approche sélective d'une architecture à séquences directes [RAZ97] du front-end d'un récepteur UWB WLAN.

Cette proposition serait basée sur une nouvelle méthode de conception en multi-bloc d'un amplificateur de faible bruit LNA. Cette méthode représente la solution pour produire de bonnes performances du LNA en matière de gain en conversion, figure de bruit, et consommation de puissance, tout en minimisant l'effet de la perte d'orthogonalité du récepteur en transformation du domaine. Cette perte d'orthogonalité intervient principalement au cours de l'expansion sur une base analogique du signal d'entrée, avant la conversion analogique/numérique en domaine fréquentiel du signal en bande de base.

2.3 Comparaison des niveaux de distorsion et gain en conversion entre les deux architectures

Dans cette annexe, une comparaison entre le niveau de distorsion du signal d'entrée, et le gain de conversion produit par à la fois, un récepteur UWB conventionnel, et un autre en transformation du domaine est adressée.

Dans la figure 2.5, on pourrait noter que pour un débit de transmission des données ($R \leq 5$), il faudrait une conversion analogique/numérique en domaine fréquentiel de dimension 7 minimum, pour réaliser un meilleur niveau de distorsion du signal à convertir. D'autres parts, la figure 2.6 de son côté nous indiquent que, pour un nombre d'échantillons $N \geq 7$, le gain en conversion analogique/numérique en domaine fréquentiel n'est assuré que pour un $R \leq 5$.

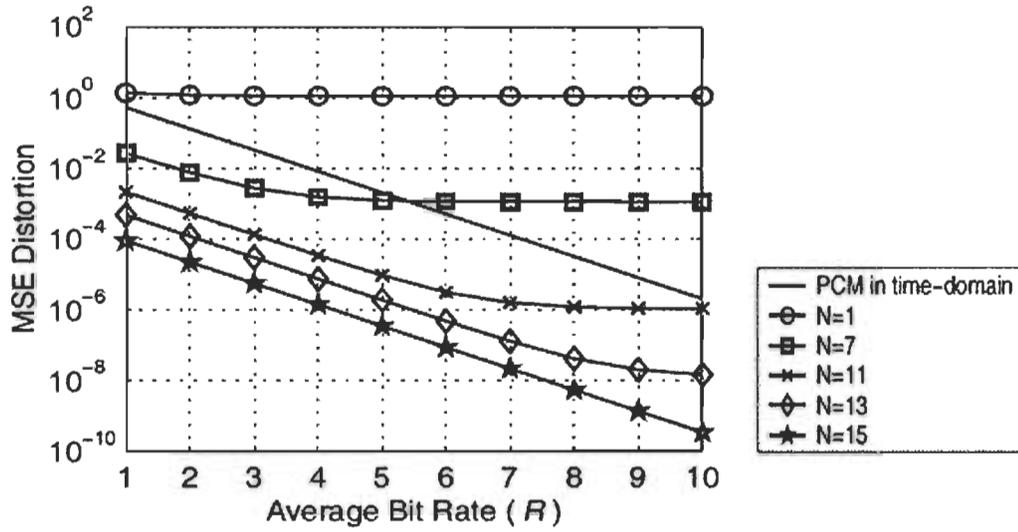


Figure 2.5 : Distorsion du signal après conversion analogique numérique dans le domaine temporel et fréquentiel tiré de [HOY07].

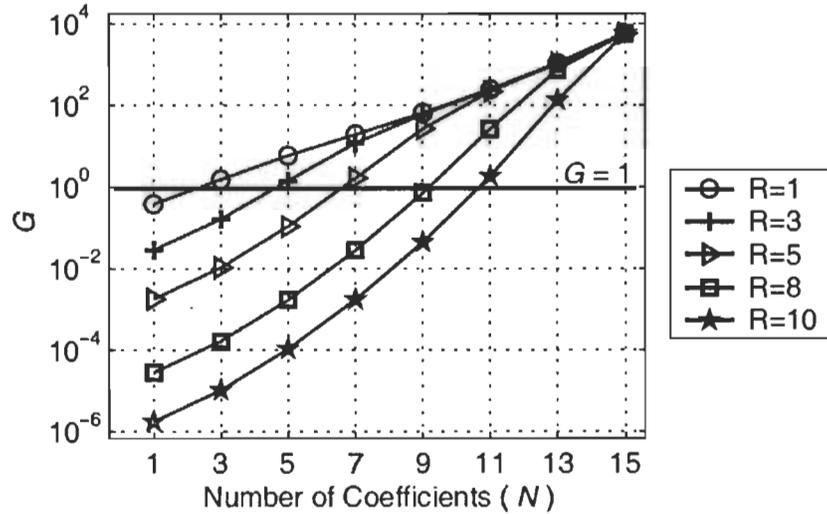


Figure 2.6 : Le gain en conversion en fonction du nombre de coefficients N dans le cas d'une conversion analogique-numérique dans le domaine fréquentiel tiré de [HOY07].

2.4 Le choix de la dimension N dans le récepteur en transformation du domaine

Cette section est dédiée à la mesure de l'influence de la dimension de la base d'expansion du signal en bande de base N , avant conversion en domaine fréquentiel.

On pourrait remarque dans la figure 2.7 qu'à partir de $N = 5$, la réduction du niveau de bruit de la conversion n'est plus significative. Par contre, avec une dimension $N = 4$ on perd approximativement 1 dB de ce niveau de réduction, ce qui suggère que cette dimension reste apriori la mieux indiquée pour un compromis entre réduction du niveau de bruit, et complexité d'implémentation. Par contre, la figure 2.8 montre qu'avec une transmission monobit codée, un récepteur UWB en transformation du domaine avec une base d'expansion de dimension $N = 4$, reste plus performant qu'un récepteur UWB conventionnel, d'où le choix de $N = 4$ comme meilleur compromis entre performances et niveau de complexité dans l'implémentation.

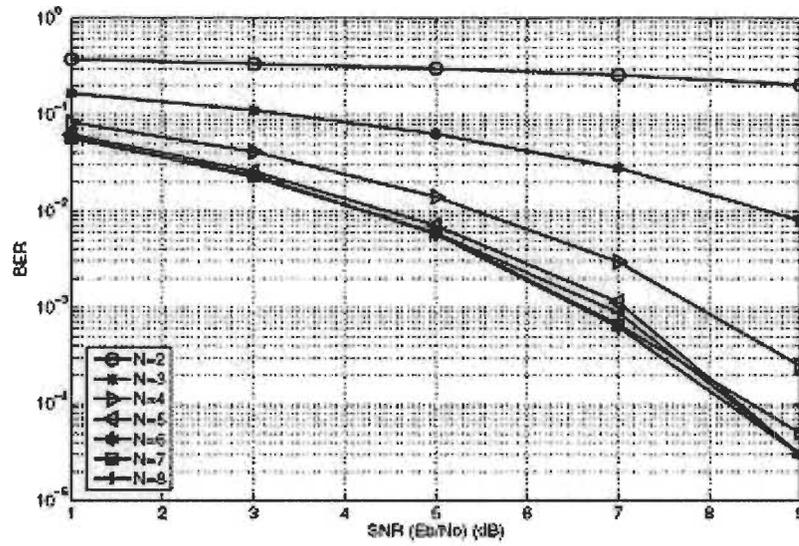


Figure 2.7 : Le (BER) d'une expansion du signal dans le domaine fréquentiel en fonction du nombre de coefficients N de la base d'expansion tiré de [HOY07].

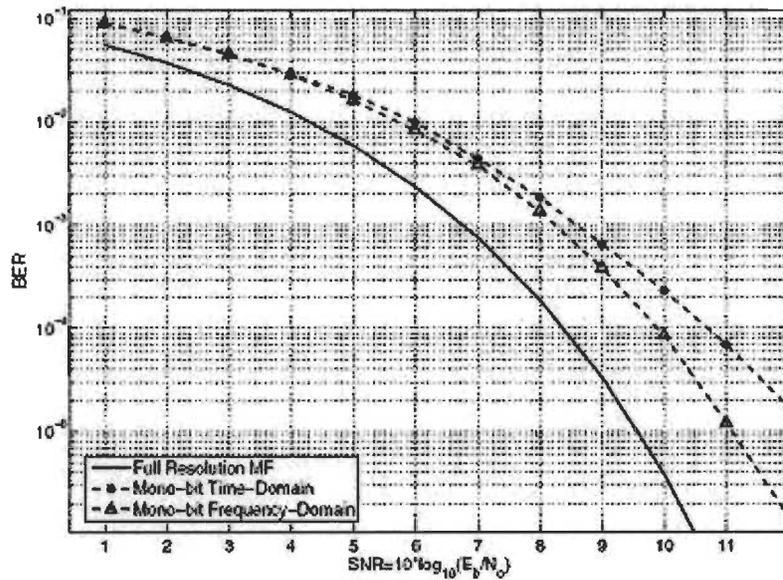


Figure 2.8 : Comparaison entre une architecture en domaine fréquentiel et une architecture en domaine temporel tiré de [HOY07].

3.



FRONT-END EN DOMAINE TEMPOREL

Le front-end est le circuit qui réalise la réception et le conditionnement du signal reçu dans le domaine temporel. Cette partie du processus de réception est nécessaire avant de procéder à une conversion analogique/numérique en domaine fréquentiel. Le récepteur UWB en transformation du domaine, qui reste l'objectif du travail de recherche, est le résultat de la jonction adéquate de ces deux parties. Une architecture de récepteur à conversion directe est l'approche naturelle pour convertir un signal RF, en signal en bande de base [RAZ97]. Les décalages en tension (*DC Offsets*), statiques ou variant dans le temps, peuvent facilement être éliminés par l'adoption d'un système de conversion directe, basé sur une modulation par division orthogonale de fréquences (OFDM). Selon cette architecture, la sous porteuse proche de l'origine ne serait pas utilisée, d'autant plus que l'utilisation d'une large bande passante minimise l'influence du bruit de basses fréquences.

La conception des différents éléments et les résultats de la première étape sont présentés ci-dessous.

3.1 Amplificateur à faible bruit (LNA)

Le premier étage constituant un récepteur UWB, ou un récepteur de tout autre standard ou système de communication sans fil, est généralement un amplificateur à faible bruit LNA, dont la fonction principale est de fournir suffisamment de gain pour surmonter le bruit des étages ultérieurs (par exemple, dans le mélangeur). En plus de fournir suffisamment de gain tout en ajoutant le minimum bruit possible, un LNA devrait pouvoir traiter des signaux larges bandes sans distorsion, offrir une large gamme dynamique, et présenter une bonne adéquation à son entrée et sortie (*Input, Output Matching*).

Cette adéquation est extrêmement importante notamment, notamment si un filtre à sélection de bandes (*Band Select Filter*), et filtre de rejet d'image (*Image-Reject Filter*) précède et succède le LNA successivement. D'autant plus que, les caractéristiques de transfert de plusieurs modèles de filtres sont assez sensibles à la qualité de la terminaison.

L'amplificateur à faible bruit LNA doit produire une adaptation d'impédance à l'entrée, un transfert à larges bandes, ainsi qu'un gain en commutation entre 16-20 dB minimum. Le gain en commutation produit par le LNA a pour objectif d'éviter une non-linéarité excessive, des signaux en modulation par division orthogonale de fréquence (OFDM) (due au mélangeur et les étages subséquents). Ceci sans perdre de vue que le niveau du signal reçu excède le niveau de puissance de -40 dBm.

Plusieurs propositions ont été introduites pour la conception des UWB LNAs, selon l'architecture de réception classique [PAR05], [YU07], [SHA06] [YO07]. L'excellente

linéarité, sélectivité et adaptation d'impédance des LNAs à grille commune [CUS06], par rapport à celles à base commune, est due notamment à sa faible impédance d'entrée.

L'adaptation d'impédance et figure de bruit NF constituent par contre, une sérieuse problématique à résoudre pour les LNAs à base commune [BEL06] [ASG07]. Un gain petit signal modéré et valeur relativement élevée du figure de bruit NF, constituent un sérieux handicap pour leur utilisation systématique.

Dans un circuit d'amplification, le réseau de feedback placé autour d'un réseau d'amplification directe (*Feedforward Amplifier*), est toujours considéré comme un circuit à deux ports, qui détecte ou produit une tension ou un courant. Selon la théorie des circuits analogiques simples, les réseaux linéaires (Invariants) à deux ports (*Two-ports Network*), peuvent être représentés selon quatre différents modèles [RAZ06].

Le modèle Z (*Z Model*) consiste en un réseau à deux ports, avec des impédances d'entrée et sortie en série avec une source de tension dépendante en courant.

Pour le modèle Y (*Y Model*), c'est une représentation qui comprend des admittances en entrée et en sortie, en parallèle avec une source de courant dépendante en tension.

Quant aux deux modèles de représentation hybrides H et G, ils incluent une combinaison des impédances et admittances, avec des sources de courant et sources de tension. Chacun des quatre modèles est représenté par deux équations d'entrée sortie.

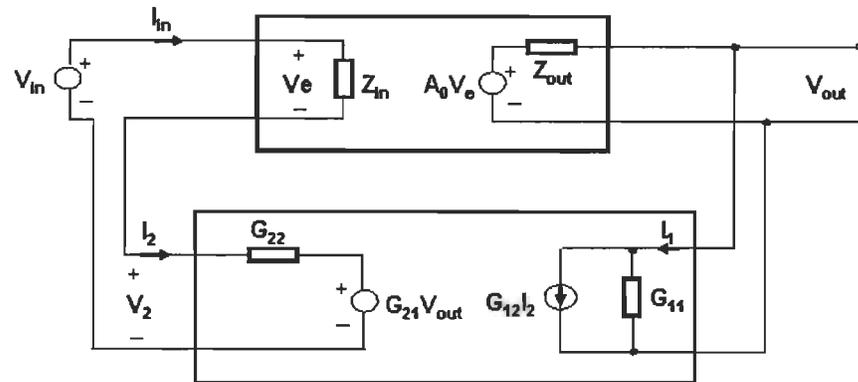


Figure 3.1: Représentation en modèle G d'un circuit d'amplification avec feedback tension-tension.

La figure 3.1 présente une représentation en modèle G , d'un circuit d'amplification avec feedback tension-tension avec deux sources dépendantes dans le circuit de feedback: $G_{12}I_2$ et $G_{21}V_{out}$. Le courant $G_{12}I_2$ débite à travers la combinaison parallèle entre Z_{out} et G_{11} , pour contribuer à la tension de sortie. Cependant, si le gain en amplification en boucle ouverte du circuit; A_0 , serait relativement élevé, le signal amplifié par A_0 serait par conséquent plus élevé que la contribution $G_{12}I_2$. En d'autres termes, le gain en boucle ouverte de l'amplificateur 's'impose' par rapport au gain inverse produit par le circuit de feedback. Étant donné que cette condition reste valable pour la plus part des circuits d'amplification linéaire, on pourrait alors négliger la contribution de $G_{12}I_2$. Une analyse du circuit de la figure 3.1 montre que, si $G_{12} \ll A_0 Z_{in} / Z_{out}$, alors la boucle de transmission inverse à travers le circuit de feedback serait négligeable. On aura en conséquence:

$$\begin{aligned} I_1 &= G_{11}V_1 + G_{12}I_2 \\ V_2 &= G_{21}V_{out} + G_{22}I_2 \end{aligned} \quad (8)$$

On s'attend bien sûr, à ce que Z_{in} et Z_{out} jouent un important rôle dans le circuit. Si Z_{in} est faible, la division de tension entre Z_{in} et G_{22} vont réduire le signal dans le circuit d'amplification directe. De la même manière, si la valeur de Z_{out} est élevée, alors la division de tension entre Z_{out} et G_{11} réduit la contribution de $A_0 V_e$ à la sortie.

. L'équation (9) montre le gain en boucle fermée du circuit.

$$\frac{V_{out}}{V_{in}} = \frac{A_0 \frac{Z_{in}}{Z_{in} + G_{22}} \frac{G_{11}^{-1}}{G_{11}^{-1} + Z_{out}}}{1 + \frac{Z_{in}}{Z_{in} + G_{22}} \frac{G_{11}^{-1}}{G_{11}^{-1} + Z_{out}} G_{21} A_0} \quad (9)$$

On note que cette équation suggère qu'un feedback tension-tension idéal, devrait avoir une impédance d'entrée et de sortie infinie. Ce qui justifie en partie, le gain petit signal limité à 16 dB seulement, du circuit proposé en [CUS06]. Cela se traduit par l'équation suivante :

$$G_{11}^{-1} = \infty, G_{22} = 0 \Rightarrow A_{v,fermé} = \frac{A_0}{(1 + k.A_0)} \quad (10)$$

Étant donné qu'un feedback tension-tension reste la solution idéale, pour une meilleure exploitation de l'excellente linéarité du LNA à grille commune, un amplificateur à faible bruit LNA avec un feedback tension-tension dynamique est proposé en (Fig. 3.2). Premiers objectifs, l'amélioration du gain et la réduction du NF du circuit proposé dans [CUS06]. Cette proposition permettrait une meilleure exploitation des avantages de sélectivité d'un LNA à grille commune, pour une utilisation dans les systèmes UWB WLAN.

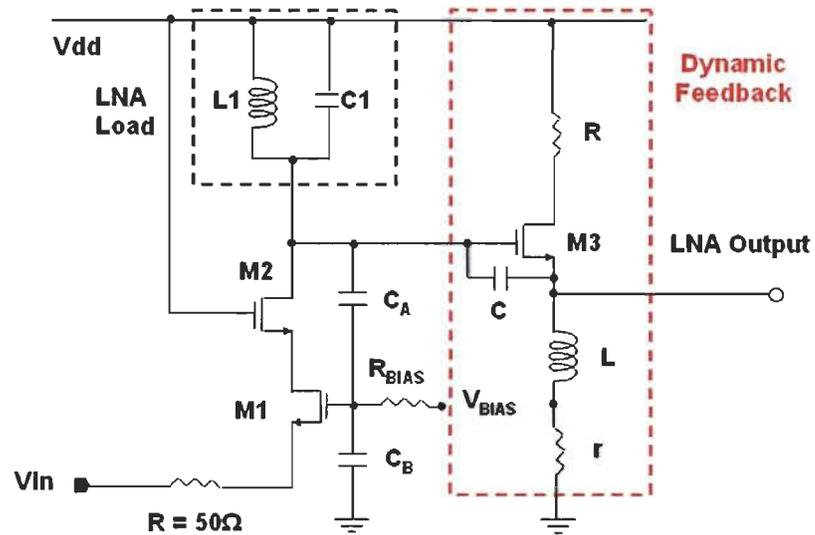


Figure 3.2: Amplificateur à faible bruit proposé avec un feedback dynamique pour UWB WLAN.

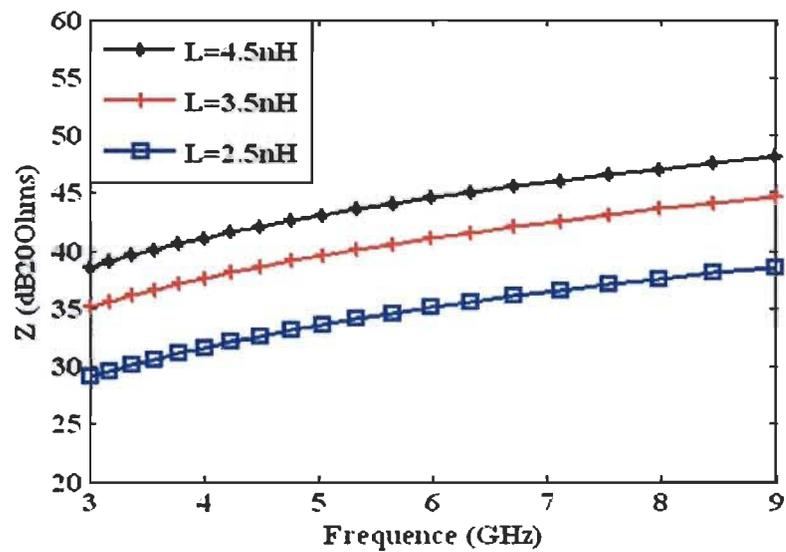


Figure 3.3: Impédance d'entrée du feedback dynamique.

L'impédance d'entrée croît proportionnellement avec la fréquence d'utilisation.

La sortie inductive du circuit feedback introduit un comportement inductif de son impédance d'entrée, tout le long du standard UWB (Fig. 3.3). En d'autres termes, la structure du LNA proposé avec feedback dynamique muni d'une sortie inductive, nous a permis de mieux 'Idéaliser' le circuit de feedback. L'impédance d'entrée du LNA est désormais une fonction croissante de la fréquence d'utilisation (Fig. 3.3), se rapprochant ainsi, de la structure de feedback idéale présentée par l'équation (10) ci-dessus.

Durant les sections suivantes, on va démontrer que cette structure nous permettrait d'atteindre de meilleures performances, tout en assurant la stabilité du CMOS LNA sur toute la bande de fréquences UWB.

3.1.1 ADAPTATION D'IMPÉDANCE

Un amplificateur à faible bruit est caractérisé par la matrice de diffusion suivante :

$$\begin{bmatrix} b_s \\ b_L \end{bmatrix} = \begin{bmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{bmatrix} \begin{bmatrix} a_s \\ a_L \end{bmatrix} \quad (11)$$

Où b_s et b_L représentent les ondes réfléchies à partir du LNA, et a_s et a_L les ondes réfléchies vers le LNA. Cette matrice de diffusion est normalisée par rapport à la valeur de la résistance, du port connecté à la source et la charge du LNA. Par conséquent, les coefficients de réflexion à la source et à la charge, Γ_s et Γ_L respectivement, sont tous les deux égaux à zéro.

À partir de la théorie des réseaux (*Network Theory*) [RAZ97], ces coefficients de réflexion sont donnés par les équations suivantes :

$$\Gamma_{in} = S_{11} + \frac{S_{21}S_{12}\Gamma_L}{1 - S_{22}\Gamma_L} \quad (12)$$

Et

$$\Gamma_{Out} = S_{22} + \frac{S_{12}S_{21}\Gamma_s}{1 - S_{11}\Gamma_s} \quad (13)$$

Ce qui nous conduit à écrire tout simplement :

$$\Gamma_{in} = S_{11} \quad (14)$$

Et

$$\Gamma_{Out} = S_{22} \quad (15)$$

Le principal défi dans la conception d'un LNA réside dans la réussite d'une adéquation du réseau (*Matching Network*), de manière à rendre les valeurs de Γ_{in} et Γ_{Out} les plus proches possible du zéro, traduisant une parfaite adaptation d'impédance à l'entrée et à la sortie du LNA.

Une des propriétés intéressantes de notre circuit (Fig. 3.2) réside dans le fait que, son impédance d'entrée dépend entièrement de la fonction de transfert en fréquences de la boucle du circuit. L'idée est alors de pouvoir procéder à la synthèse d'une charge de résonance, capable à la fois de modéliser la fonction de transfert en fréquence, et l'impédance l'entrée du circuit.

Par simple inspection du circuit en question, et étant donné la contribution marginale en gain larges bandes du montage suiveur (*Source Follower*), l'impédance d'entrée $Z_{in}(j\omega)$ et la fonction de transfert en fréquences $T(j\omega)$ du circuit sont alors données par:

$$Z_{in}(j\omega) = 1/g_m + \alpha.Z_{Load}(j\omega) \quad (16)$$

$$T(j\omega) = \frac{Z_{Load}(j\omega)}{Z_{in}(j\omega)} \quad (17)$$

Où le $g_m = g_{m1} // g_{m2}$ représente le gain en transconductance équivalent, introduit par les transistors M_1 et M_2 , α le facteur de rétroaction, et Z_{Load} l'impédance de la charge. De (16), l'impédance d'entrée à la même fréquence que celle de l'impédance de charge. α est choisi de manière à ce que $(1/g_m) + \alpha.R_p = R_s$, R_p étant la résistance de charge à la résonance.

Ainsi, le LNA est facilement adapté à la résistance de la source R_s , selon la bande de fréquences d'intérêt. En outre, si l'impédance de charge présente intentionnellement, pour un besoin de filtrage, une série de résonances en larges bandes, l'impédance d'entrée de l'amplificateur serait ainsi inadaptée durant la fréquence de résonance. La réflexion de puissance due à cette inadaptation reste toutefois bénéfique, en contribuant à réduire le niveau du signal à la fréquence d'interférence.

L'impédance de charge Z_{Load} de l'amplificateur peut être ainsi conçue, pour filtrer les signaux d'interférences des bandes de fréquences comprises entre 3-5 GHz et 6-10GHz, tout en amplifiant les signaux UWB entre 5-6-GHz WLAN. Par conséquent, l'impédance d'entrée est adaptée à la source dans la bande UWB WLAN seulement (Fig. 3.4).

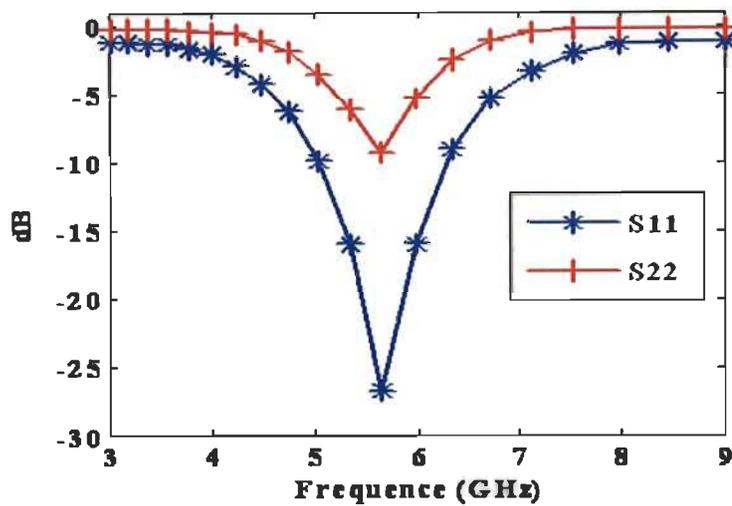


Figure 3.4: L'adaptation d'impédance du LNA proposé. Minimum S_{11} S_{22} atteint à 5.6GHz.

Le feedback dynamique doit aussi permettre de minimiser la valeur du NF, induite par un circuit feedback purement capacitif en [CUS06]. Les performances en gain petit signal (*Small Signal Gain*), stabilité, et figure de bruit du circuit proposé sont relatées ci-dessous.

3.1.2 GAIN D'AMPLIFICATION À FAIBLE BRUIT

Le LNA à feedback dynamique produit une amélioration en gain de conversion, due premièrement à sa structure composée générée par une conception en multi-blocs. Comme le montre la figure 3.5, le feedback dynamique introduit la composante B_0 , au gain en boucle ouverte, pour produire la résultante $A_0 B_0$, d'où l'appellation multi-blocs. La capacité C_2 représente le condensateur d'équivalence entre l'entrée et la sortie du circuit.

En deuxième lieu, la charge inductive du circuit de feedback permet, comme ça se sera détaillé ci-dessous, l'augmentation du gain en conversion du LNA.

Cette amélioration du gain est produite par la réduction de la structure du LNA, pour une certaine valeur de l'inductance de sortie L , à un simple circuit de deuxième ordre avec un zéro à l'origine. Le gain en petit signal est alors maximisé à l'intérieur de la bande de fréquences d'intérêt, comprise entre les deux pôles de ça réponse fréquentielle.

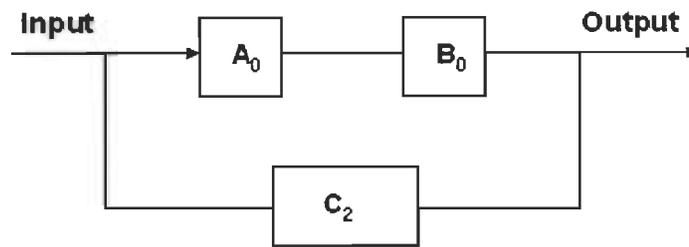


Figure 3.5: Diagramme block du LNA à feedback dynamique proposé.
Le gain en boucle ouverte est un gain composé $A_0 \cdot B_0$ (Conception en multi-blocs).

Dans le cas des systèmes de communication UWB WLAN, nous pouvons maximiser le gain petit signal, en remplaçant celles-ci dans la bande de fréquences comprises entre 5-6 GHz. Le circuit de polarisation assure un courant de 3.8mA au transistor M_1 , et le circuit de charge ($L_1 C_1$) centre initialement le gain petit signal en boucle ouverte sur la fréquence de 5 GHz, limite inférieure du système UWB WLAN. C_A symbolise le M_1 - M_3 grille à grille capacitance (~ 200 fF), et la capacitance C_B reste dans l'ordre de 700 fF.

Les deux pôles introduits par le feedback dynamique sont principalement tributaires, des valeurs des capacitances hautes fréquences du transistor M_3 du circuit de feedback [RAZ01]. Les équations (18) et (19) présentent la fonction de transfert haute fréquences pour amplificateurs en montage suiveur [RAZ06].

$$\frac{V_{Out}}{V_{In}} = \frac{1 + \frac{C_{GS3}S}{g_{m3}}}{(aS^2 + bS + 1)} \quad (18)$$

Ou:

$$\begin{cases} a = \frac{R_{S3}}{g_{m3}} (C_{GD3} \cdot C_{GS3} + C_{GD3} \cdot C_{SB3} + C_{GS3} \cdot C_{SB3}) \\ b = R_{S3} C_{GD3} + \frac{C_{GD3} + C_{SB3}}{g_{m3}} \end{cases} \quad (19)$$

Ces équations montrent que, par l'introduction de deux pôles additionnels, le LNA avec un feedback dynamique, reste susceptible de souffrir d'une instabilité chronique, sur toutes les bandes de fréquences UWB. Dans notre cas, nous devons au préalable étudier le modèle petit signal du circuit de feedback dynamique proposé, présenté par la figure 3.6.

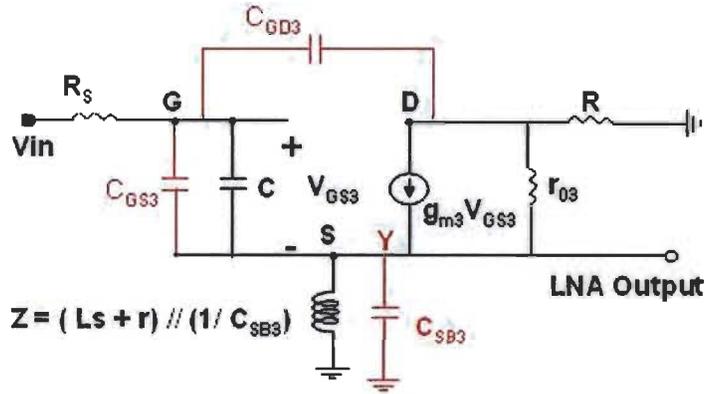


Figure 3.6: Modèle petit signal du feedback dynamique du LNA proposé.

Ainsi, la fonction de transfert du circuit de rétroaction peut être décrite comme :

$$\frac{V_{Out}(FB)}{V_{In}} = \frac{r_{03} \cdot Z_{out} \cdot (C_2 s + g_{m3})}{((R_s (C_2 + C_{GD3}) s + 1) \cdot (Z_{out} + R + r_{03}) + r_{03} \cdot Z_{out} \cdot (C_2 s + g_{m3}) \cdot (Z_{out} + R R_s C_{GD3} s))}$$

$$\text{Avec } \begin{cases} C_2 = C + C_{GB3} \\ Z_{out} = (Ls + r) // \left(\frac{1}{C_{BV3}} \right) \end{cases} \quad (20)$$

En conséquence, l'optimisation du gain en conversion du LNA est assurée par l'optimisation de la valeur de l'impédance Z , et du condensateur de couplage C conjointement. Le transistor M_1 du circuit du LNA est polarisé à 3.8 mA, alors que le circuit de charge (L_1C_1) nous permet en premier lieu, de centrer le gain petit signal sur la fréquence 5 GHz, limite inférieure de l'UWB WLAN. Les deux pôles introduits par le feedback dynamique dépendent en grandes parties aux capacités hautes fréquences du transistor M_3 [RAZ06]. D'autant plus, la sortie inductive L introduit un comportement inductif en hautes fréquences, à l'impédance d'entrée du circuit de feedback, ce qui a pour conséquences d'améliorer le gain petit signal du LNA aussi. Cette amélioration est rendu possible par la structure idéale d'un circuit d'amplification tension-tension, caractérisée par une impédance d'entrée infinie de son circuit de feedback [RAZ01].

Par conséquent, un gain relativement élevé du circuit de feedback dynamique, pourrait aussi réduire la valeur de la figure de bruit NF, induite par le circuit de réaction purement capacitif proposé par [CUS06]. Il est important de noter ici, la contribution marginale en boucle ouverte du circuit de feedback dynamique de l'amplificateur à faible bruit du réseau sans-fil UWB WLAN. Cette contribution reste minimale, particulièrement à la bande de fréquences d'intérêt (5-6 GHz), en termes de gain petit signal (Fig. 3.7) et figure de bruit NF (Fig. 3.8).

Les figures 3.7 et 3.8 montrent que plus la valeur de l'inductance de sortie L est élevée, plus la contribution en gain en boucle ouverte, et la valeur de la figure de bruit du feedback dynamique est quasi nulle, surtout pour la plage de fréquence d'intérêt (5-6GHz).

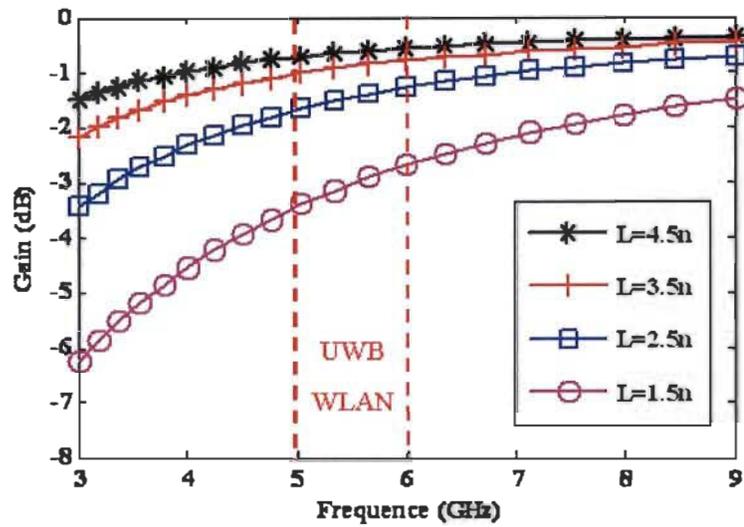


Figure 3.7: La contribution en gain du feedback dynamique.
(Un gain marginal pour $L=4.5\text{nH}$ dans la bande de fréquence 5-6GHz).

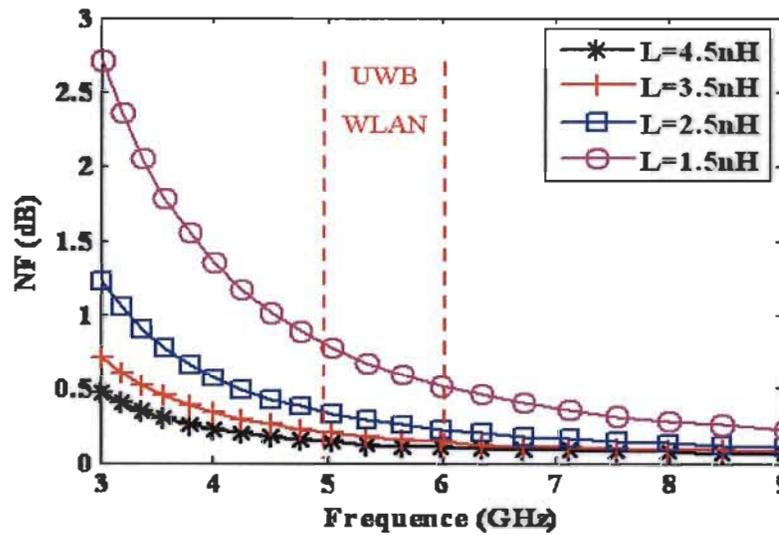


Figure 3.8: La contribution en figure de bruit NF du feedback dynamique.
($NF=0.1\text{dB}$ pour $L=4.5\text{nH}$ dans la bande de fréquence 5-6GHz).

Ainsi, l'amélioration en gain petit signal peut être obtenue sans amplification de la puissance du bruit, permettant par ricochet, l'amélioration de la valeur de la figure de bruit tel que souhaité.

Le gain en conversion, défini comme étant le rapport en dB entre la puissance disponible du signal de sortie et la puissance disponible du signal d'entrée, serait ainsi maximisé. Cette maximisation est le résultat d'un choix de valeurs optimales, à la fois pour l'inductance L et le condensateur C ($L = 4.5 \text{ nH}$, $C = 0.4 \text{ pF}$). Cela nous permettrait d'augmenter la valeur du gain en conversion, jusqu'à atteindre 27 dB à 5.65 GHz, la fréquence centrale de la bande UWB WLAN (Fig. 3.9) (Fig.3.10).

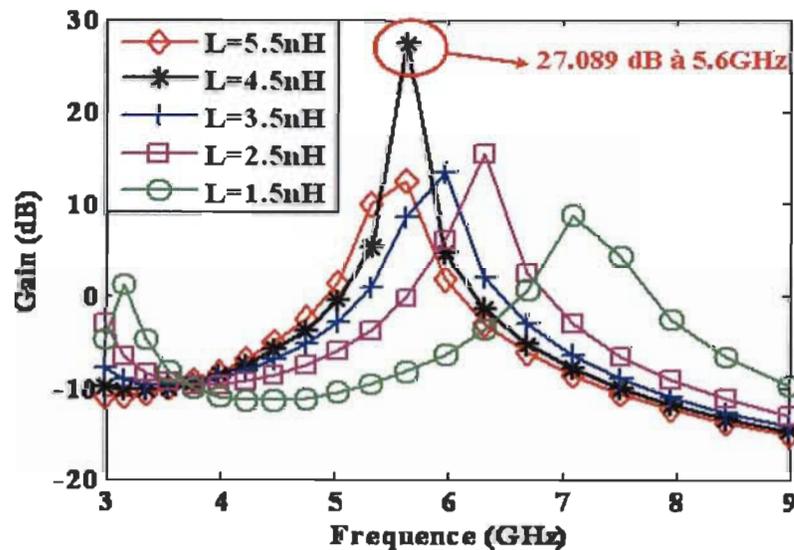


Figure 3.9: Gain en conversion du LNA en fonction de l'inductance L , avec ($C=0.4 \text{ pF}$).

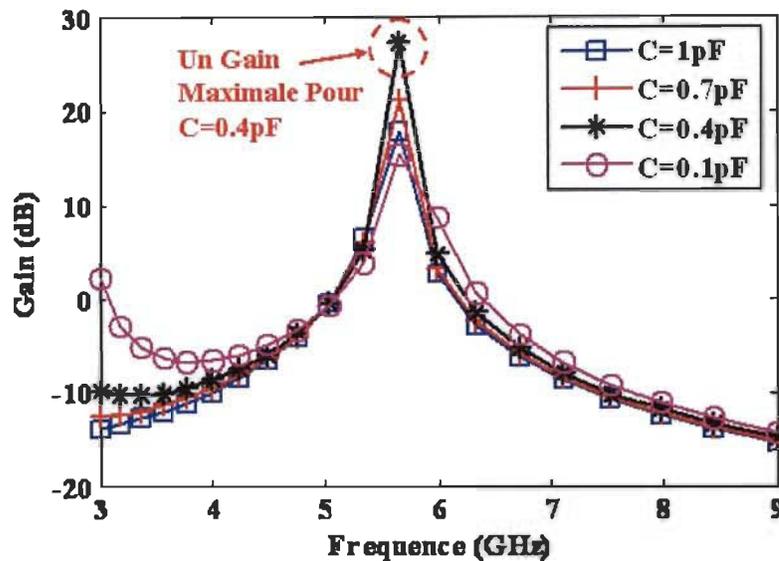


Figure 3.10: Optimisation du gain en conversion par la capacité de couplage C. (L=4.5nH).

3.1.3 FIGURE DE BRUIT

Concernant la question de la figure de bruit, et selon l'équation de Friis pour les circuits en cascade, le bruit global est essentiellement déterminé par le premier étage d'amplification, à condition qu'il dispose de suffisamment de gain d'amplification.

Nous pouvons réaliser des performances à faible bruit, en sélectionnant soigneusement les transistors à faible bruit, tension de polarisation, point de fonctionnement, et bruit de jumelage à l'entrée.

Le bruit se caractérise par une valeur de performance NF, définie comme le rapport entre le signal sur bruit de l'entrée et la valeur du signal sur bruit de la sortie (21).

$$NF = \frac{\left(\frac{S}{N}\right)_{Out}}{\left(\frac{S}{N}\right)_{In}} = \frac{N_{Out}}{G_A \cdot N_{In}} \quad (21)$$

Ainsi, un autre avantage de la méthode de conception en multi-blocs du LNA réside dans le fait que, la pondération (*Trade-off*) entre le gain en conversion et le niveau bruit n'est plus nécessaire. Comme indiqué précédemment, le gain en conversion pourrait désormais être optimisé au moyen de la modélisation adéquate de la fonction de transfert du LNA.

En conséquence, le niveau de bruit du LNA en circuit multi-blocs pourrait être abaissé, au moyen d'une polarisation distincte du circuit de feedback par rapport au bloc d'entrée, en tenant compte uniquement des limites en matière de consommation d'énergie.

Concrètement, par l'introduction d'un circuit de feedback dynamique, avec une polarisation distincte de l'étage d'entrée du circuit, nous venons effectivement de `décorrélérer` entre le niveau de puissance du bruit disponible à l'entrée (N_{in}), et le niveau de puissance du bruit disponible pour la charge à la sortie N_{out} . Par conséquent, on serait en mesure de réduire la valeur de la NF.

En effet, la figure 3.11 montre que la valeur de la figure de bruit du LNA à feedback dynamique varie maintenant entre 3.86 dB et 2.78 dB, dans la bande de fréquences comprises entre 5-6 GHz. Ces valeurs sont produites en prenant en compte la valeur optimale de l'inductance de sortie ($L = 4.5$ nH), décrite par la courbe en noir, ce qui représente une moyenne de 0,78 dB gain par rapport au 4.1 dB minimum développé par le circuit proposé par [CUS06]. Il est important aussi de noter que cette valeur minimale de figure de bruit du LNA proposé en [CUS06] (4.1dB), est atteinte avec un courant de polarisation aussi élevée que 5 mA.

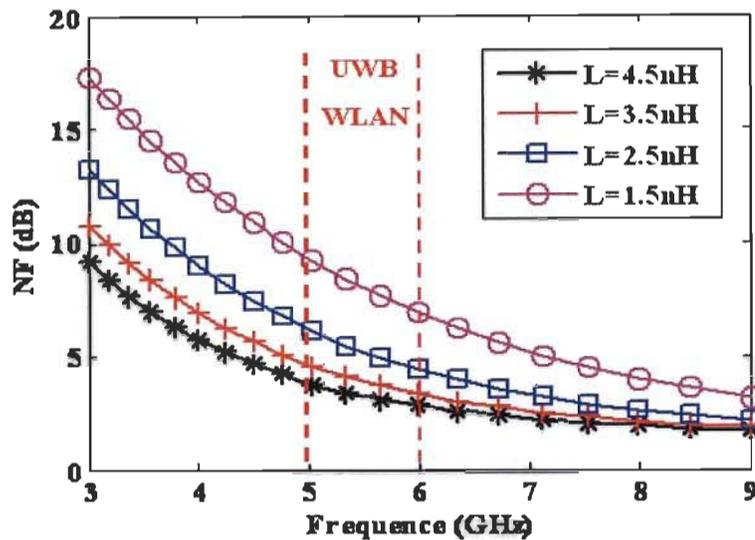


Figure 3.11: Figure du bruit NF de l'UWB WLAN LNA.
(NF varie entre 3.86-2.76dB dans la bande 5-6GHz).

Avec une conception en monobloc, le concepteur n'avait d'autres choix que maximiser le courant de polarisation, pour tenter de minimiser le niveau de bruit dans son circuit. Les performances du LNA avec feedback dynamique proposé ont été réalisées, par le biais d'un courant de polarisation de 3.8 mA seulement, avec une marginale consommation de puissance du circuit de feedback due à la sortie inductive L. Cette sortie inductive minimise le courant dans le circuit de feedback ($\approx 0.1\text{mA}$), par conséquent, l'amélioration du gain en conversion et la valeur de la figure de bruit du LNA, est atteinte sans consommations supplémentaire en puissance.

3.1.4 LINÉARITÉ

La non-linéarité du LNA pourrait altérer le signal RF à l'entrée. Cette altération se traduit essentiellement sous la forme des quatre types de distorsions suivantes [RAZ06]:

Une distorsion harmonique, où un LNA non-linéaire pourrait générer un signal de sortie avec des harmoniques d'ordre élevé.

Une modulation croisée (*Cross Modulation*), où un LNA non-linéaire pourrait transférer la modulation, à partir de la porteuse d'un canal donné, vers une porteuse d'un autre canal.

Le blocage (*Blocking*), où avec un LNA non-linéaire, un signal large sur un canal donné pourrait désensibiliser l'amplification d'un petit signal dans des canaux adjacents.

De nombreux récepteurs RF doivent être capable de résister au blocage des signaux, avec au moins 60 à 70 dB au-dessus du signal d'intérêt.

Le gain en compression, où le gain en conversion réalisé décroît avec un niveau croissant de la puissance du signal d'entrée pour un LNA non-linéaire, à cause de la saturation du transistor. Notre intérêt est de déterminer le niveau de puissance en dBm du signal d'entrée, avec lequel ce gain en conversion décroît de 1 dB. Plus le niveau de puissance du signal d'entrée nécessaire reste relativement élevé, plus la plage dynamique du circuit serait plus large, et le LNA serait appelé linéaire.

L'intermodulation, où la présence de deux signaux larges (d'interférence) sur deux canaux adjacents pour un LNA non-linéaire, pourrait générer la composante du 3^{ème} ordre d'intermodulation, qui pourrait s'introduire dans la bande passante des canaux voisins.

S'agissant de la linéarité du LNA proposé, l'amélioration du gain en conversion en bande étroite, apportée par l'introduction du circuit de feedback dynamique, a été réalisée au prix d'une légère réduction de la linéarité, par rapport au LNA à feedback purement capacitive proposé en [CUS06]. En effet, pour le circuit LNA à feedback dynamique proposé, un point de compression et de désensibilisation à 1 dB sont atteints, avec un niveau de puissance du signal d'entrée de 1 et -2 dBm de respectivement (Fig. 3.12). En d'autres termes, le LNA proposé commencerait à développer un comportement non-linéaire, dès que le signal d'entrée atteint le niveau de puissance d'au moins 1dBm, ou à cause de la présence d'un signal d'interférence adjacent de puissance -2dBm ou plus.

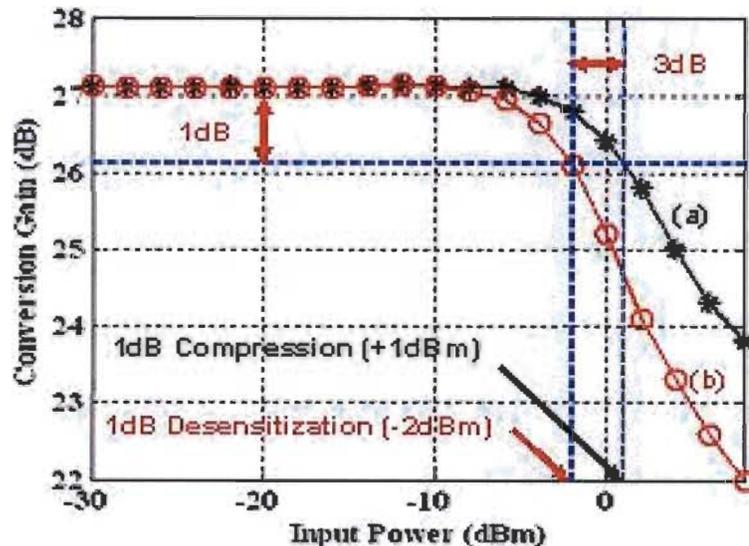


Figure 3.12: Simulation de la linéarité du LNA à feedback dynamique. (a) Le gain par rapport au signal de puissance. (b) Gain petit signal par rapport au signal d'interférence le plus proche (7GHz, Groupe#3).

3.1.5 STABILITÉ

En présence de chemins de rétroaction entre la sortie et l'entrée (feedback), le circuit pourrait devenir instable pour certaines combinaisons de source et des impédances de charge. Une conception LNA normalement stable pourrait facilement osciller aux extrémités des variations de tension, pour des fréquences exceptionnellement élevées ou faibles. Dans le cas d'une conception monobloc, le facteur de stabilité K du circuit est défini par l'équation suivante [RAZ06]:

$$K = \frac{1 + |\Delta|^2 - |S_{11}|^2 - |S_{22}|^2}{2|S_{21}||S_{12}|} \quad (22)$$

Avec :

$$\Delta = S_{11}S_{22} - S_{21}S_{12} \quad (23)$$

Lorsque $K > 1$ et $\Delta < 1$, le circuit est inconditionnellement stable. Autrement dit, le circuit n'oscille pas pour n'importe quelle combinaison des impédances de source et de charge. Nous devrions effectuer l'évaluation de la stabilité pour des paramètres S , sur une large gamme de fréquences, pour assurer que $K > 1$ reste valable pour toute la bande de fréquences d'intérêt. Comme la valeur de (S_{12}) diminue, traduisant une croissance de l'isolation inverse du circuit, l'indice de stabilité s'améliore. On pourrait utiliser des techniques telles que le chargement résistif et la neutralisation, afin de pouvoir améliorer la stabilité d'un LNA [RAZ98].

L'équation (22) reste valable pour la stabilité en modèle petits signaux seulement. Si le circuit est inconditionnellement stable sous la condition des faibles signaux, le circuit est moins susceptible d'être instable lorsque le signal d'entrée serait un signal large.

Dans notre cas, l'instabilité constitue le grand obstacle pour l'introduction d'un feedback dynamique, où la fonction de transfert du circuit LNA détermine en grande partie le niveau de stabilité du circuit, du fait qu'il s'agit d'une conception en multi-blocs.

L'équation (20) du circuit de feedback dynamique nous a montré, qu'avec l'introduction de deux pôles supplémentaires, un UWB LNA avec feedback dynamique risque de souffrir d'une instabilité chronique, sur toute la bande de fréquences UWB. D'autant plus que ces deux pôles dépendent principalement, des valeurs des capacités hautes fréquences du transistor M_3 , ce qui complique davantage l'étude de stabilité du circuit global.

La solution proposée, suggère d'ajuster la valeur de L , afin de réduire la contribution du circuit de feedback à un simple zéro à l'origine, ce qui non seulement permet de limiter les pôles du circuit global à deux pôles seulement, mais d'assurer une parfaite stabilité pour le circuit sur toute la plage des fréquences UWB.

Les résultats de simulation suggèrent qu'en analysant la réponse en fréquence du circuit LNA proposé, la contribution en boucle fermée du circuit de feedback est effectivement réduite à un simple zéro à l'origine, pour certaines valeurs de la charge inductive L (Fig. 3.13). Cette structure assure ainsi, une parfaite stabilité de l'amplificateur à faible bruit LNA, pour toute la bande de fréquences du système UWB.

Toutefois, pour d'autres valeurs de cette inductance, le LNA pour un réseau sans fil UWB WLAN pourrait devenir très instable, avec une réponse en fréquences caractérisée par la présence de quatre pôles distincts, occupant une plus grande gamme de fréquences (ex. $L = 1.5 \text{ nH}$).

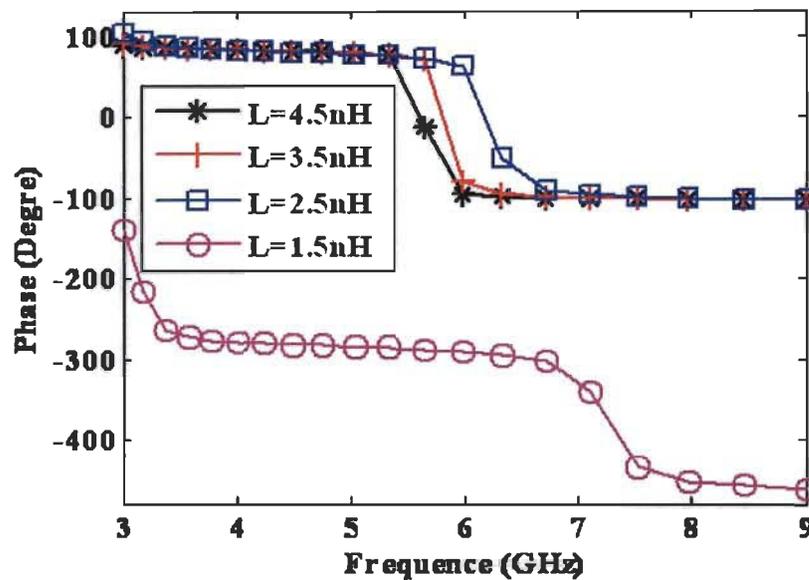


Figure 3.13: Variation de phase du LNA à feedback dynamique. LNA stable pour ($L=4.5\text{nH}$).

Le tableau 3.1 rapporte les performances du LNA proposé en comparaison avec divers UWB LNAs, y compris pour des LNAs basés sur une structure en source commune, avec une dégénération à la source. L'objectif est de montrer qu'une conception en multi-blocs pourrait produire un meilleur compromis entre les différentes performances d'un circuit LNA.

Le circuit proposé dans [CUS06] assure une meilleure linéarité, grâce à la structure grille commune. Les LNAs proposés dans [PAR05] et [SHA06] reposent sur une structure base commune, d'où le faible niveau de linéarité et gain modéré.

Par contre, le circuit de [PAR05] produit le meilleur niveau de bruit, et [SHA06] est un circuit ultra faible puissance avec une sortie purement inductive.

La conception en multi-blocs proposée nous permet de garder une structure grille commune pour une meilleure linéarité, tout en optant pour un feedback dynamique avec un sortie inductive (Fig. 3.2). Cette sortie inductive assure qu'aucun effet négatif ne viendrait réduire le gain du LNA, tel que l'effet produit par la sortie capacitive de [CUS06], au prix d'une consommation supplémentaire en puissance quasi marginale.

Tableau 3.1: Tableau comparative des performances du LNA avec les récentes publications.

	Tech.	Gain en conversion CG [dB]	Figure de bruit NF [dB]	1dB C.P. [dBm]	(Linéarité) 1dB désensibilisation [dBm]	Puissance [mW]
[CUS06]	0.18 μ m CMOS	16	4.1	1.5	-1.5	9
[PAR05]	0.18 μ m SiGe	13	3.3	-17	Nd	9.6
[SHA06]	0.18 μ m CMOS	16.8	3.9	-21	Nd	0.1
LNA Proposé	0.18 μm CMOS	27	3.3	1	-2	7

Nd : Non disponible

Nous pouvons noter dès le départ, la faible performance en terme de linéarité de LNAs en [PAR05] [SHA06], comparativement à ceux basés sur des amplificateurs en grille commune [CUS06]. Cette faible linéarité est produite même lors d'une conception basée sur des circuits de très faible puissance [SHA06].

Cette conclusion nous suggère que la pondération entre le gain en conversion, la figure de bruit, linéarité, et consommation d'énergie, ne pourrait être assouplie que par l'introduction de la méthodologie de conception en multi-blocs, qui assure une polarisation distincte pour le circuit de feedback.

Concernant la linéarité du LNA proposé, les résultats de simulations dans ce tableau (Tab. 3.1) montrent, que le signal de puissance à l'entrée réalise une compression à 1 dB, pour 1 dBm de niveau de puissance, tandis que le point de désensibilisation par rapport au signal de d'interférence du groupe#3 du standard UWB, se situe à -2 dBm.

Ainsi, le gain est maximisé à 5.6 GHz pour une valeur de l'inductance de sortie L de 4.5nH, produisant une légère perte de linéarité comparativement à [CUS06], mais avec 2 mW d'économie d'énergie (Tab. 3.1).

3.2 Mélangeur hautes fréquences

Le choix d'un mélangeur pour hautes fréquences à simple balancement, au lieu d'une alternative à double balancement est motivé par, l'obligation de recourir à une transformation en signal différentiel du signal de sortie du LNA. D'autant plus que la consommation de puissance, et du niveau de bruit supplémentaire introduit par la solution à double balancement relativement élevés.

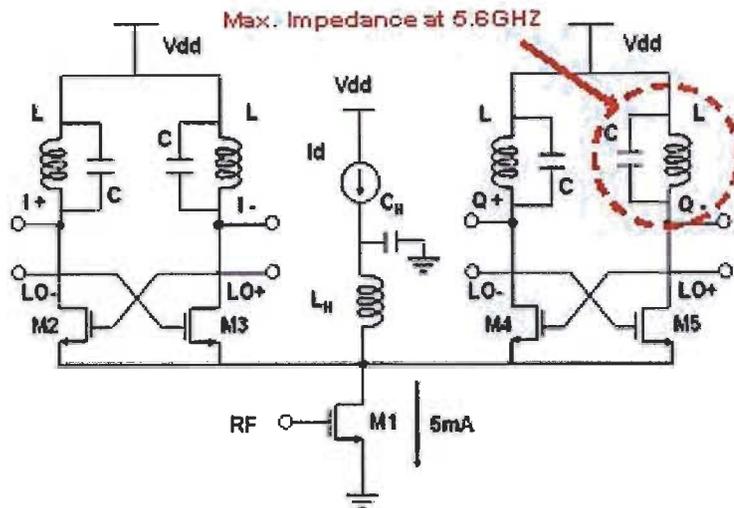


Figure 3.14: Schématique du mélangeur en quadrature.

La figure 3.14 présente le schéma du mélangeur proposé. Un seul (g_m -Transistor) M_1 en montage source commune, injecte le signal RF dans deux paires de commutations en quadrature à simple balancement.

Comparativement à la solution classique à deux transconducteurs, ce choix permet à la paire de commutations de réaliser un plus grand gain en courant [SJO03]. Une source de courant est introduite pour définir le courant du transconducteur et les étages de commutation, afin de minimiser la valeur du courant continu traversant cette paire de commutations, et réduire par conséquent le niveau du bruit [DAR00].

D'autres parts, l'inductance L_H permet d'étendre la bande passante de la commutation, au bénéfice du gain en conversion, niveau de bruit et linéarité [RAZ07]. Le courant de polarisation du (g_m -Transistor) M_1 , devrait être relativement élevé (~ 5 mA), pour obtenir les valeurs désirées du gain en conversion, et le niveau de bruit et du (*Third Order Interception Point - IIP3*).

La tension grille-source (V_{GS}) de la paire de commutation, reliée à la sortie de l'oscillateur local LO, est ajustée pour atteindre une valeur proche de V_t ($V_{Threshold}$). Cet ajustement permettrait d'assurer à la fois, un faible courant de polarisation, et un niveau raisonnable d'amplitude (300 mVpp) du signal d'oscillateur local LO, dans le but de compléter la commutation en courant. Les valeurs du circuit LC sont choisies afin de maximiser l'impédance à 5.6 GHz, de manière à ce que le courant alternatif à la sortie de M_1 , jaillisse dans la paire de commutations LO. Le mélangeur en quadrature proposé réalise un gain en conversion, de figure de bruit, et un IIP3 de 5.8 dB, 8.8 dB, et 1,68 dBm respectivement à 5.6 GHz (Fig. 3.15).

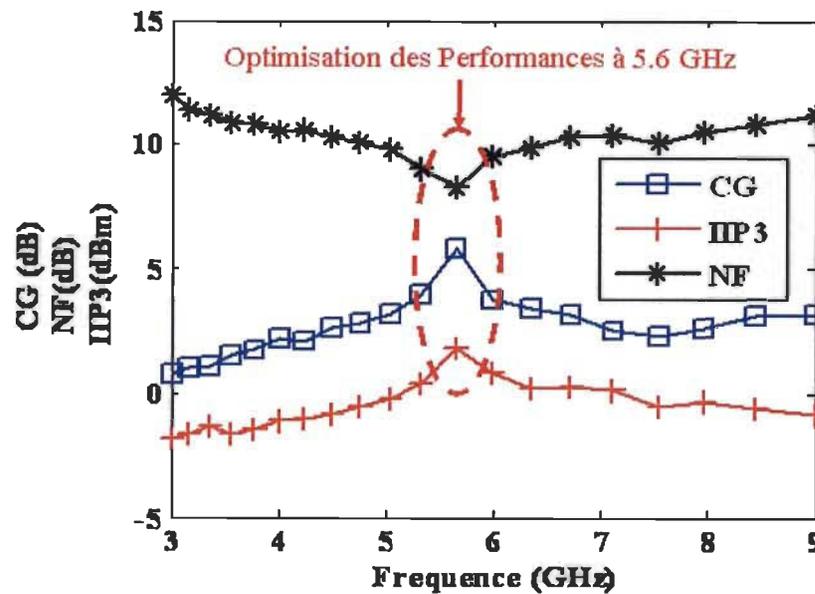


Figure 3.15: Résultats de simulations des performances du mélangeur en quadrature.

Comme le montre bien la figure 3.15, l'avantage d'adopter une topologie pliée du mélangeur proposé, nous permettrait d'introduire une polarisation distincte de l'étage de commutation, vis-à-vis de l'étage de transconductance.

Par conséquent, l'optimisation des performances du circuit sur la fréquence de 5.6GHz est indépendante de l'étage de transconductance, d'où une minimisation de la valeur du bruit de figure sur cette fréquence, tout en gardant un niveau de linéarité et gain en conversion adéquat.

La tension de décalage (*DC offset*) du mélangeur, est un paramètre critique pour un récepteur à conversion directe, puisque la plus grande partie du gain serait produite par la conversion en basses fréquences du signal d'entrée, du coup, le récepteur pourrait être saturé si la valeur de cette tension serait trop importante.

Mais l'architecture en conversion directe se prête elle-même pour un système UWB, car ces tensions de décalages, statiques et variables dans le temps, pourraient facilement être éliminées, par la modulation OFDM des systèmes UWB.

En effet, selon les schémas techniques d'un standard de communications sans fil UWB, la sous-porteuse ne serait pas utilisée, dès lors qu'elle tombe aux alentours des valeurs continues [BAT06]. D'autant plus que l'importante largeur de la bande passante de ce système de communication fait en sorte que, le bruit en basses fréquences ($1/f$) deviendrait moins critique.

3.3 Filtre passe-bas

Un filtre SK [RAZ06] est conçu en conjonction avec le mélangeur adopté. Le cœur du circuit est un simple amplificateur de faible gain, afin d'obtenir une sortie en bandes plates, tout le long de la bande de fréquences comprise entre 0-300 MHz.

Par conséquent, la réduction des fluctuations de tension permettrait de réduire le signal comprimé en goulet d'étranglement (*Bottleneck*), qui pourrait apparaître à la sortie du mélangeur. Mais ce faible gain en boucle de l'amplificateur, ne pourrait forcer une masse virtuelle entre les nœuds de ça sortie différentielle.

Le filtre passe-bas est donc conçu avec un gain en boucle limitée à 2 dB, principalement dû au gain en conversion substantiel en bandes étroites, développé par le couple (LNA, mélangeur hautes fréquences) à la bande de fréquences comprises entre 5-6 GHz. Cette limitation du gain en boucle du filtre passe-bas rend l'apparition des goulets d'étranglement à ça sortie plus probable.

3.4 Conclusion

Le tableau 3.2 dresse les performances du front-end sélectif en domaine temporel proposé, en comparaison avec le front-end sélectif pour les systèmes UWB proposé en [CUS06]. On pourrait constater que, le haut niveau du rejet des signaux d'interférences développés par la méthodologie de conception en multi-blocs du LNA proposé, caractérisé par gain un niveau de rejet du signal d'interférence de -35dBc.

Ce niveau de sélectivité, particulièrement utile pour les récepteurs UWB en transformation du domaine, a été réalisé avec d'excellentes performances du front-end en matière de linéarité, niveau de bruit, et même consommation de puissance.

Par conséquent, les contraintes de la conception des étages subséquents du front-end, ont été considérablement assouplies, par l'introduction de la méthodologie de conception en multi-blocs du LNA.

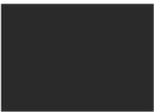
Tableau 3.2: Comparaison des performances entre les front-end sélectifs en CMOS 0.18 μm .

	Front-end UWB WLAN Proposé	Front-end UWB sélectif de [CUS06]	
		Mesurées	Simulées
Max. gain en tension [dB]	34.8	22.8	26.79
Min. NF [dB]	6.42	5.2	4.86
Min. IIP3 [dBm]	-4.35	-3.5	-3.62
Courant [mA]	10.9	10	10
Tension d'alimentation [V]	1.8	1.8	1.8
Rejet d'interférences [dBc]	-35	Nd	-27.31
1 dB désensibilisation [dBm]	-8	-6.5	-6.87

Nd : Non disponible

Le tableau 3.2 nous montre aussi que, selon les meilleures performances simulées et mesurées du front-end sélectif de [CUS06], une perte 4dB est enregistrée après la fabrication du circuit en matière de gain en conversion. La sortie purement capacitive du LNA rend effectivement, le gain en conversion du front-end très sensible aux capacités parasites du circuit. Dans ce cas, les valeurs mesurées restent les mieux indiquées, pour permettre une comparaison objective, entre le front-end sélectif de [CUS06], et le front-end UWB WLAN proposé pour le récepteur en transformation du domaine.

4.



EXPANSION EN DOMAINE FRÉQUENTIEL DU SIGNAL EN BANDE DE BASE

Dans cette partie du sujet de recherche, il s'agit de proposer et implémenter un filtre apparié (*Matching Filter*), constitué des mélangeurs en bande de base, intégrateurs, et un sommateur analogique. Le filtre apparié réalise une projection sur une base orthogonale du signal utile, avant une conversion analogique/numérique classique à vitesse réduite. Ainsi, le filtre apparié proposé, nous permettrait de dégager une comparaison objective avec une conversion analogique/numérique classique, et par conséquent, mettre en évidence les avantages d'une conversion en domaine fréquentiel au niveau de l'implémentation.

4.1 Mélangeur en bande de base (*Baseband Mixer*)

Un mélangeur plié (*Folded-Mixer*) en bande de base est proposé dans cette partie du sujet de recherche, conçu pour les convertisseurs analogiques/numériques en transformation du domaine.

Le principal objectif est la conception d'un circuit potentiellement capable de surmonter certaines limites rencontrées, dans la mise en œuvre des convertisseurs analogiques/numériques en domaine temporel classiques. Cette limite est particulièrement évidente avec des signaux de largeur de bande très importante; tel que les signaux UWB.

Avec une approche de conversion analogiques/numériques en domaine fréquentiel, telle que décrite par Hoyos et Sadler en [HOY04], il serait plus judicieux d'exploiter les représentations du signal UWB dans d'autres domaines que le domaine temporel classique. Cette méthode nous permettrait une intégration à vitesse réduite dans les comparateurs de quantification du signal échantillonné, tout en améliorant potentiellement le niveau de distorsion produit par cette conversion, par rapport aux valeurs moyennes de débits des convertisseurs analogiques/numériques.

L'amélioration potentielle de la distorsion du signal avec des CANs en espace orthogonal serait atteinte, par l'allocation de manière optimale des taux de débits dans la quantification des coefficients, obtenus par la projection du signal en temps continu sur l'ensemble des fonctions de base.

Un mélangeur en topologie pliée est un mélangeur en double balancement, qui permettrait une polarisation distincte, entre les l'étage de commutation et l'étage de transconductance. Des mélangeurs pliés à basse tension utilisant les cellules Gilbert ont été déjà proposés dans [FLO05], [BAU00], [BRA05], [FON07], [CHO07], [REJ08]. On pourrait noter tout d'abord que les conceptions proposées dans [FLO05] et [BAU00] sont limitées à des opérations en bandes étroites, en raison de l'utilisation des circuits LC pour la polarisation.

D'autres parts, les performances en larges bandes du mélangeur distribué présenté dans [BRA05], ont été atteintes au détriment de la surface et une consommation de puissance relativement élevée.

Les circuits proposés dans [FON07], [CHO07] et [REJ08] adressent aussi, la problématique d'une conception pour des applications larges bandes. Le domaine d'application est limité par la bande de fréquences [0.2-16GHz], [3-7GHz] et [3.5-8GHz] respectivement, avec pour objectif des performances du gain en conversion, figure de bruit, et linéarité du circuit dans la bande de fréquences d'intérêt exclusivement.

Dans notre cas, le défi est de concevoir un mélangeur en topologie pliée pour les signaux en bande de base comprises entre [0-300MHz], avec comme priorité la minimisation du bruit $1/f$ (flicker noise). En parallèle, l'avantage d'une polarisation distincte offert par la topologie pliée est exploité cette fois ci, pour implémenter un filtre sélectif avant la sortie IF. Cette conception nous permet de réduire la surface d'implémentation du filtre apparié résultant, dont le mélangeur en topologie pliée est un élément principal, dans le but de mettre en évidence l'intérêt d'une réception UWB en transformation du domaine. L'utilisation des dispositifs à faible puissance, reste une condition importante pour les mélangeurs en bande de base, afin de faciliter l'intégration de l'émetteur-récepteur RF, et les (*Digital Signal Processing* - DSP) utilisant des processus d'intégration CMOS échelonnés.

Le choix d'une structure entièrement différentielle à double balancement, au lieu de son alternative à simple balancement est dû à plusieurs raisons.

Premièrement, avec une conception entièrement différentielle du mélangeur en bande de base, cette structure se prête volontiers à la sortie totalement différentielle, du signal de sortie du front-end en domaine temporel de l'étage précédant. En adoptant cette méthode de conception, la nécessité d'un convertisseur (entrée simple - sortie différentielle) à grande consommation de puissance serait tout simplement éliminée.

Deuxièmement, la conception du mélangeur à double balancement pourrait nous aider à rejeter un éventuel chevauchement, entre la fréquence intermédiaire IF et l'oscillateur local LO, à la sortie du mélangeur en bande de base (tant que celle-ci est prise en mode différentiel). Ce rejet est due au fait que la composante LO se présente à la sortie en tant que signal en mode commun, alors que cette sortie IF est en faite une sortie totalement différentielle.

Ces deux avantages pourraient largement motiver le choix d'une conception en double balancement, en dépit du gain en courant de commutation relativement élevée produit par une solution en simple balancement [SJO03].

Pour assurer une numérisation adéquate par un convertisseur analogique/numérique de faible coût et faible consommation d'énergie, le signal d'antenne à l'entrée (de l'ordre de quelques microvolts), devrait être amplifié par typiquement 25 à 30 dB. Ce gain en conversion devrait être élaboré par le couple LNA/ Mélangeur dans le domaine temporel, lors de la réception en séquences directes du signal d'entrée [RAZ97].

Dans notre cas, cette performance est largement atteinte par le front-end UWB WLAN proposé avec 34.8dB de gain totale en conversion, tel que détaillé dans le tableau 3.2.

Ainsi, les mélangeurs basés sur la topologie des cellules de Gilbert en configuration à double balancement, sont largement utilisés dans les applications radio fréquences pour intégration en silicium (*Radio Frequency Integrated Circuit* - RFIC), principalement pour leur structure de mise en œuvre compacte, et bonnes propriétés d'isolation entre ces différents ports.

Ces qualités restent un atout majeur, spécialement pour les défis que représente un circuit d'expansion en domaine fréquentiel, vu la présence de plusieurs mélangeurs en parallèle dans la structure d'un convertisseur analogique/numérique en domaine fréquentiel. Dans ce cas, avec l'obligation d'implémenter un nombre N de mélangeurs dans un même circuit, rend les propriétés du mélangeur en termes de surface et niveau d'isolement entre ces différents ports particulièrement importantes

4.1.1 PROPOSITION D'UN MÉLANGEUR EN BANDE DE BASE EN TOPOLOGIE PLIÉE

Le schéma du mélangeur plié à double balancement proposé est montré dans la figure 4.1. La paire différentielle (*N-Channel Metal–Oxide–Semiconductor field-effect transistor* – NMOS); M_1 et M_2 forment l'étage de transconductance d'entrée (g_m -stage). Les commutateurs (*P-Channel Metal–Oxide–Semiconductor field-effect transistor* – PMOS) de l'oscillateur local LO; M_3 à M_6 , sont pliés à l'égard du l'étage à transconductances.

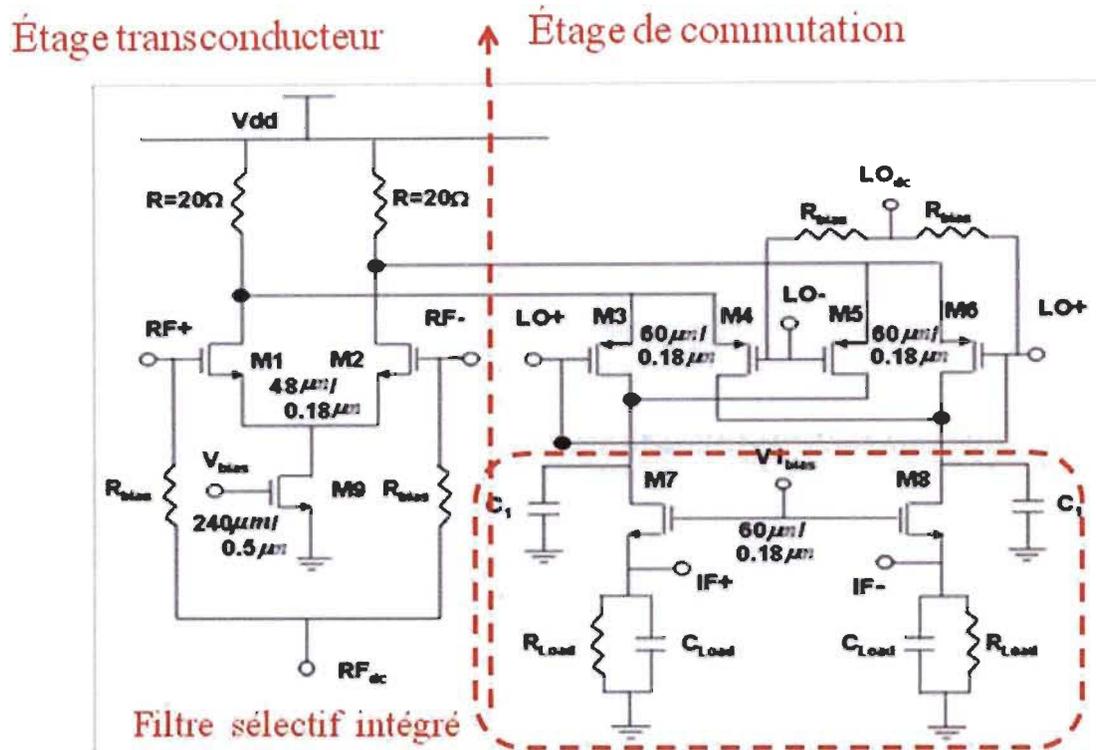


Figure 4.1: Schématique du mélangeur en topologie plié (*Folded Mixer*) proposé.

Des transistors PMOS de dimension (W/L) modérée sont suffisamment rapides, pour réorienter complètement, avec des amplitudes LO relativement raisonnables, le courant généré par le (g_m -stage) vers les commutateurs LO.

La topologie à pliage (*Folded Topology*) standard, offre un avantage clé sur la topologie d'empilage classique (*Stacked Topology*), en permettant d'introduire des polarisations distinctes entre l'étage des transconducteurs, et les commutateurs LO.

Ainsi, le courant de polarisation pour l'étage transconducteur doit être assez élevé, pour atteindre les performances désirées en matière de gain en conversion, figure de bruit NF, et indice de linéarité IIP3.

Par contre, le courant de polarisation à travers les commutateurs LO devrait être minimisé, à fin de supprimer le décalage en tension (*DC offset*), le bruit thermique, et le bruit de basses fréquences (*Flicker Noise*). Toutefois, dans les limites de la bande passante, les paires de commutation LO PMOS devraient être aussi larges que possible, pour réduire à la fois, l'éventuelle apparence d'inadéquation (*Mismatch*), et l'amplitude LO nécessaire [CHO07].

Ainsi, pour obtenir des performances élevées avec une faible consommation de puissance, la densité en courant continu de polarisation (*DC Bias Current*), et l'amplitude LO sont optimisées en se basant sur les données expérimentales. La minimisation du courant de polarisation dans les commutateurs LO, nous permettrait également d'implémenter un filtre passe-bas à deux pôles, à la sortie IF du mélangeur.

Le premier pôle est réalisé au niveau des drains des transistors M₇-M₈. Le second est un circuit RC placé à la sortie de mélangeur. Se référant au model petit signal du circuit équivalent, la fonction de transfert en fréquences $T(s) = (V_{out}(s) / I_{in}(s))$ est défini comme suit :

$$T(s) = \frac{R_{Load}}{1 + s(R_{Load}C_{Load} + \frac{R_{Load} + r_{ds}}{1 + g_m r_{ds}} C_1) + s^2 C_1 C_{Load} \frac{R_{Load} r_{ds}}{1 + g_m r_{ds}}} \quad (24)$$

Assumant $g_m r_{ds} \gg 1$ et $r_{ds} \gg R_{Load}$, (24) serait simplifiée en :

$$T(s) \approx \frac{R_{Load}}{1 + s.R_{Load}C_{Load} \left(1 + s \frac{C_1}{g_m}\right)} \quad (25)$$

Comme le montre l'équation (25), cette fonction de transfert est caractérisée par la présence de deux pôles réels à $g_m / 2\pi.C_1$, et $1/2\pi.R_{Load}.C_{Load}$ respectivement.

Étant donné que $g_m r_{ds} \approx 26$, et $(r_{ds} / R_{Load}) \approx 3.2$, l'effet de la résistance drain-source ne pourrait être négligé. Les pôles sont réels, mais leurs fréquences exactes sont déterminées à partir de l'équation (24). Les pôles pourraient être fixés selon la valeur des éléments de fonction de base $\Phi_n(t)|_{n=0}^{N-1}$ utilisés, de façon à ce que la fréquence de coupure à -3 dB, tomberais à la fréquence du signal désiré à la sortie du mélangeur.

Les conditions de polarisation pour l'étage des transconductances d'entrée ont un impact majeur sur les performances du mélangeur, et par conséquent, doivent être à leur tour optimisées. La figure 4.2 montre que les valeurs du gain en conversion CG, bruit de figure NF, et indice de linéarité IIP3, s'améliorent significativement avec l'augmentation de la densité de courant de polarisation du (g_m -stage). Mais cette amélioration commence à se saturer dès que les performances de la paire des transconductances d'entrée commencent à se dégrader, en raison de la saturation au niveau de la vélocité du courant à haute densité.

Un choix de valeurs modéré de g_m en jonction avec un ratio (W/L) modéré, reste la solution de conception optimale en vue d'améliorer la valeur de la figure du bruit. Il est important de rappeler dans ce cas, qu'une augmentation du ratio (W/L) nécessiterait une faible tension à la grille (*Overdrive*), ce qui aurait pour conséquence une indésirable diminution de la linéarité.

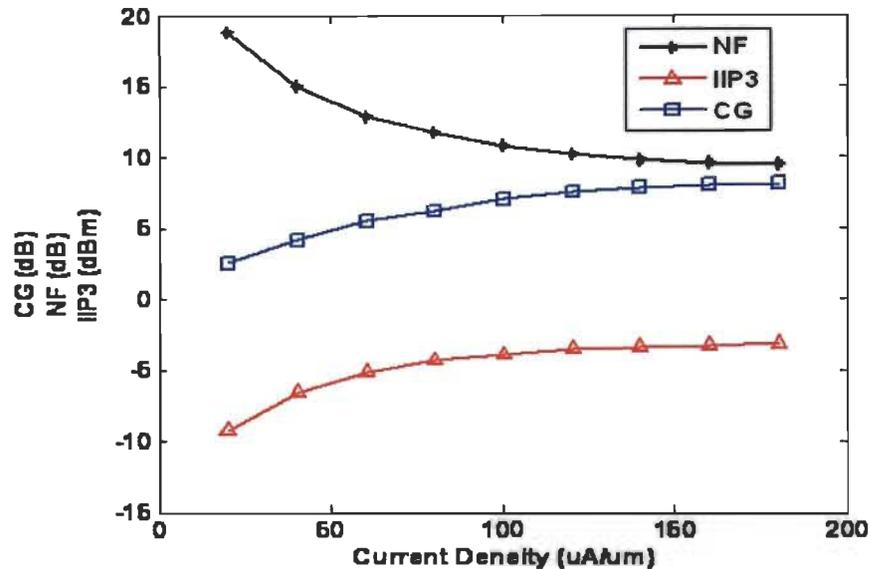


Figure 4.2: L'effet de la densité de courant de l'étage d'entrée du mélangeur proposé sur le gain en conversion, figure de bruit et IIP3.

Il est à signaler que, dans l'objectif d'une conception optimale du mélangeur en basses fréquences, de même que pour un mélangeur hautes fréquences, le maximum de performances en matière de figure de bruit NF, indice de linéarité IIP3, et consommation d'énergie serait exigé. Dans notre cas par contre, un maximum de gain en conversion CG n'est pas une priorité pour des traitements en bande de base, étant donné l'amplification relativement satisfaisante du signal UWB reçu et traité par le circuit de front-end.

En d'autres termes, un maximum de gain en conversion CG n'est pas recherché dans notre conception du mélangeur en bande de base. Toutefois, le décalage en tension continue (*DC Offset*) dans les mélangeurs reste un paramètre critique pour les convertisseurs analogiques/numériques en domaine fréquentiel, puisque les intégrateurs, représentant les étages subséquents directs, pourraient être facilement saturés si ce décalage en tension devenait relativement important.

La valeur statique du décalage en tension (*Static DC offset*) pourrait être causée par l'inadéquation dans la mise en œuvre (*Device Mismatch*), ou l'auto-mixage au niveau du port LO, dû notamment à la présence du signal d'oscillateur local LO au niveau du port RF (*Lo-to-RF Leakage*). L'inadéquation dans la paire de commutation LO et les résistances de charge, sont généralement un facteur majeur du décalage continu de la tension, pour des mélangeurs totalement symétriques comme celui proposé. Mais le décalage en tension due à l'inadéquation diminue avec le niveau courant de polarisation.

Étant donné que le mélangeur en conception pliée permet d'avoir une polarisation distincte presque nulle, pour la paire de commutations LO, tout en continuant à fonctionner correctement. Par conséquent, le décalage en tension à la sortie IF pourrait être maintenu à des niveaux relativement acceptables, même avec une inadéquation de mise en œuvre [TSA07].

D'autres parts, un système avec une faible linéarité de second ordre (*Second-Order Intercept Point - IIP2*), devrait souffrir d'un décalage variable en tension continue (*Variable DC offset*), qui désensibiliserait le récepteur [RAZ07].

Dans une situation idéale, dès qu'une structure totalement différentielle est utilisée dans la conception du mélangeur, il n'y a pas de distorsion IIP2 source de non-linéarité de second ordre. Mais en pratique, les erreurs systématiques et aléatoires, qui peuvent intervenir durant le processus de fabrication, pourraient causer des différences dans des dispositifs destinés à être semblables [KIN05].

En outre, le bruit de basses fréquences reste un problème important, lorsque l'on considère une conception de mélangeur en bande de base. Nous pouvons considérer séparément les sources de contribution du bruit basses fréquences, en fonction de l'étage de sortie, l'étage des transconductances (g_m -stage), et les paires de commutations (LO).

Mais les performances en matière de bruit de basses fréquences du mélangeur, sont principalement déterminées par la paire de commutations LO. Il existe néanmoins deux principaux mécanismes, qui produisent le bruit de basses fréquences de la paire de commutation. Le premier est le mécanisme direct, dû à la valeur finie de la pente de transition de la paire de commutations. Les commutateurs LO génèrent ainsi des trains d'impulsions de bruit par le mécanisme direct, et la valeur moyenne des trains d'impulsions de bruit est représentée par un courant de bruit décrit comme suit : [DAR00].

$$i_{o,n}(dir) = \frac{(4I \times V_n)}{(S \times T)} \quad (26)$$

Avec :

$$V_n = \sqrt{2 \times \frac{K_f}{W_{eff} L_{eff} C_{ox} f}} \quad (27)$$

Où I représente le courant de polarisation pour l'étage des transconducteurs, T la période de l'oscillateur local, V_n le bruit équivalent de basses fréquences produit par la paire de commutations, et S est la pente du signal LO. W_{eff} et L_{eff} représentent respectivement la largeur et la longueur effective, C_{ox} la capacité de l'oxyde, f la fréquence, et K_f le paramètre du processus [DAR00].

De (26) il convient de remarquer que le bruit de basse fréquence à la grille de la paire de commutations V_n , apparaît directement à la sortie. Selon (27), V_n est inversement proportionnelle à la surface du circuit.

Afin de diminuer le bruit de basses fréquences dans le mécanisme direct, une méthode populaire consiste à réduire la largeur des impulsions de bruit, pouvant être produites par la réduction de la valeur de V_n . Pour réduire V_n , la dimension des paires de commutation doit être augmentée. Mais augmenter la largeur des transistors de commutation, reviendrait obligatoirement à augmenter la valeur des capacités parasites à la commutation, aboutissant indirectement à la génération de bruit de basses fréquences à la sortie.

Dans le mécanisme indirect, le bruit de basses fréquences dépend principalement, de la capacité du nœud entre l'étage des transconductances, et les paires de commutations LO. Ces paires de commutation devraient être suffisamment petites, pour diminuer l'effet du mécanisme indirect. Dans cette problématique, la solution proposée dans [PAR06], consistant à recourir à l'implémentation des inductances résonantes pour remédier à ce problème, reste une solution très coûteuse. Par conséquent, la corrélation entre les mécanismes directs et indirects relatifs à la génération du bruit basses fréquences, signifierais que, la dimension de la paire de commutations doit être optimisée en se basant sur les données expérimentales.

Dans cette conception, les dimensions W/L de la paire de l'étage g_m ont été fixées à $(48\mu\text{m} / 0.18\mu\text{m})$. Les transistors de LO sont polarisés dans le voisinage de la tension de seuil (*Threshold Voltage*), en fournissant une tension de polarisation appropriée aux grilles des transistors de commutation. La valeur de la résistance R est fixée à $20\ \Omega$.

La dépendance à la valeur de la tension d'alimentation n'est pas un souci majeur pour la conception d'un convertisseur analogique/numérique en bande de base. Par contre, les performances du mélangeur en topologie plié, en matière de figure de bruit, linéarité, devraient être relativement dépendantes de cette valeur.

La tension d'alimentation est de 1.8 V, et les tensions de polarisation pour les ports RF sont produites par le circuit de polarisation. Pour cette conception, la densité de courant de polarisation optimale est de $100\mu\text{A}/\mu\text{m}$. Au-delà de cette valeur, le mélangeur consommerait tout simplement plus de puissance, en produisant des améliorations de performances relativement négligeables (Fig. 4.2). Le courant de polarisation de la paire de commutations LO est fixé quant à lui à $50\mu\text{A}$. Par contre, la taille des transistors est optimisée sur la base des simulations de bruit en basses fréquences.

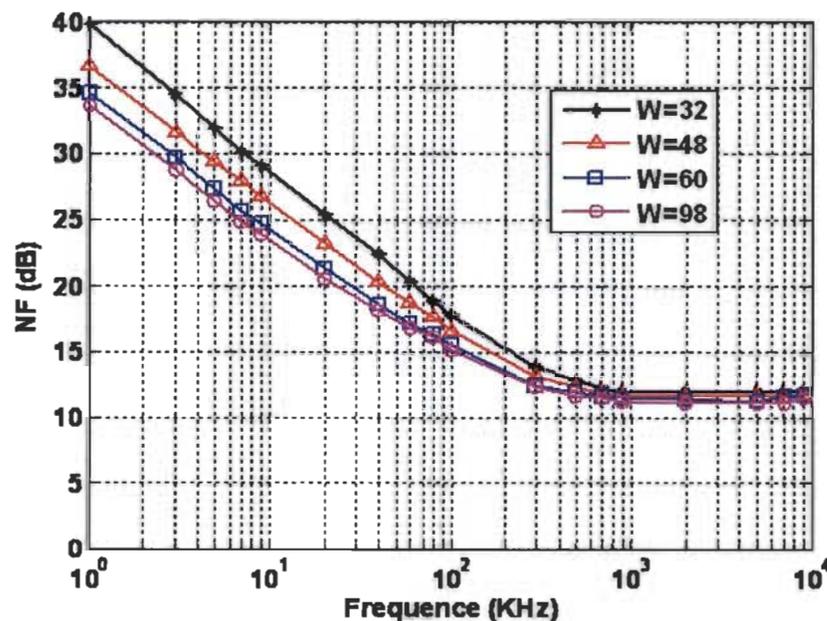


Figure 4.3: L'effet de la largeur des transistors de la paire de commutation sur le bruit de basses fréquences du mélangeur.

La figure 4.3 montre les courbes simulées du bruit, pour les différentes largeurs de la paire de commutations LO. De toute évidence, l'optimisation du bruit de basses fréquences atteint son point d'équilibre, pour une largeur W de la paire de commutation au voisinage de $60\mu\text{m}$, quand les mécanismes de génération directe et indirecte du bruit de basses fréquences commencent à s'annuler mutuellement.

En outre, une plus grande largeur des transistors de commutation nécessiterait une plus grande amplitude du signal généré par les oscillateurs locaux LO. Un niveau d'amplitude élevé du signal LO améliore à son tour, la partie d'auto-mixage (*Self Mixing*) de la valeur totale du décalage en tension. Cette largeur des paires de commutations est considérée comme le compromis optimal, entre la valeur du DC offset, et l'optimisation du bruit bas fréquences. L'effet de l'amplitude du LO sur les performances du mélangeur est également examiné.

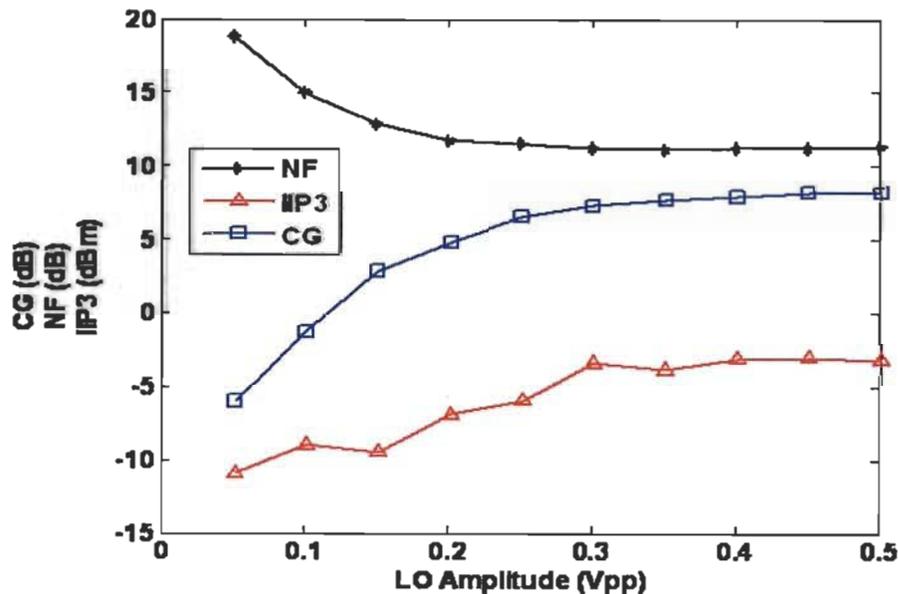


Figure 4.4: L'effet de l'amplitude de l'oscillateur local (LO) du mélangeur proposé sur le gain en conversion, figure de bruit et IIP3.

La figure 4.4 montre une dégradation sensible de la valeur du gain en conversion CG, figure de bruit NF, et indice de linéarité IIP3, lorsque l'amplitude du signal LO reste inférieure à 300 mVpp. Ceci est dû à l'insuffisance de ce niveau de balayage en tension (*Voltage Swing*), pour pouvoir complètement piloter le courant traversant les transistors du port LO durant le processus de commutation. Par conséquent, un balayage en tension de 400mVpp a été considéré dans notre conception, pour des performances optimales du mélangeur.

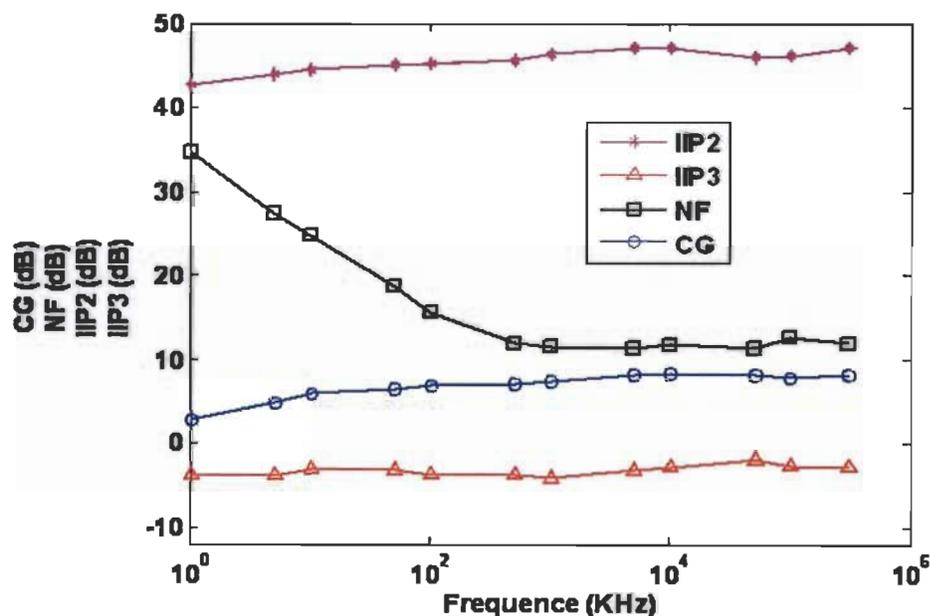


Figure 4.5: La réponse en fréquence du gain en conversion, figure de bruit, IIP3 et IIP2 du mélangeur proposé.

Les meilleures performances en matière de gain en conversion, et figure de bruit ont été atteintes pour 8.2 dB et 11.2 dB en valeurs moyennes respectivement, sur une bande de fréquence comprise entre [10-300MHz] (Fig. 4.5).

L'IIP3 varie entre -3.825 à -2.062 dBm sans montrer une dépendance par rapport à la fréquence, étant donné que la linéarité du circuit est principalement déterminée par la valeur de la transconductance de l'étage d'entrée. Cette valeur dépend principalement du niveau de polarisation du circuit, et par conséquent, ne varie pas significativement avec la variation de la fréquence.

Les résultats de simulations du niveau d'isolation entre les différents ports du mélangeur (*Port-to-Port Isolation*) varient en moyenne entre -125,3 et -85,9 dB, pour les ports (*LO-to-RF*) et (*LO-to-IF*) respectivement. La symétrie d'une conception en topologie pliée supprime les effets de l'inadéquation (*Mismatch*) sur la valeur décalage en tension [TSA07]. Cette réduction va considérablement réduire les contraintes sur la conception des intégrateurs, les étages ultérieurs du circuit d'expansion.

4.1.2 RÉALISATION DU DESSIN DE MASQUE

Le dessin de masque (*Layout*) du mélangeur proposé (Fig. 4.6) a été réalisé de manière totalement symétrique, afin de rejeter le bruit en mode commun et de réduire le déséquilibre de phase et d'amplitude dans les chemins de signal différentiel. Ce qui aurait pour conséquences la dégradation du gain en conversion, linéarité, et l'isolation entre les ports.

La zone active du circuit est de $480 \times 320 \mu\text{m}^2$ avec une technologie CMOS $0.18 \mu\text{m}$. Cette mise en œuvre était réalisée à partir des composants pré-caractérisés; des cellules (*P-Cell*) de la librairie RF interne.

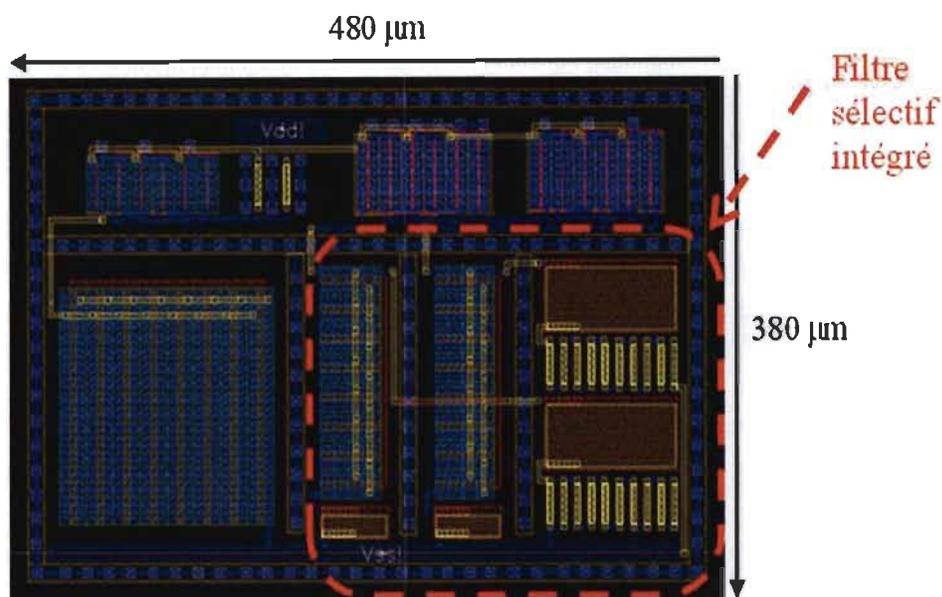


Figure 4.6: Le dessin de masque 'Layout' du mélangeur plié avec une fréquence de coupure de -3dB à 300MHz en technologie CMOS $0.18\mu\text{m}$.

4.1.3 CONCLUSION

Un tableau regroupant les principales caractéristiques du mélangeur en topologie plié proposé est ainsi dressé dans le tableau 4.1⁴, avec les valeurs minimales et maximales du gain en conversion, indices de linéarité, et la valeur de la figure de bruit.

Tableau 4.1: Performances simulées du mélangeur en topologie pliée.

Tension d'alimentation (V)	1.8
Consommation de puissance (mW)	6.8
Gain en conversion (dB)	2.82 à 8.2
Figure de bruit (SSB) (dB)	34.64 à 11.35
IIP2 (dBm)	42.62 à 47.06
IIP3 (dBm)	-3.86 à -2.06
LO-to-RF (dB)	-85.9

⁴ Tableau de performances du mélangeur proposé est complété avec une étude la stabilité du circuit après fabrication (Section 4.4).

4.2 Intégrateurs

L'intégrateur du convertisseur analogique/numérique en domaine fréquentiel est conçu en conjonction avec le mélangeur en bande de base proposé. Dans cette conception, la plage dynamique d'intégration (*Dynamic Range*) doit être assurée, sans avoir à subir les désavantages des techniques de compensation passifs et actifs.

Un intégrateur est un des éléments fondamentaux des filtres actifs [HUE80], avec comme principe de base l'intégration du signal qui se présente à son entrée. Un intégrateur différentiel a la particularité d'intégrer une différence de deux signaux, en utilisant traditionnellement deux constantes de temps [GRA77], [SOL79].

L'adéquation exacte entre ces deux constantes de temps est un indice déterminant quand à la capacité du circuit de rejeter les signaux en mode commun. D'autres éléments permettent aussi de mesurer cette capacité, tel que l'amplificateur et le taux de rejet en mode commun (*Common Mode Rejection Ratio* – CMRR) [GRA77], [CLA79]. Un circuit d'amplification conçu avec un simple inverseur en plus d'un intégrateur de sommation, permet souvent d'éviter ces problèmes d'adéquation des constantes de temps.

Les intégrateurs différentiels nécessitent une compensation en hautes fréquences [HUE80], [SOL79], [SCH90]. En principe il y a deux méthodes pratiques pour mettre en œuvre cette compensation. Ces méthodes de compensation passive ou active dépendent de la méthode d'annulation du pôle-zéro, et possèdent des inconvénients difficiles à surmonter.

Les méthodes passives présentent l'inconvénient d'une largeur de bande du gain unitaire qui varie selon les amplificateurs opérationnels introduits, et par conséquent, chaque

amplificateur devrait être compensé individuellement pour couvrir la bande de fréquences souhaitée [HUE80], [SCH90], et [FRA88]. D'autant plus que sous des conditions ambiantes, la compensation ne serait plus efficace.

Les méthodes de compensation en haute fréquences passive quand à eux, utilisent des amplificateurs opérationnels 'Appariés' (*Matched*). Ils possèdent le grand désavantage de ne pas pouvoir agir de façon adéquate, si les amplificateurs opérationnels ne sont pas correctement appariés.

L'intégrateur différentiel adopté dans la conception du circuit d'expansion en bande de base n'est pas basé sur le principe de compensation de l'intégrateur de Miller [RAZ06], mais plutôt de l'idée d'obtenir un intégrateur en inversant le traditionnel différenciateur RC passif.

Cette approche est utilisée pour développer un intégrateur différentiel qui étend considérablement la plage de fréquences, au-delà de celle l'intégrateur de Miller. L'intégrateur résultant possède un zéro qui pourrait être utilisé pour contrôler la gamme de fréquences de l'intégrateur.

L'objectif est de pouvoir réaliser les intégrations appropriées en basses comme en hautes fréquences. Ces intégrations seront limitées uniquement par l'inverse de la constante de temps RC , i.e., $\omega \ll \frac{1}{RC}$ (radians/second) [SOL79].

Dans ce cas, la valeur du produit RC représente la constante du temps du circuit d'intégration, et la plage hautes fréquences utilisable de l'intégrateur approche la largeur de bande du gain unitaire de l'amplificateur opérationnel.

Par contre, dans le cas d'une compensation de Miller, les basses fréquences de l'intégrateur sont limitées par l'inverse de la constante de temps RC , i.e. $\omega \gg \frac{1}{A_0 RC}$, où A_0 représente le gain continu en boucle ouverte de l'amplificateur opérationnel [RAZ06].

En effet, des intégrateurs de très basses fréquences peuvent être facilement obtenus en utilisant cette approche. En outre, le circuit résultant agit comme un amplificateur pour les tensions d'entrée continues, et affiche donc une bonne stabilité en basses fréquences. Dans notre cas, la valeur des éléments de la base de fonctions analogiques pour l'expansion du signal en bande de base, s'étend sur la plage de fréquences entre [0-300 MHz].

Cette bande est aussi dictée par les fréquences des éléments $\Phi_n(t)$ de la base de fonction. Ces éléments sont retenus à partir des raies de la densité spectrale de puissance de l'impulsion du signal transmis, pour la projection du signal utile sur cette base de fréquences.

Par conséquent on pourrait déduire que, plus la vitesse de transmission des données serait grande, plus la plage d'intégration serait décalée vers les hautes fréquences, ce qui éliminerait le besoin d'introduire un (*Buffer*) supplémentaire dans le circuit. D'autres parts, l'amplificateur opérationnel de cet intégrateur doit être conçue, pour pouvoir assurer une amplification quasi stable en boucle fermée, avec une fréquence à -3 dB qui produit une très large bande passante.

Les amplificateurs opérationnels qui utilisent un feedback en courant possèdent une importante propriété, qui permettrait d'atteindre une plus grande largeur de bande de fréquences, une fois incorporé comme amplificateur de tension. Cette propriété réside dans

le fait que, la fréquence de coupure en boucle fermée à -3 dB reste en fonction de la magnitude du gain en tension en boucle fermée uniquement, ce qui aurait pour conséquence, une amplification sur une très large bande passante [ALL02].

L'intégrateur adopté pour la réalisation du circuit d'expansion en basse fréquences est un intégrateur différentiel proposé dans [SOL79], qui présente les avantages d'une constante de temps unique, une meilleure stabilité, et une auto compensation en hautes fréquences pour étendre la gamme des fréquences d'utilisation (Fig. 4.7).

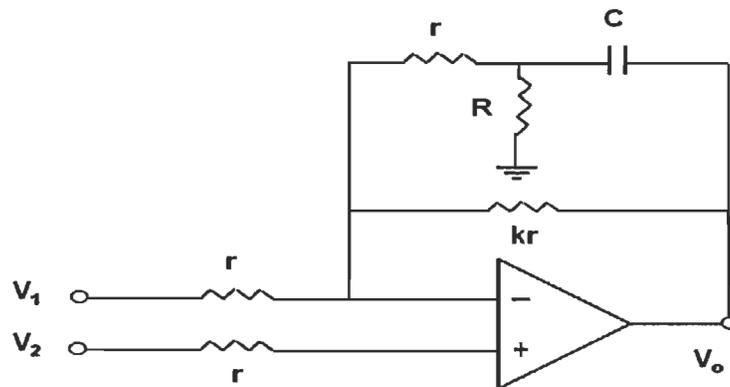


Figure 4.7: Schéma de l'intégrateur différentiel.

Ainsi, comme le montre la figure 4.7, cet intégrateur est un circuit disposant d'un seul amplificateur opérationnel. Tandis que plusieurs autres intégrateurs de hautes fréquences proposés, utilisent plusieurs amplificateurs opérationnels [GEI82].

Le choix est plus motivé par le souci de réaliser une intégration adéquate avec le minimum de surface d'intégration possible, car le principal avantage d'une conversion analogique/numérique en domaine fréquentiel repose sur l'élimination du recours au *Flash ADC* lors d'une réception UWB.

Il sera démontré qu'en hautes fréquences, la fonction de transfert résultante pourrait être obtenue par une annulation pôle-zéro, si $\frac{1}{RC} \gg \omega_c / 2$, où ω_c est la largeur de bande du gain unitaire de l'amplificateur opérationnel utilisé dans le circuit.

Le pôle se produit, approximativement, à la fréquence $\left[\left(\frac{1}{RC} \right) + \frac{\omega_c}{2} \right]$ (en radian), et le zéro se produit à la fréquence $\frac{1}{RC}$ (en radian). Ce qui contraste avec les méthodes qui focalisent sur l'annulation du pôle, qui pourrait se produire sur la bande de fréquences du gain unitaire de l'amplificateur opérationnel, tel que suggéré par les schémas de compensation actifs et passifs [SCH90], [FRA88].

Ainsi, en choisissant $\frac{1}{RC} \gg \omega_c / 2$ [SOL79], on obtient un intégrateur limité par la limite supérieure de la plage dynamique de l'amplificateur opérationnel seulement. Cette architecture ne nécessite ni la compensation active d'un "alignement" des amplificateurs opérationnels, ni la compensation passive nécessitant "l'adéquation des éléments électriquement dissemblables" sous les conditions ambiantes.

L'intégrateur de la figure 4.7 est obtenu par la modification de l'intégrateur d'entrée simple développé dans [ALA89], avec l'élimination de l'amplificateur tampon (*Buffer*) pour les hautes fréquences avec une charge appropriée.

Selon une analyse nodale de la figure 4.7, similaire à l'analyse effectuée dans [ALA89], et en supposant que $r \gg R$, et que $k \gg 1$ on aura :

$$\frac{V_0}{V_1 - V_2} \approx \frac{1}{\frac{2}{A(s)} + \frac{RCs}{1 + RCs} + \frac{1}{k}} \quad (28)$$

Notez que le circuit RC doit toujours être choisi de telles sortes qu'il agirait, comme un différentiateur passif dans la gamme de fréquences d'intérêt, tel que :

$$\omega \ll \frac{1}{RC} \quad (29)$$

L'équation (29) implique que $RCs \ll 1$, et que le produit RC doit être choisi de manière appropriée pour la gamme de fréquences d'intérêt. Ainsi, la résistance et le condensateur doivent être choisis pour donner une large valeur du produit RC dans le cas d'une intégration de basses fréquences. Par contre, il devrait être choisi pour donner une faible valeur du produit RC , dans le cas d'un intégrateur de hautes fréquences.

Ainsi (28) peut être simplifiée, en utilisant (29), pour avoir :

$$\frac{V_0}{V_1 - V_2} \approx \frac{1}{\frac{2}{A(s)} + RCs + \frac{1}{k}} \quad (30)$$

4.2.1 INTÉGRATION EN BASSE FRÉQUENCES (IDÉAL)

En supposant $A(s) \gg k$, (30) peut alors être réduite à :

$$\frac{V_0}{V_1 - V_2} \approx \frac{k}{1 + kRCs} \quad (31)$$

L'équation (31) avec (29) représentent un intégrateur opérant dans la gamme de fréquences :

$$\frac{1}{kRC} \ll \omega \ll \frac{1}{RC} \quad (32)$$

Le circuit agit comme un amplificateur pour entrées continues. Le gain en courant continu est obtenu à partir de (28), en remplaçant $A(s)$ par le gain (DC) de l'amplificateur opérationnel A_0 , et s par zéro, pour obtenir $kA_0 / (2k + A_0)$. Cette valeur peut être approximé à k , pour $k \ll A_0$, qui en pratique sera toujours satisfaite. Ainsi, le gain DC peut être augmenté ou diminué selon la valeur k .

4.2.2 INTÉGRATION EN HAUTES FRÉQUENCES (NON IDÉAL)

$A(s)$ peut être approximé en hautes fréquences à un modèle de un pôle, et peut être exprimé comme:

$$A(s) \approx \frac{\omega_c}{s} \quad (33)$$

Où ω_c représente la largeur de bande du gain unitaire de l'amplificateur opérationnel. En substituant (33) en (30) on aura :

$$\frac{V_0}{V_1 - V_2} \approx \frac{k\omega_c}{\omega_c + (2k + kRC\omega_c)s} \quad (34)$$

L'équation (34) a un pôle unique, qui détermine la limite basse de l'intégration.

Cette limite fréquentielle n'est dictée que par l'ordre supérieur de la dynamique de l'amplificateur opérationnel. La fréquence de coupure à -3dB se produit au niveau du pôle, et par conséquent, pourrait être augmentée en diminuant la valeur de k et/ou en diminuant

le produit RC . Si k est choisi pour générer un gain DC désiré, dans ce cas, la fréquence de coupure à -3 dB pourrait être augmentée en diminuant la valeur du produit RC .

Il faut noter que, le dénominateur de l'intégrateur de Miller définie par l'équation $s + (s + 1/(RC))/A(S)$, est similaire au dénominateur de (30). L'équation (34), ainsi que (29), représentent un intégrateur opérant dans la gamme de fréquences :

$$\frac{\omega_c}{k(2 + \omega_c RC)} \ll \omega \ll \frac{1}{RC} \quad (35)$$

Pour des fréquences élevées, ou plus précisément pour les fréquences au-delà d'un dixième de la bande du gain unitaire, la pulsation ω deviens si proche de ω_c que $\omega_c RC \ll 2$; en conséquence (35) pourrait alors être simplifiée en:

$$\frac{\omega_c}{2k} \ll k \ll \frac{1}{RC} \quad (36)$$

En substituant (33) dans (28) on aura :

$$\frac{V_0}{V_1 - V_2} \approx \frac{\omega_c \left(s + \frac{1}{RC} \right)}{2 \left[s^2 + \left(\frac{1}{RC} + \frac{\omega_c}{2k} + \frac{\omega_c}{2} \right) s + \frac{\omega_c}{2kRC} \right]} \quad (37)$$

L'équation (35) est similaire à la fonction de transfert de l'intégrateur de Miller, qui a été dérivée par Parrish et Allen dans [ALL76], sauf pour le zéro supplémentaire.

Ce zéro, s'il serait choisi correctement, pourrait réduire l'excédent de phase due à des pôles de hautes fréquences, et d'élargir ainsi la gamme des hautes fréquences de l'intégrateur. Il est à noter que le second pôle c'est une fonction de ω_c et le produit RC , et

ne se produit pas à ω_c . Ce second pôle apparaît à peu près à la fréquence $((1/RC) + \omega_c/2)$ (en radian), comme on pourrait le déterminer à partir du dénominateur en (37).

Le deuxième pôle se produit approximativement à $1/RC$, si l'on choisit $1/RC \gg \omega_c/2$. Puis, un pôle-zéro d'annulation est alors produit en (37), et on obtient une fonction de transfert à un pôle unique avec un pôle survenant à $\omega_c/2k$.

Contrairement aux intégrateurs actifs à réseau R , les limites à la fois inférieures et supérieures de la gamme de fréquences, sont ainsi contrôlées par le concepteur. En outre, la limite en fréquences supérieures pourrait être plus grande, que celle rendue possible dans les intégrateurs actifs à réseau R .

Ainsi, les intégrateurs sont conçus et intégrés dans les différents chemins parallèles du filtre apparié, et r, R, C, k sont ajustés adéquatement, selon les bandes de fréquences d'intégration de chaque chemin.

4.3 Filtre apparié (*Matched Filter*)

La figure 4.8 montre le schéma blocs du filtre apparié, réalisé à partir du mélangeur en bande de base proposé, suivie des intégrateurs et du sommateur/réducteur analogique, dans le but de présenter une proposition d'implémentation de l'algorithme d'expansion sur une base de fonctions analogiques du signal utile.

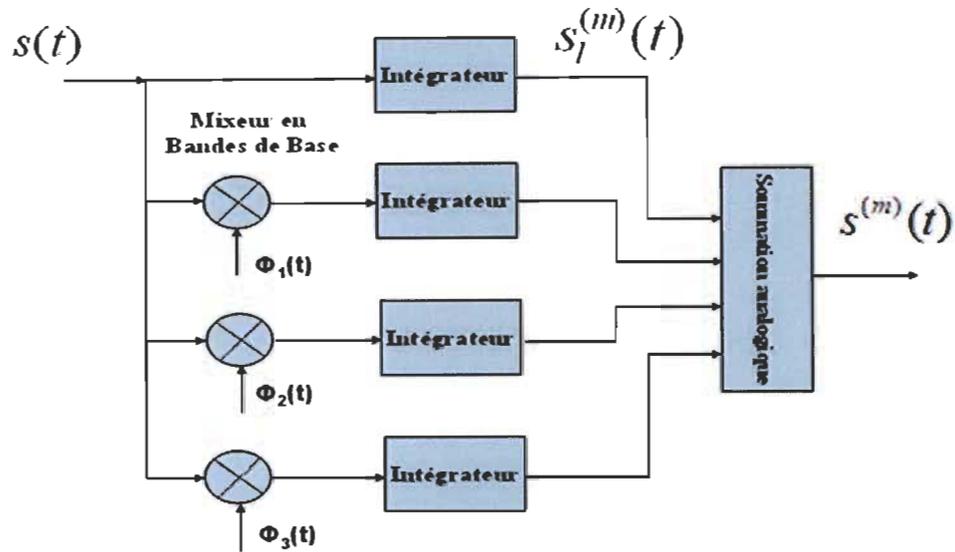


Figure 4.8: Bloc diagramme du filtre apparié.

L'expansion du signal $s(t)$ sur une base fréquentielle s'écrit comme :

$$s_l^{(m)} = \int_0^{T_c} s(t + mT_c) \cdot \Phi_l^*(t) dt \quad (38)$$

Où l représente le l ^{ième} composant et m le m ^{ième} échantillon. L'objectif de cette expansion est de permettre une conversion analogique/numérique du signal en domaine fréquentiel, selon une méthode de réception en transformé du domaine, qui permettrait de réduire les contraintes d'une conversion analogique/numérique en domaine temporel conventionnel.

Pour des raisons de comparaison, cette expansion du signal est réalisée pour garantir une réception UWB, capable de transmettre adéquatement des données à la vitesse 100Mb/s.

Ceci représente en fait, les objectifs que s'est fixé le groupe de recherche du MIT, pour la conception et réalisation d'un récepteur UWB présenté dans la figure 2.3, pour lequel un convertisseur analogique/numérique en domaine temporel (*Flash ADC*) d'une vitesse de conversion 500MS/s a été proposé [GIN07]. Ce convertisseur occupe 29% de la surface totale du récepteur UWB.

En considérant une transmission non codée dans un canal (*Additive White Gaussian Noise - AWGN*), des données transmises à partir d'une impulsion gaussienne, en tant que forme d'onde du signal à puce transmis (*Transmitted Chip Signal*).

Le signal à puce a une durée T_p , et porte un bit d'information par impulsion transmise pour une transmission non codée. Ainsi, la haute fréquence de coupure à -3 dB de l'impulsion émise se trouve approximativement à $3.3/T_p$. Le taux d'échantillonnage dans le cas d'une implémentation entièrement numérique classique en domaine temporel, devrait être au moins $F_s = 6.6/T_p$, conduisant à un nombre d'échantillons par durée d'impulsion égal à au moins 6.6 (Disons 7 échantillons par impulsion). En prenant 8 échantillons pour chaque durée T_p , conduit à un taux d'échantillonnage plus conservateur. Par contre, dans le cas d'une conversion en domaine fréquentiel, la limite inférieure dans le temps est fixée par la durée des impulsions transmises.

Nous pouvons donc prendre $T_c = T_p$ [HOY07], i.e., le temps de conversion CAN égale à la durée de l'impulsion transmise T_p (dans notre cas $1/(100\text{Mb/s})=10\text{ns}$), de sorte qu'un échantillonnage peut avoir lieu chaque T_p secondes, pour atteindre un taux de prélèvement 8 fois plus lent que le taux de Nyquist d'un récepteur classique conventionnel.

La durée de l'impulsion transmise définit les éléments de la base de fonction analogique, dont les éléments seront justement constitués des principales raies de la densité spectrale de puissance de cette impulsion gaussienne, selon un ordre décroissant. Toutefois, uniquement les N premiers éléments de cette base permettent de réduire le niveau du rapport signal sur bruit, induit par cette expansion du signal.

Les résultats de simulations qu'on a déjà présentés dans la section 2.3, montrent qu'à partir de $N=4$, cette réduction n'est plus significative. Cette conclusion suggère qu'une expansion par une base de fonctions analogiques sur 4 chemins parallèles représente, le meilleur compromis entre le niveau du signal sur bruit induit par cette expansion, et le coût de mise en œuvre de chemins de mixage et intégration parallèles supplémentaires.

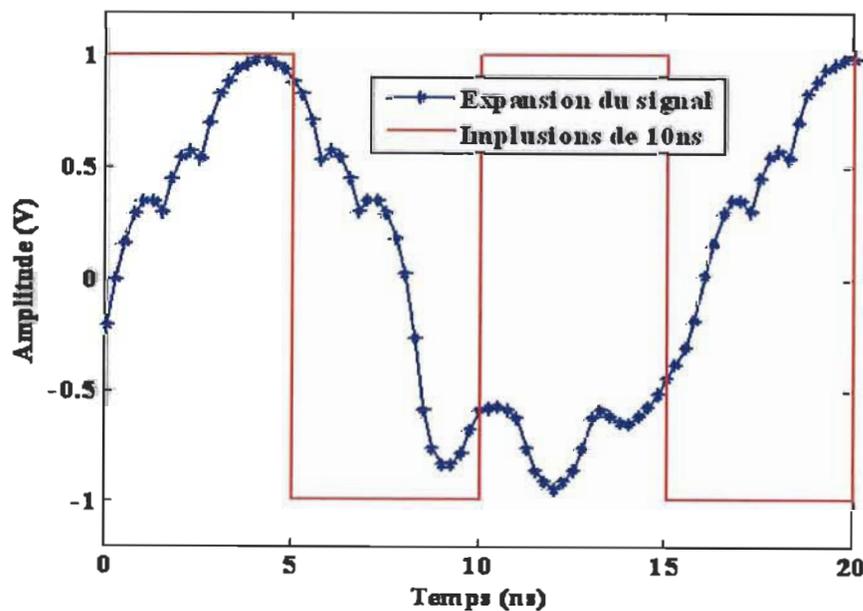


Figure 4.9: Étalage dans le temps de la durée des impulsions transmises après l'expansion du signal carré en bandes de base $s(t)$: Impulsion $s(t)$ et le signal d'expansion $S^m(t)$.

Les résultats de simulation du circuit, à partir des données transmises par une impulsion de durée de 10ns (équivalent d'une transmission mono bit de 100MS/s) montrent que, la convolution en domaine fréquentiel, de l'expansion sur une base de fréquence analogique produit un étalage dans le temps du signal. Cette expansion permet entre autre, que l'information puisse être numérisée, avec des fréquences d'échantillonnage en bas du critère de Nyquist. Ceci montre bien l'intérêt d'une conversion analogique/numérique en domaine fréquentiel, par rapport à une conversion analogique/numérique totalement numérique.

Par conséquent, cela montre l'avantage d'utiliser un récepteur UWB en transformé du domaine, par rapport à un récepteur UWB conventionnel [HOY07]. Cet intérêt est d'autant plus justifié, quand on analyse le gain significatif en surface d'implémentation introduit par cette nouvelle architecture de réception.

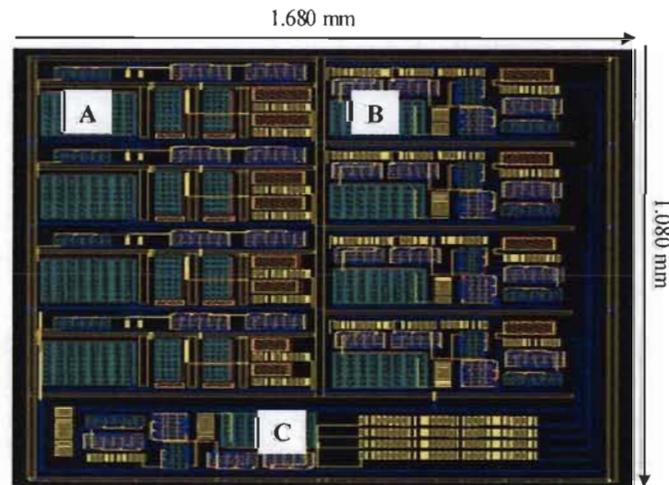


Figure 4.10: 'Layout' du filtre apparié en technologie CMOS 0.18 μm : A) Colonne des mélangeurs, B) Colonne des intégrateurs et C) Le sommateur.

En effet, la figure 4.10 montre une surface utile du ‘*Matching Filter*’ implémenté en technologie CMOS 0.18 μ m, occupant une surface utile de 1.680 \times 1.080 mm² pour une consommation de puissance totale de 51.9mW.

D’autres parts, un CAN doté d’une vitesse d’échantillonnage moyenne (10Mb/s), ou même plus élevée (500Mb/s), pourraient être implémentés sur une surface de l’ordre de 1mm², avec la même technologie [SAD04], [GIN07].

Tableau 4.2: Tableau de comparaison entre les différentes surfaces traitées dans la thèse.

Composant	Récepteur UWB Conventionnel [BLA05]	Récepteur proposé
Front-end	4.3 mm \times 2.9 mm (12 mm²)	1 mm²
PLL	1.680 mm \times 1.080 mm (1.7 mm²)	480 μ m \times 320 μ m (0.15 mm²)
ISI	6.9 mm²	s.o.
Filtre apparié	s.o.	1.7 mm²
CAN [GIN07]	1.1 mm²	s.o.
CAN (500/4) Mcps	s.o.	< 1.1 mm²
Surface Totale	9.6 mm²	< 4.4 mm²

On pourrait parfaitement arriver à la conclusion que la surface induite par les circuits supplémentaires du '*Matching Filter*', introduit par l'expansion analogique du signal en bande de base, seraient largement justifiées par l'élimination du besoin d'un (*Flash ADC*) et tous les circuits annexes de parallélisation et du contrôle numérique. Les circuits éliminés seront tout simplement remplacés par un simple CAN de vitesse moyenne (500/4Mbps).

L'avantage d'un récepteur en transformé du domaine est alors certain par rapport à un récepteur conventionnel, non seulement pour les systèmes UWB, mais aussi pour tous les systèmes réception sans fil, conçue pour permettre la transmission des données en larges bandes.

4.4 Étude de la stabilité du mélangeur en bandes de base après fabrication

Cette étude est dédiée à la mesure de l'influence de la dimension des transistors, la température et la variation de la tension d'alimentation, sur les performances du mélangeur en bandes de base proposé. Une étude de sensibilité est effectuée pour établir en premier lieu, et selon un ordre décroissant, les principaux paramètres pouvant altérer le bon fonctionnement du circuit. Cette étude nous permettrait à priori d'évaluer le niveau d'influence de tout éventuel paramètre du circuit, sur les performances du mélangeur. Par conséquent, une évaluation du taux d'offset due à l'inadéquation '*Mismatching*' des dimensions des transistors, avec le niveau de probabilité correspondant, est réalisé par le biais d'une simulation Monte-Carlo.

Cette évaluation sera suivie, à titre indicatif, d'une simulation du gain en conversion, figure de bruit et linéarité du circuit, paramétré par une variation de la tension d'alimentation et la température respectivement.

4.4.1 ÉTUDE DE SENSIBILITÉ

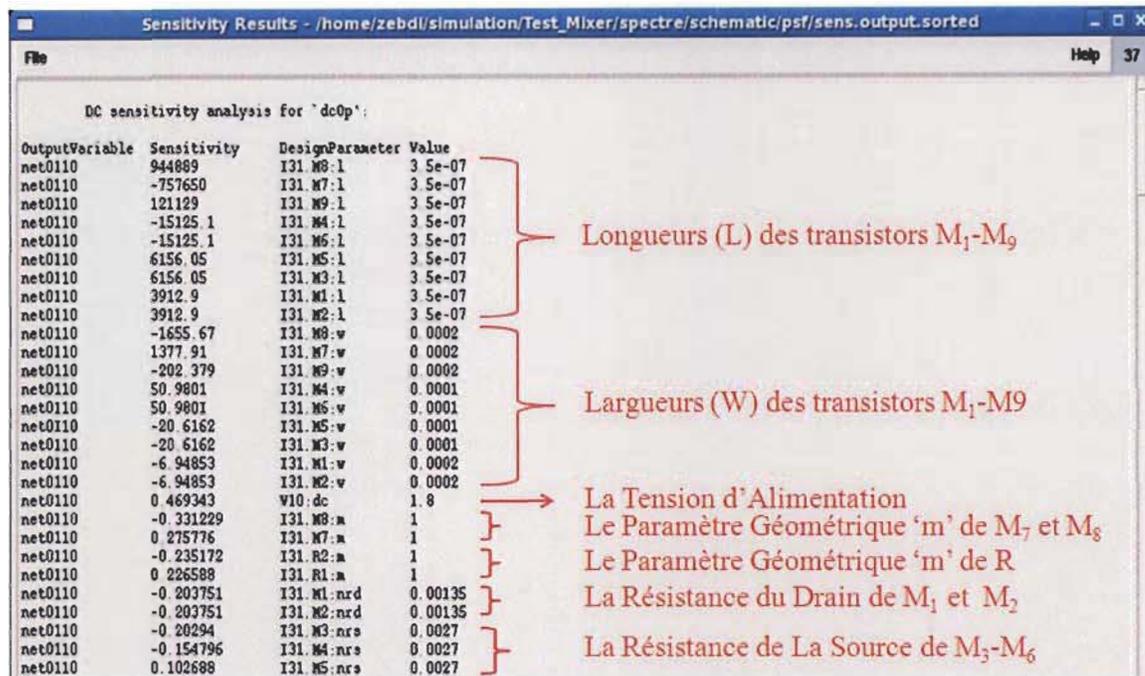


Figure 4.11 : L'ordre décroissant des principaux paramètres influençant sur le point de fonctionnement du mixeur en bandes de base proposé.

Le résultat de simulation de la sensibilité du circuit nous dresse un tableau en ordre décroissant, du niveau d'influence normalisé des différents paramètres du circuit (Fig. 4.11). La première lecture nous permet de déduire comme prévue, que la longueur et largeur des transistors du circuit M_1 - M_9 , ont la plus grande influence sur la stabilité du circuit suivi de la tension d'alimentation. La charge résistive R arrive quant à elle à la quatrième position.

On pourrait remarquer par contre, que la température ne figure pas sur la liste des paramètres les plus influant sur la performance du circuit. Par conséquent, les résultats de la simulation Monte-Carlo et la variation de la tension d'alimentation constitueraient donc les résultats les plus significatifs de cette étude.

4.4.2 INFLUENCE DU 'MISMATCHING'

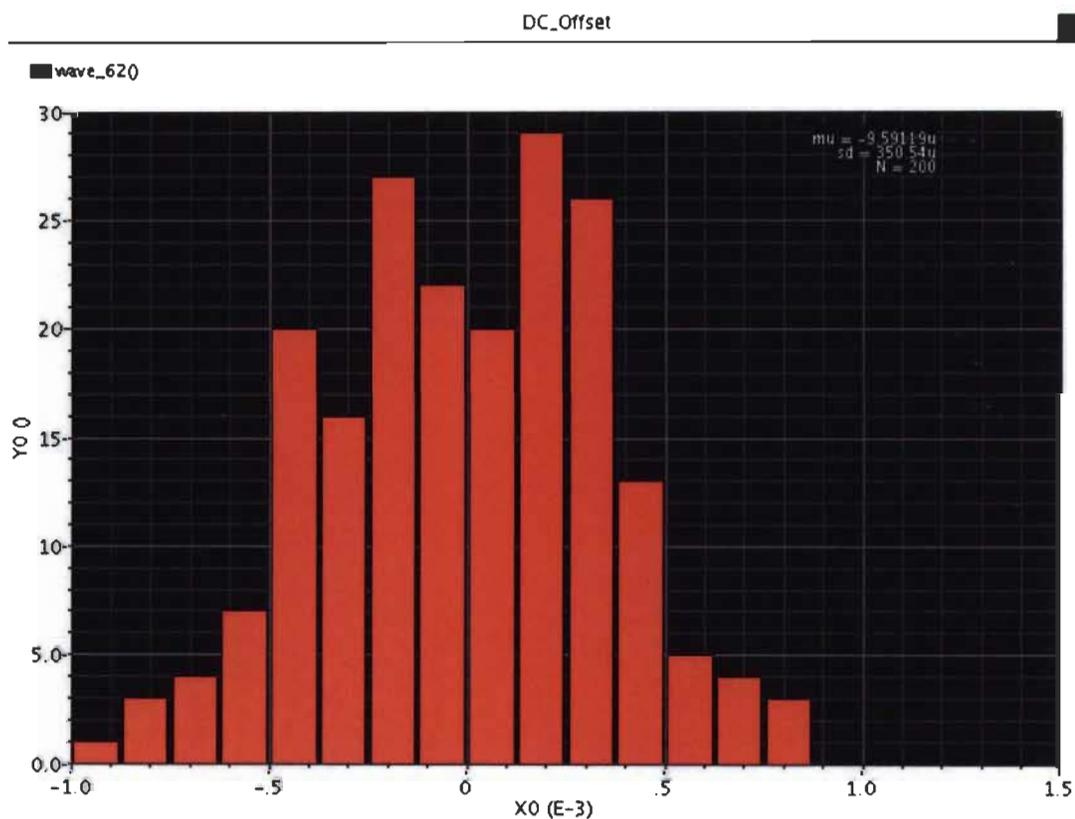


Figure 4.12 : Le résultat de simulation Monte-Carlo sur le mixeur en bandes de base.

Le résultat de la simulation Monte-Carlo du circuit présenté dans la figure 4.12, nous montre que la valeur absolue du DC-offset généré par une inadéquation de la dimension des transistors pourrait rarement dépasser le 1mV, ce qui confirme une fois de plus l'avantage d'une topologie pliée dans la conception d'un mélangeur pour un système de réception.

Cette topologie permet une parfaite symétrie, à la fois pour l'étage de commutation et l'étage de transconductance. Par conséquent, la probabilité que le mélangeur en topologie pliée proposé puisse générer un DC offset supérieure à 1mV reste quasi nulle.

4.4.3 INFLUENCE DE LA TENSION D'ALIMENTATION

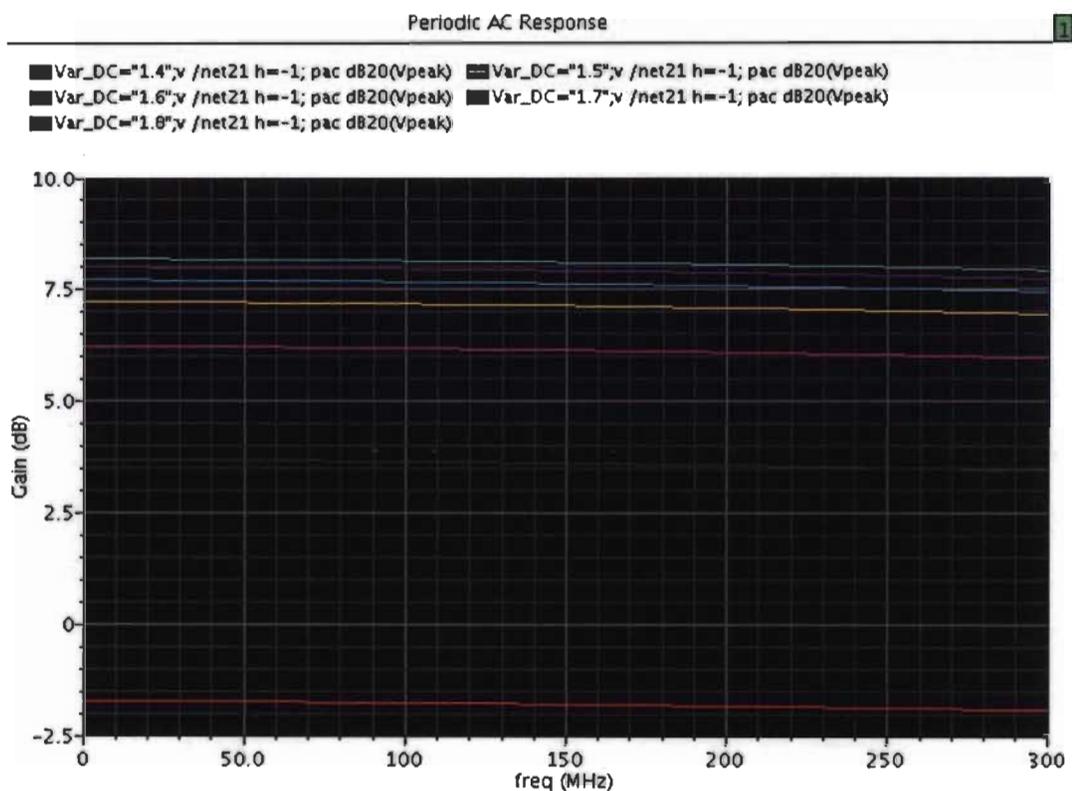


Figure 4.13 : L'influence de la variation de la tension d'alimentation sur le gain en conversion du mixeur en bandes de base.

Les résultats de simulation nous montrent qu'effectivement une variation de la tension d'alimentation pourrait avoir une influence significative sur les performances du circuit. Ainsi, le gain en conversion évalué à 8.2dB pour une tension d'alimentation de 1.8V (Tab. 4.1), pourrait tomber jusqu'à -1.75dB pour une tension de 1.4V (Fig. 4.13), ce qui montre l'importance de garder une erreur de 10% maximum de la tension d'alimentation pour

éviter de tomber vers des gains en conversion négatifs. Concernant la valeur de la figure de bruit, la figure 4.14 montre que la baisse de la tension d'alimentation est inversement proportionnelle à la figure de bruit d'une manière quasi linéaire. Une augmentation de 1dB est pratiquement observée pour chaque 0.1V de baisse de tension.

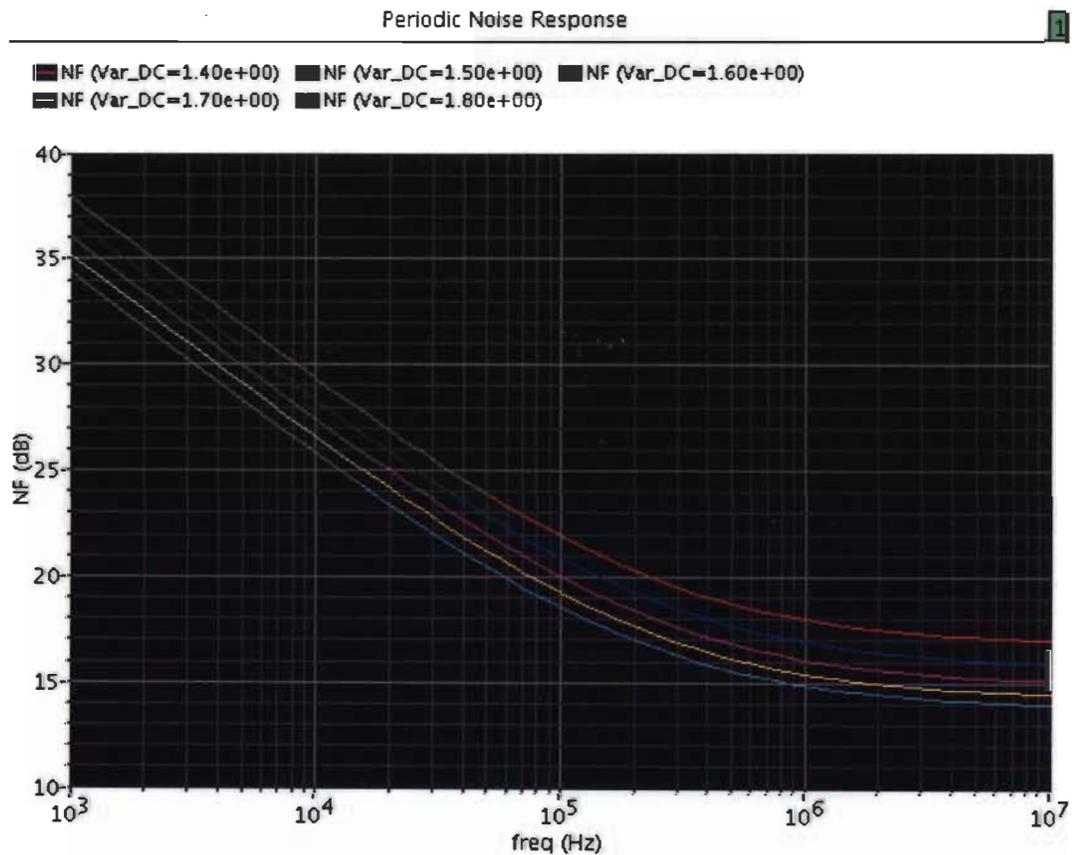


Figure 4.14 : l'influence de la variation de tension d'alimentation sur la valeur de la figure de bruit.

De même que pour la linéarité du circuit, ou une perte de plus de 4dBm en point de compression est observée, pour une baisse de 0.4V en tension d'alimentation (Fig. 4.15). Cette étude montre l'importance de garder une tension d'alimentation stable de 1.8V pour ne pas altérer les performances du mélangeur en bande de base proposé.

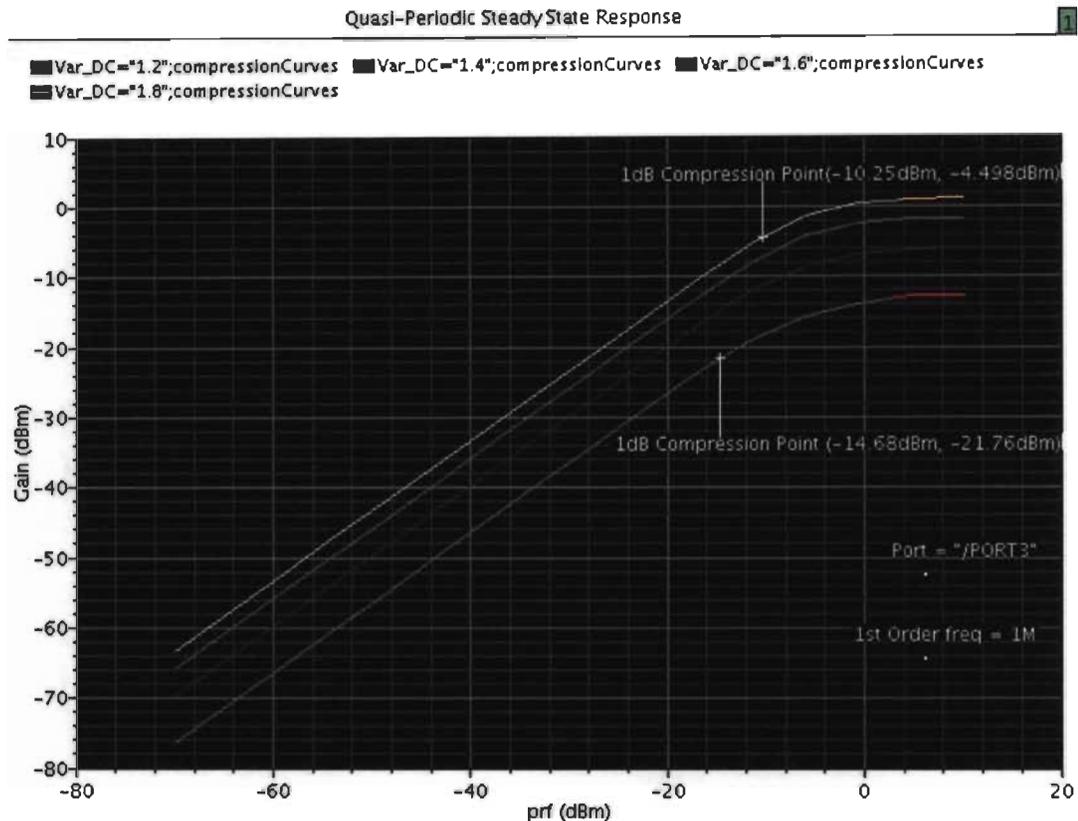


Figure 4.15: L'influence de la variation de la tension d'alimentation sur la linéarité du mixeur.

4.4.4 INFLUENCE DE LA VARIATION DE LA TEMPÉRATURE

D'autres parts, la température semble, comme on pourrait le déduire de la figure 4.16, avoir une marginale influence sur les performances du circuit.

Ainsi, à partir d'une température normale de simulation de 25 °C, le gain en conversion ne perd que 0.25dB quand la température augmente à 30°C, et augmente de presque 0.5dB uniquement si la température baisse jusqu'à 10°C (Fig. 4.16). Quand à la valeur de la figure de bruit et la linéarité du circuit, elles restent pratiquement inchangées quelques soit la valeur de la température (Fig. 4.17, Fig. 4.18).

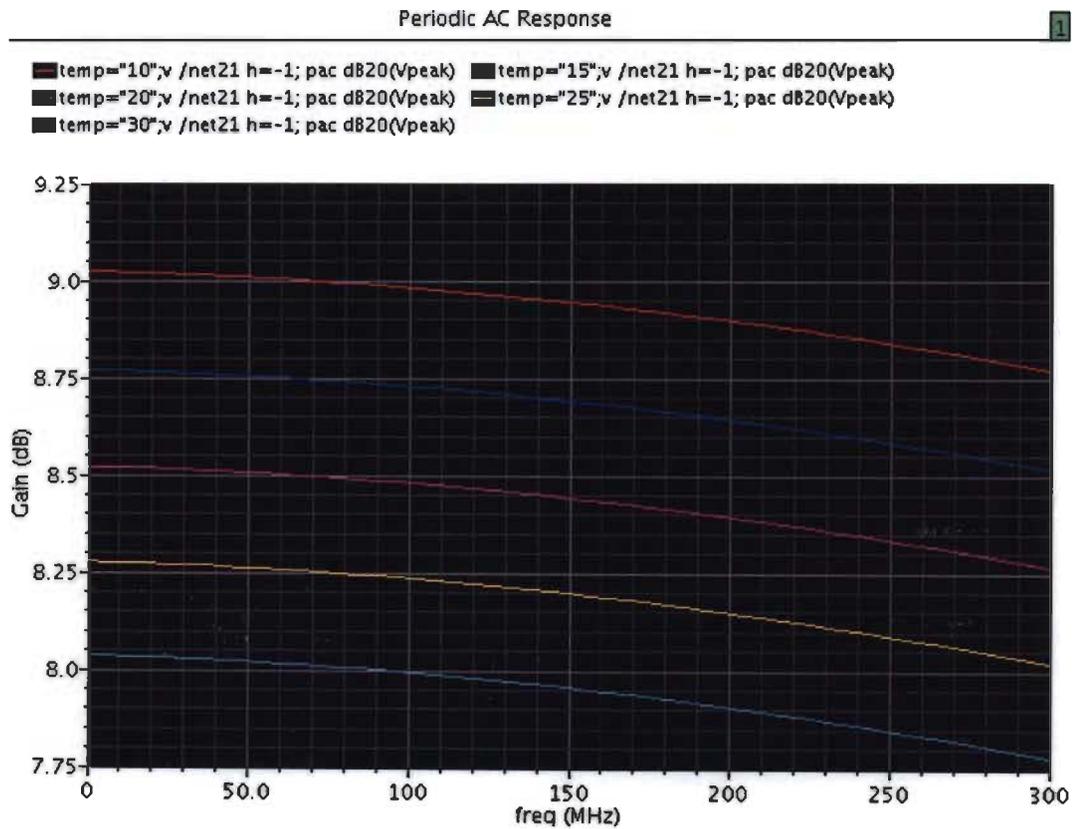


Figure 4.16 : L'influence de la température sur le gain en conversion du mixeur.

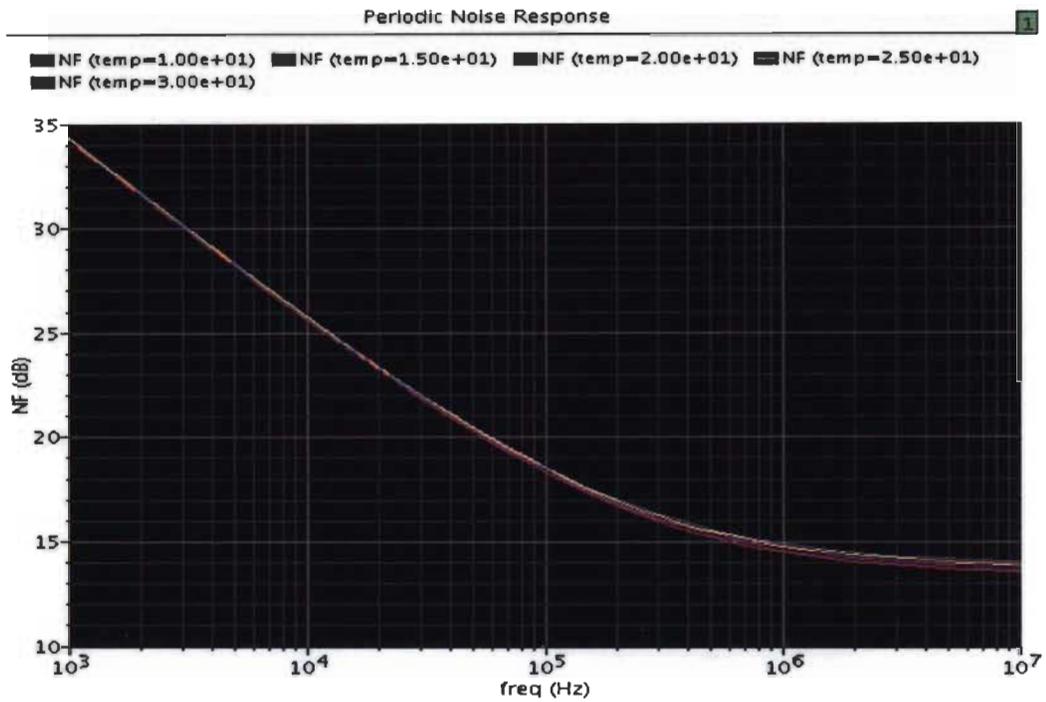


Figure 4.17 : L'influence de la température sur la figure de bruit du mixeur.

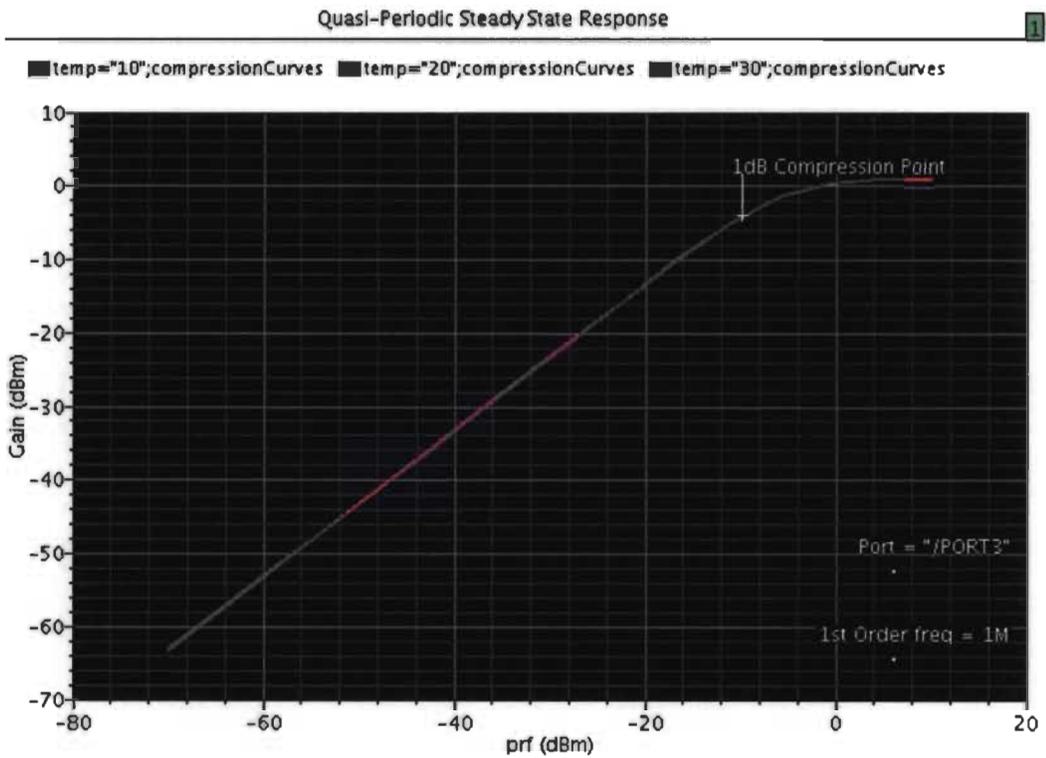


Figure 4.18 : L'influence de la température sur la linéarité du mixeur.

5.



CONCLUSION ET TRAVAUX FUTURS

Les performances d'un récepteur UWB pour les systèmes de communication sans fil, dépendent de sa capacité à pouvoir détecter et traiter le signal d'intérêt, avec le minimum de coûts possible en termes de surface et consommation de puissance. Le débit sans cesse croissant des données à traiter par le récepteur, met plus la pression sur la partie de conversion analogique/numérique que celle relative au front-end. La proposition de Hoyos et Sadler d'un récepteur UWB en transformation du domaine, avec une combinaison d'un front-end en domaine temporel et un convertisseur analogique/numérique en domaine fréquentiel, sert à réduire significativement la surface d'implémentation et la consommation d'énergie de la partie de la numérisation du signal d'intérêt. Avec cette nouvelle méthode, un récepteur pourrait désormais assurer à la fois la détection et l'égalisation du signal reçu avant numérisation.

Néanmoins, cette proposition nous pose de nouveaux défis en matière de conception et d'implémentation sur silicium. L'objectif serait de concevoir le circuit d'expansion en domaine fréquentiel avant numérisation, en exploitant l'orthogonalité dans le domaine fréquentiel. Le circuit d'expansion serait précédé par une proposition d'un front-end, dont la sélectivité par rapport aux signaux et systèmes adjacents, pourrait pallier au problème d'une éventuelle perte d'orthogonalité.

Contribution I: Conception d'un UWB WLAN front-end sélectif

Cette partie représente la synthèse de plusieurs travaux de recherches, qui nous ont permis de proposer un front-end en domaine temporel sélectif [ZE08] [ZE09A] [ZE09B] [ZE10A]. Ces propositions se veulent comme solution à la problématique de la perte d'orthogonalité, qui pourrait être produite avec un récepteur en transformation du domaine, contrairement à un récepteur UWB conventionnel. Ainsi, un amplificateur à faible bruit à feedback dynamique, à la fois très sélectif et performant, a été proposé comme principal élément du front-end en domaine temporel.

En résumé:

La conception en multi-blocs de l'UWB WLAN LNA permet de produire un meilleur équilibre (*Trade-off*), entre les différentes performances du LNA, à savoir le gain en conversion, figure de bruit, linéarité, consommation de puissance. Le LNA avec feedback dynamique propose produit un gain en conversion de près de 27 dB à 5.6 GHz; la fréquence centrale de la bande de fréquences UWB WLAN.

Cette performance c'est rendue possible en modélisant la fonction de transfert de tout le circuit, avec comme objectif de maximiser le gain sur la bande de fréquences d'intérêt.

Cette contribution met en évidence l'intérêt, d'une conception en multi-blocs dans les circuits analogiques en général, et des LNAs de hautes performances en particulier. Le circuit de feedback du LNA est '*Source Follower*' avec une sortie inductive. Une gamme de valeurs appropriées de cette inductance de sortie, nous permettrai à la fois, d'avoir de meilleures performances du LNA, tout en assurant un minimum de contribution du circuit de feedback en matière de bruit et de consommation d'énergie.

La sélectivité du front-end proposé est principalement due au niveau de sélectivité produit par l'UWB WLAN LNA, par rapport aux signaux et bandes de fréquences adjacents. Ainsi, le front-end sélectif est une conception de circuit analogique, appelée à répondre à un sérieux désavantage algorithmique engendré par la proposition d'architecture de Hoyos et Sadler, à savoir l'éventuelle perte d'orthogonalité avec une conversion analogique/numérique en domaine fréquentiel.

Contribution II: Expansion analogique en domaine fréquentiel du signal en bande de base.

Le deuxième volet concerne la conception du filtre apparié introduit dans le système de conversion analogique/numérique, pour cette nouvelle architecture de récepteurs UWB. Ce filtre apparié est conçu dans le but de projeter le signal en bandes de base, sur une base de fonctions analogiques, comme une nouvelle méthode de conversion en domaine fréquentiel.

L'objectif est de réduire la vitesse de conversion minimale, et minimiser ainsi la surface et la consommation en puissance du récepteur UWB. Un mélangeur en topologie pliée a été proposé en [ZE10B] comme élément de base de ce filtre apparié.

Bien que différents mélangeurs en topologie pliée ont déjà été proposés récemment, le mélangeur en bande base proposé possède la particularité de pouvoir intégrer un filtre passe-bas à sa sortie. La fréquence de coupure de ce filtre pourrait ainsi être ajustée, selon la valeur en fréquence l'élément n de la base de fonction analogique $\Phi_n(t)|_{n=0}^{N-1}$, utilisée pour l'expansion du signal en bande de base.

Cette conception est optimisée en matière de bruit basses fréquences (*Flicker Noise*), en optant pour un dimensionnement adéquat des transistors de commutation. Cette optimisation permettrait un meilleur équilibre entre, un minimum de bruit de basses fréquences, et la capacité de rediriger le courant issu de l'étage de transconductance à l'étage de commutation, avec une amplitude raisonnable des transistors de commutation (*LO Switches*).

En résumé:

La conception en signaux mixtes d'un filtre apparié basé sur une proposition de mélangeur en topologie pliée pour les signaux en bande, représente la deuxième contribution dans cette thèse de recherche. Le filtre apparié réalise la projection du signal en bande de base sur une base orthogonale, avant conversion analogique/numérique en

domaine fréquentiel, ce qui constitue le principal élément dans la proposition d'un récepteur UWB.

Le mélangeur proposé est optimisé pour un minimum bruit basse fréquence, tout en exploitant les avantages de la topologie pliée pour implémenter un filtre passe bas avant la sortie IF, suivi par un intégrateur dont la charge et la décharge du condensateur d'intégration est assurée par des signaux numériques. Cette approche est motivée par le souci de réduire la surface d'implémentation du filtre apparié le plus possible.

Plus Cette surface serait réduite, plus le gain en surface d'une implémentation d'un récepteur UWB par rapport à celle d'un récepteur conventionnel devient important. Ceci nous conduit à introduire la troisième contribution du sujet de recherche.

Contribution III: Implémentation du filtre apparié en technologie CMOS 0.18 μ m

La réalisation de ce filtre en technologie CMOS 0.18 μ m nous a permis de dresser un ordre de comparaison, avec une implémentation en même technologie d'un récepteur UWB conventionnel. L'objectif reste de pouvoir montrer l'avantage certain que pourrait produire une architecture de réception en transformé du domaine. Plus précisément, le gain engendré par une conversion analogique/numérique en domaine fréquentiel, par rapport à celle en domaine temporel, surtout pour des données occupant une très large bande passante.

Le mélangeur en bande de base proposé occupe une surface active ne dépassant pas $480 \times 320 \mu\text{m}^2$. L'implémentation du filtre apparié a nécessité une surface active de $1.680 \times 1.080 \text{ mm}^2$.

Cette valeur représente le ‘prix à payer’ en surface d’implémentation en échange à une élimination systématique au recours au Flash ADCs, ainsi que tout les circuits de parallélisation associés.

Il faut noter que plus la dimension nécessaire des transistors sont réduites grâce aux nouvelles technologies d’implémentation, plus la surface d’implémentation des architectures numériques en seraient proportionnellement réduite. Par conséquent, à débit constant avant et après réduction de la technologie, une réduction de consommation est possible. Cependant, à plus haut débit, la conception en circuit mixte conserve ses avantages et motivations à être utilisée.

Par contre, la fonction réalisée par les éléments analogiques est étroitement liée à la dimension même de ces éléments. Une architecture similaire en implémentation analogique ou mixte, ne bénéficie pas nécessairement des avantages des nouvelles technologies. Toutefois, une conception en circuits analogique pourrait réduire certains blocs fonctionnels, en lui réduisant à des éléments encore plus simples, conduisant à des réductions beaucoup plus conséquentes. La réduction en surface générée par l’implémentation en signaux mixtes du récepteur UWB en transformation du domaine proposé, par rapport à l’architecture numérique conventionnelle décrite en [BLA05], constitue le parfait exemple.

Travaux futurs :

Les travaux futurs de recherches pourraient compléter les propositions ci-dessus, par un circuit de conversion analogique/numérique complet, où l'impact de nombre de bits et de la vitesse de conversion des CANs à intégrer sur la surface de mise en œuvre, et la consommation de puissance du circuit global serait étudié. Il serait aussi intéressant de mesurer dans le futur, l'apport de la sélectivité du front-end sur la perte de l'orthogonalité dans le circuit d'expansion dans le domaine fréquentiel du signal à convertir, pour mieux prendre en compte cette problématique dans la conception d'un récepteur UWB en domaine fréquentiel.



RÉFÉRENCES

- [ALA89] M. A. Al-Alaoui, "A Novel Approach to Designing a Noninverting Integrator with Built-in Low Frequency Stability, High Frequency Compensation and High Q," *IEEE Trans. Instrum. Meas.*, vol. 38, pp. 1116–1121, Dec. 1989.
- [ALL02] P. E. Allen, D. R. Holberg, "CMOS Analog Circuit Design," 2nd ed. *Oxford University Press*. 2002.
- [ALL76] P. E. Allen, and W. J. Parrish, "High Frequency Response of Inverting Integrators," *IEEE J. Solid-State Circuits*, vol. SC-11, pp. 545-547, Aug. 1976.
- [ASG07] S. Asgaran, M. Jamal Deen, C. Chen, "Design of the Input Matching Network of RF CMOS LNAs for Low-Power Operation" *IEEE Transactions On Circuits and System.*, vol.5, pp. 544-554, Mar. 07.
- [BAT03] A.Batra et Al, "Multi-Band OFDM Physical Layer Proposal". *IEEE P802.15-03/268r2*.
- [BAT06] A.Batra *et al.*, "Improvements to the Multi-Band OFDM Physical Layer," *Consumer Communications and Networking Conference, (CCNC06)*,

Las Vegas, Jun. 2006.

- [BAU00] E. E. Bautista, B. Bastani, and J. Heck, "A High IIP2 Downconversion Mixer using Dynamic Matching," *IEEE Journal of Solid-State Circuits*, vol. 35, pp. 1934–1941, Dec. 2000.
- [BEL06] L. Belostotski, J. W. Haslett, "Noise Figure Optimization of Inductively Degenerated CMOS LNAs With Integrated Gate Inductors," *IEEE Transactions On Circuits and Systems*, vol. 53, pp. 1934-1941, Jul. 2006.
- [BER05] J. Bergervoet, K. Harish, G. Van Der Weide. D. Leenaerts, R. Van de Beek, H. Waite, S. Y. Zhang, Aggrawal, C. Razzell, and R. Roovers, "An Interference Robust Receive Chain for UWB Radio in SiGe BiCMOS," *IEEE Int. Solid State Circuits Conf. (ISSCC05) Dig. Tech. Papers*, pp. 200-202. San Francisco, Feb. 2005.
- [BEV04] A. Bevilacqua, A. M. Niknejad, "UltraWideBand CMOS Low-Noise Amplifier for 3.1-10.6 GHz Wireless Receivers," *IEEE J. Solid-State Circuits*, vol. 39, pp. 2259-2268, Dec. 2004.
- [BLA03] R. Blazquez, F. Lee, D. Wentzloff, P. Newaskar, J. Powell, A. Chandrakasan, "Digital Architecture for an Ultrawideband Radio Receiver," in *Proc. Vehicular Technology Conf.*, vol. 2, pp. 1303-1307, Orlando, May 2003.
- [BLA05] R. Blazquez, F. Lee, D. Wentzloff, B. Ginsburg, J. Powell A. Chandrakasan, "Direct Conversion Pulsed UWB Transceiver Architecture," *Proceeding of the Design, Automation and Test in Europe Conference and Exhibition*, pp. 1530-1591, Munich, Germany, Mar. 2005.

- [BRA05] M. Brandolini, P. Rossi, D. Manstretta, and F. Svelto, "Toward Multistandard Mobile Terminals - Fully Integrated Receivers Requirements And Architectures," *IEEE Transactions on Microwave Theory and Techniques*, vol. 53, pp. 1026–1038, March 2005.
- [CHE06] P. Chen, T. Chiueh, "Design of A Low Power Mixed-Signal Rake Receiver," *Inter. Symposium on Circuits and Systems, (ISCAS 2006)*, pp. 2792-2796, Island of Kos, Greece. Jun. 06.
- [CHO07] K. Choi, D. H. Shin, and C. P. Yue, "A 1.2-V, 5.8mW, Ultra-Wideband Folded Mixer in 0.13- μ m CMOS," *IEEE Radio Frequency Integrated Circuit Symposium*, pp. 489-292, Honolulu, Sept. 2007.
- [CLA79] G. B. Clayton, "Operational Amplifiers," 2nd ed. Boston, MA: Newnes Butterworth, 1979.
- [CUS06] G. Cusmai, M. Brandolini, P. Rossi, F. Svelt. "A 0.18- μ m CMOS Selective Receiver Front-End for UWB Applications," *IEEE Journal Of Solid-State Circuits*. vol. 41, pp. 1764-1771, Aug. 06.
- [DAR00] H. Darabi and A. A. Abidi, "Noise in RF-CMOS mixers: a simple physical model," *IEEE J. Solid-Sate Circuits*, vol. 35, pp. 15-25, Jan. 2000.
- [FIS04] R. Fisher, R. Kohno, H. Ogawa, H. Zhang, K. Takizawa, M. Mclaughlin, and M. Welborn, "DS-UWB Physical Layer Submission to 802.15 Task Group 3a.," *IEEE P802.15-04/0137r1*, Mar. 2004.
- [FLO05] B. A. Floyd, and al., "WCDMA Direct-Conversion Receiver Front-End Comparison in RF-CMOS and SiGe BiCMOS," *Microwave Theory and Techniques* , vol. 53, pp. 1181–1188, Apr. 2005.
- [FON07] F. Chang, and al., "A Low Power Folded Mixer for UWB System

Applications in 0.18 μm CMOS Technology,” *IEEE Microwave and wireless components letters*, vol. 17, No. 5, May 2007.

- [FRA88] S. Franco, “Design with Operational Amplifiers and Analog Integrated Circuits”. *New York: McGraw-Hill*, 1988.
- [GEI82] R. L. Geiger and G. R. Bailey, “Integrator Design for High-Frequency Active Filter Applications,” *IEEE Trans. Circuits and Syst.*, vol. CAS-29, pp. 595–603, Sept. 1982.
- [GHA05] R. Gharpurey, “Design Challenges in Emerging BroadBand Wireless Systems,” *IEEE Radio Frequency Integrated Circuits (RFIC) Symp. Dig. Papers*, pp 331-334, Lon Beach, Jun. 2005.
- [GIN07] B. P. Ginsburg, A. P. Chandrakasan, “Dual Time-Interleaved Successive Approximation Register ADCs for an Ultra-Wideband Receiver,” *IEEE Journal of Solid-State Circuits*, vol. 42, pp. 247-257, Lille, France, Feb. 2007.
- [GRA77] J. G. Graeme, “Designing with Operational Amplifiers: Applications Alternatives”. *New York: McGraw-Hill*, 1977.
- [HOY04] S. Hoyos, B. M. Sadler, C. R. Arce, “High-Speed A/D Conversion for Ultra-WideBand Signals Bases On Signal Projection over Basis Functions,” *IEEE Int. Conf. On Acoustics, Speech and Signal Processing, (ICASSP 2004)*, pp. 537-540, Montreal, Canada, May 2004.
- [HOY07] S. Hoyos, B. M. Sadler, “UWB Mixed-Signal Transform-Domain Direct Sequence Receiver,” *IEEE Transactions on Wireless Communications*, vol. 6, pp. 3038-3046 , Aug. 2007.

- [HUE80] L. P. Huelsman and P. E. Allen, "Introduction to The Theory and Design of Active Filters," *New York: McGraw-Hill*, 1980.
- [ISM04] A. Ismail and A. A. Abidi, "A 3–10 GHz Low-Noise Amplifier with Wideband LC-ladder Matching Network," *IEEE J. Solid-State Circuits*, vol. 39, pp. 2269–2277, Dec. 2004.
- [KAN08] Kyu-Min Kang, Sung-Woo Choi, Sang-In Cho, Sang-Sung Choi, "Voltage Gain Control of a VGA in a UWB Receiver," *IEEE International Symposium on Consumer Electronics, (ISCE 2008)*, pp. 1-4. Vilamoura, Apr. 2008.
- [KIN05] P. R. Kinget, "Device Mismatch and Tradeoffs in the Design of Analog Circuits," *Solid-State Circuits Journal*, vol. 40, pp. 1212–1224, Jun. 2005.
- [PAR05] Y. Park, C. -H. Lee, J. D. Cressler, J. Laksar, and A. Joseph, "A Very Low Power SiGe LNA for UWB Application," *IEEE Int. Microwave Sym. Digest, (IEEE MTT-S 2005)*, Long Beach, Jun. 2005.
- [PAR06] J. Park, C. Lee, B. Kim, J. Laskar, "Design and Analysis of Low Flicker-Noise CMOS Mixers for Direct-Conversion Receivers," *IEEE Transactions On Microwave Theory And Techniques*. vol. 54, pp. 4372-4380, Dec. 2006.
- [PRA08] P. K. Prakasam, et al., "Applications of Multipath Transform-Domain Charge-Sampling Wide-Band Receivers," *IEEE Transactions on Circuits and Systems -II: express briefs*, vol. 55, pp. 309-313, April 2008.
- [RAZ01] B. Razavi, "Design of analog CMOS integrated Circuits," *Boston, MA; Toronto : McGraw-Hill*, c2001.

- [RAZ05] B. Razavi, T. Aytur, C. Lam, F. Yang, R. Yan, H. kang, C. Hsu C. Lee, "A 0.13 μ m CMOS UWB Transceiver," *IEEE Int. Solid State Circuits Conf. (ISSCC 2005)*, pp. 216-218. San Francisco, Feb. 2005.
- [RAZ06] B. Razavi. "Fundamentals of Microelectronics," *B. John & Wiley Sons, Inc. April 2006*.
- [RAZ07] B. Razavi. "Design Considerations for Future RF Circuits," *IEEE Int. Symp. On Circuits and Systems. (ISCAS 2007)*, pp. 741-744, New Orleans, May 2007.
- [RAZ97] B. Razavi, "Design Considerations for Direct-Conversion Receivers," *IEEE Trans. On Circuits and Systems*, vol. 44, pp. 428-435, Jun. 1997.
- [RAZ98] B. Razavi, "RF Microelectronics," Prentice Hall, NJ, 1998.
- [REJ08] M. M. Reja, K. Moez, and I. Filanovsky, "A Novel 0.6V CMOS Folded Gilbert-Cell Mixer for UWB Applications," *IEEE International SOC Conference, (SOCC 2008)*, pp. 169–172, Sept. 2008.
- [REV02] "Revision of the Commission Rules Regarding Ultra Wide-Band Transmission Systems. Federal Communications Commission," *Available at :*
http://www.fcc.gov/Document_Indexes/Engineering_Technology/2002_Index_OET_Order.html.
- [ROS78] G. F. Ross, "Time-Domain Electro-Magnetics and Its Applications," *Proc. IEEE*, vol. 66, pp. 299-318, March 1978.
- [SAD04] M. Sadaghdar, K. Iniewski, M. Syrzycki, "11-Bit Floating-Point Pipelined

Analog to Digital Converter in CMOS 0.18 μm ". *Canadian Conf. on Elect. Eng. (CCGEI 2004)*, pp. 1503-1506, Niagara Falls, May 2004.

- [SCH90] R. Schaumann, M. Ghausi, and K. Laker, "Design of Analog Filters," *Englewood Cliffs, NJ: Prentice-Hall*, 1990.
- [SHA06] A. Shameli, P. Heydari, "A Novel Ultra-Low Power (ULP) Low Noise Amplifier CMOS LNA," *IEEE Solid-State Circuits Conf.*, pp. 352-355, Montreux, Suisse, Sept. 2006.
- [SJO03] Sjoland, et al., "A Merged CMOS LNA and Mixer for a WCDMA Receiver," *IEEE J. Solid-State Circuits*, vol. 38, pp. 1045-1050, Jun. 2003.
- [SOL79] A. M. Soliman, "Novel Generalized Differential Integrator with Controlled Phase Lead," *Proc. IEEE*, vol. 67, pp. 1449-1451, Oct. 1979.
- [TSA07] J. J. Tsai, P. Wu, C. Lin, T. Huang, J. Chern, W. Huang, "A 25-75 GHz Broadband Gilbert-Cell Mixer Using 90-nm CMOS Technology," *IEEE Microwave And Wireless Components Letters*, vol. 17, pp. 247-249, Apr. 2007.
- [YO07] S-S. Yo, H-J. Yoo, "A Low Power Current-Reused CMOS RF Front-end with Stacked LNA and Mixer," *IEEE Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems*, pp. 103-106, Long Beach, Jan. 2007.
- [YU07] Y. Yu, Y. E. Chen, D. Heo, "A 0.6-V Low Power CMOS LNA," *IEEE Microwave Components Letters*, vol. 17, pp. 229-231, Mar. 2007.
- [ZE08] M. Zebdi, D. Massicotte, "Time-Domain Analog Front-End, for Transform-Domain UWB WLAN Receiver," *IEEE Microwave Conference, China-*

Japan Joint, pp. 627-632, Shanghai, China, Jun 2008.

- [ZE09A] M. Zebdi, D. Massicotte, “Dynamic Feedback CMOS LNA, for UWB WLAN Transform-Domain Receiver Loss of Orthogonality,” *IEEE 10th Annual Wireless and Microwave Technology Conference, (WAMICON '09)*, pp. 1-5, Clearwater, Apr. 2009.
- [ZE09B] M. Zebdi, D. Massicotte, C. Fayomi, “Time-Domain Front-End for Short Time Windowing UWB WLAN Transform-Domain Receiver,” *IEEE International Symposium on Radio-Frequency Integration Technology (RFIT2009)*, pp. 52-55. Singapore, Dec. 2009.
- [ZE10] M. Zebdi, D. Massicotte, C. Fayomi, “Multi-Block CMOS LNA Design for UWB WLAN Transform-Domain Receiver Loss of Orthogonality,” *Published as a book chapter in the book under the working title "Microwave and Millimeter Wave Technologies"*, In-Tech Publications, ISBN 978-953-7619-X-X. 2010, <http://www.intechweb.org/>
- [ZE10B] M. Zebdi, D. Massicotte, C. Fayomi, “Low-Power Baseband Folded Gilbert Cell Mixer For Frequency-Domain A/D Converter in 0.18 μ m CMOS,” *The Second International Conference on Advances in Satellite and Space Communications (SPACOMM 2010)*, pp. 42-46. Athens, Jun. 2010.

ANNEXE A

A

CHOIX DE MÉTHODES ET PARAMÈTRES DE PRÉCISION POUR LES DIFFÉRENTES SIMULATIONS

Cette annexe est dédiée à l'étude des différents choix effectués sur les méthodes et paramètres de précision durant les simulations, tout le long des travaux de recherches. Il est important de noter en premier lieu, que le choix de la technologie CMOS 0.18 μ m est motivé par, l'objectif de comparaison avec une implantation d'un récepteur UWB en architecture conventionnelle de la même technologie, en l'occurrence celle décrite en [BLA05]. Quand au choix du module Virtuoso[®] SpectreRF⁵ de Cadence comme outil de simulation, ainsi qu'aux différentes méthodes et paramètres de précision, cela nécessiterait au préalable quelques définitions et certaines notions de base, pour pouvoir justifier toutes les étapes entreprises.

A.1 Virtuoso[®] SpectreRF

⁵ Virtuoso[®] SpectreRF Simulation Option, User Guide, Product Version 5.1.41, July 2005.

Virtuoso[®] SpectreRF est un outil de simulation nouvellement intégré dans (Analog Design Environment – ADE) de CADENCE, qui a pour objectif de renforcer le conventionnel (*Virtuoso Spectre Circuit Simulator* – Spectre), avec des capacités particulièrement utiles pour la conception des circuits analogiques et RF.

Les principales atouts de ce nouvel outil résident principalement, dans la capacité de calculer directement de manière efficace, les solutions en régime permanent du circuit à simuler (*Steady-State Solution*), caractériser les circuits qui réalisent une translation de fréquences, par des analyses large signal périodiques ou quasi-périodiques définies comme :

- Analyse périodique en régime permanent (*Periodic Steady-State Analysis* – PSS Analysis).
- Analyse Quasi-périodique en régime permanent (*Quasi-Periodic Steady-State Analysis* – QPSS Analysis).

Les circuits analogiques comme les mélangeurs ou les LNAs, ne peuvent plus être simulés par les analyses petit signal conventionnelles, du fait qu'ils développent une quantité non négligeable de translation de fréquences. Les analyses classiques commencent par la linéarisation du circuit autour d'un point de fonctionnement à l'état d'équilibre (la solution DC). Puis, un model linéaire et invariant dans le temps du circuit est construit à partir d'une analyse petit signal, après la détermination de son régime permanent.

Ces analyses ne peuvent pas gérer la translation de fréquences, car ils traitent une représentation invariante dans le temps du circuit en question.

Par contre, les analyses périodiques (ou quasi-périodiques) du SpectreRF, commencent par une linéarisation du circuit autour du point de fonctionnement périodique et variant dans le temps, calculé par l'analyse périodique en régime permanent (*PSS Analysis*).

Effectivement, une représentation périodique variante dans le temps du circuit est désormais, capable de modéliser la translation de fréquences, avec une analyse petit signal périodique des modèles d'analyses classiques (Fonction de transfert, paramètres S, courant alternatif, bruit,...).

Au départ, le petit signal d'entrée et bruit sont ignorés, et une analyse PSS calcule la réponse périodique du régime permanent des autres larges signaux (Horloge, oscillateur local,...). Durant cette phase, le circuit est linéarisé autour d'un point de fonctionnement périodique. Puis, les analyses petit signal subséquentes pourraient alors utiliser les données de ce point de fonctionnement périodique large signal, pour développer une infinité d'analyses périodiques petit signal. Cette analyse assume que le signal d'entraînement est périodique, et la relation entre le point de départ et le point final de la réponse temporelle du circuit à simuler est presque linéaire. Contrairement à une analyse périodique, une analyse quasi-périodique du régime permanent calcule la réponse du circuit, pour une multitude de fréquences des signaux d'entraînement à son entrée. D'autant plus que tous ces signaux d'entrée sont traités de la même manière que le signal d'entraînement lors d'une analyse PSS.

La sortie calculée inclue tous les effets d'intermodulations causés par la distorsion, due à la translation de fréquences de toutes les harmoniques présentent à l'entrée. Une analyse quasi-périodique du régime permanent est utilisée, lorsqu'on a besoin de déterminer la réponse en régime permanent, d'un circuit conduit par deux ou plusieurs signaux à des fréquences distinctes ex : le calcul du IIP2 ou IIP3.

A.2 Méthodes de simulation du SpectreRF

Spectre RF offre un choix de méthodes de simulation, entre la méthode de simulation en domaine temporel (*Time Domain Shooting* - TD Shooting), et la méthode de l'équilibre harmonique (*Harmonic Balance* – HB Hamonics), pour la plupart des analyses.

A.2.1 MÉTHODE D'INTERVALLE DE PROJECTION

La méthode d'intervalle de projection (*Time domain Shooting* – TD Shooting) est une méthode qui fonctionne dans le domaine temporel, pour trouver de manière efficace une condition initiale qui résulte directement de régime permanent.

Spectre RF utilise traditionnellement cette technique, pour mettre en œuvre l'analyse PSS. Cette méthode est un processus itératif dans le domaine temporel, qui commence par une supposition ou estimation de l'état initial, et trouve finalement une condition initiale qui résulte directement de la solution en régime permanent.

La méthode d'intervalle de projection nécessite quelques itérations, si l'état final du circuit après une période de temps est une fonction quasi-linéaire de l'état initial. Cela est généralement vrai même pour les circuits qui ont une réaction fortement non linéaire au stimulus (Horloge ou oscillateur local).

Typiquement, la méthode d'intervalle de projection a besoin d'environ cinq itérations pour la plupart des circuits, afin de simuler le comportement du circuit non-linéaire dans l'intervalle de projection.

A.2.2 MÉTHODE D'ÉQUILIBRE HARMONIQUE

La méthode d'équilibre harmonique qui produit une analyse des circuits dans le domaine fréquentiel, fournit une simulation efficace et robuste pour les circuits linéaires et faiblement non linéaires.

Cette méthode est très efficace pour simuler des circuits tels que les amplificateurs à faible bruit, qui peuvent être représentés par des harmoniques de faibles ordres. Dans ce cas, seuls quelques coefficients peuvent déterminer la forme d'onde avec précision. Les mélangeurs dotés d'un stimulus de niveau de puissance modéré, pourrait également être représenté avec des harmoniques de faible ordres. La méthode d'équilibre harmonique modélise également, et de manière efficace, les composants du circuit qui restent dépendants de la fréquence utilisée.

A.3 Paramètres de précisions

Plusieurs paramètres déterminent la précision d'une analyse PSS. Le paramètre '*steadyratio*' spécifie le décalage maximal autorisé entre les tensions des nœuds, ou le courant dans des branches du début à la fin de l'intervalle du régime permanent. La valeur du paramètre '*steadyratio*' est multiplié par la valeur de '*iteratio*' et '*reltol*' pour déterminer le critère de convergence.

Ces paramètres déterminent le niveau de la conservation de la charge et la précision avec laquelle les points du régime permanent sont calculés. Théoriquement, on pourrait régler l'erreur d'intégration, ou les erreurs dans le calcul de la dynamique du circuit (comme les constantes de temps), par rapport aux paramètres '*reltol*' et '*abstol*' en définissant le paramètre '*Iteratio*'. Mais le paramètre '*errpreset*' ajuste par default tout ces paramètres de simulation selon nos besoins. Dans la plupart des cas, '*errpreset*' devrait être le seul paramètre que nous devons régler. Dans le cas d'un circuit non autonome (qui nécessitent un stimulus comme signal d'entraînement périodique, ex : LNA, mélangeur), quand on est seulement intéressé par l'obtention du point de fonctionnement périodique, le paramètre '*errpreset*' pourrait être ajusté à l'option '*liberal*'. Cette option produit des résultats raisonnablement précis, avec une meilleure vitesse de simulation.

Si notre circuit est alimenté par plus d'une tonalité périodique, et on serait plus intéressé par les résultats d'intermodulation, l'option 'modérée' du paramètre '*errpreset*' serait la mieux indiquée. Cette option produit des résultats très précis.

Si par contre, la priorité est de produire des résultats de simulation avec un niveau de bruit extrêmement faible ; En d'autres termes, la précision reste notre principal intérêt, le paramètre '*errpreset*' devrait être ajusté dans ce cas à l'option '*conservatrice*'. Pour un circuit faiblement non linéaire, le niveau de bruit numérique est estimé à -70 dB avec l'option '*liberal*', -90 dB pour '*Modrate*', et -120 dB pour l'ajustement du paramètre '*errpreset*' à l'option '*Conservative*'⁶. Pour un circuit linéaire, le niveau de bruit serait encore plus bas.

⁶ Virtuoso[®] Spectre Circuit Simulator RF Analysis Theory, Product Version 6.2, June 2007.

Concernant les paramètres de précisions introduites avec les méthodes de simulations, on remarquerait que le paramètre '*finitediff*' spécifie l'utilisation de la méthode de raffinement aux différences finies (*Finites Difference Refinement Method* - FD). Cette méthode intervient après le déroulement de la méthode d'intervalle de projection, pour affiner les résultats de simulation.

Lorsque le paramètre '*finitediff*' est '*yes*', l'analyse PSS applique la méthode de raffinement (FD), et essaie d'améliorer la durée des intervalles de temps si nécessaire. À la position '*refine*', PSS applique la méthode de raffinement (FD) et essaie d'affiner les intervalles de temps en même temps.

D'autres parts, les paramètres '*harms*' et '*maxharms*' déterminent le nombre d'harmoniques utilisées pour étendre la forme d'onde, avec la méthodologie de simulation équilibre des harmoniques. Durant une analyse PSS, '*harms*' spécifie le maximum d'harmoniques. En QPSS, '*maxharms*' indique le maximum d'harmoniques pour chaque tonalité utilisée. Il est important de souligner que '*harms*' et '*maxharms*' sont des paramètres de sortie dans le domaine temporel, par contre, ils sont des paramètres d'entrée pour la méthode fréquentielle d'équilibre des harmoniques. Ces paramètres ont un impact direct sur la précision et la performance de cette méthode de simulation.

Le meilleur choix pour ces deux paramètres dépend de la forme d'onde du signal, et le degré de non-linéarité du circuit. Plus le signal d'entrée varie rapidement avec le temps, où plus le circuit à simuler présente des signes de non-linéarité, plus des harmoniques sont nécessaires pour représenter avec précision la solution.

Dans le cas des mélangeurs, le niveau de puissance de l'oscillateur LO est éventuellement plus élevé que celui du signal RF; Générant un effet de non linéarité qui nécessite le recours à des harmoniques supplémentaires, comparativement avec le cas d'un oscillateur avec un niveau de puissance relativement modéré. En règles générales, plus d'harmoniques seraient nécessaires pour les circuits présentant d'effets de non-linéarité plus sévères.

A.4 Choix et méthodes de simulation adoptées

A.4.1 MÉTHODES DE SIMULATION ADOPTÉES

La méthode d'équilibre des harmoniques est très efficace pour simuler des circuits faiblement non linéaires, tels que les LNAs. Seuls quelques harmoniques sont nécessaires pour représenter avec précision la solution. Pour les circuits fortement non linéaires avec une forte montée ou baisse des signaux, la méthode de d'intervalle de projection reste la plus appropriée.

D'autres parts, la méthode d'équilibre des harmoniques en simulation avec plusieurs tonalités, ne présente pas de problèmes de convergence ou de vitesse de simulation, rencontrés lors d'une analyse QPSS avec la méthode de projection d'intervalles. Par conséquent, la méthode d'équilibre des harmoniques lors d'une analyse QPSS est préférée dans le cas des simulations à plusieurs tonalités (ex : simulation de linéarité).

En résumé durant ces travaux de recherches:

- Les simulations à une seule tonalité pour étudier les performances des circuits faiblement non linéaires, présentant une quantité non négligeable de transfert de fréquences (LNA), ont été effectuées par la combinaison d'une analyse PSS et la méthode d'équilibre des harmoniques.
- Les simulations à une seule tonalité pour les circuits fortement non linéaires, présentant une quantité non négligeable de transfert de fréquences (Mélangeur haute fréquences, mélangeurs en bande de base) ont été effectuées par la combinaison d'une analyse PSS et la méthode d'intervalle de projection.
- Toutes les simulations à deux ou plusieurs tonalités (IIP2, IIP3, point de compression à 1dB), ont été effectuées par la combinaison d'une analyse QPSS et la méthode d'intervalle de projection, due à la capacité de cette méthode de représenter naturellement les équations du circuit.

A.4.2 PARAMÈTRES DE PRÉCISION CHOISIS

Les paramètres '*harms*' de l'analyse PSS et '*maxharms*' de QPSS, ont le plus d'impact sur l'exactitude d'une analyse avec la méthode d'équilibre des harmoniques. Lorsque nous utilisons trop peu d'harmoniques, le spectre à l'extérieur de l'harmonique maximale choisi va automatiquement se replier vers les harmoniques de l'intérieur du spectre.

Ce chevauchement (*aliasing*) pourrait inévitablement provoquer des erreurs. Dans notre cas, lors de la simulation du point de l'intermodulation de troisième ordre IIP3 des mélangeurs (circuits fortement non linéaires), le choix du paramètre '*maxharms = 10*' pour analyse à plusieurs tonalités était largement suffisant.

Il faut noter que le niveau de puissance du signal RF et l'oscillateur LO ont été dans notre cas relativement modérées (<400mV), par conséquent, un '*maxharms = 10*' pourrait fidèlement représenter les principales harmoniques du circuit.

Pour la précision de la méthode d'intervalle de projection, le paramètre '*finitediff*' était ajusté à l'option '*refine*', pour pouvoir optimiser à la fois cette méthode, et la valeur des intervalles de projection. Le paramètre '*errpreset*' reste cependant le principal paramètre pouvant affecter la précision des simulations.

Étant donné que la précision reste notre premier souci durant les travaux de recherches, avec comme priorité un niveau de bruit, extrêmement bas lors de la modélisation des circuits proposés, le paramètre '*errpreset*' était automatiquement ajusté au niveau '*conservative*'. Cela a pour conséquences de réduire le niveau de tolérance '*reltol*' à $(10^{-4})^7$, permettant une meilleure précision, en dépit d'un temps de simulation relativement plus long.

Le tableau A.1 résume tous les choix adoptés pour les circuits non linéaires avec translation en fréquences (LNA, mélangeurs) durant les travaux de recherches, incluant les types de simulations, méthodes de simulations, type d'analyse, et paramètres de précisions.

⁷ Virtuoso[®] Spectre Circuit Simulator RF Analysis Theory, Product Version 6.2, June 2007.

**Tableau A.1: Choix adoptés des simulations des circuits non linéaires
durant les travaux de recherche.**

Type de circuit	Type de simulation	Méthode de simulation	Type d'analyse	Paramètres de précision		
				'errpreset'	'harms' ou 'maxharms',	'finitediff',
LNA	Adaptation d'impédance	HB	SP	'conservative'	'harms'=10	.
	Impédance Z	HB	SP	'conservative'	'harms'=10	.
	Gain en conversion	HB	PSS/ PXF ⁸	'conservative'	'harms'=10	.
	Figure de bruit	HB	PSS/ Pnoise ⁹	'conservative'	'harms'=10	.
	Linéarité (IIP3 ou IIP2)	TD	QPSS	'conservative'	.	'refine'
Mélangeur	Gain en conversion	TD	PSS/PXF	'conservative'	.	'refine'
	Figure de bruit	TD	PSS/ Pnoise	'conservative'	.	'refine'
	Linéarité (IIP3 ou IIP2)	TD	QPSS	'conservative'	.	'refine'

⁸ Periodic Transfer Function

⁹ Periodic Noise.