

UNIVERSITÉ DU QUÉBEC

MÉMOIRE PRÉSENTÉ

À

L'UNIVERSITÉ DU QUÉBEC À TROIS-RIVIÈRES

COMME EXIGENCE PARTIELLE DE LA MAÎTRISE EN GÉNIE ÉLECTRIQUE

PAR

TAHAR BELHADJ

MODÉLISATION NUMÉRIQUE DES PROPRIÉTÉS ÉLECTROTHERMIQUES
DANS LES COMPOSANTS NANOÉLECTRONIQUES

MAI 2012

Université du Québec à Trois-Rivières

Service de la bibliothèque

Avertissement

L'auteur de ce mémoire ou de cette thèse a autorisé l'Université du Québec à Trois-Rivières à diffuser, à des fins non lucratives, une copie de son mémoire ou de sa thèse.

Cette diffusion n'entraîne pas une renonciation de la part de l'auteur à ses droits de propriété intellectuelle, incluant le droit d'auteur, sur ce mémoire ou cette thèse. Notamment, la reproduction ou la publication de la totalité ou d'une partie importante de ce mémoire ou de cette thèse requiert son autorisation.

Résumé

Les travaux de recherche s'inscrivent dans l'établissement des méthodes nouvelles pour l'analyse et l'optimisation des contraintes électrothermiques à l'échelle nanométrique. En particulier, nous étudierons des composants nanoélectroniques (p.ex. High Electron Mobility Transistor, single-gate MOSFET, et double-gate MOSFET) en recherchant les approximations de leurs caractéristiques thermophysiques ce qui est une tâche extrêmement difficile à l'échelle nanométrique. Dans la réalisation de cette tâche, nous allons utiliser les données des fabricants (IBM Research) ainsi que les publications et les bases de données généralement accessibles (NRC, CMC, ASTM, NSTI). Nous prévoyons également utiliser les données du nanoHub. Nous envisageons l'exploration des méthodes de caractérisation basées sur les mesures indirectes et méthodes inverses. Les fonctions mathématiques de variations des propriétés de matériaux dans les milieux biologiques seront particulièrement recherchées, programmées et implantées dans un environnement du calcul distribué (CLUMEQ). Une revue des propriétés de matériaux à l'échelle nanométrique et une autre concernant les mesures nanoscopiques (AFM et autres), aideront tant à la meilleure compréhension de la problématique qu'à la recherche des solutions. Méthodes et les outils de la modélisation numérique seront revus et appliqués dans le but de l'établissement des modules des propriétés physiques utilisables dans l'optimisation électrothermique à l'échelle nanométrique. Les simulations numériques seront complétées par les recommandations sur des applications possibles.

Dédicace

Je dédie ce mémoire :

*À mon père et ma mère qui ont éclairé mon chemin et qui m'ont encouragé et soutenue
toute au long de mes études,*

A mes sœurs : Nesrine et Anissa

A mon Beau-frère Mohamed Slim

A ma nièce Zineb Lamis

*A mes chers amis Malek et Mariane pour leur soutien aux moments difficiles de mon
travail et surtout pour leur patience,*

A tous mes ami(e)s, surtout Dali, Elyes, Valérie, Annick, Tarek et Manon

Remerciements

Nous tenons à remercier particulièrement le professeur Adam W. Skorek de la grande motivation et l'encouragement qu'il m'a donné pour lancer ce projet et pour son appui et confiance continue dans tout mon programme universitaire à l'UQTR.

Nous tenons à remercier également monsieur Loïc Boulon, professeur à l'Université du Québec à Trois-Rivières, et monsieur le professeur Ahmed Lakhssassi pour l'intérêt qu'ils portent à l'évaluation de mon mémoire de maîtrise.

Nous tenons à remercier aussi Daniel Massicotte et Ahmed Chériti, tous deux professeurs à l'Université du Québec à Trois-Rivières, pour leurs commentaires très constructifs qu'ils ont formulés à propos de notre projet de recherche.

Table des matières

Résumé.....	ii
Dédicace.....	iii
Remerciements.....	iv
Table des matières.....	v
Liste des tableaux.....	viii
Liste des figures.....	ix
Liste des symboles.....	xiii
Chapitre 1 - Introduction.....	1
1.1 Problématique :.....	1
1.2 Objectifs :.....	3
1.3 Rôle de calcul à haute performance :.....	6
1.4 Étendue de mémoire :.....	9
Chapitre 2 - Nanoélectronique.....	10
2.1 Historique :.....	10
2.2 États actuels :.....	13
2.3 Futur :.....	15

2.4 Composants :	17
2.5 Système :	19
Chapitre 3 - Phénomène électrothermique	21
3.1 Niveau d'intégration :	21
3.2 Puissance dissipée :	22
3.3 Optimisation des pertes :	25
3.4 Systèmes de refroidissement :	27
Chapitre 4 - Caractéristiques électrothermiques	32
4.1 Propriétés des matériaux :	32
4.2 Variation des caractéristiques :	33
4.3 Formulation mathématique :	36
4.4 Conception des algorithmes :	37
4.4.1 Algorithme de Monte-Carlo	38
4.4.2 Chaîne de Markov	39
4.4.3 Monte Carlo Metropolis	40
4.5 Implémentation séquentielle :	41
4.5.1 Les entrées de FETToy 0.2 :	46
4.5.2 Les sorties de FETToy 0.2 :	47
Chapitre 5 - Les systèmes de calcul à haute performance	52

5.1	Description générale :	52
5.1.1	Top500 :	55
5.2	Calcul Canada :	61
5.2.1	ACEnet :	64
5.2.2	RQCHP :	65
5.2.3	HPCVL:	65
5.2.4	SciNet :	66
5.2.5	SHARCNET:	66
5.2.6	WestGrid.....	67
5.3	CLUMEQ :	68
Chapitre 6 - Implémentation parallèle des algorithmes des variations des		
	caractéristiques électrothermiques.....	72
6.1	Parallélisation :	72
6.2	Programmation :	76
6.3	Validation :	94
6.4	Essai :	104
Chapitre 7 - Conclusion107		
Bibliographie.....109		
Annexe A – Essai et recommandation.....118		
Annexe B – Problème et complication124		

Liste des tableaux

Tableau 2-1	Budgets des agences fédérales pour l'électronique du passé, réf. [3].	12
Tableau 4-1	Une comparaison des caractéristiques du CNT et autres matériaux, réf. [15].	33
Tableau 5-1	Top5 de Juin 2011, réf. [47].	57
Tableau 5-2	Liste Top 500 des CHP au Canada (Juin 2011), réf. [47]	59
Tableau 5-3	Serveurs de Calcul Canada (2009-2010), réf. [39], p. 10.	64
Tableau 6-1	Comparaison des résultats entre Fettoy0.2 et Fettoy_Tahar, réf. [CP].	95
Tableau 6-2	Comparaison des résultats entre fettoy0.1 et fettoy0.3, réf. [CP].	103
Tableau 6-3	Estimation du temps de calcul et/ou durée d'exécution [CP]	105

Liste des figures

Figure 1-1	Diagramme de notre méthodologie de recherche [CP]	5
Figure 1-2	Les composantes du calcul scientifique, réf. [62], p. 1.	6
Figure 1-3	Accès distant aux simulateurs et à la puissance de calcul, réf. [6].....	8
Figure 2-1	Parcours de miniaturisation de la taille des transistors dans le temps, réf. [10].	12
Figure 2-2	Ancienne technologie d'Intel®, réf. [11], p. 1.	14
Figure 2-3	Nouvelles technologies révolutionnaires d'Intel®, réf. [11], p. 1.....	14
Figure 2-4	Empaquetage de la nouvelle technologie d'Intel®, réf. [11], p. 1.	14
Figure 2-5	Puce d'essai de 22 nm d'Intel à 2,9 milliards de transistors (Source : Intel), réf. [18], p. 1.....	16
Figure 2-6	Représentation schématique d'une molécule de bistiolerthiophène contactée par deux nanoélectrodes d'or. (C. Kergueris, J.P. Bourgoin), réf. [65], p. 1.....	18
Figure 2-7	Procédure de fabrication du nanoimprint lithographie, réf. [68], p. 1.....	19
Figure 2-8	Zoom sur le micro et nano système tactile, réf. [70], p. 2.....	20
Figure 3-1	Schéma d'un inverseur de base, réf. [16].....	23
Figure 3-2	Énergie consommée par opération (une horloge simple période) par une chaîne d'inverseur de 50 étapes montre un minimum en ce qui concerne la réduction de tension d'alimentation, réf. [16].....	24
Figure 3-3	Réduction de densité dynamique et de fuite de puissance avec la technologie CMOS, réf. [16].....	24
Figure 3-4	Puce en 3D, réf. [20].	28
Figure 3-5	Croquis du FinFet, réf. [21].....	29
Figure 3-6	Ion (en haut) et Tmax (en bas) Vs Δf_{in} , réf. [21].....	30

Figure 3-7	ΔT_{MAX} en fonction de la puissance dispersée, réf. [21].	30
Figure 4-1	Structure et variation des caractéristiques du transistor à CNT, réf. [15].	34
Figure 4-2	Les courbes courant/tension, réf. [21].	35
Figure 4-3	Les courbes $\Delta T_{max} / P$, réf. [21].	35
Figure 4-4	Illustration de la hiérarchie du modèle de transport, réf. [28], p. 43.	38
Figure 4-5	ΔN^{π} vs. Temps d'effort, réf. [25].	42
Figure 4-6	Exposant de temps vs le temps d'effort, réf. [25].	43
Figure 4-7	Structure du modèle 10 nm : un transistor MOSFET à une seule grille, réf. [35].	44
Figure 4-8	Structure du modèle 10 nm : un transistor MOSFET à double grille, réf. [35].	44
Figure 4-9	Structure du modèle 1-3 nm : un transistor MOSFET en Nanotube de Carbon (CNTFET), réf. [35].	45
Figure 4-10	Structure du modèle 1-3 nm : un transistor MOSFET à Nanowire en silicium (NWIREFET), réf. [35].	45
Figure 4-11	Courant I_d vs. Tension V_{gs} logarithmique, réf. [35].	48
Figure 4-12	Courant I_{ds} vs. Tension V_{gs} linéaire, réf. [35].	48
Figure 4-13	Courant I_{ds} vs. Tension V_{ds} , réf. [35].	49
Figure 4-14	Charge mobile vs V_g , réf. [35].	49
Figure 4-15	Mobile charge vs. Tension V_d , réf. [35].	50
Figure 4-16	Quantum capacitance vs. Tension V_{gs} , réf. [35].	50
Figure 4-17	Vitesse moyenne vs. Tension V_{gs} , réf. [35].	51
Figure 5-1	Loi de Moore : les progrès de la miniaturisation, réf. [78], p. 1.	54
Figure 5-2	Diagramme des systèmes puissants les plus vendus au monde (Juin 2011), réf. [47].	56
Figure 5-3	Diagramme des domaines d'application par performance, réf. [47].	56

Figure 5-4	Répartition des pays par systèmes dans le monde, réf. [47].....	58
Figure 5-5	Répartition des pays par performance dans le monde, réf. [47].....	58
Figure 5-6	Développement linéaire des performances des CHP au cours des années, réf. [47].	60
Figure 5-7	Localisation des 7 consortiums au Canada, réf. [39], p. ii.	61
Figure 5-8	Utilisation des ressources CHP par discipline (année 2009), réf. [39], p. 10.	63
Figure 5-9	Diagramme d'utilisation de SciNet, réf. [43].	66
Figure 5-10	Structure électronique de CLUMEQ, réf. [39], p.1.....	70
Figure 5-11	Colosse : Accès à distance, réf. [103] p. 22.	71
Figure 6-1	Cluster typique pour le calcul parallèle, réf. [50], p. 1.....	73
Figure 6-2	Infrastructure d'implémentation parallèle, réf. [79].	74
Figure 6-3	Illustration parallèle de plusieurs unités de traitement pour OpenMP, réf. [91].	75
Figure 6-4	Transport balistique de l'électron dans un dispositif mésoscopique, réf. [101].	77
Figure 6-5	Circuit du modèle en 2-D du transistor balistique, réf. [34].....	81
Figure 6-6	Comparaison du modèle analytique aux simulations numériques pour un MOSFET balistique, réf. [34].	83
Figure 6-7	Interface graphique du logiciel FETToy_Tahar [CP]	87
Figure 6-8	Affichage I_{ds} vs V_{ds} pour différentes tensions de la grille [CP].....	88
Figure 6-9	Affichage I_{ds} vs V_{gs} pour 2 différentes tensions du drain [CP].....	89
Figure 6-10	Affichage logarithmique I_{ds} vs V_{gs} pour 2 tensions du drain [CP]	90
Figure 6-11	Paramètres physiques et électrothermiques (exécution séquentielle) [CP].....	92
Figure 6-12	Calcul préliminaire des équations (séquentiel) [CP].....	93
Figure 6-13	Variation du courant et de l'énergie (séquentielle) [CP].....	93

Figure 6-14	Ids vs Vds pour différentes tensions de la grille, réf. [93].	94
Figure 6-15	Connexion à Colosse [CP]	96
Figure 6-16	Liste des modules valables [CP]	97
Figure 6-17	Transfert du fichier fettoy0.3.cpp [CP]	97
Figure 6-18	Paramètres physiques et électrothermiques (exécution parallèle) [CP]	98
Figure 6-19	Variation de charge dans le drain et la grille du MOSFET [CP]	99
Figure 6-20	Variation du courant [CP]	100
Figure 6-21	Variation de l'énergie [CP]	101
Figure 6-22	Calcul de S et DIBL [CP]	101
Figure 6-23	Affichage après implémentation parallèle sur le logiciel FETToy_Tahar, réf. [CP].	102
Figure 6-24	Comparaison de Colosse à une machine PC [CP]	106
Figure 7-1	Connexion à la console distante [CP]	119
Figure 7-2	Identification et liste des modules valables [CP]	120
Figure 7-3	Code test.C [CP]	120
Figure 7-4	Transfert de fichier du code_test.C [CP]	121
Figure 7-5	Compilation de code_test.C [CP]	122
Figure 7-6	Affichage du Texte [CP]	123

Liste des symboles

α_d	Drain Control Parameter
α_g	Gate Control Parameter
C	Capacitance
C_{ox}	Oxide capacitance
C_{Σ}	Total capacitance
D_{Si}, D_{Di}	effects of source and drain on the local density function for subband i
D_{ji}	Local density
DIBL	Drain Induced Barrier Lowering
ϵ_{ox}	Oxide Dielectric Constant
\vec{E}	Electric field
E_f	Source Fermi Level
E_i	Bound state energy of sub band i
$E_l = E - E_{k_j}$	Longitudinal energy
E_{pi}	Maximum energy of subband i
f	frequency

fb_flag	Floating Boundary
F_n	Quasi-Fermi energy
G	Green's function
G^+	Hermitian conjugate of G
G^n, G^p	Correlation functions describing electron and hole density
G_m^n	m th diagonal entry of G^n
h	Plank constant
H	Single-electron effective mass Hamiltonian
I	Current
I_d	Drain current
$I_m(E)$	Current spectrum at terminal m
I_{oi}	Constant
I_{ej}	Current in sources of scattering or carrier
J	Current density
k_B	Constant
L	Inductance
m	Mass
mt	Transverse Effective Mass

m_z^*	Electron effective mass in z direction
$\langle m^* \rangle$	Average of electron effective mass in the transport direction
n	Electron density
$n(E,m)$	Electron density spectrum
NSD	Doping Density in Source and Drain
NV	Number of Bias Points
N_c	Effective density of states in the conduction band
n_{2D_i}	Electron density constant
n_{0i}	Electron density constant with scattering
p	Hole density
P_D	Power dissipation
P	Number of processors
p_{2D_i}	Constant
q	Elementary charge constant
$q \langle \tau \rangle$	Average of electron state lifetime
Q	Charge
r	Space vector
R_{on}	Channel on resistance

R_{TH}	Thermal resistance
S	Speed-up factor
t	Gate Oxide Thickness
t	Time
T	Temperature
$T_{SDi}(E)$	Source-to drain transition in terms of electron energy
TSi	Silicon Body Thickness
U_L	Laplace potential
U_{scf}	Top of the barrier potential
v	Speed of electron
V_d	Drain voltage
V_{dd}	Operating voltage
V_{DS}	Drain-source voltage
V_g	Gate voltage
V_{GS}	Gate-source voltage
V_I, V_F	Voltage Range
V_t, V_{th}	Threshold voltage
V_{sat}	Saturation velocity

W	Energy
α	Non-parallelizable part of algorithm
β	Gain factor
ε	Dielectric constant
μ	Body Fermi energy
mu_low	Low field mobility
μ_n	Mobility of electron
μ_S, μ_D	Contact Fermi energies of source and drain
μ_j	Fermi potential
Σ	Self-energy matrix
Σ, Σ^{in} and Σ^{out}	Self-energy functions
Σ_m^{in} mth	Diagonal entry of Σ^m
$\Psi(r)$	Field operator
$\Psi_i(z)$	Envelope function of subband i
$\mathfrak{F}_{1/2}$	Fermi-Dirac integral of order $1/2$
$\mathfrak{F}_{-1/2}$	Fermi integral of order $-1/2$
ΔT	Thermal difference

Chapitre 1 - Introduction

1.1 Problématique :

La nanoélectronique présente une innovation dans le domaine électronique. Néanmoins, dans la littérature et sur les sites internet des chercheurs et des acteurs actifs de la nanotechnologie, nous pouvons retrouver quelques définitions qui seront de grandes utilités pour comprendre plusieurs termes appropriés à notre mémoire.

Les nanosciences et les nanotechnologies explorent et exploitent les phénomènes qui différencient les matériaux et les systèmes structurés à l'échelle nanométrique des autres structures aux plus grandes échelles. Cette exploitation se traduit par la caractérisation, la compréhension et le contrôle au niveau des unités fondamentales (les atomes et les molécules) de nouveaux matériaux et de nouvelles structures qui peuvent être conçues pour offrir des propriétés physiques, chimiques et biologiques nouvelles ou considérablement améliorées [1].

En plus, les nanotechnologies sont caractérisées particulièrement comme étant le domaine le plus prometteur des nouvelles technologies, d'où le fait qu'à l'échelle dans on opère, les lois de physique conventionnelle ne s'appliquent plus de la même manière. Les propriétés physiques, chimiques, biologiques à l'échelle nanométrique ne peuvent être directement déduites de celles connues à ce jour, donc aux échelles habituelles. Si l'on arrive à manipuler la matière à l'échelle nanométrique. C'est-à-dire à l'échelle des plus petits éléments la constituant, on sera en mesure de modeler la matière à notre échelle, à nos

besoins et les conséquences prévisibles sont presque infinies à partir de cette supposition [1].

Une autre particularité notable est la méthodologie scientifique à la base des nanotechnologies, qui est la contribution de plusieurs champs scientifiques et technologiques de pointe : telles que l'informatique, les mathématiques, la chimie, la physique, la biologie et le génie. Les percées majeures dans les nanotechnologies seront le fruit de plusieurs savoirs interdisciplinaires mis en commun et auront des répercussions bénéfiques dans chacun de ces domaines [1].

Cependant, les techniques nanoélectroniques et informatiques encouragent l'innovation dans de nombreux secteurs industriels et socioéconomiques notamment les télécommunications, les transports, les biens de consommation, l'industrie, les soins de santé et l'énergie [2] [53].

L'évolution de l'électronique, suivant les lois de Moore :

« Les lois de Moore prévoient un accroissement des performances des composants grâce à une diminution des dimensions et une augmentation de la densité d'intégration des transistors » [3].

« En 1975, Gordon Moore, cofondateur d'Intel, a prévu que le nombre de transistors qui pourraient être placés sur un morceau doublerait tous les deux ans » [4].

Les unités de production les plus modernes atteignent actuellement des valeurs inférieures à 32 nm ce qui implique une génération de composants nanoélectroniques

capables d'atteindre des dimensions minimales qui seront accessibles grâce à une évolution des technologies actuelles. Les fabricants de puces se sont fondés sur la réduction continue de la taille du transistor pour réaliser la croissance exponentielle du nombre de transistors, mais la tendance finira bientôt [4]. Il y a trois obstacles majeurs : les coûts croissants de fabrication; les lourds investissements qui peuvent atteindre des sommes gigantesques comptant des milliards de dollars, les limites de la lithographie, et la taille du transistor. De nombreux problèmes apparaîtront tels que les grilles des transistors qui seront trop minces, l'augmentation des courants de fuite, la complexité des composants, la consommation électrique et les contraintes thermiques ce qui va empêcher la miniaturisation tout en maintenant le niveau de performance [3]. Par exemple, les dernières couches des transistors sont seulement à quelques atomes de profondeur et se diminuent avec la réduction des transistors. Ainsi, quand ils atteignent la limite de 1-2 atomes de profondeur, la réduction devra cesser et une nouvelle technologie devra être adoptée. Soient un héritier possible aux circuits intégrés basé sur la lithographie et les circuits électriques de nanotechnologie et nanométrie [4].

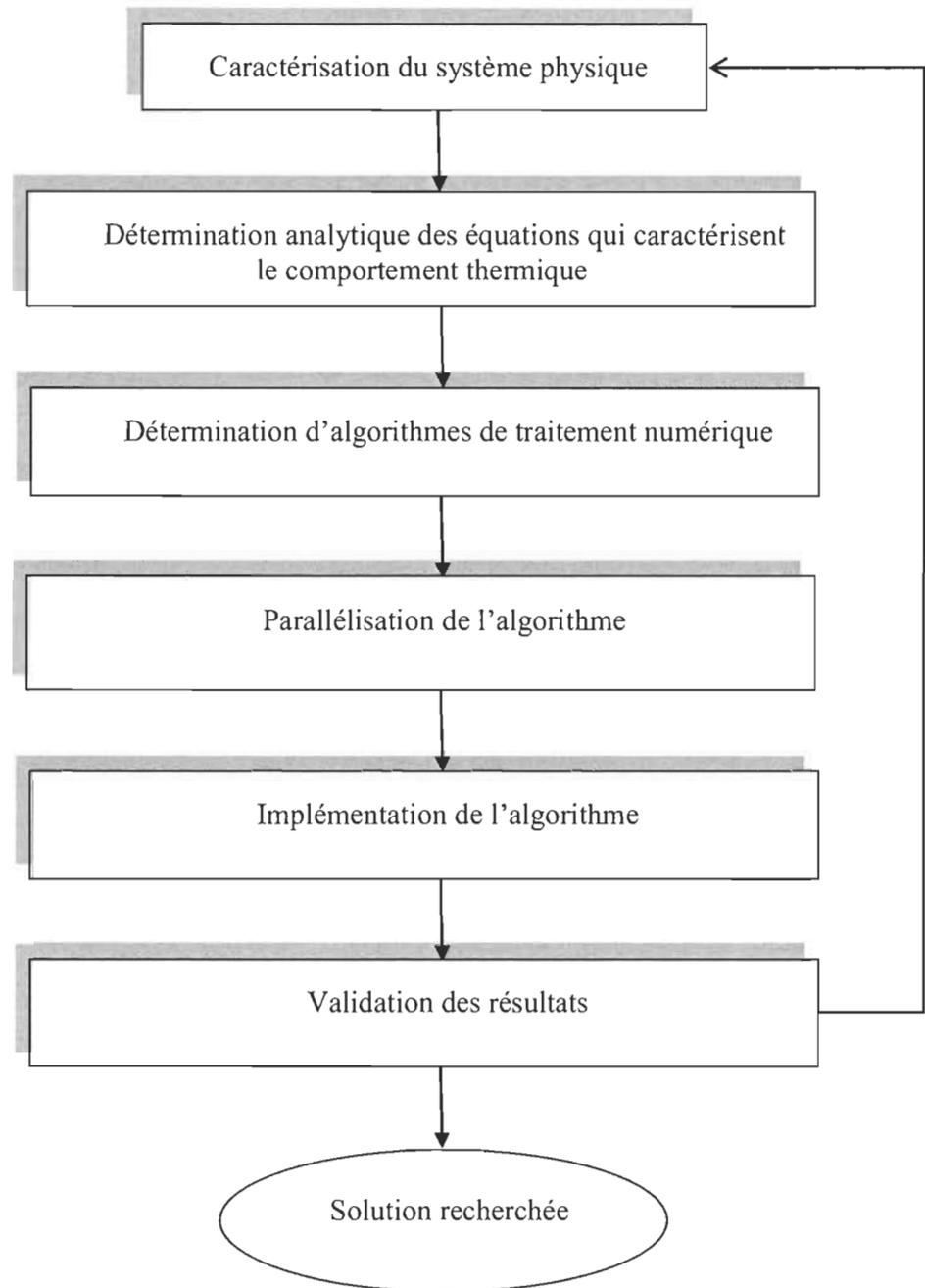
Les composants nanoélectroniques révèlent aussi des problèmes majeurs par leur non-linéarité et complexité de caractérisation. Les contraintes électrothermiques induites par le changement de température affectent le rendement de ces composants, par exemple, une simulation des effets auto-chauffants dans différentes architectures SOI MOS [5] par des simulations électrothermiques en 3D montre bien cette variation.

1.2 Objectifs :

Notre objectif consiste à élaborer un modèle numérique des propriétés électrothermiques dans les composants nanoélectroniques. Ce modèle s'inscrit à partir des

travaux de recherche dans l'établissement des méthodes nouvelles pour l'analyse et l'optimisation des contraintes électrothermiques à l'échelle nanométrique et correspond parfaitement à un besoin de la communauté scientifique actuelle.

Nous étudierons en particulier des composants nanoélectroniques (p.ex. ballistic MOSFET Transistor, and double-gate MOSFET) en recherchant les approximations de leurs caractéristiques thermophysiques ce qui est une tâche extrêmement difficile à l'échelle nanométrique. Dans la réalisation de cette tâche, nous allons utiliser les données des fabricants (IBM Research [54]) ainsi que les publications et les bases de données généralement accessibles (NRC [55], CMC [56], ASTM [57], NSTI [58]). Nous prévoyons également d'utiliser les données du nanoHub [59] et de toutes les sources disponibles des caractérisations selon les procédures normalisées (Comité 229 sur les nanotechnologies de l'ISO [60]). Nous envisageons l'exploration des méthodes de caractérisation basées sur les mesures indirectes et méthodes inverses. Les fonctions mathématiques de variations des propriétés de matériaux dans les milieux biologiques seront particulièrement recherchées, programmées et implantées dans un environnement du calcul distribué (CLUMEQ [46]/WesGrid [45]). Une revue des propriétés de matériaux à l'échelle nanométrique et une autre concernant les mesures nanoscopiques (AFM [61] et autres) aideront tant à la meilleure compréhension de la problématique qu'à la recherche des solutions. Méthodes et les outils de la modélisation numérique seront revus et appliqués dans le but de l'établissement des modules des propriétés physiques utilisables dans l'optimisation électrothermique à l'échelle nanométrique. Les simulations numériques seront complétées par les recommandations sur des applications possibles. Une littérature appropriée sera recherchée, revue, pertinemment résumée et spécifiée à la fin du mémoire. Voir figure 1-1.



(Contribution personnelle)

Figure 1-1 Diagramme de notre méthodologie de recherche [CP]

1.3 Rôle de calcul à haute performance :

Les calculs à haute performance (CHP) deviennent de plus en plus un outil populaire dans la modélisation numérique et les simulations des systèmes complexes.

Nous pouvons ainsi reproduire tout un système réel tel qu'un système propre à la physique quantique avec les simulations appropriées. Plusieurs étapes sont nécessaires. La modélisation consiste d'abord à la mise en équation du phénomène physique étudié. La simulation numérique consiste ensuite à la discrétisation et à la résolution des équations [82]. Enfin, l'étape de validation passe par un ajustement du modèle pour que les résultats obtenus reproduisent correctement l'expérience [62], voir figure 1-2.

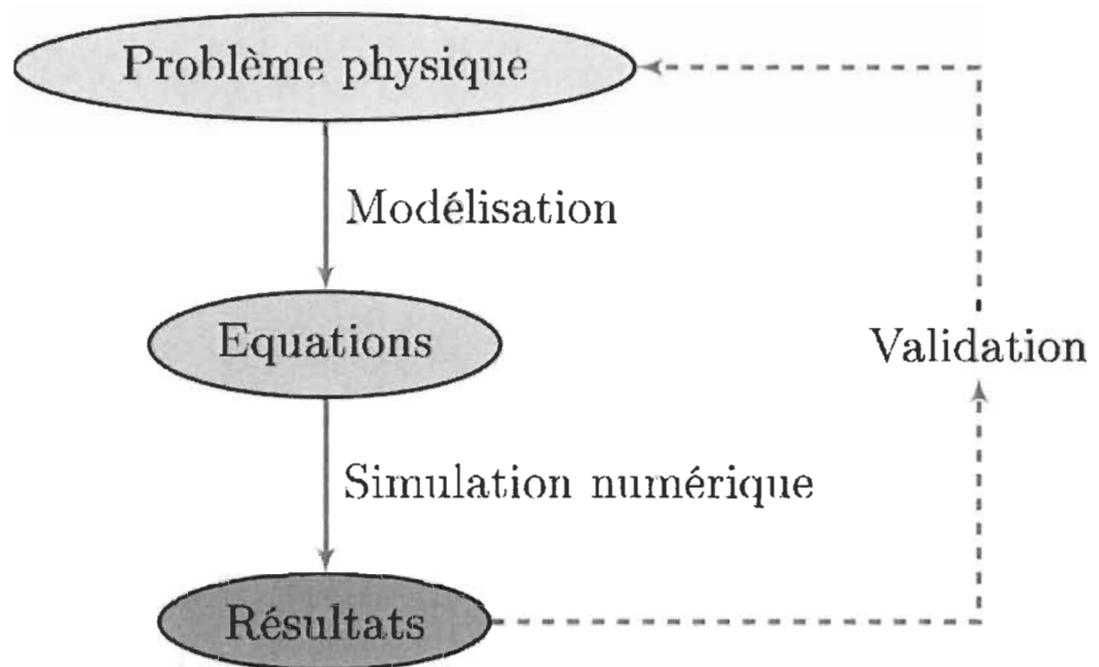


Figure 1-2 Les composantes du calcul scientifique, réf. [62], p. 1.

Les calculs parallèles sont capables de traiter un grand nombre de données dans un temps raisonnable. Pour aborder ce problème, beaucoup de chercheurs ont décidé

d'employer des algorithmes parallèles avec le MPI standard, et puis les mettre en application sur l'environnement de calcul à haute performance (CHP), qui est particulièrement conçu au traitement parallèle [6].

Les circuits nanoélectroniques ont toujours exigé des ressources informatiques intenses. Avec le besoin de simulation interactive et de circuits de plus en plus complexes, les ordinateurs actuels à simple processeur sont poussés à leur limite. Les avances récentes en technologie de traitement en parallèle offrent une solution de calcul de substitution accessible et extensible, mais des algorithmes parallèles sont toujours nécessaires pour compléter ces systèmes [7]. Néanmoins, les calculs parallèles ont un impact énorme pour optimiser la performance et la non-linéarité dans les composants nanoélectroniques [99] (Dans les circuits intégrés, les effets de non-linéarités en tension des capacités peuvent induire des distorsions de signal : cela se manifeste sur le signal de sortie par l'apparition d'harmoniques indésirables [100]). Donc de spécifier les complexités de leurs propriétés et caractérisations physiques, chimiques et mécaniques, ou aussi par le biais de leurs contraintes électrothermiques. En d'autres termes, diminuer le temps de calcul quand la complexité augmente.

Les projets utilisant ces ressources exigent beaucoup d'efforts, la connaissance et la planification à être réussie et productive. Avoir simplement accès à la technologie la plus récente n'est pas une garantie de succès. La recherche récente sur la productivité des systèmes et des utilisateurs de CHP a exploré le rapport entre le moment, l'effort et les retours productifs, par la mesure de l'effort de temps d'élaboration, le temps d'attente pour une file d'attente. Plusieurs grands facteurs de succès de projet ont défini plus clairement la productivité elle-même [8]. Mais la nécessité excessive d'une telle quantité de ressources

pour le traitement et le stockage des données sur les propriétés électrothermiques des composants nanoélectroniques, met en valeur l'ajout approprié à la réalisation et à la conception de ces derniers.

Les solutions établies par les CHP pour la résolution des équations gouvernantes et pour optimiser concurremment la conception électrothermique, présentent un problème extrêmement complexe, qui est très bien consacré aux applications de CHP [6], par exemple, les outils NanoHub.org dont on peut citer FETToy 2.0 [35], représentent des outils parfaits pour la simulation et l'étude des caractéristiques des transistors MOSFET.

La figure 1-3 est une représentation de l'accès distant aux simulateurs et à la puissance de calcul des CHP par NanoHub.org [59]. L'accès à la machine virtuelle est rapide et l'interconnexion de l'infrastructure NanoHub (Clusters) se fait via une connexion internet.

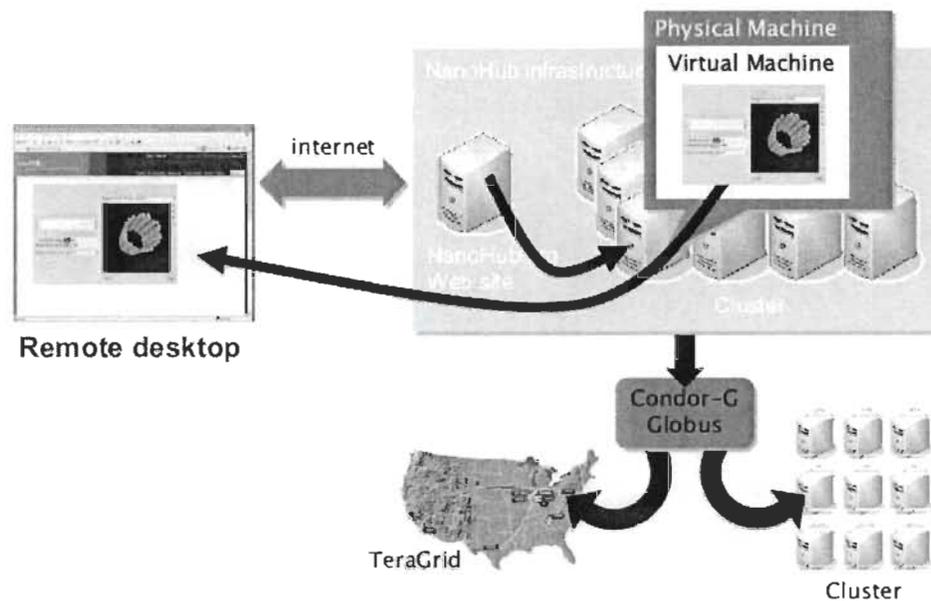


Figure 1-3 Accès distant aux simulateurs et à la puissance de calcul, réf. [6]

1.4 Étendue de mémoire :

Nous allons organiser notre mémoire comme suit : Premièrement, nous verrons la nanoélectronique et ses différents aspects, nous commencerons par un historique, puis l'état actuel, ensuite, future, puis, composants et enfin, systèmes. Deuxièmement, nous détaillerons les phénomènes électrothermiques en nanoélectronique nous commencerons par le niveau d'intégration, puis, puissance dissipée, ensuite, optimisation des pertes et enfin, Systèmes de refroidissement. Troisièmement, nous énumérons les caractéristiques électrothermiques, nous commencerons par Propriétés des matériaux, puis, variation des caractéristiques, ensuite, formulation mathématique, puis, conception des algorithmes et enfin, implémentation séquentielle. Quatrièmement, nous décrierons les systèmes de calcul à haute performance, nous commencerons par description générale, puis Calcul Canada et (Westgrid), ensuite, CLUMEQ et enfin, nous finirons par des essais et recommandation. Cinquièmement, nous établirons une implémentation parallèle des algorithmes des variations des caractéristiques électrothermiques, nous commencerons par parallélisation, ensuite, programmation, puis, validation et enfin, essai. Sixièmement, nous entamons notre mémoire par une conclusion.

Chapitre 2 - Nanoélectronique

Introduction :

L'étude des composants nanoélectronique révèle une panoplie de caractéristiques dans l'électronique moderne. Dans ce chapitre nous allons voir la nanoélectronique dans ses différents aspects, nous commencerons par un historique, puis l'état actuel, ensuite, future, puis, composants et enfin, systèmes.

2.1 Historique :

L'histoire de la nanoélectronique commence bien longtemps lorsque, le 29 décembre 1959, à l'Institut de Technologie de la Californie, le Prix Nobel Richard P. Feynman a présenté un exposé lors de la réunion annuelle de la société d'examen médical américain qui est devenu des conférences classiques de la science du 20e siècle, intitulé «There's Plenty of Room at the Bottom». Il a présenté à une vision technologique de la miniaturisation extrême plusieurs années avant que le mot « puce » soit devenu une partie du lexique. Il a parlé du problème de manœuvrer et de commander des choses sur une petite échelle. Extrapolant des lois physiques connues, Feynman a envisagé une technologie utilisant les outils extrêmes de la nature, construisant l'atome de nano-objets par l'atome ou la molécule par la molécule. Depuis les années 80, beaucoup d'inventions et de découvertes dans la fabrication des nano-objets sont devenues un testament à sa vision. Dans le respect de cette réalité, le Conseil national de la science et technologie (NSTC) de la Maison Blanche a créé l'agence intermédiaire groupe de travail sur Nanoscience, ingénierie et

technologie (IWGN) en 1998. Dans un discours du janvier 2000 au même institut, l'ancien président William J. Clinton a parlé de la promesse passionnante de la nanotechnologie et plus généralement, de l'importance d'augmenter la recherche en science et technologie en nano échelle. Plus tard de quelques mois, il a annoncé dans son discours ambitieux sur l'État de l'Union fédérale une somme de 497 millions \$, une initiative nationale de nanotechnologie de multi-agence (NNI) au budget de l'exercice budgétaire en 2001 et lui a fait une première priorité de la science et technologie [9].

Le préfixe « *nano* » est un ancien préfixe, issu du Grec « *nanos* », qui signifie nain, petit. Un nanomètre correspond à un milliardième de mètre, c'est 50 000 fois plus petit que l'épaisseur d'un cheveu. L'œil humain est en mesure de distinguer des objets de taille de 10 000 nanomètres. Une chaîne de dix atomes d'hydrogène mis bout à bout ferait une taille de 1 nanomètre.

Donc toute conception de dispositif en nanotechnologie devrait se faire avec une connaissance approfondie du déplacement des charges et du flux de chaleur [14]. Ces dix dernières années, plusieurs études ont traité ce sujet [13, 14, 15, 16,17].

La course à la grande intégration et aux fabuleuses puissances de calcul a été déjà lancée, la figure 2-1 présente la miniaturisation de la taille des transistors dans le temps et par la comparaison à la taille des organismes biologiques.

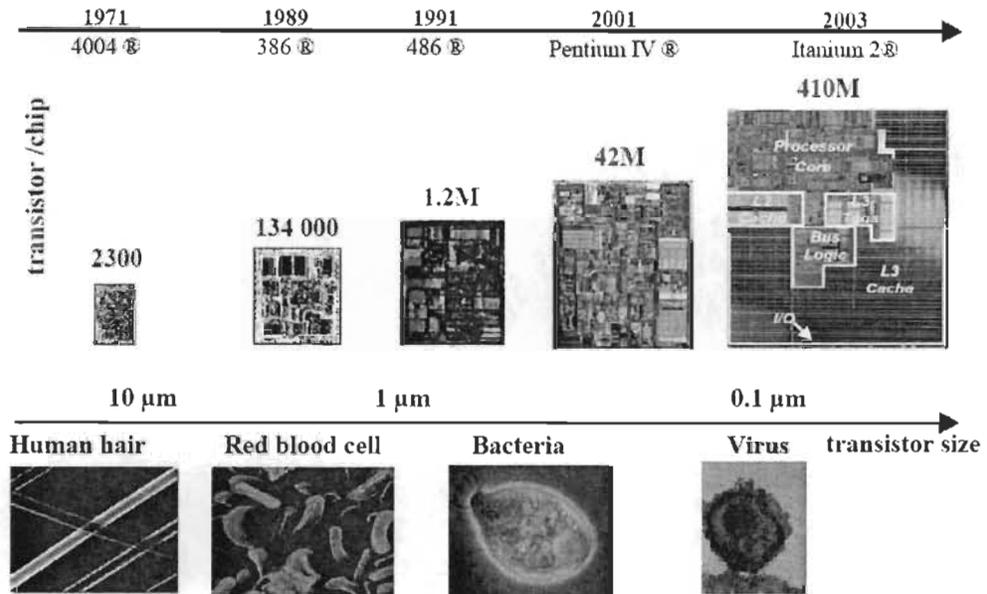


Figure 2-1 Parcours de miniaturisation de la taille des transistors dans le temps, réf. [10].

Le tableau 2-1 présente les budgets des agences fédérales pour l'électronique des années 2004 à 2007. Nous remarquons la fluctuation du financement de l'électronique et le grand intérêt porté au développement (nano) électronique.

Tableau 2-1 Budgets des agences fédérales pour l'électronique du passé, réf. [3].

Budget (M\$)	2004	2005	2006	2007
DARPA (Matériaux électronique) et	465	502	486	495
DARPA (Électronique avancée)	186	218	205	234
NSF (NSE)	254	305	315	325

2.2 États actuels :

Les technologies ont longtemps discuté à quelle distance les transistors planaires CMOS sur les blocs « bulk » en silicium pourraient être mesurés. Maintenant, la transition à de nouveaux paradigmes semble être en cours [18], certainement avec le CMOS qui est presque entièrement épuisé sur 15 nm, par les feuilles de route à IBM et à Intel, et avec une certaine forme de transistors verticaux qui sont sérieusement bien considérés.

L'innovation implacable en nanoélectronique est révélée par Intel® [11] en utilisant des matériaux nettement nouveaux basés sur le hafnium.

« Le hafnium (Hf) est un élément chimique en couleur gris-argenté, fortement dense sur le tableau périodique. Tuile, résistant à la corrosion et chimiquement le plus semblable au zirconium. » [11].

Les ingénieurs d'Intel ont découvert que l'introduction du hafnium dans des puces de silicium aide à réduire les fuites électriques du plus petit composant, plus économes en énergie et plus performants pour les processeurs. Les circuits, Intel® à 45 nm de haute technologie (grille métallique k) en silicium permettent d'accroître considérablement l'efficacité d'énergie du processeur, ce qui équivaut donc à une expérience informatique plus puissante et à une plus grande souplesse de conception [11].

Les figures 2-2, 2-3 et 2-4 montrent l'évolution faite par Intel® sur la taille des transistors, l'énergie dissipée et la technologie utilisée. Elle part de 65 nm avec une couche de dioxyde de silicium et une couche de grille en silicium, pour arriver à 45 nm avec une couche de hafnium et une couche de grille en métal.

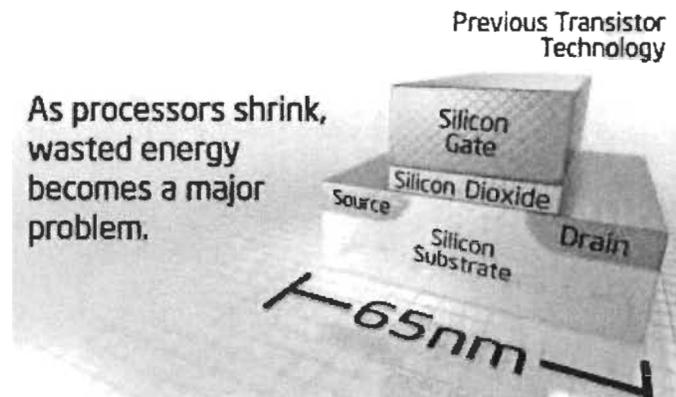


Figure 2-2 Ancienne technologie d'Intel®, réf. [11], p. 1.

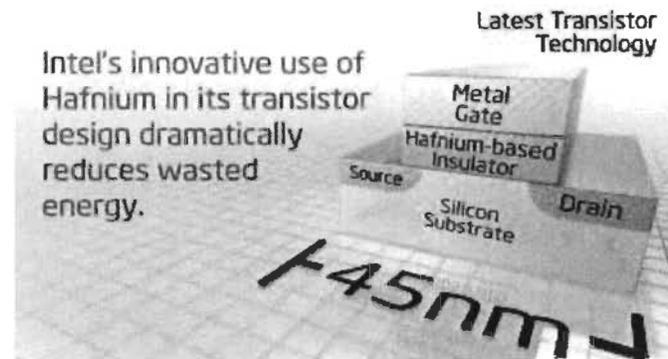


Figure 2-3 Nouvelles technologies révolutionnaires d'Intel®, réf. [11], p. 1.



Figure 2-4 Empaquetage de la nouvelle technologie d'Intel®, réf. [11], p. 1.

Cette évolution est intéressante et prometteuse pour le futur des nanotransistors.

2.3 Futur :

Tandis qu'IBM, Intel et d'autres amincissent le diélectrique de la grille avec des matériaux hauts-k, le diélectrique de la grille « n'amincit pas aussi rapidement, nous avons besoin de lui afin d'apporter une amélioration appréciable de la réduction de longueur de la grille », a dit Bruce Doris, directeur de l'intégration avancée de dispositif à Albany d'IBM, N.Y., centre de R&D [18]. D'autres boutons sont plus durs à tourner aussi bien. Les tensions d'opération sont en état de saturation, le rendant plus difficile à réduire la puissance. Rendant aussi les jonctions plus peu profondes ce qui cause l'augmentation de la résistance de source/drain [18].

Ce qui est à faire ? Bohr a dit :

« À 22 nanomètres, Intel restera sur une technologie en bloc (bulk) » [18].

Intel est sur la voie de présenter ses 22 nm de MPU à la fin de 2011. La puce d'essai d'Intel à 22 nm (voir figure 2-5) avec des rangées de SRAM et des circuits logiques de périphériques a été présentée en septembre avec une taille de rangée de 364 mis-bande et 2,9 milliards de transistors. Elle inclut une grille du dernier processus troisième génération hauts-k en grille métallique qui dépose le diélectrique et les métaux à la fin du processus [18].

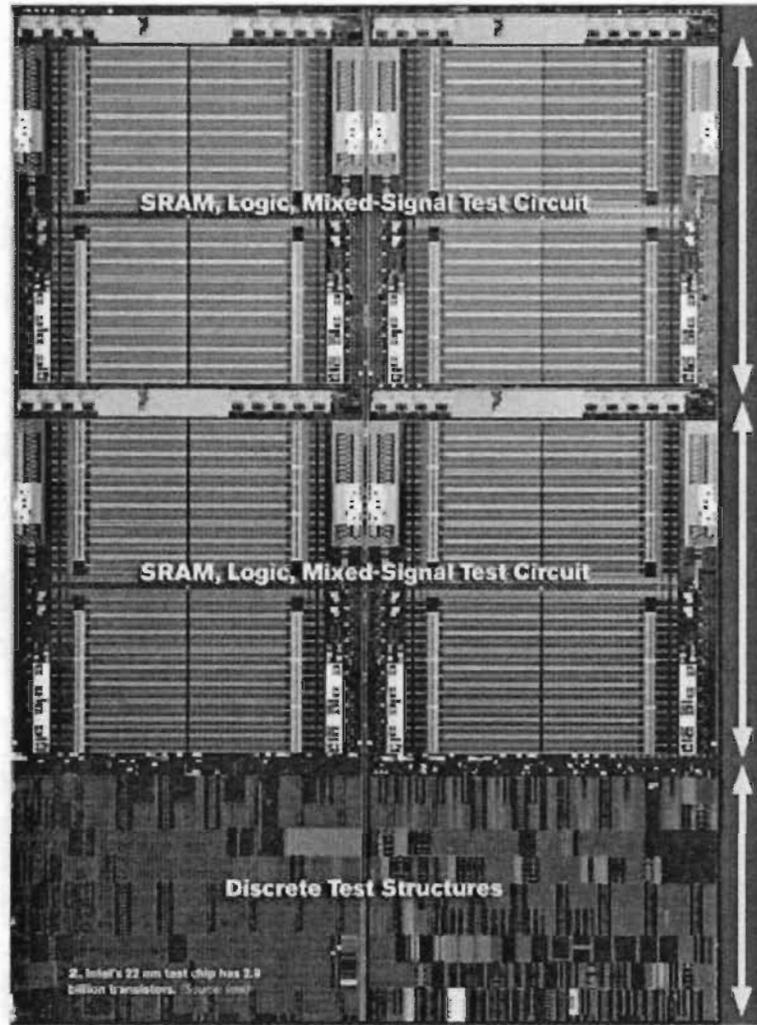


Figure 2-5 Puce d'essai de 22 nm d'Intel à 2,9 milliards de transistors (Source : Intel), réf. [18], p. 1.

Le futur s'annonce bien pour la nanoélectronique surtout après la découverte faite par Intel® [11], la progression de la miniaturisation est applicable année après année, ceci encourage les fabricants à établir de nouveaux modèles et produits basés sur la nanoélectronique, l'intégration est déjà remarquable sur les nouveaux produits existant sur le marché et sur la conception des produits futur.

La nanotechnologie jouera un rôle clé dans l'accomplissement ultime de la loi de Moore. Les nanotubes de carbone et les nanofils semi-conducteurs sont considérés comme des passerelles possibles vers le créneau final qui mettra fin à l'échelle autour de 5 nm de longueur de grille physique [12].

Bien sûr, nous pouvons dire que nous sommes confrontés à des temps difficiles, mais en même temps l'avenir n'a jamais été aussi excitant pour le scientifique avec un œil aiguisé et un esprit ouvert. En outre, les perspectives sont fascinantes : plus que jamais ne sera l'informatique et les appareils de communication, leurs réseaux et tout ce qu'ils les relient, une aide pour les humains à réaliser leurs rêves [12] [63].

2.4 Composants :

Les nouveaux composants nécessiteront de définir de nouveaux types de transistors et plus généralement de nouvelles cellules de base [3]. Les grandes thématiques peuvent être classées de la façon suivante :

- Silicium ultime [64] : études des couches ultraminces pour les oxydes de grille et des nouvelles architectures des transistors, en particulier pour augmenter le nombre de grilles actives [3].

- Électronique moléculaire [65] : utilise les propriétés physiques, chimiques ou biologiques des molécules pour réaliser de nouvelles fonctions, notamment avec des nanotubes de carbone, des nanofils de semi-conducteur, des quantum dots ou des biomolécules. Un des objectifs reste le transistor à un seul électron [3]. La figure 2-6 est un exemple de représentation de l'électronique moléculaire.

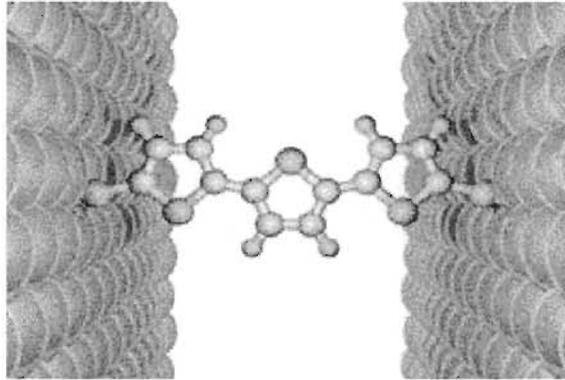


Figure 2-6 Représentation schématique d'une molécule de bis(1,2-éthanedithiol)terthiophène contactée par deux nanoélectrodes d'or. (C. Kergueris, J.P. Bourgoin), réf. [65], p. 1.

- Spintronique et nano-magnétisme [66] : le spin de l'électron est utilisé pour porter l'information. Applications industrielles : têtes de lecture et nouveaux types de mémoires magnétiques (MRAM), à plus long terme, nouveaux types de composants logiques et l'informatique quantique [3].

Pistes envisagées pour les nouvelles méthodes de fabrication «top-down» (lithographie et nanoimprint) ou «bottom-up» (assemblage moléculaire) [3]:

- Lithographie [67] : Les travaux portent sur la lithographie par immersion à 193nm, à 157 nm puis en extrême UV. Les dimensions atteignables pour les composants seront de 32 nm à l'horizon 2010. Des progrès sont attendus notamment grâce à la lithographie sans masque [3].

- Nanoimprint [68] : Cette technologie permettrait d'atteindre des dimensions de transistors inférieures à 32nm [3]. La figure 2-7 présente la procédure de fabrication du nanoimprint à lithographie.

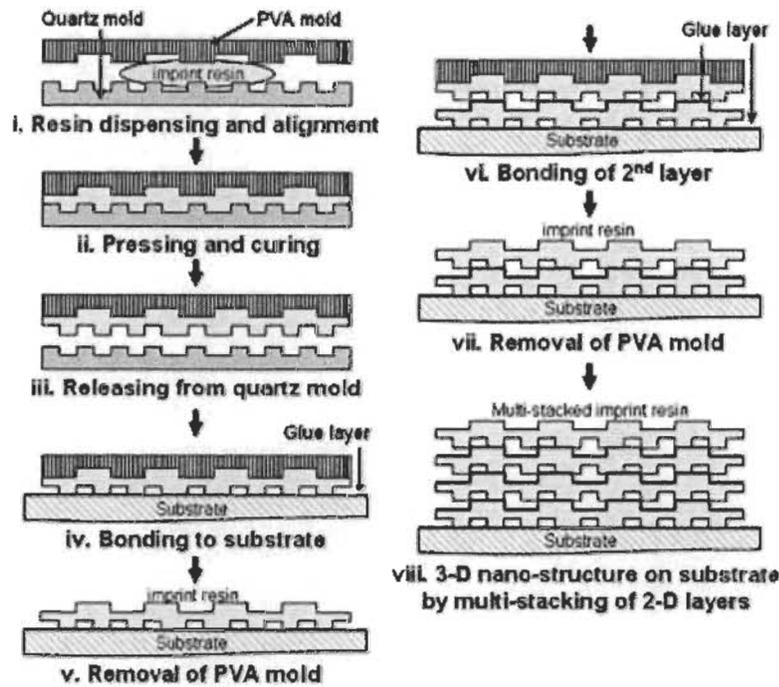


Figure 2-7 Procédure de fabrication du nanoimprint lithographie, réf. [68], p. 1.

2.5 Système :

Il existe plusieurs systèmes utilisés en nanoélectronique, dont nous pouvons décrire ces deux types :

- Matériaux III-V : les hétérostructures sont prévues pour le domaine du térahertz : circuits ultrarapides et optoélectroniques [3].

- Autoassemblage et biomimétisme : utilisent les propriétés d'auto-organisation des structures : croissance des nanotubes et des nanofils, assemblages supramoléculaires. L'utilisation de biomolécules est envisagée pour mimer les mécanismes de réplication et d'organisation des systèmes biologiques [3].

Lorsque nous contrôlons et maîtrisons les propriétés complexes et émergentes des atomes et molécules, nous pouvons les intégrer dans l'architecture de base des nouveaux

systèmes (nanostructures de semi-conducteurs pour la micro-électronique, lasers à puits quantiques pour les télécommunications, horloges atomiques pour le calibrage de l'armement des sous-marins nucléaires ou encore la magnétorésistance géante qui permet de stocker 20 Go de musique dans un iPod, etc.) [69].

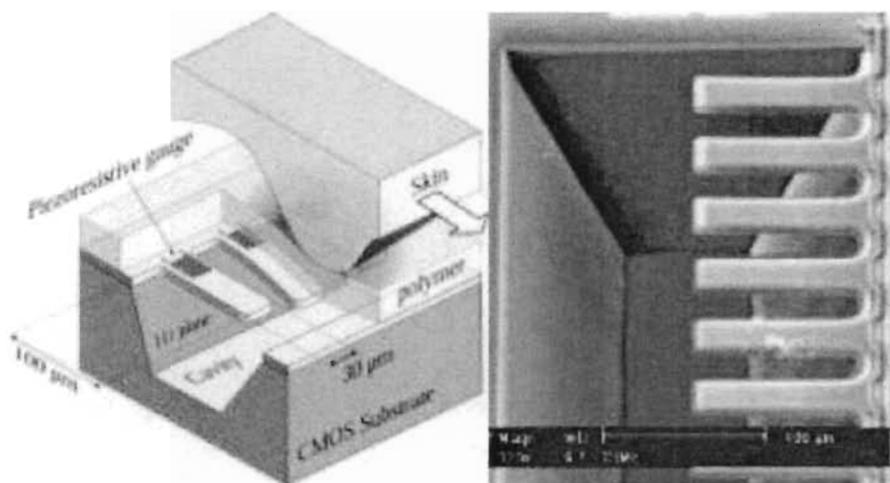


Figure 2-8 Zoom sur le micro et nano système tactile, réf. [70], p. 2.

Les dispositifs MEMS (Micro-Electro-Mechanical Systems) permettent la réalisation de très petits interrupteurs tactile. Lorsqu'une crête touche un interrupteur, elle le ferme. Mais la protection surfacique reste un problème délicat, et de plus on obtient une simple image binaire, contenant peu d'informations. Il n'existe pas encore de déploiement ayant dépassé le stade du laboratoire [70]. Voir figure 2-8. Nous notons aussi la création d'un nouveau terme, NEMS (Nano-Electro-Mechanical Systems), Nanosystèmes en français, désignant des structures semblables aux MEMS mais de taille sub-micrométrique. Ces nanosystèmes présentent des nouvelles perspectives pour le futur de l'électronique et implique l'étude de leurs phénomènes électrothermiques.

Chapitre 3 - Phénomène électrothermique en nanoélectronique

3.1 Niveau d'intégration :

Les phénomènes électrothermiques en nanoélectronique représentent la base de notre contribution, pour cela nous commencerons par expliquer le niveau d'intégration.

Les nanoélectroniques ont vu une diminution exponentielle soutenue de taille et de coût et une augmentation semblable d'exécution et de niveau d'intégration au cours des trente dernières années (connues sous le nom de loi de Moore). Les entraves économiques ou physiques lanceront un défi énorme. L'ancien est lié à la difficulté de réaliser un bénéfice en raison des coûts exorbitants d'établir les possibilités nécessaires de fabrication si des technologies de nos jours sont extrapolées. Ce dernier est une conséquence directe de la taille craintive de dispositif, menant aux phénomènes physiques empêchant le fonctionnement habituel des dispositifs [13].

La feuille de route « Roadmap » des composants semi-conducteurs, connue pour prédire la réduction de taille des parties actives des composants ainsi que les technologies émergentes dans les dix prochaines années, porte un intérêt particulier aux nanofils semi-conducteurs dont l'intégration à des composants est devenue tout à fait réalisable. Cependant, la caractérisation fine des propriétés optiques et de transport de transistors à effet de champ constitué de nanofils semi-conducteurs a montré que ses propriétés sont fortement liées aux défauts de surface et d'interface des nanofils [14].

3.2 Puissance dissipée :

Certains des plus grands défis de l'électronique moderne sont liés à la consommation, à la dissipation, et à la perte d'énergie.

Pendant la progression de la réduction d'échelle avec le procédé CMOS, il apparaît très clairement que la dissipation de puissance joue un rôle dominant en limitant à quelle distance le mesurage du courant de fuite peut disparaître. Cette partie décrira brièvement les divers effets physiques qui surgissent aux limites de la réduction et se tournera alors vers une analyse de la réduction en présence de limitation due à la dissipation de la puissance [15].

L'approche la plus élémentaire pour estimer la dissipation de puissance d'un appareil électronique [104] est de l'exprimer comme produit du courant qui passe à travers et de la chute de tension sur lui :

$$P_D = IV = I^2 R \quad 3.1$$

Avec P_D la puissance dissipée, I le courant qui traverse le circuit, V la tension aux bornes du circuit et R la résistance du circuit.

Au niveau le plus simple, la dissipation thermique d'un appareil électronique mis en bloc peut-être mesurer en mesurant sa résistance thermique (R_{TH}) à l'environnement. Cette approche rapporte une élévation moyenne de la température du dispositif comme :

$$\Delta T = PR_{TH} \quad 3.2$$

Où P est la puissance (ou chaleur) dissipée en watts et ΔT l'élévation moyenne de la température en K.

La dissipation d'énergie et de puissance [104] dans des circuits numériques en nanométrie est souvent décrite dans le cadre de l'activité d'inverseur, suivant les indications de (a), (b) et (c) [16]. Trois composants ont été identifiés pour la consommation de puissance numérique :

- Puissance dynamique utilisée pendant la commutation pour le remplissage et déchargement de la charge d'inverseur.
- La puissance subliminale de fuite.
- La puissance de court-circuit (P_{SC}).

Donc l'équation pour la consommation de la puissance numérique est la suivante [16]:

$$P = C_L V_{DD}^2 \alpha \cdot f + I_{Leak} V_{DD} + P_{SC} \quad 3.3$$

Où α est le taux de mouvement, le C_L est la capacité de charge, f est la fréquence du signal d'horloge et I_{Leak} est le courant subliminal de fuite.

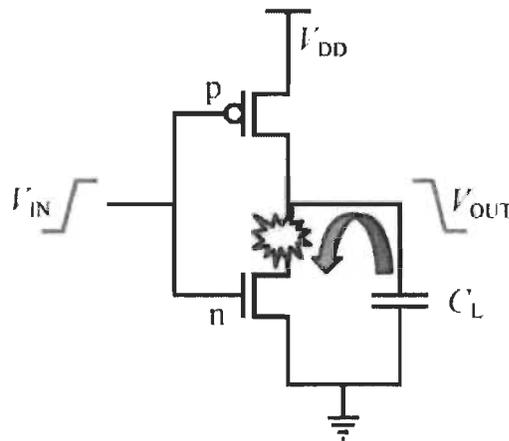


Figure 3-1 Schéma d'un inverseur de base, réf. [16].

Quand le C_L de capacité de charge est déchargé, son énergie est absorbée dans le drain du n-FET en tant que puissance dynamique ($\sim fC_LV$ 2 Densités doubles). Voir figure 3-1.

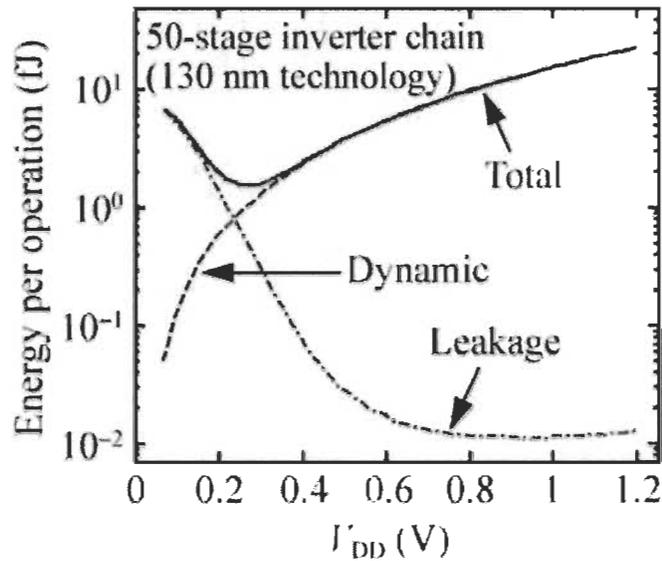


Figure 3-2 Énergie consommée par opération (une horloge simple période) par une chaîne d'inverseur de 50 étapes montre un minimum en ce qui concerne la réduction de tension d'alimentation, réf. [16].

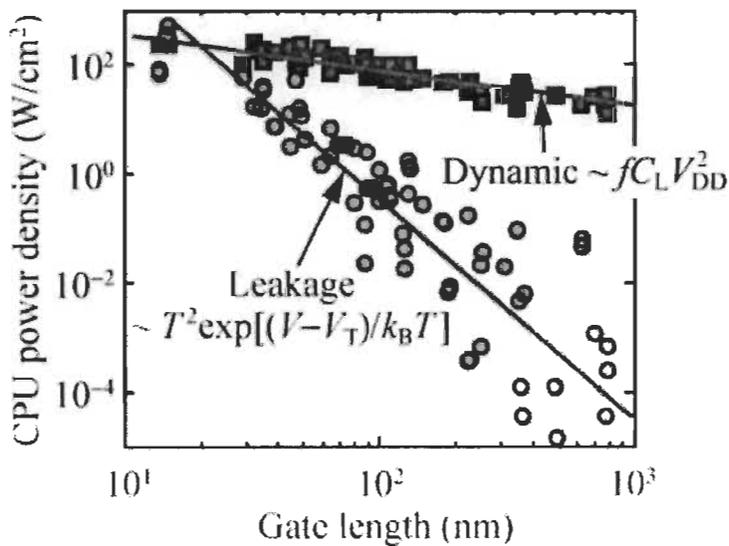


Figure 3-3 Réduction de densité dynamique et de fuite de puissance avec la technologie CMOS, réf. [16].

Quelques exemples dans la littérature [16] montrent l'optimisation acquise par la technologie CMOS à réduire la consommation d'énergie (voir figure 3-2), la densité dynamique et la fuite de puissance (voir figure 3-3).

Dans des unités centrales de traitement modernes, la dissipation de puissance totale par l'intermédiaire de la fuite peut être plus grande ou égale à la puissance (active) dynamique de commutation.

3.3 Optimisation des pertes :

Au-delà de l'augmentation des performances, les composants et les systèmes nanoélectroniques développés doivent être d'un coût le plus bas possible, peu sensible aux radiations, suffisamment intégrés pour permettre une réduction significative de l'encombrement, capables de fonctionner avec fiabilité dans des environnements sévères, comportant notamment des températures extrêmes, des vibrations et des chocs [17].

D'un niveau système, il est impossible de différencier l'efficacité dans le domaine électrique du domaine optique si les composants photoniques sont incorporés. Les dispositifs planaires de guide d'ondes et les composants actifs, tels que les modulateurs, qui exigent de hautes puissances de fonctionnement, les structures de guide d'ondes qui absorbent une énergie plus optique qu'elles transportent, et matériaux/processus qui sont incapables de présenter un chemin efficace à des niveaux d'intégration plus élevés présentent des défis significatifs. La technologie moléculaire permet à des matériaux avec des pertes de propagation inférieure et une plus haute performance/ plus un rendement optimum de puissance efficace des dispositifs photoniques actifs à être fabriqué [18].

Dans le cadre d'une étude pour la gestion électrothermique dans des dispositifs et des systèmes nanoélectroniques [19]. L'optimisation peut être exécutée pour n'importe quel système contenant un nombre N de dispositifs nanoélectroniques. Chaque source de chaleur localisée dans ce système est modélisée par un séparé d'espace, de temps et de température dépendamment de la fonction $G(x, y, z, t, T)$. Le système composé par N éléments électroniques rapprochés par une fonction $G(x, y, z, t, T)$ peut être décrit par les vecteurs C et Q . Les composants du vecteur C sont de coordonnées successives x_k, y_k et z_k définies dans l'espace de nombres réels :

$$C = [x_1, y_1, z_1, x_2, y_2, z_2, \dots, x_k, y_k, z_k, \dots, x_n, y_n, z_n] \quad 3.4$$

Les composants du vecteur Q sont les valeurs des sources de chaleur linéaires produisant un taux q_k à l'intérieur de chaque élément analysé. La valeur des sources de chaleur linéaires produisant un taux q_k est liée aux pertes de puissance P_k dans chaque élément comme suit :

$$Q = [q_1, q_2, \dots, q_k, \dots, q_n] = \left[\frac{P_1}{i_1}, \frac{P_2}{i_2}, \dots, \frac{P_k}{i_k}, \dots, \frac{P_n}{i_n} \right] \quad 3.5$$

L'optimisation pour la structure globale du système est exécutée conformément aux critères de minimisation de la température dans les parties choisies du système :

$$\|T\|_c = \text{round} \left(\sum_{k=1}^N a_k \|T\|_{ck} \right) \quad 3.6$$

La valeur d'une norme globale $\|T\|_c$ est construite sur les bases des valeurs réelles discrètes des normes locales $\|T\|^{ck}$, déterminées séparément pour chaque élément :

$$\|T\|_{ck} = \sum_{u=1}^{DL} 1(T_{E,u} - \|T\|_{\infty,k}) \quad 3.7$$

Une norme locale $\|T\|^{ck}$ est calculée comme addition des fonctions d'étape d'Heaviside. L'argument de ces fonctions est la différence entre la valeur de bord T_E et une valeur maximale calculée de la température analysée $\|T\|_{\infty,k}$ de l'élément électronique. Les valeurs de bord T_E présentées dans la dernière équation sont naturellement étendues dans l'ordre croissant à l'intérieur de du sous-espace arbitrairement défini des vrais nombres. La valeur maximale de la température $\|T\|_{\infty,k}$ dans l'élément analysé est déterminée sur la base des valeurs de la température calculées en points de l'espace discrétisé XYZ situés près de la fonction $G(x, y, z, t, T)$. De cette façon, nous pouvons faire une évaluation appropriée de la température des dispositifs nanoélectroniques - du point le plus critique pour l'augmentation de la température et de la présenter au procédé d'optimisation.

3.4 Systèmes de refroidissement :

La chaleur est une conséquence inévitable pendant le fonctionnement de n'importe quel appareil électronique. Les circuits électroniques contiennent de nombreuses sources de chaleur, y compris les millions et même des milliards de transistors qui sont systématiquement emballés dans des circuits intégrés modernes ainsi que les interconnexions ou les connexions reliant ces labyrinthes de composants.

Dans le passé, les ingénieurs d'emballage, les concepteurs de nos puces, sont ceux qui ont traité le sur-chauffage. Ils positionnent les composants de sorte que tout excès de chaleur serait le premier à se déplacer vers un dissipateur de chaleur, et après ils utilisent un débit d'air du ventilateur de refroidissement pour dissiper la chaleur dans l'environnement. Toujours en cours d'exécution trop chaude? Il suffit d'utiliser un plus grand ventilateur. Pendant des années, ces stratégies d'adaptation ont été suffisantes. Mais maintenant, avec l'industrie électronique qui rétrécisse les caractéristiques de la puce en dessous de 50 nanomètres et qui se dirige vers des circuits intégrés à trois dimensions, l'ère de la solution grand ventilateur est devenu du passé.

Tout gain de performances théoriques de l'électronique 3-D sera impossible à réaliser si les problèmes thermiques ne sont pas pris en compte.

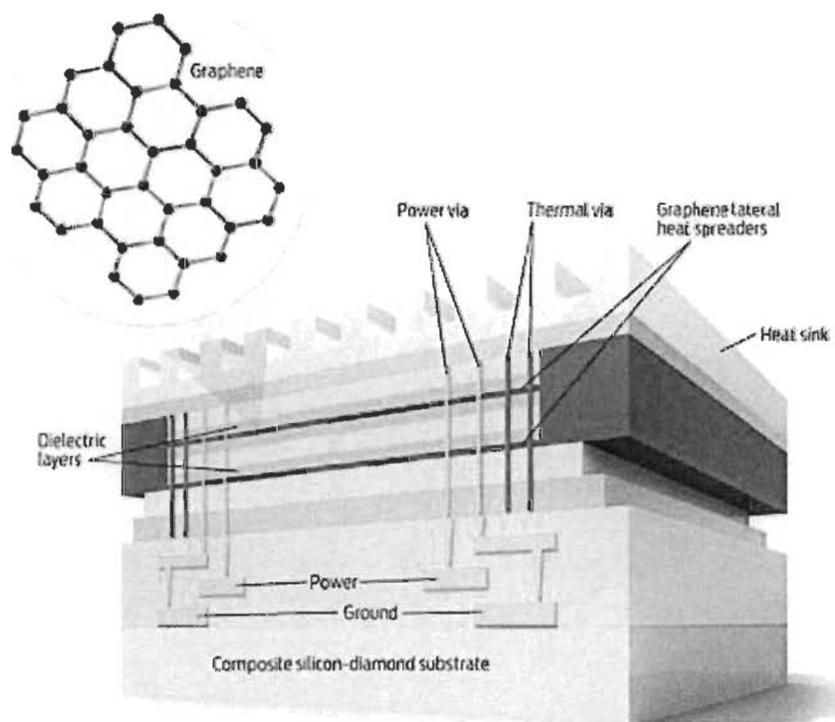


Figure 3-4 Puce en 3D, réf. [20].

Le schéma de la figure 3-4 montre une puce en trois dimensions superposée avec des couches de graphène agissant comme dissipateurs thermiques [20].

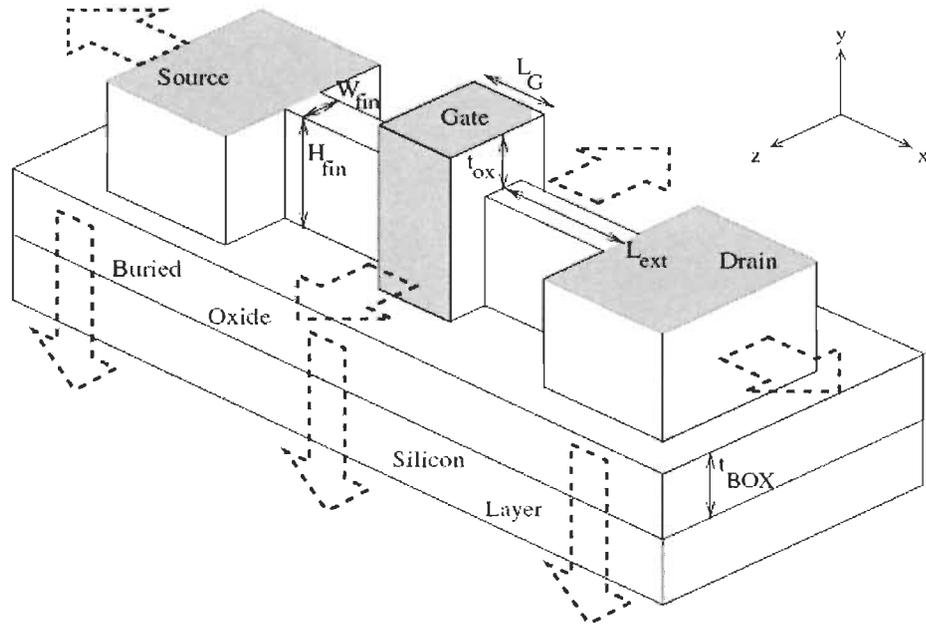


Figure 3-5 Croquis du FinFet, réf. [21].

Un croquis simple du FinFET est simulé (voir figure 3-5). Les chemins de refroidissement principaux, par lesquels la chaleur est dissipée, sont rapportées (les flèches contournées) [21].

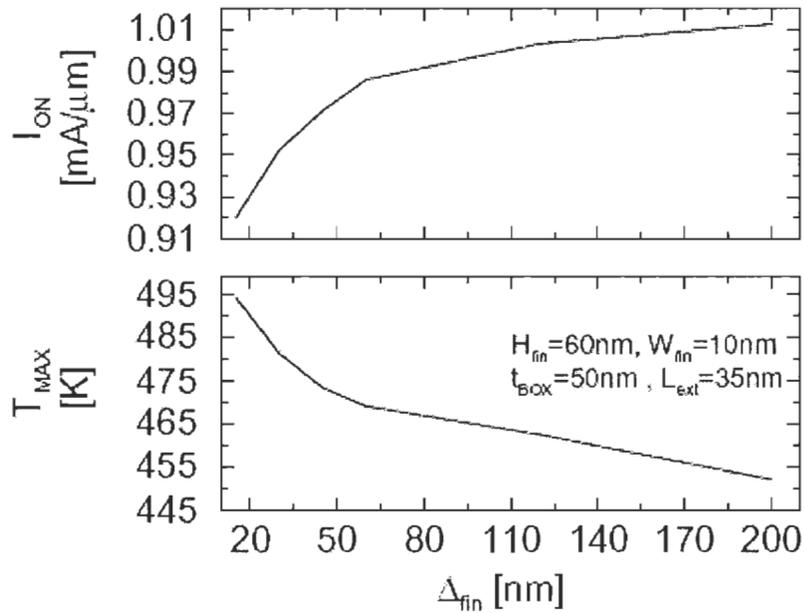


Figure 3-6 Ion (en haut) et Tmax (en bas) Vs Δ_{fin} , réf. [21].

- La dissipation thermique latérale améliorée augmente le lancement fin (donc réduisant l'interaction thermique entre les fins adjacentes); par conséquent, Tmax réduite. Voir figure 3-6.

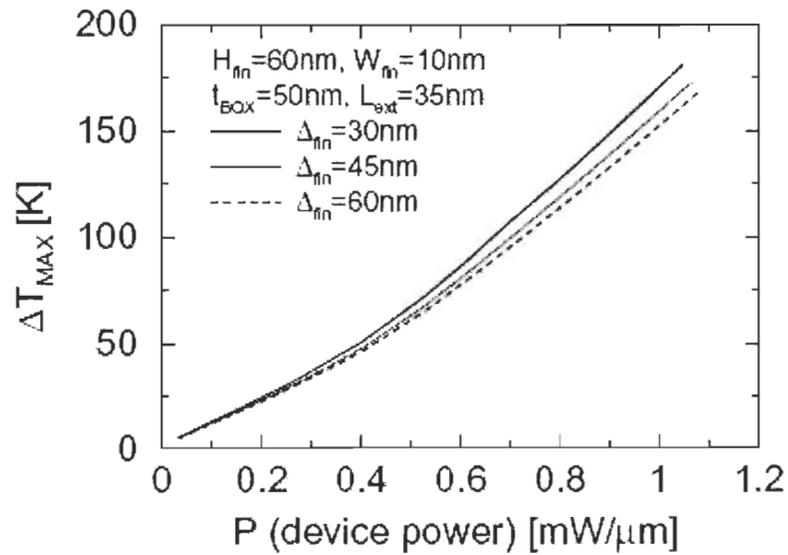


Figure 3-7 ΔT_{MAX} en fonction de la puissance dispersée, réf. [21].

- ΔT_{MAX} (c.-à-d. $T_{\text{MAX}} - 300 \text{ K}$) en fonction de la puissance dispersée par largeur d'unité, pour quelques valeurs de Δf_{in} présentée dans la figure 3-7.
- Une disposition plus compacte (plus petite Δf_{in}) mène à un plus grand chauffage, bien que la dépendance à l'égard Δf_{in} ne soit pas élevée.

Chapitre 4 - Caractéristiques électrothermiques

4.1 Propriétés des matériaux :

La diversité des propriétés propres à l'échelle nanométrique est exploitée et étudiée [22] au sein des dispositifs nanoélectroniques. Ces propriétés sont :

► **Blocage de Coulomb** avec le transistor à un électron [71] : les applications potentielles sont des électromètres en miniatures (détection ultra-sensible de la charge), des mémoires, des circuits logiques... [22]

► **Effet tunnel résonnant** [72] mis en pratique au sein de diodes ou de transistors. Ce sont des dispositifs permettant de réaliser des oscillateurs, des circuits logiques, des mémoires,... [22]

► **Logique quantique** [73] au sein d'automates cellulaires quantiques : une polarisation externe permet de contrôler l'état de charge d'une cellule constituée de nanoparticules définissant ainsi un état logique qui peut se propager sans fil par influence électrostatique. Diverses portes logiques élémentaires et leurs associations peuvent être réalisées [22].

► **Électronique de spin** : valve de spin et magnétorésistance géante appliquée aux disques durs d'ordinateur (prix Nobel de physique 2007 décerné à A. Fert [74]), jonction tunnel à spin appliqué aux mémoires RAM magnétiques (MRAM) [22].

► **Interférences quantiques**, par exemple l'effet Aharonov-Bohm [22], « qui est un phénomène mécanique quantique dans lequel une particule chargée électriquement montre

une interaction mesurable avec un champ électromagnétique tout en étant limitée à une région dans laquelle les deux; le champ magnétique B et électrique E sont nuls » [75].

► **Électronique moléculaire** : « Traitement d'informations par des effets photo-, électro-, iono-, magnéto-, thermo-, mécano- ou chimio-actifs à l'échelle d'édifices moléculaires structurellement et fonctionnellement organisés. » (J.M. Lehn, *Angew. Chem. Int. Ed.*, 1988, Nobel Lecture). Ce champ de recherche s'est fortement développé expérimentalement depuis les années 1990. Il vise à la réalisation de dispositifs électroniques (comme un processeur par exemple) constitués soit d'une seule molécule regroupant l'ensemble des fonctions requises avec une approche intégrée, soit de composants moléculaires élémentaires (une ou quelques molécules) connectés entre eux par des électrodes dans une approche dite hybride [80][22].

4.2 Variation des caractéristiques :

Les transistors à base de nanotube de carbone (CNT) ont des caractéristiques meilleures qu'autres matériaux. Le tableau 4-1 présente une comparaison des caractéristiques du CNT et autres matériaux.

Tableau 4-1 Une comparaison des caractéristiques du CNT et autres matériaux, réf. [15].

	CNT mono-paroi	par comparaison ...
taille	? 0.6-1.8nm	e-beam : 50nm
densité	1.33-1.40 g/cm ³	Al : 2.70 g/cm ³
densité de courant	10 ⁹ /cm ²	Cu : 10 ⁹ /cm ²
conduction thermique	6000 W/m.K	diamant : 3320 W/m.K
stabilité thermique	2800°C sous vide 750°C dans l'air	600-1000°C
coût	\$1500 / g	Au : \$10 / g

Collins, P.G ; Avouris, P. *Scientific American* 2000, 62

Les premières démonstrations expérimentales d'un CNTFET (FET à base de CNT mono paroi semi-conducteur) sont décrites [15], les caractéristiques statiques des CNTFET obtiennent un gain >10 , un rapport $I_{on}/I_{off} > 10^5$ et un fonctionnement à température ambiante. Il peut être favorablement comparé aux transistors CMOS.

La figure 4-1 représente un modèle de transistor CNTFET, sa structure et la variation de ses caractéristiques (courant du drain I_d par rapport à la tension de porte V_g et la tension entre source-drain V_{ds}).

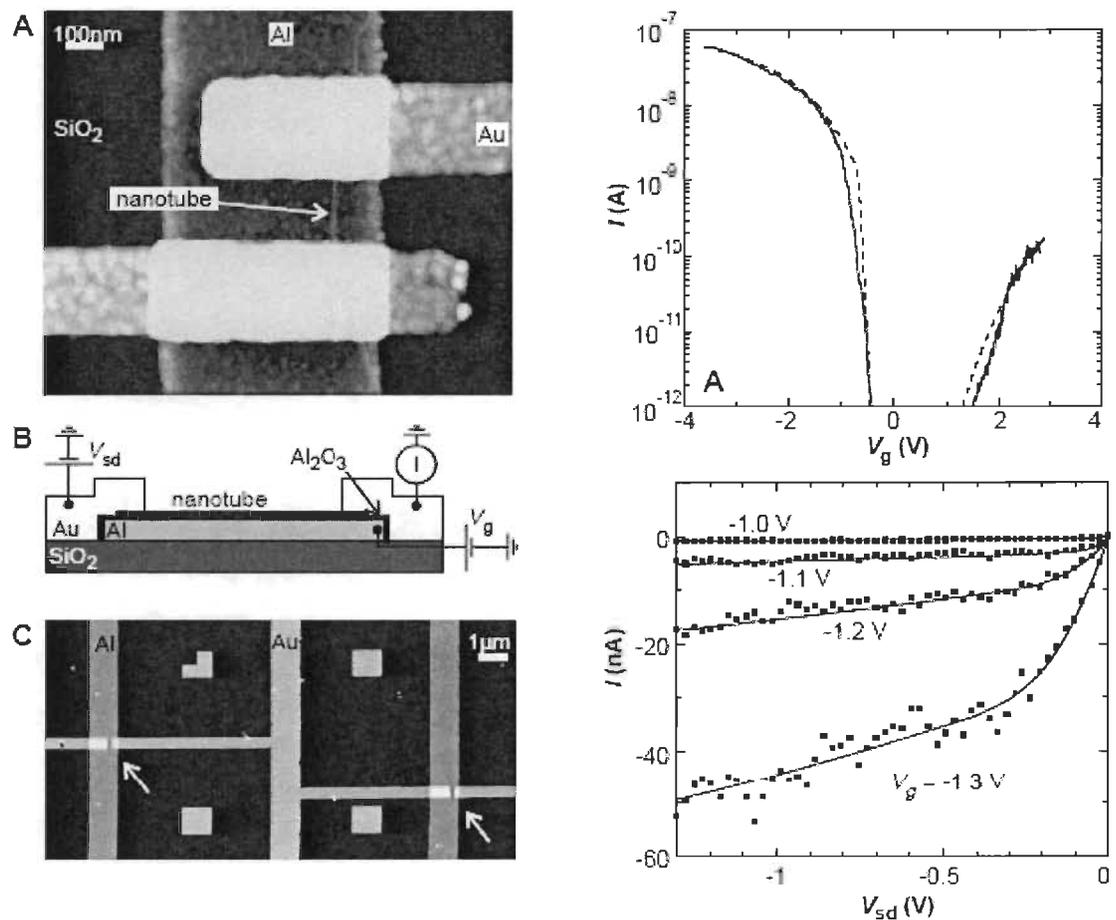


Figure 4-1 Structure et variation des caractéristiques du transistor à CNT, réf. [15].

Dans un deuxième article [21] nous avons une comparaison de plusieurs types de transistors. Les résultats de la figure 4-2 confirment que les différents dispositifs comportent des courbes I-V simulées qui sont semblables.

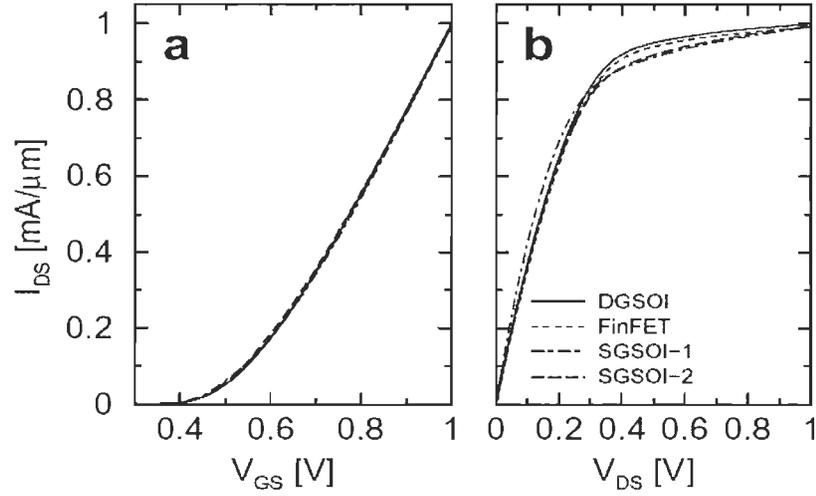


Figure 4-2 Les courbes courant/tension, réf. [21].

La figure 4-3 rapporte des valeurs de R_{th} (c.-à-d. ΔT_{max} vs. P) évaluées pour $V_{GS} = V_{DS} = V_{DD}$.

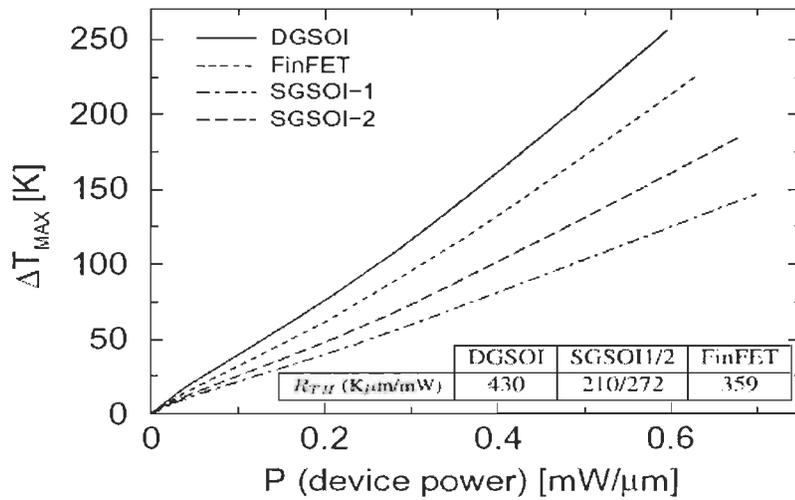


Figure 4-3 Les courbes $\Delta T_{max} / P$, réf. [21].

4.3 Formulation mathématique :

Les études électrothermiques au niveau nanométrique ont exigé principalement des notions de la mécanique quantique où les équations de Boltzmann [76] et de Schrödinger [77] sont à la base.

L'équation de Schrödinger pour les états simples d'un seul électron de Kohn-Sham est la suivante :

$$-\frac{\hbar^2}{2} \nabla \left[m^{-1}(r) \nabla \psi(r) \right] + V(r) \psi(r) = E \psi(r) \quad 4.1$$

Là \hbar est la constante du Planck réduit, m est le tenseur de la masse efficace et le ψ et E sont les fonctions propres et les valeurs propres respectivement.

Le BTE (équation de transport de Boltzmann) pour un mode de phonon i sous un gradient de température ∇T est donné par :

$$-V^{g,i} \cdot \nabla T \frac{\partial n^i}{\partial T} + \left(\frac{\partial n^i}{\partial T} \right) = 0 \quad 4.2$$

Où n^i est le nombre d'occupations de mode de phonon, T est la Température et $V^{g,i}$ est la vitesse du groupe de phonon, définie comme $\partial\omega/\partial k$, où le ω est la pulsation et k est le vecteur de vague. La solution de cette équation décrit la distribution équilibrée des phonons dans un système et comment cette distribution survient par les effets de la diffusion (première limite) et de la dispersion (deuxième limite, également connue sous le nom de limite de collision) [6].

L'étude des paramètres électrothermiques a été présentée par l'approche de Landauer [33] pour la diffusion du transport, est reliée mathématiquement à l'équation de transport de Boltzmann.

4.4 Conception des algorithmes :

Dans notre étude sur le transfert de chaleur dans les nanosystèmes, une démarche s'impose pour la simulation. Nous devrions donc trouver une méthode ou un algorithme qui nous donnerait la possibilité d'associer les particules, température et espace. Cela nous permettrait d'identifier, de calculer ou de déduire le transfert de chaleur dans le système sous certaines conditions. Plusieurs techniques et algorithmes sont présentés dans la littérature [28]. L'échelle de grandeur considérée nous exige de nouvelles considérations dans l'analyse des caractéristiques physiques des systèmes étudiés et des lois physiques qui les gouvernent.

La figure 4-4 nous donne une idée des modèles possibles pour l'analyse du transport des particules avec leur complexité et leur précision [28]. Nous pouvons y voir que les méthodes les plus appropriées pour cette échelle de grandeur sont les méthodes basées sur l'approche quantique. Les méthodes les plus utilisées dans la liste de la figure 4-4 sont le modèle de transport de Boltzmann et le modèle de transport utilisant l'équation de Schrödinger. Cependant l'utilisation de ces techniques comporte des limites.

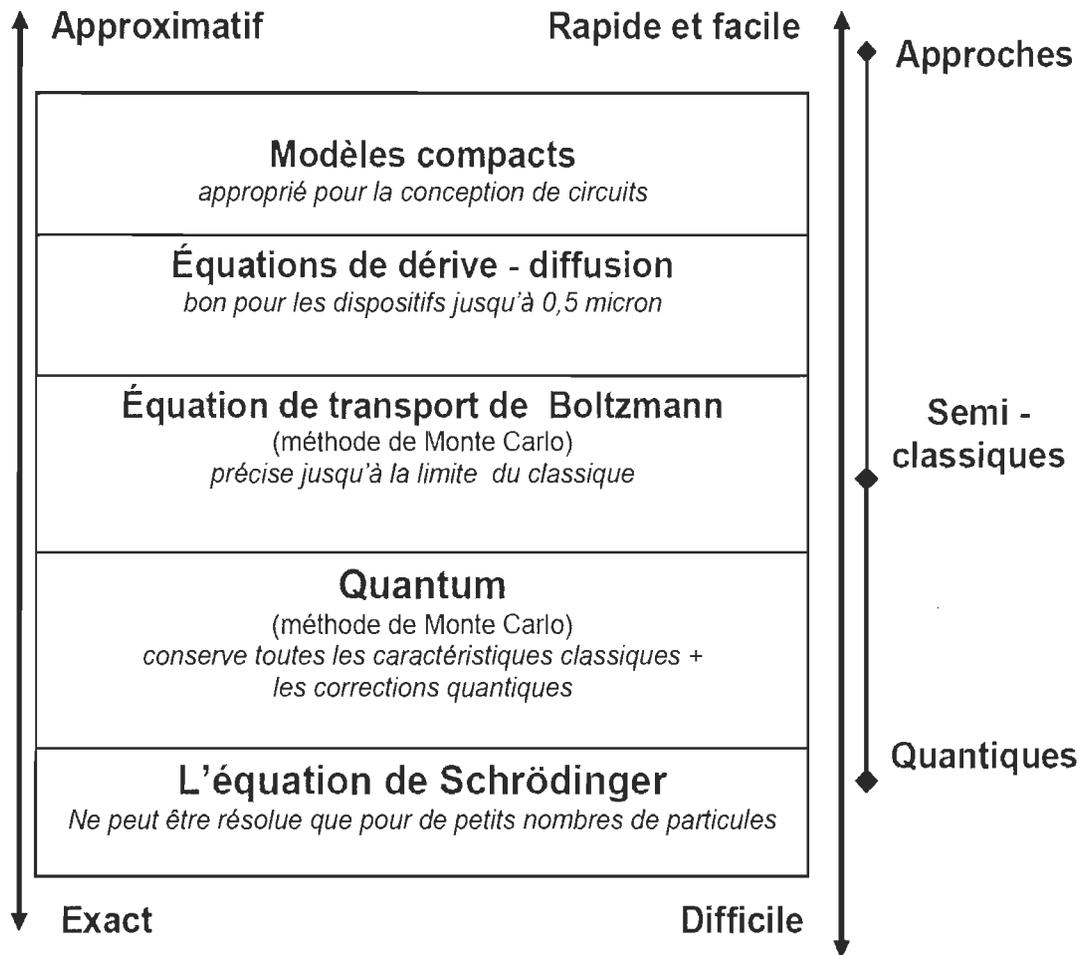


Figure 4-4 Illustration de la hiérarchie du modèle de transport, réf. [28], p. 43.

4.4.1 Algorithme de Monte-Carlo

L'algorithme de Monte-Carlo [28] tient son nom du célèbre casino de Monaco, est un algorithme utilisé pour des applications multiples, qui comportent des décisions aléatoires dans l'algorithme. La simulation de Monte-Carlo rapporte une excellente exactitude des calculs à travers un certain nombre de mesures aléatoire simple souvent pour la réalisation des calculs dans les grands systèmes complexes.

Cette exactitude de calcul ou la simulation de la « réalité » retient son efficacité à partir de l'importance de l'échantillonnage [28] dans une matrice de dimension assez grande.

4.4.2 Chaîne de Markov

On appelle chaîne de Markov [28, 29,30] une suite de variables aléatoires (X_n) telle que, pour chaque n , connaissant la valeur de X_n , X_{n+1} soit indépendante de X_k , pour k inférieur ou égal à $n-1$.

Autrement dit, pour tout n et pour toutes valeurs possibles i_0, \dots, i_n, i_{n+1} , la probabilité que X_{n+1} prenne la valeur i_{n+1} sachant que $X_0=i_0, X_1=i_1, \dots, X_{n-1}=i_{n-1}$ et $X_n=i_n$ ne dépend que de i_{n+1} et de i_n .

D'autre part, le processus de Markov est un mécanisme de la chaîne de Markov qui génère un état « q » du système à partir d'un autre « p » connu. Sachant que, l'état généré n'est pas toujours le même, il parcourt le système à la recherche de nouveaux états avec une probabilité de transition $P(p \rightarrow q)$ qui est toujours constante et devra satisfaire la relation de fermeture

$P(p \rightarrow q) = 1$. Deux conditions s'imposent sur la probabilité de transition $P(p \rightarrow q)$:

- a) elles ne varient pas avec le temps.
- b) elles dépendent uniquement des propriétés du système sur les états p et q .

Dans la simulation de Monte-Carlo, nous utiliserons à répétition le processus de Markov pour générer la chaîne de Markov de nouveaux états.

Une chaîne de Markov est dite ergodique ou irréductible si tout état est atteignable depuis tout autre état. Elle est dite régulière s'il existe une puissance P^K de sa matrice de

transition P dont tous les éléments sont strictement positifs. Une chaîne régulière est donc ergodique.

La particularité des chaînes régulières est que l'on peut aller de n'importe quel état vers n'importe quel autre état en un nombre fixé k de pas, où k est indépendant de l'état de départ. Pour les chaînes ergodiques, on demande simplement que tout état soit atteignable depuis tout autre, mais le nombre de pas n'est pas nécessairement fixé [31].

L'algorithme de Monte-Carlo utilise le processus de Markov pour choisir les états utilisés. Il est généralement utilisé lorsqu'on veut partir de n'importe quel état du système et générer une suite de configurations de certains états précis. Pour être complet, le processus de Markov devra être ergodique.

4.4.3 Monte Carlo Metropolis

La méthode de *Monte-Carlo (MC) Metropolis* [32] a été introduite en physique de la matière condensée par Metropolis et coll. en 1953. Elle porte ce nom parce qu'elle est basée sur l'utilisation de nombres aléatoires. Cette méthode permet l'estimation des moyennes de grandeurs physiques données par la formulation de Gibbs de la mécanique statistique sous la forme d'intégrales multidimensionnelles.

La technique de MC est en effet particulièrement adaptée au calcul des intégrales de dimension supérieure à dix. Les premières simulations furent réalisées dans l'ensemble canonique (N , V et T constants), puis la technique fut étendue aux autres ensembles statistiques. On génère une séquence aléatoire d'états accessibles (chaîne de Markov) dans l'espace des configurations du système. On échantillonne en privilégiant les régions où le facteur de Boltzmann ($\exp(-U/k_B T)$) c'est-à-dire la densité de probabilité de l'ensemble

canonique dans cet espace est le plus élevé (algorithme de Metropolis). La probabilité d'une configuration particulière d'énergie potentielle U_i est alors proportionnelle à $\exp(-U_i/k_B T)$, autrement dit l'acceptation d'une configuration de la chaîne de Markov est pondérée par une fréquence proportionnelle au facteur de Boltzmann. Une propriété d'équilibre est alors obtenue comme une moyenne simple sur les configurations acceptées. Cette exploration de l'espace des configurations, en suivant l'algorithme de Metropolis, constitue le premier cas d'échantillonnage suivant l'importance en mécanique statistique. Elle est encore largement utilisée de nos jours parce qu'elle représente un moyen simple et relativement efficace d'obtenir des moyennes de grandeurs physiques dans un ensemble statistique.

4.5 Implémentation séquentielle :

L'implémentation séquentielle est faite par l'utilisation d'un seul ordinateur à un seul processeur. Donc l'environnement d'une simulation sur un outil séquentiel prend beaucoup de temps avant d'être faite, c'est-à-dire, un traitement séquentiel de l'information.

Dans des recherches faites sur la Génération d'un Modelant de défaut d'Interface (MIG) [25], ce qui contient une démonstration d'instabilité polarisée négative de la température (NBTI) [26], les chercheurs ont découvert que le NBTI signifiait : (la dégradation du dispositif MOS qui se produit quand on le soumet à une contrainte de tension négative.) « Produit des pièges d'interface (réaction) et les espèces en résultant d'hydrogène répond à partir de l'interface (diffusion). Par conséquent, les caractéristiques du dispositif (tension de seuil, mobilité, courant de saturation de drain, etc.) se dégradent avec le temps et une telle dégradation satisfait une formule de loi de puissance ($\sim t^n$). Mettant en application un tel

modèle (RD) de Réaction-diffusion, le MIG montre comment la tension de seuil d'un dispositif PMOS peut changer avec le temps à différentes tensions et températures. » [25]

Le MIG produit les types suivants de courbes de rendement. Par exemple, cette courbe [25] (voir figure 4-5) montre le changement de la densité de piège d'interface en fonction du temps de simulation (temps d'effort).

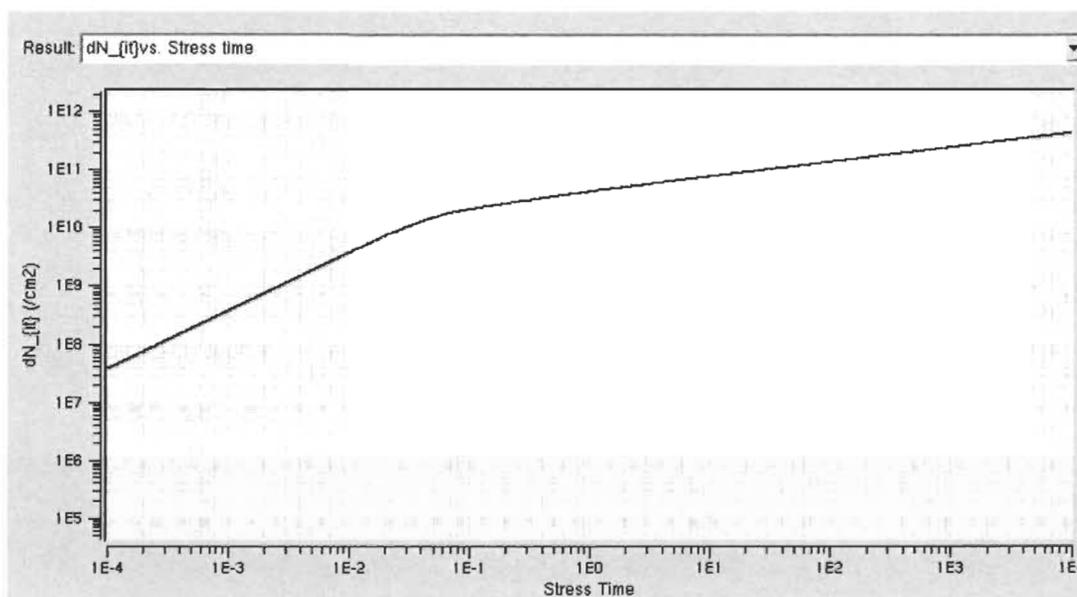


Figure 4-5 ΔN_{it} vs. Temps d'effort, réf. [25].

Le temps de simulation prend en considération l'effet du retard de mesure utilisé dans la simulation. Par exemple, si le retard de mesure est 5 secs pour 10 points de mesure (temps de mesure 100, 200..., 900, 1000 sec), puis la simulation doit être faite au moins jusqu'à $(1000 \text{ sec} + 10 \cdot 5) = 1050 \text{ sec}$. À une telle condition, un temps de mesure de 900 sec correspondra à un temps de simulation de $(900 \text{ sec} + 9 \cdot 5) = 945 \text{ sec}$ [25].

Une autre courbe [25] montre l'exposant de temps contre le temps d'effort, cela est produit uniquement avec une simulation continue.

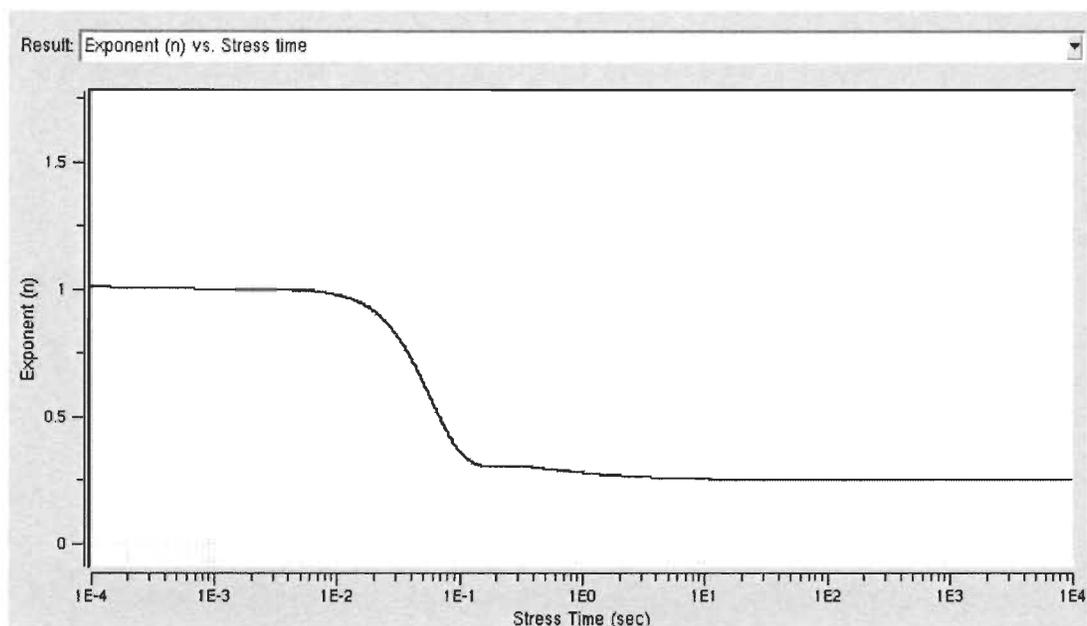


Figure 4-6 Exposant de temps vs le temps d'effort, réf. [25].

D'autres simulations faites sur les MOSFET [27] à partir des ressources de NanoHub.org montrent la variation des caractéristiques selon des particules, température et espace. Par exemple, la durée de temps de simulation pour l'outil MOSFet est de 132 secondes.

Le fonctionnement des transistors MOSFET dans le régime balistique [34-35] a été aussi récemment exploré par les modèles simples et analytiques voire par des simulations numériques détaillées.

Les simulations numériques par l'outil FETToy 2.0 (modèle d'outil utilisé pour simuler les caractéristiques I-V des transistors MOSFET de SI nanomètre) [35] fournissent les informations détaillées sur le fonctionnement des dispositifs nanométriques.

FETToy 2.0 [35] est un ensemble de manuscrits de Matlab qui calculent les caractéristiques balistiques I-V pour les transistors MOSFET conventionnels, les transistors

MOSFET de Nanowire et les transistors MOSFET de NanoTube de Carbone [81]. Pour les transistors MOSFET conventionnels, FETToy 2.0 comprend l'un ou l'autre une géométrie simple ou double grille (Single or Double-Gate) et pour un nanowire et des transistors MOSFET de nanotube il comprend une géométrie cylindrique. Seulement la plus basse sous-bande est considérée, mais elle est aisément modifiable pour inclure les sous-bandes multiples.

Deux modèles de transport ont avéré particulièrement leur utilité. Le premier est une solution numérique de l'équation de Boltzmann balistique, et la deuxième est le formalisme de la fonction de Greens non équilibrée (NEGF) pour le transport de quantum.

Les figures 4-7 et 4-8 montrent les transistors MOSFET du modèle 10 nanomètres.

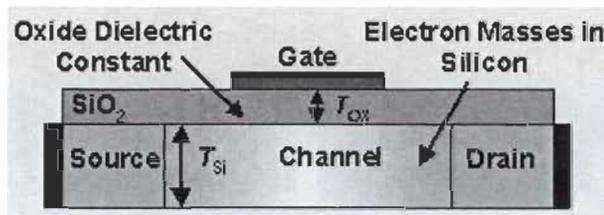


Figure 4-7 Structure du modèle 10 nm : un transistor MOSFET à une seule grille, réf. [35].

Une épaisseur de corps de 1,5 nm et une épaisseur d'oxyde de 1,5 nm ont été utilisées [35].

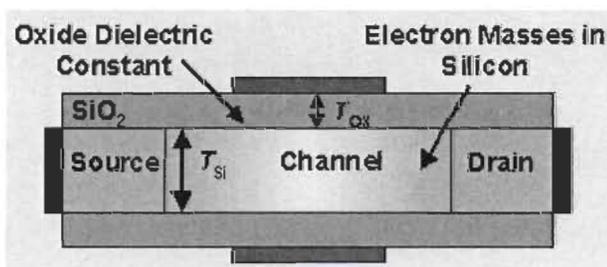


Figure 4-8 Structure du modèle 10 nm : un transistor MOSFET à double grille, réf. [35].

Une épaisseur de corps de 1,5 nm et une épaisseur d'oxyde de 1,5 nm ont été utilisées.

Les figures 4-9 et 4-10 montrent les transistors MOSFET du modèle CNTFET à (1-3 nanomètres) et du modèle NWIREFET.

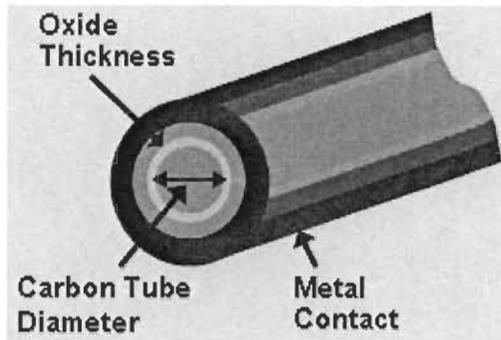


Figure 4-9 Structure du modèle 1-3 nm : un transistor MOSFET en Nanotube de Carbon (CNTFET), réf. [35].

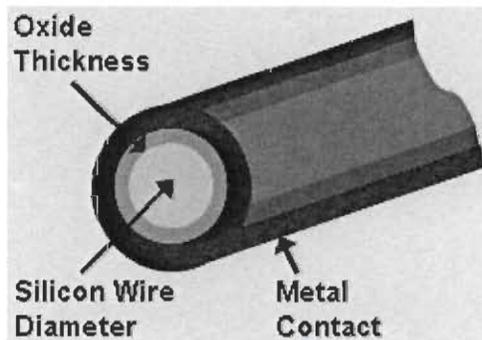


Figure 4-10 Structure du modèle 1-3 nm : un transistor MOSFET à Nanowire en silicium (NWIREFET), réf. [35].

Une programmation et implémentation séquentielle sur Matlab du modèle FETToy2.0, pour la simulation des différentes caractéristiques des transistors MOSFET à simple grille et à double grille comprend les entrées et les sorties comme décrites en détail dans la suite.

4.5.1 Les entrées de FETToy 0.2 :

Spécifications du dispositif :

- Porte simple/double porte, sg_flag
- Épaisseur d'isolateur de porte, t (m)
- Constante diélectrique d'isolateur de porte, epsr
- La masse efficace de transport, mt
- Épaisseur de corps de SI, Tsi (m)
- La température, T (k)

Tension terminale : Nombre de points polarisés, NV

- Chaîne de tension, VI, VF (v)

Modèle analytique : Niveau de Fermi de source, Ef (eV)

- Paramètre de commande de la Grille, alphag
- Paramètre de commande du Drain, alphad

Un exemple de simulation effectuée sur un transistor MOSFET à double grille comprend les entrées suivantes, réf. [35] et donne les résultats simulés dans les sorties.

<p>Si NanoScale MOSFET Simulation ...</p> <p>Device Specifications:</p> <hr/> <p>Double Gate / Single Gate MOSFET:</p> <p>0) Double Gate :</p> <p>1) Single Gate : $\gamma = 0$</p> <p>Gate Insulator Thickness (m): $t = 1.5e-9$</p> <p>Gate Insulator Dielectric Const.: $\epsilon_{psr} = 3.9$</p> <p>Transport Effective Mass : $m_t = 0.19$</p> <p>Si Body Thickness (m) : $T_{si} = 1.0e-9$</p> <p>Valley Degeneracy: $g = 2$</p> <p>Temperature (K) : $T = 300$</p>	<p>Terminal Voltage :</p> <hr/> <p>Number of Bias Points: NV = 13</p> <p>Voltage Range (V) :</p> <p>(Initial) $V_1 = 0$</p> <p>(Final) $V_F = 1$</p> <p>Analytical Model:</p> <hr/> <p>Source Fermi Level (eV) : $E_f = 0.32$</p> <p>Gate Control Parameter: $\alpha_{phg} = 0.88$</p> <p>Drain Control Parameter : $\alpha_{phd} = 0.035$</p>
---	---

4.5.2 Les sorties de FETToy 0.2 :

1. Fichiers texte :

A. current_data.txt

B. results.txt

2. Figures suivantes :

A. Ids par rapport à V_{gs} au 2ème et dernière polarisation de drain (Smilog) dans la

figure 4-11: Nom de fichier : Id_vs_Vgs_log.ps

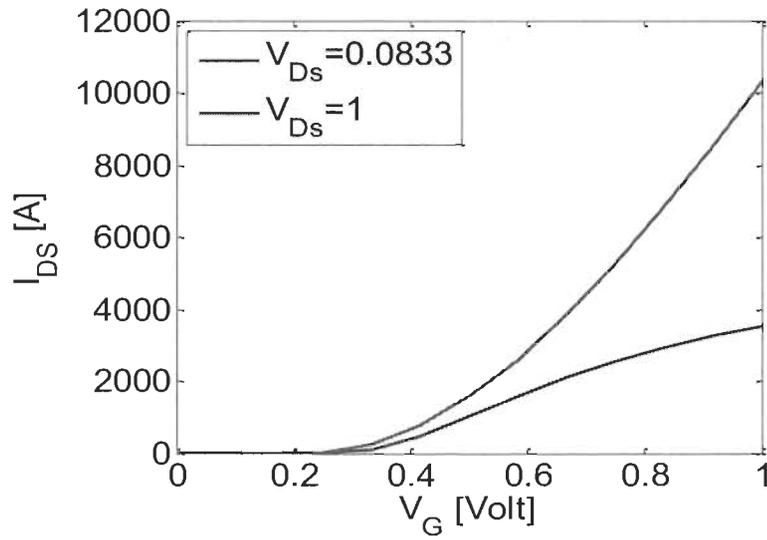


Figure 4-11 Courant Id vs. Tension Vgs logarithmique, réf. [35].

B. Ids par rapport à Vgs au 2ème et dernière polarisation de drain (linéaire) dans la figure 4-12: Nom de fichier : Id_vs_Vgs_lin.ps

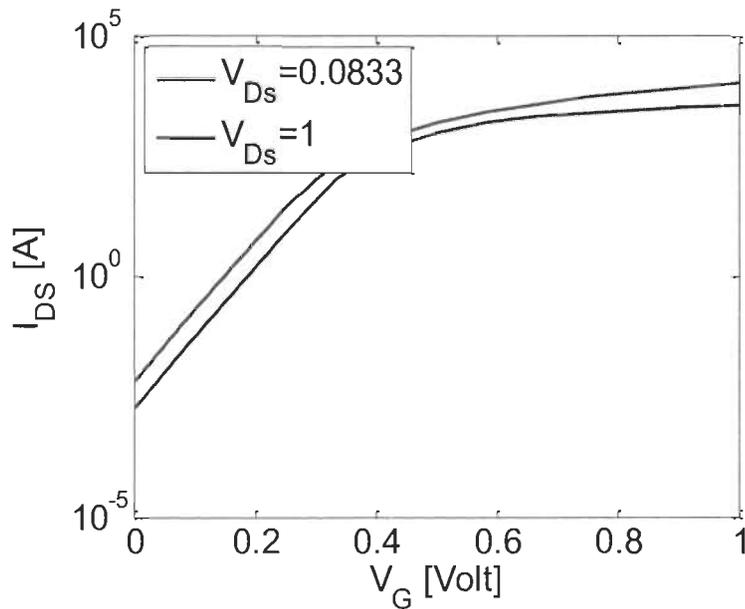


Figure 4-12 Courant Ids vs. Tension Vgs linéaire, réf. [35].

C. Courant I_{DS} par rapport à V_{DS} pour V_{GS} différent (linéaire) dans la figure 4-13:

Nom de fichier : Id_vs_Vds.ps

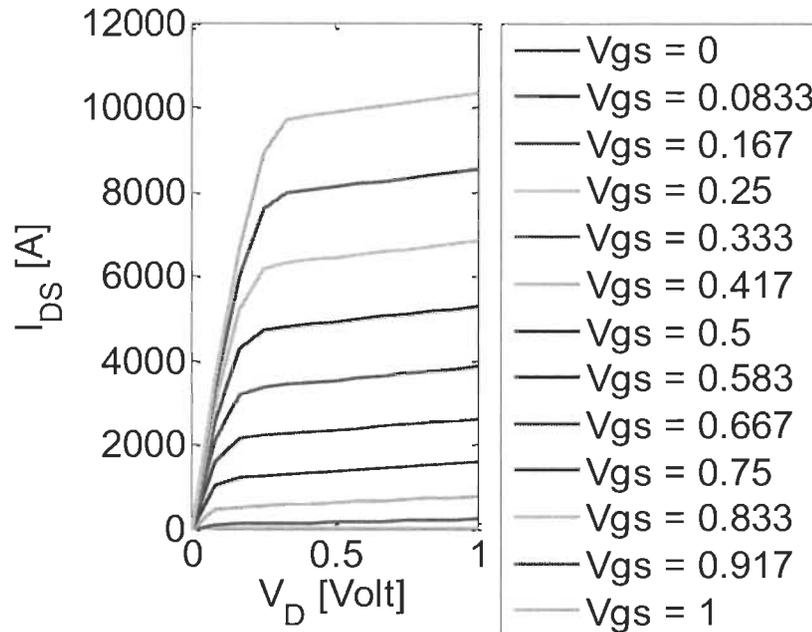


Figure 4-13 Courant I_{DS} vs. Tension V_{DS} , réf. [35].

D. charge mobile (au sommet de la barrière) par rapport à V_{GS} pour différents valeurs de V_{DS} dans la figure 4-14 et 4-15: Nom de fichier : N_vs_Vds.ps

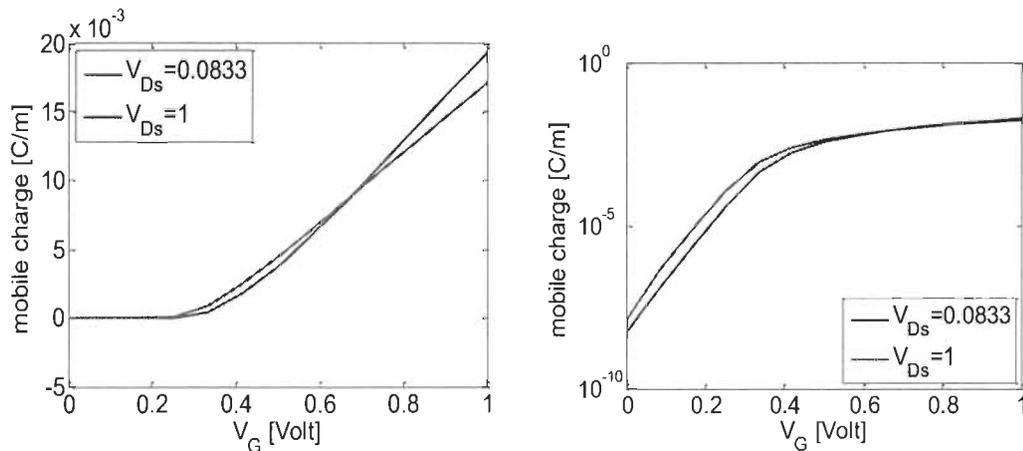


Figure 4-14 Charge mobile vs V_G , réf. [35].

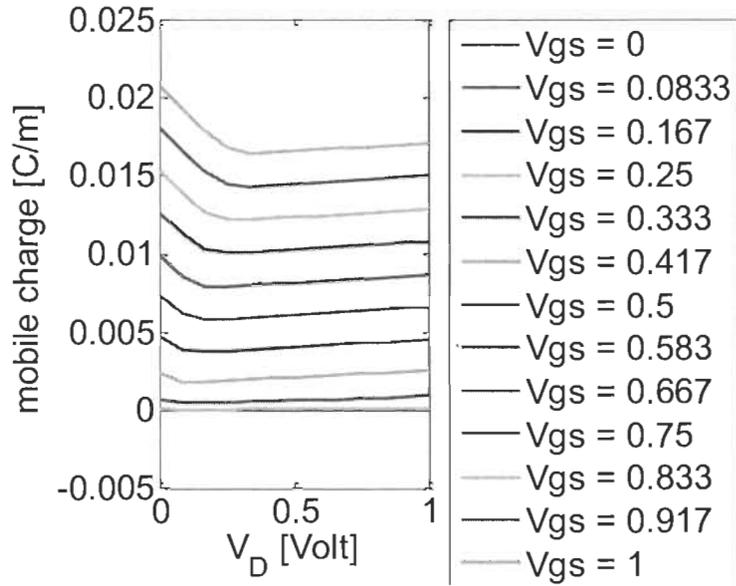


Figure 4-15 Mobile charge vs. Tension V_d , réf. [35].

E. Quantum Capacitance contre V_{gs} avec V_{ds} maximum dans la figure 4-16: Nom de fichier : CQ_vs_Vgs.ps

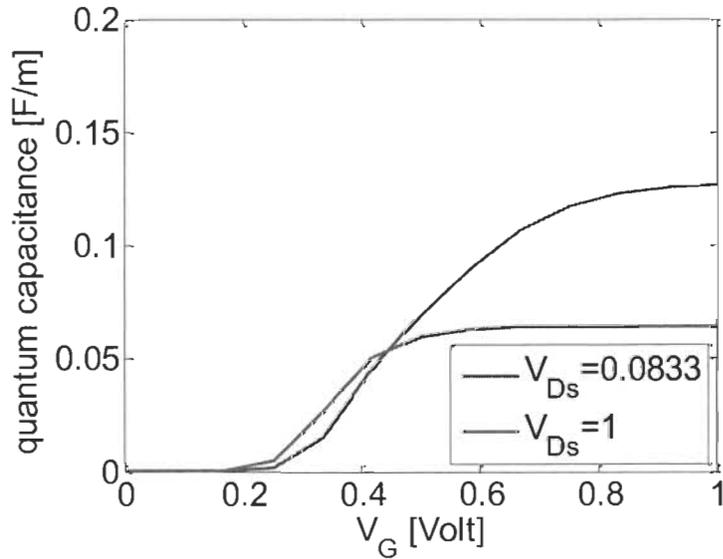


Figure 4-16 Quantum capacitance vs. Tension V_{gs} , réf. [35]

F. Vitesse moyenne par rapport à V_{gs} chez V_{ds} maximum dans la figure 4-17:

Nom de fichier : Velocity_vs_Vgs.ps

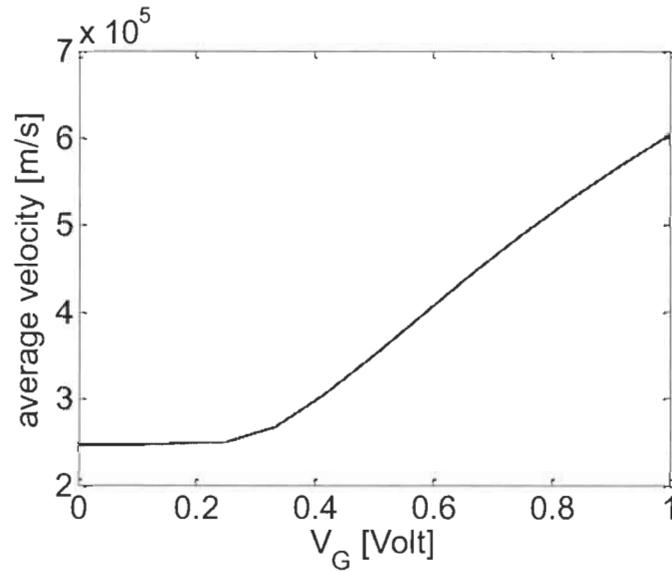


Figure 4-17 Vitesse moyenne vs. Tension V_{gs} , réf. [35].

3. Matlab Rawdata :

A. Rawdata.mat

Les circuits nanoélectroniques ont toujours exigé des ressources informatiques intenses. Avec le besoin de simulation interactive et de circuits de plus en plus complexes, les ordinateurs actuels à simple processeur sont poussés à leur limite.

Chapitre 5 - Les systèmes de calcul à haute performance

5.1 Description générale :

« Les calculs à haute performance (CHP) deviennent de plus en plus un outil populaire dans la modélisation numérique et les simulations des systèmes complexes » [6]. Ils représentent un enjeu de souveraineté et de compétitivité majeur pour le Canada et plus généralement pour la science nord-américaine.

La société actuelle est confrontée à un enjeu majeur par le calcul à haute performance. Auparavant, il était destiné à des domaines étroits et spécifiques tels que le nucléaire et la météorologie, le calcul à haute performance de nos jours répond à des besoins de plus en plus étendus. Il faudrait mieux connaître et mieux comprendre les phénomènes physiques, les processus du vivant ou les activités économiques, pour mieux concevoir et réaliser de nouveaux produits qui apparaissent comme des impératifs pour la société. Ceci exige que les centres de recherche et de développement public comme ceux des industries disposent d'une puissance informatique sans cesse croissante [37].

Les nouveautés technologiques au niveau informatique sont les technologies du traitement pétaflopiques, qui sont capables de réaliser un million de milliards d'opérations par seconde. Donc l'enjeu est majeur et bénéfique pour la recherche universitaire, pour l'industrie et pour l'emploi. La simulation numérique à haute performance est devenue un élément incontournable pour la modélisation et la simulation dans différents domaines et

disciplines, notamment dans l'aéronautique, l'énergie, la climatologie, les sciences de la vie, la finance, le traitement de l'information, le développement durable et les économies d'énergie. Le Calcul à Haute Performance est ainsi un atout majeur pour la compétitivité de la recherche et de l'industrie, ainsi qu'un élément fondamental de la souveraineté des pays [96].

Généralement, le calcul à haute performance s'appuie sur des solutions coûteuses. Auparavant, basé sur des processeurs et des logiciels spécifiques, ce qui en limitait considérablement la diffusion. Aujourd'hui, avec les processeurs standards et les logiciels libres, la très forte demande en calcul haute performance peut être satisfaite. Ces nouvelles technologies permettent en effet d'offrir les performances les plus élevées avec des coûts d'acquisition et de mise en œuvre ramenés à ceux des produits diffusés en grands volumes [37].

L'importance du volume des données est considérée comme un nouveau paradoxe, si la puissance fournie par les processeurs est un facteur déterminant pour le calcul à haute performance, celle des solutions de stockage et de gestion des données est aussi capitale. En effet, le volume des données à traiter devient de plus en plus important. Il est donc essentiel que les temps d'accès à ces données soient extrêmement courts et que ces données soient de mieux en mieux intégrées au système d'information [37].

La loi de Moore sur la performance des calculateurs s'appuyait jusqu'en 2002 sur le fait que la fréquence des CPU doublait tous les 18 mois. Maintenant, puisque la consommation électrique se comporte comme le carré de la fréquence, pour doubler le nombre de FLOPS il vaut mieux doubler le nombre de processeurs (ce qui double la consommation), plutôt que doubler la fréquence (ce qui quadruplerait la consommation) [97].

La loi de Moore dans les machines d'aujourd'hui perdure presque uniquement grâce à l'augmentation des unités de calcul dans une puce. Voir figure 5-1.

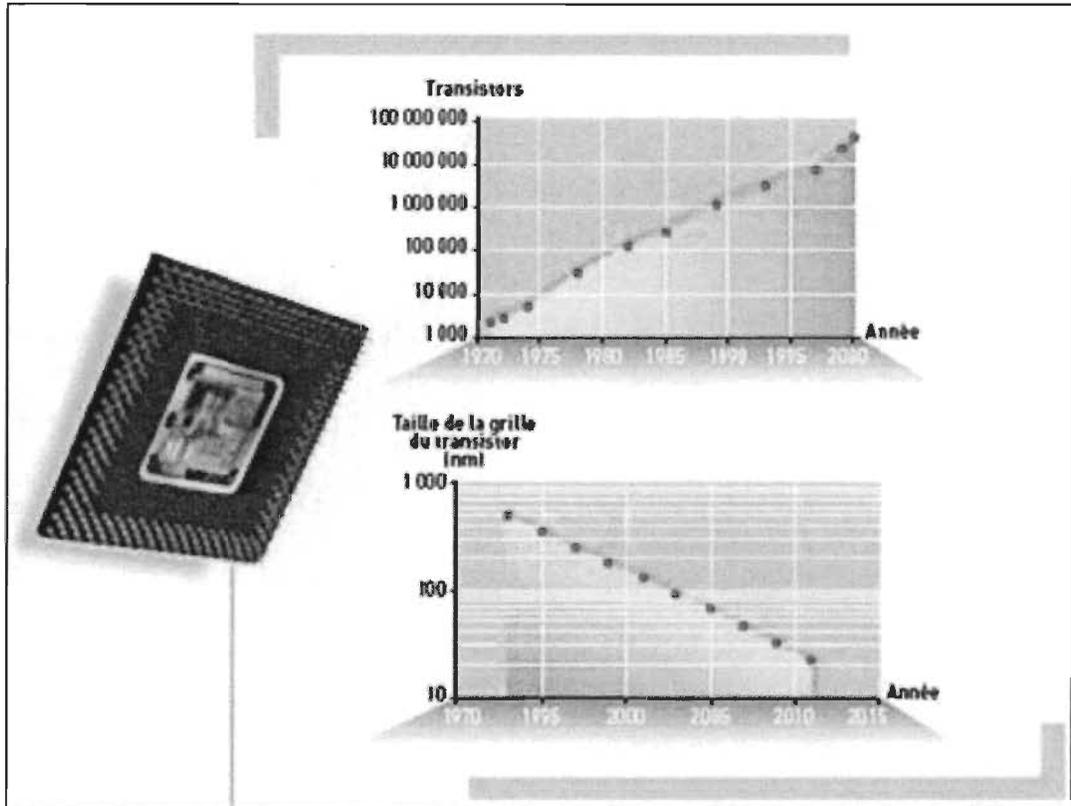


Figure 5-1 Loi de Moore : les progrès de la miniaturisation, réf. [78], p. 1.

Le CHP (calcul de haute performance) est parfois employé comme synonyme de « super informatique » [39].

Le CHP permet d'effectuer très rapidement des calculs, en utilisant un grand nombre de processeurs (le plus souvent des centaines, mais parfois jusqu'à des milliers) réunis grâce à des réseaux de communications ultras rapides et des logiciels fonctionnant en tandem, comme s'ils ne formaient qu'un seul gigantesque ordinateur. Les installations de CHP sont au moins cent fois plus rapides que l'ordinateur personnel d'aujourd'hui [98].

La simulation sur CHP pour les micros et nanotechnologies constituera l'un des domaines applicatifs phares. Dans le domaine des nanosciences et nanotechnologies, les simulations atomistiques (par exemple de type *ab initio*) permettent de prévoir le comportement et la structure des matériaux utilisés pour les prochaines générations de nano-objets.

5.1.1 Top500 :

Les statistiques [47] sur les ordinateurs de haute performance sont d'un intérêt majeur pour les fabricants, les utilisateurs et les utilisateurs potentiels. Ces gens souhaitent savoir non seulement le nombre de systèmes installés, mais aussi l'emplacement des divers superordinateurs au sein de la communauté informatique de haute performance et les applications pour lesquelles un système informatique est utilisé. Ces statistiques peuvent faciliter l'établissement de collaborations, l'échange de données et de logiciels, et de fournir une meilleure compréhension du marché informatique de haute performance.

Les Listes de statistiques de superordinateurs ne sont pas nouvelles. Chaque année depuis 1993, une liste TOP500 montre les 500 plus puissants systèmes informatiques disponibles dans le monde qu'ils sont utilisés pour une multitude d'applications.

Nous trouvons dans les figures 5-2 et 5-3 deux diagrammes des systèmes les plus puissants dans le monde de l'année 2011. Le premier évalue les systèmes les plus vendus au monde et le deuxième évalue les performances de ces systèmes par les différents domaines d'applications.

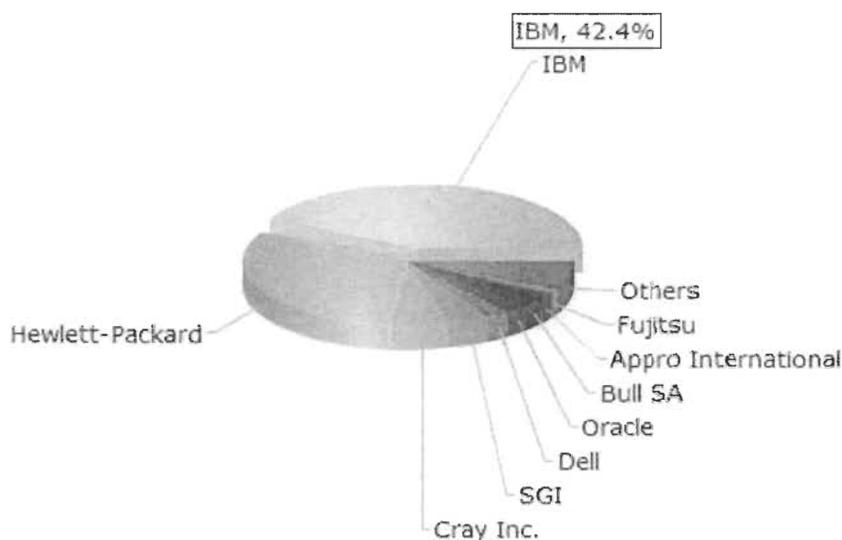


Figure 5-2 Diagramme des systèmes puissants les plus vendus au monde (Juin 2011), réf. [47].

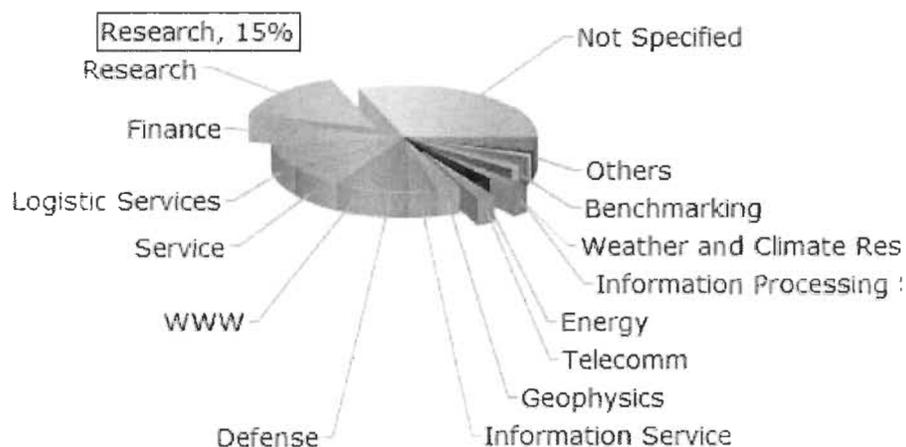


Figure 5-3 Diagramme des domaines d'application par performance, réf. [47].

La 37e édition de la liste Top500 confirme la reprise des rumeurs de la première Place par le système japonais, le superordinateur (K) qui utilise le mot japonais « Kei » pour 10^{16} (dix quadrillions), représentant le but de la représentation du système de 10 petaflops. Le système chinois « Tianhe-1A », classé deuxième, du National Super Computer Center à Tianjin, qui a atteint un niveau de performance de 2,57 petaflop/s

(quadrillions de calculs par seconde). Ce système a récemment battu le système Américain « Jaguar » dont son niveau de performance est de 1.76 petaflop/s.

Pour la première fois, tous les 10 systèmes principaux ont réalisé la représentation de petaflops/s. Les États-Unis sont au-dessus de la liste en petaflops/s avec cinq systèmes exécutant à ce niveau; le Japon et la Chine ont deux chacun et la France a un seul.

La liste des Top5 confirme elle aussi la place du Japon dans le monde avec la première et la cinquième position, tandis que, la Chine occupe la deuxième et la quatrième position, les États-Unis eux occupent la troisième position.

Tableau 5-1 Top5 de Juin 2011, réf. [47].

Rank	Site	Computer/Year Vendor	Cores	R_{max}	R_{peak}	Power
1	RIKEN Advanced Institute for Computational Science (AICS) Japan	K computer, SPARC64 VIII/x 2.0GHz, Tofu Interconnect / 2011 Fujitsu	548352	8162.00	8773.63	9898.56
2	National Supercomputing Center in Tianjin China	Tianhe-1A - NUDT TH MPP, X5670 2.93Ghz 6C, NVIDIA GPU, FT-1000 8C / 2010 NUDT	186368	2566.00	4701.00	4040.00
3	DOE/SC/Oak Ridge National Laboratory United States	Jaguar - Cray XT5-HE Opteron 6-core 2.6 GHz / 2009 Cray Inc.	224162	1759.00	2331.00	6950.60
4	National Supercomputing Centre in Shenzhen (NSCS) China	Nebulae - Dawning TC3600 Blade, Intel X5650, NVidia Tesla C2050 GPU / 2010 Dawning	120640	1271.00	2984.30	2580.00
5	GSIC Center, Tokyo Institute of Technology Japan	TSUBAME 2.0 - HP ProLiant SL390s G7 Xeon 6C X5670, Nvidia GPU, Linux/Windows / 2010 NEC/HP	73278	1192.00	2287.63	1398.61

La liste Top500 pour la performance des systèmes de chaque pays est représentée par les figures 5-4 et 5-5.

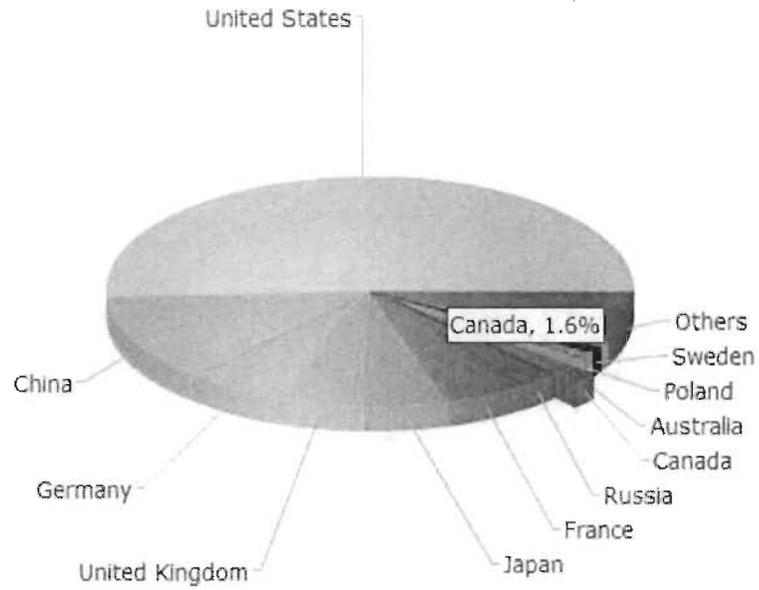


Figure 5-4 Répartition des pays par systèmes dans le monde, réf. [47]

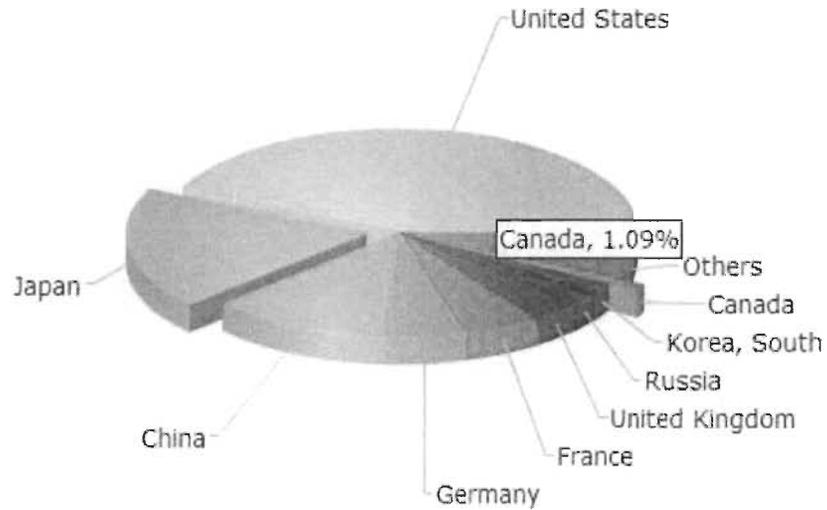


Figure 5-5 Répartition des pays par performance dans le monde, réf. [47]

Après une évaluation des performances des consortiums dans le monde faite le 20 juin 2011, nous avons effectué un assortiment des consortiums Canadiens comme décrits dans le tableau 5-2, précisant le rang et les caractéristiques computationnelles de celles-ci, par la suite, démontrant, à ce niveau, la position du Canada dans le monde.

Tableau 5-2 Liste Top 500 des CHP au Canada (Juin 2011), réf. [47]

Rang	Emplacement	Système	Noyaux (Cores)	R_{max}	R_{peak}
45	SciNet/University of Toronto	iDataPlex, Xeon E55xx QC 2.53 GHz, GigE IBM	30 240	168.6	306.03
55	CLUMEQ – Université McGill	Guillimin - iDataPlex DX360M3, Xeon 2.66, Infiniband /2010 IBM	14 400	136.3	153.22
119	CLUMEQ - Université Laval	Sun Blade x6048, Xeon X5560 2.8 Ghz, Infiniband QDR Oracle	7616	77.17	85.3
137	RQCHP/Calcul Quebec/Compute Canada Université de Montréal	iDataPlex DX360M3, Xeon 2.66, Infiniband/2011 IBM	7560	71.56	80.44
325	SciNet/University of Toronto	Power 575, p6 4.7 GHz, Infiniband IBM	3328	48.93	62.57
350	University of British Columbia - Cancer Center, Genome Science Center	iDataPlex, Xeon X56xx 6C 2.66 GHz, Infiniband IBM	5040	47.33	53.63
356	University of Waterloo	Cluster Platform SL165z G7, Opteron 6174 2.2 Ghz, Infiniband /2011 Hewlett-Packard	7680	46.92	67.58
422	IT Services Provider (B)	Cluster Platform 3000 BL460c, Xeon 54xx 3.0GHz, GigEthernet	6820	43.32	81.84

Néanmoins, la concurrence est intense ces dernières années, ce qui explique une croissance plus rapide de performance informatique chez certains pays connus Leadership dans ce domaine comme les États-Unis d'Amérique, la Chine et le Japon, et d'autres pays

reconnaissent une croissance plus lente, dont le Canada en huitième position, impliquant une perte du niveau dans la liste du Top 500.

La figure 5-6 nous donne une idée sur le développement linéaire des performances des CHP au cours des années.

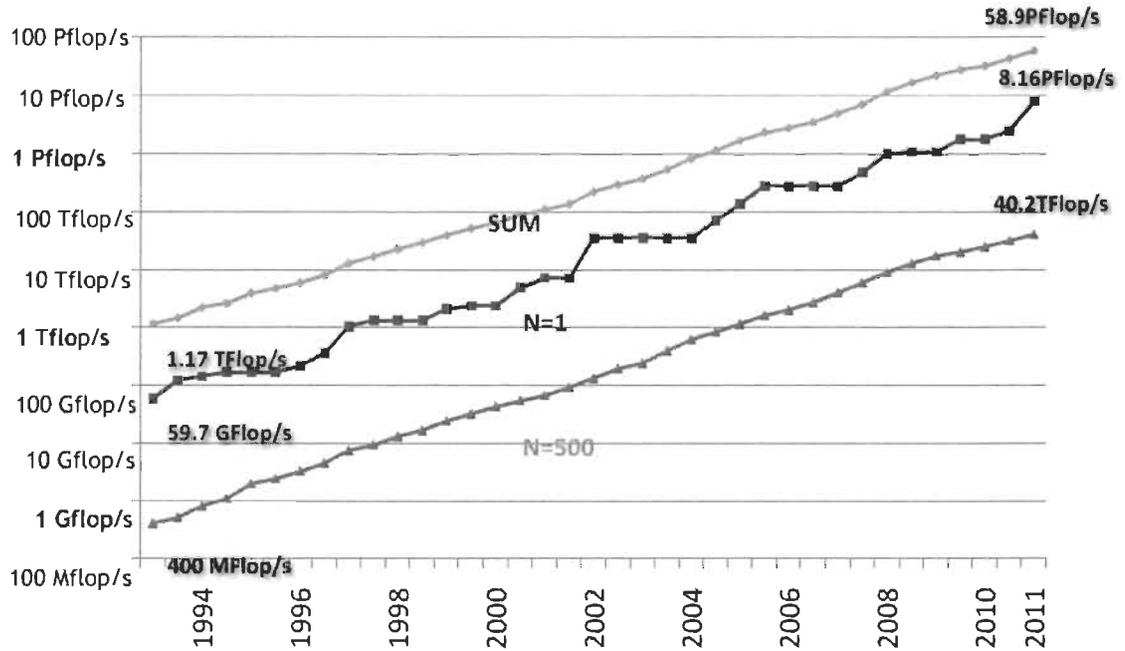


Figure 5-6 Développement linéaire des performances des CHP au cours des années, réf. [47].

À partir de 2011 à 2015, la Chine souhaite construire un système de l'ordre de 50 à 100 petaflops. Par comparaison, les États-Unis ont des plans pour déployer au moins deux systèmes de 20 pétaflops en 2012, à Oak Ridge National Laboratory et l'autre à Lawrence Livermore National Laboratory.

5.2 Calcul Canada :

Calcul Canada [38] [39] est une plateforme nationale qui intègre les installations CHP des sept consortiums canadiens (voir figure 5-7). Elle gère l'établissement d'une puissante plateforme de calcul à haute performance (CHP) pour la recherche et pour une base de ressources computationnelles dynamiques. Calcul Canada regroupe des ordinateurs ultras puissants, des banques de données et leurs outils, ainsi que des installations de recherche universitaires du pays entier. L'ensemble de ces ressources représente une puissance de calcul près d'un pétaflop ainsi que des grandes capacités de stockage en ligne avec accès et récupération rapides des données à long terme et à partir des réseaux à grande vitesse au niveau national, Provincial et territorial.

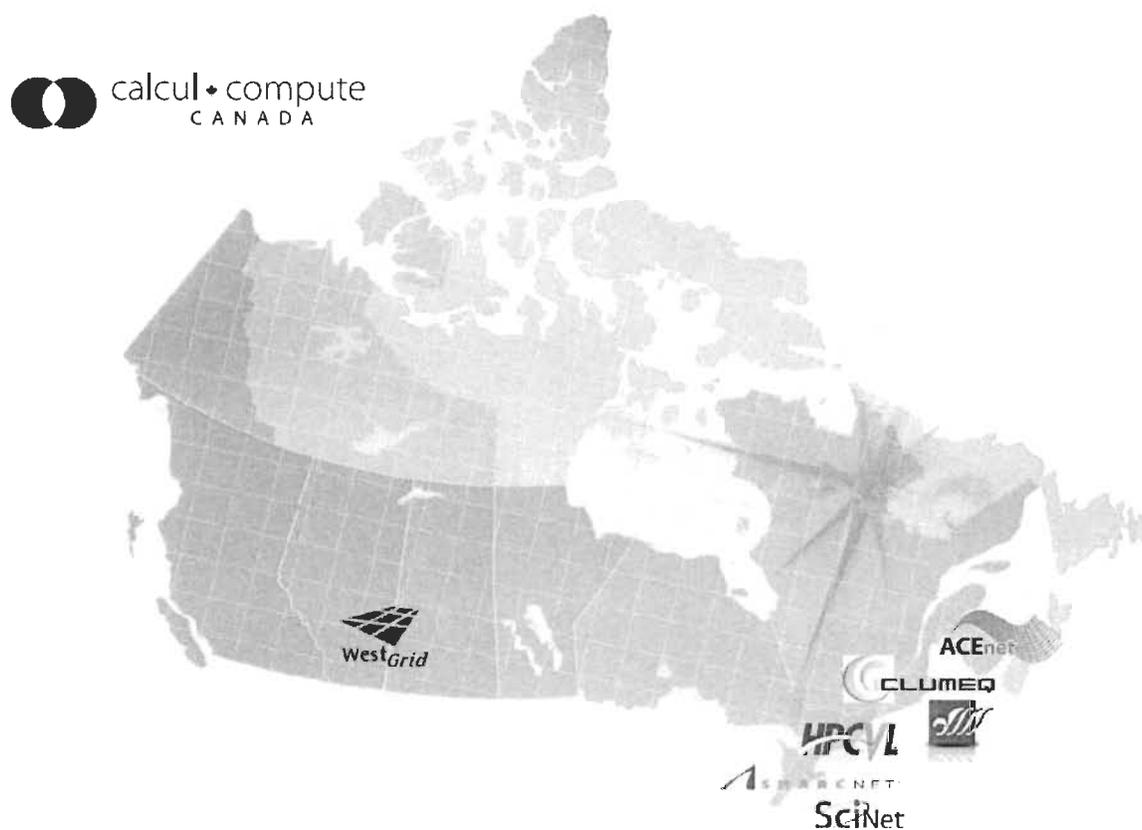


Figure 5-7 Localisation des 7 consortiums au Canada, réf. [39], p. ii.

Calcul Canada [38] et les sept consortiums de CHP universitaires régionaux travaillent en collaboration pour fournir l'architecture générale et les services de planification, d'intégration des logiciels de gestion et d'exploitation ainsi que la coordination du dépannage pour la plateforme de CHP nationale.

La principale mission de Calcul Canada [38] est d'établir la coordination et l'utilisation du CHP dans la recherche partout au pays et d'assurer la disposition aux scientifiques canadiens des installations de calcul et des services experts dont ils ont besoin pour faire progresser le savoir et pour innover. La figure 5-8 est un bon exemple pour catégoriser l'utilisation de ces ressources suivant les disciplines pour l'année 2009.

Les ressources de CHP du Canada [39] ont tendance à doubler tous les ans simplement pour maintenir le statu quo ou maintenir leur capacité de développement. La capacité de CHP du Canada peut rester concurrentielle aussi longtemps que le financement est assuré et que les investissements répondent à tous les impératifs d'une stratégie globale, ceci fait la différence des autres investissements dans le domaine de la recherche.

Avec la méthode expérimentale et la modélisation, les simulations qu'autorisent les systèmes de calcul de haute performance sont devenues le troisième pilier de la science. Les simulations numériques et symboliques qui recourent à une grande masse de données et une grande puissance de calcul nous aideront à affronter les enjeux du XXI^e siècle tel que les changements climatiques, l'énergie, l'eau, l'environnement et les cataclysmes naturels [39].

Utilisation par discipline (2009)

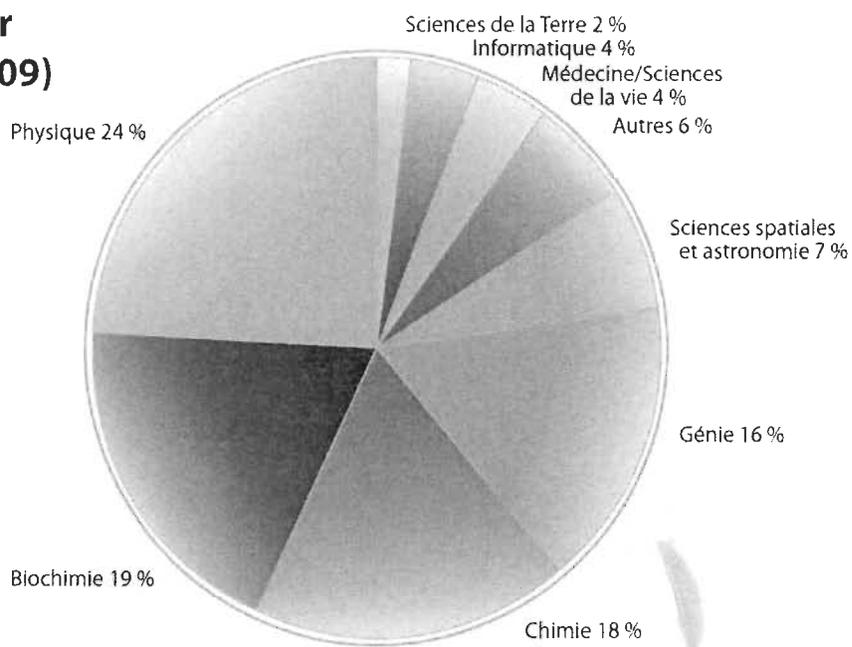


Figure 5-8 Utilisation des ressources CHP par discipline (année 2009), réf. [39], p. 10.

Au cours des années à venir, le défi du CHP consistera à proposer plus de ressources et un meilleur service à une population grandissante d'utilisateurs, et ce, à un moment qui s'avérera difficile pour les organismes qui le subventionnent [39].

Le tableau 5-3 expose les ressources CHP de Calcul Canada de l'année 2009-2010 par localisation, type, nombre de cœurs, mémoire et date de déploiement.

Tableau 5-3 Serveurs de Calcul Canada (2009-2010), réf. [39], p. 10.

Nom	Site	Type	Cœurs	Stockage (To)	Déploiement
Colosse	Laval	Grappe parallèle	7 680	500	Janvier 2010
-	Queen's	Stockage	-	650	Décembre 2009
Bugaboo	SFU	Grappe série	1 280	1 200	Mai 2009
Orcinus	UBC	Grappe série	3 072	-	Juin 2009
-	Lethbridge	Grappe à noeuds denses	384	40	Été 2010
Checkers	U. de Alberta	Grappe série	1 280	100	Juin 2009
-	U. de Calgary	Grappe série	4 096	140	Été 2010
TCS	U. de Toronto	Grappe parallèle	3 328	-	Mai 2009
GPC	U. de Toronto	Grappe hybride	30 240	-	Août 2009
-	U. de Toronto	Stockage	-	1 500	-
Silo	U. de Saskatchewan	Stockage	-	600	Mars 2009
Nestor	Victoria	Grappe parallèle	2 304	-	Juin 2010
Hermes	Victoria	Grappe série	672	-	Juin 2010
Pleiades	Victoria	Stockage	-	900	Juin 2010
Équipement à venir					
	U. de Manitoba	Grappe parallèle			Automne 2010
	U. de Alberta	Serveur à mémoire partagée et nouvelle architecture			Fin 2010
	Concordia	Grappe série			Automne 2010
	U. de Sherbrooke	Grappe parallèle			Automne 2010
	McGill	Grappe parallèle			Fin 2010
	U. de Montréal	Grappe parallèle et GPGPU			Début 2011

5.2.1 ACEnet :

ACEnet (*Atlantic Computational Excellence Network*) [40] est l'un des sept consortiums de Calcul Canada créé en 2004, il regroupe aussi sept institutions académiques visant à accroître les collaborations en recherche à travers le Canada atlantique via un accès à des technologies de collaboration et de calcul à haute performance. Le consortium est en train de déployer des ressources en calcul dans ses cinq membres principaux dont Memorial University of Newfoundland, Saint Mary's University, St. Francis Xavier University, the University of New Brunswick, Dalhousie University, Mount Allison University, the University of Prince Edward Island.

5.2.2 RQCHP :

Le **RQCHP** (*Réseau québécois de calcul de haute performance*) [41] un autre consortium de Calcul Canada, il offre à ses membres (l'Université de Montréal, l'Université de Sherbrooke, l'Université Concordia, l'Université Bishop's, l'École Polytechnique) l'accès à de puissants serveurs de calcul, dont :

- Une grappe de 1152 processeurs Intel Xeon reliés par un réseau rapide Infiniband. Cette grappe constitue le superordinateur le plus puissant au Canada depuis juin 2005 (selon www.top500.org [47]).

- Une grappe de 872 processeurs Intel P4, dédiée aux calculs série

- Un serveur SGI Altix 4700 (Itanium bi-coeurs) de 768 coeurs. Ce serveur est le superordinateur à mémoire partagée le plus puissant au Canada depuis novembre 2006.

Le RQCHP offre aussi à ses utilisateurs des services d'analyse en calcul et des sessions de formation en CHP.

5.2.3 HPCVL:

Le **HPCVL** (*High Performance Computing Virtual Laboratory*) [42] consortium de Calcul Canada est un environnement de CHP à sécurité élevée et des services à des chercheurs d'un large spectre de disciplines à travers le Canada. HPCVL a reçu le soutien du gouvernement de l'Ontario, de la fondation canadienne pour l'innovation, du conseil de recherche en science naturelle et en génie, et de Sun Microsystems, afin de construire un environnement de recherche exceptionnel pour ses membres (Queen's University, Carleton University, Collège militaire royal du Canada, L'Université d'Ottawa, Ryerson University, Seneca College, Loyalist College).

5.2.4 SciNet :

SciNet [43] est un consortium de CHP desservant l'Université de Toronto et les institutions affiliées. Il occupe la première position au Canada et la 45ième au monde d'après la liste Top500. La majeure partie des ressources de SciNet sont déjà installées pour une puissance de calcul extraordinaire et leurs degrés d'utilisation ne cessent d'accroître au fil des années, voir la figure 5-9.

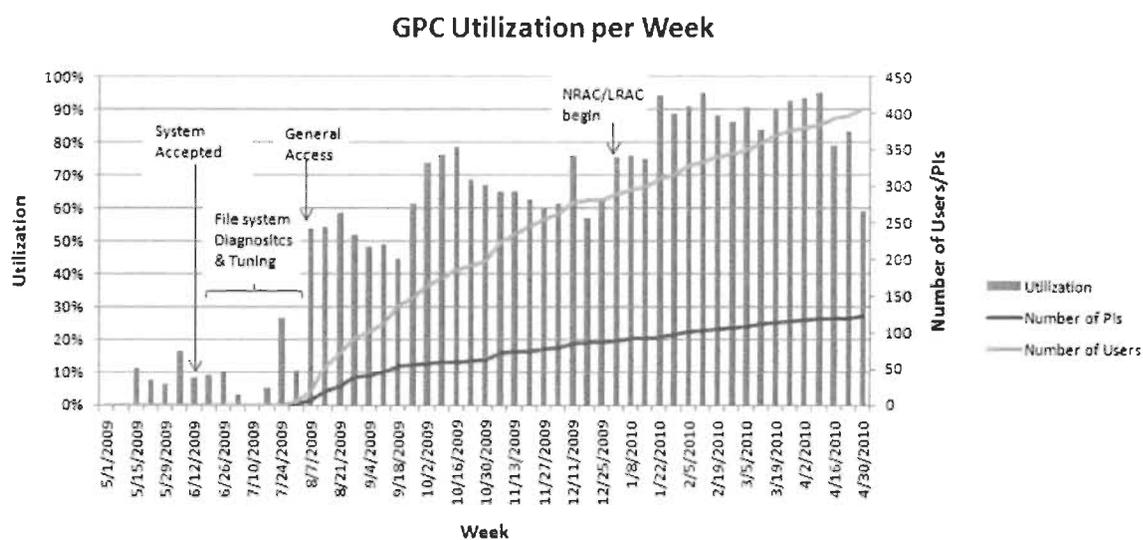


Figure 5-9 Diagramme d'utilisation de SciNet, réf. [43].

5.2.5 SHARCNET:

SHARCNET (*Shared Hierarchical Academic Research Computing NETwork*) [44] est un consortium de Calcul Canada en Ontario pour 16 institutions académiques (The University of Western Ontario, The University of Guelph, McMaster University, The University of Windsor, Wilfrid Laurier University, The University of Waterloo, Brock University, York University, Trent University, L'Université Laurentienne, Lakehead

University, The University of Ontario Institute of Technology, The Ontario College of Art & Design, Fanshawe College, Sheridan College, Perimeter Institute).

SHARCNET fournit des infrastructures de CHP partagées et des services associés pour promouvoir la recherche de pointe. SHARCNET est structuré comme une "grappe de grappes de calculs" distribués le long d'un réseau de communication à base de fibres optiques, et comporte environ 8000 processeurs, 500 To de stockage et quelques systèmes spécialisés localisés à travers le consortium.

5.2.6 *WestGrid*

WestGrid (*Western Canada Research Grid*) [45] est le plus gros consortium de Calcul Canada. Il gère des infrastructures (CHP) à travers l'Ouest canadien pour une simple mission de visualisation et de collaboration. Les systèmes de WestGrid permettent un accès direct de tous les postes de travail des chercheurs ou d'autres centres de calcul, à cause qu'ils sont à grilles compatibles. Avec ses 14 institutions membres dans 4 provinces (University of Victoria, University of British Columbia, Simon Fraser University, University of Northern British Columbia, University of Lethbridge, The Banff Centre, University of Calgary, University of Alberta, Athabasca University, University of Saskatchewan, University of Regina, University of Manitoba, University of Winnipeg, Brandon University) WestGrid était le premier fournisseur de ressource au Canada. Il a adopté un système de réseau pour ses CHP, qui gère la collaboration et les ressources de visualisation scientifiques. Depuis 2004, ce système a permis à WestGrid de construire une communauté d'utilisateurs à travers le Canada dans des disciplines aux limites des sciences et d'ingénieries aux arts et sciences humaines. WestGrid a une équipe cohésive de personnel technique et des architectes de système pour soutenir ces utilisateurs.

5.3 CLUMEQ :

Le **CLUMEQ** (*Consortium Laval, Université du Québec, McGill et Eastern Québec*) [46] est un consortium de recherche pour le calcul scientifique de haute performance (CHP). Il regroupe l'Université McGill, l'Université Laval ainsi que l'ensemble du réseau de l'Université du Québec (UQAM, ETS, INRS, UQAC, UQTR, UQAR, UQAT, UQO) [103].

La mission du CLUMEQ est d'offrir à ses institutions membres une infrastructure de CHP de classe mondiale [47], pour l'avancement des connaissances dans tous les secteurs de la recherche, ainsi qu'un service d'analyse et de formation pour aider les chercheurs à exploiter efficacement ces infrastructures [103].

Le CLUMEQ [28] fait partie des réseaux de calculateur de haute performance du Canada, les infrastructures du CLUMEQ sont accessibles à l'ensemble des chercheurs universitaires canadiens. Le CLUMEQ est une puissance informatique massive et possède actuellement trois ordinateurs : Colosse, Guillimin et Krylov.

Krylov [51] est un système hétérogène comprenant 21 doubles sockets, les nœuds dual core (84 cœurs) et 27 doubles sockets quad core nodes (216 cœurs), pour un total de 300 cœurs. C'est un environnement qui possède plusieurs machines. Le nœud d'entrée de l'environnement est la machine Stokes (stokes.clumeq.mcgill.ca), elle est entièrement dédiée à cette tâche. Cependant elle peut permettre de voir les travaux en cours d'exécution et ceux dans la file d'attente. Cela permet de savoir l'état de notre application qui peut être soit en cours d'exécution, en attente ou supprimé. Elle permet de voir le temps d'exécution en cours. La connexion à Stokes se fait par le protocole de communication SSH (Secure Shell). Le SSH permet aussi le transfert de nos données vers Stokes, et de Stokes vers notre

poste de travail. La facilité d'utilisation de ce protocole nous permet de porter toute notre attention sur notre application.

Guillimin [47][48] est une grappe de calcul comportant 1200 nœuds de calcul et 34 nœuds d'infrastructure. Ces nœuds sont tous constitués d'une paire de processeurs Intel Westmere-EP possédant chacun six cœurs de traitement et 24, 36 ou 72 gigaoctets de mémoire RAM. Au total, Guillimin comporte donc 14 400 cœurs et 46 téraoctets de mémoire. Tous les nœuds sont reliés par une réseautique haute performance du type Infiniband QDR. Guillimin est relié avec le monde extérieur par une réseautique du type 10-gigabit Ethernet. Un système de fichiers parallèle GPFS dont la capacité utilisable atteindra 2 pétaoctets.

Colosse [47][52][103] est une grappe de calcul comportant 960 nœuds de calcul et 40 nœuds d'infrastructure. Voir la figure 5-10. Ces nœuds sont tous constitués d'une paire de processeurs Intel Nehalem-EP possédant chacun quatre cœurs de traitement et 24 giga-octets de mémoire RAM. Au total, Colosse comporte donc 8000 cœurs et 24 téraoctets de mémoire. Tous les nœuds sont reliés par une réseautique haute performance du type Infini band QDR dont la vitesse nominale est de 40 gigabits/sec. Les nœuds d'infrastructure sont également reliés entre eux et avec le monde extérieur par une réseautique du type 10-gigabit Ethernet. Parmi ces nœuds d'infrastructure, la moitié est consacrée au système de fichiers parallèle Lustre dont la capacité utilisable atteindra 1 péta-octets lorsqu'il sera totalement déployé. Sa capacité initiale est de 500 téraoctets.

Le système d'exploitation de Colosse est un système Linux (version du kernel : 2.6.18, distribution RedHat 4.1.2-46). Au vu de l'utilisation qui est faite de ce système, l'interface utilisateur est un interpréteur de lignes de commandes [103].

Différents interpréteurs sont disponibles :

- Bourne Shell (sh),
- C-Shell (sh),
- Tenex C-Shell (tcsh).

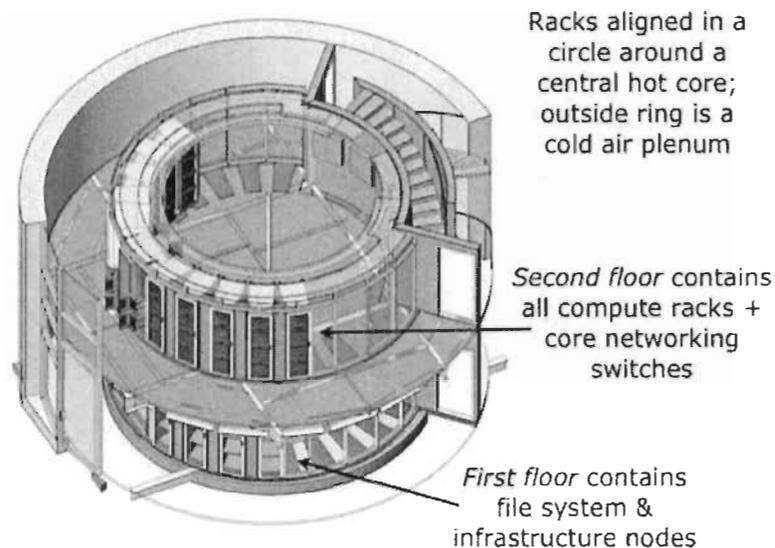


Figure 5-10 Structure électronique de CLUMEQ, réf. [39], p.1.

Colosse est accessible depuis le réseau interne de l'Université Laval et depuis les autres sites rattachés au CLUMEQ via une connexion 10GB Ethernet. Il est également accessible depuis Internet, voir la figure 5-11 [103]. L'Université du Québec à Trois-Rivières est l'une des sites rattachés au CLUMEQ est bénéficie de cet avantage pour l'intérêt de la recherche scientifique.

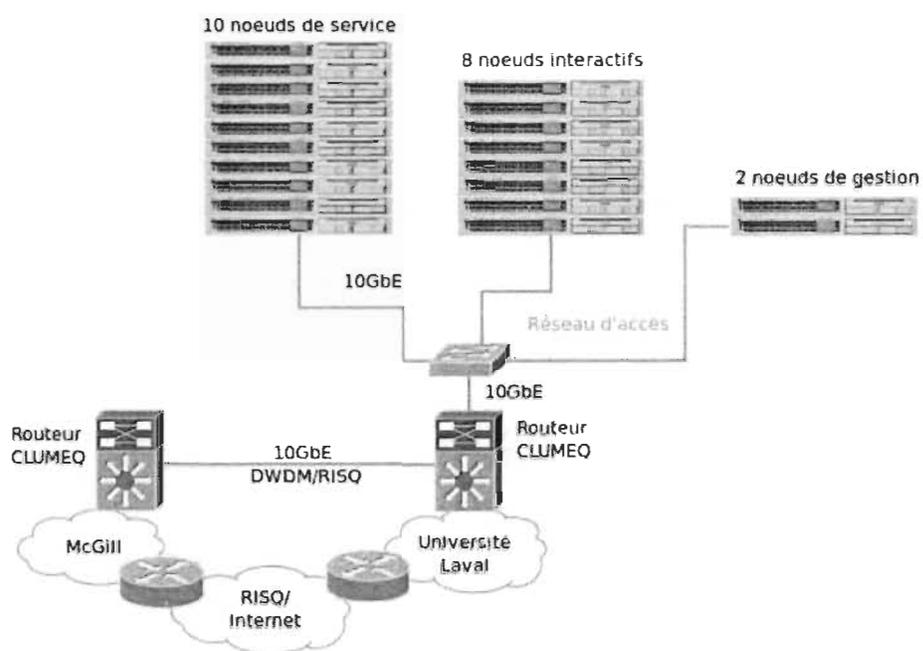


Figure 5-11 Colosse : Accès à distance, réf. [103] p. 22.

Chapitre 6 - Implémentation parallèle des algorithmes des variations des caractéristiques électrothermiques

6.1 Parallélisation :

Les superordinateurs à haute performance (CHP) distribuent le travail entre plusieurs processeurs qui sont mis dans une certaine structure qui est unique à chaque installation de CHP (CLUMEQ, SHARCNET, SciNet ...). En divisant le travail entre plusieurs processeurs et en les faisant fonctionner en parallèle, nous pouvons remarquer nettement une meilleure diminution de temps de calcul. En fait, si les N processeurs fonctionnent en parallèle, la durée de la transformation est idéalement divisée par N . En outre, la mémoire disponible pour le processus entier est N fois la taille de la mémoire de chaque processeur. Ce qui a besoin d'attention dans le calcul parallèle est comment distribuer un travail entre les nœuds ? Et comment transférer les données entre eux pendant le traitement? Le message passant l'interface (MPI) est utilisé pour créer les connexions efficaces entre ces processeurs [28].

Nous ne pouvons parler de parallélisation sans jeter un coup d'œil sur les différents modèles possibles (matériels et logiciels). La figure 6-1 représente le schéma typique d'un Cluster pour le calcul parallèle. Les blocs gris sont des ordinateurs séparés, chacun avec son propre châssis, alimentation, disque dur, réseau de connexion et mémoires. Les blocs bleu-clair sont les microprocesseurs. Les blocs en bleu foncé dans chaque microprocesseur sont des noyaux informatiques. Les blocs verts sont les mémoires premières. Il y a plusieurs différents modèles de mémoire. Dans quelques conceptions, chaque noyau a un

accès uniforme à la mémoire entière. Dans d'autres, les temps d'accès mémoire ne sont pas uniformes, et notre boîte verte de mémoire pourrait être divisée en deux ou quatre morceaux reliés à chaque processeur [50].

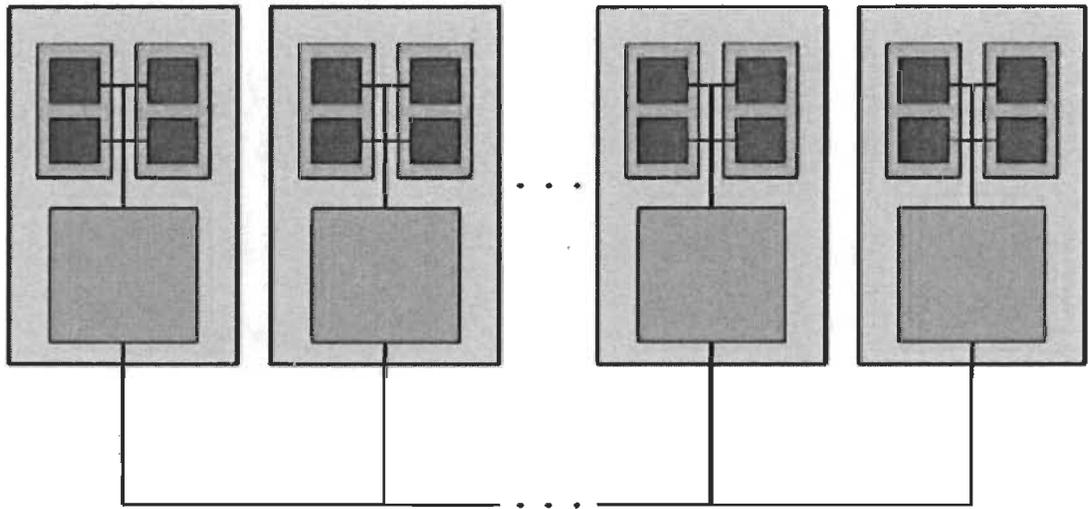


Figure 6-1 Cluster typique pour le calcul parallèle, réf. [50], p. 1.

L'architecture informatique traite la configuration physique, la structure logique, les formats, les protocoles et les ordres opérationnels pour le traitement des données, commander la configuration et commander les opérations sur un ordinateur. Elle entoure également des longueurs de mot, des codes d'instructions et les corrélations parmi les parties principales d'un ordinateur ou d'un groupe d'ordinateurs [50].

Dans la littérature [79] nous avons pu trouver un modèle pour l'infrastructure d'une implémentation parallèle, voir figure 6-2.

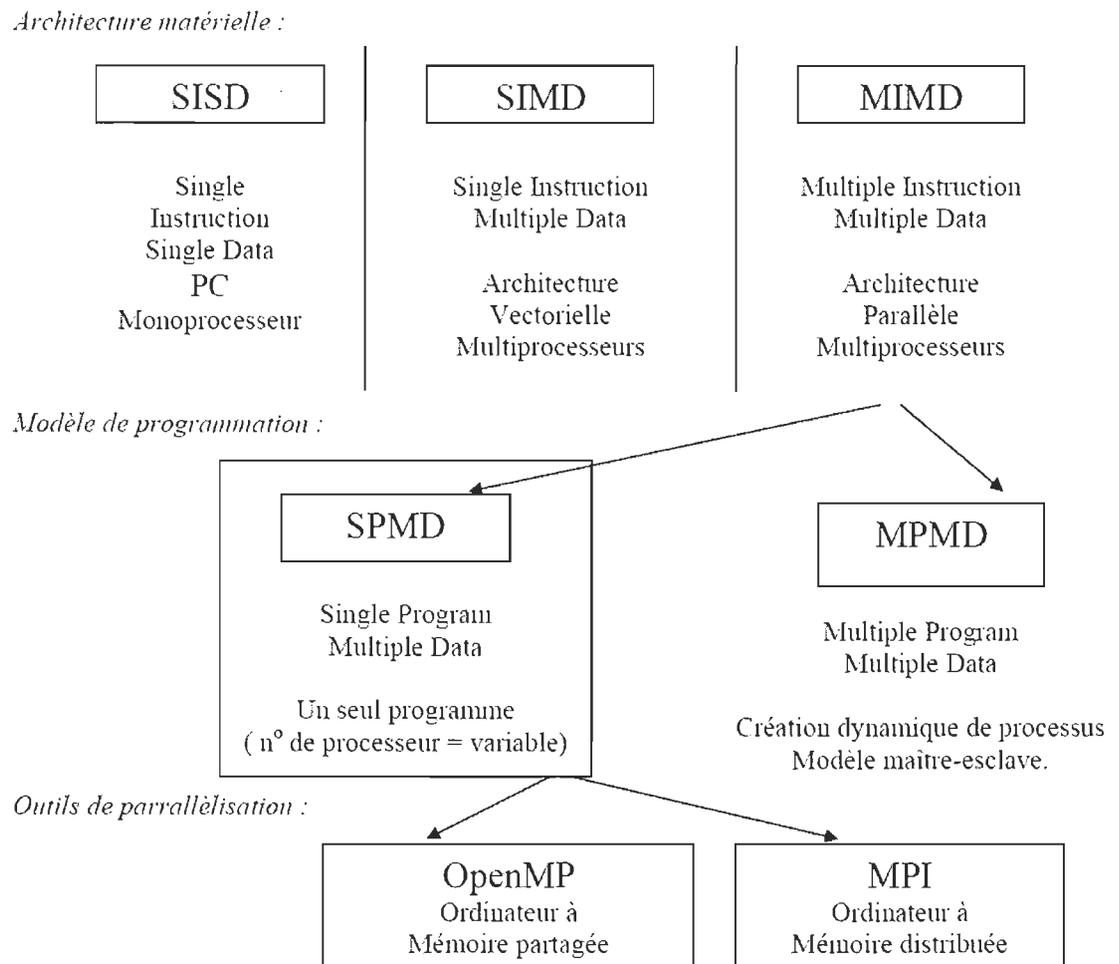


Figure 6-2 Infrastructure d'implémentation parallèle, réf. [79].

Ce modèle qui décrit les étages de l'implémentation parallèle contient deux standards les plus utilisés d'outil de parallélisation : OpenMP et MPI. Le MPI [83] étant dédié aux architectures à mémoire distribuée et l'OpenMP [84] aux architectures à mémoire partagée.

OpenMP (Open Multi-Processing) est une API (Application Programming Interface) qui supporte les multiplateformes à mémoire partagée et c'est un multitraitement en programmation C, C++ et Fortran, sur la plupart des architectures de processeurs et des systèmes d'exploitation; y compris; Unix, AIX, Solaris, Mac OS X et Microsoft Windows

[91]. La figure 6-3 illustre cette parallélisation des unités de traitement pour un OpenMP par la division de chaque unité en morceaux de données pour le traitement parallèle.

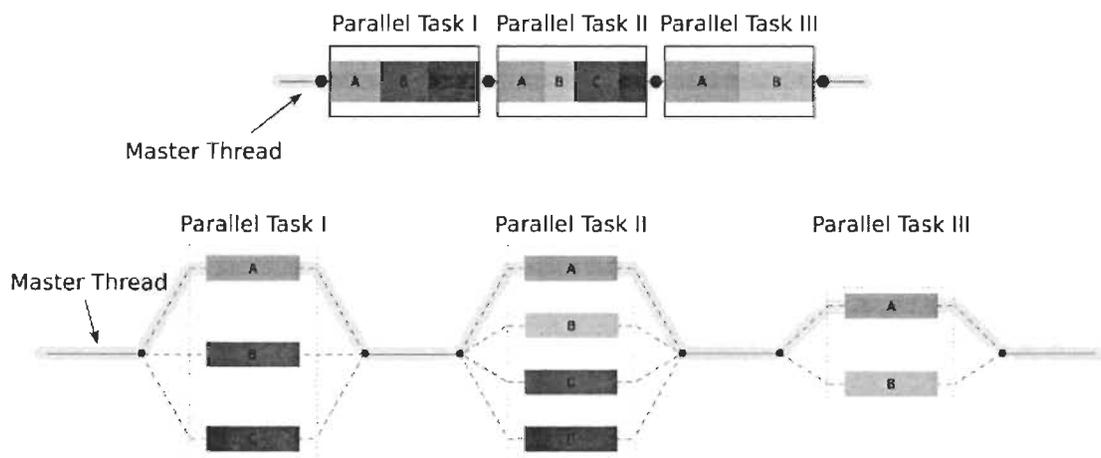


Figure 6-3 Illustration parallèle de plusieurs unités de traitement pour OpenMP, réf. [91].

« **MPI (The Message Passing Interface)** est une norme définissant une bibliothèque de fonctions, utilisable avec les langages C, C++ et Fortran. Elle permet d'exploiter des ordinateurs distants ou multiprocesseurs par passage de messages » [92].

Plusieurs papiers [85][86][90] ont présenté des comparaisons des performances des modèles OpenMP et MPI sur des architectures à multiprocesseurs. Dans un article [85], une comparaison des performances d'un modèle MPI à un hybride MPI+OpenMP sur deux systèmes IBM SP multiprocesseurs, Winter-Hawk II (WH2) et le NightHawk I (NH1). Les résultats dépendent du type de l'application, mais le modèle MPI est toujours meilleur.

Pour les architectures multi-cœurs, les auteurs des articles [88] [89] ont évalué les temps de communication des différents niveaux dans un cluster de nœuds multi-cœurs, et

notamment la latence, la bande passante, la distribution des messages et le passage à l'échelle.

6.2 Programmation :

Dans ce travail, un outil de modélisation créé par des chercheurs à l'Université de Purdue, « FETToy 2.0 » [35], a été utilisé comme algorithme qui introduit une simple théorie du MOSFET balistique par comparaison au MOSFET actuel. Cet algorithme qui est codé à la base sous MATLAB, a été traduit, modifié suivant les besoins et parallélisé sous C++. Il est maintenant accessible et peut fonctionner sur les consortiums CLUMEQ, WestGrid, SciNet, HPCVL, ACEnet et SHARCNET d'infrastructure CHP, sous la plateforme de Calcul Canada.

Dans une littérature de la théorie élémentaire du MOSFET nanométrique, nous avons introduit une théorie très simple du MOSFET balistique, reprise du modèle des travaux réalisés à l'université de Purdue [34]. Nous partons du principe que, à l'échelle nanométrique comme au plus haut des échelles, les phénomènes thermiques sont importants dans la conception des systèmes électroniques. En outre, un emplacement optimal des sources de chaleur dans les nanotransistors est considéré comme une question importante.

Le libre parcours moyen électronique dans le semi-conducteur considéré, dont un nanotransistor MOSFET par exemple, est le paramètre physique qui permet de définir le déplacement balistique des électrons. En effet, on considère que le transport des électrons sera balistique dans les dispositifs dont les dimensions caractéristiques sont de l'ordre du libre parcours moyen. Dans ces composants, le temps de transit des électrons soumis à

l'accélération par le champ électrique est très faible car ils ne subissent pas ou peu de collisions durant la traversée de la zone balistique. Seules les interactions sur les surfaces du dispositif demeurent comme cela peut être observé sur la figure 6-4 [101].

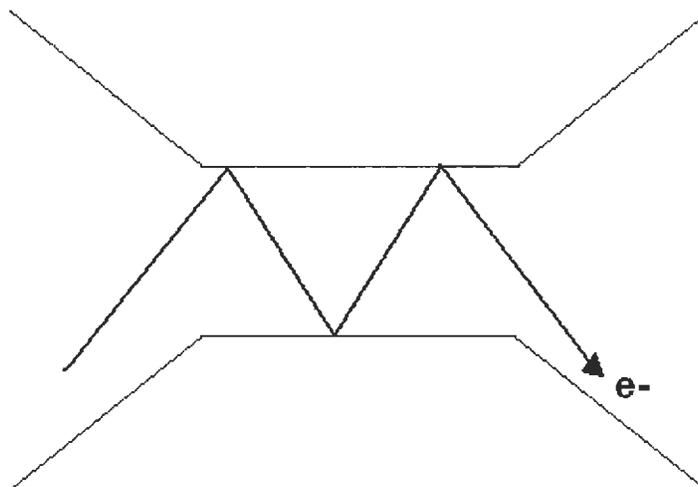


Figure 6-4 Transport balistique de l'électron dans un dispositif mésoscopique, réf. [101].

Dans le but de préciser le transport balistique, nous allons développer la notion de libre parcours moyen en fonction de la température.

Sur la base d'un transport semi-classique où on prend en compte la quantification des niveaux d'énergie, le libre parcours moyen à basse température, peut être classiquement évalué à partir de la vitesse de Fermi. Cette estimation est communément utilisée lors de mesures à température de l'hélium (4.2K) ou de l'azote liquide (77K). En effet, elle donne une expression du libre parcours moyen en fonction de la mobilité et de la densité de charges libres, données accessibles par des mesures de Hall [101].

L'énergie des porteurs peut être décrite localement dans l'espace réel à deux dimensions par l'équation parabolique [101] suivante :

$$E = E_0 + \frac{\hbar^2}{2m^*}(k_x^2 + k_y^2) \quad 6.1$$

Avec k_x et k_y les coordonnées cartésiennes du vecteur d'onde.

Cette équation est tirée de la résolution de l'équation de Schrödinger pour les solides cristallins par le théorème de Bloch et en utilisant les conditions aux limites de Born-Von Karman sur la périodicité de la fonction d'onde [101].

Compte tenu de ce modèle et d'une distribution énergétique du type Fermi-Dirac [101]:

$$f(E) = \frac{2}{e^{\left(\frac{E - E_F}{k_b T}\right)} + 1} \quad 6.2$$

Pour les électrons dégénérés en spin du gaz bidimensionnel, E_F étant l'énergie de Fermi, on obtient la densité totale d'électrons en fonction de la densité d'état $N(E)$ par l'équation [101] suivante :

$$n = \int_0^{E_F} N(E) f(E) dE \quad 6.3$$

La résolution de cette équation pour $T=0K$, où, d'après la statistique de Fermi-Dirac, la probabilité d'occupation d'un niveau d'énergie est 2 (deux électrons en spin opposé par orbitale) en dessous du niveau de Fermi et nulle au-dessus conduit à la détermination de la densité surfacique de charge n_s [101]:

$$n_s = \frac{k_F^2}{2\pi} \quad 6.4$$

Avec k_F le vecteur d'onde correspondant à la longueur d'onde de Fermi. On peut donc calculer la vitesse de Fermi [101]:

$$v_F = \frac{\hbar k_F}{m^*} = \frac{\hbar \sqrt{2\pi n_s}}{m^*} \quad 6.5$$

L'expression du libre parcours moyen, basée sur la vitesse de Fermi, est la suivante [101] :

$$l_F = v_F \tau \quad 6.6$$

Avec τ le temps de relaxation du moment, que nous avons introduit précédemment, et qui est la durée, caractéristique du matériau semi-conducteur, entre deux chocs du porteur de charge. Le libre parcours moyen peut être calculé à partir de la formule suivante tirée des équations (6.5) et (6.6) [101]:

$$l_F = \frac{\mu \hbar}{e} \sqrt{2\pi n_s} \quad 6.7$$

Cette expression du libre parcours moyen basée sur un calcul à $T=0K$, est une bonne approximation à basse température [101].

À température ambiante, les électrons ont une vitesse liée à l'agitation thermique supérieure à la vitesse d'entraînement, du moins à bas champ. C'est cette vitesse thermique, liée à un mouvement aléatoire des électrons, contrairement à la vitesse d'entraînement dans la même direction que le champ électrique, qui est prise en compte dans l'estimation du libre parcours moyen. Nous emploierons donc la valeur classique de l'énergie thermique de l'électron dans l'espace à trois dimensions soit $3/2kbT$ [101]. On obtient ainsi :

$$v_{th} = \left(\frac{3k_b T}{m^*} \right)^{\frac{1}{2}} \quad 6.8$$

À nouveau, le temps de relaxation du moment τ va nous permettre de définir le libre parcours moyen, à température ambiante, dont l'expression est [101]:

$$l_{th} = \frac{\mu}{e} (3k_b T m^*)^{\frac{1}{2}} \quad 6.9$$

Le calcul du libre parcours moyen à température ambiante à partir de la vitesse de Fermi et donc de la mobilité électronique à 300K donne une valeur de 370 nm. Cette valeur est surestimée car l'expression de la vitesse de Fermi est définie à 0K et n'est valable qu'à basse température [101].

L'opération sur les MOSFET dans le régime balistique a récemment été explorée par des modèles simples, analytiques aussi bien que par des simulations numériques détaillées.

Le modèle [34] établie par les chercheurs de l'université de Purdue permet de produire les performances des transistors MOSFET, leurs limites au niveau nanoscopique et aussi la comparaison à une variété de nouveaux transistors.

Un simple modèle en 2-D pour les MOSFET balistiques est affiché dans la figure 6-5. Il est composé de 3 condensateurs, dont elles représentent l'effet de 3 terminaux au niveau du potentiel au sommet de la barrière. Comme il est indiqué dans la région grise, la charge mobile peut être placée au sommet de la barrière. La charge mobile est déterminée par la densité locale des états au sommet de la barrière, la localisation de la source et du drain au niveau Fermi EF_1 et EF_2 , et par le potentiel cohérent au sommet de la barrière U_{scf} .

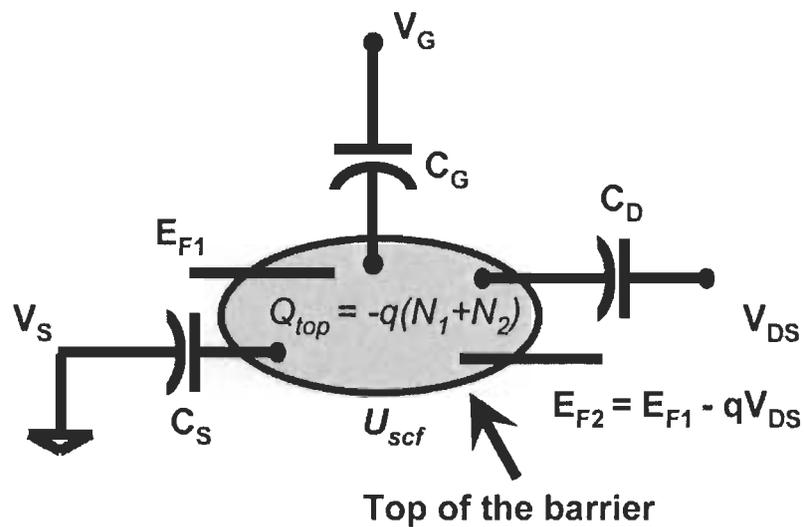


Figure 6-5 Circuit du modèle en 2-D du transistor balistique, réf. [34].

Le potentiel en haut de la barrière, U_{scf} , est contrôlé par le potentiel de la grille, du drain et de la source à travers les 3 condensateurs affichés. La charge mobile au sommet de la barrière est déterminée par U_{scf} et par la localisation des 2 niveaux de Fermi.

Parce qu'il y a une relation entre le potentiel local et la charge, cet effet peut être décrit par une capacité quantique non linéaire C_Q . Ce modèle ne traite pas la capacité quantique explicitement; cependant, il est inclus naturellement par le traitement électrostatique de porte cohérente.

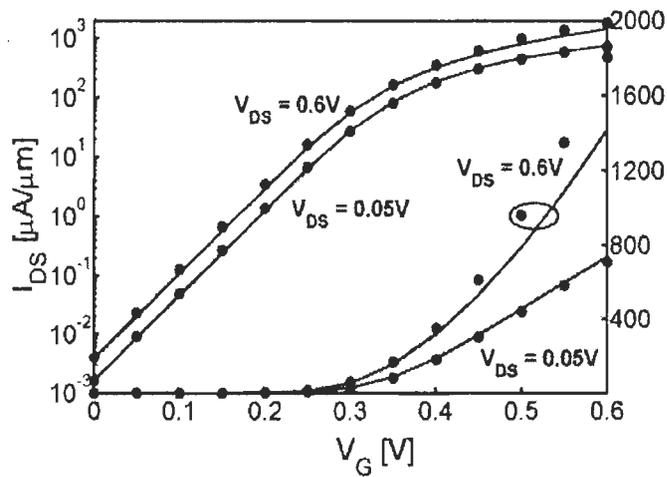
La densité d'électrons d'équilibre au sommet de la barrière est N_0 quand les terminaux sont à zéro, N_1 si les états positifs de vitesse sont effectués par la source et N_2 si les états négatifs de vitesse sont effectués par le drain.

Étant donné une densité arbitraire d'états et l'emplacement de la source et du drain aux niveaux Fermi, nous pouvons évaluer la densité électronique au sommet de la barrière $N = N_1 + N_2$ si on connaît le potentiel cohérent U_{scf} . La découverte du potentiel cohérent

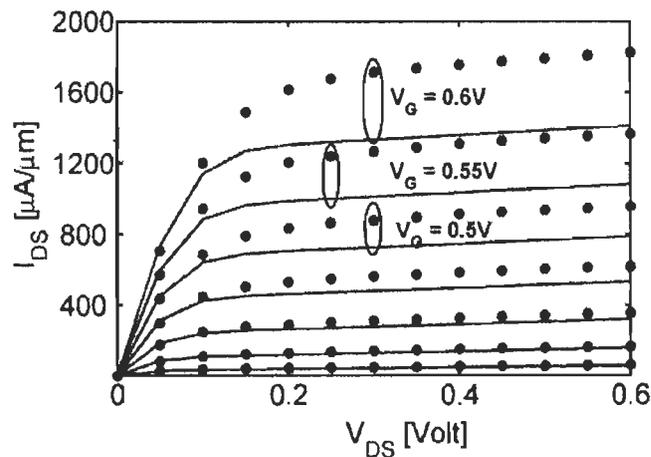
implique la résolution de l'équation de Poisson bidimensionnelle comme représenté par les trois condensateurs dans la figure 6-5.

Physiquement, un déplacement positif appliqué aux terminaux de la grille et du drain pousse en bas le potentiel d'énergie au sommet de la barrière comme décrit par l'équation de Laplace U_L [34], mais à cause de la charge, le potentiel remonte, comme décrit par l'équation U_p [34]. La solution complète est obtenue en ajoutant les deux contributions pour obtenir l'équation du potentiel cohérent $U_{scf} = U_L + U_p$ [34]; ces équations peuvent être résolues itérativement. Finalement, le courant du drain I_D est évalué par le calcul et la simulation numérique d' $I_D(V_G)$ et $I_D(V_{DS})$.

Pour illustrer l'utilisation du modèle vue précédemment, appliqué au MOSFET à double grille, on peut observer la comparaison des résultats analytiques aux simulations numériques 2-D avec nanoMOS 2.0 [34] et qui est présenté dans la figure 6-6.



(a)



(b)

Figure 6-6 Comparaison du modèle analytique aux simulations numériques pour un MOSFET balistique, réf. [34].

Dans les deux cas, les lignes solides sont les résultats du mode analytique et les points sont les résultats de simulation par nanoMOS 2.0. Les caractéristiques de transfert pour un bas et un haut échantillonnage du drain sont présentées dans (a) et les caractéristiques de sortie dans (b).

La divergence entre les modèles analytiques et numériques sous un haut échantillonnage de la grille et du drain est liée au potentiel de source flottante, il est

nécessaire pour maintenir la neutralité de charge dans la source fortement dopée et la région de drain dans des conditions de haute polarisation.

Ce modèle analytique capte l'essentiel de la physique des MOSFET de type nanotransistors balistiques et offre un moyen pratique d'évaluer et de comparer les transistors à la limite balistique.

L'idée générale consiste tout simplement à reproduire ce modèle étudié avec toutes les modifications nécessaires pour aboutir à notre objectif. Donc une modélisation numérique des paramètres électrothermiques à la limite des nanotransistors MOSFET balistiques. Cette nouvelle approche de notre modèle, prendra la forme numérique d'un outil logiciel, programmé à l'aide du script C++ sous un environnement de travail à haute performance (CHP) fourni par Calcul Canada. En effet, un des principaux avantages qu'offre cette approche; est la rapidité du calcul effectué ou la performance du traitement parallèle des données. Un autre avantage aussi important est la plage thermique dont nous faisons nos simulations, nous pouvons choisir la température entre 0 et 450k et effectuer les simulations respectives aux paramètres choisis.

Nous avons réalisé un test sur une partie du code C++ valide. Cette partie nommée «fettoy0.3» [CP] prend en charge les différents paramètres d'entrée du programme qui sont les paramètres électrothermiques introduits afin de visualiser les courbes des variations du : Drain current vs. the drain voltage for different gate voltages , The drain current vs. the gate voltage for two different drain voltages et Logarithmic plot showing the drain current vs. the gate voltage for two different drain voltages.

Ce programme comporte évidemment une fonction essentielle pour le calcul du transport balistique du courant et de tension dans un transistor MOSFET à double grille

ultra mince. Cette fonction du programme nommée (fettoy), comprend elle aussi une multitude de fonctions (linspace, zeros, fzero, uscf_zero ...) qu'elles ont été créées, au fur et à mesure, pour aboutir aux équations principales de calcul des données et de caractérisation électrothermique du transistor à étudier.

Une liste des paramètres de caractérisation physiques et électrothermiques est introduite, par défaut, au lancement du logiciel FETToy_Tahar :

Input:

Device: Gate Oxide Thickness, t (m)

Silicon Body Thickness, t_{Si} (m)

Doping Density in Source and Drain, NSD ($1/m^3$)

Material: Oxide Dielectric Constant, ϵ_{pr}

Transverse Effective Mass, m_t

Temperature, $T(K)$

Terminal Voltage: Number of Bias Points, NV

Voltage Range, V_I, V_F (V)

Analytical Model: Source Fermi Level, E_f (eV)

Get Control Parameter, α_{phg}

Drain Control Parameter, α_{phd}

Floating Boundary, fb_flag

Cette même liste contient des valeurs définies au préalable, qui sont des valeurs normalisées pour un bon fonctionnement du système. Ceci n'empêche pas la modification de certains paramètres par la suite, pour une nouvelle visualisation de la simulation numérique, des graphiques apparaîtront suite au choix de l'une ou l'autre des trois caractéristiques à visualiser. Il faut surtout faire démarrer la simulation en appuyant sur le bouton (RUN). Il existe aussi le bouton (About) qui explique l'outil en tant que tel.

Chaque fois que nous appuyions sur le bouton (RUN) ou (About), une liste en bas à gauche de l'interface nous indiquera ça.

La figure 6-7 montre une interface graphique réalisée lors de la programmation séquentielle de l'outil FETToy_Tahar [CP].

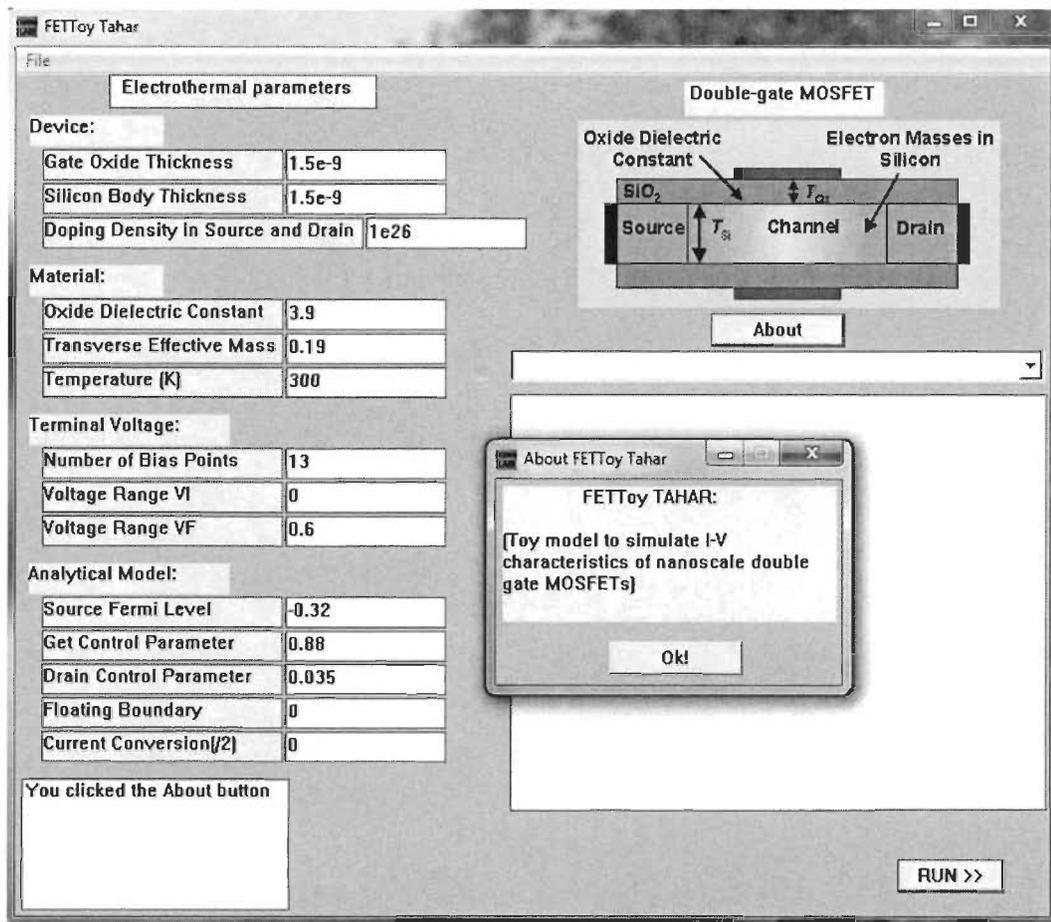


Figure 6-7 Interface graphique du logiciel FETToy_Tahar [CP]

Les figures 6-8, 6-9 et 6-10 affichent les résultats de la simulation des trois caractéristiques avec un choix de paramètres par défaut.

Dans la figure 6-8 nous avons une simulation des caractéristiques du courant I_{ds} par rapport à la tension du drain V_{ds} pour 7 différentes valeurs croissantes de la tension à la grille V_{gs} , nous remarquons que toutes les courbes prennent une certaine forme logarithmique, ceci est expliqué par le fonctionnement du transistor dans le modèle quadratique lorsque V_{ds} augmente, nous avons :

$$I_{DS} = \beta(V_{GS} - V_T)V_{DS} - \frac{1}{2}\beta V_{DS}^2 \quad 6.10$$

La valeur limite s'obtient par dérivation :

$$dI_{DS}/dV_{DS} = 0$$

$$\beta(V_{GS} - V_T) - \beta V_{DS} = 0$$

$$V_{DS} = V_{GS} - V_T \quad 6.11$$

Il s'agit de la tension de saturation : $V_{DSsat} = V_{GS} - V_T$

Nous déduisons le courant de saturation correspondant et qui vaut :

$$I_{DSsat} = \frac{1}{2}\beta(V_{GS} - V_T)^2 = \frac{1}{2}\beta V_{DSsat}^2 \quad 6.12$$

Dont β est le facteur de gain et V_T est la tension seuil du transistor.

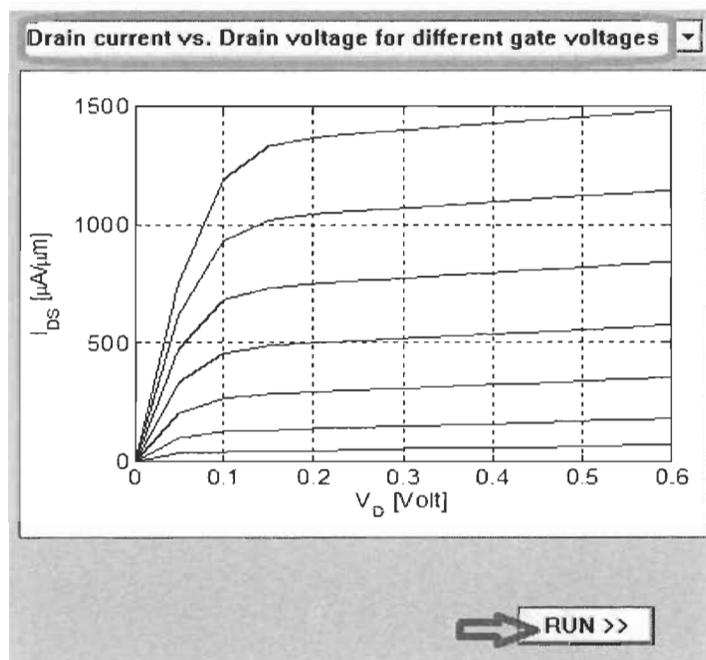


Figure 6-8 Affichage I_{DS} vs V_{DS} pour différentes tensions de la grille [CP]

La figure 6-9 affiche les courbes du courant I_{DS} par rapport à la tension de la grille V_{GS} pour deux valeurs de la tension du drain V_{DS} . Si une tension suffisante et positive est appliquée sur la grille le substrat se remplit d'électrons au voisinage de l'isolant et d'autant plus que cette tension grille V_{GS} est augmenté. On dira qu'au voisinage de l'isolant de la grille une couche d'inversion connecte la source au drain et un courant y circule. La tension positive minimum appliquée à la grille pour qu'un courant circule entre source et drain s'appelle tension de seuil V_t . À tension de grille nulle $V_{GS}=0$, le MOSFET est bloqué par le substrat, donc aucun courant dans le drain de ce transistor.

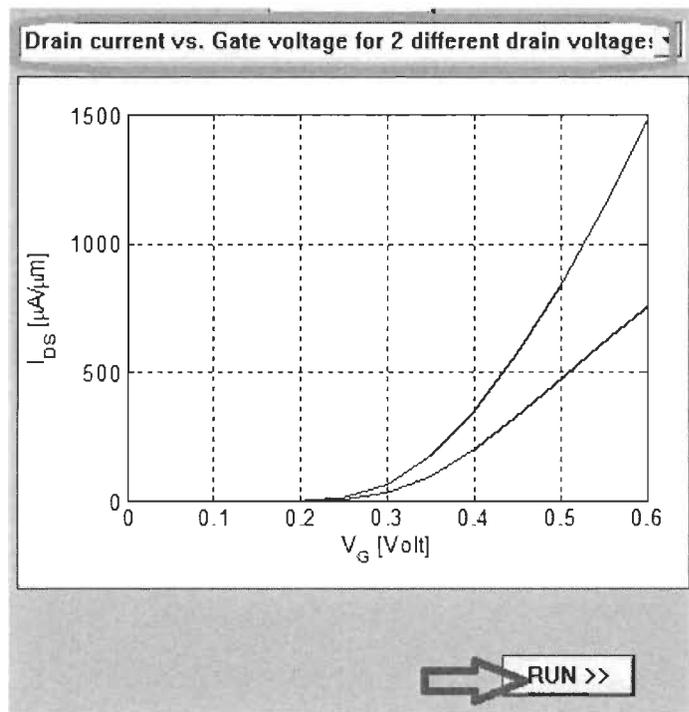


Figure 6-9 Affichage I_{DS} vs V_{GS} pour 2 différentes tensions du drain [CP]

La figure 6-10 illustre clairement la forte dégradation de la pente pour la structure à double grille où celle-ci dépasse largement les 110mV/déc. Nous avons deux

caractéristiques d' I_{ds} vs V_{gs} en échelle logarithmique pour deux valeurs différentes de V_{ds} .

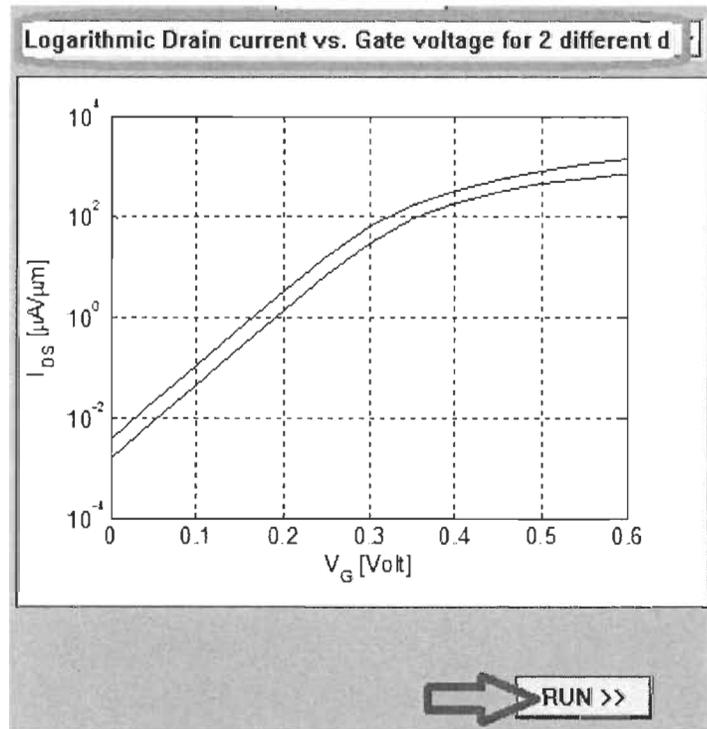


Figure 6-10 Affichage logarithmique I_{ds} vs V_{gs} pour 2 tensions du drain [CP]

De nouveaux phénomènes sont apparus, remettant en cause la physique et les modèles de conception, parmi ces effets non désirables ceux liés au rétrécissement du canal connus par les effets canal court ou SCEs (Short Channel Effects), tel que l'effet de percement (DIBL) et la dégradation de la pente sous le seuil, ces phénomènes résultent à accroître la consommation de puissance d'où les perturbations thermiques qui en découlent [102].

Le DIBL est un paramètre très important qui traduit l'effet de percement sur les canaux courts, il est obtenu en effectuant la différence sur la tension de seuil pour deux tensions du drain [102]. Ce paramètre est pris en considération dans notre outil et une programmation de sa fonction a été réalisée [CP].

La programmation séquentielle établie dans FETToy_Tahar ne suffira pas pour paralléliser notre code sur Colosse de CLUMEQ. En effet, le script écrit en C++ et en partie pour créer l'interface graphique utilise des bibliothèques Windows! Or Colosse roule sur un environnement complètement différent qui est Linux/Unix.

Donc notre problème est assez fondamental et à 2 fronts :

1. Windows et Linux sont 2 environnements très différents. Pour qu'une application puisse être compilée dans les 2 environnements, il faut exercer une certaine précaution pendant le développement pour bien s'en tenir au C++ standardisé et éviter les classes et bibliothèques spécifiques à Windows. Avoir besoin de faire une include de windows.h est un bon indicateur qu'on aura des problèmes. Il faudrait donc retirer au moins cette dépendance de notre code... avec ce que ça implique.
2. Les systèmes de calculs n'offrent généralement pas d'interface graphique et quand ils le font c'est strictement sur les nœuds de login. Toutes les tâches lancées pour le calcul doivent être automatisées et ne demandent pas d'interaction avec l'utilisateur. Les applications de calculs qui ont une interface graphique ont généralement une option sur la ligne de commande pour la désactiver. Dans le même ordre d'idée, Windows et Linux/Unix fonctionnent de façons vraiment très différentes pour leur interface graphique. À moins que nous utilisions une bibliothèque C++ spécialisée pour développer des interfaces portables (ex. : Qt), le code de notre interface graphique ne compilera pas sous Linux.

Une solution d'urgence a été donc créée, elle consiste à réécrire la partie analytique du code C++ sur une console de Microsoft Visual Studio 2008, similaire à celle utilisée par Colosse. Dans ce nouveau programme (fettoy0.1), toutes les fonctions

ont été reproduites dépendamment des paramètres d'entrée. Les données des solutions des équations ont été stockées dans des fichiers pour une éventuelle utilisation directe par l'outil FETToy_Tahar.

Les figures 6-11 à 6-13 montrent le déroulement d'exécution séquentielle du code de programme fettoy0.1. De la déclaration des paramètres d'entrée, au calcul des équations analytiques, et à la variation du courant et de l'énergie du MOSFET à double grille.

```

Device: Silicon Body Thickness (m)
tSi = 1.5e-9

Device: Doping Density in Source and Drain (1/m^3)
NSD = 1e26

Material: Oxide Dielectric Constant
epsr = 3.9

Material: Transverse Effective Mass
mt = 0.19

Material: Temperature (K)
T = 300

Terminal Voltage: Number of Bias Points
NU = 13

Terminal Voltage: Voltage Range (V)
<Initial> UI = 0
<Final> UF = 0.6

Terminal Voltage: Voltage Range (V)
<Initial> UI = 0.1
<Final> UF = 0.6

Analytical Model: Source Fermi Level (eV)
EF = -0.32

Analytical Model: Gate Control Parameter
alphag = 0.88

Analytical Model: Drain Control Parameter
alphad = 0.035

Analytical Model: Floating Boundary
<0=no/1=yes> fb_flag = 1

Analytical Model: Convert Current for the comparison with single-gate/b
FEIs
<0=no/1=yes> sg_flag = 1

Les paramètres utilisés sont les suivants:
1.5e-009
1.5e-009
1e+026
3.9
0.19
300
13
0.1
0.6
-0.32
0.88
0.035
1
1
Press any key to continue . . .
  
```

Figure 6-11 Paramètres physiques et électrothermiques (exécution séquentielle) [CP]

```

c:\Users\Tahar\Desktop\recherche tahar Belhadj\vettoy paralle\vettoy\matlab paralle\mosfet para...
Les paramètres utilisés sont les suivants:
1.5e-009
1.5e-009
1e+026
3.9
0.19
300
13
0
0.6
-0.32
0.80
0.035
1
0

Transverse mass of electron 'm': 1.729e-031
Thermal voltage 'kT': 0.025875
Voltage (gate or drain) steps:
0 0.05 0.1 0.15 0.2 0.25 0.3 0.35 0.4 0.45 0.5 0.55 0.6

Gate insulator capacitance (F/m^2) 'Cins': 0.02301
Equilibrium position of subband band edge in source 'Ec_S0': -0.413206
Appuyez sur une touche pour continuer...

```

Figure 6-12 Calcul préliminaire des équations (séquentiel) [CP]

```

c:\Users\Tahar\Desktop\recherche tahar Belhadj\vettoy paralle\vettoy\matlab paralle\mosfet para...
Current 'I':
0 0 0 0 0 0 0 0
0 0 0 0 0 0 0 0
4.09022e-037 4.09022e-037 4.09022e-037 4.09022e-037 4.09022e-037
4.09022e-037 4.09022e-037 4.09022e-037 4.09022e-037 4.09022e-037
0 4.6825e-037 4.6825e-037 4.6825e-037 4.6825e-037
4.6825e-037 4.6825e-037 4.6825e-037 4.6825e-037 4.6825e-037
0 4.76827e-037 4.76827e-037 4.76827e-037 4.76827e-037
4.76827e-037 4.76827e-037 4.76827e-037 4.76827e-037 4.76827e-037
0 4.78069e-037 4.78069e-037 4.78069e-037 4.78069e-037
4.78069e-037 4.78069e-037 4.78069e-037 4.78069e-037 4.78069e-037
0 4.78248e-037 4.78248e-037 4.78248e-037 4.78248e-037
4.78248e-037 4.78248e-037 4.78248e-037 4.78248e-037 4.78248e-037
0 4.78275e-037 4.78275e-037 4.78275e-037 4.78275e-037
4.78275e-037 4.78275e-037 4.78275e-037 4.78275e-037 4.78275e-037
0 4.78278e-037 4.78278e-037 4.78278e-037 4.78278e-037
4.78278e-037 4.78278e-037 4.78278e-037 4.78278e-037 4.78278e-037
0 4.78279e-037 4.78279e-037 4.78279e-037 4.78279e-037
4.78279e-037 4.78279e-037 4.78279e-037 4.78279e-037 4.78279e-037
0 4.78279e-037 4.78279e-037 4.78279e-037 4.78279e-037
4.78279e-037 4.78279e-037 4.78279e-037 4.78279e-037 4.78279e-037
0 4.78279e-037 4.78279e-037 4.78279e-037 4.78279e-037
4.78279e-037 4.78279e-037 4.78279e-037 4.78279e-037 4.78279e-037
0 4.78279e-037 4.78279e-037 4.78279e-037 4.78279e-037
4.78279e-037 4.78279e-037 4.78279e-037 4.78279e-037 4.78279e-037
0 4.78279e-037 4.78279e-037 4.78279e-037 4.78279e-037
4.78279e-037 4.78279e-037 4.78279e-037 4.78279e-037 4.78279e-037
Source Fermi level 'Esub_max':
0 0 0 0 0 0 0 0

```

Figure 6-13 Variation du courant et de l'énergie (séquentielle) [CP]

6.3 Validation :

La validation des résultats se fera sur deux étapes : la première consiste à comparer nos résultats à ceux de NanoHub [93] et les autres articles [34][94][95] publiés. La deuxième sera de comparer nos résultats obtenus séquentiellement à ceux obtenus avec la parallélisation.

Dans cette première partie, nous avons commencé par extraire les résultats des caractéristiques d'Ids vs Vds pour différentes valeurs de Vg pour un MOSFET à double grille de l'outil Fettoy0.2 publiés sur NanoHub [93], nous avons obtenu la figure 6-14 suivante:

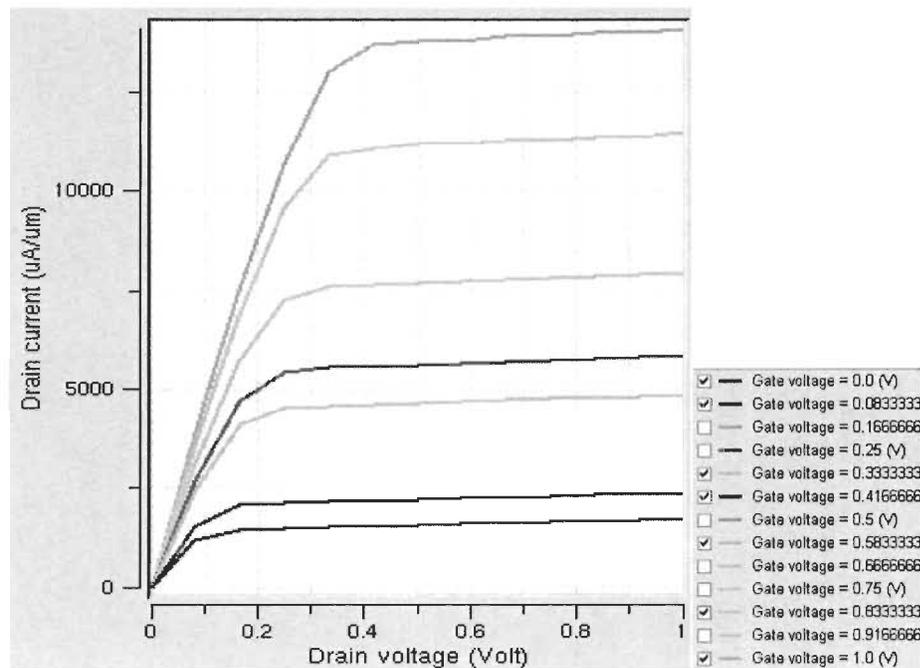


Figure 6-14 Ids vs Vds pour différentes tensions de la grille, réf. [93].

Cette figure est similaire dans la forme à la figure 6-6 (b) et à la figure 6-8. Donc nous déduisons qu'a priori les résultats obtenus par notre simulateur [CP] sont équivalents aux

résultats trouvés dans les articles [34], [94], [95] et dans le simulateur de NanoHub [93]. Le tableau 6-1 est la confirmation de nos propos, il montre bien la quasi-égalité des données trouvées dans les résultats des 2 simulateurs.

Tableau 6-1 Comparaison des résultats entre Fettoy0.2 et Fettoy_Tahar, réf. [CP].

	Fettoy0.2 Drain voltage (Volt)	Fettoy0.2 Drain current (uA/um)	Fettoy_Tahar Drain voltage (Volt)	Fettoy_Tahar Drain current (uA/um)
V_{gs}=0.0v	0	0	0	0
	0.08333333333333	1160	0.08333333333333	1160
	0.16666666666667	1450	0.16666666666667	1450
	0.25	1490	0.25	1488
	0.33333333333333	1510	0.33333333333333	1509
	0.41666666666667	1540	0.41666666666667	1539
	0.5	1560	0.5	1561
	0.58333333333333	1590	0.58333333333333	1590
	0.66666666666667	1610	0.66666666666667	1610
	0.75	1630	0.75	1630
	0.83333333333333	1660	0.83333333333333	1660
	0.91666666666667	1680	0.91666666666667	1680
	1	1710	1	1710

La conception des deux simulateurs se base sur le même modèle analytique de la théorie du MOSFET balistique, le calcul numérique des variations du courant I_{ds} et de tension V_{ds} repose sur les mêmes paramètres de caractérisation physique, thermique et électrique, et les deux simulateurs fonctionnent sur le même environnement de travail Windows. Donc d'un point de vue scientifique, les résultats des simulations doivent se superposer. Néanmoins, quelques erreurs de calcul peuvent subsister par le biais du script et

de la logique de programmation utilisée, ce qui explique la différence de quelques valeurs trouvées de Ids dans le tableau 6-1.

La comparaison des résultats est évaluée sur un niveau de programmation séquentielle, mais ne montre pas la véritable optimisation acquise. Une autre approche de comparaison sera donc évaluée sur un niveau de programmation parallèle.

Dans cette deuxième partie, nous avons évalué notre travail sur Colosse de Clumeq (programmation parallèle), une grappe de plusieurs processeurs pour minimiser le temps de calcul.

Nous commençons par introduire le nom d'utilisateur et le mot de passe. Voir la figure 6-15.

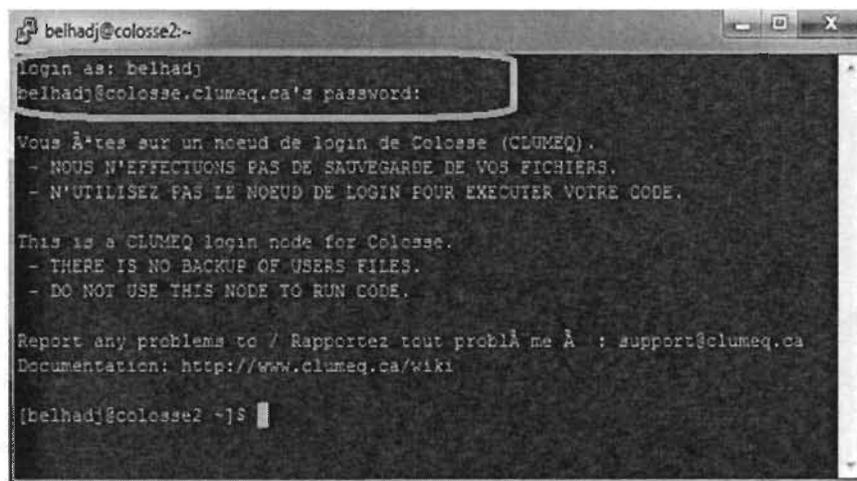
A screenshot of a terminal window titled 'belhadj@colosse2:-'. The terminal shows a login prompt 'login as: belhadj' followed by the user input 'belhadj@colosse.clumeq.ca's password:'. Below this, a message in French states: 'Vous êtes sur un noeud de login de Colosse (CLUMEQ). - NOUS N'EFFECTUONS PAS DE SAUVEGARDE DE VOS FICHIERS. - N'UTILISEZ PAS LE NOEUD DE LOGIN POUR EXECUTER VOTRE CODE.' This is followed by an English translation: 'This is a CLUMEQ login node for Colosse. - THERE IS NO BACKUP OF USERS FILES. - DO NOT USE THIS NODE TO RUN CODE.' At the bottom, contact information is provided: 'Report any problems to / Rapportez tout problème à : support@clumeq.ca' and 'Documentation: http://www.clumeq.ca/wiki'. The prompt '[belhadj@colosse2 ~]\$' is visible at the bottom.

Figure 6-15 Connexion à Colosse [CP]

Une liste des modules à utiliser sera affichée par la suite, voir la figure 6-16.

```

belhadj@colosse1-
login as: belhadj
belhadj@colosse.clumeq.ca's password:
[belhadj@colosse1 ~]$ module avail

----- /clumeq/Modules/versions -----
3.2.7

----- /clumeq/Modules/modulefiles -----
apps/gromacs-4.0.7          misc-libs/olhep-2.0.4.5
apps/octave-3.2.4          misc-libs/fftw-3.2.2
apps/python-2.6.4         misc-libs/gmp/4.3.1_gcc
apps/x-2.10.1             misc-libs/gmp/4.3.1_intel
blas-libs/GotoBlas2       misc-libs/hdf/hdf4.2r4
blas-libs/atlas/3.9.20    misc-libs/mpfr/4.3.1_gcc
blas-libs/mkl/10.2.2.025  misc-libs/netcdf-4.0.1
compilers/gcc/4.1.2       misc-libs/petsc/2.3.3-pi5
compilers/gcc/4.4.2       misc-libs/zip-2.1
compilers/gcc/4.4.2-g77   mono-2.6.1
compilers/intel/11.1.059  mpi/openmpi/1.3.4_gcc
compilers/sunstudio/12.1  mpi/openmpi/1.3.4_intel
lapack                    mpi/openmpi/1.3.4_sunstudio
misc-libs/ParMetis/3.1.1_gcc
misc-libs/SuperLU/2.3.a_gcc+atlas
[belhadj@colosse1 ~]$

```

Figure 6-16 Liste des modules valables [CP]

Le transfert de fichier du **fettoy0.3.cpp** [CP] est fait via le logiciel FileZilla, la figure 6-17 montre cela comme déjà décrit pour le premier test que nous avons effectué avec Colosse.

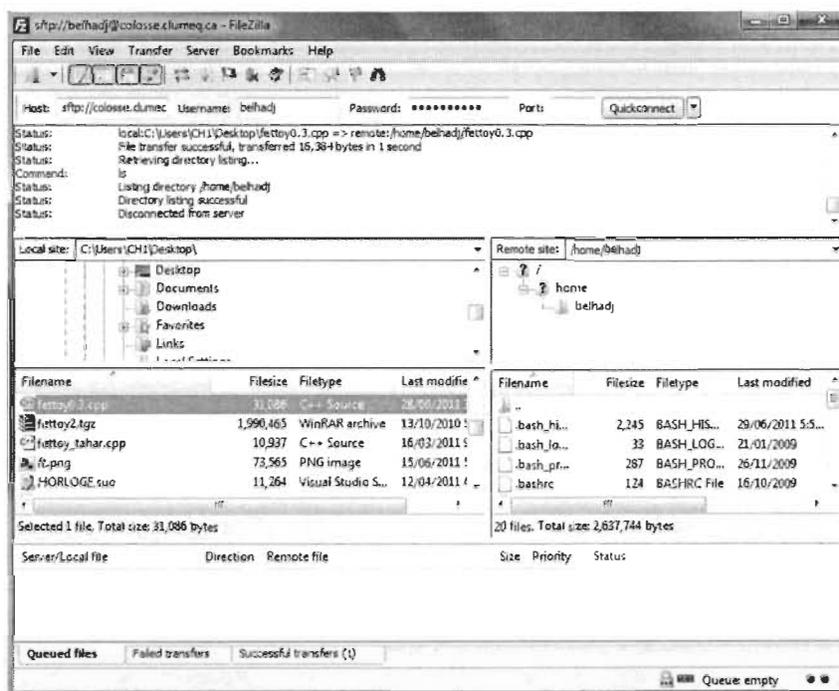


Figure 6-17 Transfert du fichier fettoy0.3.cpp [CP]

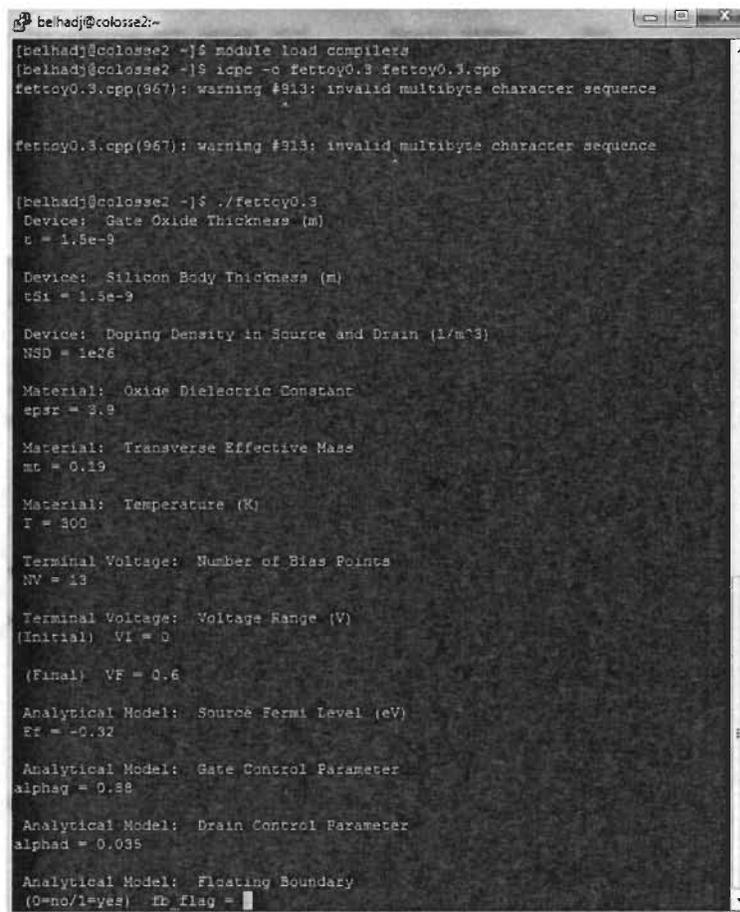
Afin de construire ce module de programme, la compilation, il faut exécuter la commande suivante :

```
module load compilers/intel/11.1.059
```

Pour compiler le programme (situé dans le fichier **fetty0.3.cpp**), il faut utiliser la commande : `icpc -o fettoy0.3 fettoy0.3.cpp`

La création du fichier exécutable unique. Pour l'exécuter, il suffit de saisir : `./fetty0.3`

Les figures 6-18 à 6-22, affichent le déroulement de l'exécution du programme fettoy0.3 [CP] sous Colosse.



```

[belhadj@colosse2 ~]$ module load compilers
[belhadj@colosse2 ~]$ icpc -o fettoy0.3 fettoy0.3.cpp
fettoy0.3.cpp(967): warning #813: invalid multibyte character sequence

fettoy0.3.cpp(967): warning #813: invalid multibyte character sequence

[belhadj@colosse2 ~]$ ./fetty0.3
Device: Gate Oxide Thickness (m)
tSi = 1.5e-9

Device: Silicon Body Thickness (m)
tSi = 1.5e-9

Device: Doping Density in Source and Drain (1/m^3)
NSD = 1e26

Material: Oxide Dielectric Constant
epsr = 3.9

Material: Transverse Effective Mass
m0 = 0.19

Material: Temperature (K)
T = 300

Terminal Voltage: Number of Bias Points
NV = 13

Terminal Voltage: Voltage Range (V)
(Initial) VI = 0

(Final) VF = 0.6

Analytical Model: Source Fermi Level (eV)
EF = -0.32

Analytical Model: Gate Control Parameter
alphaq = 0.88

Analytical Model: Drain Control Parameter
alphad = 0.035

Analytical Model: Floating Boundary
(0=no/1=yes) fb_Flag = 

```

Figure 6-18 Paramètres physiques et électrothermiques (exécution parallèle) [CP]

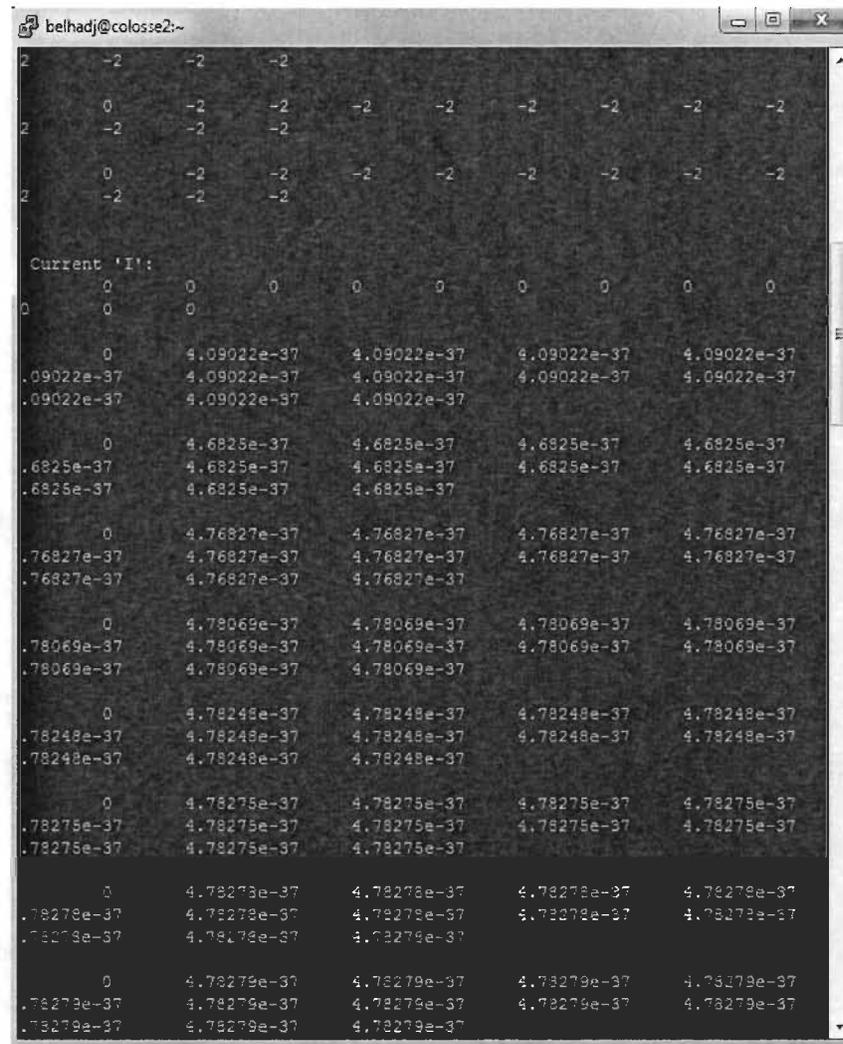


Figure 6-20 Variation du courant [CP]

Ensuite, il calcule la variation de l'énergie (Energy at the top of the barrier « E_{f_mat} »).

Après exécution du programme fettoy0.3, le système génère des fichiers de données qui récoltent toute l'information traitée par Colosse, dont nous utilisons pour afficher les courbes de variation sur Fettoy_Tahar [CP], voir la figure 6-23.

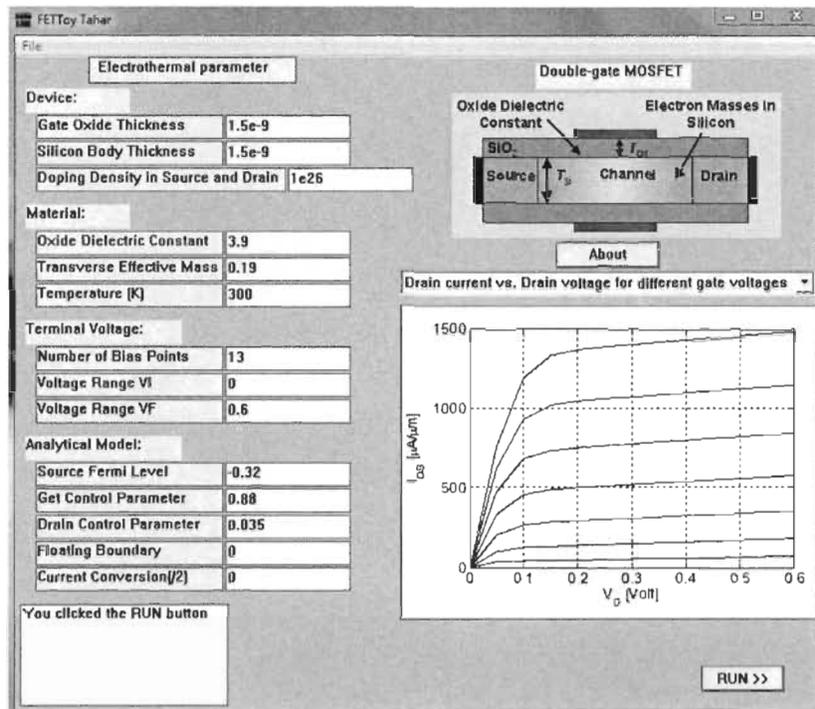


Figure 6-23 Affichage après implémentation parallèle sur le logiciel FETToy_Tahar, réf. [CP].

Le procédé utilisé pour l'implémentation parallèle est le procédé MPI. Nous avons donc généré le script C++ correspondant au script utilisé dans la programmation séquentielle.

Généralement, l'envoi de 1 message important est plus rapide que l'envoi de 10 petits messages. Le coût en temps d'envoi d'un message est bien modélisé en considérant un temps de latence (le temps qu'il faudrait pour envoyer un message vide, qui est non nul en raison de la surcharge d'appels de fonctions, la latence du réseau, etc.) et une bande passante (combien plus faut-il pour envoyer un octet supplémentaire étant donné que

le réseau de communication a déjà commencé). En regroupant les messages en un seul message, il suffit d'introduire le coût de latence une seule fois, et c'est souvent une victoire (même s'il est toujours possible de trouver des cas où il n'est pas). La meilleure façon de savoir pour tout code particulier est tout simplement d'essayer. Notons que les types de données MPI accordent des moyens très puissants pour décrire la disposition des données en mémoire afin que nous puissions le prendre presque directement de la mémoire au réseau sans avoir à faire une copie intermédiaire dans une mémoire-tampon (dite "de triage" des données). Ceci étant dit, les tests sont effectués et les résultats obtenus par le simulateur Fettoy_Tahar, après programmation parallèle des données, correspondent parfaitement aux résultats obtenus, après programmation séquentielle des mêmes données. Le tableau 6-2 résume cette comparaison par l'intermédiaire des données récoltées de la variation d' I_{ds} vs V_{ds} pour $V_{gs} = 0$ v.

Tableau 6-2 Comparaison des résultats entre fettoy0.1 et fettoy0.3, réf. [CP].

	Fetty0.1 Drain voltage (Volt)	Fetty0.1 Drain current (uA/um)	Fetty0.3 Drain voltage (Volt)	Fetty0.3 Drain current (uA/um)
$V_{gs}=0.0v$	0	0	0	0
	0.0833333333333333	1160	0.0833333333333333	1160
	0.1666666666666667	1450	0.1666666666666667	1450
	0.25	1488	0.25	1488
	0.3333333333333333	1509	0.3333333333333333	1509
	0.4166666666666667	1539	0.4166666666666667	1539
	0.5	1561	0.5	1561
	0.5833333333333333	1590	0.5833333333333333	1590
	0.6666666666666667	1610	0.6666666666666667	1610
	0.75	1630	0.75	1630
	0.8333333333333333	1660	0.8333333333333333	1660
	0.9166666666666667	1680	0.9166666666666667	1680
	1	1710	1	1710

La validation de la programmation parallèle est donc approuvée suivant les résultats obtenus dans le tableau 6-2 et le tableau 6-1. Le système a démontré son efficacité au niveau séquentiel qu'au niveau parallèle et il correspond parfaitement au modèle prédéfini au début.

6.4 Essai :

La validation des résultats ne suffit pas à mettre en valeur le travail effectué. Cependant, l'optimisation du script, l'ergonomie de l'interface graphique et l'efficacité du modèle jouent un rôle important, par rapport au changement d'environnement des systèmes utilisés (système d'exploitation Windows et Linux, machine à un seul processeur (PC) et machine à plusieurs processeurs (CHP), machine à mémoire limitée et machine à mémoire n fois supérieure, etc.). Ceci implique l'évidence de tester notre modèle par différents essais.

Dans un premier essai, nous avons effectuait des tests sur notre machine de bureau (PC), qui est dotée du système suivant :

Constructeur : Dell

Modèle : Optiplex 380

Processeur : Intel(R) Core(TM)2 Duo CPU E7500 @ 2.93GHz

Mémoire (RAM) : 4.00 GB

Système d'Exploitation : Windows 7 Professional.

Sur cet ordinateur nous avons installé le logiciel « Microsoft Visual Studio 2008 » qui est un outil dédié à la programmation sous le script C++, la compilation, le débogage et l'exécution du code écrit optimisé du modèle.

Dans le tableau 6-3 nous avons réalisé plusieurs tests sur notre ordinateur du bureau et sur Colosse. Ces tests consistent à faire rouler notre programme fettoy0.3 [CP] avec différents nombres d'échantillonnages NV et chronométré par après le temps de calcul et/ou la durée d'exécution de ces derniers.

Tableau 6-3 Estimation du temps de calcul et/ou durée d'exécution [CP]

NV	Colosse (s)	PC (s)
10	1	10
15	1.72	45
20	5.1	136
25	10.56	313
30	20.12	645
35	38	1620
50	153.21	4252

Le même tableau a été reproduit sur un histogramme, voir la figure 6-24, pour comparer le temps d'exécution d'un simple ordinateur à une grappe de calcul. Cela met en valeur la puissance de calcul de Colosse.

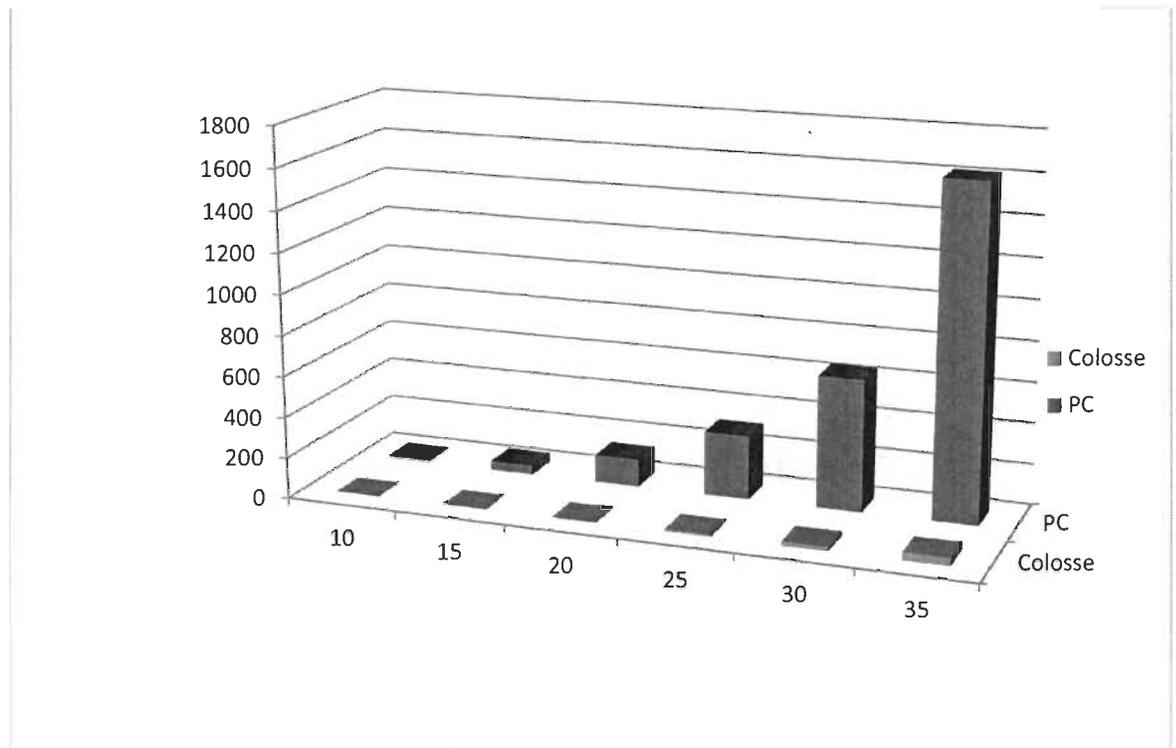


Figure 6-24 Comparaison de Colosse à une machine PC [CP]

Nous remarquons aussi que plus le nombre d'échantillonnages augmente, plus l'écart de performance augmente entre les deux machines, ceci est notre principal avantage.

Après avoir réalisé un modèle parallélisable et validé ses résultats, nous ne pouvons pas s'abstenir d'ouvrir des nouvelles fenêtres et des perspectives pour les domaines de recherche future. Une conclusion générale sera un atout dans ce cas.

Chapitre 7 - Conclusion

Cette dernière décennie, l'étude des nanoélectroniques, en particulier, les transistors balistiques MOSFET a fait l'objet de certaines recherches. Cependant, les travaux reliés au dégagement de la chaleur et aux paramètres électrothermiques de ces derniers sont rares et presque introuvables.

En effet, FETToy 2.0 est un outil open source développé par des chercheurs de l'Université de Purdue. C'est un simulateur de transistor MOSFET à l'échelle nanoscopique qui résout les équations de Schrödinger et de Poisson afin de trouver la distribution de charge et de courant. Son algorithme a été donc étudié, reformulé et optimisé en code C++ pour une éventuelle possibilité de parallélisation et d'implémentation.

L'outil d'évaluation et de simulation que nous avons réussie à développer fettoy0.3 vise à fournir à l'industrie et au milieu académique un modèle numérique qui roule sur des clusters et des grappes de calcul (CHP) très performants sous la plate-forme de Calcul Canada. Ce modèle permet l'interaction entre différents paramètres des nanotransistors MOSFET (systèmes, matériels, électriques et analytiques) pour le calcul balistique de courant, de tension et de distribution de charge dans un transistor MOSFET à double grille ultra mince, ces paramètres électrothermiques nous aident à bien comprendre les phénomènes de la physique quantique et d'avoir conscience de l'influence de la variation de température sur le système électrique. Nous avons aussi relevé le défi de la représentativité des échantillons lors de la simulation des systèmes, par la parallélisation. En effet, nous avons utilisé la décomposition en domaines pour diviser nos différentes

tâches (les différentes sections du système) afin de les répartir sur plusieurs nœuds de calcul.

Nous avons effectué plusieurs simulations, dont les résultats sont présentés au chapitre 6 de ce mémoire. À travers ce chapitre, nous avons comparé nos résultats à ceux de la littérature [34] et à ceux obtenus avec le logiciel FETToy 2.0 [35]. Les résultats sont très intéressants et très encourageants. Cependant, malgré ces résultats des étapes restent à franchir pour aboutir à un outil entièrement satisfaisant. Les étapes telles que la prise en compte effective des conditions physiques réelles des systèmes seraient un apport non négligeable lors du couplage des nanosystèmes avec d'autres systèmes physiques de tailles différentes.

Aussi la prise en compte de la différence entre les particules pourrait nous permettre une meilleure appréciation de leur effet dans certaines conditions particulières.

Pendant que les nanotransistors MOSFET sont réduits par la taille, les nouveaux effets physiques deviennent importants dans leur représentation et leur performance. En raison de leurs dimensions très petites dans les nanosystèmes d'aujourd'hui, ces effets ont la nature de quantum et peuvent contenir des atomes dans leurs conceptions.

Les transistors MOSFET fabriqués de quantum représentent la solution future pour une continuation de la conception. Il semble crucial de prolonger la science microélectronique actuelle au quantum et aux échelles moléculaires. En fait, non seulement les futurs transistors MOSFET fonctionneront selon ces nouvelles règles, mais également la plupart des futurs transistors le feront aussi.

Bibliographie

[CP] = *Contribution personnelle*.

- [1] D. Feigenbaum, A. Nsamirizi, B. Sinclair-Desgagné, « Les Nanotechnologies : leurs bénéfices et leurs risques potentiels », pg. 06-07, Septembre 2004.
- [2] DGE, (2011, Mai, 01), Networks [en ligne]. pg. 01. Disponible sur : <http://www.industrie.gouv.fr/dge/listeDiff/lettre35/lettre.htm>
- [3] Nanoélectronique- USA, (2011, Mai, 01), Networks [en ligne]. pg. 01. Disponible sur : <http://www.france-science.org/IMG/pdf/Nanoelectronique.pdf>
- [4] Michael Haselman, Scott Hauck, "The Future of Integrated Circuits: A Survey of Nanoelectronics ", Proceedings of the IEEE, Vol. 98, No. 1, Seattle, USA, January 2010.
- [5] M. Braccioli, G. Curatola, Y. Yang, E. Sangiorgi, C. Fiegna, "Simulation of self-heating effects in different SOI MOS architectures", Solid-State Electronics Vol 53 page 445–451, 24 Février 2009.
- [6] A.W. Skorek, "High performance computing in nanoscale electrothermal modeling and simulations", 15th international conference, *department of microelectronics & computer science, technical university of Lodz, June 19-21, 2008*.
- [7] Chow Sit Tsang-Ping, Christopher M. Snowden, David M. Bany, "A Parallel Implementation of Electrothermal Simulation for GaAs MESFET Devices", IEEE transactions on computer-aided design of Integrated circuits and systems, vol. 15, no. 3, march 1996.
- [8] M.O. McCracken, N. Wolter, A. Snively, "Beyond Performance Tools: Measuring and Modeling Productivity in HPC", Third International Workshop on Software Engineering for High Performance Computing Applications , IEEE, 0-7695-2969-0/07, 2007.
- [9] Bhushan Editor (2011, Mars, 10), "Nanotechnology", Springer Handbook. (2011, Jul., 20). Disponible [en ligne] sur: <http://books.google.com/>
- [10] Révolution de la miniaturisation en électronique et ailleurs, (2011, Mars, 20), Networks [en ligne]. pg. 01. Disponible sur : <http://biuintra.univ-bpclermont.fr/spipPortail2/IMG/pdf/Germain.pdf>

- [11] 45 nm process technology, (2011, Mars, 24), Networks [en ligne]. pg. 01. Disponible sur : http://www.intel.com/technology/45nm/index.htm?iid=polTechnology_45nm+body_4
- [12] A look at the future of nanoelectronics, (2011, Mars, 24), Networks [en ligne]. pg. 01. Disponible sur : <http://www.physorg.com/news4531.html%200/>
- [13] Rodrigo Escobar, Brian Smith, Cristina Amon , “ Lattice Boltzmann Modeling of Subcontinuum Energy Transport in Crystalline and Amorphous Microelectronic Devices” , Transactions of the ASME Vol. 128, June 2006.
- [14] G. Chen, D. Borca-Tasciuc, R. G. Yang, “Nanoscale Heat Transfer”, Massachusetts Institute of Technology, Cambridge, Massachusetts, USA, Encyclopedia of Nanoscience and Nanotechnology Edited by H. S. Nalwa, Vol. X, pg. 1–30.
- [15] Yunfei Chen Deyu Li, Jennifer R. Lukes, Arun Majumdar: “Monte Carlo Simulation of Silicon Nanowire Thermal Conductivity”, Journal of Heat Transfer OCTOBER 2005, Vol. 127 / 1135.
- [16] Gianluca Fiori, Marco G. Pala, and Giuseppe Iannaccone, “Three-Dimensional Simulation of Realistic Single Electron Transistors”, IEEE Transactions on Nanotechnology, Vol. 4, No. 4, 2005.
- [17] E.Pop, D.Mann, K.Goodson and H.Dai, “Electrical and Thermal Transport in Metallic Single-Wall Carbon Nanotubes on Insulating Substrates”, *Journal of Applied Physics*, vol.101, pg.093-710, 2007.
- [18] David Lammers, “CMOS Transitions to 22 and 15 nm”, News Editor -- Semiconductor International, January 1, 2010.
- [19] Adam W. Skorek, Stéphane Velou Blé, Anna Gryko-Nikitin et Joanicjusz Nazarko, “Nanothermal Management in Nanoelectronics Systems”, IEEE, 2007, pg. 1-4.
- [20] IEEE spectrum, (2011, Avril, 01), Networks [en ligne]. pg. 01. Disponible sur : <http://spectrum.ieee.org/semiconductors/materials/better-computing-through-cpu-cooling/0>
- [21] M. Braccioli, G. Curatola, Y. Yang, E. Sangiorgi, C. Fiegna, “Simulation of self-heating effects in different SOI MOS architectures”, Solid-State Electronics Vol 53 pg. 445–451, 24 Février 2009.
- [22] Nanosciences, (2011, Avril, 01), Networks [en ligne]. pg. 01. Disponible sur : <http://www.cnano-paca.org/Nano-Electronique.html>
- [23] Rohit Pathak, and Satyadhar Joshi, “Implementation of Parallelization and Nano Simulation using Multi-Scale Modeling on various HPC setups”, Conference on Innovative Technologies in Intelligent Systems and Industrial Applications (CITISIA

- 2009), Monash University, Sunway campus, Malaysia, 25th & 26th July 2009, pg. 1-4.
- [24] A.W. Skorek, "High performance computing in nanoscale electrothermal modeling and simulations", 15th international conference, *Department of microelectronics & computer science*, Technical University of Lodz, June 19-21, 2008, pg. 01-04.
- [25] Modeling Interface-defect Generation (MIG). (2011, Avril, 21), Networks [en ligne]. pg. 01. Disponible sur :
- <http://nanohub.org/resources/1647/supportingdocs>
- [26] Negative Bias Temperature Instability Basics/Modeling (2011, Avril, 21), Networks [en ligne]. pg. 01. Disponible sur : <http://nanohub.org/resources/devrel>
- [27] MOSFet, (2011, Mai, 01), Networks [en ligne]. pg. 01. Disponible sur : <http://nanohub.org/resources/mosfet>
- [28] Blé, S. V., "Modélisation parallèle des phénomènes nanothermiques", Thèses en génie électrique, Université du Québec à Trois-Rivières, 2009, pg. 04-120.
- [29] Daniel Flipo (2011, Avril, 10), Chaînes de Markov, Université des Sciences et Technologies de Lille, U. F. R. de Mathématiques Pures et Appliquées. Networks [en ligne]. pg. 01-02. Disponible sur : <http://daniel.flipo.free.fr/cours/markov.pdf>
- [30] Markov, (2011, Avril, 10), Networks [en ligne]. pg. 01-02. Disponible sur : <http://www.bibmath.net/dico/index.php3?action.../markov.html>
- [31] Chaîne de Markov ergodique, (2011, Avril, 11). Networks [en ligne]. pg. 01. Disponible sur : http://www.univ-orleans.fr/mapmo/membres/berglund/probamass_html/node19.html
- [32] Marc Hayoun, (2011, Avril, 11). La méthode de Monte-Carlo Métropolis, École "Simulation Numérique en Matière Condensée", Jussieu, Paris, 29 au 31 mai 2002. Networks [en ligne]. pg. 01. Disponible sur : http://www.insp.jussieu.fr/jsnum/Old/MC_Metropolis.pdf
- [33] Changwook Jeong, Raseong Kim, Mathieu Luisier, Supriyo Datta, and Mark Lundstrom, "On Landauer versus Boltzmann and full band versus effective mass evaluation of thermoelectric transport coefficients", JOURNAL OF APPLIED PHYSICS Vol. 107, pg. 023-707, 2010.
- [34] A. Rahman, J. Guo, S. Datta, and M. Lundstrom, "Theory of Ballistic Nanotransistors", IEEE Transactions on Electron Devices, 50, pg. 1853-1864, 2003.
- [35] FETToy, (2011, Mai, 01), Networks [en ligne]. pg. 01. Disponible sur : <https://nanohub.org/resources/220>

- [36] Pour une Europe intelligente, (2011, Juin, 03), Networks [en ligne]. pg. 01. Disponible sur : http://www.europesolidaire.eu/article.php?article_id=453
- [37] Les nouveaux enjeux du calcul haute performance, (2011, Juin, 04), Networks [en ligne]. pg. 01. Disponible sur : http://www.inrialpes.fr/vasy/dyade/bull_hpc_fr.pdf
- [38] Calcul Canada, (2011, Juin, 25), Networks [en ligne]. pg. 01. Disponible sur : <https://compute canada.org/>
- [39] Rapport annuel de Calcul Canada 2009-2010, (2011, Juin, 25). Networks [en ligne]. pg. 01-10. Disponible sur : https://compute canada.org/modules/cms/checkFileAccess.php?file=local.web_content_admin/reports/CC_annual_report_2009-2010_fr.pdf
- [40] ACEnet, (2011, Juil., 25), Networks [en ligne]. pg. 01. Disponible sur : <http://www.ace-net.ca/wiki/ACEnet>
- [41] RQCHP, (2011, Juil., 25), Networks [en ligne]. pg. 01. Disponible sur : <https://rqchp.ca/>
- [42] HPCVL, (2011, Juil., 25), Networks [en ligne]. pg. 01. Disponible sur : <http://www.hpcvl.org/>
- [43] SciNet, (2011, Juil., 25), Networks [en ligne]. pg. 01. Disponible sur : <http://www.scinet.utoronto.ca/about.htm>
- [44] SHARKNET, (2011, Juil., 25), Networks [en ligne]. pg. 01. Disponible sur : <https://www.sharcnet.ca/my/about>
- [45] WestGrid, (2011, Juil., 25), Networks [en ligne]. pg. 01. Disponible sur : <http://www.westgrid.ca/>
- [46] CLUMEQ, (2011, Juil., 25), Networks [en ligne]. pg. 01-03. Disponible sur : <http://www.clumeq.ca/index.php>
- [47] TOP500, (2011, Juil., 16), Networks [en ligne]. pg. 01-05. Disponible sur : <http://www.top500.org/>
- [48] Guillimin, (2011, Juil., 15), Networks [en ligne]. pg. 01. Disponible sur : <http://www.clumeq.org/index.php/fr/support/144-quelles-sont-les-specifications-de-guillimin>
- [49] Linux, (2011, Juil., 15), Networks [en ligne]. pg.01-02. Disponible sur : https://www.clumeq.ca/wiki/index.php/Linux_pour_les_non-initi%C3%A9s
- [50] Cleve's Corner (2011, Juil.), "Parallel Matlab : Multiple processors and cores", *The MathWorks News&Notes*. [en ligne]. June 2007, pg. 1. Disponible sur :

<http://www.mathworks.com/matlabcentral/linkexchange/links/1664-cleves-corer-parallel-matlab-multiple-processors-and-multiple-cores>

- [51] Krylov, (2011, Juil., 15), Networks [en ligne]. pg. 01. Disponible sur : <http://www.clumeq.ca/index.php/a-propos/ordinateurs/krylov>
- [52] Colosse, (2011, Juil., 15), Networks [en ligne]. pg. 01. Disponible sur : <http://www.clumeq.ca/index.php/a-propos/ordinateurs/colosse>
- [53] Projet de programme de travail 2011-2015 de la fédération européenne des métallurgistes, (2011, Juil., 26), Networks [en ligne]. pg. 31. Disponible sur : https://docs.google.com/viewer?a=v&q=cache:i6M56tFCrb8J:www.emf-fem.org/content/download/37416/286758/version/1/file/Work%2BProgramme%2BR.pdf+Les+techniques+nano%C3%A9lectroniques+et+informatiques+encouragent+l'innovation+dans+de+nombreux+secteurs+industriels+et+socio%C3%A9conomiques+notamment+les+t%C3%A9l%C3%A9communications,+les+transports,+les+biens+de+consommation,+l'industrie+manufacturi%C3%A8re,+les+soins+de+sant%C3%A9+et+l%C3%A9nergie&hl=fr&gl=tn&pid=bl&srcid=ADGEESgyENLyZUHlm5oZmBiGLycUDldCOE5G_Y66rHXTNlxIfPlpulWAwTjnBDWEfTXv9en3dsSx6E_MoZD7h5o9ay_ECj08n0QvsgGog0xzFqPtjwO0W4Mc-Rw5rFktT_qn3FnUnQAv&sig=AHIEtbRusSQWfondZdLUk6YwkAbmV8CXFg
- [54] IBM research, (2011, Juil., 26), Networks [en ligne]. pg. 1. Disponible sur : <http://www.research.ibm.com/>
- [55] NRC, (2011, Juil., 26), Networks [en ligne]. pg. 1. Disponible sur : <http://www.nrc-cnrc.gc.ca/eng/index.html>
- [56] CMC, (2011, Juil., 26), Networks [en ligne]. pg. 1. Disponible sur : <http://www.cmc.ca/>
- [57] ASTM, (2011, Juil., 26), Networks [en ligne]. pg. 1. Disponible sur : <http://www.astm.org/>
- [58] NSTI, (2011, Juil., 26), Networks [en ligne]. pg. 1. Disponible sur : <http://www.nsti.org/>
- [59] NanoHub, (2011, Juil., 26), Networks [en ligne]. pg. 1. Disponible sur : <http://nanohub.org/>
- [60] Comité 229 sur les Nanotechnologies de l'ISO, (2011, Juil., 26), Networks [en ligne]. pg. 1. Disponible sur : http://www.iso.org/iso/fr/iso_technical_committee?commid=381983
- [61] AFM, (2011, Juil., 26), Networks [en ligne]. pg. 1. Disponible sur : http://en.wikipedia.org/wiki/Atomic_force_microscopy

- [62] Simulation numérique et HPC, (2011, Juil., 26), Networks [en ligne]. pg. 1. Disponible sur :
<http://ditwww.epfl.ch/SIC/SA/SPIP/Publications/spip.php?article1852>
- [63] Le futur des nanotechnologies vu par ses experts, (2011, Juil., 26), Networks [en ligne]. pg. 1. Disponible sur : http://www.futura-sciences.com/fr/news/t/technologie-1/d/le-futur-des-nanotechnologies-vu-par-ses-experts_8609/
- [64] Silicium ultime, (2011, Juil., 26), Networks [en ligne]. pg. 1. Disponible sur : <http://www.materio.fr/fr/edito/actu/le-silicium-noir-le-graal-ultime>
- [65] Électronique moléculaire, (2011, Juil., 26), Networks [en ligne]. pg. 1. Disponible sur : http://iramis.cea.fr/Phocea/Vie_des_labos/Ast/ast_sstheme.php?id_ast=188
- [66] Spintronique et nanomagnétisme, (2011, Juil., 27), Networks [en ligne]. pg. 1. Disponible sur : <http://fr.wikipedia.org/wiki/Spintronique>
- [67] Lithographie, (2011, Juil., 27), Networks [en ligne]. pg. 1. Disponible sur : http://www.oqlf.gouv.qc.ca/ressources/bibliotheque/dictionnaires/terminologie_nanotechnologie/lithograph-16-iolets_extremes.html
- [68] Nanoimpint, (2011, Juil., 27), Networks [en ligne]. pg. 1. Disponible sur : <http://www.nanowerk.com/spotlight/spotid=2842.php>
- [69] Nanoélectronique, (2011, Juil., 27), Networks [en ligne]. pg. 1. Disponible sur : <http://fr.wikipedia.org/wiki/Nano%C3%A9lectronique>
- [70] Système nanoélectronique, (2011, Juil., 27), Networks [en ligne]. pg. 2. Disponible sur :
http://fingerchip.pagesperso-orange.fr/biometrics/types/fingerprint_sensors_physics.htm
- [71] O. Nisole, V. Bayot, « Le blocage de Coulomb et le transistor à un électron », Université catholique de Louvain, 2002, pg. 8-35.
- [72] A. Céleste, J. C. Portal, L. Eaves, E. S. Alves, « Études sous champ magnétique de l'effet tunnel résonnant et non résonnant dans les structures à double barrière n-(AlGa)As/GaA », Revue Phys. Appl. 24, (1989), pg. 343-349.
- [73] D. ROUSSIN, « La logique quantique comme fondement de la métaphysique de la mécanique quantique », Thèse à l'Université du Québec à Montréal, Déc. 2009, pg. 147-201.
- [74] A. Fert (2011, Juil., 27), Prix Nobel 2007, Networks [en ligne]. pg. 1. Disponible sur : <http://www.pomms.org/albert-fert-prix-nobel-de-physique-2007-122.html>

- [75] Effet Aharonov Bohm, (2011, Juil., 27), Networks [en ligne]. pg. 1. Disponible sur : http://fr.wikipedia.org/wiki/Effet_Aharonov-Bohm
- [76] The Boltzmann equation (2011, Juil., 27), Doc. Thesis, chap. 2. Networks [en ligne]. pg. 1-18. Disponible sur : <http://background.uchicago.edu/~whu/thesis/chap2.pdf>
- [77] L'équation de Schrödinger, (2011, Juil., 27), Networks [en ligne]. pg. 1. Disponible sur : <http://www.techno-science.net/?onglet=glossaire&definition=8056>
- [78] Loi de Moore, (2011, Juil., 27), Networks [en ligne]. pg. 1. Disponible sur : <http://www.cnanoidf.org/Suite>
- [79] Hesham El-Rewini, Mostafa Abd-El-Barr, "Advanced computer architecture and parallel processing", Livre Wiley, Juil. 2005.
- [80] Sokrates T. Pantelides, Massimiliano Di Ventra, Norton D. Lang, and Sergey N. Rashkeev, "Molecular Electronics by the Numbers", IEEE TRANSACTIONS ON NANOTECHNOLOGY, VOL. 1, NO. 1, MARCH 2002.
- [81] Alireza Kargar, " Comparison of Current-Voltage Carbon Nanotube and Nanowire FETs", *Shiraz University, Shiraz, Iran*, pg. 978-1-4244-2104, 6/08/2008, IEEE.
- [82] Jeremy Rowlette, Eric Pop, Sanjiv Sinha, Mathew Panzer, and Kenneth Goodson, "Thermal Simulation Techniques for Nanoscale Transistors", Dept. of Electrical and Mechanical Engineering, Stanford University , pg.0-7803-9254, 05/2005, IEEE.
- [83] MPI, (2011, Juil., 28), Networks [en ligne]. pg. 1. Disponible sur : <http://www.mpi-forum.org/docs/mpi-11-html/mpi-report.html>
- [84] OpenMP, (2011, Juil., 28), Networks [en ligne]. pg. 1. Disponible sur : <http://openmp.org/wp/>
- [85] Cappello F and Etiemble D, MPI versus MPI+OpenMP on the IBM SP for the NAS Benchmarks, Proc. The international conference on supercomputing 2000, IEEE SC2000, 12, 2000.
- [86] Cappello F, Richard O and Etiemble D, Understanding performance of SMP clusters running MPI programs, Future Generation Computer Systems 17 (2001) 711 ? 720, doi :10.1016/S0167739X(00)000546
- [87] Chapman B and Huang L, Enhancing OpenMP and its Implementation for Programming Multicore Systems, Advances in Parallel Computing, ISBN 9781586037963, 2337, 2008

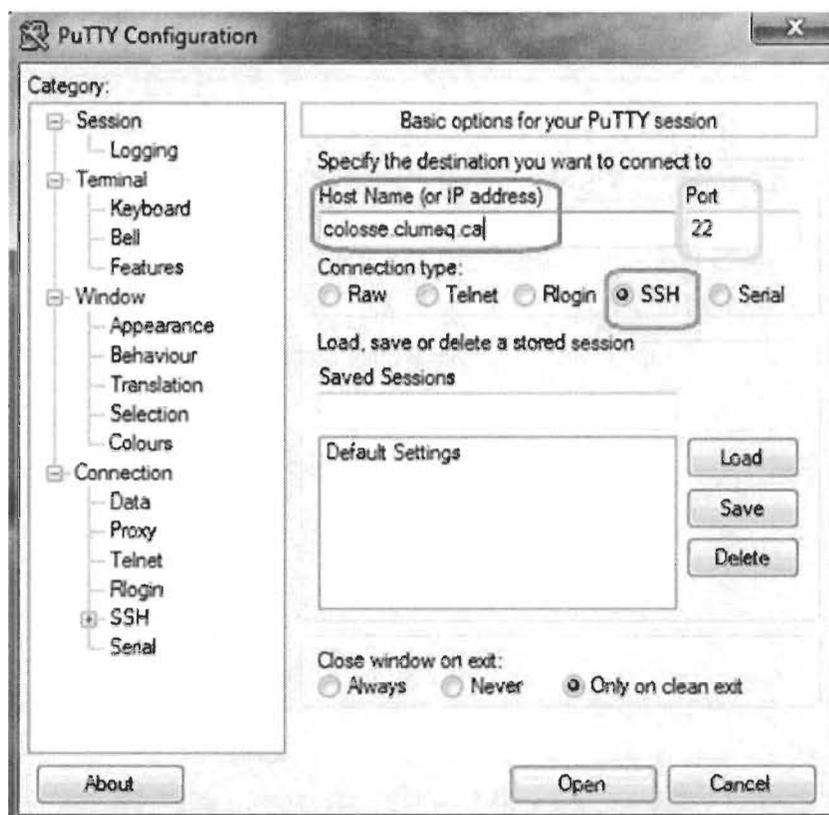
- [88] Chai L, Gao Q and Panda D. K, Understanding the Impact of multicore architecture in cluster computing : A case study with Intel Dual Core System, IEEE ISBN 0769528333,471478, 2007
- [89] Chiang T. C, Multicore Parallel Computing with OpenMP, SVU/ Academic Computing, Computer Centre, pg. 615, 2007.
- [90] Krawezik G and Cappello F, Performance Comparison of MPI and three OpenMP Programming Styles on Shared Memory Multiprocessors, ACM ISBN 15811366, 118127, June 2003.
- [91] OpenMP, (2011, Juil., 28), Wikipédia, Networks [en ligne], pg.1. Disponible sur : <http://en.wikipedia.org/wiki/OpenMP>
- [92] MPI, (2011, Juil., 28), Wikipédia, Networks [en ligne], pg.1. Disponible sur : http://fr.wikipedia.org/wiki/Message_Passing_Interface
- [93] Gerhard Klimeck; Michael McLennan; Mark S. Lundstrom; George B. Adams III (2008), "nanoHUB.org - online simulation and more materials for semiconductors and nanoelectronics in education and research," *8th IEEE Conference on Nanotechnology, 2008. NANO '08* : pg. 401-404, 08.
- [94] Mark Lundstrom (2006), "Nanotransistors : A Bottom-Up View," *Proceeding of the 36th European Solid-State Device Research Conference* : pg. 33-40, 09. Pg.1-4244-0301-4.
- [95] Rahman, A.; Klimeck, G.; Lundstrom, M.S. (2005), "Novel channel materials for ballistic nanoscale MOSFETs-bandstructure effects," *Electron Devices Meeting, 2005. IEDM Technical Digest. IEEE International* : pg. 4, 12.
- [96] Le calcul à haute performance en France et en Allemagne, (2011, Juin, 04), Pour une Europe intelligente solidarité et puissance, Networks [en ligne], pg.1. Disponible sur : http://www.europesolidaire.eu/article.php?article_id=453
- [97] V. Rezzonico, « Spécial calcul à haute performance, Editorial », (2011, Juin, 04), flash informatique 8/ 2009, pg. 2. Networks [en ligne], pg.1. Disponible sur : http://flashinformatique.epfl.ch/IMG/pdf_fi-8-9.pdf
- [98] Calcul de haute performance, (2011, Juin, 05), École de technologie supérieur, Networks [en ligne], pg.1. Disponible sur : <http://www.etsmtl.ca/nouvelles/2010/Calcul-de-haute-performance>

- [99] Physique non-linéaire, laboratoire Charles Coulomb, Montpellier, Networks [en ligne], pg.1. Disponible sur : <http://www.coulomb.univ-montp2.fr/-Theme-Physique-non-lineaire-?lang=fr>
- [100] S. Bécu, « Étude des non-linéarités de permittivité de diélectriques utilisés en microélectronique. Application aux capacités MIM. », Thèse de doctorat, Université de Provence – Aix Marseille 1, pg 01-140, novembre 2006.
- [101] C. Gardès, « composants nanométriques balistiques de la filière InGaAs\InAlAs\InP pour applications hautes fréquences », Thèse de doctorat, Université des Sciences et Technologies de Lille, pg 11-17, février 2008.
- [102] N. Abdelmalek, « Étude et modélisation du transistor VSG MOSFET nanométrique », Mémoire de maîtrise en microélectronique, Université de Batna, pg 3-57, avril 2010.
- [103] V. Bouckaert, « Déploiement du framework Tornado sur une grappe de calcul utilisant Sun Grid Engine », Travail de fin d'études, Institut Supérieur Industriel de Bruxelles, pg 16-27, juin 2010.
- [104] Eric Pop, « Energy dissipation and transport in nanoscale devices », Nano Research, 2010, Volume 3, Number 3, Pages 147-169.

Annexe A – Essai et recommandation

Nous avons réalisé un essai sur les ressources CHP de CLUMEQ à l'Université Laval. Cependant, l'utilisation des ressources de CLUMEQ nécessite la création d'un compte utilisateur par l'obtention d'un identifiant unique de Calcul Canada et une allocation de base de ressources.

La connexion et l'accès à Colosse demandent une base nécessaire et une certaine connaissance de développement sous l'environnement UNIX. Néanmoins, une documentation détaillée est publiée [49] et facilite la connexion Linux par le protocole SSH en mode texte sur une console similaire de l'invité de commande «cmd.exe» sous Windows. L'outil PuTTY dans la figure 7-1 est un client SSH pour Windows qui représente un moyen facile de connexion distante à Colosse.



(CP : Contribution personnelle)

Figure 7-1 Connexion à la console distante [CP]

Une fois la connexion établie, nous serons dirigés dans notre compte utilisateur ainsi à une liste des modules valables comme montrée dans la figure 7-2.

```

belhadj@colosse1:~
login as: belhadj
belhadj@colosse.clumeq.ca's password:
[belhadj@colosse1 ~]$ module avail

----- /clumeq/Modules/versions -----
3.2.7

----- /clumeq/Modules/modulefiles -----
apps/gromacs-4.0.7
apps/octave-3.2.4
apps/python-2.6.4
apps/r-2.10.1
blas-libs/GotoBlas2
blas-libs/atlas/3.9.20
blas-libs/mkl/10.2.2.025
compilers/gcc/4.1.2
compilers/gcc/4.4.2
compilers/gcc/4.4.2+g77
compilers/intel/11.1.059
compilers/sunstudio/12.1
lapack
misc-libs/ParMatls/3.1.1_gcc
misc-libs/SuperLU/2.3.a_gcc+atlas
misc-libs/clhep-2.0.4.5
misc-libs/fftw-3.2.2
misc-libs/gmp/4.3.1_gcc
misc-libs/gmp/4.3.1_intel
misc-libs/hdf/hdf4.2r4
misc-libs/mpfr/4.3.1_gcc
misc-libs/netcdf-4.0.1
misc-libs/petsc/2.3.3-p15
misc-libs/zip-2.1
mono-2.6.1
mpi/openmpi/1.3.4_gcc
mpi/openmpi/1.3.4_intel
mpi/openmpi/1.3.4_sunstudio
tools/pdtoolkit/3.15_gcc
[belhadj@colosse1 ~]$

```

Figure 7-2 Identification et liste des modules valables [CP]

Un exemple de code C du programme code test est affiché dans la figure 7-3.

```

code test.C
#include<stdio.h>

int main(char** argv, int argc)
{
    printf("Caractérisation électrothermique des nanocomposants\n");

    return 0;
}

```

Figure 7-3 Code test.C [CP]

Une fois identifiés dans la grappe de calcul, nous pouvons commencer à transférer des fichiers sur Colosse par l'intermédiaire du protocole de transfert SFTP. Il existe plusieurs

logiciels gratuits permettant de gérer ce type de connexions; le transfert de fichier du `code_test.C` est fait via le logiciel FileZilla, voir figure 7-4.

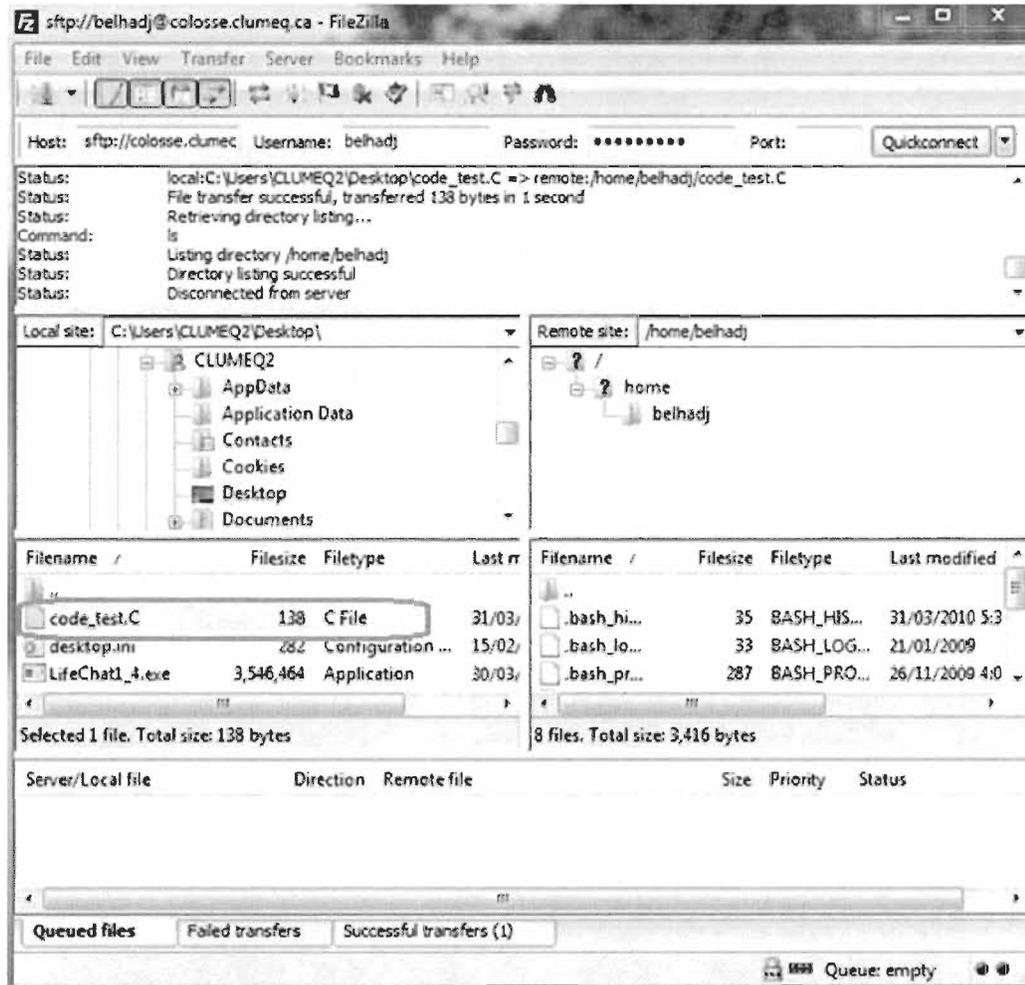


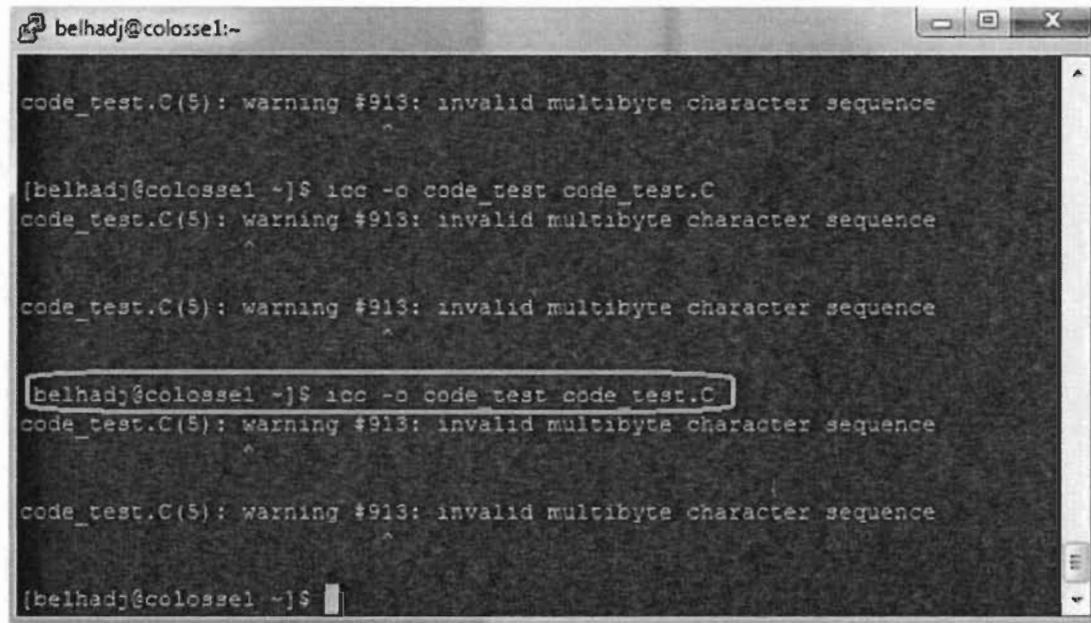
Figure 7-4 Transfert de fichier du `code_test.C` [CP]

Plusieurs compilateurs de programme C, C++ ou Fortran sont disponibles sur Colosse. En général, à moins de besoins particuliers, nous utiliserons le compilateur Intel, car c'est celui qui produit le code le plus performant.

Afin de construire ce module de programme, la compilation, il faut exécuter la commande suivante : `user@colosse $ module load compilers/intel/11.1.059`

Pour compiler le programme (situé dans le fichier `code_test.C`), il faut utiliser la commande : `user@colosse $ gcc -o code_test code_test.C`

La figure 7-5 montre les résultats de la compilation qui détiennent quelques avertissements.



```
belhadj@colosse1:~  
code_test.C(5): warning #913: invalid multibyte character sequence  
[belhadj@colosse1 ~]$ gcc -o code_test code_test.C  
code_test.C(5): warning #913: invalid multibyte character sequence  
code_test.C(5): warning #913: invalid multibyte character sequence  
[belhadj@colosse1 ~]$ gcc -o code_test code_test.C  
code_test.C(5): warning #913: invalid multibyte character sequence  
code_test.C(5): warning #913: invalid multibyte character sequence  
[belhadj@colosse1 ~]$
```

Figure 7-5 Compilation de `code_test.C` [CP]

La création du fichier exécutable unique. Pour l'exécuter, il suffit de taper :
`user@colosse $./code_test`

La sortie du programme et l'affichage à l'écran « Caractérisation électrothermique des nanocomposants » dans la figure 7-6.

```

[belhadj@colosse1 ~]$ gcc -o code_test code_test.C
code_test.C(5): warning #913: invalid multibyte character sequence

code_test.C(5): warning #913: invalid multibyte character sequence

[belhadj@colosse1 ~]$ ./code_test
-bash: ./: is a directory
[belhadj@colosse1 ~]$ ./code test
Caractérisation électrothermique des nanocomposants
[belhadj@colosse1 ~]$

```

Affichage

Figure 7-6 Affichage du Texte [CP]

Les résultats obtenus montrent bien le mode de fonctionnement de Colosse, une telle grappe de calcul nous permettra d'implémenter, avec efficacité, notre projet FETToy_Tahar, de le compiler et de le déboguer plus facilement. La validation de ses résultats se suivra par une multitude d'essais pour mettre à point notre travail de recherche [CP].

Annexe B – Problème et complication

Un exemple de conversation que nous avons eu avec un agent de support Clumeq qui explique les difficultés apparus au cour de la réalisation du projet de maîtrise.

Bonjour support Clumeq,

Je suis un étudiant en maîtrise à l'UQTR et j'ai réalisé un programme en C++ sous Microsoft Visual Studio 2008.

Cependant, l'application est une interface graphique qui marche très bien sur ma machine mais quand j'ai essayé d'utiliser colosse! (j'utilise le logiciel putty et filezilla client pour charger le fichier du code)

Lors de la compilation je me trouve avec une erreur catastrophique :

```
[belhadj@colosse1 ~]$ module load compilers/intel/11.1.059
```

```
[belhadj@colosse1 ~]$ icpc -o WinMain WinMain.cpp
```

```
WinMain.cpp(5) : catastrophic error: could not open source file "windows.h"
```

```
#include <windows.h> // windows header file
```

Pourriez-vous m'expliquer les démarches à suivre? Et comment remédier à ce problème SVP?

Cordialement,

Tahar Belhadj.

=====> Réponse

Bonjour Tahar,

À quoi sert l'application que vous avez écrite? Quel type de problème est-ce qu'elle résout?

Votre problème est assez fondamental et a 2 fronts :

3. Windows et Linux sont 2 environnements très différents. Pour qu'une application puisse être compilée dans les 2 environnements, il faut exercer une certaine précaution pendant le développement pour bien s'en tenir au C++ standardisé et éviter les classes et bibliothèques spécifiques à Windows. Avoir besoin de faire une include de windows.h est un bon indicateur qu'on aura des problèmes. Il faudrait donc retirer au moins cette dépendance de votre code... avec ce que ça implique.
4. Les systèmes de calculs n'offrent généralement pas d'interface graphique et quand ils le font c'est strictement sur les noeuds de login. Toutes les tâches lancées pour le calcul doivent être automatisées et ne pas demander d'interaction avec l'utilisateur. Les applications de calculs qui ont une interface graphique ont généralement une option sur la ligne de commande pour la désactiver. Dans le même ordre d'idée, Windows et Linux/Unix fonctionnent de façon très très très différente pour leur interface graphique. À moins que vous utilisiez une bibliothèque C++ spécialisée pour développer des interfaces portables (ex : Qt), le code de votre interface graphique ne compilera pas sous Linux.

--

Frederick Lefebvre

CLUMEQ

support@clumeq.ca