

UNIVERSITÉ DU QUÉBEC

**THÈSE DE DOCTORAT
PRÉSENTÉE À
L'UNIVERSITÉ DU QUÉBEC À TROIS-RIVIÈRES**

**COMME EXIGENCE PARTIELLE
DU DOCTORAT EN GÉNIE ÉLECTRIQUE**

**PAR
MOHAMMED BOUGATAYA**

**ÉTUDE ET DÉVELOPPEMENT D'UN CAPTEUR
THERMOMÉCANIQUE *IN SITU* EN MICROÉLECTRONIQUE
APPLIQUÉ AUX CIRCUITS VLSI**

AOÛT 2010

Université du Québec à Trois-Rivières

Service de la bibliothèque

Avertissement

L'auteur de ce mémoire ou de cette thèse a autorisé l'Université du Québec à Trois-Rivières à diffuser, à des fins non lucratives, une copie de son mémoire ou de sa thèse.

Cette diffusion n'entraîne pas une renonciation de la part de l'auteur à ses droits de propriété intellectuelle, incluant le droit d'auteur, sur ce mémoire ou cette thèse. Notamment, la reproduction ou la publication de la totalité ou d'une partie importante de ce mémoire ou de cette thèse requiert son autorisation.

UNIVERSITÉ DU QUÉBEC À TROIS-RIVIÈRES

DOCTORAT EN GÉNIE ÉLECTRIQUE (PH.D.)

Programme offert par l'Université du QUÉBEC À TROIS-RIVIÈRES

ÉTUDE ET DÉVELOPPEMENT D'UN CAPTEUR THERMOMÉCANIQUE *IN SITU* EN MICROÉLECTRONIQUE APPLIQUÉ AUX CIRCUITS VLSI

PAR

MOHAMMED BOUGATAYA

Ahmed Lakhssassi, directeur de recherche Université du Québec en Outaouais

Adel Omar Dahmane, président du jury Université du Québec à Trois-Rivières

Daniel Massicotte, codirecteur de recherche Université du Québec à Trois-Rivières

Adam Skorek, évaluateur Université du Québec à Trois-Rivières

Youcef Fouzar, évaluateur externe Synopsys Inc.

Thèse soutenue le 15 juillet 2010

*À mon père, à ma mère
À ma sœur Fatna
À mes frères : Sghir, Rachid et Radouane
À toute ma grande famille
À tous mes amis et amies aux Maroc, Algérie, Europe et au Canada
À titre de reconnaissance, d'amour et d'affection*

Résumé

L'objectif principal de cette thèse est dédié aux aspects des contraintes en régime dynamique dans les circuits VLSI (*Very Large Scale Integration*) pour le développement d'un capteur thermomécanique *in situ* en microélectronique appliquée aux circuits ASIC (*Application-Specific Integrated Circuit*), MEMS (*Micro Electro Mechanical System*) et WSI (*Wafer Scale Integration*).

En effet, le contrôle du gradient de température et la prédiction de la contrainte thermomécanique à partir du premier pas de la conception du circuit intégré sont essentiels.

Le sujet de cette thèse répond aux exigences croissantes des applications en microélectronique nécessitant une densité de puissance élevée et une différence de gradient thermique causée par l'implémentation de différents systèmes sur la même puce. De plus, il s'oriente vers la modélisation, la réalisation et le test d'un capteur *in situ* intelligent à haute performance. Ce dernier sera basé sur l'implémentation d'une configuration en réseau de cellules (capteurs thermiques) permettant le développement d'une unité de contrôle intégrée de la contrainte thermomécanique. La variation de la fréquence de sortie d'un réseau d'oscillateurs en anneau RO (Ring Oscillator) face à la chaleur et les contraintes mécaniques (thermomechanical stress) sera utilisée pour caractériser la distribution surfacique de contrainte au niveau d'une puce VLSI. Dans cette optique, un capteur thermomécanique sera élaboré pour jauger le niveau des contraintes dans un circuit FPGA.

Le système de contrôle intelligent a pour objectif principal d'aider le concepteur à augmenter le seuil de fonctionnement des microsystèmes VLSI à haute densité. D'une façon pratique, le réseau de capteurs va nous permettre de valider expérimentalement nos résultats de caractérisation de la dynamique thermique pour prédire le comportement thermomécanique d'un circuit intégré en opération.

L'originalité du sujet repose sur l'utilisation d'un réseau de capteurs thermiques pour caractériser la contrainte thermomécanique. La méthodologie adoptée est basée sur le développement d'un algorithme utilisant la technique GDS (gradient Direction Sensor) pour la prédiction des pics et l'évaluation de la contrainte thermomécanique associée.

Remerciements

Je remercie tout d'abord Monsieur le professeur **Ahmed LAKHSSASSI**, directeur du Laboratoire LIMA (Laboratoire d'Ingénierie des Microsystèmes Avancés), pour m'avoir accueilli au sein de son laboratoire et pour l'honneur qu'il me fait en acceptant l'encadrement de ce projet.

J'exprime toute ma gratitude pour son encadrement efficace, ses précieux conseils, son support moral, la confiance qu'il m'a témoignée et son assistance bienveillante m'ont permis de passer à travers toutes les difficultés et par la même occasion je rends hommage à sa rigueur scientifique et technique.

Mes remerciements s'adressent ensuite à Monsieur le professeur **Daniel MASSICOTTE**, mon co-directeur de thèse, responsable de laboratoire de signal et de système intégré à UQTR pour ses précieux conseils.

Je remercie très sincèrement les professeurs **Adel Omar Dahmane, Adam SKOREK et Youcef Fouzar** pour avoir accepté d'être membres du jury de ma thèse.

À tous ceux et celles qui de près ou de loin m'ont permis de bien mener à terme ces recherches.

Table des matières

RÉSUMÉ	III
REMERCIEMENTS	V
LISTE DES FIGURES	IX
LISTE DES TABLEAUX	XII
LISTE DES SYMBOLES	XIII

Chapitre I

Introduction générale

I.1 Évolution de la microélectronique	1
I.2 Évolution de la mise en boîtier	2
I.3 Problématique et objectifs	3
I.4 Contribution	6
I.5 Méthodologie	7
I.5.1 Caractérisation de la dynamique thermique	7
I.5.2 Développement d'un algorithme de détection des pics thermiques	7
I.5.3 Analyse et établissement d'une configuration d'un réseau de cellules	8
I.5.4 Algorithme de détection et de localisation des pics thermiques	8
I.5.5 Validation sur un FPGA	9

Chapitre II

Modélisation thermique

Introduction	11
II.1 Problématique thermique	13
II.1.1 Effets de la température sur l'opération du circuit intégré (CI)	14
II.1.2 Effets de température sur la structure physique	14
II.1.3 Méthodologie pour la caractérisation de la dynamique thermique	16
II.1.3.1 Puissance dissipée	16
II.1.3.2 Types des Consommations statiques et dynamiques	18
II.1.3.3 Analyse de la dissipation thermique	19
II.1.3.4 Choix de radiateur et de boîtier électronique	20
II.1.3.5 Conditions aux limites thermiques	22
II.2 Analyse de transfert de la chaleur	23
II.2.1 Flux d'énergie thermique	23
II.2.2 Conduction de chaleur	25
II.3 Circuit thermique équivalent	27
II.4 Analyse de la dynamique thermique par FEM	29
II.5 Conditions aux limites thermiques	32
II.6 Analyse d'écoulement de fluide	35
II.7 Analyse numérique de transfert de la chaleur	37
II.8 Résultats et discussions	38
Conclusion	42

Chapitre III

Développement d'un algorithme de détection et de localisation des pics thermiques

Introduction	44
III.1 Choix de la méthode	45
III.1.1 Méthodes analytiques conventionnelles	45
III.1.2 Méthode nodale	46
III.1.3 Méthodes numériques	47
III.2 Algorithmes de solutions des problèmes inverses	47
III.2.1 Les méthodes de résolution des problèmes inverses	48
III.2.2 Méthode de spécification des fonctions	49
III.2.3 Méthode de régularisation	49
III.3 Développement d'un algorithme de détection des pics thermiques	49
III.4 Analyse numérique	56
III.4.1 Développement des modèles éléments finis	56
III.4.2 Définition des modèles et maillages	56
III.4.3 Résultats et discussions	61
III.5 Analyse analytique	63
III.5.1 Modèle de l'algorithme en Simulink	63
III.5.2 Sous-système d'entrée de l'algorithme	66
III.5.3 Résultats et discussions	67
Conclusion	68

Chapitre IV

Implantation d'un algorithme de détection et de localisation des pics thermiques SPTDA

Introduction	70
IV.1 Méthodologie d'implantation	72
IV.2 Conception modulaire de l'algorithme SPTDA	73
IV.3 Décomposition modulaire	75
IV.3.1 Architecture en pipeline	76
IV.3.2 Architectures parallèles	77
IV.3.3 architecture SIMD et MIMD	78
IV.3.4 Architectures systoliques	79
IV.3.5 Architecture Systolique de l'algorithme proposé	79
IV.4 La plateforme Xilinx	80
IV.5 Navigateur du projet	83
IV.6 Résultats de validation par rapport à la méthode FEM	85
Conclusion	85

Chapitre V

Implémentation d'un capteur de la température en oscillateurs en anneaux

Introduction	87
V.1 Les différents circuits oscillateurs	88
V.1.1 Les oscillateurs harmoniques	88
V.1.1.1 Les oscillateurs basse fréquences	88
V.1.1.2 Les oscillateurs hautes fréquences	89
V.1.2 Les oscillateurs à relaxation	92
V.1.3 Les oscillateurs à portes	94
V.1.4 L'oscillateur en anneau	96
V.2 Capteur en oscillateur en anneau	98
V.3 Méthodologie de la conception	99
V.4 Résultats de l'implémentation	102
V.5 Étalonnage du capteur	104
V.6 Implémentation d'un réseau de capteurs	105
V.7 Résultats et validation pratique	109
V.8 Contrainte thermomécanique	110
V.9 Étude thermomécanique	111
Conclusion	113

Chapitre VII

Conclusion générale	115
PUBLICATIONS DANS LE CADRE DE CETTE THÈSE	118
BIBLIOGRAPHIE	120

LISTE DES FIGURES

Figure 2.1 : Organigramme général pour la conception d'un système électrothermique

Figure 2.2 : Méthodologie pour la caractérisation de la dynamique thermique

Figure 2.3 : Approche pour déterminer le coefficient de convection forcée équivalente

Figure 2.4 : Élément de volume (ΔV)

Figure 2.5 : Modèle thermique statique 1-D

Figure 2.6 : Analogies électriques équivalente entre la jonction et le radiateur

Figure 2.7 : Organigramme pour exécuter une analyse par éléments finis.

Figure 2.8 : Élément triangulaire

Figure 2.9 : Coordonnées locales définies par trois superficies $\lambda_1, \lambda_2, \lambda_3$

Figure 2.10 : Systèmes des coordonnées globales et locales

Figure 2.11: Conditions aux limites thermiques au niveau de la jonction (BC) 43

Figure 2.12 : Schémas d'un radiateur

Figure 2.13 : Évolution de la température du radiateur AAVID_61540 en fonction de la puissance dissipée pour une source de 16mm×20mm

Figure 2.14 : Déroulement de l'analyse d'un problème de transfert de chaleur.

Figure 2.15 : Modèle en éléments finis et distribution de la température pour la source 16mm×20mm

Figure 2.16 : Évolution du coefficient de convection forcé équivalent h_{eq}^{fconv} avec la puissance dissipée pour différents h.

Figure 2.17 : Évolution de la température avec la surface de la source pour $h = 20 \text{ W/m}^2 \cdot ^\circ\text{C}$.

Figure 2.18 : Évolution de la résistance équivalente du radiateur avec l'évolution de la surface pour $h = 20 \text{ W/m}^2 \cdot ^\circ\text{C}$.

Figure 2.19 : Évolution du coefficient de convection forcé équivalent h_{eq}^{fconv} avec la surface de la source pour $h = 20 \text{ W/m}^2 \cdot ^\circ\text{C}$.

Figure 3.1 : Méthode nodale

Figure 3.2 : Répartition classique

Figure 3.3 : Répartition suggérée avec l'unité de contrôle.

- Figure 3.4:** Construction d'une cellule de capteur $\alpha \in (0^\circ, 30^\circ)$
- Figure 3.5 :** Description du problème pour une seule source de chaleur avec la méthode de GDS
- Figure 3.6:** Plastic Flip-Chip BGA Package
- Figure 3.7 :** Maillage du boîtier en 3D (package)
- Figure 3.8 :** Configuration physique de deux cellules et la source de chaleur dans le modèle en éléments finis
- Figure 3.9 :** la distribution de la température pour différents choix de placement des capteurs
- Figure 3.10 :** Système du calcul avec Simulink
- Figure 3.11 :** Les blocs Simulink des trois modules
- Figure 3.12 :** Les blocs Simulink du module 1
- Figure 3.13 :** Les blocs Simulink du module 2
- Figure 3.14 :** Les blocs Simulink du module 3
- Figure 4.1 :** Modèle architectural de l'algorithme SPTDA
- Figure 4.2:** Interconnexion des modules
- Figure 4.3 :** Interface Xilinx niveau 1 de l'algorithme sous Simulink
- Figure 4.4 :** Module 1 et module 2 modélisés par les blocs de Xilinx ISE
- Figure 5.5 :** Modules 3 modélisé avec les blocs de Xilinx ISE
- Figure 4.6 :** Structure du module 1 de l'algorithme de détection sous XST
- Figure 4.7:** Structure module 2 de l'algorithme de détection sous XST
- Figure 4.8:** Structure du module 3 de l'algorithme.
- Figure 5.1 :** Oscillateur basses fréquences à pont de WIEN : (a) schéma électrique pratique, (b) tensions d'entrée et de sortie.
- Figure 5.2 :** Schéma de base d'un oscillateur LC : (a) schéma réduit, (b) schéma équivalent d'un oscillateur de type COLPITTS.
- Figure 5.3 :** Oscillateur COLPITTS RF : (a) schéma électrique, (b) forme d'onde de la tension de l'émetteur, (c) forme d'onde de la tension de collecteur.

- Figure 5.4 :** Multivibrateur astable réalisé en technologie bipolaire.
- Figure 5.5 :** Forme du signal aux différents nœuds d'un multivibrateur astable réalisé en technologie bipolaire.
- Figure 5.6 :** Schéma de base d'un multivibrateur astable réalisé en technologie NMOS.
- Figure 5.7 :** Forme du signal aux différents nœuds d'un multivibrateur astable réalisé en technologie NMOS.
- Figure 5.8 :** Schéma d'un oscillateur en anneaux réalisé par 5 inverseurs CMOS.
- Figure 5.9 :** Forme du signal aux différents nœuds d'un oscillateur en anneaux à base de 5 inverseurs CMOS.
- Figure 5.10:** Structure générale d'un oscillateur en anneau à base d'inverseurs MOS
- Figure 5.11 :** Schéma de capteur en oscillateurs en anneaux
- Figure 5.12 :** Machine d'état permettant la sélection des différents signaux activés
- Figure 5.13 :** Machine d'état permettant la lecture de la sortie du compteur de capture de la température
- Figure 5.14 :** Structure haut niveau du capteur en oscillateurs en anneaux
- Figure 5.15 :** La structure du capteur avec Xilinx XST
- Figure 5.16:** Placement du capteur sur la carte Xilinx
- Figure 5.17 :** Procédures de la calibration des capteurs avec le four VWR Scientific model 1310
- Figure 5.18 :** La variation de la température en fonction de la fréquence normalisée
- Figure 5.19 :** Structure haut niveau du capteur en oscillateurs en anneaux
- Figure 5.20 :** La structure du routage de six capteurs
- Figure 5.21:** Placement des six capteurs sur la carte Xilinx
- Figure 5.22 :** Positions physique des cellules avec l'emplacement des capteurs et la source de chaleur
- Figure 5.23 :** (a) σ_{xx} les contraintes surfaciques au niveau de X1
(b) σ_{xx} les contraintes surfaciques au niveau de X2
(c) σ_{xx} les contraintes surfaciques au niveau de X3
(d) σ_{xx} les contraintes surfaciques au niveau de X4

LISTE DES TABLEAUX

Tableau 2.1 : Coefficients de transfert de chaleur typiques pour différents types de refroidissement par convection

Tableau 2.2 : Comparaison entre les différents paramètres avec l'analyse d'écoulement de fluide (Q_{fin}) et le transfert de la chaleur (NISA)

Tableau 3.1 : Propriétés des matériaux pour les simulations thermomécaniques

Tableau 3.2: Résultat avec le model en éléments finis 3D

Tableau 3.3: Résultat analytique avec la méthode GDS pour différentes sources de chaleur

Tableau 4.1: Comparaison entre températures générées par FEM, SPTDA (float), SPTDA (fix)

LISTE DES SYMBOLES

ASIC	Application Specific Integrated Circuit
WSI	Wafer Scale Integration
VLSI	Very Large Scale Integration
GDS	Gradient Direction Sensor
DIP	Dual In line Package
SOP	Small Outline Package
LCC	Leaded Ceramic chip Carrier
QFP	Quad Flat Pack
PGA	Pin Grid Array
BGA	Ball Grid Array
TAB	Tape Automated Bonding
LAIC	Large Area Integrated Circuit
SoC	System on a Chip
MOS	Metal-Oxide Semiconductor
FPGA	Field Programmable Gate Array
CFD	Computational Fluid Dynamics
HTA	Heat Transfer Analysis
SPTDA	Surface Peaks Thermal Detector Algorithm
DVS	Dynamic Voltage Scaling
MEMS	Micro Electro Mechanical System
TCE	Thermal Coefficient of Expansion
FEM	Finite Element Method
CLB	Configurable Logic Blocs
DFD	Data Flow Diagram
DSP	Digital Signal Processing
DTM	Dynamic Thermal Management
EDIF	Electronic Design Interchange Format
FF	Flip Flops
HIL	Hardware In the Loop

IOB	Input Output Blocs
ISE	Integrated Simulation Environment
ITRS	International Technology Roadmap for Semiconductors
LUT	Look Up Table
LIMA	Laboratoire d'Ingénierie des Microsystèmes Avancés
MIMD	Multiple Input Multiple Data
NGD	Native Generic Database
PE	Process Element
SLPS	System Level Prototyping Station
SIMD	Single Input Multiple Data
SPTDA	Surface Peaks Thermal Detector Algorithm
VHDL	Very Large Scale Integration Circuit Hardware Description Language
VLSI	Very Large Scale Integration
XST	Xilinx Synthesis Tool
IC	Integrated Circuit

Chapitre I

Introduction générale

I.1 Évolution de la microélectronique

L'industrie des semi-conducteurs est une plaque tournante dans le domaine de la haute technologie. Pour les cinquante dernières années, les produits microélectronique ont envahi notre vie, avec la pénétration massive en santé, sécurité et identification, communications, éducation et pratiquement dans tous les aspects de la vie humaine.

Le domaine des semi-conducteurs a commencé en 1959, lorsque Jack S. Kilby (Texas Instruments) a présenté une demande de brevet sur des circuits électroniques miniaturisés. Son invention a démontré la faisabilité de réaliser des résistances et des condensateurs fondés sur la technologie des semi-conducteurs avec des transistors sur un seul et même substrat. Avec cela, le circuit intégré (CI) est né et Jack S. Kilby a reçu le prix Nobel en physique en 2000, conjointement avec Zhores I. Alferov and Herbert Kroemer. Quelques années plus tard, en 1965, l'ingénieur Gordon E. Moore prédit la croissance exponentielle dans l'industrie des semi-conducteurs [Moore, 1965]. Au fil des années, la complexité de cette croissance est devenue connue sous le nom de Loi Moore. Toutefois, cette loi n'est pas une loi physique, mais plutôt un argument économique. Aujourd'hui, la loi de Moore est le principal mécanisme derrière les grandes tendances technologiques de l'industrie microélectronique : la miniaturisation et l'intégration des fonctions. De point de vue affaires, la miniaturisation et l'intégration des fonctions signifient plus de fonctionnalités, une petite taille, moins de ressources d'emploi, une plus grande mobilité à faible prix.

La technologie moderne des semi-conducteurs se caractérise par des exigences telles que la rapidité, l'optimisation des coûts de fabrication à une qualité élevée. Mais avec l'augmentation de la densité d'interconnexion et l'augmentation de la puissance dissipée, la densité de puissance dissipée augmente. La combinaison de la miniaturisation

et l'intégration des fonctions dérivent la technologie microélectronique à un niveau inconnu de la complexité, caractérisée par la miniaturisation continue vers la nanoéchelle, hétérogène et multifonctionnelle, multidisciplinaire, multiéchelles, multitechnologie, multiprocessus, multi-matérialise/interface multidommages et multimode de défaillance. Comme conséquences, nous ne sommes jamais confrontés à une augmentation de telle complexité de la conception, augmentation des chances des échecs, augmentation du fossé entre la technologie et les connaissances fondamentales du développement et des difficultés accrues d'avoir une bonne qualité, robustesse et fiabilité. Si l'industrie va diminuer rapidement la taille de la technologie pour une production élevée au cours des 15 prochaines années, alors nous devons faire face aux défis de concevoir des produits suffisamment fiables aujourd'hui.

I.2 Évolution de la mise en boîtier

Depuis la mise au point des premiers boîtiers d'encapsulation de transistors, boîtier cylindrique à 3 broches, de nombreuses familles différentes de boîtiers ainsi que leurs variantes ont été développées comme support de circuits de plus en plus complexes. Ces familles sont répertoriées par l'acronyme de leur définition anglaise :

- DIP pour Dual In line Package, boîtier à l'origine en céramique, ayant ses broches reportées par brasure de chaque côté.
- SOP pour Small Outline Package, boîtier développé à l'origine par Philips pour des applications d'horlogerie, c'est un boîtier DIP plastique optimisé en termes d'encombrement.
- LCC pour Leaded Ceramic chip Carrier, Boîtier développé pour les besoins de la défense U.S., initialement prévu Leadless, mais qui s'est avéré plus facile d'assemblage en surface dans sa version avec broches. Les sorties sont alors situées à la périphérie du boîtier et les puces peuvent être montées « cavity up » ou bien « cavity down » afin d'optimiser les performances thermiques de l'ensemble puce boîtier.
- QFP pour Quad Flat Pack, boîtiers proches dans leur conception et dans leur réalisation des boîtiers LCC, développés par les Japonais pour

répondre aux besoins d'augmentation du nombre de broches des circuits intégrés, en version céramique puis en version plastique. Les broches situées à la périphérie des boîtiers sont courbées vers l'extérieur (gull wing).

- PGA pour Pin Grid Array, boîtiers dans lesquels les broches sont disposées en réseau sur toute la surface du boîtier, les conducteurs étant répartis sur plusieurs couches de céramique, ce qui permet d'atteindre toutes entrées sorties des circuits. Solution coûteuse, mais répondant bien aux besoins de nombre de sorties des circuits ASIC et des processeurs.
- BGA pour Ball Grid Array, Boîtiers identiques aux précédents, mais possédant des sorties sous forme de boules permettant un montage en surface.
- TAB pour Tape Automated Bonding, ce n'est pas un boîtier proprement parlé, mais plutôt une technique de câblage automatique des puces que l'on veut reporter sur un support (PCB, MCM, autre), la protection de la puce s'effectue généralement par enrobage plastique.

1.3 Problématique et objectif

Notre thèse introduit une nouvelle orientation pour la caractérisation de la dynamique thermique dans les microsystèmes VLSI (*Very Large Scale Integration*) à haute densité. De plus, il reconnaît l'importance grandissante des microsystèmes sur puce qui constituent la convergence de plusieurs dispositifs, systèmes et technologies de la microéchelle et bientôt à la nanoéchelle comme solution d'intégration du futur pour l'industrie de la microélectronique. Cependant, l'ampleur de l'intégration des microsystèmes électroniques complets sur seule puce et l'augmentation de la vitesse d'opération amènent des problèmes insurmontables de contrainte thermomécanique. Si ces aspects ne sont pas traités convenablement cela représentera une menace sérieuse pour le design des microsystèmes du futur. Plus spécifiquement, ces aspects deviennent critiques lors du design des circuits VLSI, LAIC (*Large Area Integrated Circuit*), WSI et les SoC (*System on a Chip*) concernant la sécurité et la garantie de la fiabilité de ces nouveaux dispositifs microélectroniques.

Pour ces derniers, l'idée principale de cette thèse couvre les aspects de la caractérisation de la contrainte thermomécanique. Bien que les microsystemes sur puce couvrent différents domaines physiques, la caractérisation de la dynamique thermique représente le cœur des préoccupations actuelles et futures de l'industrie de la microélectronique. De plus, ces domaines partagent différents aspects dont la température est la principale préoccupation commune et qui pose des défis énormes pour les méthodologies de design des microsystemes. Dans cette thèse, la méthodologie adoptée pour la caractérisation de la dynamique thermique des microsystemes sur puce sera basée sur la généralisation des concepts de couplage électrothermique. Cette méthodologie a donné des résultats très encourageants pour la caractérisation des aspects de la dynamique thermique dans les circuits VLSI. Ces concepts seront alors généralisés aux microsystemes pour créer une nouvelle méthode de caractérisation de la dynamique thermique dans les microsystemes électroniques à haute densité dans une perspective de développement d'une unité de contrôle intégrée de la contrainte thermomécanique.

L'évolution de l'industrie des circuits intégrés (CI) durant la dernière décennie a été tellement rapide qu'il est possible d'intégrer actuellement des systèmes complexes sur une seule puce SoC. Cette évolution vers des niveaux d'intégration de plus en plus élevés est motivée par les besoins de systèmes de plus en plus performants, et par conséquent produisant d'énormes densités de puissance. Cependant, cela a créé des nouveaux problèmes qui sont reliés à la contrainte thermomécanique (*Thermo-Mecanical Stress*) formée de la combinaison de la contrainte mécanique résiduelle (*Static Stress*) causée par le processus d'encapsulation et de la contrainte thermique (*Thermal-Stress*) causée par la densité de puissance dissipée [1-7].

Le sujet de cette thèse répond aux exigences croissantes des applications en microélectronique nécessitant une densité de puissance élevée et une différence de gradient de la température causée par l'implémentation de différent système sur la même puce. De plus, il s'oriente vers la modélisation, la réalisation et le test d'un capteur *in situ* intelligent à haute performance. Ce dernier sera basé sur l'implémentation d'une

configuration en réseau de cellules (capteurs thermiques) et d'une unité de contrôle intégrée de la contrainte thermomécanique.

Par sa nature, notre problématique exige l'utilisation d'une grande variété de disciplines telles que les systèmes de mesures, le couplage électro-thermo-mécanique et l'implémentation en microélectronique. Le développement d'un système de capteur *in situ* intelligent a pour objectif principal d'aider le concepteur à pousser les limites d'opération des nouveaux microsystèmes VLSI en intégrant le contrôle de la distribution de la contrainte thermomécanique. La performance de ce dernier dépend vigoureusement de la qualité individuelle des composantes qui le constituent et des différentes sources de bruit et leurs interactions. Le développement de tel capteur nécessite l'étude et la maîtrise de différentes étapes technologiques compatibles issues de la microélectronique. De plus, la connaissance et la modélisation des propriétés électro-thermo-mécaniques au niveau de silicium et le comportement des couches en déformation sont nécessaires. Cette connaissance se heurte au fait qu'il n'existe pas encore de techniques de caractérisation standard des matériaux utilisés au niveau de la puce.

La caractérisation de la dynamique thermique et le contrôle de la contrainte thermomécanique deviendront embarrassants s'ils ne sont pas implantés sur la puce. L'idée d'implémenter un algorithme sur puce devient la solution qui garantit leurs bons fonctionnements. On retrouve dans la littérature des approches qui proposent d'utiliser un réseau de cellules de transistors MOS (*Metal-Oxide Semiconductor*) exploitant le phénomène de la piézorésistivité (variation de la résistance du canal face à la contrainte) [4, 11]. Ces approches se limitent à prédire la contrainte statique après le processus de mise en boîtier [9, 10]. D'autres approches utilisent des capteurs piézorésistifs pour prédire la distribution de la contrainte thermomécanique en statique [6, 8, 11]. Cependant, l'intégration sur la puce de ces approches nécessite une large proportion du circuit leur soit dédiée pour une prédiction acceptable. Ceci n'est pas approprié pour les microsystèmes VLSI à haute densité d'intégration et restent applicables pour des cas de calibration des nouveaux types de boîtiers électroniques [6,8].

Dans le cadre de cette thèse, nous visons de développer et de réaliser une nouvelle méthode de caractérisation de la dynamique thermique et du contrôle de la contrainte thermomécanique dans les microsystemes VLSI à haute densité. La méthode proposée sera utilisée pour les microsysteme rapides en tenant compte d'une plus large gamme de densité de puissance et une large différence de gradient de la température causée par l'implémentation de différents systemes sur la même puce, tout en maintenant en opération un niveau de contrainte acceptable pour le CI à développer, ce qui représente une nouvelle approche pour les microsystemes VLSI.

Le but essentiel de la méthode développée est de fournir aux concepteurs un moyen adéquat pour agir à temps et durant les premiers pas de la conception et cela pour contrôler la contrainte thermomécanique sans détériorer les caractéristiques du système en fonctionnement. Nous présenterons dans cette thèse les techniques utilisées pour qu'un système de capteur *in situ* intelligent performant réalise un meilleur compromis entre ces différents aspects, souvent interreliés, en particulier :

- Caractérisation de la dynamique thermique;
- Développement d'un algorithme de détection des pics thermiques;
- Analyse et établissement d'une configuration d'un réseau de cellules;
- Contrôle de la contrainte thermomécanique;
- Validation du système sur un FPGA;
- Validation expérimentale du modèle de simulation par éléments finis du comportement thermomécanique d'un circuit intégré.

I.4 Contribution

Le but de cette thèse consiste à résoudre les problèmes cités précédemment. Nous proposons une nouvelle orientation pour la caractérisation de la dynamique thermique dans les microsystemes VLSI à haute densité. C'est une nouvelle méthode de contrôle de la contrainte thermomécanique basée sur un réseau de capteurs avec compensation thermique permettant le bon fonctionnement des microsystemes VLSI. L'idée d'utiliser

un réseau de capteurs pour caractériser la contrainte est devenue un atout central pour cette problématique ayant comme résultat une promesse d'un contrôle assuré.

I.5 Méthodologie

I.5.1 Caractérisation de la dynamique thermique

Il s'agit dans cette première étape de procéder à une caractérisation complète de la dynamique thermique dans un circuit-test VLSI avec un boîtier de type BGA (*Ball Grid Array*) qui tiendra compte d'une seule source de chaleur [12-16]. La caractérisation est basée sur deux techniques numériques soit le CFD (*Computational Fluid Dynamics*) et l'autre HTA (*Heat Transfer Analysis*) [15]. La technique de CFD qui tient déjà compte de la force du mécanisme d'écoulement de chaleur spécifique au boîtier électronique et des propriétés physiques s'articulera avec l'aspect temporel et spatial de la HTA pour traiter les conditions aux limites et la distribution de la température en régime dynamique. Ainsi, la distribution de la température sur la surface de la puce servira pour la prédiction de la contrainte thermomécanique localisée aux emplacements des capteurs. C'est ainsi que notre approche sera guidée pour la caractérisation de la dynamique thermique représentant l'état de la contrainte thermomécanique.

I.5.2 Développement d'un algorithme de détection des pics thermiques

Nous avons procédé à l'étude des techniques de détection de pics en analysant leur efficacité à prédire correctement la dynamique thermique. Ainsi, nous avons appliqué la méthode GDS (*Gradient Direction Sensor*) pour la détection des pics thermiques dans les microsystèmes VLSI [12]. Cette technique a été utilisée pour le développement de notre algorithme. Parmi les facteurs nécessitant une attention particulière lors de son développement, nous pouvons citer le nombre de capteurs, leur proximité, leur distribution spatiale et leurs interconnexions en réseau. L'application de la méthode GDS sera à la base du développement de l'algorithme de détection que nous avons développé dans la deuxième étape.

1.5.3 Analyse et établissement d'une configuration d'un réseau de cellules

La troisième étape traitera de la conception et de la configuration en réseau d'un certain nombre de capteurs pour prédire la dynamique thermique représentant l'état de la contrainte thermomécanique. Le choix de l'emplacement sera fait de façon à répondre aux exigences de l'algorithme de détection du pic thermique et à la configuration du réseau. Dans cette étape les résultats de prédictions thermiques des différents scénarios seront étudiés et analysés en termes de nombre de cellules, précision, espace requis sur la puce et limite de fréquence d'application.

1.5.4 L'algorithme de détection et de localisation des pics thermiques.

Le prototypage rapide et la tendance à la programmation des modèles qui tient compte de la concurrence des processus élémentaires, sont aujourd'hui de plus en plus utilisés compte tenu de leur efficacité en termes du temps développement et du temps de mise en marché.

La conception et l'implantation en technologie d'intégration à très grande échelle (VLSI – Very Large Scale Integration) d'un algorithme de détection et de localisation des pics thermiques SPTDA (*Surface Peaks Thermal Detector Algorithm*) sera développé. L'algorithme mis en œuvre sera formulé de façon à faciliter le développement d'architecture en vue de leur implantation en VLSI. Cette architecture sera modélisée en langage de haut niveau, simulée afin d'évaluer sa performance et implantée sur un FPGA.

La proposition d'une architecture parallèle nous permettra d'avoir un très bon débit afin de répondre aux besoins des calculs excessifs de la gestion de la dynamique thermique en temps réel tout en diminuant les opérations des consignes d'horloge (*Clock Gating*) et l'échelonnement dynamique de la tension DVS (*Dynamic Voltage Scaling*) généralement utilisés dans des cas similaires pour optimiser la performance générale ainsi que la durée de vie du système.

Nous avons supposé que les fonctions thermiques étudiées ont une caractéristique linéaire, ce qui n'est pas toujours le cas, car dans la pratique une linéarisation autour d'un point avec un calibrage est nécessaire.

Cette unité développée peut prendre des entrées directement des capteurs suivant une certaine constante. Les détecteurs peuvent être implantés sous forme de 6 oscillateurs en anneau et placer soigneusement sur le même FPGA. Des compteurs connectés aux oscillateurs fournissent les entrées à l'algorithme. Étant donné que la position ponctuelle des capteurs et les dimensions du puce sont connues, on peut alors établir une vérification matérielle de l'algorithme avec une grande précision.

I.5.5 Validation sur un FPGA

Pour valider et corroborer les résultats de la caractérisation, nous nous attarderons à la construction d'un prototype du circuit-test sur FPGA. Essentiellement, la variation de la fréquence de sortie d'un réseau d'oscillateurs en anneau RO (Ring Oscillator) face à la chaleur et les contraintes mécaniques (thermomechanical stress) sera utilisée pour caractériser la distribution surfacique de contrainte au niveau d'une puce VLSI. Dans cette optique, un capteur thermomécanique sera élaboré pour jauger le niveau des contraintes dans un circuit FPGA.

Ainsi, une cellule de capteur thermique sera synthétisée et configurée par la suite en réseau pour jauger le niveau des contraintes sur la grandeur du prototype du circuit VLSI-test. Nous avons étudié les modes de circuits proposés dans la littérature pour les mesures de la contrainte thermomécanique pour choisir le plus approprié pour notre implémentation. D'un autre côté, une caractérisation complète passe par les mesures de la température en régime dynamique. Ainsi, pour s'assurer d'un bon fonctionnement, l'information sur l'état de la distribution de contrainte sur la puce pourrait servir au contrôle général des activités par une gestion des activités des modules dans le cas d'un microsystème VLSI à haute densité.

Dans cette optique, un capteur thermomécanique synthétisé pour jauger le niveau des contraintes dans un circuit FPGA. Un système de contrôle intelligent a pour objectif principal d'aider le concepteur à augmenter le seuil de fonctionnement des microsystemes VLSI à haute densité. D'une façon pratique, le réseau de capteurs nous permet de valider expérimentalement nos résultats de caractérisation de la dynamique thermique pour prédire le comportement thermomécanique d'un circuit intégré en opération.

Chapitre II

Modélisation thermique

Introduction

Depuis de nombreuses années, les techniques de simulation connaissent un développement considérable. Les mises au point expérimentales, longues et coûteuses, sont progressivement remplacées par des études dans lesquelles les outils de simulation prennent une place de plus en plus importante. Les impératifs industriels de rapidité et de limitation des coûts sont pour l'essentiel responsables de cette évolution. Dans ces conditions, le développement d'outils permettant la modélisation et l'optimisation des composants utilisés en microélectronique constitue un enjeu important. Cette remarque s'applique également aux composants de refroidissement qui représentent une part importante, en termes de volume, de poids et de prix des équipements [19].

Tous les domaines du Génie Electrique, à des degrés divers sont concernés par les problèmes thermiques. Les machines électriques, moteurs et alternateurs, compte tenu des puissances mises en jeu et des échauffements dus aux pertes ont été les premiers dispositifs étudiés d'un point de vue thermique. Depuis de nombreuses années, des études similaires portent sur les composants de microélectronique, et en particulier les composants semi-conducteurs. Certains travaux plus spécifiques concernent l'électronique haute température pour des applications comme la recherche pétrolière par exemple. D'une façon générale, tous les composants sont concernés. Les premiers travaux relatifs aux phénomènes thermiques utilisés en microélectronique sont assez anciens et peu nombreux [18]. Depuis quelques années, avec le développement des outils de simulation, les besoins en modélisation se sont fortement accrus. On assiste à une augmentation très significative des travaux dans ce domaine.

Pour être utilisables dans un contexte industriel, les outils de simulation doivent répondre à certains critères. Ils permettent des économies de temps de mise au point qui

intéressent les concepteurs en microélectronique. Simplicité, faible nombre de paramètres, mise en oeuvre aisée et rapidité constituent les principales qualités d'outils industriels. La modélisation de la dynamique thermique utilisée comporte deux aspects différents :

- La conception de modèles s'insérant dans des logiciels de CAO en microélectronique, intéresse plus particulièrement le concepteur. Dans ce cas chaque composant, chaque sous-ensemble doit être modélisé avec le même degré d'approximation. L'outil de simulation permet d'analyser le fonctionnement de circuit intégré, de fournir le comportement thermique, les contraintes thermomécaniques sur chaque composant en régime permanent comme en régime transitoire. Il peut également fournir les températures de fonctionnement, car elle constitue un paramètre essentiel pour le choix du composant. Cela justifie la nécessité de développer des modèles thermiques compatibles avec l'ensemble des outils de simulation [19]. Ainsi, la simplicité du modèle, les temps de calcul et le nombre de paramètres nécessaires à l'identification du modèle constituent les critères de choix incontournables.
- L'aide à la modélisation thermomécanique représente le deuxième aspect de notre travail. Dans ce cas, la température demeure généralement la grandeur déterminante.

Les circuits intégrés modernes à haute vitesse consomment une quantité d'énergie électrique appréciable qui se transforme en chaleur. L'augmentation de l'intégration des fonctions conduit à produire des circuits de petite taille et nombre élevé des interconnexions. Avec des tailles très petites et des circuits plus denses, la quantité de chaleur produite sur les circuits CMOS à haute commutation peut être très importante. À titre d'exemple, le dernier haut de gamme des dispositifs FPGA de Xilinx insère de multiples processeurs, plusieurs émetteurs de gigabit, des impédances contrôlées numériquement et des I/O capables de supporter différents courants élevés en vigueur. Une attention particulière doit être accordée pour répondre aux besoins de chaleur élevée de ces dispositifs. La nécessité de gérer la chaleur produite dans un dispositif moderne de la logique CMOS ne concerne pas uniquement les FPGA. Il s'agit de l'industrie de

microsystème en général. Plus spécifiquement, ces aspects deviennent critiques lors du design des circuits VLSI, LAIC (*Large Area Integrated Circuit*), ASIC (*Application-Specific Integrated Circuit*), MEMS (*Micro Electro Mechanical System*), WSI (*Wafer Scale Integration*) et les SoC (*System on a Chip*) concernant la qualité et la garantie de la fiabilité de ces nouveaux dispositifs microélectroniques. C'est là que réside le défi de prévoir les besoins en matière de gestion thermique.

Il n'existe pas un moyen sûr de mesure réelle pour la prévision de la dissipation de puissance exacte dans les circuits intégrés. Plusieurs logiciels de l'estimation d'énergie ont été développés pour aider l'utilisateur final de prédire la consommation d'énergie. Les outils peuvent être utiles dans un premier temps. Comme la plupart des outils, les prévisions de sortie dépendent du travail mis en évidence. Donc pour chaque circuit développé il y a un boîtier typique pour l'utilisation et la gestion thermique fonctionne bien à l'intérieur, sans aucune source externe pour la gestion de la chaleur. Mais, avec de plus en plus de l'augmentation de niveau d'intégration des besoins des clients, il nous faut des circuits au-delà des circuits intégrés typiques. C'est pour ces cas que la nécessité de gérer la chaleur avec des moyens intelligents devient essentielle.

II.1 Problématique thermique

Au cours du développement et la conception des circuits intégrés, l'aspect thermique est crucial pour leur bon fonctionnement. Le problème du surchauffé de la jonction demeure un obstacle majeur devant les performances les plus recherchées des systèmes électroniques soit : l'augmentation de la vitesse d'opération et la miniaturisation des composants. Dans les deux cas, cela se traduit par une augmentation de la température des composants électroniques causée respectivement par l'accumulation d'un résidu thermique d'un cycle à l'autre et l'augmentation de la densité de puissance dissipée. La chaleur est une conséquence inévitable de chaque dispositif électronique, elle doit être réduite au minimum. La problématique thermique est généralement mentionnée comme la gestion thermique, elle n'est pas bien maîtrisée par la plupart des ingénieurs, à part le praticien régulier. Cette section fournit une description des approches diverses aux questions de la gestion thermique dans les boîtiers électroniques lors de la conception des

circuits intégrés au niveau de silicium. L'accent sera mis sur les principes de base et les outils disponibles pour résoudre la majorité des problèmes thermiques.

II.1.1 Effets de la température sur le fonctionnement du circuit intégré (CI)

L'augmentation de la température d'un dispositif actif change typiquement ses paramètres électriques comme le gain, les fuites et la compensation. Ces variations des paramètres avec la température sont bien documentées et incorporées dans la plupart des simulateurs de circuits. La plupart des concepteurs de circuits sont conscients que le courant de fuite dans les dispositifs actifs (diode, transistor MOS) double approximativement chaque augmentation de 10 °C. La réduction de la température réduit ainsi l'effet des courants de fuite. Si la température d'un dispositif actif augmente trop, il excédera les spécifications du fabricant et altérera le fonctionnement normal du circuit intégré.

Le changement de la température des dispositifs passifs change typiquement leurs valeurs. Par exemple, les résistances de film ont des coefficients de température qui s'étendent de la gamme de plusieurs parties par million par degré °C de différence jusqu'aux plusieurs centaines. En pratique on ne désire pas typiquement ces changements de paramètres électriques. Si l'augmentation de la température est assez haute, le dispositif actif ou passif étant chauffé peut de manière permanente se dégrader, même se briser totalement ou se déformer d'une manière plastique. Donc, une bonne conception thermique doit réduire au minimum n'importe quelles augmentations de température et surtout le gradient thermique local. En tant que concepteur on ne peut pas avoir le contrôle de changements de l'environnement du circuit intégré, mais nous avons le contrôle de l'auto chauffage spatial du dispositif (distribution de la densité de puissance dissipée)

II.1.2 Effets de température sur la structure physique

Avec peu d'exceptions, les métaux s'étendent quand leur température augmente et se contracte quand ils sont refroidis. Le coefficient d'expansion thermique (TCE) est un paramètre très critique pour la conception de boîtier électronique. Des contraintes

thermiques se produisent quand un matériau prend de l'expansion ou de la contraction. Comme exemple, dans le cas d'un radiateur de cuivre soudé à un substrat de céramique métallisé, la céramique a un TCE de $6.4\text{ppm}/^{\circ}\text{C}$, tandis que le cuivre a un TCE de $16.8\text{ppm}/^{\circ}\text{C}$. Ainsi, pendant un cycle de température dans lequel il y a un certain nombre de périodes d'échauffement et de refroidissement, le cuivre s'étend et se contracte à un taux plus rapide que la céramique induisant une contrainte thermique qui augmente, et se multiplie d'un cycle de température à l'autre. De cette façon, le joint entre eux se soude, et il provoque une déformation dans la céramique [17]. D'un autre côté, réduire ou éliminer les contraintes thermiques exige le choix des métaux bien spécifique avec une gestion du trafic poussée pour minimiser les gradients thermiques causés par l'auto-chauffage au niveau du silicium.

La conception d'un microsystème fiable et performant nécessite le recours à une étude thermomécanique aux particularités géométriques et structurelles au niveau de la jonction. En effet durant l'exécution des étapes de conception thermique, nous devons nous assurer d'évacuer la chaleur résiduelle. Dans le cas d'un processeur, la température de l'ensemble doit rester en dessous de la température maximale d'opération qui en fait représente une barrière difficile à respecter dans le cas des microsystèmes à haute densité de puissance (Figure 2.1). Ainsi, notre approche pour la caractérisation de la dynamique thermique permet d'aider le concepteur dès le premier pas de la conception afin de passer le test thermique et les exigences de la fonderie.

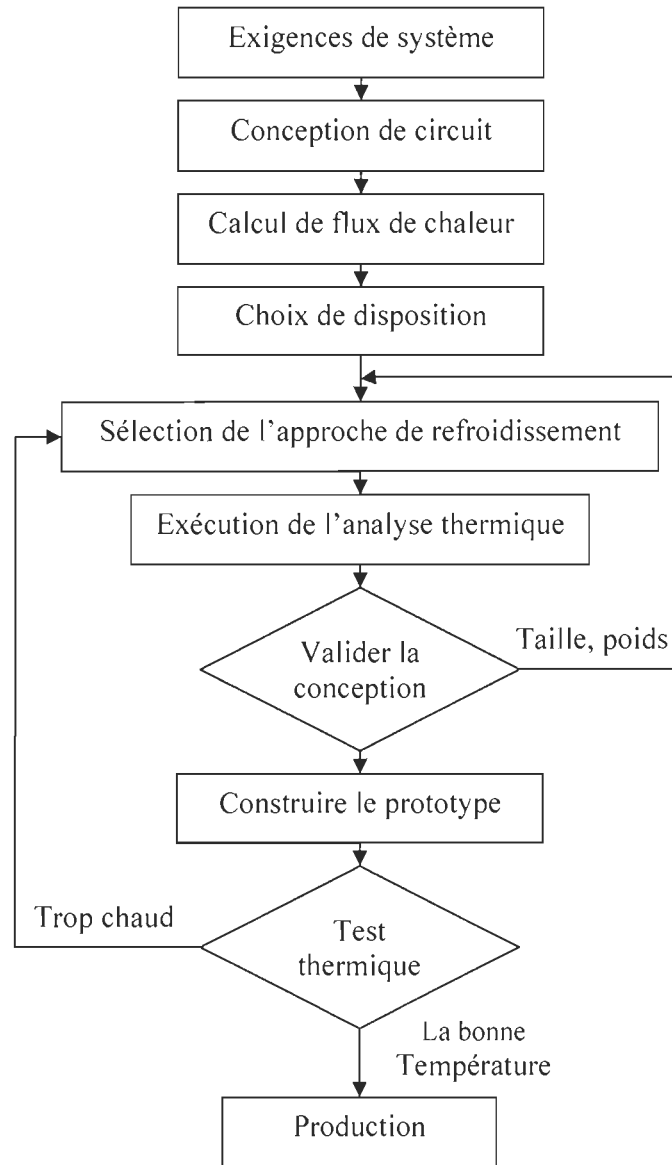


Figure 2.1 : Organigramme général pour la conception d'un système électrothermique

II.1.3 Méthodologie pour la caractérisation de la dynamique thermique

II.1.3.1 Puissance dissipée

La caractérisation de la dynamique thermique débute par la connaissance de la quantité de puissance qui sera dissipée dans chacun des parties d'un circuit intégré

(Figure 2.2). Cependant, on doit connaître le pire ou le cas critique représentant des conditions d'utilisation du circuit, sa taille maximale et son poids et la disponibilité ou non de liquides de refroidissement.

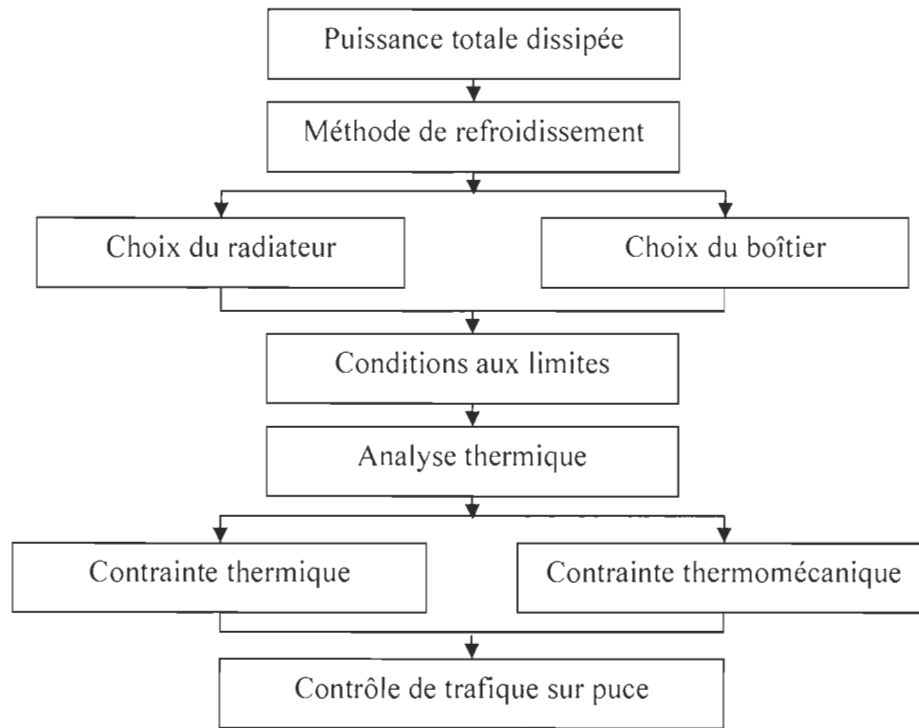


Figure 2.2 : Méthodologie pour la caractérisation de la dynamique thermique

L'intégration élevée de circuits dans un boîtier électronique plus petit abouti à une densité de chaleur plus élevée, qui met la gestion thermique à une haute priorité dans le processus de conception des circuits intégrés afin de maintenir la performance et la stabilité des systèmes VLSI. Cependant, l'augmentation de taux d'horloge augmente la puissance dissipée dans les semi-conducteurs et par conséquent, la commutation qui évolue à un taux linéaire proportionnel à la fréquence :

$$P = CV^2f/2$$

Où : C = Capacité d'entrée en farads

V= Signal d'oscillation de la tension crête à crête en volts

f = Fréquence de commutation en hertz

Si les valeurs de la capacité d'entrée et l'oscillation de signal étaient restées les mêmes tandis que la fréquence d'horloge a augmenté, la quantité de la puissance dissipée aurait grandi dans un taux exponentiel et serait ingérable. Heureusement, le concepteur a la possibilité d'aider à réduire la capacité d'entrée pour chaque nouvelle génération de semi-conducteurs. De plus, les oscillations de tension, qui sont directement liées aux tensions d'alimentation de la logique, ont subi une réduction drastique de cinq à un volts[17].

II.1.3.2 Types de consommations statiques et dynamiques

La consommation dynamique étant liée aux paramètres tension d'alimentation, fréquence de fonctionnement et capacité commutée, ce sont ces paramètres qu'il va falloir réduire principalement de manière architecturale : abaissement local de la tension d'alimentation, conditionnement des horloges pour n'activer que la partie nécessaire d'un circuit et réduction des capacités en utilisant des transistors de taille juste nécessaire pour la vitesse requise. Les différents types de consommations sont :

- **Consommation liée à la charge et à la décharge d'une capacité**

La consommation dynamique dans la technologie CMOS apparaît à chaque commutation d'au moins une des entrées d'une porte.

- **Consommation liée au courant de court-circuit**

Lors de la commutation d'une porte CMOS, il arrive un moment où les transistors des réseaux PMOS et NMOS sont passant en même temps ce qui crée un courant de court-circuit entre l'alimentation et la masse.

- **Sources de la consommation statique**

Jusqu'à présent, la puissance consommée liée aux courants de fuite a été négligée dans les études globales de puissance puisqu'elle était quantitativement faible vis-à-vis des autres sources de consommation. Avec l'apparition conjointe des nouvelles technologies submicroniques, et des dispositifs embarqués, alimentés

sur batteries, les courants de fuite deviennent une source de préoccupations majeures. Il s'agit d'un nouveau défi, et ce particulièrement pour la conception des mémoires. Les courants de fuite deviennent critiques quand le circuit est suppose être en mode repos ou bien lorsque son activité dynamique est faible. En revanche, si toutes les parties d'un circuit sont constamment activées, la consommation statique reste faible devant la consommation dynamique.

Les courants de fuite peuvent se décomposer en cinq catégories :

- Le courant de polarisation de diode en inverse (Reverse biased pn junction current).
- Le courant sous le seuil (Subthreshold current).
- Courant de Drain induit par la Grille (Gate Induced Drain Leakage (GIDL)).
- Le courant de perçage (Drain source punch through current).
- Le courant à travers la grille (Gate tunnelling current).

II.1.3.3 Analyse de la dissipation thermique

Depuis quelques années, l'analyse de la dissipation thermique en microélectronique connaît un regain d'intérêt en raison même de la densité toujours croissante des composants sur des substrats dont les dimensions connaissent une progression inverse. Les problèmes de dissipation thermique revêtent une grande importance dans le boîtier des circuits intégrés. Ne pas les considérer et ne pas les maîtriser revient à fabriquer des modules n'offrant pas toutes les garanties de fonctionnement et de fiabilité. Une mauvaise ou insuffisante évacuation de la chaleur peut avoir des effets néfastes sur le bon fonctionnement du circuit. La chaleur est le résultat d'une puissance électrique développée par les éléments actifs et passifs. Les effets thermiques peuvent se manifester de manières différentes, par une dérive en température des composants entraînant des variations importantes des performances électriques, ou par une rupture de soudure reliant le composant au substrat en raison des variations dimensionnelles différentes pour chacun d'eux, entraînant soit une défaillance partielle, soit une défaillance totale.

La chaleur dégagée par les composants atteint le boîtier par l'intermédiaire du substrat. Ce transfert de chaleur se fait presque entièrement par conduction. Il se fait par convection et rayonnement du boîtier vers l'air ambiant. Il importe par conséquent au concepteur du système électronique de bien cerner les modes de transfert thermique et de prévoir, après étude, le moyen d'évacuer cette chaleur en dehors du boîtier, pour ne pas détériorer les composants. Ce transfert thermique peut s'effectuer de trois façons :

- La conduction thermique demeure la plus importante dans notre domaine. Elle est principalement caractérisée par une dissipation de chaleur à l'intérieur d'un ou de plusieurs solides en contact. Ce phénomène fait intervenir la conductivité thermique des matériaux.
- La convection thermique est très semblable à la conduction, mais concerne le transfert thermique d'un fluide. Les convections naturelle et forcée sont à distinguer. Elles sont souvent rencontrées dans les boîtiers de circuits intégrés qui dissipent de grandes quantités de chaleur.
- Le rayonnement thermique, comme son nom l'indique, correspond à un transfert de chaleur sous forme d'onde électromagnétique (dans l'infrarouge). Tout corps, de température non nulle (0°K), rayonne de l'énergie. Cependant, dans le domaine de la mise en boîtier, ce type de dissipation thermique est souvent négligé, à juste titre, devant la conduction et la convection thermiques.

II.1.3.4 Choix de radiateur et de boîtier électronique

Dans le cas pratique des circuits WSI deux types de refroidissement par circulation d'air sont envisageables, la convection naturelle et la convection forcée. Dans des applications où la dissipation de puissance est faible, le refroidissement par convection naturelle est plus économique et facile pour mettre en œuvre. Cependant, à cause du niveau élevé de puissance dissipée dans le WSI, le refroidissement par convection forcée est la façon la plus efficace pour évacuer cette quantité de chaleur hors

du boîtier. Le tableau 1 nous montre les différents coefficients de convection associés pour différents types de refroidissement (Tableau 2.1).

Type de refroidissement	Coefficient de transfert de chaleur h (W/m ² K)	Commentaires
Convection naturelle (air)	3-12	Typiquement 5
Convection forcée (air)	10-100	Typiquement 50
Convection nat (liquide)	200-2000	Fluorocarbures
Convection forcée (liquide)	2000-7000	Eau Mélangé de glycol
Bouillonnement (F)	2000-6000	Fluorocarbures
Bouillonnement (Eau)	50000	Eau

Tableau 2.1 : Coefficients de transfert de chaleur typiques pour différents types de refroidissement par convection

Dans le cas des circuits WSI il est évidemment hors de question d'utiliser les quatre derniers types de refroidissement puisqu'ils sont basés sur un réfrigérant liquide. Alors que le premier type est insuffisant 5 W/m² K pour évacuer convenablement l'énergie accumulée. Cependant, la convection forcée peut répondre convenablement en la combinant avec une configuration de radiateur à haut rendement et un boîtier de résistance totale jonction-boîtier moins de 0.01 °C/W. Cette valeur de résistance thermique assure un refroidissement convenable du circuit WSI en régime permanent.

Pour savoir si un boîtier est adapté thermiquement à un circuit intégré, il est nécessaire d'estimer sa capacité à évacuer la chaleur vers l'extérieur. Dans ce but, l'étude thermique d'un système électronique peut se décomposer en trois parties :

- Le boîtier de chaque source thermique est modélisé thermiquement. Un groupe de résistances thermiques est alors associé à chaque boîtier.
- Chaque modèle thermique de boîtier est étudié sur son support (ex: PCB). (L'environnement extérieur de ce sous-système doit être identique à celui du système entier)

- Une synthèse des résultats précédents est effectuée, afin d'étudier le comportement thermique du système entier.

Le but d'une telle étude est de prévoir les risques de surchauffe dans un système de composants. Chaque source de chaleur (c'est-à-dire la puce) dissipe une puissance calorifique supposée connue. La température de celle-ci peut être estimée lorsque son environnement (boîtier, support, milieu extérieur) est modélisé thermiquement. Si cette estimation n'appartient pas au domaine de températures, à l'intérieur duquel le circuit intégré fonctionne correctement, le boîtier étudié est alors considéré comme inadapté du point de vue thermique.

II.1.3.5 Conditions aux limites thermiques

L'un des problèmes majeurs qui se pose lorsqu'on veut faire une étude thermique au niveau du boîtier d'un CI est de déterminer les conditions aux limites. Ainsi, à cet effet une nouvelle approche a été établie pour la détermination d'un coefficient de convection équivalent h_{equi} au niveau de la jonction; afin d'éviter la spécification de la température au-dessous de boîtier, qui introduit un court-circuit thermique entre la surface et la jonction. Cependant, pour pallier à ce problème, il faut mailler toute la structure jusqu'au radiateur. Cela nécessite l'utilisation d'un modèle qui peut atteindre des dizaines de millions d'éléments rendant l'analyse complexe voir même impossible.

Cette technique est connue et appliquée pour résoudre des problèmes inverses de transfert de chaleur (*Inverse Heat Transfer Problem*) durant l'application de la méthode des mesures indirectes. Dans ce cas l'approche utilisée est basée sur l'analyse par la méthode des éléments finis (FEM) combinant l'écoulement de fluide et le transfert de chaleur (Figure 2.3). Elle se résume en deux étapes : la première utilise par exemple le logiciel QFin (analyse thermique par écoulement de fluide ou *CFD Computation fluid dynamics*) pour déterminer la température de la jonction avec un coefficient de convection forcée connu. La deuxième utilise par exemple le logiciel NISA (analyse numérique pour le transfert de la chaleur) pour obtenir la même température avec le nouveau coefficient de convection forcée équivalent. Cette technique est connue et

appliquée pour résoudre des problèmes inverses en transfert de chaleur (*Inverse Heat Problem*) et pour appliquer la méthode des mesures indirectes.

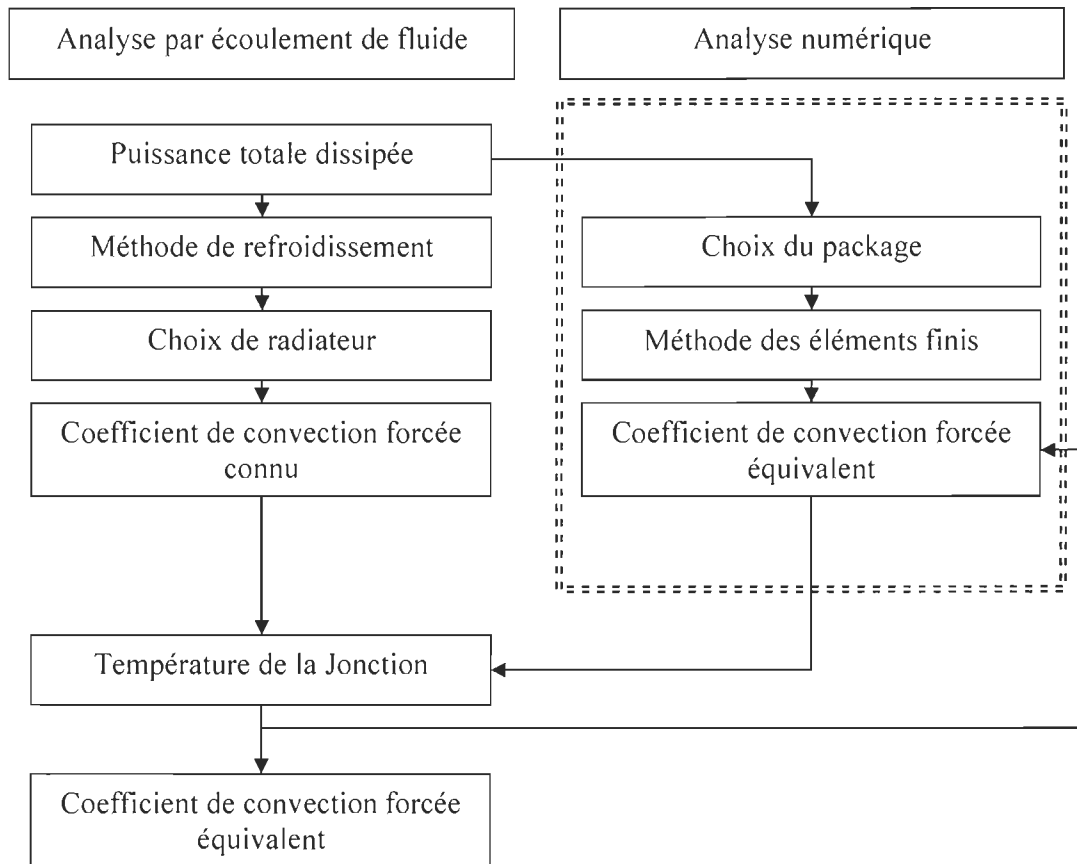


Figure 2.3: Approche pour déterminer le coefficient de convection forcée équivalente

II.2 Analyse de transfert de la chaleur

II.2.1 Flux d'énergie thermique

En état d'équilibre, aucun stockage d'énergie de sorte que, pour un volume élémentaire ΔV Figure 1.4 (la chaleur entrée définie en tant que positif).

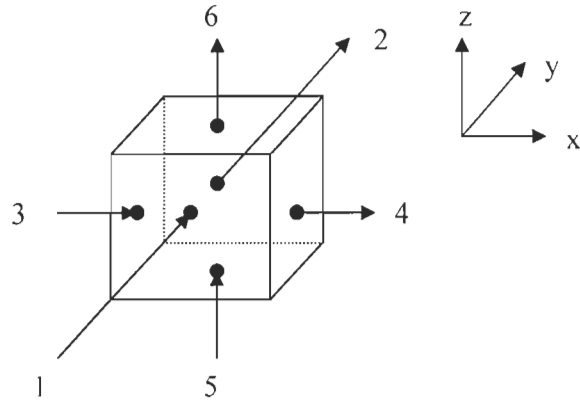


Figure 1.4: Élément de volume (ΔV)

$$\begin{aligned}
 & \left(-k_x \Delta y \Delta z \frac{\partial T}{\partial x}\right)_3 - \left(-k_x \Delta y \Delta z \frac{\partial T}{\partial x}\right)_4 \\
 & \left[\left(-k_y \Delta x \Delta z \frac{\partial T}{\partial y}\right)_1 - \left(-k_y \Delta x \Delta z \frac{\partial T}{\partial y}\right)_2 \right] \\
 & + \left[\left(-k_z \Delta x \Delta y \frac{\partial T}{\partial z}\right)_5 - \left(-k_z \Delta y \Delta z \frac{\partial T}{\partial z}\right)_6 \right] + Q_v \Delta x \Delta y \Delta z = 0 \quad (2.1)
 \end{aligned}$$

Le flux immergeant les deux côtés de l'équation par le volume $\Delta V = \Delta x \Delta y \Delta z$ est donné par

$$\left[\left(\frac{1}{\Delta x}\right) \left(k_x \frac{\partial T}{\partial x}\right) \right]_3 + \left[\left(\frac{1}{\Delta y}\right) \left(k_y \frac{\partial T}{\partial y}\right) \right]_1 + \left[\left(\frac{1}{\Delta z}\right) \left(k_z \frac{\partial T}{\partial z}\right) \right]_5 = -Q_v \quad (2.2)$$

Pour des éléments de volume très petit, prenant la limite $\Delta V \rightarrow 0$ à la direction de x .

Et en répétant ce processus dans les directions de y et de z , le résultat on trois dimensions (3D) de la conduction de la chaleur pour le régime permanent est :

$$\frac{1}{\Delta x} \left(k_x \frac{\partial T}{\partial x}\right) + \frac{1}{\Delta y} \left(k_y \frac{\partial T}{\partial y}\right) + \frac{1}{\Delta z} \left(k_z \frac{\partial T}{\partial z}\right) = Q_v \quad (2.3)$$

Ainsi, l'équation peut s'écrire :

$$dT = -\left(\frac{Q_v}{kA}\right)dx \quad (2.4)$$

En intégrant l'équation devient :

$$\int_{T_1}^{T_2} dT = -Q_k \int_{x_1}^{x_2} \frac{dx}{kAk} \quad (2.5)$$

En supposant que la conductivité thermique k ne change pas au-dessus de la longueur $L=x_2-x_1$ l'équation se réduit à :

$$\Delta T = T_2 - T_1 = Q_k \frac{L}{kA} \quad (2.6)$$

Où $\Delta T = T_2 - T_1$ est la différence de température à travers la longueur L .

II.2.2 Conduction de chaleur

En analysant le problème de transfert de la chaleur dans le CI, il est très important de considérer l'effet des sources de chaleur à la proximité. Nous considérons un corps trois dimensionnel (jonction), du volume V et lié par une superficie S . Nous supposons que le matériel obéit à la loi de Fourier de la conduction de la chaleur [14].

$$q = -K \cdot \frac{\partial T}{\partial x} \quad (2.7)$$

Ou sous la forme matricielle :

$$\begin{Bmatrix} q_x \\ q_y \\ q_z \end{Bmatrix} = - \begin{Bmatrix} k_{xx} & k_{xy} & k_{xz} \\ k_{yx} & k_{yy} & k_{yz} \\ k_{zx} & k_{zy} & k_{zz} \end{Bmatrix} \begin{Bmatrix} \partial T / \partial x \\ \partial T / \partial y \\ \partial T / \partial z \end{Bmatrix} \quad (2.8)$$

Où q_i est le taux du flux de chaleur conduit par unité de surface dans la direction i , K et la conductivité thermique des matériaux, et $\partial T / \partial x$ et le vecteur gradient dans les coordonnées cartésiennes. Dans la principale direction des matériaux l'équation (2.7) se réduit sur la forme diagonale;

$$\begin{Bmatrix} q_1 \\ q_2 \\ q_3 \end{Bmatrix} = - \begin{Bmatrix} k_{11} & 0 & 0 \\ 0 & k_{22} & 0 \\ 0 & 0 & k_{33} \end{Bmatrix} \begin{Bmatrix} \frac{\partial T}{\partial x_1} \\ \frac{\partial T}{\partial x_2} \\ \frac{\partial T}{\partial x_3} \end{Bmatrix} \quad (2.9)$$

Ou simplement,

$$q_n = -k_n \cdot \frac{\partial T}{\partial x_n} \quad (2.10)$$

Ainsi, la matrice de la conductivité thermique de l'équation (2.8) peut être obtenue à partir de l'équation (2.9) par une simple transformation de tenseur de deuxième degré :

$$K_{xyz} = T^T K_{1,2,3} T \quad (2.11)$$

Où T est le tenseur de transformation du deuxième degré entre les deux axes simultanément x, y, z et $1, 2, 3$. Il est à noter que le principe de la thermodynamique irréversible permet au tenseur K d'être symétrique. Si les matériaux sont homogènes et isotropes (le cas d'un CI), alors :

$$k_{xy} = k_{yz} = k_{zx}, \text{ et } k_{xx} = k_{yy} = k_{zz} = k \quad (2.12)$$

Assumant que la conductivité thermique k ne change pas au-dessus de la longueur $L = x_2 - x_1$, l'équation est réduite à :

$$\Delta T = T_2 - T_1 = Q_k \frac{L}{kA} \quad (2.13)$$

Où $\Delta T = T_2 - T_1$ est la différence de la température à travers la longueur L et A est la coupe normale moyenne d'écoulement de chaleur en m^2 .

La résistance thermique peut être définie par :

$$R = \frac{L}{kA}, \quad R = \frac{\Delta T}{Q_k}$$

ΔT : c'est la différence de la température entre la source de chaleur et le radiateur

Figure 2.5

$$\Delta T = T_{\text{source de chaleur}} - T_{\text{Radiateur}}$$

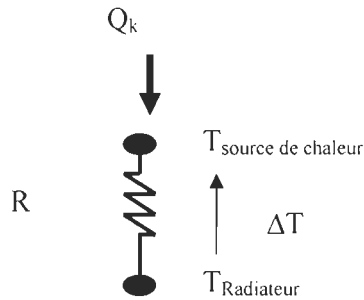


Figure 2.5 : Modèle thermique statique 1-D

II.3 Circuit thermique équivalent.

Les paramètres qui caractérisent le circuit intégré au niveau thermique sont très nombreux. On peut les classer en deux catégories qui sont les paramètres statiques et les paramètres dynamiques. Ils nous renseignent sur le comportement du dispositif lorsque celui-ci est ou non en fonctionnement. Certains de ces paramètres sont indiqués dans les spécifications des constructeurs, d'autres ne le sont pas.

Avant de parler de la dissipation de la chaleur au niveau d'un circuit intégré, il est nécessaire de définir tous les facteurs et les paramètres thermiques. Ces paramètres vont nous permettre de faire une étude détaillée sur l'évacuation de flux de chaleur sur toute la structure du circuit (Figure 2.6).

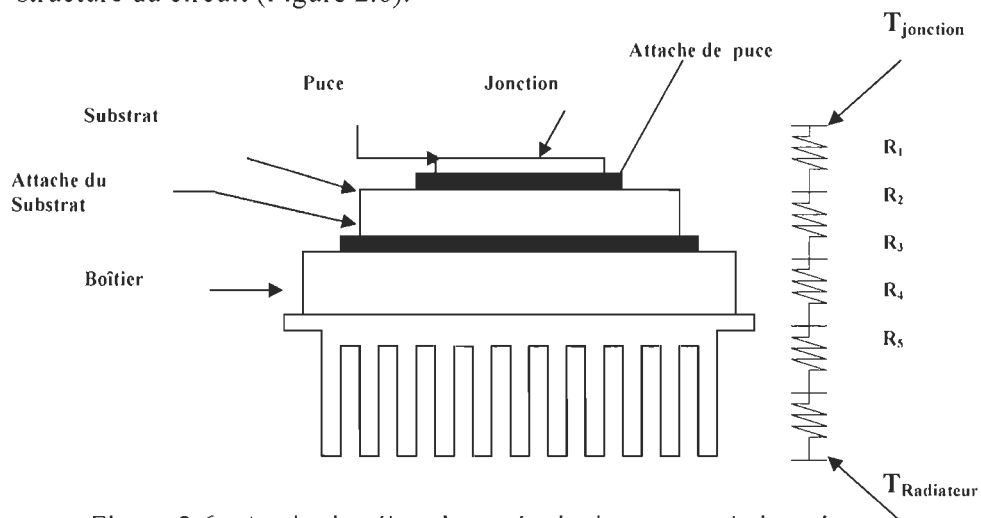


Figure 2.6 : Analogies électriques équivalente entre la jonction

La résistance thermique équivalente R_{Equiv} est :

$$R_{\text{Equiv}} = R_1 + R_2 + R_3 + R_4 + R_5$$

Où :

R_1 : résistance thermique de la puce

R_2 : résistance thermique de l'attache de la puce

R_3 : résistance thermique du substrat

R_4 : résistance thermique de l'attache du substrat

R_5 : résistance thermique du boîtier

T_j : température de la jonction en $^{\circ}\text{C}$

$T_{\text{Radiateur}}$: température du radiateur.

Cette température est de l'ordre de $<125^{\circ}\text{C}$ pour les applications typiques en microélectronique en générale, et pour les applications militaires elle est de l'ordre de 65°C à 80°C [14]. Dans certains cas, on utilise une matière au niveau du contacte entre le boîtier et le radiateur pour la dissipation de la chaleur sur toute la surface de circuit (*Thermal Pad Spreader*)[14].

D'un autre côté, le mauvais contrôle de la température au sein du processeur peut l'endommager ou il peut se produire une dégradation de ses performances, surtout sa durée de vie. De sorte que la puissance maximale indiquée par le constructeur doit être respectée à tout instant pendant le fonctionnement du dispositif. On sait qu'une élévation de température trop importante du matériau semi-conducteur peut détruire le réseau cristallin. Les calories développées à l'intérieur du cristal doivent être évacuées à l'extérieur par l'intermédiaire du boîtier et du radiateur [15]. Ainsi, la température maximale de jonction $T_{j\text{max}}$ est un paramètre qui Figure toujours dans les spécification ; elle ne doit jamais être atteinte par le dispositif en régime permanent. C'est seulement dans le cas d'une surcharge que l'on admet un dépassement de $T_{j\text{max}}$. Habituellement, la température maximale de jonction $T_{j\text{max}}$ est limitée entre 100 et 150°C , à cause de la contrainte thermique instantanée induite dans la jonction.

II.4 Analyse de la dynamique thermique par FEM

La modélisation des phénomènes physiques est aujourd'hui très présente dans les métiers de l'Ingénieur. Celui-ci est en effet amené à utiliser de plus en plus couramment des méthodes de calcul numérique face à la complexité sans cesse croissante des problèmes qu'il rencontre. Par ailleurs, le développement des modèles et le progrès de l'informatique font qu'aujourd'hui la simulation numérique est plus réaliste. Ainsi, les outils numériques deviennent à notre portée et constituent un atout majeur. Le développement des méthodes de simulation touche actuellement un large éventail de disciplines scientifiques et de nombreux secteurs techniques ou technologiques.

La méthode des éléments finis est l'une des méthodes de simulation numérique les plus pratiquées de nos jours. Elle consiste à utiliser une approximation simple de la géométrie et des variables décrivant le phénomène physique tel que le déplacement, la vitesse, la pression, la température. Afin de ramener le problème continu comportant une infinité d'inconnues vers un système algébrique à un nombre fini de degrés de liberté. Elle fait appel aux trois domaines suivants :

- les sciences de l'ingénieur pour la formulation mathématique du problème physique.
- les méthodes numériques pour la construction du système algébrique à résoudre.
- les techniques informatiques pour l'exécution des calculs de simulation.

L'emploi de la méthode des éléments finis (FEM) s'est développé depuis une soixantaine d'années à travers l'analyse des structures via des assemblages de barres ou de poutres dont le comportement était dicté par les hypothèses de la résistance des matériaux. L'apparition de l'informatique et les besoins industriels ont provoqué un développement rapide de la méthode à travers une re-formulation à partir de considérations énergétiques d'une part, et la création d'éléments de haute précision géométrique et physique d'autre part. Dès 1960, la méthode des éléments finis est reconnue comme un outil général de résolution de problèmes physiques linéaires ou non-linéaires, stationnaires ou instationnaires non seulement dans le domaine des structures,

mais aussi dans d'autres domaines tels que la mécanique des sols, la mécanique des fluides, la thermique, l'électromagnétisme et bien d'autre domaine.

L'utilisation de cette méthode s'est donc répandue, au cours des dernières décennies, dans divers secteurs industriels tels que l'aéronautique, la construction navale, l'industrie automobile et dans des domaines liés, entre autres, à la mécanique des matériaux et des structures. Parmi les nombreux programmes généraux basés sur la FEM et disponibles pour l'utilisation industrielle citons, principalement dans les domaines de la mécanique des solides, NISA, ABAQUS, ANSYS, MARC, NASTRAN, SAMCEF, SYSTUS. Bien que ces logiciels soient initialement conçus pour des gros ordinateurs, ils ont été adaptés ces dernières années pour exploitation sur micro-ordinateurs au même titre que des programmes modulaires permettant la résolution de problèmes de taille moyenne tels que CADSAF, ACORD.

Par ailleurs, une nouvelle génération de codes s'est développée récemment. Il s'agit des codes d'éléments finis explicites destinés à la simulation des problèmes en dynamique rapide. Parmi les plus connus, citons ABAQUS EXPLICIT, PAM-CRASH, RADIOSS, LS-DYNA.

En guise d'illustration, nous présentons ci-après quelques exemples de problèmes pratiques que l'on rencontre en mécanique des solides. Ainsi, la simulation du comportement thermomécanique d'une puce électronique lors du cycle de refroidissement permet de déterminer les états de contraintes et de déformations résiduelles présents au sein du support après sa polymérisation. Ce genre de simulation permet d'optimiser le cycle de polymérisation/ refroidissement ainsi que la sculpture de la puce afin de réduire les déformations résiduelles.

En calcul des structures, l'utilisation de la méthode des éléments contribue efficacement à l'optimisation des structures soumises à des chargements statiques ou dynamiques. Pour la mise au point d'essais expérimentaux, la simulation peut jouer un rôle prépondérant dans l'optimisation de la géométrie des éprouvettes et l'identification des variables principales à mesurer au cours de l'essai.

En résumé, les problèmes traités sont généralement liés au dimensionnement, à l'optimisation, à la fiabilité de l'objet à concevoir ou à construire, voire même au procédé de fabrication de cet objet. La finalité étant de simuler numériquement le comportement d'une structure soumise à diverses sollicitations, mécaniques et/ou thermiques afin d'évaluer l'état d'endommagement et d'en optimiser les paramètres structuraux, matériels ou de mise en oeuvre. Sans totalement se substituer aux essais expérimentaux, la simulation numérique constitue donc un outil complémentaire qui s'avère souvent beaucoup plus rapide et moins onéreux que ces derniers.

L'analyse thermique est un aspect important lors de la conception des dispositifs électroniques. Quand les matériaux sont chauffés, ils s'étendent et peuvent causer une contrainte qui peut rendre le dispositif inutilisable. De plus si une partie est surchauffée, elle s'approche de la zone de corrosion et d'oxydation des matériaux. Si la partie devient trop surchauffée elle peut perdre ses propriétés mécaniques et électriques. L'analyse thermique est normalement faite comme une étude préalable à une enquête de contrainte où la température est analysée par un modèle d'éléments finis structurel. Dans le cas de notre thèse, l'analyse thermique est nécessaire pour réaliser une compréhension minutieuse des différentes parties du prototype WSI étudié.

L'analyse thermique avec le modèle en éléments finis va inclure les parties suivantes :

- Analyse de la radiation thermique aux surfaces,
- Analyse de la convection autour du CI,
- Analyse de la conduction à l'intérieur de la puce,
- Analyse thermique en régime permanent,
- Analyse thermique en régime transitoire,
- Analyse mixte thermomécanique.

Étudier une structure, donc un domaine continu, par la méthode des éléments finis consiste d'abord à effectuer une discrétisation géométrique. La structure est subdivisée en sous-domaines de forme géométrique simple appelé élément fini et défini non pas sur l'ensemble de la structure, mais pour chacun de ses éléments. En d'autres termes, on ramène le problème du milieu continu à un ensemble de problèmes discrets avec un

nombre fini de paramètres inconnus qui sont déterminés par application de critères énergétiques. Le problème consiste à calculer une matrice de rigidité globale du système à partir des matrices de rigidité de chaque élément déterminées en utilisant le théorème des travaux virtuels. Les détails de ces calculs, qui heureusement sont effectués automatiquement sous forme matricielle par le logiciel spécifique NISA.

Les étapes d'exécution suivies lors de l'analyse thermique par les éléments finis sont représentées dans l'organigramme de la Figure 2.7. Ainsi, après la détermination de la géométrie et les mécanismes de transfert de chaleur nous modélisons le prototype WSI avec un maillage approprié.

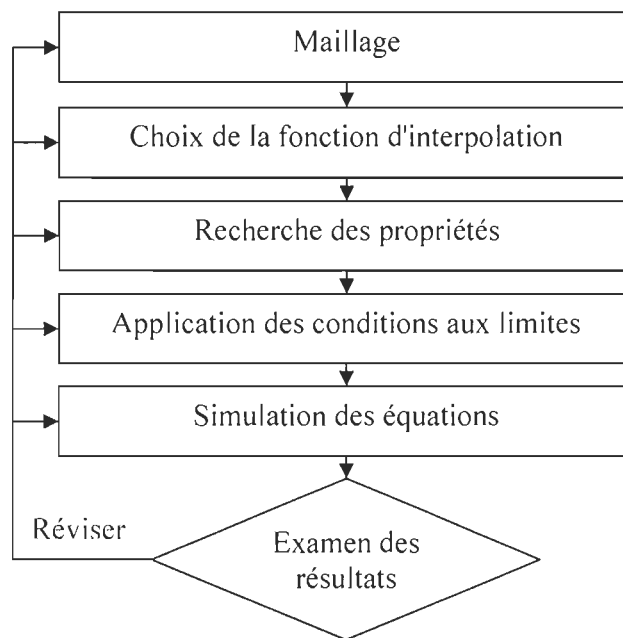


Figure 2.7 : Organigramme pour exécuter une analyse par éléments finis.

II.5 Conditions aux limites thermiques

Les conditions aux limites thermiques sont un des problèmes majeurs pour la simulation des phénomènes thermique dans un CI et ils dépendent de :

- La méthode de refroidissement
- La position de la puissance dissipée et l'influence de leur entourage

- La conductivité thermique des matériaux du : PCB (*Printed Circuit Board*), le radiateur, boîtier, substrats, écarteur de chaleur [17].

Pour faire une bonne gestion thermique au niveau de la jonction il faut contrôler la température et son gradient à partir du premier pas de la conception d'un circuit intégré. Dans cette thèse, notre but est d'introduire une nouvelle méthodologie de travail pour aborder les problèmes thermiques concernant les circuits intégrés. Cependant, nous avons besoin d'optimiser l'emplacement des sources de chaleur pour le processeur et établir sa cartographie thermique. Cela nous a amenés à faire une nouvelle proposition pour la détermination du coefficient de convection équivalent au niveau de la jonction.

Rappelons brièvement ici les différents phénomènes physiques intervenant lors du transfert thermique, malgré un procédé relativement simple, ce type de traitement fait intervenir des phénomènes éminemment complexes dans chaque élément impliqué dans le processus [20].

Ainsi, le phénomène thermique est important suivant le régime étudié, s'il est permanent, l'écoulement thermique a suffisamment de temps pour faire un échange avec le milieu ambiant mais s'il est transitoire, la question du temps d'écoulement est majeure. On va donc avoir affaire en ce qui concerne la sollicitation thermique soit à des phénomènes fortement non linéaires et/ou instationnaires. En ce qui concerne l'aspect physique du composant, là aussi les processus mis en œuvre dans le composant sont complexes, l'augmentation ou la chute de la température dans les différentes zones du composant s'effectuent par conduction et par pertes convectives vers l'extérieur. Celle-ci apporte localement des chaleurs latentes de transformation en influençant donc à leur tour les pertes calorifiques.

Donc la méthode des éléments finis utilisée doit imposer des hypothèses plus au moins simplificatrices sur les propriétés du matériau et sur les conditions aux limites. La méthode des éléments finis repose sur la discrétisation de l'espace et du temps. Le principal avantage de cette méthode est sa très grande généralité; elle peut traiter des

géométries complexes en prenant compte des conditions aux limites et des propriétés des matériaux dépendant de la température [21].

Dans cette étude nous employons le programme d'élément fini NISA (l'analyse de système par les éléments intégrés numériquement) pour prévoir le comportement thermique de jonction du dispositif WSI. Une grande variété des conditions aux limites thermiques peut être appliquée en utilisant NISA. Cependant, la condition au limite verticale cause toujours un grand problème pour les simulations. L'approche la plus simple est de fixer au-dessous de la structure une température constante représentant la température ambiante et cela produit un court-circuit thermique. Afin de résoudre des équations thermiques, les conditions aux limites doivent être définies. Puisque, dans le processeur, la couche de silicium est relativement mince, les écoulements de chaleur sont principalement vers le radiateur, ainsi les conditions aux limites dans les deux directions horizontales peuvent être modélisées par des conditions de type adiabatiques [14].

Le déplacement uniforme de la chaleur vers le radiateur est représenté par le coefficient h [$W/m^2 \cdot K$] de la convection. La puissance totale dissipée à la jonction lors du fonctionnement de circuit est placée à la surface supérieure de la jonction. Cependant, elle est modélisée par un flux de chaleur ou par une densité de puissance. La description et les conditions aux limites sont représentées sur la Figure 2.11.

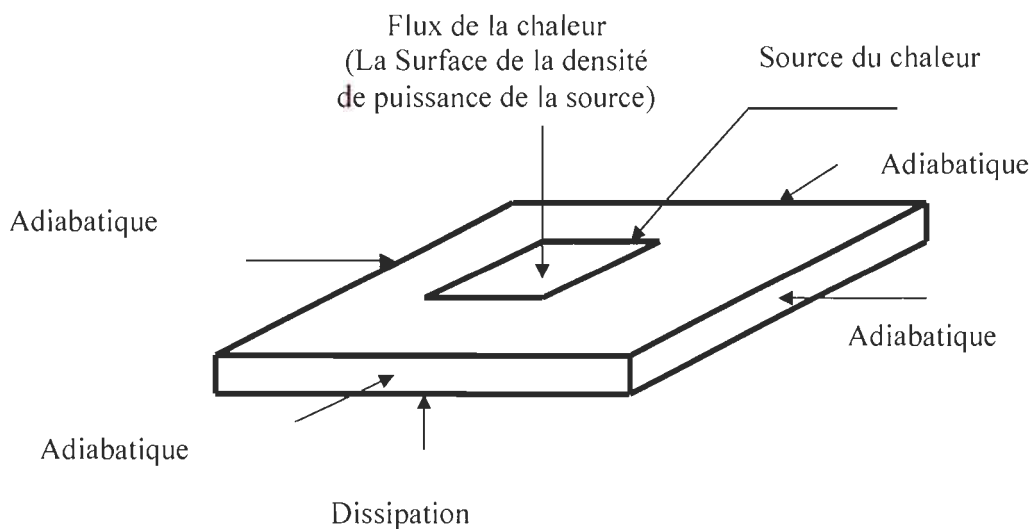


Figure 2.11 : Conditions aux limites thermiques au niveau de la jonction (BC)

II.6 Analyse d'écoulement de fluide

Dans la présente partie, l'outil QFin est employé pour calculer le coefficient équivalent de convection forcée. Le calcul du coefficient de transfert thermique dépend alternativement du type de convection auquel on soumet l'ensemble circuit-radiateur et des conditions ambiantes. QFin est un programme d'analyse d'écoulement de fluide adapté à la conception de radiateur. Il nous permet de choisir entre la convection naturelle, la convection forcée, la position du ventilateur en haut ou en bas en plus des spécifications d'un coefficient de convection connu [14]. Si nous choisissons la convection naturelle, nous devons indiquer l'orientation du radiateur aussi bien que la température ambiante autour de l'ensemble.

Pour la convection forcée, nous avons besoin d'analyser les températures indiquées au-dessus de l'air autour du radiateur. La vitesse d'air dans les conduites d'aileron peut être fournie directement ou bien QFin peut employer un modèle qui simule la circulation d'air dans la conduite (Figure 2.12).

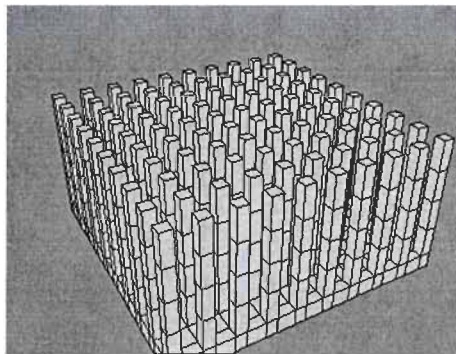


Figure 2.12 : Schémas d'un radiateur

Si un ventilateur de haut en bas est fixé à notre structure, QFin exige des dimensions et le débit d'air du ventilateur afin de calculer la circulation d'air réelle autour du radiateur.

Dans certains cas, nous pouvons indiquer un coefficient connu de transfert thermique, et ne pas laisser l'outil déterminer cette valeur. Ceci serait typiquement fait pour la vérification, avec la disponibilité des données expérimentales et d'un coefficient prédéterminé de transfert thermique.

II.7 Analyse numérique de transfert de la chaleur

NISA est un programme par éléments finis qui est composé d'une série de modules, qui selon les cas traités, peuvent se prêter à différentes utilisations. NISA utilise quatre phases pour l'analyse d'un problème donné. La Figure 2.13 montre les quatre phases groupées en forme d'organigramme.

Phase No 1 : la première phase est celle de l'entrée des données. Cette phase est utilisée pour capturer la description géométrique de problème, les propriétés des matériaux, du chargement et des conditions aux limites du problème physique.

Phase No 2 : la deuxième phase est celle de la bibliothèque des éléments. Cette phase présente un intérêt particulier : c'est là où se trouvent programmés les algorithmes de formulation de tous les éléments disponibles. Cette seconde phase exploite donc les données entrées à la première phase pour expliciter les équations algébriques des éléments à l'aide des algorithmes programmés adéquats. Elle comprend également les calculs nécessaires pour déterminer la position des équations de chaque élément par rapport à celle des éléments voisins, ainsi que les opérations permettant leur combinaison. Ces dernières étapes permettent d'obtenir un système complet d'équations algébrique pour la représentation en éléments finis de l'ensemble du solide.

Phase No 3 : NISA HEAT est le programme de la troisième phase (en transfert de chaleur) qui est la phase de résolution qui traite les équations formées à la phase précédente. Pour l'analyse non-linéaire transitoire de transfert de chaleur, le programme utilise de vastes calculs portant sur toute l'histoire du chargement, des propriétés et des conditions aux limites.

Phase No 4 : Cette phase est représentée par DISPOST (module de DISPLAY III), cette phase est celle de l'impression qui nous fournit un document de présentation des résultats sur lequel on peut fonder des décisions concernant par exemple un choix de proportions ou d'autres questions de conception [17].

Le module utilisé pour réaliser le modèle thermique est le NISAI/HEAT TRANSFER, est un programme pour l'analyse en éléments finis du transfert de chaleur linéaire et non linéaire en régime permanent et en régime transitoire. Le programme utilise une méthode et un temps d'intégration optimal pour résoudre les problèmes linéaires et non linéaires de conduction, radiation, changement de phase. Le module est directement relié par une interface avec DISPLAY III et DISPLAY IV pour la sortie des résultats.

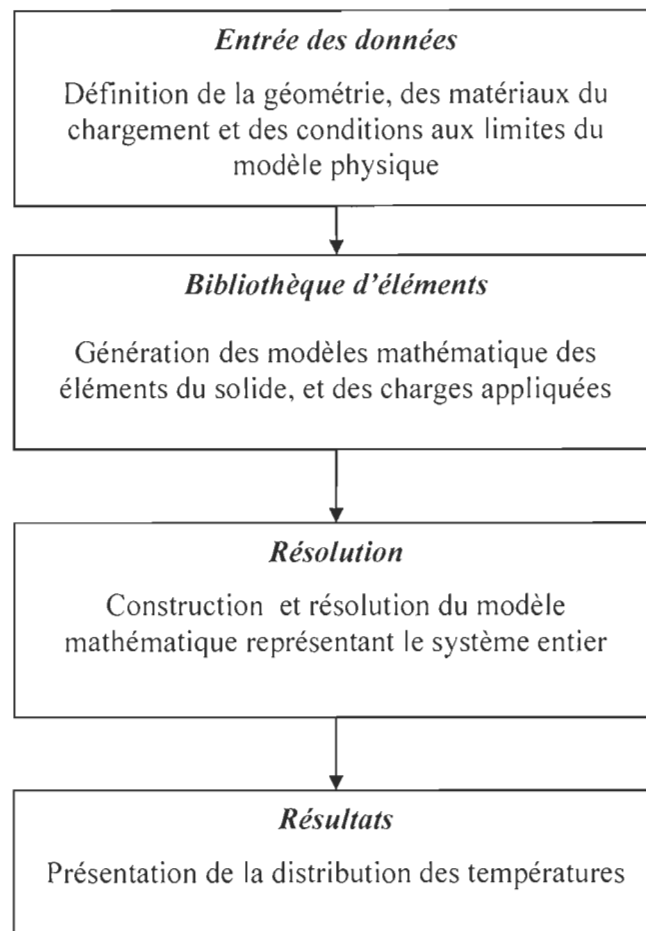


Figure 2.13 : Déroulement de l'analyse d'un problème de transfert de chaleur.

Dans cette section nous allons présenter les résultats de simulation d'une source de chaleur de 15cm X 15 cm représentant la jonction de notre processeur sur WSI. Ainsi, les résultats obtenus avec Qfin et NISA sont en accord et cela pour différents coefficients

de la convection h . La Figure 2.14 montre le modèle en éléments finis de la source avec distribution spatiale de température dans la jonction.

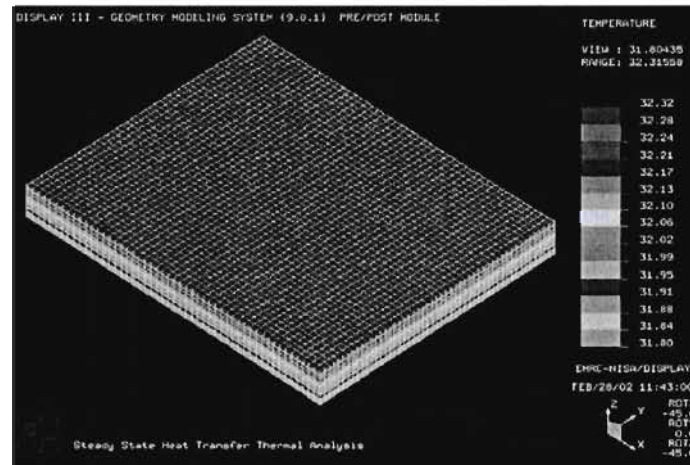


Figure 2.14: Modèle en éléments finis et distribution de la température pour la source
16mm ×20mm

Coefficient de la convection Forcé h $W/m^2 \cdot ^\circ C$	$h=5$	$h=10$	$h=20$
Température avec Q_{fin} $^\circ C$	39.44	35.57	33.11
Température avec NISA $^\circ C$	39.45	35.56	33.10
coefficient Équivalent de convection h_{eq}^{Conv} $W/m^2 \cdot ^\circ C$	4650	6550	8725

Tableau 2.2 : Comparaison entre les différents paramètres avec l'analyse d'écoulement de fluide (Q_{fin}) et le transfert de la chaleur (NISA)

II.8 Résultats et discussions

Les résultats présentés nous donnent une bonne idée sur l'évolution du coefficient de la convection forcée équivalent qui représente les échanges thermiques avec l'ambiante (Figures 2.15 à 2.19). Cependant, en changeant la puissance absorbée, la

surface de processeur (Figure 2.17), le type du boîtier et le radiateur choisis (Figure 2.18), le coefficient $h_{\text{équi}}$ varie d'une façon importante.

Dans cette thèse, la problématique principale un processeur sur WSI est la nécessité de simuler une région très grande du dispositif et de son substrat. En fait, la géométrie du boîtier doit être prise en considération. Par conséquent, le coût de la gestion thermique d'un dispositif sur WSI dépend fortement de l'efficacité de la conception de boîtier. Par conséquent, la distribution spatiale de sources de chaleur a un effet significatif sur l'opération du dispositif WSI.

Ces investigations sont très utiles lors de la construction finale du processeur. Ainsi, cette étude peut aider l'ingénieur en électronique durant la mise en boîtier afin d'empêcher des situations de surchauffe. Ces investigations permettent une prévision précise de la distribution de la température dans un paquet et aident à minimiser le pic thermique localisé pour différentes conceptions et type de boîtier.

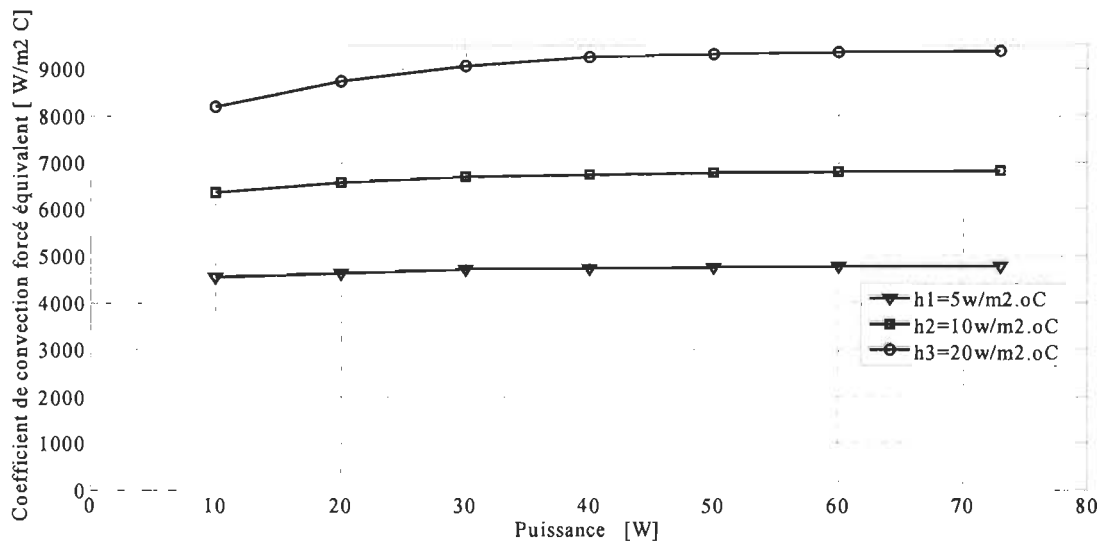


Figure 2.15: Évolution de la température du radiateur AAVID_61540 en fonction de la puissance dissipée pour une source de 16 mm ×20mm

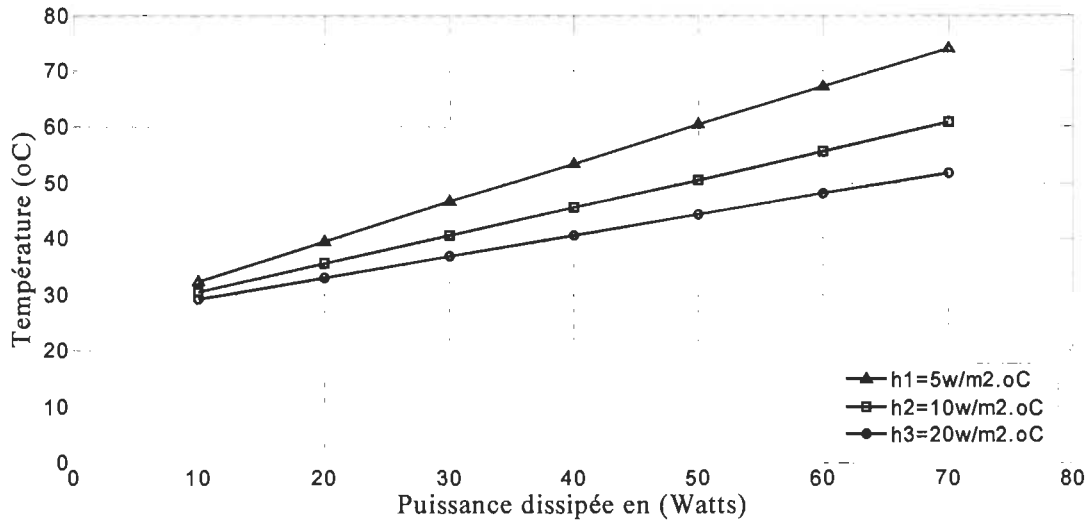


Figure 2.16 : Évolution du coefficient de convection forcé équivalent h_{eq}^{Fconv} avec la puissance dissipée pour différents h.

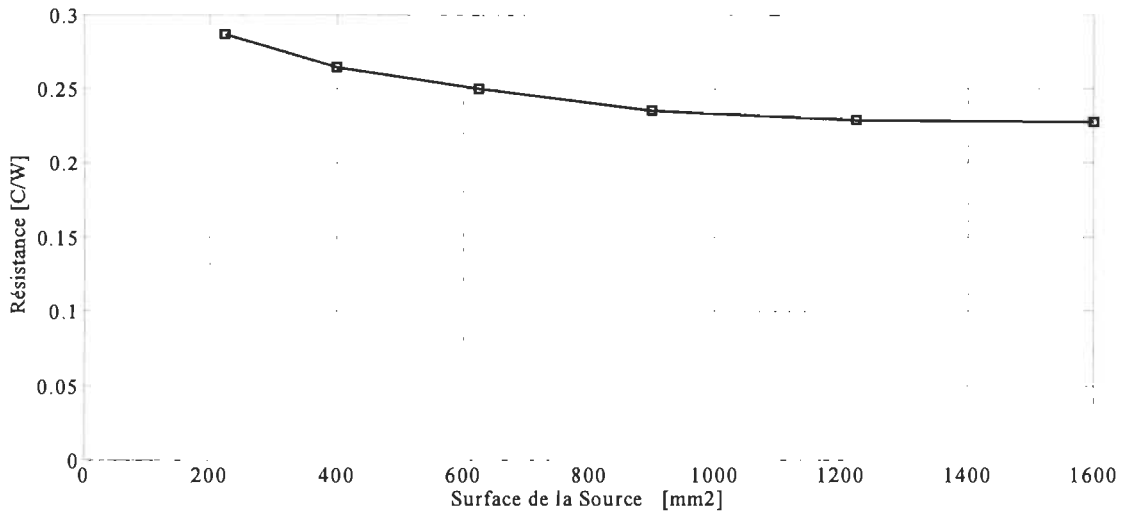


Figure 2.17: Évolution de la résistance équivalente avec la surface de la source pour $h = 20 \text{ W/m}^2 \cdot \text{°C}$.

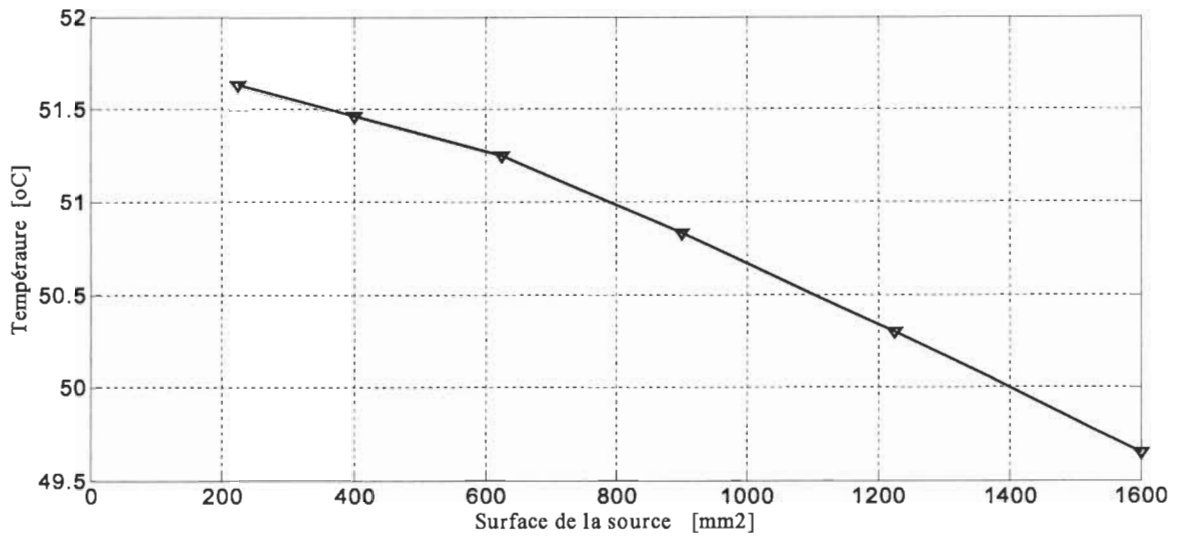


Figure 2.18 : Évolution de la température du radiateur avec l'évolution de la surface pour $h = 20 \text{ W/m}^2 \cdot \text{°C}$.

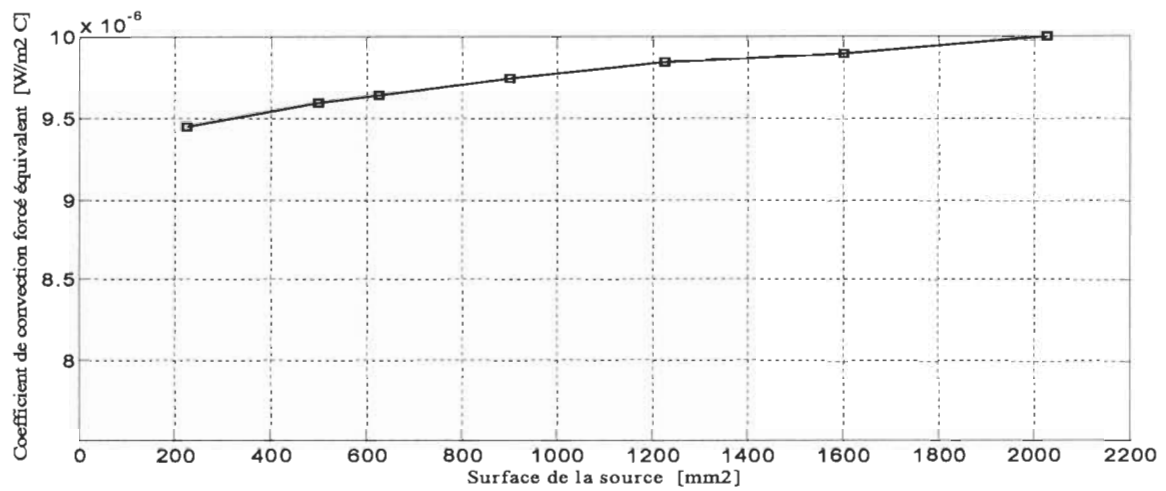


Figure 2.19 : Évolution du coefficient de convection forcé équivalent h_{eq}^{Fconv} avec la surface de la source pour $h = 20 \text{ W/m}^2 \cdot \text{°C}$.

Conclusion

Conclusion

Dans cette partie, nous avons présenté une approche qui combine l'analyse par transfert de chaleur et l'écoulement de fluide pour l'analyse des problèmes thermiques en régime permanent pour les circuits intégrés VLSI. Toutefois, la température de la jonction est déterminée pour des boîtiers typiques, les conditions aux limites et la valeur de la puissance dissipée. Ainsi, ces valeurs ont été utilisées pour la simulation fluide pour la détermination de coefficient de convection équivalent à appliquer comme conditions aux limites pour la jonction.

Cette étape est importante parce que le coût de la gestion thermique d'un processeur sur WSI dépend fortement de l'efficacité de la conception. D'un autre côté l'auto-chauffage des dispositifs à semi-conducteur affecte le fonctionnement du circuit électronique équivalent. Cette approche est également développée pour simuler en régime permanent des circuits intégrés à grande puissance en utilisant les simulateurs NISA et Qfin. Nous avons montré que la réponse thermique des boîtiers ainsi que la jonction en silicium dépend aussi des propriétés physiques des matériaux. Cependant, nous avons caractérisé la réponse thermique du boîtier avec le radiateur AAVID_61540 pour déterminer l'augmentation de la température du dispositif en régime permanent.

Les techniques informatiques modernes comme les simulations par éléments finis sont des outils utiles pour l'ingénieur en conception de boîtier électronique qui l'aident à empêcher des situations thermiques inattendus. Les simulations thermiques permettent une prévision précise de la distribution de la température dans un boîtier et aident à évaluer les contraintes thermomécaniques qui se produisent pour différentes conceptions des boîtiers. En conséquence, le concepteur peut optimiser la géométrie et le choix des matériaux d'un boîtier même avant que les prototypes soient établis. Ceci réduit considérablement le temps des conceptions et augmente la qualité du produit.

Les résultats pratiques présentés dans ce chapitre pour déterminer le coefficient de convection forcée équivalent peuvent être utilisés pour résoudre plusieurs problèmes thermiques et thermomécaniques dans les boîtiers électroniques. D'ailleurs, l'analyse thermique de jonction est cruciale pour la commande de température, le gradient thermique spatial, et l'évaluation de l'effort thermique induit. Par conséquent, les prévisions thermomécaniques du comportement du dispositif sont l'issue principale pour l'exploitation sûre à partir de la première étape de la conception d'un processeur sur WSI.

Chapitre III

Développement d'un algorithme de détection et de localisation des pics thermiques

Introduction

Depuis de nombreuses années, les techniques de détection des pics thermique connaissent un développement considérable. Les mises au point expérimentales, longues et coûteuses sont progressivement remplacées par des études dans lesquelles la détection intelligente prend une place de plus en plus importante. Les impératifs industriels de vitesse de fonctionnement et de limitation des coûts sont pour l'essentiel responsables de cette évolution. Dans ces conditions, le développement d'outils permettant la modélisation et l'optimisation des composants utilisés en microélectronique constitue un enjeu important.

Ce chapitre est dédié à la détection thermique pour déterminer le pic thermique dans une puce en fonctionnement normal en utilisant la détection en quelques points du composant seulement. Nous recherchons alors des modèles nécessitant des temps de calcul réduits et un nombre restreint de paramètres. Pour le domaine d'application qui nous intéresse, c'est-à-dire la microélectronique on peut retenir les ordres de grandeur suivants :

- des fréquences allant au-delà de la centaine de MHz
- des températures de fonctionnement variant entre -40 °C et 125 °C .

De nombreuses approches sont utilisées pour décrire les transferts thermiques et pour parvenir à une estimation satisfaisante des températures de fonctionnement. Certaines approches conduisent à une cartographie détaillée des températures, calculées

en tous points du composant, d'autres ne peuvent fournir que la température calculée en quelques points du composant. Parmi les méthodes classiquement utilisées, on distingue les méthodes analytiques et les méthodes numériques [19]

III.1 Choix de la méthode

III.1.1 Méthodes analytiques conventionnelles

Ces méthodes permettent de décrire séparément les trois modes de transfert thermique en régime établi :

Conduction :

La conduction est caractérisée par une transmission de la chaleur dans la matière entre deux points différents température sans déplacement de matière. La loi de Fourier exprime la proportionnalité entre la cause, c'est-à-dire le gradient de température dT/dx et l'effet, c'est-à-dire le flux de chaleur P

$$P = -k.S. dT/dx \quad (3.1)$$

k représente la conductivité thermique du matériau et S la surface à travers laquelle s'effectue le transfert de chaleur par conduction.

Convection :

Les transferts thermiques par convection ont pour origine les mouvements d'un fluide, ils sont décrits par la loi de Newton.

$$P = h.S.\Delta T \quad (3.2)$$

h représente le coefficient d'échange par convection et S la surface d'échange.

Rayonnement :

Dans ce cas le transfert thermique s'effectue sous la forme d'un rayonnement électromagnétique (principalement dans le visible et l'infrarouge). Le flux échangé entre deux éléments, conformément à la loi de Stefan-Boltzmann s'écrit :

$$P = \epsilon_{12}.\sigma.S.(T_1^4 - T_2^4) \quad (3.3)$$

T_1 et T_2 correspondent aux températures des deux éléments considérés, ϵ_{12} est l'émissivité équivalente et σ une constante.

Bien souvent plusieurs modes de transfert se produisent en même temps, le travail du thermicien consiste à déterminer les coefficients d'échange qui interviennent dans les relations précédentes et à résoudre le système d'équations.

III.1.2 Méthode nodale

La méthode nodale consiste à définir des zones isothermes, chaque zone constituant un nœud. Les échanges entre nœuds sont représentés par des résistances thermiques :

$$R_{TH} = \frac{T_j - T_i}{P} \quad (3.4)$$

Les conductances convectives $\frac{k.S}{e}$ et conductive h.S peuvent être considérées comme constante lorsque le domaine de variation de la température est faible. En ce qui concerne la conductance radiative $\sigma.S.F.(T_2^2 + T_1^2)(T_2 - T_1)$, elle est généralement faible pour des composants dont les températures de fonctionnement ne dépassent pas 120 °C.

Des capacités thermiques permettent également de tenir compte des stockages d'énergie dans le cas où l'on s'intéresse aux régimes transitoires. L'équation de bilan à chaque nœud prend la forme d'une équation différentielle qu'il est facile de résoudre à l'aide d'un solveur d'équations différentielles

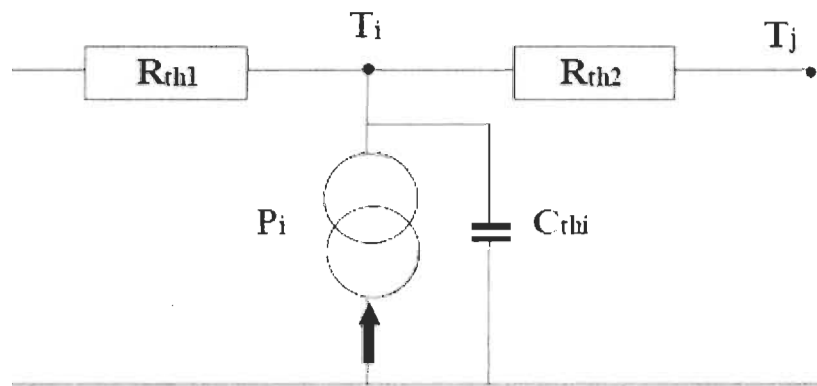


Figure 3.1 Méthode nodale

Moyennant certaines approximations, cette méthode permet d'établir des modèles simples. Cependant, la détermination des éléments résistifs et capacitifs se heurte aux mêmes difficultés que l'approche précédente [19].

III.1.3 Méthodes numériques

Les approches numériques utilisant la méthode des éléments finis connaissent des développements importants. Elles permettent d'obtenir une cartographie détaillée des températures du composant. Le composant à étudier est alors découpé en domaines élémentaires de dimensions finis (décomposition en forme simple) par maillage, classiquement un maillageur automatique est utilisé. Ce dernier autorise un maillage différencié, dense dans les régions à fort gradient de température, plus lâche dans d'autres zones. Chaque zone est caractérisée par les propriétés physiques des matériaux qui la constituent. Le comportement physique du système est décrit grâce à des équations aux dérivées partielles ainsi que des conditions aux limites. En utilisant des approximations simples des variables inconnues, la méthode des éléments finis transforme les équations aux dérivées partielles en équations algébriques.

Cette méthode permet d'effectuer l'analyse de la température en différents points, mais exige une description précise du composant qu'il n'est pas toujours facile de réaliser. Cette méthode est lourde à mettre en oeuvre et n'est pas compatible avec le reste des simulateurs. Elle peut cependant s'avérer très intéressante pour comprendre et analyser les échanges thermiques dans un composant, pour valider des hypothèses. De plus, les résolutions spatio-temporelles sont très coûteuses en termes de temps de calcul et nécessitent des moyens informatiques relativement importants.

III.2 Algorithmes de solutions des problèmes inverses

Dans l'électronique, les problèmes inverses sont rencontrés dans les applications exigeant des contrôles continus de température. Toutefois, il est impossible d'obtenir l'équation exacte de la position et de la valeur de la source de chaleur en se basant sur les

lectures des détecteurs de température à distance, par contre on peut obtenir une bonne estimation. Mais si la configuration mutuelle des sources de chaleur et de détecteurs de température est optimale pour les buts d'estimation, en raison de la nature des problèmes inverses, les inexactitudes dans les estimations produites sont plus ou moins équivalentes aux erreurs dans les mesures de température de détecteur. La section suivante de ce chapitre présente un aperçu général de deux algorithmes les plus communs et largement utilisés dans le cas des problèmes inverses.

Dans ce chapitre, une section sera consacrée aux différentes méthodes de résolution des problèmes inverses; leurs principes mathématiques, leurs avantages et leurs inconvénients. L'extension des ces méthodes pour la détection de plusieurs sources de chaleur simultanées sera élaborée.

III.2.1 Les méthodes de résolution des problèmes inverses

Pour résoudre les problèmes inverses, des méthodes spéciales doivent être utilisées. Cependant, toutes ces méthodes ne sont pas entièrement nouvelles, et présentent des contraintes sur les changements de valeurs des estimations pour améliorer la stabilité des estimations obtenues par des méthodes classiques, qui sont d'habitude utilisées pour résoudre les problèmes directs.

Généralement, il n'existe pas une méthode universelle pour résoudre les problèmes inverses et le choix dépend d'une application particulière. Plusieurs algorithmes ont été trouvés dans la littérature et qui sont utilisés pour produire des estimations robustes.

Dans notre thèse, nous présentons le concept de deux méthodes les plus utilisées présentées dans [22] et qui sont la méthode des spécifications des fonctions et la méthode de régularisation. Ces méthodes se basent sur le problème général de plusieurs sources de chaleur.

III.2.2 Méthode de spécification des fonctions

La méthode de spécification de fonction est basée sur la proposition que la variation avec le temps du flux de chaleur sur la surface a une forme fonctionnelle qui sera estimée. Dans le cas le plus simple et le plus utilisé, l'algorithme est utilisé avec la supposition que cette forme fonctionnelle est constante; c.-à-d. plusieurs échantillons futurs de flux de chaleur de surface sont supposés être égaux [23].

L'amélioration de la stabilité des estimations obtenues est atteinte par une utilisation optimale moyenne de l'espace et du temps. L'utilisation optimale de l'espace est réalisée par la redondance des détecteurs de température, c.-à-d. en plaçant plus de détecteurs que des sources de chaleur. L'utilisation optimale de temps est réalisée en augmentant le nombre d'échantillons de flux de chaleur.

La plus convenable pour les applications en ligne et la plus efficace de point de vue computationnel est la version séquentielle de l'algorithme, dans laquelle les valeurs de flux de chaleur dans le temps sont successivement trouvées avec l'arrivée de chaque nouvelle donnée.

III.2.3 Méthode de régularisation

La méthode de régularisation est une procédure générale pour résoudre les problèmes malposés. Elle a été conçue pour réduire les fluctuations des valeurs des fonctions inconnues. La méthode a été inventée et développée par les scientifiques russes Alifanov et Tikhonov[23].

III.3 Développement d'un algorithme de détection des pics thermiques

L'accumulation de la chaleur d'un cycle à l'autre sur les systèmes VLSI a besoin d'une étude approfondis au niveau de la jonction. Il est évident que la température élevée ainsi que la variation du gradient thermique réduisent la durée de vie et la fiabilité de couches mince en semi-conducteurs. Dans le domaine des FPGA la température

maximale permise par les technologies actuelles est de 125 °C. Pour respecter cette condition le concepteur doit tenir compte de plusieurs aspects en même temps comme la puissance totale dissipée, le choix de boîtier, l'effet de dissipateur de chaleur, le mode de refroidissement, la position de PCB, la température ambiante et l'influence des équipements utilisés à proximité.

La méthode de GDS présente une bonne idée, dans le cas le plus simple elle se compose de trois capteurs bien placés qui transforment des signaux provenant de mesure électrique. Les valeurs de tension obtenues donnent (après calcul) des informations sur la direction de gradient de la qualité mesurée et sa valeur absolue. Dans la première partie, nous nous concentrons sur la mise en œuvre de GDS à la mesure de la température d'une seule source de chaleur placée sur la surface d'un dispositif à semi-conducteur.

La présente partie de cette thèse présente une première approche pour prévoir la température d'une source de chaleur simple sur la surface de la structure d'un CI. L'information obtenue sera employée pour localiser le pic thermique. Ceci signifie qu'à l'aide d'un réseau de capteurs, nous allons connaître des valeurs de la température dans quelques endroits de la structure. Par la suite, nous essayerons de trouver la valeur de la température associée à la source de chaleur et de prévoir la distribution de contrainte thermomécanique dans la structure entière du CI [23]. Nous avons utilisé cette approche comme méthodologie pour prédire la température d'une source de chaleur simple sur la surface de la structure d'un CI.

La méthode a été introduite dans [18]. Pour utiliser cette méthode, 4 hypothèses doivent être établies :

- Il y a seulement une source de chaleur ponctuelle dominante sur la plaque contrôlée.
- La température est linéairement distribuée par-dessus la surface de la couche de Silicium. Il faut noter que dans ce travail nous considérerons cette hypothèse.
- Les détecteurs de température utilisés dans cette méthode donnent des tensions linéairement proportionnelles à la température.

- Les capteurs dans les deux cellules des détecteurs sont suffisamment placés proches l'un à l'autre afin que les isothermes les traversant peuvent être représentés par des lignes droites.

Les Figures suivantes 3-2 et 3-3 montrent, d'une part la répartition classique des capteurs et d'autre part la répartition proposée des deux cellules des détecteurs.

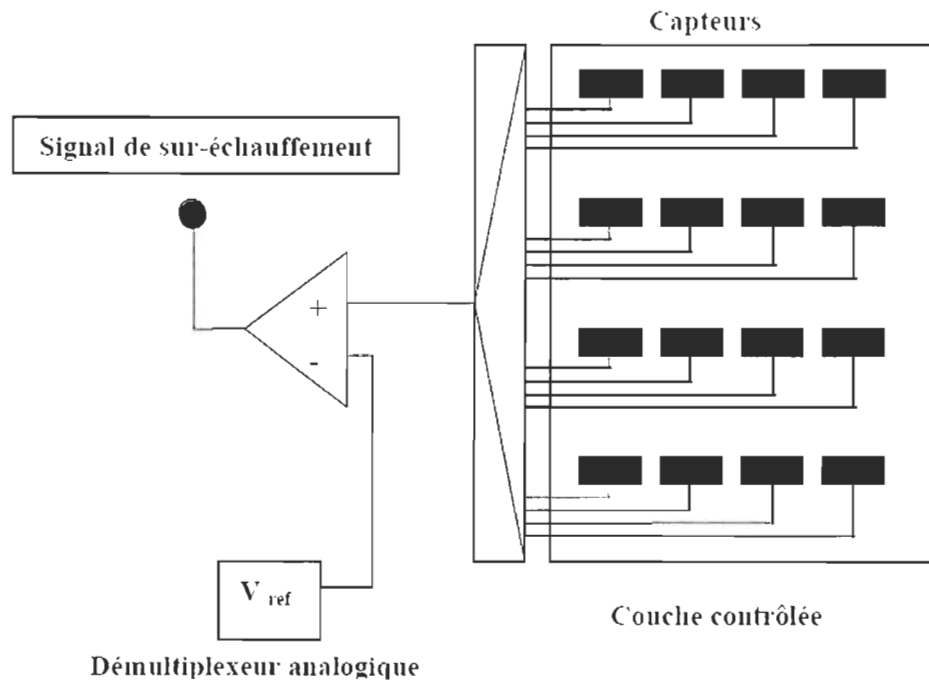


Figure 3.2 : Répartition classique

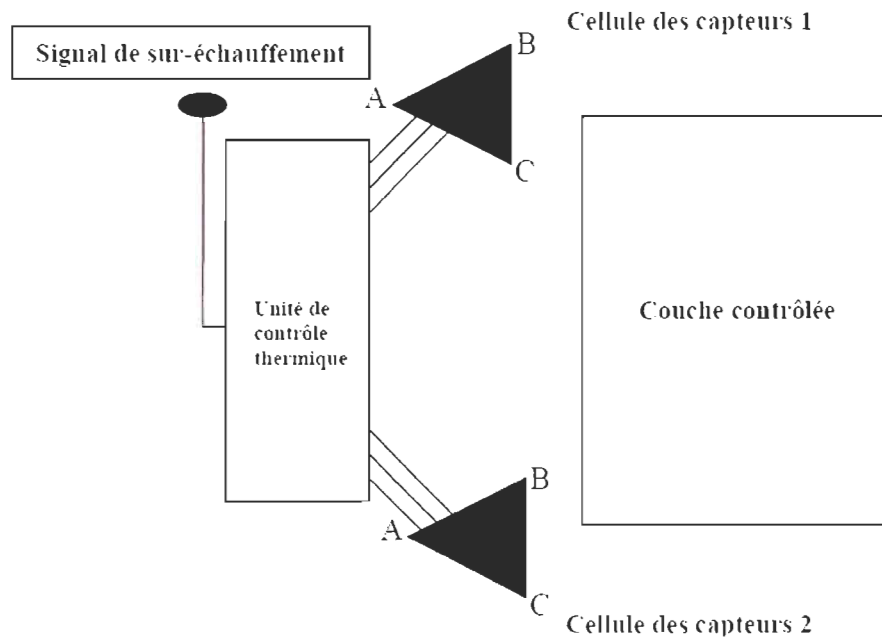


Figure 3.3 : Répartition suggérée avec l'unité de contrôle.

L'approche utilisée dans notre travail, se base sur le concept de la solution des problèmes inverses déjà introduite. Nous allons analyser et discuter les différents travaux déjà faits sur ce sujet et nous allons discuter l'algorithme que nous proposons, ensuite on va explorer la méthodologie d'optimisation, de développement, et de codage qui va être utilisée afin d'implémenter cet algorithme sur un FPGA approprié. Nous allons présenter notre choix du FPGA qui sera utilisé et les raisons qui le soutiennent.

Jusqu'à maintenant nous avons vu que les études reliées à notre sujet sont basées sur l'implantation logique des capteurs sur le FPGA elle-même. Dans notre travail nous allons utiliser des capteurs thermoélectriques séparés de la carte, et l'algorithme gérant ces capteurs sera implanté sur un circuit VLSI (FPGA dans notre cas), constituant ainsi un module matériel qui peut être introduit à n'importe quelle puce pour détecter et localiser les pics thermiques qui peuvent apparaître durant le fonctionnement. Une extension à cet algorithme sera ajoutée afin de le rendre capable de prendre de bonnes décisions de correction et de gestion thermique dynamique.

Dans la première discussion, nous allons faire une revue de la méthode GDS (*Gradient Direction Sensor*) qui constitue la base de notre algorithme proposé.

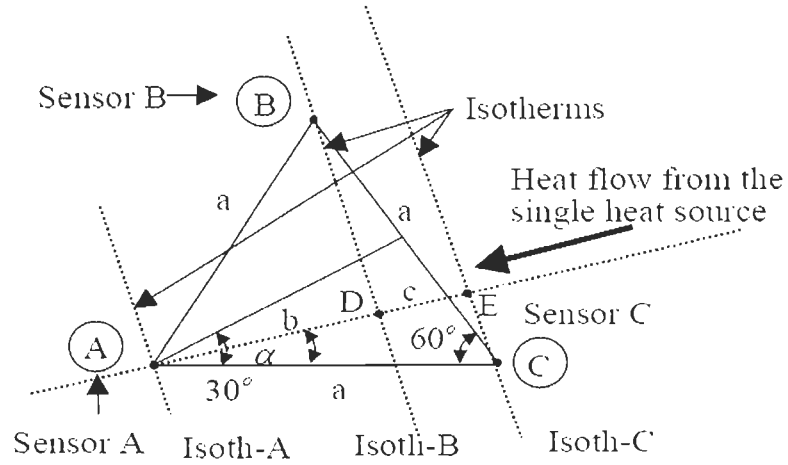


Figure 3.4: Construction d'une cellule de capteur $\alpha \in (0^\circ, 30^\circ)$

Pour deux capteurs, A et C placé sur une distance a (Figure 3.4), la différence de la tension de sortie entre eux est proportionnelle aux changements de la valeur de la température le long de la distance a. Cela est vrai seulement quand la source de chaleur est sur la ligne entre les deux capteurs pour tous les autres cas la valeur de l'angle α doit être prise en considération pour le calcul approprié du ΔT (3.1)

$$\frac{\Delta T}{\Delta r} = \frac{T_c - T_A}{a \cdot \cos \alpha} \leftrightarrow \frac{V_c - V_A}{a \cdot \cos \alpha} \quad (3.1)$$

Où : r est la distance entre le capteur A et la source de chaleur et que a, b et c sont les distances représentées à la Figure 3.4.

$$b = \overline{AD}, \overline{AD} \leftrightarrow T_B - T_A \leftrightarrow V_B - V_A \quad (3.2)$$

$$b + c = \overline{AE}, \overline{AE} \leftrightarrow T_C - T_A \leftrightarrow V_C - V_A \quad (3.3)$$

De l'équation (3.2) et (3.3) et la Figure 13 on obtient l'équation (3.4) :

$$\tan \alpha \leftrightarrow \frac{2}{\sqrt{3}} \left(\frac{V_B - V_A}{V_C - V_A} - \frac{1}{2} \right) \quad (3.4)$$

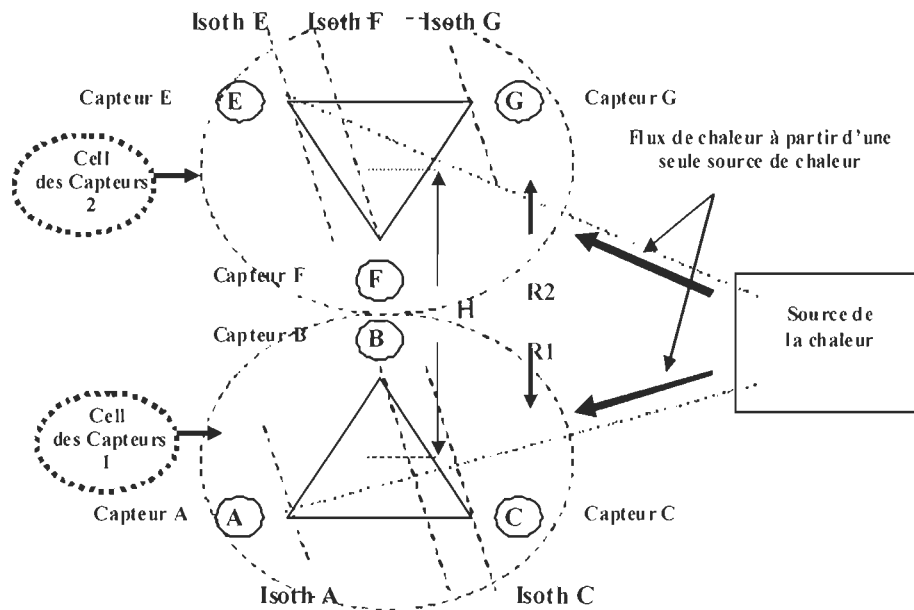


Figure 3.5 : Description du problème pour une seule source de chaleur avec la méthode de GDS

En utilisant la cellule (Figure 3.4) nous pouvons obtenir l'information sur la distribution de la température et la position de la source de chaleur. Afin d'obtenir la valeur de la température d'une source de chaleur ponctuelle simple, nous devons calculer la distance entre le capteur et la source de chaleur. À cette fin, une deuxième cellule sera nécessaire. Les cellules sont placées dans une distance donnée (H) et chacune d'elles fournit des informations sur l'angle α (α_1 et α_2) dans la direction de la source de chaleur (Figure 3.5). Ainsi, la longueur d'un côté et les valeurs des angles sont connues entre la source de chaleur et les cellules. Ceci signifie que nous pouvons calculer les distances entre la source de chaleur et les capteurs. Maintenant nous pouvons calculer le gradient de la température le long d'une distance connue. Ainsi, deux cellules avec des capteurs A, B, C et D, E, F sont placées dans deux coins de la structure WSI sur une distance H . Par conséquent, on peut obtenir l'équation (3.6) décrivant la valeur de la température de la source de chaleur.

$$T_H \leftrightarrow V_H = \frac{H}{a} \cdot (V_C - V_A) \cdot \frac{(\tan^2 \alpha_1 + 1) \cdot (\sqrt{3} + \tan \alpha_2)}{\sqrt{3} \cdot (1 - \tan \alpha_1 \cdot \tan \alpha_2) - (\tan \alpha_1 + \tan \alpha_2)} + V_A \quad (3.6)$$

La Figure 3.5 montre la disposition proposée pour les deux cellules des capteurs, la cellule 1 comprend les 3 capteurs A, B et C; la cellule 2 comprend E, F et G. Les deux cellules sont placées sur les deux coins du circuit à contrôler, et sont séparées par une distance donnée H. On montre ainsi les différentes positions possibles de la source de chaleur sous expérience.

Sur la base des propriétés géométriques de la Figure 3.4 et les équations (3.1) (3.2) (3.3) et (3.4) appliquées pour α (-30° , $+30^\circ$) on peut déduire l'équation (3.6) qui calcule la température TS de la source de chaleur et par la suite son voltage VS. Cette méthode est très utile pour l'indication des situations de sur-échauffement sur la surface de couches en semi-conducteurs.

Nous allons implémenter cette méthode directement sur la surface à contrôlée, à cause de deux grands avantages représentés par cette méthode et qui sont :

- L'utilisation de six capteurs seulement (dans le cas le plus simple) structurées sous forme de deux cellules séparées d'une distance H.
- La distribution de ces deux cellules peut être à n'importe quel endroit à l'extérieure de la zone étudiée.

L'un des objectifs importants à atteindre est le placement idéal de ces deux cellules en se basant sur une série de simulations logicielles et matérielles. L'inconvénient majeur de cette méthode est dans la complexité du calcul présentée par l'équation (3.6). C'est pour cela que nous proposons l'implantation sur un FPGA, qui se caractérise par des capacités de calcul très élevées.

III.4 Analyse numérique

III.4.1 Développement des modèles éléments finis

Le logiciel de simulation par éléments finis utilisé est NISA dans sa version 15.0 mais pour la version utilisée au cours de cette thèse le nombre d'éléments utilisables est limité. Cette limite ne permet pas de modéliser l'ensemble du processeur et de la carte. Les dimensions du CI étant en effet très inférieures à celles de la carte, le nombre d'éléments nécessaires pour mailler le modèle serait trop important pour les capacités du logiciel. Si cette limite logicielle n'existait pas nous serions de toute façon limité au point de vue matériel (mémoire vive et de masse de l'ordinateur) et il faudrait garder des temps de calcul raisonnables. Il faut donc utiliser au mieux cette version de NISA et vérifier la validité de ses calculs en fonction du maillage. La géométrie des modèles est aussi définie en tenant compte des symétries présentes. Pour limiter la taille et le temps de calcul, NISA permet de ne modéliser qu'un quart de processeur et de la carte.

L'objectif de cette partie est d'étudier la dynamique thermique et thermomécanique en régime permanent d'un processeur de type virtex II de xilinx dans une carte ML310 pour établir les contraintes thermiques et mécaniques en régime dynamique, on va tout d'abord réaliser le modèle en 3D de l'ensemble de la structure. Elle est formée de processeur, des boules de soudure et du PCB.

III.5.2 Définition des modèles et maillage

Le processeur a une taille de 35mm X 35mm X 2.6mm, elle est constituée du substrat dont la taille est 35mm X 35mm X 1.5mm, d'une jonction dont la dimension est 22mm X 22mm X 0.1mm, du silicium dont la taille est 22mm X 22mm X 0.2mm et de l'aluminium qui a une grandeur de 35mm X 35mm X 0.75mm. Quand aux boules de soudure dont le diamètre est 0.6mm, le modèle est formé de 34 X 34 boules alignées et espacées de 1mm. Le PCB, quand à lui, il a une taille de 150mm X 150mm X 1.6mm (Figure 3.6).

Afin de modéliser la structure sur NISA, on a divisé le modèle à trois dimensions pour réduire la taille du modèle dû à la symétrie. On prend en considération que le quart du modèle. Pour réaliser le modèle 3D de l'ensemble constitué de la carte électronique et du PCB, on va considérer qu'une partie de la structure en forme de carré dont la taille est 1×1 mm. Une fois que le maillage de cet élément est généré, on va le copier et en faire une translation selon les axes X et Y pour générer le reste du modèle.

Les étapes de maillage du modèle sur NISA vont être illustrées sur les Figures ci-dessous. Pour les besoins du modèle, la structure en forme de carré va être générée à partir de 17 nœuds pour garder la continuité entre le PCB et les boules de soudure. Par conséquent, il est important de déterminer les coordonnées de chaque nœud et les convertir en μm .

Le PCB est un support rigide et plat qui tient une carte électronique et d'autres composantes. Étant donné que l'on fait une coupe d'une manière à ce qu'on ait seulement un quart de la superficie du PCB, la taille de celui-ci devient $75\text{mm} \times 75\text{mm} \times 1.6\text{mm}$. Cependant, pour garder la continuité entre les nœuds du PCB et celles des boules de soudure, on a décidé de générer la structure du PCB d'une façon à ce que tous les nœuds restent reliés entre eux.

Une boule de soudure est un globe minuscule de la soudure qui fournit le contact entre le PCB et le processeur. Les boules de soudure ont un diamètre et une profondeur de $600 \mu\text{m}$ et l'espace entre chacune d'elles est de $1000 \mu\text{m}$. Afin de simplifier la modélisation des boules de soudure sur NISA, on considère que celles-ci ont une forme d'octogone avec 8 segments.

Le maillage du substrat se fait de la même manière que le PCB, parce qu'on prend en considération la même forme géométrique. La saisie des coordonnées de chaque nœud se fait à $Z = 2200 \mu\text{m}$ et on fait une translation des PATCH selon l'axe Z à $1500 \mu\text{m}$, étant donné que ça représente l'épaisseur de cette couche.

C'est une couche très mince qui attache le substrat au chip, le maillage de cette couche se fait également de la même manière que le PCB mais l'entrée des coordonnées des nœuds se fait à $Z = 3700 \mu\text{m}$ avec une épaisseur de $100 \mu\text{m}$ qui représente une translation selon l'axe Z.

Pour les fins de modélisation, on ne considère que cette couche à la même forme rectangulaire que les autres précédemment. Pour modéliser cette couche en éléments finis, on saisit sur NISA les coordonnées de chacun des nœuds au niveau $Z = 3800\mu\text{m}$ et on fait une translation selon Z de $250 \mu\text{m}$ pour définir l'épaisseur.

C'est la couche qui couvre tous les autres niveaux, l'épaisseur de celle-ci est de $750 \mu\text{m}$ et la saisie des coordonnées se fait au niveau $Z = 4050 \mu\text{m}$. Pour réaliser le maillage du boîtier constitué du PCB, des boules de soudure et de la carte électronique, on prend le modèle 3D dont on vient de faire le maillage de toutes les couches et on en fait une copie pour le translater ensuite sur l'axe X et l'axe Y. Les Figures 3.7 et 3.8, montre des images de la modélisation du boîtier.

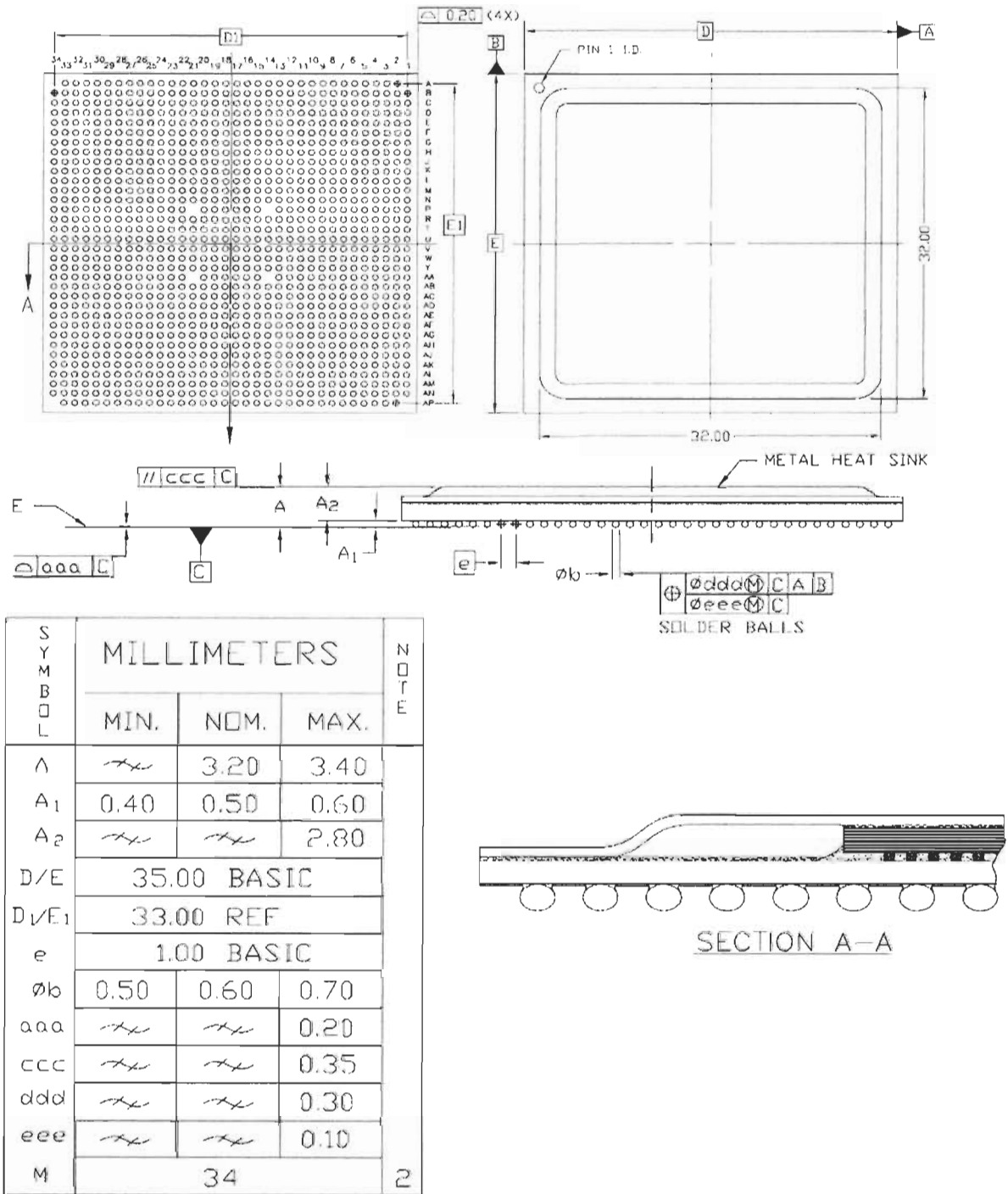


Figure 3.6: Plastic Flip-Chip BGA Package

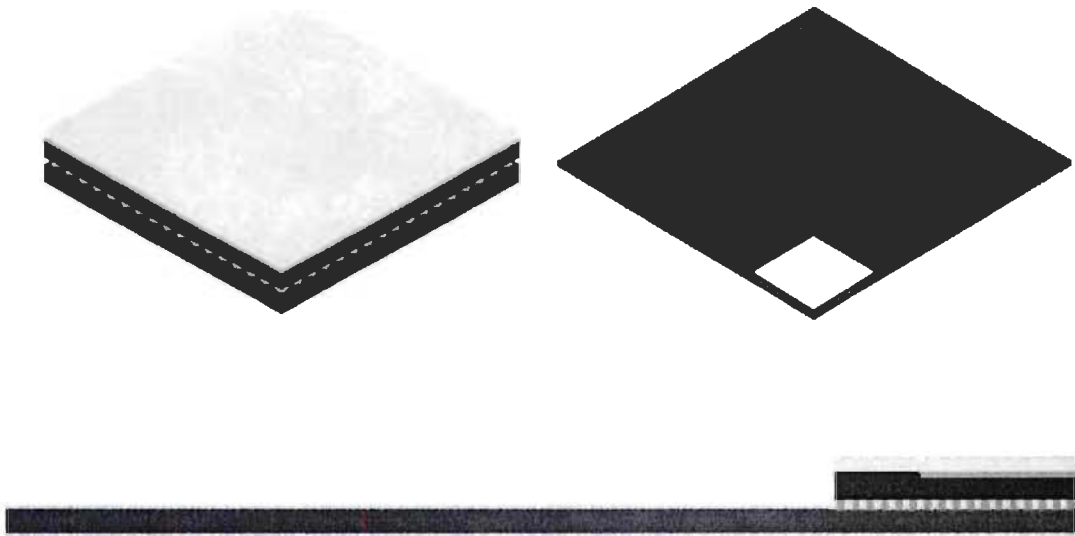


Figure 3.7 : Maillage du boîtier en 3D

	PCB	Boule de soudure	Substrat	M	Silicium (die)	Aluminium
Densité (Kg/m ³)	1660	8460	1660	1660	2330	2700
Module d'young (GPa)	165.9	17	26 (xy) 11 (z)	16	131	70
Coeff. Poisson	0.12	0.4	0.39 (xy; yz) 0.11 (xy)	0.25	0.3	0.33
CTE (ppm/°C)	9.9	21	15 (xy) 52 (z)	15	2.8	22.4
Cond.thermique (W/m. °C)	367	50	0.3	65	150	160
Chal.spécifique (J/Kg. °C)	1672	957	1672	1672	712	960

Tableau 3.1 : Propriétés des matériaux pour les simulations thermomécaniques

La Figure 3.8 montre l'implémentation dans le modèle FEM du principe de mesure GDS pour des fins de validations.

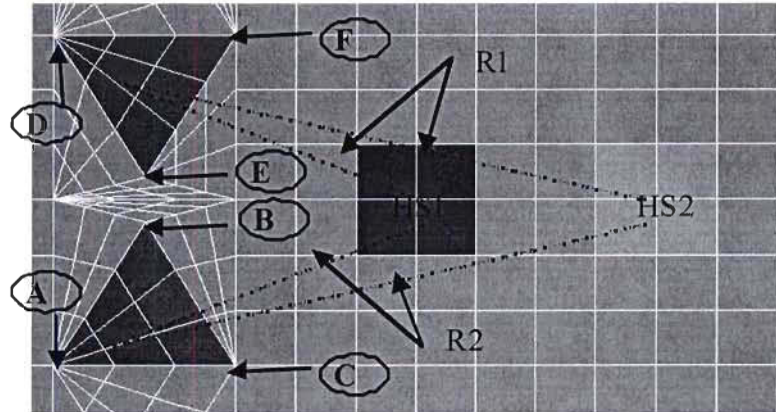


Figure 3.8 Configuration physique de deux cellules et la source de chaleur dans le modèle en éléments finis

III.5.3 Résultats et discussions

La Figure 3.9 nous montre le profil de la température suivant le plan horizontal passant par le centre de source de chaleur. Les parties horizontales de la courbe correspondent à la température des éléments au niveau du substrat. Le profil de la température est fonction à la fois de la conduction et de la convection.

Ces simulations par éléments finis nous permettent de connaître les performances du système à la seule condition de connaître exactement les caractéristiques thermiques des différents points composant les structures. Ici ces paramètres ne sont pas connus avec précision. Nous utiliserons donc un modèle 3-D, dans lequel on ne prend en compte que la température à la surface de jonction chauffante et la température du boîtier. Une vue en coupe selon un plan vertical passant par le centre de la source de chaleur. Les résultats ainsi obtenus seront donc minorés en comparaison à la structure réelle. Également, la Figure 3.19 est un exemple de résultat d'une simulation en 3-D. Elle nous montre la distribution de la température de côté verticale. Nous avons simulé les performances du

prototype caractérisé précédemment en utilisant les mêmes conditions aux limites réelles. De plus, la Figure 3.9 montre les courbes de température en fonction de la distance.

Nous observons que le profil de température devient bien symétrique. Ici, la variation de la température nous donne une cartographie thermique plus symétrique, la sensibilité du placement des capteurs n'est plus linéaire et obtenue simplement en faisant la soustraction de la courbe. La partie droite de la courbe correspond à une élévation de température, tandis que la partie gauche nous montre une diminution de la chaleur due à une déformation du gradient de température. La partie centrale de la courbe correspond à la position de la source de chaleur. La sensibilité du placement des capteurs étant proportionnelle à la différence de température sur le substrat, on aura intérêt à positionner les capteurs aux endroits où il ya une variation de la température. Dans la suite, nous étudierons directement cette différence de température, ΔT , qui représente la sensibilité

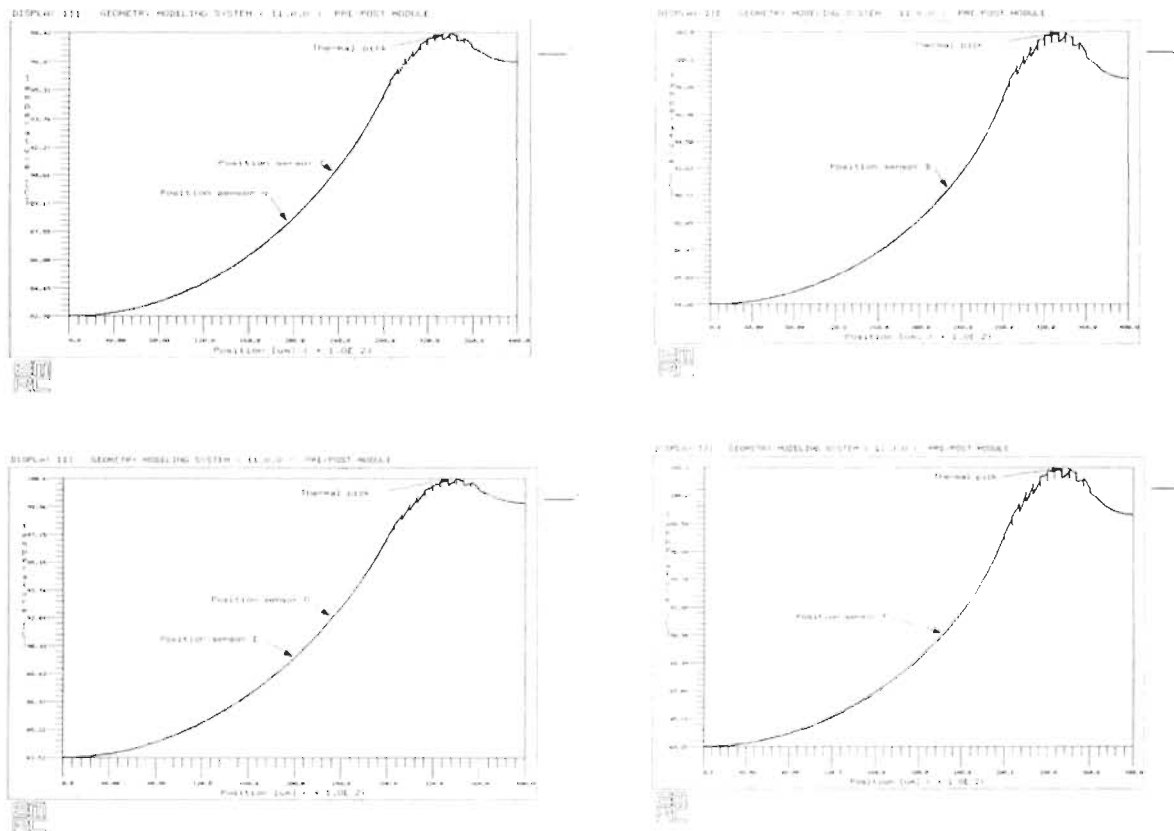


Figure 3.9 : Distribution de la température pour différents choix de placement des capteurs

Le Tableau 3.2 montre les résultats des prédictions de la position et la température pour le modèle 3-D en éléments finis.

Distance Cell 1 – cell 2 H (μm)	Source TempTmax ($^{\circ}\text{C}$)	Distance Cell 1- source R1(μm)	Distance Cell 2 – Source R2 (μm)
5600(HS1)	122.85	11496.0	18736.6
5600(HS2)	124.48	24828.3	33423.8
11600(HS1)	125.9	15372.1	23436.7

Tableau 3.2: Résultat en 3-D avec le model en éléments finis (HS1): Source de chaleur1 (HS2) : Source de chaleur2

III.5 Analyse analytique

III.5.1 Modèle de l’algorithme en utilisant Simulink

Les ingénieurs de systèmes continuent à utiliser des langages procéduraux tels que C ou MATLAB[®] pour simuler les systèmes. Tels outils sont très puissants dans le cadre de développement des algorithmes individuels et non temporels. Cependant, de tels langages impliquent des grandes difficultés dans le développement des algorithmes concurrentiels et en temps réel, surtout comme dans le cas des systèmes de communication mobiles où plusieurs algorithmes opèrent selon plusieurs niveaux de débits. Le problème vient du fait que les langages basés sur les textes (commandes) diffèrent des langages basés sur les modèles, ne comprennent pas des composants *built-in* pour gérer le temps et la concurrence des différents algorithmes; d’où l’importance de la conception et de la programmation basés de modèles sous Simulink[™], l’outil principal utilisé dans notre thèse.

Les Figures de 3.10 à 3.14 suivantes montrent la représentation partielle de quelques modules de l’algorithme par les blocs de Simulink[™].

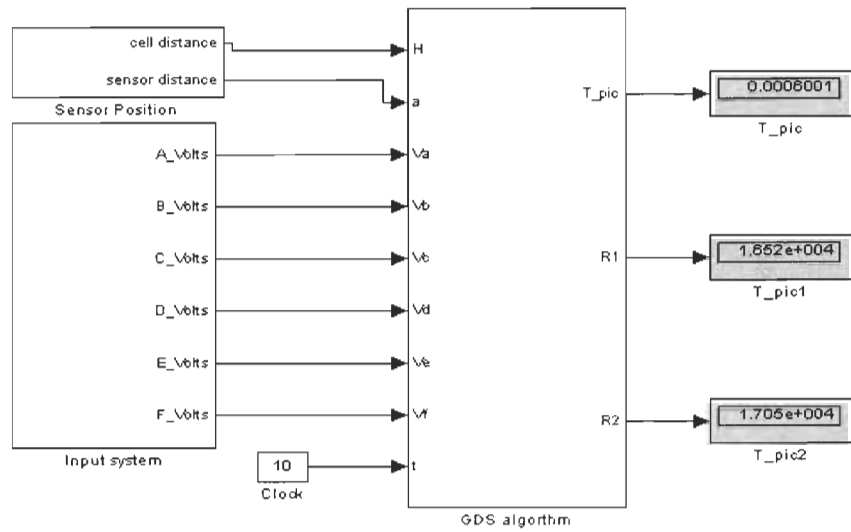


Figure 3.10 : Système du calcul avec Simulink

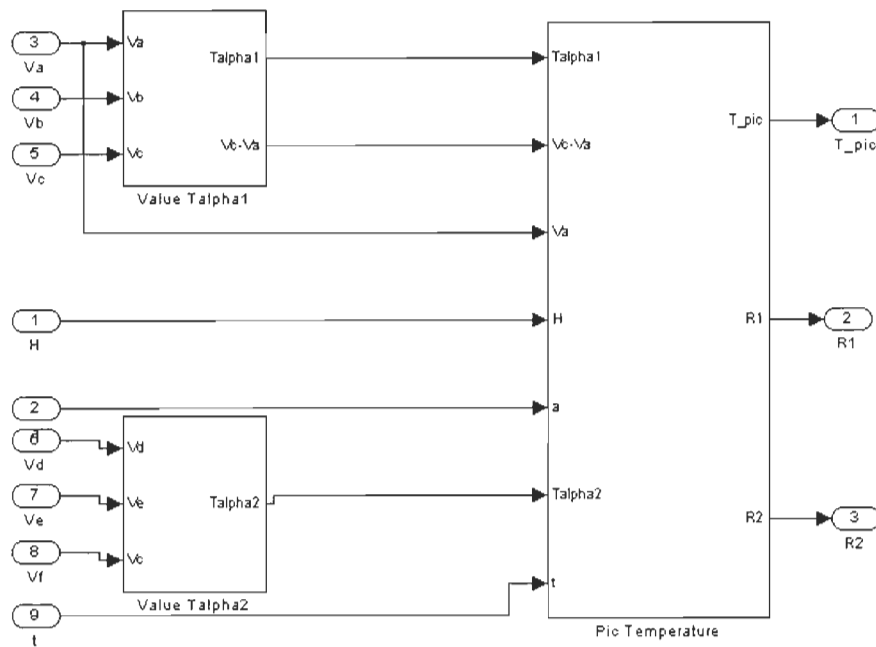


Figure 3.11 : Les blocs Simulink des trois modules

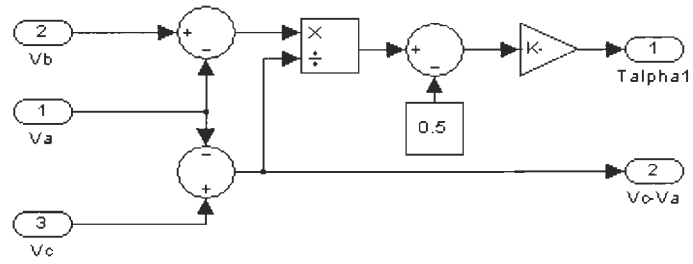


Figure 3.12 : Les blocs Simulink du module 1

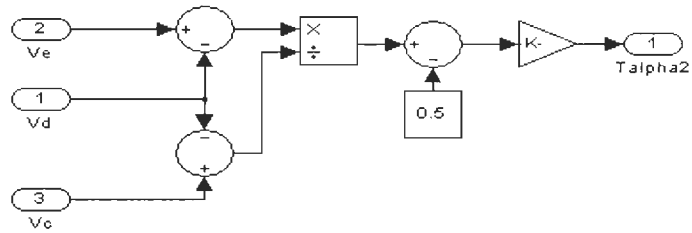


Figure 3.13 : Les blocs Simulink du module 2

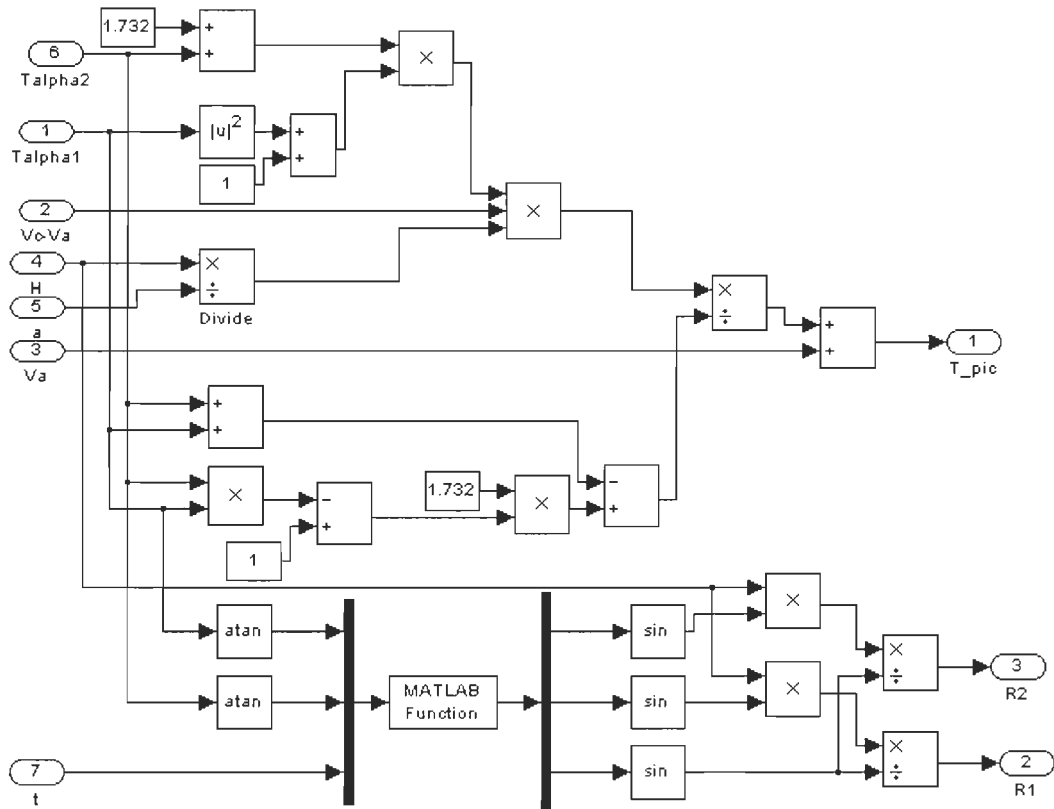


Figure 3.14 : Les blocs Simulink du module 3

Comme déjà mentionnée, une partie de l'architecture modulaire proposée comprend trois modules élémentaires. En respectant les normes des techniques de « diviser pour régner » et de « Code Reuse » ces trois modules forment trois sous-systems de nature « Code Reuse » sous Simulink. La Figure (3.8) montre la vue générale du système de calcul de l'algorithme.

III 5.2 Sous-système d'entrée de l'algorithme

Pour simuler l'algorithme, nous avons besoin d'un sous système d'entrée qui soit le plus proche possible de l'entrée réelle du système. Nous savons que nous avons bâtis notre algorithme sur l'hypothèse que la fonction représentant la chaleur soit linéaire, c.a.d. nous avons induit implicitement une fonction d'approximation de non-linéarité. Pour cela nous avons besoin d'une chaîne de modèles qui transforme ces phénomènes physiques (activité de chaleur) en valeurs numériques. Simulink offre une librairie qui fait exactement ce travail, en transformant les données venant d'un thermocouple en des valeurs numériques qui peuvent être utilisées dans notre algorithme.

Le thermocouple est un des transducteurs analogues populaires aujourd'hui, qui est connu pour son comportement linéaire. Nous avons utilisé cette librairie comme entrée pour la simulation de notre algorithme après quelques modifications nécessaires. Nous avons ajouté des biais sur les six capteurs pour générer les différentes valeurs d'entrée V_A , V_B , V_C et V_E , V_F , V_G . Les valeurs de biais ajoutées ont été déduites des résultats du modèle en FEM.

Il faut noter que ce sous-système d'initialisation nous permet juste de vérifier le comportement de l'algorithme tout au long du cycle de vie de l'implémentation. La validation de valeurs calculées par l'algorithme sera sous forme d'une comparaison matricielle avec les résultats numériques (tableau 3.2). La fonction principale est une fonction carrée qui simule un intervalle de températures entre 0 et 150 °C. Nous avons

testé notre algorithme sous différents types de fonction et nous avons trouvé de bons résultats.

Comme nous montre la Figure 3.8, le sous-système d'entrée est formée de la fonction principale qui simule les températures, ensuite une fonction qui transforme les valeurs de température en des valeurs en tension, en utilisant le tableau de données du thermocouple de type S. la troisième fonction est un convertisseur qui transforme les valeurs analogiques de tension en des valeurs numériques. Enfin, une troisième fonction donne des valeurs de températures en temps discret et non continu. Ces valeurs discrètes seront les 6 entrées de notre algorithme après qu'on leurs ajoute des biais appropriés des résultats numériques (tableau 3.2).

III-5-3 Résultats et discussions

Distance Cell 1 – –cell 2 H (μm)	Source TempTmax ($^{\circ}\text{C}$)	Distance Cell 1- source R1(μm)	Distance Cell 2 – Source R2 (μm)
5600(HS1)	122.85	11496.0	18736.6
5600(HS2)	124.48	24828.3	33423.8
11600(HS1)	125.9	15372.1	23436.7

Tableau 3.3: Résultat analytique avec la méthode GDS pour différentes sources de chaleur

Dans cette étude, des investigations sont faites pour le cas le plus simple, seulement six capteurs de température (A, B, C, D, E et F) (Figure3.8) sous forme de deux cellules de capteurs et d'une seule source de chaleur. Les simulations ont été effectuées pour une source placée au niveau de la jonction. Le tableau 3.3 montre le calcul analytique pour détecter une source de chaleur par la méthode GDS. Le pic thermique prévu est situé au centre de la source de chaleur. Les cellules peuvent être placées dans n'importe quelle position sur la structure WSI (la distance entre la cellule 1 et la cellule 2 est H), mais dans certains cas le placement adéquat peut simplifier la

conception de l'unité de contrôle. Dans la présente partie les résultats des pics thermiques peuvent être très utiles pour indiquer des situations critiques d'augmentation de la température et par conséquent la contrainte thermomécanique associée se produisant dans la structure WSI.

D'ailleurs, ces résultats sont comparés à ceux donnés dans le (tableau 3.2). En résumé, une comparaison entre la méthode analytique et la méthode numérique par éléments finis dans les mêmes conditions a donné de bons résultats et par conséquent elle sera élaborée davantage.

Conclusion

Dans le cadre de cette thèse nous avons développé lors de la première phase une nouvelle orientation pour la caractérisation de la dynamique thermique dans les microsystemes VLSI à haute densité avec la méthode des éléments finis. Ainsi, la distribution de la température sur la surface de la puce servira pour la prédiction de la contrainte thermomécanique localisée aux emplacements des capteurs. La philosophie proposée sera utilisée dans les applications rapides et peut s'appliquer sur une plus large gamme de circuits intégrés. De plus, la caractérisation de la dynamique thermique dans les microsystemes VLSI en opération, en tenant compte des conditions aux limites réelles représente une nouvelle approche pour ce type d'application.

Le but essentiel de la méthode proposée est de fournir aux concepteurs un moyen adéquat pour pousser les limites d'opération des nouveaux microsystemes VLSI en intégrant le contrôle de la distribution de la contrainte thermomécanique. De plus, l'implémentation nous permettra de valider expérimentalement nos résultats de caractérisation de la dynamique thermique pour prédire le comportement thermomécanique d'un circuit intégré en opération.

Nous avons présenté une première approche pour prévoir la température d'une source de chaleur simple sur la surface de la structure WSI. Ainsi, nous avons appliqué la

méthode GDS (Gradient Direction Sensor) pour la détection des pics thermiques dans les microsystèmes VLSI Cette technique sera utilisée pour le développement de notre algorithme. Parmi les facteurs nécessitant une attention particulière lors de son développement, nous pouvons citer le nombre de capteurs, leur proximité, leur distribution spatiale et leurs interconnexions en réseau. L'application de la méthode GDS sera à la base du développement de l'algorithme de détection dans le cas de plusieurs sources de chaleurs et cela dépasse le cadre de cette thèse.

Chapitre IV

Implantation d'un algorithme de détection et de localisation des pics thermiques SPTDA

Introduction

L'objectif principal de ce chapitre concerne la modélisation, conception et l'implantation en technologie d'intégration à très grande échelle VLSI d'un algorithme de détection et de localisation des pics thermiques (SPTDA). L'algorithme mis en fonctionnement sera conçu de façon à faciliter le développement d'une architecture en vue de leur implantation en VLSI. Cette architecture sera modélisée en langage de haut niveau, simulée afin d'évaluer leur performance et implantée sur un FPGA.

La méthode de détection utilisée est fondée sur le concept de GDS qui est basé à l'inverse sur le concept du problème inverse, où on connaît les effets et on doit calculer les causes.

La validation des résultats de simulation des modèles est faite en utilisant le logiciel SimulinkTM sous Matlab[®], qui nous permet de simuler le comportement du système dans le temps. Les résultats obtenus montrent que la détection a été réalisée avec une grande précision.

Pour maintenir la performance dans la pire des conditions d'opérations, les nouveaux microprocesseurs emploient certaines façons dynamiques de gestion thermique (*Dynamic Thermal Management- DTM*) par exemple la technique de consigne d'horloge (*Clock Gating*) et l'échelonnement dynamique de la tension (*Dynamic Voltage Scaling*).

Le concept de DTM est automatiquement engagé lorsque la température sous contrôle dépasse une certaine valeur prédéfinie.

Dans ce chapitre, nous présentons la conception et l'implantation en technologie VLSI d'un système qui détecte et localise les pics thermiques dans le but de contrôler continuellement les niveaux de température aux divers emplacements sur la puce, et activer une réponse appropriée quand une urgence thermique est détectée. L'algorithme de détection sera basé sur le concept des problèmes inverses ainsi que sur la méthode des détecteurs de la pente de la direction et optimisé en vue de son implémentation sur un FPGA (*Field Programmable Gate Array*).

La proposition d'une architecture parallèle nous permettra d'avoir un très bon débit afin de répondre aux besoins des calculs excessifs de la gestion de la dynamique thermique en temps réel tout en diminuant les opérations des consignes d'horloge (*Clock Gating*) et l'échelonnement dynamique de la tension (*Dynamic Voltage Scaling*) généralement utilisés dans des cas similaires pour optimiser la performance générale ainsi que la durée de vie du système. Cette architecture sera modélisée en langage de haut niveau, et simulée afin d'évaluer sa performance et finalement implantée sur un FPGA.

Les contributions à ce sujet dans cette partie concernent l'adaptation des algorithmes de détection et de localisation afin de pouvoir les implanter sur un circuit VLSI. Également, la conception de modules de prédiction et de mesure des paramètres permettra de valider les principes de l'algorithme. Fiabilité, précision et rapidité sont les principaux objectifs qui ont guidé la réalisation de l'algorithme.

Nous avons choisi d'implanter notre algorithme sur un FPGA. Un FPGA consiste en une matrice à deux dimensions de blocs logiques reconfigurables (*CLB-Configurable logic blocs*) entourée par des blocs d'entrées/sorties (*IOB-Input output blocs*) et une matrice de connecteurs qui connecte les CLB. D'autre part, toute méthodologie de conception utilisée doit prendre en considération les différentes contraintes telles que le coût, la consommation et le temps de mise sur le marché. Par exemple, les développeurs

des applications de traitement du signal ont recours à une mise en œuvre des nouvelles méthodologies d'implantation très efficaces. Dans notre travail, la nature de l'algorithme étudié nécessite une méthodologie de synthèse d'architecture sous contrainte de précision et de vitesse. Donc, pour obtenir une implantation efficace, le processus d'optimisation est couplé avec la synthèse d'architecture. De plus, l'évaluation de la précision est réalisée par une approche analytique permettant ainsi d'obtenir des temps d'optimisation raisonnables.

IV.1 Méthodologie d'implantation

Notre flot de conception sera divisé en trois parties principales : simulation, synthèse et implémentation. Nous allons présenter une description de chaque partie.

Simulation : nous allons tout d'abord établir des diagrammes d'états représentant les différentes fonctions de l'algorithme de SPTDA (*Surface Peaks Thermal Detector Algorithm*) et ceci sera réalisé en utilisant la programmation de modèles, qui est très importante pour bien structurer notre algorithme en le divisant en différents modules ayant une structure hiérarchique, suivant la technique de diviser pour régner (*Divide and conquer*) [24] et le tout sera fait en utilisant une architecture «systolique» [25]. Ensuite l'outil System Generator intégré dans Matlab™ Simulink® génère le fichier du code (VHD), par là on établit une co-simulation de ce code pour étudier son comportement fonctionnel, les modifications manuelles seront performées dans cette étape avant la simulation logicielle finale. Par la suite on établit les bancs d'essai Test Benches et on engage le Force File ainsi préparé pour exciter les paramètres intérieurs et extérieurs de l'algorithme. Ainsi, le Test Bench testera toutes les fonctions clés du design.

Synthèse : c'est l'étape qui transforme la description HDL d'une puce en portes logiques en utilisant les contraintes spécifiées par l'utilisateur (temps, variation d'horloge, surface, etc..) pour implémenter et optimiser la conception proposée dans les blocs fonctionnels primitifs sur le FPGA (les flip-flops, les portes logiques, etc.). De la synthèse, nous pouvons obtenir aussi, par exemple, la fréquence de base, et les

informations techniques de la puce (secteurs et connecteurs utilisés). Cependant, la synthèse donne seulement des valeurs estimées [26]. Afin d'obtenir des résultats plus précis, l'étape de placement et routage doit être faite dans la phase d'implémentation en ciblant un FPGA bien spécifié.

Implémentation : Les outils de synthèse, de placement et de routage de Xilinx seront utilisés. Après la synthèse, l'outil ISE à titre d'exemple exporte un fichier EDIF (*Electronic Design InterchangeFormat*) qui représente le caractère fonctionnel de la conception. Le logiciel Xilinx ISE prendra ce fichier et traduira alors les listes de fonctions à l'intérieur en un fichier NGD (*Native Generic Database*) qui contient la description logique de la conception qui cible une famille de FPGA de Xilinx bien déterminée. Le design est transformé maintenant en une série de CLB, FF et d'IOB. Après cela, la conception peut être placée sur la puce et peut être connectée (routage). Des données plus précises à propos de l'utilisation et de la performance seront fournies par le rapport final généré automatiquement par l'outil après le placement et routage.

IV.2 Conception modulaire de l'algorithme SPTDA

Un modèle architectural est spécifié comme un hypergraphe non orienté, formé à partir des opérateurs (les sommets du graphe), connectés par un médian de communication bidirectionnelle (les bords du graphe). Un milieu de communication peut connecter deux opérateurs ou plus. Ce graphique décrit le parallélisme disponible de l'architecture. Chaque opérateur est une machine à états finis, qui exécute de façon séquentielle un sous-ensemble des opérations de l'algorithme. Chaque médian de communication exécute de façon séquentielle les opérations de communication. Les entrées de notre algorithme sont les 6 valeurs reportées par les capteurs placés en deux cellules autour de la région contrôlée.

Pour résumer les différentes tâches de calcul utilisées dans cet algorithme, nous allons diviser les formules de l'algorithme en des tâches de calcul de base pour mieux

visualiser les composants primaires des calculs utilisés dans le but de choisir l'architecture appropriée et optimale pour l'implantation en visant un FPGA donné.

1. Le premier module consiste à calculer la valeur de l'inclinaison de la source par rapport à la première cellule et nécessite 3 opérations d'addition avec l'opération de multiplication et une opération de division.
2. Le deuxième module, qui est le symétrique du premier, est dédié pour le calcul de la valeur de l'inclinaison par rapport à la deuxième cellule et nécessite aussi trois opérations d'addition avec une opération de multiplication et une opération de division.
3. Le troisième module qui estime la valeur de la température au niveau de la source de chaleur nécessite six opérations d'addition avec quatre opérations de multiplication et deux opérations de division, ainsi qu'une opération de calcul du carré de la sortie du premier module.

Nous comprenons par le "module", un élément d'une bibliothèque, disponible au concepteur pour être utilisé directement sans être obligé de refaire le travail de conception du début. Un des principes de la méthodologie de design-reuse consiste à choisir, à travers le procédé de synthèse, les éléments d'une bibliothèque qui sont utiles pour la conception. Ces modules, extraits du flux de conception, sont distribués entre les divers niveaux d'abstraction.

La tâche d'optimisation consiste à optimiser les opérations les plus fréquentes, tel que, en série, les additions, les multiplications et les divisions.

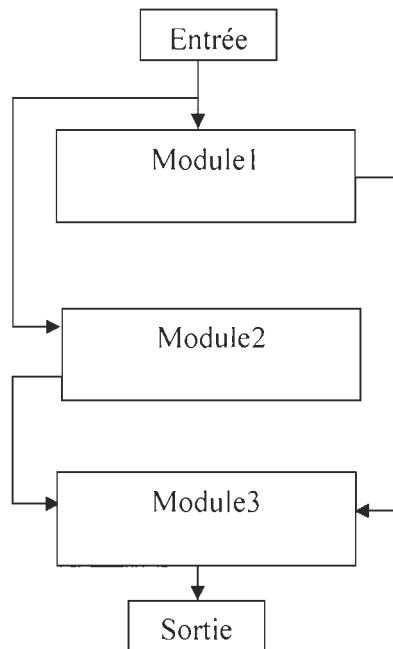


Figure 4.1: Modèle architectural de l'algorithme SPTDA

VI.3 Décomposition modulaire

La conception modulaire suivante montre la décomposition proposée de l'algorithme SPTDA. Module 1 et module 2 sont symétriques mais avec des différentes entrées. Les deux, ont la responsabilité de calculer les inclinaisons des sources de chaleur par rapport aux cellules 1 et 2 respectivement. Le 3^{ème} module est responsable du calcul de la température TS pour déterminer l'existence des pics thermiques. On note ici qu'en utilisant la méthodologie de la conception design reuse, seule la conception du module 1 nous intéresse, la conception du module 2 est induite à partir du module 1 directement avec la modification des entrées seulement. On note aussi dans le diagramme modulaire suivant qu'il y a toujours une branche commune entre les modules 1 et 2 d'une part et le module 3 d'autre part. L'interconnexion entre module 1 et module 3 est une triple connexion qui introduit $\tan\alpha_1$, $V_C - V_A$ et V_A dans le module 3. L'interconnexion module 2 – 3, est au niveau de $\tan\alpha_2$ seulement.

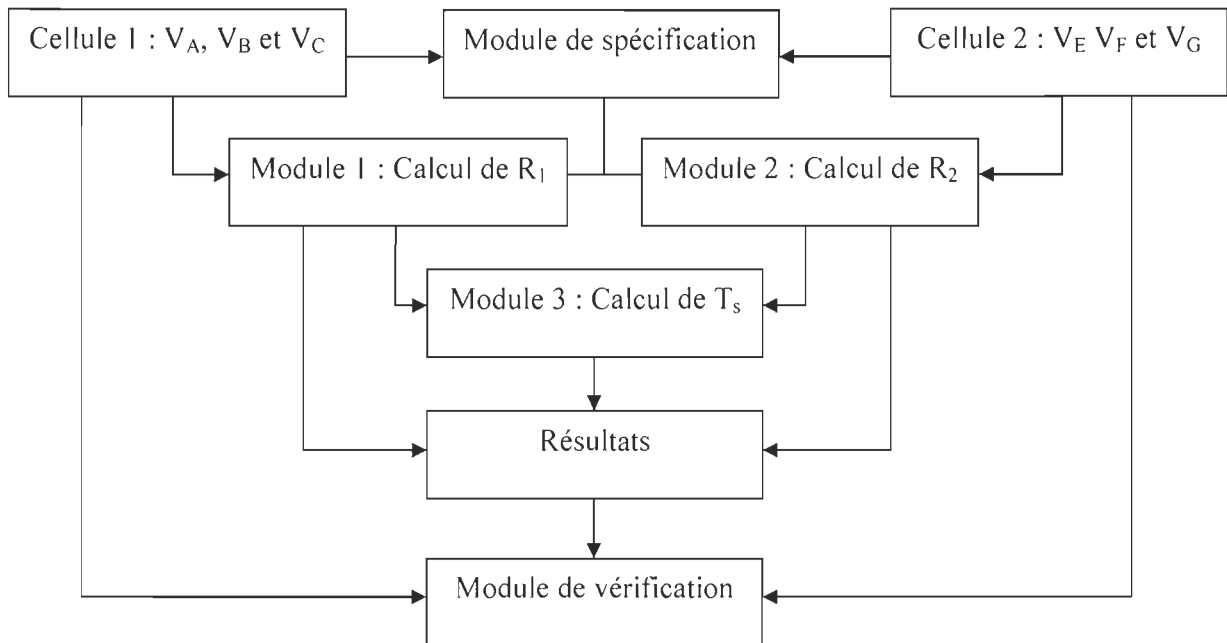


Figure 4.2: Interconnexion des modules

IV.3.1 Architectures en pipeline

En général, l'exploitation de structures pipelines apporte un gain important de performance, sans pour autant nécessiter une modification profonde de l'architecture. Les techniques de vectorisation permettent de tirer parti de l'organisation en pipeline du calcul des opérations arithmétiques élémentaires. C'est la manifestation la plus marquante d'un syndrome général : peu de parties de l'ordinateur ont résistées à la pipelinisation. Aujourd'hui on pipeline le décodage des instructions, les transferts de mémoire, aussi bien que les additions et les multiplications.

La présence d'un pipeline (et donc le partage de l'exécution d'une instruction en plusieurs étages) introduit des aléas de données : le résultat d'une opération dépend de celui d'une opération précédente qui n'est pas encore terminée. Conçus pour effectuer de nombreuses opérations identiques sur de longues séquences de données, les calculateurs vectoriels n'ont cessé d'accroître leur puissance durant la dernière décennie [25].

Cependant, l'augmentation des performances, quoiqu'elle soit importante, n'est plus aujourd'hui suffisante pour répondre aux besoins des utilisateurs, et à cela plusieurs raisons. Tout d'abord, l'industrie des semi-conducteurs est, d'une manière générale, plus du côté de développer des technologies à très haute densité d'intégration que de réaliser des circuits ultra-rapides. Ensuite, on a atteint des limites physiques qui semblent incontournables jusqu'à l'arrivée sur le marché des technologies très rapide de la nouvelle génération de microprocesseurs; enfin, le prix à payer pour gagner un ordre de grandeur sur la vitesse des composants en utilisant ces nouvelles technologies sera vraisemblablement prohibitif pour la plupart des applications.

La réponse apportée par tous les constructeurs de superordinateurs (Intel, Appel, AMD,...etc.) à la demande accrue des utilisateurs tient en un mot : le parallélisme.

IV.3.2 Architectures parallèles

Le concept de parallélisme contredit avec l'approche classique qui consiste à gagner de la vitesse en effectuant plus rapidement chaque opération. En calcul parallèle, le gain de vitesse provient de la réalisation simultanée de plusieurs opérations. Il ne faut pas croire que le recours au parallélisme pour accélérer des calculs soit une idée nouvelle, mais ce n'est que récemment la technologie a permis de construire des architectures multiprocesseurs et de les utiliser efficacement.

Comme leur nom l'indique, les multiprocesseurs sont des ordinateurs possédant plusieurs processeurs. Dans ce cas, l'architecture se complique : ainsi, les problèmes d'accès à la mémoire deviennent cruciaux pour pouvoir acheminer des données au rythme de traitement des processeurs; de même, les problèmes de communication et de synchronisation entre processeurs sont importants.

IV.3.3 Architectures SIMD et MIMD

Plusieurs modèles d'architectures parallèles ont été proposés. Pour les classer, on choisit un bon critère de sélection : c'est le mode de contrôle des suites d'opérations élémentaires effectuées par les différents processeurs [25].

On obtient les architectures suivantes, selon la multiplicité des flux d'instructions et de données disponibles matériellement :

SIMD : (*Single Input Multiple Data*) un seul flux d'instructions, plusieurs flux de données. Dans le modèle SIMD, plusieurs unités de traitement sont supervisées par une même unité de contrôle. Toutes les unités de traitement reçoivent la même instruction (ou le même programme) diffusée par l'unité de contrôle, mais opèrent sur des ensembles de données distincts, provenant de flux de données distincts. Chaque processeur exécute la même instruction au même instant, on obtient un fonctionnement synchrone. La mémoire partagée peut être subdivisée en plusieurs modules. Dans ce cas, l'accès des unités de traitement aux différents modules se fait par un réseau d'interconnexion.

La différence profonde entre le modèle MIMD et le précédent est le fait que, dans ce cas, chaque processeur possède sa propre unité de contrôle. Les processeurs ont donc un fonctionnement indépendant et exécutent des programmes différents. Il reste une certaine centralisation dans le fonctionnement des machines MIMD à faible nombre de processeurs. Celles-ci fonctionnent par partage de données. Les unités de traitement accèdent à une mémoire partagée par l'intermédiaire d'un réseau d'interconnexion et communiquent en échangeant des données.

Dans notre thèse, nous avons proposé l'utilisation des architectures MIMD, à cause de l'hétérogénéité des données à compiler dans l'algorithme SPTDA. C'est illogique de passer les mêmes lectures de détecteurs à plusieurs processus. Dans ce cas, une bonne spécification de fonctions doit être impliquée afin de diviser les processus selon des tâches spécifiques et déterminées.

IV.3.4 Architectures Systoliques

La complexité des circuits intégrés disponibles à l'heure actuelle rend possible la réalisation à un faible coût de systèmes massivement parallèles.

Le modèle systolique, premièrement introduit en 1978 a connu beaucoup de progression et s'est révélé être un outil puissant pour la conception de processeurs intégrés spécialisés [27]. En un mot, une architecture systolique est agencée en forme de réseau de processus. Ces réseaux se composent d'un nombre de cellules élémentaires identiques et localement interconnectées. Chaque cellule reçoit des données en provenance des cellules voisines, effectue un calcul simple, puis transmet les résultats, toujours aux cellules voisines, un temps de cycle plus tard. Seules les cellules situées à la frontière du réseau communiquent avec le monde extérieur. Les cellules évoluent en parallèle, sous le contrôle d'une horloge globale : plusieurs calculs sont effectués simultanément sur le réseau, et on peut pipeliner la résolution de plusieurs instances du même problème sur le réseau.

La dénomination systolique provient d'une analogie entre la circulation des flots de données dans le réseau et celle du sang humain, l'horloge qui assure la synchronisation globale constituant le cœur du système [27].

IV.3.5 Architecture Systolique de l'algorithme proposé

Cette partie consiste à exploiter le parallélisme de l'algorithme et déterminer les PEs fondamentaux pour le calcul.

De nos jours la conception des applications spécialisées sur FPGA peut être faite rapidement. Les FPGA sont devenus des joueurs essentiels dans le domaine de prototypage rapide. Nous rappelons toutefois que les ASICs peuvent atteindre des fréquences de fonctionnement plus importantes que les FPGA mais leur perfectionnement nécessite un temps de développement et de mise en marché assez élevé, d'où leur coût très élevé. Nous avons déjà vu dans le chapitre 3, la performance des différents modèles

de notre algorithme sous Simulink®. Dans ce chapitre nous allons transformer notre algorithme sous la plateforme **Xilinx Virtex II XC2V2000 FF896AGT0429 (01315692S) 4C**.

Nous allons montrer tous les étapes exécutées en commençant par la modélisation, la génération des codes, la synthèse, la simulation post-synthèse, la planification du placement «mapping», le placement, le routage, le post placement et routage et enfin la programmation du fichier bit sur le FPGA. Nous allons finir par une simulation en boucle de l'implantation matérielle avec les résultats logiciels. Des Figures détaillées expliquent les différentes étapes d'implémentation et les résultats des rapports générés.

IV.4 La plateforme Xilinx

Le fournisseur des FPGA, la compagnie Xilinx™ a introduit dans l'environnement Simulink® un outil très performant nommé «Xilinx ISE system Generator». Cet outil comprend des blocks spécialement conçus pour la plateforme Xilinx™ et qui sont plus proches par nature au niveau matériel. La technique consiste à programmer les modèles en utilisant les blocs spécifiques de Xilinx™. Cependant, l'opération n'est pas si facile que ça, c'est un processus long et très exigeant car un très grand soin doit être prêté dans le choix des blocs et les choix des bits associés, tout en gardant le parallélisme de la systolisation.

D'autre part, cet outil est un produit relativement récent. Beaucoup de développements et des ajouts doivent lui être associés dans le future. Comme par exemple, il n'existe pas dans cet outil de Xilinx™ un bloc qui effectue la division de deux nombres fractionnaires et en point fixe. La solution est très coûteuse en termes de ressources et du travail. Nous avons ajouté un «Black Box» dans notre design qui réalise la division. Ce «Black Box» est lui-même un bloc de Xilinx™ qui traduit un code de division. Ce code est sauvegardé dans un fichier-M indépendant et attaché au «Black Box» dans le design. Nous avons trouvé que cette solution nécessite un peu plus d'effort

de programmation, mais sa performance est assez élevée que ce soit de point de vue précision rapidité.

D'autre part une autre solution est de choisir un block de division de type « CORDIC » qui est basé sur le principe des coordonnées rotationnelles. Cette solution rapide ajoute un temps de traitement sur l'algorithme assez élevé, mais donne une bonne précision tout de même.

La Figure 4.3 montre l'algorithme SPTDA modélisé avec les blocs de Xilinx TM ISE.

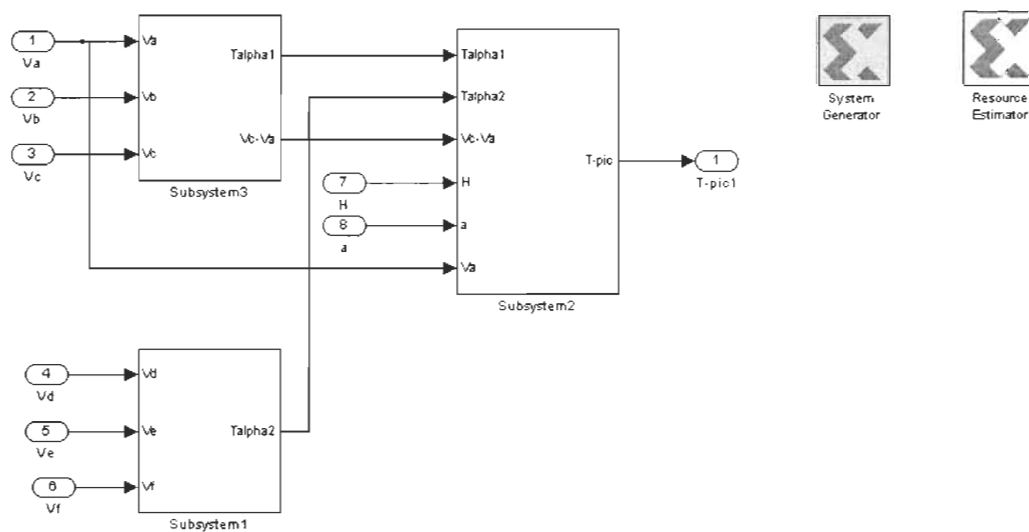


Figure 4.3 : Interface Xilinx niveau 1 de l'algorithme sous Simulink

La Figure 4-3 montre l'interface niveau 1 de l'algorithme modélisé par les blocks de Xilinx® sous Simulink™. Les «Gateway in» et les «Gateway out» délimitent l'interface entre la partie logicielle qui sera simulée avec Simulink et la partie matérielle qui sera co-simulée par l'intermédiaire de Xilinx ISE.

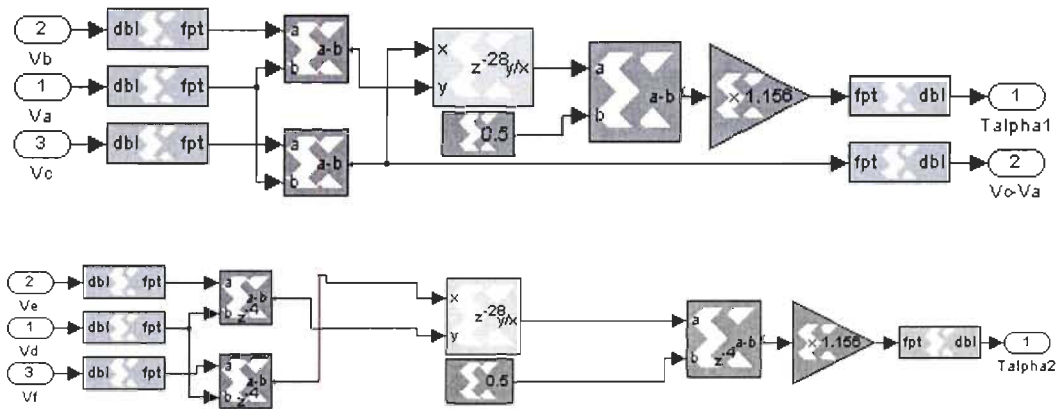


Figure 4.4 : Module 1 et module 2 modélisés par les blocs de Xilinx ISE

La Figure 4.4 montre une modélisation partielle des modules 1 et 2 par les blocs spécifiques du Xilinx ISE. Le module 1 prend comme entrées les valeurs fournies par la première cellule des capteurs et donne en sortie la valeur de la première inclinaison et une valeur intermédiaire ($V_C - V_A$) pour le calcul de la température T_s . De même façon, le module 2 calcule la deuxième inclinaison.

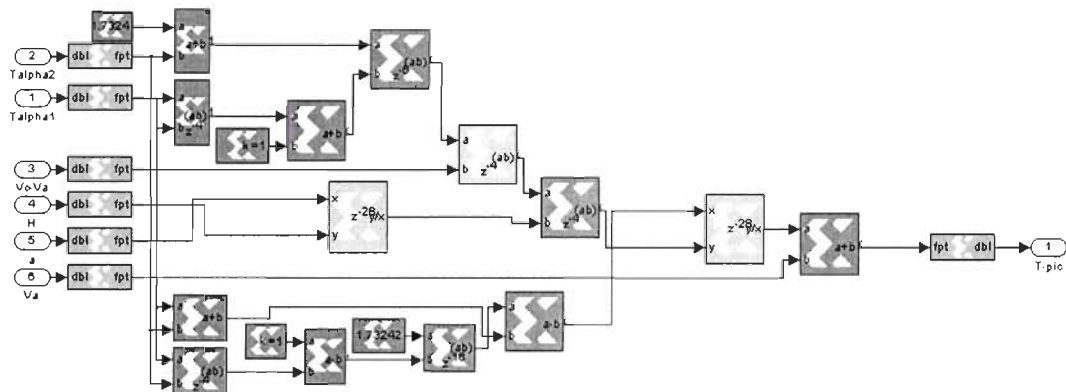


Figure 4.5 : Modules 3 modélisé avec les blocs de xilinx ISE

La Figure 4.5 nous montre la modélisation partielle du module 3 avec les blocs de Xilinx ISE dans lequel on calcule l'estimation de la température de la source de chaleur T_s .

La structure du module 1 de l'algorithme après la synthèse avec Xilinx XST, est montrée dans la Figure 4.6. Module 1 calcule la valeur de $\tan \alpha$ et les valeurs intermédiaires pour la détermination de T_s .

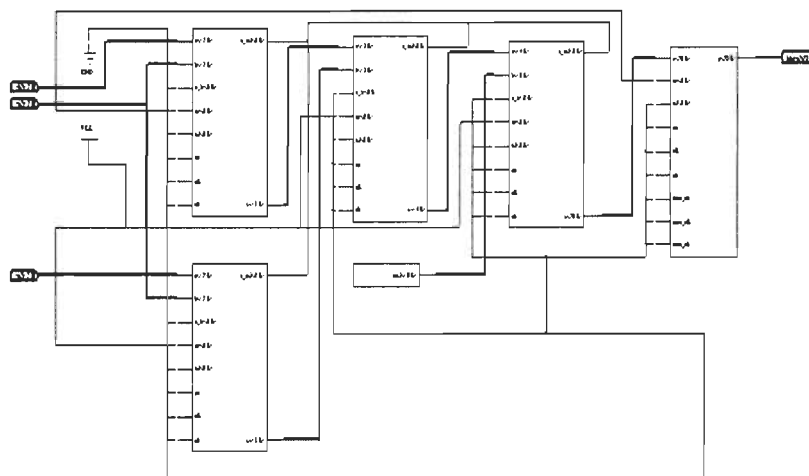


Figure 4.7: Structure module 2 de l'algorithme de détection sous XST

La Figure 4.7 présente la structure et le schéma à base logique du module 2.

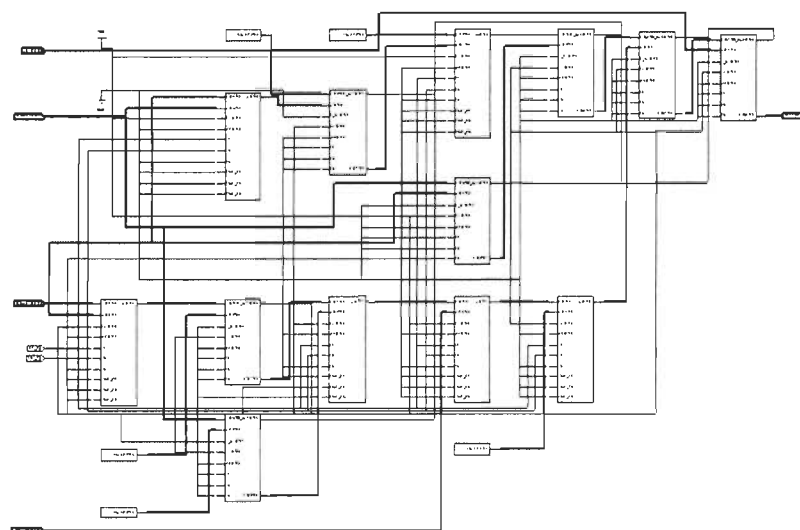


Figure 4.8: Structure du module 3 de l'algorithme.

Cette Figure montre la structure logique du module 3 après la synthèse sous Xilinx XST. Le module 3 est responsable du calcul de la température central T_s .

IV. 6 Résultats de validation par rapport à la méthode FEM

L'algorithme implanté a été validé par rapport à l'étude faite en [2] en se basant sur la méthode des éléments finis (FEM). Les mêmes valeurs de capteurs sont passées comme entrée à l'algorithme en virgule flottante, l'algorithme en point fixe avec maximum de précision et la méthode FEM. Le résultat de la comparaison était comme suit (tableau 4.1):

Valeurs des capteurs $^{\circ}\text{C}$						Température de la source estimée $^{\circ}\text{C}$		
V_A	V_B	V_C	V_D	V_E	V_F	FEM	SPTDA float	SPTDA sfix
68.655	70.248	71.325	69.365	70.325	72.318	82.115	85.32	84.06
98.655	100.248	101.325	99.365	100.325	102.318	115.213	115.3	114.1
75.324	76.324	77.055	75.603	76.540	78.649	84.632	85.73	84.19

Tableau 4.1 : Comparaison entre températures générées par FEM, SPTDA (float) , SPTDA (fix)

On peut voir que les résultats générés par le SPTDA présentent une bonne concordance pour les trois ensembles de valeurs servants à la prédiction du pic thermique de surface.

Conclusion

L'étude algorithmique nous a permis d'établir une architecture très rapide en se basant sur des processus systoliques à un haut degré de parallélisme. L'implantation de ces architectures parallèles a été faite en visant deux cartes différentes avec des composants matériels différents. Les outils de synthèse, de planification du placement mapping, de placement et de routage, ainsi que les outils spécialisés de vérification post-synthèse ont été exploités pour programmer le FPGA. Une simulation HIL nous a donné une aide pour comparer l'implémentation par rapport à la simulation logicielle.

Le résultat de la simulation a été satisfaisant pour les deux architectures. Le travail d'optimisation qui a été fait dans le chapitre 4 nous a aidés à atteindre des fréquences assez élevés (80-98 MHz) avec des taux d'occupations très acceptables.

Chapitre V

Implémentation d'un capteur de la température en oscillateurs en anneaux

Introduction

Dans le cadre du contrôle, la mesure sert à caractériser une entité physique de façon à l'intégrer dans un modèle mathématique. Elle fait intervenir un phénomène physique agissant dans un environnement, tous deux partiellement modélisés. Le capteur est sensible à la grandeur physique à mesurer appelée mesurande et notée m , mais aussi à d'autres grandeurs appelées grandeurs d'influence notées g_i . Le transducteur du capteur produit alors une grandeur :

$$G = f(m, g_1, g_2, \dots)$$

Dans le cas idéal, le modèle correspond à la réalité, et f est une fonction monotone sur m . Le capteur peut alors fournir une mesure M identique au mesurande.

$$M = h(G, g_1, g_2, \dots) = m$$

Dans la pratique, la fonction f décrite par le modèle est différente de la fonction réelle. Cette différence est due à la présence d'une composante aléatoire, et à la méconnaissance de l'influence de certaines grandeurs. Quant aux grandeurs d'influence, elles ne sont que partiellement connues. En effet, leur valeur est obtenue grâce à une mesure, laquelle ne correspond pas exactement à la réalité.

Le résultat produit par le capteur sera alors légèrement différent du mesurande.

$$M = h(G, G_1, G_2, \dots) = m + e(m, g_1, g_2, \dots)$$

G_i est la valeur connue de la grandeur d'influence g_i . La fonction e représente l'écart entre le mesurande et la mesure. Si cet écart est inférieur en valeur absolue à une borne fixée par l'utilisateur du capteur, la mesure peut être considérée comme correcte. L'écart ne peut malheureusement être qu'estimé à partir du modèle et de la comparaison avec d'autres mesures.

La finalité d'un capteur est de fournir une information pertinente et représentative d'une ou plusieurs grandeurs physiques liées au phénomène observé. La pertinence d'une information peut être considérée comme sa conformité aux besoins du consommateur. Dans ces conditions, le capteur idéal est un capteur qui extrait de la mesure l'information utile et correcte. Par conséquent, cela signifie qu'il doit réduire les erreurs de mesures et dépouiller la mesure de toute information superflue, de façon à répondre aux besoins du consommateur. Pour réaliser ces deux opérations, il doit posséder intrinsèquement des connaissances sur le phénomène observé, et sur la destination des résultats de la mesure. Il doit aussi posséder les outils adaptés à la manipulation de cette connaissance [28]. Comme nous allons le voir dans la suite de chapitre, les capteurs intelligents représentent un premier pas vers le capteur idéal.

V.1 Les différents circuits oscillateurs

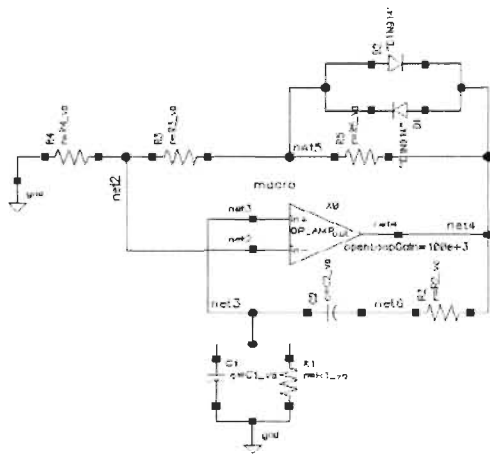
V.1.1 Les oscillateurs harmoniques

Les oscillateurs harmoniques sont des dispositifs capables de fournir à la sortie un signal quasi-sinusoïdal. On peut diviser les oscillateurs harmoniques radio fréquence en deux grandes classes: les oscillateurs basse fréquence et les oscillateurs haute fréquence.

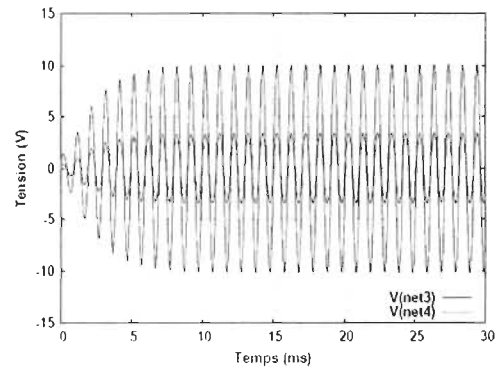
V.1.1.1 Les oscillateurs basse fréquence

1. Oscillateur à pont de WIEN

La Figure 5.1.a illustre le schéma électrique d'un oscillateur à pont de WIEN réalisé à l'aide d'un amplificateur opérationnel (AO) et la Figure 5.1.b présente la forme des tensions à l'entrée et la sortie de l'oscillateur. Le pont des cellules RC, qui constituent le filtre passe bande dit de WIEN, est rebouclé sur l'entrée non inverseur de AO.



(a)



(b)

Figure. 5.1 : Oscillateur basses fréquences à pont de WIEN : (a) schéma électrique pratique, (b) tensions d'entrée et de sortie.

V.1.1.2 Les oscillateurs haute fréquence

1. Les oscillateurs LC

1.1 Schéma de base et principe de fonctionnement

La plupart des structures d'oscillateurs LC peuvent se réduire au schéma de la Figure 5.2.a. C'est la nature des impédances Z_1 , Z_2 et Z_3 qui définit le type d'oscillateur. Il existe trois configurations usuelles : COLPITTS, HARTLEY et CLAPP [29]. La fréquence d'oscillation de ces oscillateurs est fixée par les valeurs des composants du réseau de réaction LC.

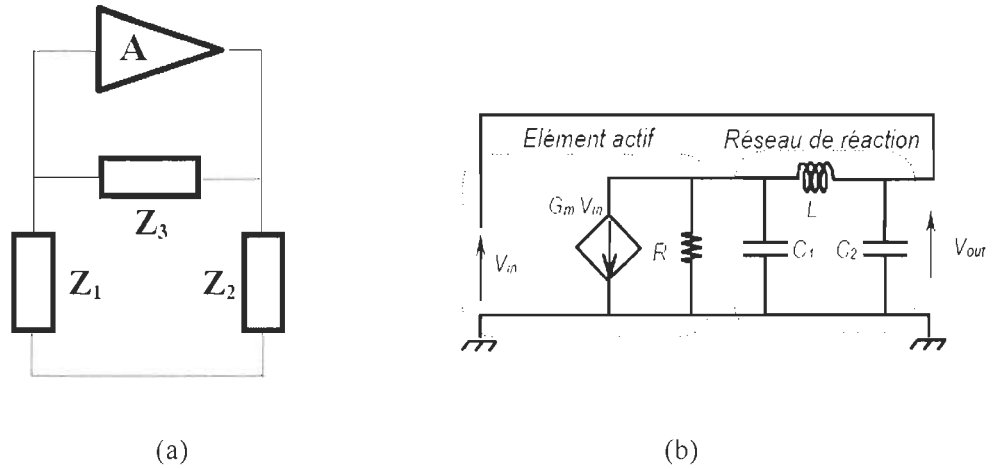


Figure 5.2 – Schéma de base d’un oscillateur LC : (a) schéma réduit, (b) schéma équivalent d’un oscillateur de type COLPITTS.

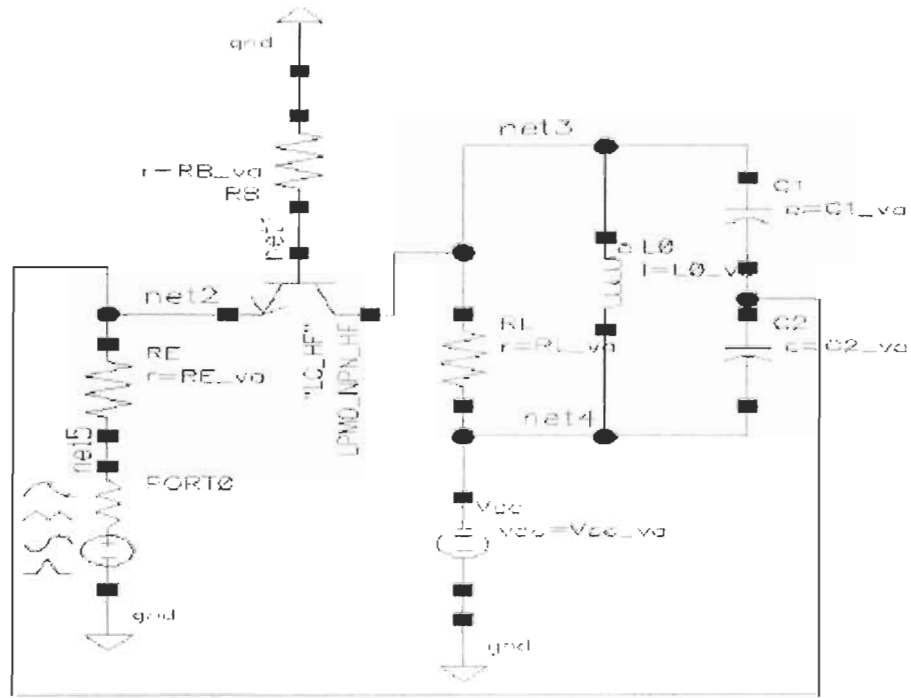
1.2 Cas d’un oscillateur RF de type COLPITTS

Prenons le cas d’un oscillateur de type COLPITTS (Figure 5.3.a). Ce montage peut être réduit au montage de la Figure 5.3.b. Si l’on suppose que l’amplificateur de l’oscillateur est constitué d’un seul étage à transistor bipolaire (B_{JT}) de transconductance G_m . Le système oscille à une fréquence f_{osc} donnée par l’équation (5.1), si la condition (5.2) est satisfaite :

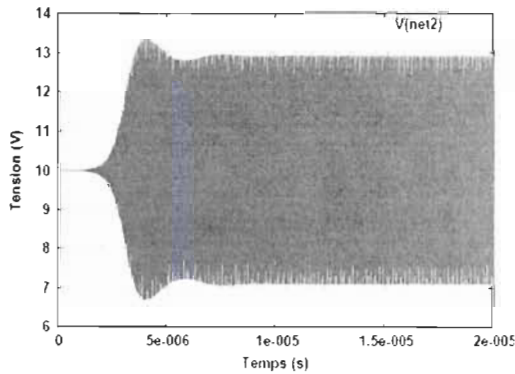
$$G_m \cdot R > \frac{C_2}{C_1} \quad (5.1)$$

$$f_{osc} = \frac{1}{2\pi \sqrt{LC_1 C_2 / (C_1 + C_2)}} \quad (5.2)$$

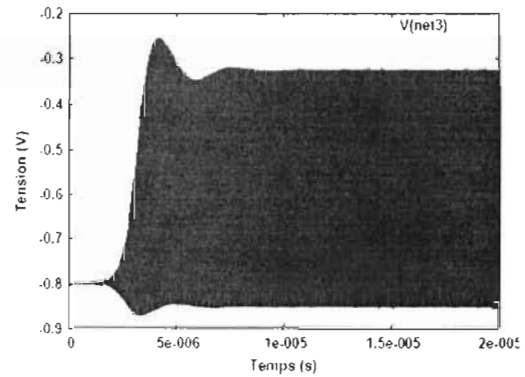
La forme de la tension sur l’émetteur et sur le collecteur de l’oscillateur de type COLPITTS est illustrée sur les Figures 5.3.b et 5.3.c.



(a)



(b)



(c)

Figure 5.3 – Oscillateur COLPITTS RF : (a) schéma électrique, (b) forme d’onde de la tension de l’émetteur, (c) forme d’onde de la tension de collecteur.

Les propriétés des oscillateurs LC, notamment la facilité d’intégration et la faible consommation, ont favorisé leur utilisation dans la quasi-totalité des circuits intégrés radio fréquence (RFIC).

V.1.2 Les oscillateurs à relaxation

Les oscillateurs à relaxation sont souvent utilisés pour produire un signal de forme carrée, triangulaire ou en dent de scie, etc. L'oscillateur à relaxation contient au moins un composant non linéaire (transistor, diode,...), qui libère périodiquement l'énergie stockée dans un condensateur (ou une inductance) et la forme du signal à la sortie change brusquement.

Les oscillateurs à relaxation peuvent être employés pour fournir par exemple, un signal d'horloge pour les circuits logiques séquentiels tels que les temporisateurs et les compteurs (les oscillateurs à quartz sont souvent préférés pour leur plus grande stabilité). Ils peuvent être aussi employés comme des circuits de base de temps des oscilloscopes et des téléviseurs. Le multivibrateur *astable* est l'exemple le plus simple pour expliquer le principe de fonctionnement d'un oscillateur à relaxation. Le principe de fonctionnement d'un multivibrateur astable est similaire au dispositif expérimental du *vase à siphon*. Sous sa forme la plus simple, il se compose de deux transistors interconnectés via des cellules *RC*, dont le rôle principal est de définir la période du signal. La Figure 5.4 montre le schéma typique d'un multivibrateur astable réalisé en technologie bipolaire (BJT) et les Figures 5.5.a et 5.5.b illustrent les tensions sur les différents noeuds.

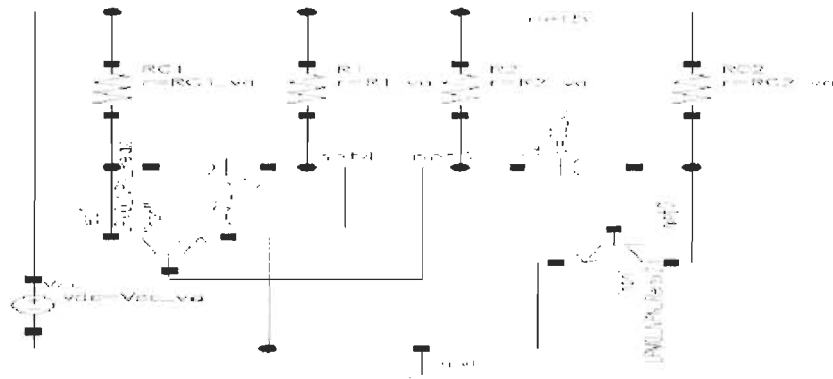


Figure. 5.4 : Multivibrateur astable réalisé en technologie bipolaire.

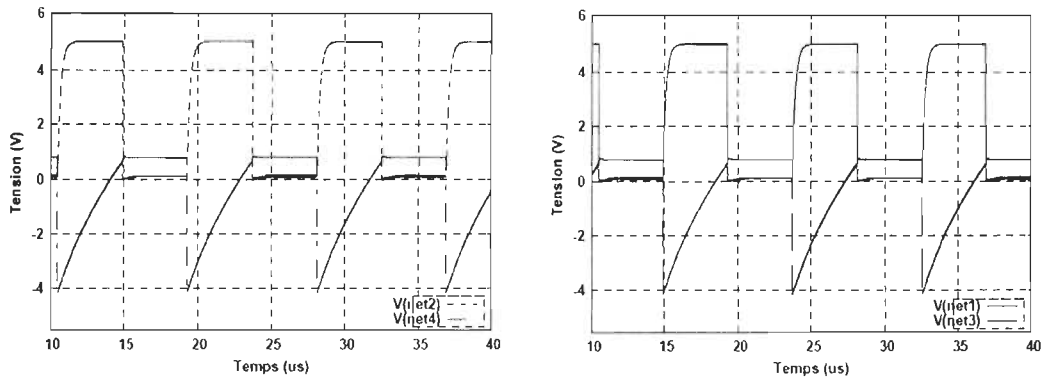


Figure 5.5 Forme du signal aux différents noeuds d'un multivibrateur astable réalisé en technologie bipolaire.

Le principe est le même pour un multivibrateur astable réalisé à l'aide de transistors MOS. Les Figures 5.6 et 5.7, représentent respectivement le schéma d'un multivibrateur astable réalisé en technologie NMOS et les tensions qui correspondent aux différents noeuds du multivibrateur.

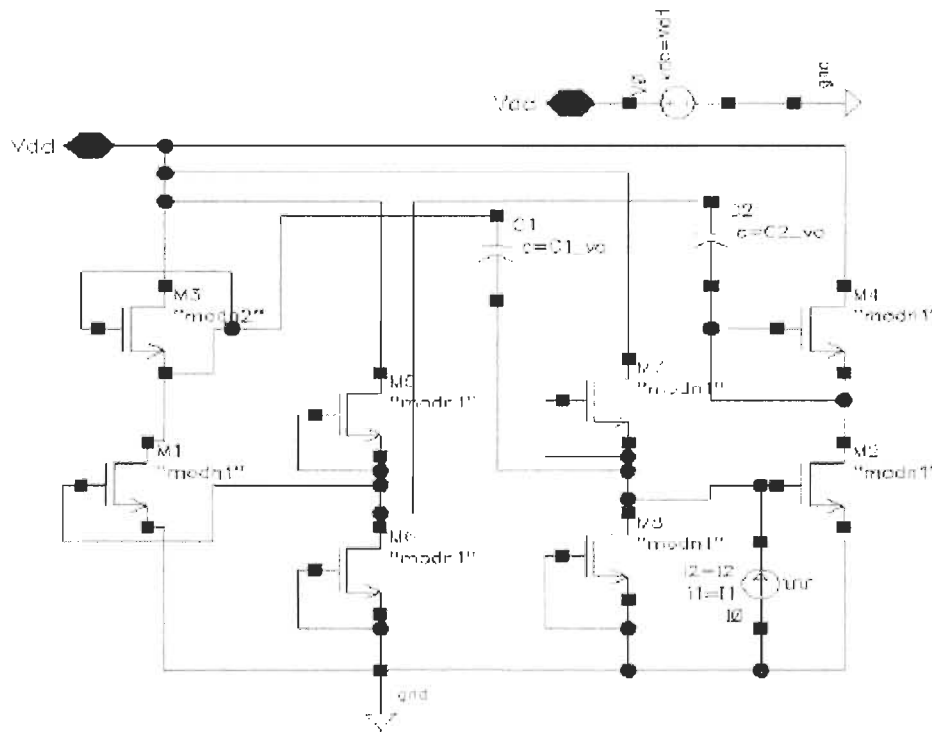


Figure 5.6 – Schéma de base d'un multivibrateur astable réalisé en technologie NMOS.

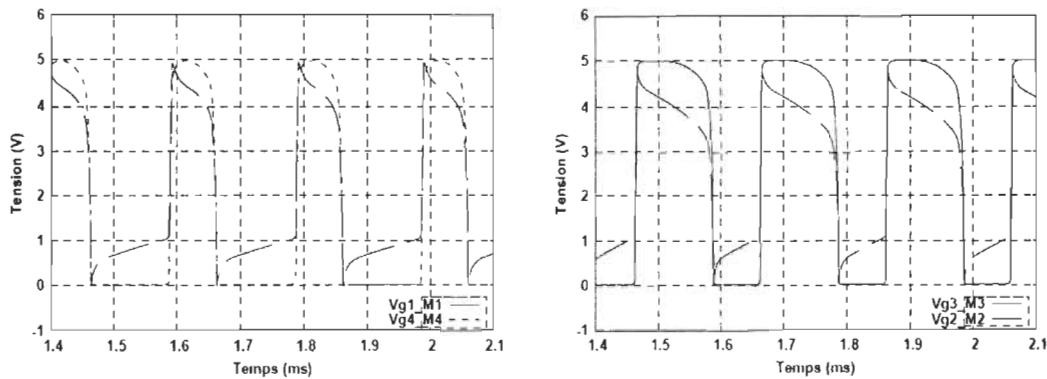


Figure 5.7 Forme du signal aux différents noeuds d'un multivibrateur astable réalisé en technologie NMOS.

V.1.3 Les oscillateurs à portes

A. Les oscillateurs en anneaux

La facilité d'intégration des oscillateurs en anneaux (*ring oscillators*) rend leur usage répandu dans des systèmes de communications. Ils sont souvent employés comme des VCO (*Voltage Controlled Oscillator*) dans les boucles à verrouillage de phase (PLL).

Ce type d'oscillateur est composé d'un ou plusieurs étages d'inverseurs en nombre impair formant une boucle de réaction avec un déphasage total nul. Cette boucle oscille avec une période égale à $2M.Td$ où Td est le temps de propagation de chaque porte et M le nombre de portes. Les oscillateurs en anneaux sont totalement intégrables, mais ils exigent un nombre important d'éléments actifs ce qui augmente la consommation du circuit [29]. Les concepteurs des circuits intégrés préfèrent donc souvent l'utilisation de la technologie CMOS.

1. Cas d'un oscillateur en anneau à base d'inverseurs CMOS

L'oscillateur de la Figure 5.8 est construit à partir d'une mise en cascade de 5 inverseurs CMOS. La sortie du dernier inverseur est bouclée sur l'entrée du premier inverseur. La Figure 5.9 illustre la forme du signal de tension aux différents noeuds de l'oscillateur.

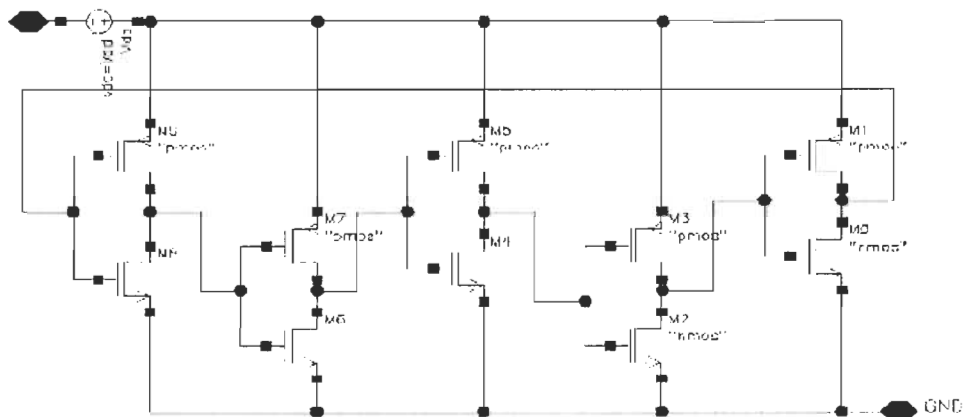


Figure 5.8 : Schéma d'un oscillateur en anneaux réalisé par 5 inverseurs CMOS.

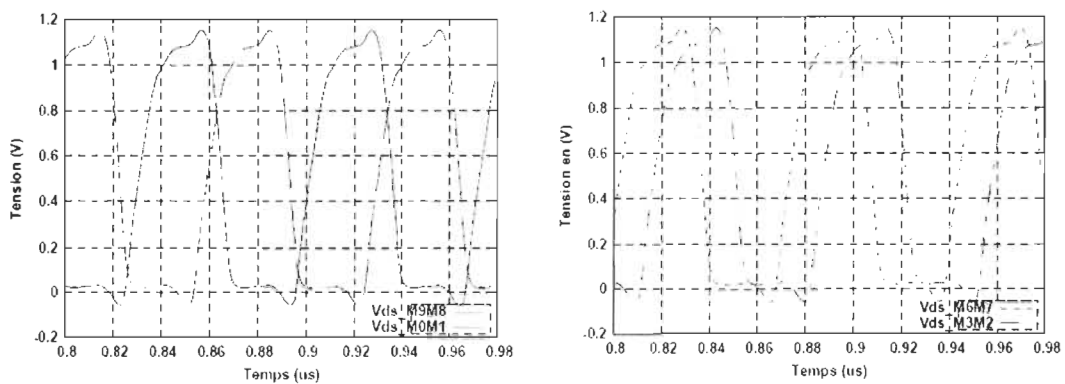


Figure 5.9 Forme du signal aux différents noeuds d'un oscillateur en anneaux à base de 5 inverseurs CMOS.

La réalisation des oscillateurs en anneaux n'exclut pas la possibilité d'utiliser la technologie bipolaire (BJT). Des travaux [29] ont montré qu'à travers une approche linéaire simple du modèle de transistor bipolaire, on peut déterminer avec précision les principales caractéristiques de l'oscillateur, en l'occurrence la fréquence et l'amplitude d'oscillation, le facteur de qualité, le niveau de bruit de phase, etc.

V.1.4 L'oscillateur en anneau

Une nouvelle stratégie de surveillance de la température locale sur FPGA sera développée. L'idée principale c'est l'implémentation d'un capteur de température entièrement numérique qui peut être inséré dynamiquement, exploité et éliminé du circuit après le test. Un oscillateur en anneau avec des blocs auxiliaires (essentiellement des compteurs et des éléments de contrôle) sera placé dans le design. Après que la température réelle sera lue, la valeur sera renvoyée par l'intermédiaire des ports de configuration du FPGA. Ensuite, le capteur sera éliminé de la puce afin de libérer les ressources programmables et d'éviter l'auto-échauffement. Le principal avantage de cette technique est que le capteur est complètement séparé de la conception, pas de I / O pads sont nécessaires, et aucune utilisation permanente de FPGA. En outre, le capteur est suffisamment petit pour mettre en série plusieurs d'entre eux le long de la puce.

Il est bien connu que les micro-retards augmentent avec la température. En conséquence, un moyen de mesurer le chauffage dans les CI est de construire un oscillateur et calibrer sa production en dérive de MHz par °C ou °F, une idée initialement proposée dans QUENOT et al. Cette solution établit un lien naturel entre la température (amplitude analogique) et FPGA (puces numériques) seulement à travers l'amplitude analogique qui peut être directement mesurée par un circuit numérique : la fréquence.

Ce type d'oscillateur est basé sur le temps de commutation d'un inverseur. En connectant un nombre impair d'inverseurs, on obtient un signal oscillant naturellement à la sortie de chaque inverseur de la chaîne. La fréquence d'oscillation est directement liée au nombre d'inverseurs. Plus on a d'inverseurs et plus la fréquence diminue. Pour contrôler l'oscillation, on peut remplacer un inverseur par une porte NAND, afin d'arrêter ou de mettre en marche le système oscillant.

Deux principales topologies d'oscillateurs en anneau existent à l'heure actuelle. La première de ces structures qui est également la plus simple consiste à cascader des inverseurs MOS comme le montre le schéma de la Figure 5.10.

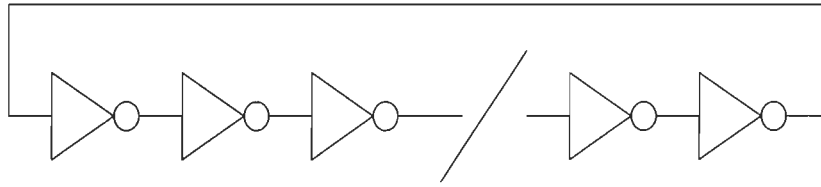


Figure 5.10: Structure générale d'un oscillateur en anneau à base d'inverseurs MOS

La période des oscillations vaut alors :

$$T_0 = 2.N.\tau \quad (5.3)$$

Où N est le nombre de cellules cascadié et τ le retard généré par chaque cellule.

Dans ce type de structure, l'oscillation est entretenue à une fréquence pour laquelle le déphasage total généré par l'ensemble des cellules est nul et le gain de boucle unitaire.

Le retard τ étant exprimé comme le rapport de la période du signal sur le nombre de cellules, le déphasage entre les signaux d'entrée et les signaux de sortie d'une cellule vaut donc

$$\Delta\Phi = 2\pi / N \quad (5.4)$$

La référence [26] présente différentes techniques permettant de faire varier la fréquence d'oscillation de la structure. Celles-ci sont basées sur le contrôle en tension du retard généré par chaque cellule, sur le contrôle en courant du temps de montée et descente de chaque cellule ou sur la variation commandée du nombre de cellules. Un des inconvénients de cette topologie est la limitation en fréquence imposée par le retard minimal généré par une cellule. Pour pallier ce problème et ainsi augmenter les performances fréquentielles de cette structure, une technique, basée sur l'implémentation d'éléments à retard différent, est développée dans la référence [26]. L'avantage de cette structure réside dans le fait qu'elle peut être implémentée aussi bien avec un nombre pair qu'un nombre impair de cellules. Ceci offre un plus grand degré de liberté sur la constellation en phase des signaux disponibles en sortie mais permet surtout de générer, dans le cas d'une implémentation avec un nombre pair de cellules, des signaux en quadrature de phases ce qui est notre objectif principal.

La deuxième topologie repose également sur le principe de mise en cascade de N cellules de retard avec une inversion dans la boucle, chaque cellule de retard s'articule autour

d'une paire différentielle. En régime établi, cette paire différentielle fonctionne en commutation et le retard τ est généré par la constante de temps fixée par les éléments R et C en parallèle. Cependant, dans un souci permanent d'intégration des dispositifs, les résistances R peuvent être remplacées par des transistors PMOS fonctionnant en zone ohmique. La fréquence maximale et par conséquent la constante de temps minimale est obtenue lorsque la capacité C n'est pas implémentée et que l'effet capacitif est uniquement le résultat des capacités parasites des différents transistors constitutifs de la paire différentielle.

V.2 Capteur en oscillateur en anneau

Une manière directe d'obtenir des fréquences en FPGA c'est de placer un oscillateur en anneau. Un oscillateur en anneau consiste d'une boucle de rétroaction qui comprend un nombre impair nécessaire d'inverseurs pour produire le déplacement de la phase qui maintient l'oscillation la période totale est le double de la somme des retards de tous les éléments qui composent la boucle. Les inversions peuvent être faites en utilisant le LUT (look-up table) des blocs logiques configurables (CLBs) ou les inverseurs programmables inclus dans les blocs d'E/S du FPGA. En tout les cas, il est utile d'insérer un signal externe pour ouvrir la boucle, ainsi qu'un registre de sortie pour prévenir les variations de la fréquence due aux différentes charges.

Les avantages des capteurs thermiques à base des oscillateurs sont multiples :

- Ils peuvent être facilement mises en œuvre avec seulement de quelque source de la puce.
- Certaines familles de FPGA incluent des oscillateurs à l'intérieur.
- Mesure de la température au niveau de la jonction.
- Tous les signaux sont numériques, de sorte qu'ils peuvent être traités en utilisant les ressources générales de la carte.
- Les capteurs sont petits : en pratique en deux blocs logiques, et une taille minimum de capteurs peuvent être montés en seulement une I/O bloc.
- Les capteurs peuvent être placé dans n'importe où sur la puce, ce qui rend possible la construction d'une cartographie thermique de la puce.
- Les capteurs peuvent être dynamiquement insérés, déplacés ou éliminés.

Il y a d'autres alternatives pour déterminer la température sur la puce : mesurer la tension de la jonction avec les diodes situées sur les pads de FPGA. Cette technique permet au concepteur d'obtenir gratuitement, des capteurs thermiques au prix de certains circuits analogiques externes [26].

Les oscillateurs en anneaux peuvent être construits manuellement ou utiliser le partitionnement standard automatique, placer et router les flux de la conception. Les concepteurs doivent inclure à haut niveau les directives pour éviter la simplification des inverseurs au cours du processus de la compilation.

Exceptionnellement dans la conception numérique, l'objectif ici est de diminuer la fréquence de fonctionnement afin de minimiser les problèmes liés à l'auto-échauffement et consommation de l'énergie du capteur.

V.3 Méthodologie de la conception

Le concept du détecteur de température à concevoir est basé sur la même proposition introduite par Buedo-Buemo [26]. Cette proposition utilise le fait que la vitesse de commutation d'un transistor est directement proportionnelle à la température. Dans un tel détecteur, un oscillateur en anneau est implanté sur la puce FPGA et la fréquence d'oscillation est utilisée comme un indicateur de la température. Ainsi, la fréquence d'oscillation est directement proportionnelle à la température de jonction. Cela ne nécessite aucun capteur extérieur. Un réseau d'oscillateur en anneau peut fournir des mesures de la température de fonctionnement actuelle sur la grandeur de la puce pour permettre l'établissement d'une cartographie thermique.

L'oscillateur en anneau a quelques limites qu'il est nécessaire de connaître pour pouvoir l'utiliser correctement :

- Il est nécessaire de laisser osciller le capteur pendant une période d'initialisation avant d'effectuer la mesure pour fiabiliser le résultat.
- Une fois la mesure effectuée, il faut arrêter les oscillations. Ceci est dû au fait que la chaleur générée par l'anneau peut fausser le résultat et diminuer la fréquence d'oscillation.

Ainsi, le capteur peut donner des températures instantanées. L'avenir des détecteurs basés sur la méthode des oscillateurs en anneaux est de pouvoir aider les concepteurs de circuits intégrés à optimiser la gestion de la dynamique thermique sur la puce. Ils permettent notamment dans cette thèse la détection de pics thermiques. Les intérêts d'un capteur basé sur cette méthode sont multiples. Il est petit, peut être facilement intégré sur une puce, et peut être dynamiquement inséré ou retiré du design.

Le Schéma du capteur utilisé pour cette thèse est présenté sur la Figure 5.11. Un oscillateur en anneau a été construit au moyen de sept inverseurs chacun mis en œuvre dans quatre entrées LUT (look-up table). Les LUTs ont été placés séparés, laissant un espacement d'au moins un 1 CLB (bloc logique configurable) entre eux afin d'augmenter le retard d'acheminement. Notez que dans ce cas, une fréquence élevée de la sortie n'est pas souhaitable : il implique à la fois une grande taille de compteur et un auto-échauffement supplémentaire.

Toutes les étapes du capteur ont été écrites avec le langage verilog® afin de décrire le comportement et la structure du capteur. Afin de simplifier le code, les deux compteurs inclus dans le capteur sont identiques, avec une longueur de 14 bits. Le seul port externe est l'entrée d'horloge du compteur de base ce qui doit être connecté à l'une des lignes d'horloge principale du FPGA.

Les trois signaux actifs qui sont générés par les quatre LUT d'entrée, sont de provenance des quatre bits les plus significatifs de ce compteur de base. Le premier signal, *RingEnable*, permet à l'oscillateur en anneau de commencer à calculer. Le deuxième signal, *CaptEnable*, établit l'intervalle pendant lequel la sortie de fréquence de l'oscillateur en anneau sera mesurée par le deuxième capteur (Figure 5.12).

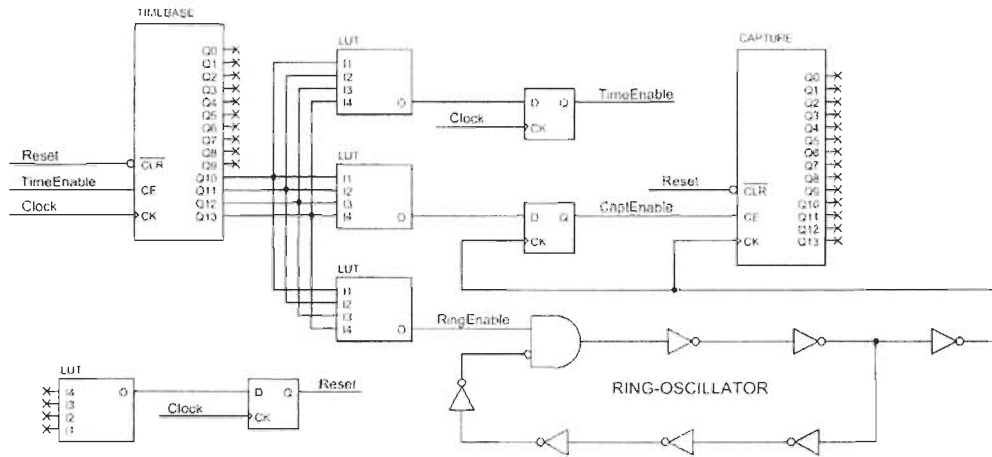


Figure 5.11 : Schéma de capteur en oscillateurs en anneaux

Enfin, le signal timeEnable est utilisé pour désactiver le temps de base du compteur qu'il n'est plus nécessaire après (Figure 5.13). Par conséquent, lorsque la mesure a fini toute l'activité du capteur sera arrêtée pour éviter toute dissipation de puissance parasite. Le schéma ci-dessus permet une spécification arbitraire pour les trois étapes de processus qu'est de l'ordre de 1024 cycles de l'horloge principale du FPGA.

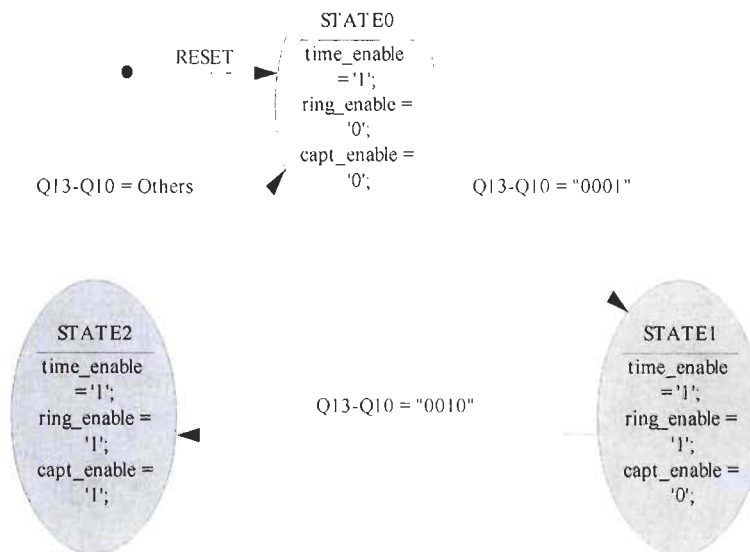


Figure 5.12 : Machine d'état permettant la sélection des différents signaux activés.

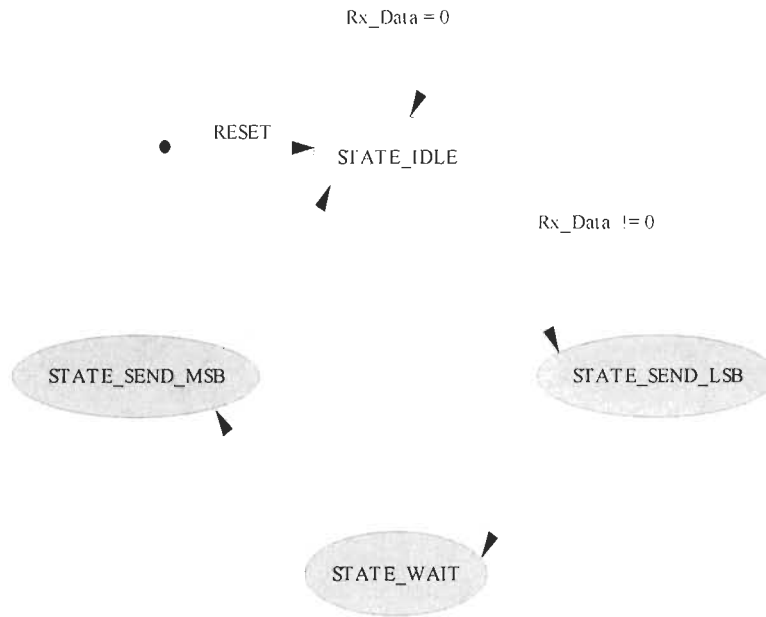


Figure 5.13 : Machine d'état permettant la lecture de la sortie du compteur de capture de la température.

V.4 Résultats de l'implémentation

La Figure 5.14 montre, en hiérarchie, la structure haut niveau du capteur. À ce niveau, on montre l'interface globale (par rapport à l'environnement du capteur) par les entrées, les sorties, et l'horloge du système

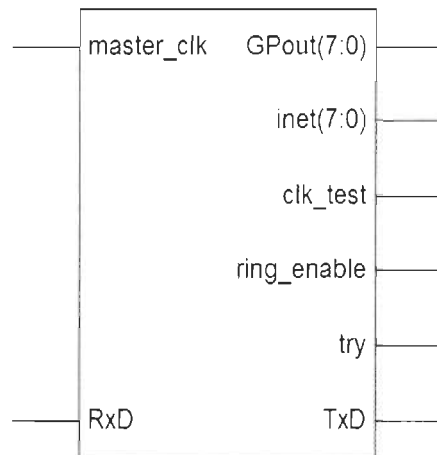


Figure 5.14 : Structure haut niveau du capteur en oscillateurs en anneaux

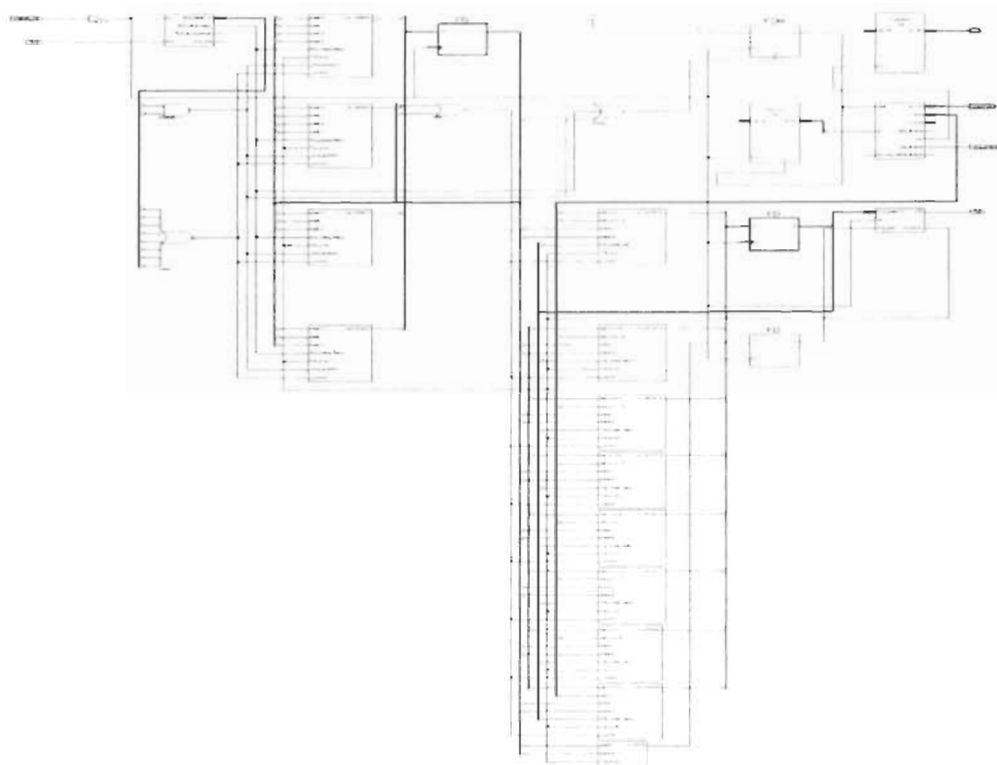


Figure 5.15 : La structure du capteur avec Xilinx XST

La structure du capteur après la synthèse avec Xilinx XST est montrée par la Figure 5.15. La Figure 5-16 montre les placements et routages faits sur le FPGA. Le placement et routage a été fait avec des contraintes d'optimisation de vitesse en se basant sur l'architecture proposée.



Figure 5.16: Placement du capteur sur la carte Xilinx

V.5 Étalonnage du capteur

Pour effectuer un étalonnage précis du capteur, le FPGA doit être mis en place dans une température d'un four contrôlée VWR Scientific modèle 1310 Figure 5.17. Dans notre cas, pour gagner du temps, une configuration avec tous les capteurs a été téléchargée, mais seulement une a été permise au cours de sa qualification. Nous avons mesuré la température de la puce en plaçant un thermocouple (Fe-CuNi) sur le centre de FPGA. Une série des câbles ont été nécessaires pour configurer l'extérieur et de contrôler le FPGA, ainsi que de procéder les sorties l'oscillateur à l'extérieur du four.

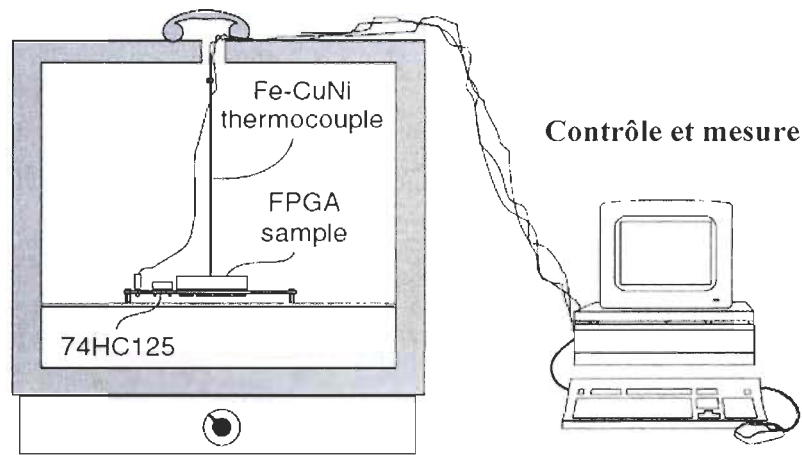


Figure 5.17 : les procédures de la calibration des capteurs avec le four VWR Scientific model 1310

L'oscillateur en anneau proposé dépend de la température et sa fréquence change en conséquence. À une température donnée, l'oscillateur exposera une fréquence fixe de l'oscillation. En connectant ces oscillations à un compteur, on obtient une bonne mesure de la température liée à la valeur du compte après un temps fixe. Comme la fréquence des oscillations permettra de réduire la température, il en sera la valeur de comptage, le processeur peut déterminer la température et de prendre les mesures appropriées. Pour que ce programme fonctionne correctement, il est essentiel qu'il y ait une variation linéaire de la fréquence avec la température.

Notez que nous avons analysé l'oscillateur entre 20 degrés à 120 degrés centigrades, car c'est la région d'intérêt dans notre thèse. Par exemple, la limitation thermique des Pentium

4 commence à 60 degrés et la remise à zéro d'urgence se produit à 120 degrés. Ainsi, à toute fin pratique, l'analyse de l'oscillateur dans cette fenêtre de température est sans danger. En outre, cette relation linéaire devrait se poursuivre pour des températures supérieures à 120 degrés, ainsi, prédits par l'équation suivante que nous avons déterminés à partir de l'analyse:

$$f = -343.6 (T) + 25877.74 \quad (5.5)$$

Où f est la fréquence des oscillations et T est la température de la puce.

Nos résultats d'analyse pour le capteur nous confirment bien que la relation est fortement linéaire (Figure 5.18) nous pouvons aussi utiliser le calibrage différent pour un oscillateur sans se soucier de la linéarité de la mesure. Notez également qu'il n'y a pas beaucoup de changement dans la fréquence absolue à une température donnée pour des tailles différentes.

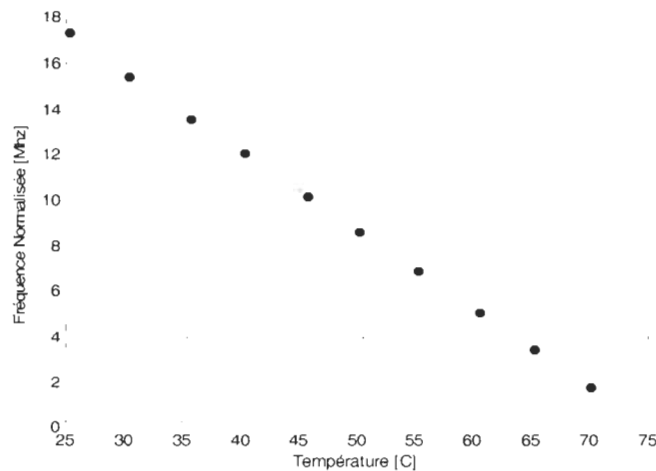


Figure 5.18 : La variation de la température en fonction de la fréquence normalisée

V.6 Implémentation du réseau des capteurs

L'algorithme de détection et de localisation des pics thermiques dans les circuits VLSI SPTDA présenté dans cette thèse est basé sur la technique GDS qui est elle-même basée sur le concept de problème inverse. Le but de cet algorithme est de faire une bonne estimation des coordonnées géométriques des pics thermiques et de leurs valeurs correspondantes.

Selon notre algorithme, le nombre de capteurs requis sera six oscillateurs formant deux différentes cellules; chaque cellule est formée de trois détecteurs formant entre eux un triangle équilatéral.

Pour que cette approche soit efficace, plusieurs hypothèses devraient être prises en considération :

- Une seule source ponctuelle de chaleur sera présente sur la puce à surveiller.
- La température est linéairement distribuée sur la surface de la puce.
- La fréquence d'oscillation des capteurs RO est linéairement proportionnelle à la température.
- Les capteurs RO formant une cellule doivent être placés suffisamment proche l'un de l'autre pour pouvoir considérer les isothermes qui les traversent comme des lignes droites.

À noter aussi que les deux cellules doivent être placées d'une façon que la même isotherme ne traverse pas deux différents capteurs en même temps. Selon cette disposition, on peut obtenir des informations sur la distribution de la température dans différentes régions de la surface de la puce et partiellement sur l'emplacement de la source de chaleur ; plus précisément selon la distance H qui sépare les deux cellules et l'angle de direction de ces deux dernières par rapport à la source de chaleur, on pourra alors calculer géométriquement les distances R_1 et R_2 qui séparent la source de chaleur des capteurs RO et par la suite déduire la température de la source de chaleur. L'un des objectifs importants à atteindre est le placement idéal de ces deux cellules en se basant sur une série de simulations logicielles et matérielles.

À noter aussi que chaque RO devrait occuper plusieurs CLB du FPGA, il faut donc trouver la disposition convenable de chaque oscillateur pour pouvoir former avec les deux cellules 2 triangles équilatéraux.

Une autre difficulté est de savoir la bonne méthode pour faire le routage des sorties des capteurs vers l'extérieur Figure 5.19 dans le but d'effectuer l'acquisition des données à l'aide de tmtools de Matlab. Pour pouvoir placer les 6 oscillateurs créés auparavant dans les endroits voulus et selon la disposition proposée par l'algorithme SPDTA donc en formant deux triangles équilatéraux dont les capteurs de chaque cellule sont peu éloignés l'un de l'autre, il faut donc utiliser le placement manuel de ces composantes.

L'étape finale est de router les sorties des oscillateurs vers le monde extérieur dans le but d'effectuer une acquisition de ces signaux avec tmttools et garder un historique de la variation de la température (Figure 5.20).

Pour des fins de test et pour pouvoir détecter la variation de fréquence de ces oscillateurs avec la température interne de la puce il faut créer une source de chaleur à l'intérieur de cette puce et la placer manuellement à des endroits différents à côté des cellules. Le résultat obtenu prouve que la fréquence d'oscillation des capteurs diminue pour ceux qui se trouvent à proximité de la source de chaleur donc lorsque la température de la puce augmente.

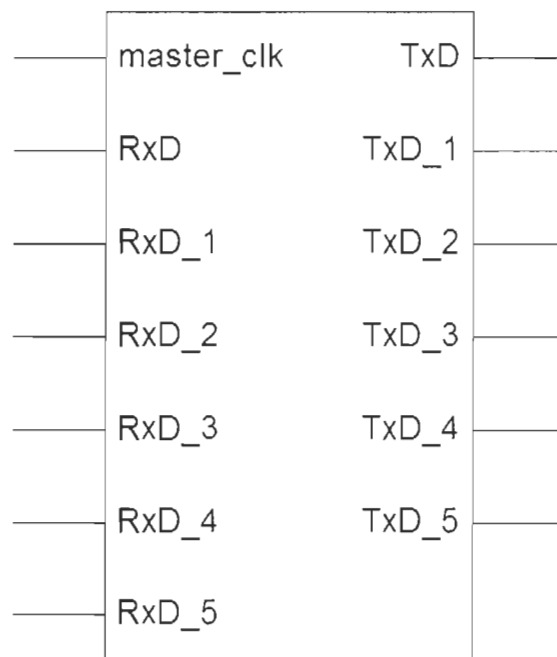


Figure 5.19 : Structure haut niveau du capteur en oscillateurs en anneaux

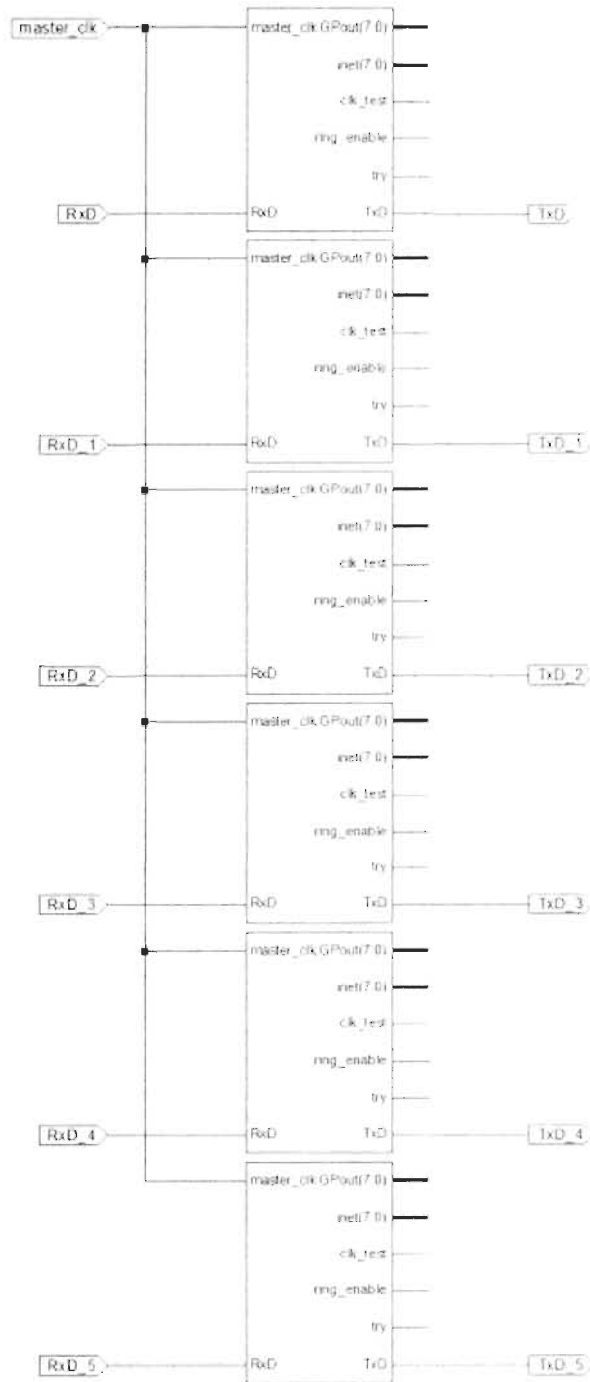


Figure 5.20 : La structure du routage de six capteurs

La Figure 5-21 montre les placements et routages faits sur le FPGA. Le placement et routage a été fait avec des contraintes d'optimisation de vitesse en se basant sur l'architecture proposée.



Figure 5.21: Placement des six capteurs sur la carte Xilinx

V.7 Résultats et validation pratique

Au premier lieu les mesures ont été faites dans le four qui garantit que les variations de température sont toujours plus petites que 0.01° Celsius. De plus, l'analyse des résultats a montrée que la technique est bien sensible même à la faible température impliquée dans les expériences. Cependant, la description des capteurs utilisés dans les expériences n'a pas d'indication de placement et par conséquent le statut thermique des différents capteurs ne permet seulement de connaître le pic thermique. Cette information serait utile pour concevoir les blocs qui produisent des points chauds.

Donc l'avantage principal consiste dans l'analyse des activités des différents blocs d'un circuit complexe implanté sur FPGA. Ceci pourrait être utile pour le concepteur des circuits électroniques qui pourrait savoir quel bloc consomme le plus de puissance, et ainsi doit être reconçu, au lieu d'appliquer une stratégie globale pour réduire la contrainte (par exemple, abaissement de la fréquence d'horloge). Le désavantage principal est que la technique utilise des blocs logiques du FPGA elle-même.

Donc pour un nombre de capteurs plus grand, la technique seule occupe une partie considérable des ressources disponibles sur le FPGA.

Cette technique ne peut en aucun cas, localiser géométriquement la source de chaleur la plus active sur la plaque (sources multiples).

V.8 Contrainte thermomécanique

Tandis que les performances des circuits intégrés deviennent de plus en plus élevées, la miniaturisation des systèmes microélectroniques est devenue une des principales priorités des concepteurs. Il est évident que ce problème concerne la mise en boîtier des puces. En effet, concevoir des circuits intégrés de petite taille devient inutile, s'il est nécessaire de les assembler sur des boîtiers de grandes dimensions (relativement à celles de la puce).

C'est pourquoi il est indispensable de gérer au mieux, l'espace utilisé par les interconnexions, ce que nous appelons ici, les performances mécaniques. Celles-ci sont basées principalement sur des exigences ou des contraintes liées à des grandeurs telles que la densité d'interconnexion, le nombre d'entrées/sorties du circuit intégré ou encore les distances minimales pouvant séparer deux puces.

Les performances mécaniques d'un boîtier, peuvent se définir simplement par son efficacité η , qui se définit comme le rapport entre la surface de la puce et celle du boîtier correspondant. Plus celle-ci est faible, plus la longueur totale d'interconnexion sera élevée, et donc plus le substrat sera coûteux et les temps de propagation du signal pénalisants.

Les progrès constants des technologies du semi-conducteur (accroissement de la taille des tranches donc du nombre de circuits réalisés en même temps, réduction de la taille du transistor élémentaire), entretiennent la course en avant vers des complexités croissantes. Cela a pour conséquence d'augmenter le nombre de transistors contenus dans une puce et donc le nombre d'interconnexions.

Le nombre de fonctions croît également avec les dimensions du circuit intégré. La taille du circuit intégré est déterminée soit par la taille physique des éléments fonctionnels, soit par l'encombrement des plots d'interconnexion. Lorsque le nombre des entrées/sorties est grand, il peut être nécessaire d'augmenter la taille de la puce uniquement pour y loger ces

plots de sortie. Ceci explique l'intérêt et l'effort mis sur la réduction du pas des interconnexions des puces. La taille maximale suit également l'évolution des moyens de photosensibilisation (diamètre du champ d'insolation).

Dans le domaine de la mise en boîtier, un système est considéré comme performant, lorsque celui-ci remplit les trois conditions suivantes : densité élevée, rapidité importante et faible coût de fabrication. Du point de vue du circuit intégré, cela signifie une grande densité de portes logiques avec une horloge interne la plus rapide possible. En ce qui concerne l'environnement de cette puce, c'est-à-dire la mise en boîtier, ses performances mécaniques sont représentées par son efficacité η .

V.9 Étude de la thermomécanique

L'effet d'un changement de température ΔT sur un matériau peut se manifester de deux façons :

- Par des modifications des propriétés du matériau. Par exemple, à des températures élevées, le module d'élasticité peut diminuer. Cela requiert, cependant, un changement de température important [21].
- Par des déformations thermiques, qui varient de façon à peu près linéaire en fonction de ΔT . Pour un matériau isotrope, les déformations thermiques correspondent à des allongements égaux dans toutes les directions, sans aucune déformation de cisaillement [21].

Cependant, ce n'est pas le cas des CI multicouches où on assiste à la naissance des contraintes de cisaillement résultant de différents CTE composant le chip.

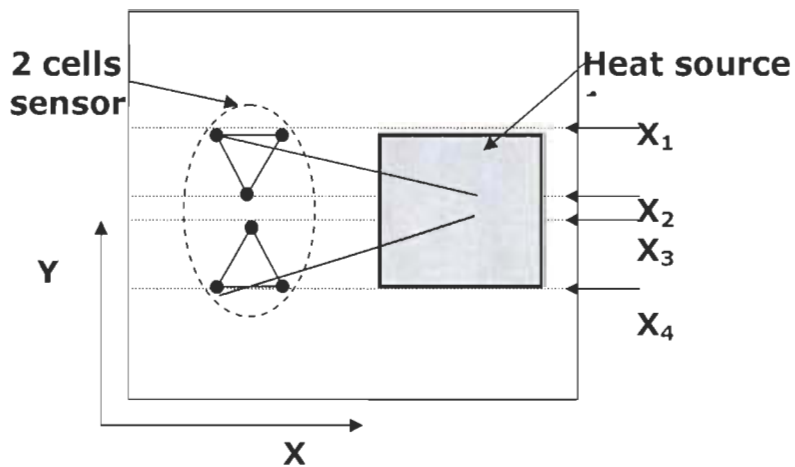
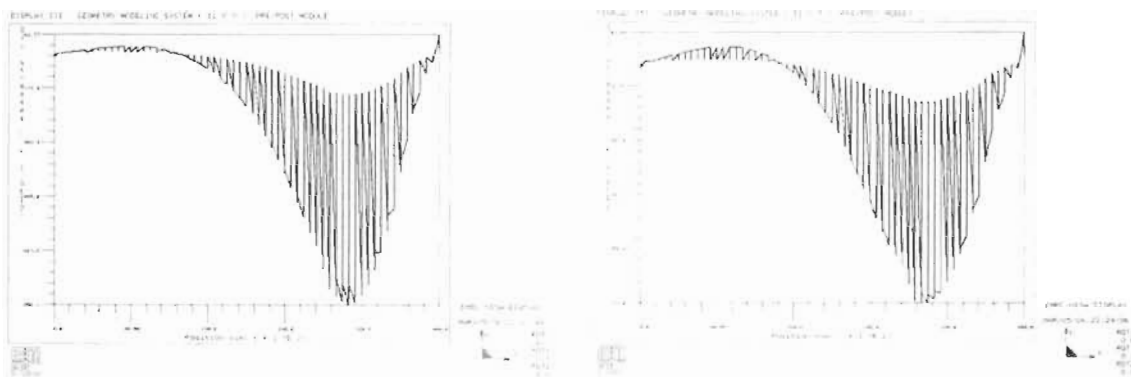
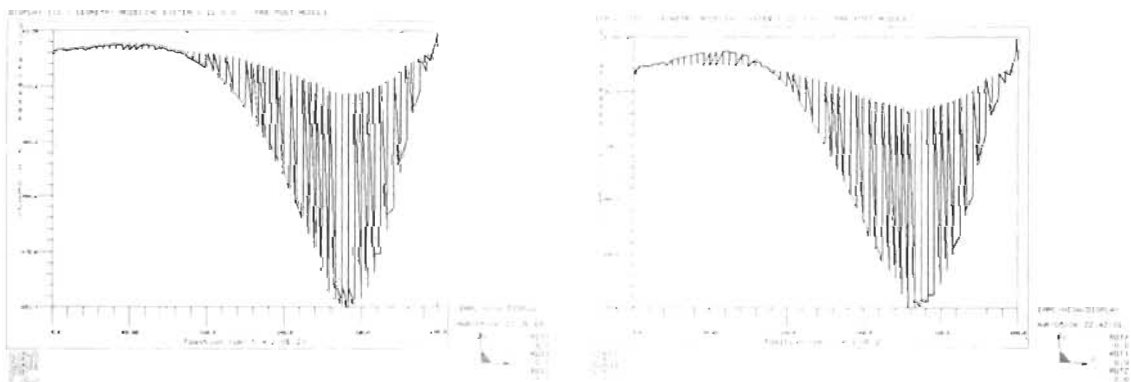


Figure 5.22 : les positions physique des cellules avec l'emplacement des capteurs et la source de chaleur



(a)

(b)



(c)

(d)

Figure 5.23 : (a) σ_{xx} les contraintes surfaciques au niveau de X1
 (b) σ_{xx} les contraintes surfaciques au niveau de X2
 (c) σ_{xx} les contraintes surfaciques au niveau de X3
 (d) σ_{xx} les contraintes surfaciques au niveau de X4

La contrainte thermique sur la surface de la couche mince de processeur est donnée par l'expression suivante :

$$\sigma_{th} = (E / (1 - \nu)) \alpha \cdot \Delta T \quad (5.6)$$

Où $E / (1 - \nu)$ est constante élastique et $\Delta\alpha$ la différence dans les coefficients de convection thermique (CTE) entre les différents niveaux des couches minces . Dans [22] Une méthode a été présentée dans les détails pour le calcul de la contrainte surfacique au niveau du silicium donné par :

$$\begin{aligned} \sigma_{xx, \max} &\approx -9,63 (E\alpha)_{Si} \cdot \Delta T_{in} [22] \\ \sigma_{xx, \max} &\approx -9,63 (0,15 \times 2,8)_{Si} \cdot (102,3-81,1) \\ \sigma_{xx, \max} &\approx -8.574 \end{aligned} \quad (5.7)$$

Donc on remarque qu'on peut déduire la valeur de stress spatial si en connaît la valeur maximale et minimale de la température sur la couche de silicium.

Conclusion

L'objectif principal de la conception d'un processeur fiable et performant nécessite le recours à une étude thermique et thermomécanique aux particularités géométriques et structurelles au niveau de la jonction et de boîtier. Cependant, l'étude que nous venons de terminer se devise en trois grands volets.

L'objectif principal du premier volet est concevoir un capteur de température pour faire une étude thermique au niveau du la jonction. Pour cette étude, nous avons présenté une approche pour l'implémentation d'un capteur de température entièrement numérique qui peut être inséré dynamiquement, exploité et éliminé du circuit après le test. Un oscillateur en anneau avec des blocs auxiliaires (essentiellement des compteurs et des éléments de contrôle) est placé dans le design.

Alors que la troisième partie de l'étude portait sur l'étude de la contrainte thermique spatiale surtout au niveau de silicium. Afin d'effectuer cette étude, nous avons utilisé les

résultats de la partie thermique en tenant compte des différents paramètres. Le modèle développé permet de simuler la distribution spatiale de la contrainte thermique dans un processeur sur WSI.

Les techniques de caractérisation performantes mises en œuvre et les modèles thermomécaniques développés au cours de cette thèse sont transférables à d'autres types de boîtier et sont utilisables pour le pré-développement industriel des processeurs à hautes performances.

Chapitre VII

Conclusion générale

L'objectif de cette thèse est l'étude et le développement d'un capteur thermomécanique in-situ appliqué à la micro-électronique. Toutefois, la conception d'un processeur fiable et performant nécessite le recours à une étude thermique et thermomécanique aux particularités géométriques et structurelles au niveau de la jonction et de la mise en boîtier. Ainsi, l'étude que nous venons de terminer se divise en cinq grands volets.

L'objectif principal du premier volet est de résoudre l'un des problèmes majeurs que nous avons rencontré pour faire une étude thermique au niveau du boîtier du processeur, celui de déterminer les conditions aux limites. Ainsi, à cet effet une nouvelle approche a été établie pour la détermination d'un coefficient de convection équivalent h_{equi} au niveau de la jonction; afin d'éviter la spécification de la température au-dessous du boîtier.

Pour cette partie, nous avons présenté une approche qui combine l'analyse par transfert de la chaleur et l'écoulement de fluide pour l'analyse des problèmes thermiques en régime permanent pour les circuits intégrés ITGE. Cependant, la température de la jonction est déterminée pour des boîtiers typiques, les conditions aux limites et la valeur de la puissance dissipée. Ainsi, ces valeurs ont été utilisées pour la simulation fluide appliquée pour la détermination de coefficient de convection équivalent à appliquer comme condition aux limites pour la jonction.

Les résultats pratiques présentés pour déterminer le coefficient de convection forcée équivalent peuvent être utilisé pour résoudre plusieurs problèmes thermiques et thermomécaniques dans les boîtiers électroniques. D'ailleurs, l'analyse thermique de

jonction est cruciale pour la commande de température, le gradient thermique spatial, et l'évaluation de l'effort thermique induit. Par conséquent les prévisions thermomécaniques du comportement du dispositif sont l'issue principale pour l'exploitation sûre à partir de la première étape de la conception d'un processeur sur WSI.

Dans le cadre de la deuxième partie de cette thèse nous avons développé une nouvelle orientation pour la caractérisation de la dynamique thermique dans les microsystemes VLSI à haute densité avec la méthode des éléments finis. Ainsi, la distribution de la température sur la surface de la puce servira pour la prédiction de la contrainte thermomécanique localisée aux emplacements des capteurs. La philosophie proposée était utilisée dans les applications rapides et peut s'appliquer sur une plus large gamme de circuits intégrés.

Le but essentiel de la méthode proposée est de fournir aux concepteurs un moyen adéquat pour pousser les limites d'opération des nouveaux microsystemes VLSI en intégrant le contrôle de la distribution de la contrainte thermomécanique. De plus, une comparaison analytique et numérique de la méthode GDS pour la détection des pics thermiques dans les microsystemes VLSI a été présentée. Cette technique est à la base du développement de notre algorithme SPTDA. Parmi les facteurs nécessitant une attention particulière lors de son développement, nous pouvons citer le nombre de capteurs, leur proximité, leur distribution spatiale et leurs interconnexions en réseau. L'application de la méthode GDS sera à la base du développement futur de l'algorithme de détection dans le cas de plusieurs sources de chaleurs.

L'objectif principal de la troisième partie concerne la conception et l'implantation en technologie d'intégration à très grande échelle (VLSI – Very Large Scale Integration) d'un algorithme de détection et de localisation des pics thermiques SPTDA. Ces derniers sont indispensables dans l'analyse des contraintes thermomécaniques induites au niveau des couches des semi-conducteurs. Les algorithmes mis en œuvre ont été formulés de façon à faciliter le développement d'architectures en vue de leur implantation en VLSI.

Ces architectures ont été modélisées en langage de haut niveau, simulées afin d'évaluer leurs performances et implantées sur un FPGA. Les contributions scientifiques de cette partie concernant l'adaptation des algorithmes de détection et de localisation afin de pouvoir les implanter sur un circuit VLSI. Également, la conception de modules de prédiction et de mesure des paramètres nous a permis de valider les principes de l'algorithme.

De son côté, l'objectif principal du quatrième volet est de concevoir un capteur de la température pour faire une étude thermique au niveau de la jonction. Pour cette étude, nous avons présenté une approche pour l'implémentation d'un capteur de température entièrement numérique qui peut être inséré dynamiquement, exploité et éliminé du circuit après le test. Un oscillateur en anneau avec des blocs auxiliaires (essentiellement des compteurs et des éléments de contrôle) a été placé dans le design.

Alors que l'objectif de la cinquième partie était de faire l'étude de la contrainte thermique spatiale surtout au niveau de silicium. Afin d'effectuer cette étude, nous avons utilisé les résultats de la partie thermique en tenant compte des différents paramètres. Le modèle développé permet de simuler la distribution spatiale de la contrainte thermique dans un processeur sur WSI.

Nous pouvons affirmer que les objectifs généraux de cette thèse ont été respectés. De plus, les techniques de mesure in-situ, de caractérisation performante mises en œuvre et des modèles thermomécaniques développés au cours de cette thèse sont transférables à d'autres types de boîtier et sont utilisables pour le pré-développement industriel des processeurs à hautes performances.

PUBLICATIONS DANS LE CADRE DE CETTE THÈSE

Livre

Lakhssassi, Ahmed, Mohammed Bougataya. VLSI Thermal Analysis and Monitoring. VLSI. Vienna : In-Tech, Kirchengasse 43/3, A-1070 Vienna, Austria , 2009. 25

Articles

[1] Radji, Moufid, Ahmed Lakhssassi, **Mohammed Bougataya**, Anas Hamoui, Ricardo Izquierdo. Wafer Post-Processing for a Reconfigurable Wafer-Scale Circuit Board. 11 th Electronics Packaging Technology Conference EPTC 2009, 5. (2009).

[2] **M. Bougataya**, A. Lakhssassi, R.Norman, R.Prytula, Y.Blaquière , Y.Savaria. Steady State Thermal Analysis of a Reconfigurable Wafer-Scale Circuit Board. IEEE/CCECE08 Proceedings, IEEE. (2008).

[3] A.Lakhssassi, **M.Bougataya**, C.Boustany, D. Massicotte. Thermal Stress Monitoring Using Gradient Direction Sensors. Joint IEEE-NEWCAS and TAISA Conference, Montréal. IEEE. 4. (2008).

[4] A.Lakhssassi, **M.Bougataya**, C.Boustany, D. Massicotte. VLSI Thermal Stress Monitoring using GDS Method. IEEE/CCECE08 Proceedings, IEEE. (2008).

[5] C.Boustany, A.Lakhssassi, **M.Bougataya**. Design and implementation of a surface peak thermal detector algorithm. ASAP07/IEEE 18th International Conference Application-specific Systems, Architectures and Processors, Montréal, Canada. IEEE. 234-238. (2007).

[6] Lakhssassi, Ahmed, **Mohammed Bougataya**, Danniell Massicotte. Practical approach to gradient direction sensor method in very large scale integration thermomechanical stress analysis. JOURNAL OF VACUUM SCIENCE & TECHNOLOGY A: VACUUM, SURFACES AND FILMS, 24. Issue 3 (2006) : 758-762.

[7] **M. Bougataya**, A. Lakhssassi, D. Massicotte. Steady State Thermo-mechanical Stress Prediction for Large VLSI circuits using GDS Method . IEEE Canadian Conference on Electrical and Computer Engineering , Ottawa. IEEE Canada. 917-921. (2006).

[8] **M. Bougataya**, A. Lakhssassi, D. Massicotte.VLSI Thermo-mechanical Stress Analysis by Gradient Direction Sensor Method. The 2005 IEEE Canadian Conference on

Electrical and Computer Engineering, Saskatoon, Saskatchewan, Canada. IEEE. 710-713. (2005).

[9] **M. Bougataya**, A. Lakhssassi, Y.Savaria D. Massicotte. Thermo-mechanical Stress Analysis of VLSI devices by partially coupled finite element methods. The 2004 IEEE Canadian Conference on Electrical and Computer Engineering, Niagara falls, Canada. IEEE. 509-513. (2004).

[10] **M. Bougataya**, A. Lakhssassi, Y.Savaria D. Massicotte. Stress and distortion Behavior for VLSI Steady State Thermal Analysis. The 2003 IEEE Canadian Conference on Electrical and Computer Engineering, Montréal, Québec, Canada. IEEE. 111-116. (2003).

[11] **M. Bougataya**, A. Lakhssassi, Y.Savaria D. Massicotte Mixed Fluid-Heat Transfer Approach for VLSI Steady State Thermal Analysis. IEEE CCECE02 Proceedings, Winnipeg, Manitoba, 403-407. (2002).

BIBLIOGRAPHIE

- [1] Orla Slattery, Denis O'Mahoney, Eoin Sheehan, and Finbarr Waldron, "Sources of Variation in Piezoresistive Stress Sensor Measurements", IEEE TRANSACTIONS ON COMPONENTS AND PACKAGING TECHNOLOGIES, VOL. 27, NO. 1, MARCH 2004, pp. 81–86.
- [2] R. Mahayan, R. Nair, V. Wakharkar, J. Swan, J. Tang, and G. Vandentop, "Emerging directions for packaging technologies", Intel Technol. J., vol. 6, no. 2, pp. 1–16, May 16th, 2002.
- [3] Stéphane Pinel, A. Marty, J. Tasselli, J.P. Bailbe, E. Beyne, R. Van Hoof, S. Marco, Marta Rencz, J.R. Morante, et al., "Thermal Modeling and Management in Ultrathin Chip Stack Technology", IEEE TRANSACTIONS ON COMPONENTS AND PACKAGING TECHNOLOGY, VOL. 25, NO. 2, JUNE 2002, pp. 244-253.
- [4] Tung-Sheng Chen and Yu-Ren Huang, "Evaluation of MOS Devices as Mechanical Stress Sensors", IEEE TRANSACTIONS ON COMPONENTS AND PACKAGING TECHNOLOGIES, VOL. 25, NO. 3, SEPTEMBER 2002, pp. 511-517.
- [5] Vladimir Székely, Marta Rencz, Andras Pahi, Benard Courtois, "Thermal Monitoring and Testing of Electronic Systems", IEEE TRANSACTIONS ON COMPONENTS AND PACKAGING TECHNOLOGY, VOL. 22, NO. 2, JUNE 1999, pp. 231-237.
- [6] J. C. Suhling, M. T. Carey, R.W. Johnson, and R. C. Jaeger, "Stress measurement in microelectronic packages subjected to high temperatures", in Proc. Manufact. Processes Mater. Challenges Microelectron. Packag., ASME Winter Annu. Meeting, vol. EEP-1, Dec. 1991, pp. 143–152.

- [7] O. Slattery, D. O'Mahoney, E. Sheehan, F. Waldron, and G. McCarthy, "Predicting thermomechanical stress using MESMERIC methodology", in Proc. 8th Intersoc. Conf. Thermal Thermomech. Phenom. Electron. Syst., San Diego, CA, May 30–June 1 2002, pp. 884–891.
- [8] R. C. Jaeger, J. C. Suhling, M. T. Carey, and R.W. Johnson, "A piezoresistive sensor chip for measurement of stress in electronic packaging", in Proc. 43rd. Electron. Comp. Technol. Conf., June 1st–4th, 1993, pp. 686–692.
- [9] J. Steele, "ACPI Thermal Sensing and Control in PC", in Proc. Wescon 98, pp. 169–182, 1998.
- [10] Compaq, Intel, Microsoft, Phoenix, and Toshiba, "Advanced Configuration and Power Interface Specification", July 27, 2000.
- [11] R. E. Beatty, R. C. Jaeger, J. C. Suhling, R.W. Johnson, and R. D. Butler, "Evaluation of piezoresistive coefficient variation in silicon stress sensors using a 4PB test fixture", IEEE Trans. Comp., Hybrids Manufact. Technol., vol. 15, pp. 904–914, Oct. 1992.
- [12] Mohammed Bougataya, Ahmed Lakhsasi, Yvon Savaria and Danniell Massicotte "Thermomechanical Stress Analysis of VLSI devices by partially coupled finite element methods" IEEE/CCECE04 Proceedings; ISBN: 0-7803-8254-4; vol. 1, pp. 509-513, May 2-5, 2004, Niagara falls, Canada.
- [13] M. Bougataya, A. Lakhsasi, Y. Savaria and D. Massicotte "Stress and distortion Behavior for VLSI Steady State Thermal Analysis", IEEE/CCECE03 Proceedings; ISBN: 0-7803-7782-6; vol.1, paper 288, 6 p., May 4-7, 2003, Montréal, Québec, Canada.

[14] M. Bougataya, A. Lakhsasi, Y. Savaria and D. Massicotte "Mixed Fluid-Heat Transfer Approach for VLSI Steady State Thermal Analysis", IEEE/CCECE02 Proceedings; ISBN: 0-7803-7514-9; vol. 1, pp. , May 12-15, 2002, Winnipeg, Manitoba, Canada.

[15] Lakhsasi A., Hamri Y., Skorek A. "Partially Coupled Electro-Thermal Analysis for Accurate Prediction of Switching Devices", CCECE 2001, The 2001 IEEE Canadian Confer. on Electrical and Computer Engineering, Toronto, Ontario, Canada, May 13-16, ISBN 0-7803-6715-2.

[16] A. Lakhsasi, A. Skorek, " Dynamic Finite Element Approach for Analyzing Stress and Distortion in Multilevel Devices", SOLID-STATE ELECTRONICS, PERGAMON, Elsevier Science Ltd., Volume 46/6 pp. 925-932, May 2002.

[17] Charles A. Happer " Electronic Packaging And interconnection Handbook "McGraw-Hill Handbooks.

[18] Wojciech Wojciak and al " Thermal monitoring of a single heat source in semiconductor devices-the first approach " Microelectronics Journal (1997) 313-316.

[19] ABAKAR MOHAMAT TAHIR Modélisation thermique des composants magnétiques utilisée en électronique de puissance thèse INSA Lyon 2003

[20] Kenneth G.B udinski et auteur "Engineering materials properties and selection" Prentice Hall 1999

- [21] André Bazerqui et auteur `` Résistance des matériaux `` Édition de l'école polytechnique de Montréal 1993
- [22] Lakhssassi, Ahmed, Mohammed Bougataya, Danniell Massicotte. Practical approach to gradient direction sensor method in very large scale integration thermomechanical stress analysis. JOURNAL OF VACUUM SCIENCE & TECHNOLOGY A: VACUUM, SURFACES AND FILMS, 24. Issue 3 (2006) : 758-762.
- [23] JANICKI M, ZUBERT M, NAPIERALSKI A. Application of inverse problem algorithms for integrated circuit temperature estimation, Department of Microelectronics and Computer Science, Technical University of Lodz, Al. Politechniki 11, 93-590 Lodz, Poland. 1999 Elsevier Science Ltd. 0026-2692/99.
- [24] CHAOUI HICHAM. Implantation sur FPGA d'une loi de commande adaptative neuronale supervisée pour une articulation flexible. Projet de Mémoire, Maitrise en Informatique, Université de Québec en Outaouais, 2004. p. 91-108.
- [25] MONMASSON E. ET CHAPUIS Y.A. Contributions of FPGAs to the Control of Electrical Systems, a Review. Université de Cergy-Pontoise. 2002.
- [26] LOPEZ-BUEDO SERGIO, BOEMO EDUARDO. Making Visible the Thermal Behaviour of Embedded Microprocessors on FPGAs. A Progress Report. Computer Engineering Department, School of Engineering Universidad Autonoma de Madrid, Spain. 2004 ACM 1-58113-829-6/04
- [27] QUINTON P. ET ROBERT Y. Algorithmes et architectures systoliques. Masson 1989. p-6-12.
- [28] Eric Benoit :Capteur symboliques et capteurs flous :un nouveau pas vers l'intelligence Thèse Université Joseph fournier – Grenoble 1998
- [29] Développement d'un outil logiciel industriel d'aide à la conception des oscillateurs à quartz Thèse Université de Franche-Comté 2005