

UNIVERSITÉ DU QUÉBEC

**MÉMOIRE PRÉSENTÉ À
L'UNIVERSITÉ DU QUÉBEC À TROIS-RIVIÈRES**

**COMME EXIGENCE PARTIELLE
DE LA MAÎTRISE EN GÉNIE ÉLECTRIQUE**

**PAR
MOHAMMED BOUGATAYA**

**ÉTUDE DE LA DYNAMIQUE THERMIQUE DANS
UN PROCESSEUR MASSIF À HAUT NIVEAU DE DÉBIT**

DECEMBRE 2002

Université du Québec à Trois-Rivières

Service de la bibliothèque

Avertissement

L'auteur de ce mémoire ou de cette thèse a autorisé l'Université du Québec à Trois-Rivières à diffuser, à des fins non lucratives, une copie de son mémoire ou de sa thèse.

Cette diffusion n'entraîne pas une renonciation de la part de l'auteur à ses droits de propriété intellectuelle, incluant le droit d'auteur, sur ce mémoire ou cette thèse. Notamment, la reproduction ou la publication de la totalité ou d'une partie importante de ce mémoire ou de cette thèse requiert son autorisation.

*À mon père, à ma mère
À ma sœur (Fatna)
À mes frères(Sghir, Rachid et Radouane)
À toute ma grande famille
À tous mes amis et amies au Maroc, Algérie, Europe et au Canada
À titre de reconnaissance, d'amour et d'affection*

Résumé

Au cours du développement et la conception des circuits intégrés (CI) l'aspect thermique est crucial pour leur bon fonctionnement. La contrainte thermique finale est la température du silicium, qui est désignée généralement sous le nom de la température de jonction, demeure un obstacle majeur devant les performances les plus recherchées des circuits intégrés soit : l'augmentation de la vitesse d'opération et la miniaturisation des composants. Dans les deux cas cela se traduit par une augmentation de la température des composants électroniques causée respectivement par l'accumulation d'un résidu thermique d'un cycle à l'autre et l'augmentation de la densité de puissance dissipée.

En effet, le contrôle de la température et son gradient à partir du premier pas de la conception du circuit intégré est essentiel. Cependant, le placement des composants ne doit pas provoquer de dégradation de performance due aux différences de température. Les composants doivent rester dans les limites des spécifications et sur la même ligne isotherme, de manière à respecter une symétrie axiale par rapport à la source de chaleur. De cette façon nous avons caractérisé la dynamique thermique dans le processeur WSI (*Wafer Scale Integration*) pour développer une cartographie thermique représentant le circuit réel en opération.

De ce fait, notre projet de recherche consiste à étudier la dynamique thermique et thermomécanique en régime permanent et transitoire d'un processeur massif à haut niveau de débit dans l'environnement NISA qui utilise la méthode des éléments finis (FEM). Nos investigations thermiques ont servi à prédire le comportement thermique des

sources de chaleur au niveau du *layout* (dessin des masques sur silicium) et le *Data Bus* (Bus de donnée) placées dans la cavité du boîtier. Les mesures de température données par ces sources permettront la modélisation de l'ensemble du boîtier, afin d'établir une cartographie thermique la plus homogène qui va nous permettre à concevoir les systèmes de dégagement effectif de la chaleur au sein de circuit intégrée.

Remerciements

Ce travail a été effectué au sein du laboratoire de DMCL (*Device Modelisation and characterisation laboratory*) à l'UQO et au laboratoire des signaux et systèmes intégrés à UQTR en collaboration avec la compagnie Hyperchip.Inc

Je remercie tout d'abord Monsieur le professeur **Ahmed LAKHSASI**, directeur du Laboratoire DMCL lors de mon arrivée en projet et actuellement directeur de module de génie informatique à UQO, pour m'avoir accueilli au sein de son laboratoire et pour l'honneur qu'il me fait en acceptant l'encadrement de ce projet.

J'exprime toute ma gratitude pour son encadrement efficace, ses précieux conseils et la confiance qu'il m'a témoigné et par la même occasion je rends hommage à sa rigueur scientifique et technique.

Mes remerciements s'adressent ensuite à Monsieur le professeur **Daniel MASSICOTTE**, mon co-directeur de thèse, responsable de laboratoire de signal et de système intégré à UQTR pour ses précieux conseils.

Je remercie très sincèrement les professeurs **Adam SKOREK** et **Marek ZAREMBA** d'avoir accepté d'être les examinateurs de ma thèse.

Je remercie vivement les professeurs **Yvon SAVARIA** de l'École Polytechnique de Montréal et **Claude THIBEAULT** de l'ÉTS pour leurs nombreux conseils, leurs suggestions et leurs critiques qui m'ont beaucoup aidé d'affronter tant de difficultés.

Je remercie la compagnie Hyperchip qui a financé ce travail de recherche dans le cadre du programme pour développer un routeur pour le réseau d'Internet .

J'adresse mes sincères remerciements à toutes les personnes ayant participé à ce programme avec lesquelles j'ai eu d'excellents rapports. Je remercie tout particulièrement Messieurs **Karl FECTEAU** et **David CHAMBERLAIN** pour l'aide directe qu'ils m'ont apporté.

À tous ceux et celles qui de près ou de loin m'ont permis de bien mener à terme ces recherches.

Table des matières

RÉSUMÉ.....	III
REMERCIEMENTS.....	V
LISTE DES FIGURES.....	XI
LISTE DES TABLEAUX.....	XVI
LISTE DES SYMBOLES.....	XVII
<i>Chapitre I : Introduction générale</i>	1
I.1 Problématique	1
I.1.1 Contrainte thermique.....	2
I.1.2 Choc thermique.....	3
I.1.3 Améliorer la prédiction du skew.....	3
I.2 Objectifs de la recherche.....	3
I.3 Méthodologie de la recherche.....	4
I.4 Structure du mémoire	6
<i>Chapitre II : Introduction à la gestion thermique en électronique : aspects de la mise en boîtier ” Packaging”.....</i>	7
II.1 Introduction.....	7
II.2 Pourquoi la conception thermique.....	9
II.2.1 Effets de la température sur l’opération du circuit.....	9
II.2.2 Effets de température sur la construction physique.....	10
II.3 Analyse thermique.....	11
II.3.1 Écoulement du Flux de chaleur.....	12
II.3.2 Conception thermique	17
II.3.3 Sélection de la technique de refroidissement thermique.....	19

II .3.4 Choix du radiateur.....	20
II.4 Approche des éléments finis.....	20
II .4.1 Modélisation par éléments finis	21
II .5 Choix du packaging.....	26
II.5.1 Propriétés électriques des protubérances	28
II.5.2 Performances électriques.....	29
II.5.3 Performances mécaniques.....	31
II.5.3.1 Connexions I/O en réseau sur toute la surface de la puce	31
II.5.3.2 Densité d'interconnexion et efficacité.....	32
II.5.4 Aspect thermique.....	33
II.5.4.1 Résistance thermique d'une boule de soudure.....	33
II.5.4.2 Résistance thermique de l'interconnexion puce-boîtier.....	34
II.5.5 Contrainte thermique	36
II.6 Conclusion du chapitre II.....	39
<i>Chapitre III : Conditions aux limites thermiques</i>	40
III.1 Introduction.....	40
III.2 Analyse de transfert de la chaleur	42
III.2.1 Convection d'énergie.....	42
III.2.2 Transfert de chaleur	44
III.3 Circuit thermique.....	46
III.4 Conditions aux limites thermique.....	48
III.5 Analyse d'écoulement de fluide thermique.....	52
III.6 Analyse numérique de transfert de chaleur.....	53
III.7 Résultats et discussions.....	57
III.8 Conclusion du chapitre III.....	58

<i>Chapitre IV: Étude de La dynamique thermique</i>	61
IV.1 Introduction.....	61
IV.2 Optimisation de l'emplacement des sources de chaleur.....	64
IV.2.1 Condition de la simulation.....	64
IV.2.2 Résultats de la simulation.....	65
V.3 Optimisation de l'emplacement de nombre de Data Bus.....	69
IV.3.1 Condition de l'investigation thermique	71
IV.3.2 Résultats de l'investigation thermique.....	72
IV.4 Optimisation de l'emplacement des sources de chaleur sur une Data Bus dans un layout	73
IV.4.1 Conditions de la simulation.....	75
IV.4.2 Résultats des simulations.....	76
IV.5 Emplacement final des sources de chaleur	79
IV.5 .1 Influences d'autre sources de chaleur sur l'emplacement finale des puces.....	80
IV.5.1.1 Conditions de la simulation thermique.....	81
IV.5.1.2 Résultats des simulations thermiques	81
IV.6 Établissement d'une cartographie thermique pour tout le processeur.....	82
IV.6.1 Sélection de radiateur	84
IV.6.2 Types de refroidissement	85
IV.6.3 Conditions de la simulation pour le processeur WSI.....	89
IV.6.4 Résultats de simulation pour le processeur WSI.....	91
IV.7 Conclusion du chapitre IV.....	93

Chapitre V: Contrainte thermomécanique.....	95
V.1 Introduction	95
V.2 Distorsions dans le processeur WSI.....	97
V.3 Étude de la thermomécanique.....	99
V.4 Conditions aux limites statiques.....	99
V.5 Analyse de la déformation du processeur WSI.....	101
V.6 Analyse de la déformation au niveau des boules de soudure.....	101
V.7 Contrainte équivalent “ Von Mises”.....	104
V.8 Conclusion du chapitre V.....	105
Chapitre VI : CONCLUSION GÉNÉRALE	106
BIBLIOGRAPHIE.....	109
ANNEXE I : NOUVELLE APPROCHE POUR LA DÉTERMINATION DE h_{eq}^{conv}	111
ANNEXE II : PROGRAMME FICHIER NISA PARTIE THERMIQUE.....	117
ANNEXE III : PROGRAMME FICHIER NISA PARTIE STATIQUE	121
ANNEXE IV : RÉSULTAT DE LA DÉTERMINATION DU RADIATEUR	125

Liste des figures

Chapitre I

Figure 1.1	Organigramme de la Méthodologie de recherche.....	5
------------	---	---

Chapitre II

Figure 2.1	Conditions aux limites thermiques.....	12
Figure 2.2	Organigramme pour la conception thermique	18
Figure 2.3	Modèle d'éléments finis simplifiés en 2D.....	22
Figure 2.4	Organigramme pour exécuter une analyse des éléments finis.	23
Figure 2.5	Exemple de résultat d'une analyse thermique par les	
Figure 2.6	éléments finis.....	25
Figure 2.7	Flip Chip Packaging (FCP).....	26
Figure 2.8	Exemple: Flip Chip TBGA	27
Figure 2.9	Exemple : Flip Chip sur MCM	27
Figure 2.10	Technologie C4: Boules de soudure	28
Figure 2.11	Montages Flip Chip utilisant des substances adhésives.....	28
Figure 2.12	Disposition des boules de soudure sur la puce (Grid Array)...	31
Figure 2.13	Modélisation thermique d'une configuration Flip Chip.....	35
	Exemple de modélisation thermique d'une puce montée en	
	Flip Chip.....	36
Figure 2.14	Stress thermique sur les soudures.....	36
Figure 2.15	Empilage de protubérances	37
Figure 2.16	Interconnexion d'une puce sur son support: Flip Chip.....	38

Chapitre III

Figure 3.1	Élément de volume (ΔV).....	42
Figure 3.2	Model thermique statique 1-D.....	46
Figure 3.3	Analogies électriques entre la jonction et le radiateur.....	47
Figure 3.4	Conditions aux limites thermiques au niveau de la jonction ...	51
Figure 3.5	Schémas d'un Radiateur	52
Figure 3.6	Évolution de la température de radiateur AAVID_61540 en fonction de la puissance dissipée pour une source de 16mm×20mm.....	53
Figure 3.7	Déroulement de l'analyse d'un problème de transfert de chaleur.....	56
Figure 3.8	Modèle en éléments finis et distribution de la température pour la source 16mm×20mm.....	57
Figure 3.9	Évolution du coefficient de convection forcé équivalent avec la puissance dissipée pour différents h.....	57
Figure 3.10	Évolution de la température avec la surface de la source pour $h = 20\text{W/m}^2 \cdot ^\circ\text{C}$	57
Figure 3.11	Évolution de la résistance équivalente du radiateur avec l'évolution de la surface pour $h = 20\text{W/m}^2 \cdot ^\circ\text{C}$	57
Figure 3.12	Évolution du coefficient de convection forcé équivalent avec la surface de la source pour $h = 20\text{W/m}^2 \cdot ^\circ\text{C}$	57

Chapitre IV

Figure 4.1	Dimensions des sources de chaleur dans un bus de donnée...	64
Figure 4.2	Fonction TIMEAMP pour le régime transitoire.....	65
Figure 4.3	Résultats obtenus pour les différents temps de simulation....	66
Figure 4.4	Emplacements des points à étudier en régime transitoire sur la surface de Bus de donnée	67
Figure 4.5	Évolution de la température sur la surface du bus de donnée à des différents nœuds.....	68
Figure 4.6	Dimensions géométriques pour l'emplacement des bus de données situées sur le layout du processeur WSI.....	69
Figure 4.7	Dimensions géométriques pour un bus de donnée.....	70
Figure 4.8	Dimensions géométriques pour une source de chaleur	70
Figure 4.9	Maillage des éléments de la chaleur pour les sources et les Bus de donnée en 2D.....	70
Figure 4.10	Conditions aux limites appliquées sur layout.....	70
Figure 4.11	Lignes isothermes thermiques pour quelques sources de chaleur allumées pour différents Bus de données.....	72
Figure 4.12	Lignes isothermes thermiques pour 200 sources du chaleur allumée pour différents Bus de donnée.....	73
Figure 4.13	Dimensions du layout du processeur WSI	74
Figure 4.14	Schématisme de l'emplacement des sources de chaleur dans la structure C et D pour la simulation N1.....	75
Figure 4.15	Schématisme de l'emplacement des sources de chaleur à la droite des structures A, B, C et D pour la simulation N2.....	75
Figure 4.16	Conditions aux limites représentées par la densité de puissance modélisée par un flux de chaleur et la spécification de la température en bas de la structure	74
Figure 4.17	Lignes isothermes thermiques pour une puissance appliquée pour 1/10 de la structure C et D pour une température nodale spécifiée à 65 °C.....	76

Figure 4.18	Lignes isothermes thermiques pour une puissance appliquée pour 5/10 de la structure C et D pour une température nodale spécifiée à 65 °C(vue en haut).....	77
Figure 4.19	Lignes isothermes thermiques pour une puissance appliquée pour 3/10 de la structure C et D pour une température nodale spécifiée à 65 °C(vue en haut).....	77
Figure 4.20	Lignes isothermes thermiques pour une puissance appliquée pour toutes les structures C et D pour une température nodale spécifiée à 65 °C(vue en haut).....	77
Figure 4.21	Lignes isothermes thermiques pour une puissance appliquée pour toutes les structure C et D pour une température nodale spécifiée à 65 °C (vue isométrique).....	77
Figure 4.22	Lignes isothermes thermiques pour une puissance appliquée à la droite des structures A, B, C et D pour une température nodale spécifiée à 65 °C.....	77
Figure 4.23	Évolution de la température maximale pour différents placements des sources de chaleur (simulation No 1).....	78
Figure 4.24	Évolution de la température maximale pour différents placements des sources de chaleur (simulation No 2)	78
Figure 5.26	Dimensions et l'emplacement final des sources de chaleur et les Bus de données dans un layout.....	79
Figure 5.27	Lignes isothermes thermiques pour une puissance appliquée à la gauche des structures C et D	79
Figure 5.28	Dimension des cellules des sources de chaleurs	80
Figure 5.29	Lignes isothermes thermiques pour une puissance appliquée sur la LOGIC.....	81
Figure 5.30	Emplacement des sources de chaleur pour tout le processeur WSI.....	83
Figure 5.31	Dimension géométrique utilisée pour tout le processeur	83
Figure 5.32	3-D Simulation en 3D pour la détermination d'un radiateur..	87

Figure 5.33	Analogies électriques entre la jonction et le radiateur.....	89
Figure 5.34	Coupes XY pour la simulation en 2-D	90
Figure 5.35	3-D lignes isothermes thermiques pour tout le processeur ...	91
Figure 5.36	2-D lignes isothermes thermiques pour tout le processeur ...	91

Chapitre V

Figure 5.1	Signes et conventions pour les composants des contraintes et des distorsions.....	98
Figure 5.2	Conditions aux limites statiques pour le processeur WSI et les Coupes visionné pour la simulation en 2-D	100
Figure 5.3	Déformation suivant l'axe X (μm).....	101
Figure 5.4	Déformation maximale au niveau d'une boule de soudure suivant l'axe X.....	102
Figure 5.5	Déformation maximale entre deux boules de soudure suivant l'axe X	102
Figure 5.6	Déformation suivant l'axe Y (μm).....	103
Figure 5.7	Déformation maximale au niveau d'une boule de soudure suivant l'axe	103
Figure 5.8	Contrainte équivalente "Von Mises" (MPa).....	104

Liste des tableaux

Tableau 2.1	Ordre de grandeurs d'onde associées à différentes fréquences...	29
Tableau 2.2	Ordre de grandeurs sur les performances électriques des technologies C4.....	30
Tableau 3.2	Comparaison entre les différents paramètres avec l'analyse fluide(Qfin) et le transfert de la chaleur (NISA).....	57
Tableau 4.1	Propriétés thermiques des matériaux.....	71
Tableau 4.2	Efficacité de transfert de chaleur pour diverses configurations de radiateurs.....	85
Tableau 4.3	Coefficients de transfert de chaleur typiques pour différents types de refroidissement.....	86
Tableau 4.4	Variation de température et résistance thermique en fonction de la réduction du coefficient de convection forcée (h) pour $R_{jc}=0$. 01 Co/W.....	88

Liste des symboles

C	Capacité d'entrée [F]
V	Signal d'oscillation de la tension crête à crête [V]
f	La fréquence [Hz]
ρ	Masse volumique [kg / m^3]
Cth	Capacité thermique [J/K]
Cp	Chaleur massique à pression constante [J/kg.K]
E	Module de Young
h	Coefficient d'échange convectif [$W / m^2.K$]
Ip	Courant de la charge [A]
k	Conductivité thermique [W/m.K]
ko	Conductivité thermique à 300 K [W/ m.K]
Ki	Conductivité thermique de l'isolant [W/ m.K]
P	Puissance totale dissipée [W]
q	Densité volumique des sources internes [W / m^3]
S	Surface d'échange [m^2]
T	Température [K]
t	Temps [s]
Ta	Température ambiante [K]
Vo	Tension de seuil [V]
Vcc	Tension d'alimentation continue [V]
Zth	Impédance thermique [K/J]
g	Conductance thermique [$W / m^2.K$]
ϕ	Flux de chaleur [W]
α	Perte
φ	Densité surfacique de flux de chaleur [W / m^2]
σ	Constante de Stéfan-Boltzman [$W / m^2.K^4$]
ε	Emmissivité

η	Rendement
R_{cs}	Résistance thermique entre le boîtier et le radiateur [$^{\circ}C/W$]
R_{jc}	Résistance thermique entre la jonction et boîtier [$^{\circ}C/W$]
R_{sa}	Résistance thermique entre le radiateur et l'air [$^{\circ}C/W$]
Z_0	Impédance de sortie caractéristique
t_p	délais de propagation [S]
n_w	Nombre de I/O
p_L	Pas d'interconnexion
W et L	Dimension de caractéristique de circuit intégrée [m]
δ_w	Distance inutilisée sur W [m].
δ_L	Distance inutilisée sur L [m].
N	Le nombre de connexions
D	La densité d'interconnexion
L_{tot}	Longueur totale d'interconnexion [m]
A	Surface totale de puce[m ²]
K_{ball}	Conductivité thermique de la boule de soudure [W/ m.K].
K_{pad}	Conductivité thermique d'un <i>pad</i> [W/ m.K]
K_{paste}	Conductivité thermique d'un <i>paste</i> [W/ m.K]
K_{encap}	Conductivité thermique de l'encapsulant [W/ m.K]
H_{fluide}	Coefficient de transfert thermique du fluide interstitiel [W/m ² .K]
H_{fluide}	Coefficient de transfert thermique du fluide interstitiel [W/m ² .K]
$\Delta\alpha$	Différence de CTE entre la puce et son support.
τ	Contrainte sur la soudure
d	Diamètre de la protubérance [m]
ΔT	Variation de températures à laquelle est soumis le système
R_{ball}	Résistance thermique de boule [$^{\circ}C/W$]
R_{pad}	Résistance thermique de <i>pad</i> [$^{\circ}C/W$]
R_{bump}	Résistance thermique <i>bump</i> [$^{\circ}C/W$]
$R_{soudure}$	Résistance thermique de soudure [$^{\circ}C/W$]

Chapitre I

Introduction générale

I.1. Problématique

Les premières années de ce siècle, sans aucun doute, seront consacrées aux télécommunications, que ce soit pour la téléphonie, l'internet, l'informatique ou les systèmes experts. Les besoins mondiaux en composants microélectroniques ne cesseront de croître. Les circuits intégrés (CI) sont essentiels aux développements futurs des télécommunications, ils devront être plus complexes, plus rapides et posséder une grande capacité de mémoire[1].

Au cours du développement et la conception des circuits intégrés l'aspect thermique est crucial pour leur bon fonctionnement. Le problème du surchauffe de la jonction demeure un obstacle majeur devant les performances les plus recherchées des systèmes électroniques soit : L'augmentation de la vitesse d'opération et la miniaturisation des composants. Dans les deux cas cela se traduit par une augmentation de la température des composants électroniques causée respectivement par l'accumulation d'un résidu thermique d'un cycle à l'autre et l'augmentation de la densité de puissance dissipée.

La conception d'un processeur fiable et performant nécessite le recours à une étude thermique aux particularités géométriques et structurelles au niveau de la jonction.

En effet l'analyse de transfert de chaleur dans les processeurs repose sur les lois fondamentales de transfert de chaleur. Ces particularités résident essentiellement dans la géométrie et la structure des dispositifs, et dans la répartition spatiale des sources de chaleur. Ainsi, lors de la conception des processeurs, le modèle thermique est considéré essentiel pendant la simulation de la température de la jonction[1].

À mesure que la vitesse de processeur croît et les augmentations des périphériques d'intégration, la puissance de puce augmente. Investigation thermique devient une partie de plus en plus importante de la conception de système qui assure leur bon fonctionnement. La contrainte thermique finale est la température de silicium, qui désignée généralement sous le nom de la température de jonction. Cependant, elle demeure un obstacle majeur devant les performances les plus recherchées des circuits intégrés à très grande échelle d'intégration VLSI (*Very Large Scale Integration*)

Avant de commencer l'étude sur les aspects thermiques dans un processeur, nous consacrons cette partie à la description sur les problèmes liés à la température, et leur influence sur le circuit intégré. Nous y présentons trois problèmes majeurs, le premier et le deuxième tiennent compte de la structure physique du matériau et le troisième tient compte du fonctionnement du composant.

I.1.1. Contrainte thermique

Dans certaines conditions d'utilisation le CI peut être soumis à des variations plus ou moins brusques de température, ces variations entraînent des variations dimensionnelles du matériau. Par conséquent, lorsque le matériau n'est pas libre de se dilater ou de se contracter, il se trouve soumis à des contraintes thermiques (*Thermal Stress*). Ces contraintes sont dues aux gradients de déformation qui se développent dans sa structure, dont tous les éléments sont incapables de se déformer librement [2].

I.1.2. Choc thermique

Lorsque le gradient de température n'est pas très élevé, et que sa valeur est stable, les contraintes thermiques peuvent être atténuées par la déformation des éléments du CI [3]. Par contre, lorsque ce gradient de température est transitoire, c'est à dire lorsqu'il varie plus ou moins dans le temps, on a ce qu'on appelle un choc thermique.

I.1.3. Améliorer la prédiction du *Skew*

Le *skew* correspond au déphasage maximal entre les arrivées de l'horloge sur les bascules, donc lorsque le gradient spatial de la température est très élevé ou la température est plus élevée, ce déphasage peut être perturbé, automatiquement il provoque une mauvaise transmission des données [4].

I.2. Objectifs de la recherche

L'objectif général de cette recherche consiste à étudier la dynamique thermique en régime permanent et transitoire pour établir les contraintes thermiques et mécaniques

dans un processeur massif à haut niveau de débit (Prototype WSI de Hyperchip.inc).

L'objectif général peut se décomposer en sous objectifs :

- Définir la méthode de refroidissement et choisir le radiateur nécessaire,
- Établissement des conditions aux limites spécifiques au processeur,
- Proposer une cartographie représentant le positionnement des sources de chaleur pour respecter les contraintes imposées par le procédé de fabrication,
- Étude pour trouver l'emplacement idéal des sources de chaleur qui minimise la température et les contraintes thermique dans toute la structure du processeur,
- Étude de la dynamique thermique en régime transitoire et permanent,
- Établir une cartographie thermique du processeur,
- Faire une étude thermomécanique au niveau du package,
- Discussion des résultats obtenus et leurs applications.

I.3. Méthodologie de la recherche

La méthodologie du travail est basée sur le contrôle de la température et son gradient à partir du premier pas de la conception du processeur WSI.

Les principales étapes de cette méthodologie sont :

- Optimisation de l'emplacement des sources de chaleur sur layout.
- Établir une cartographie thermique du processeur
- Étudier la dynamique thermique en régime transitoire
- Déterminer la capacité de dissipation de chaleur du prototype

- Caractérisation de la dynamique thermique dans le démonstrateur WSI pour le développement d'une cartographie thermique représentant le circuit réel en opération.

Cette méthodologie de recherche est illustrée à la figure I.1

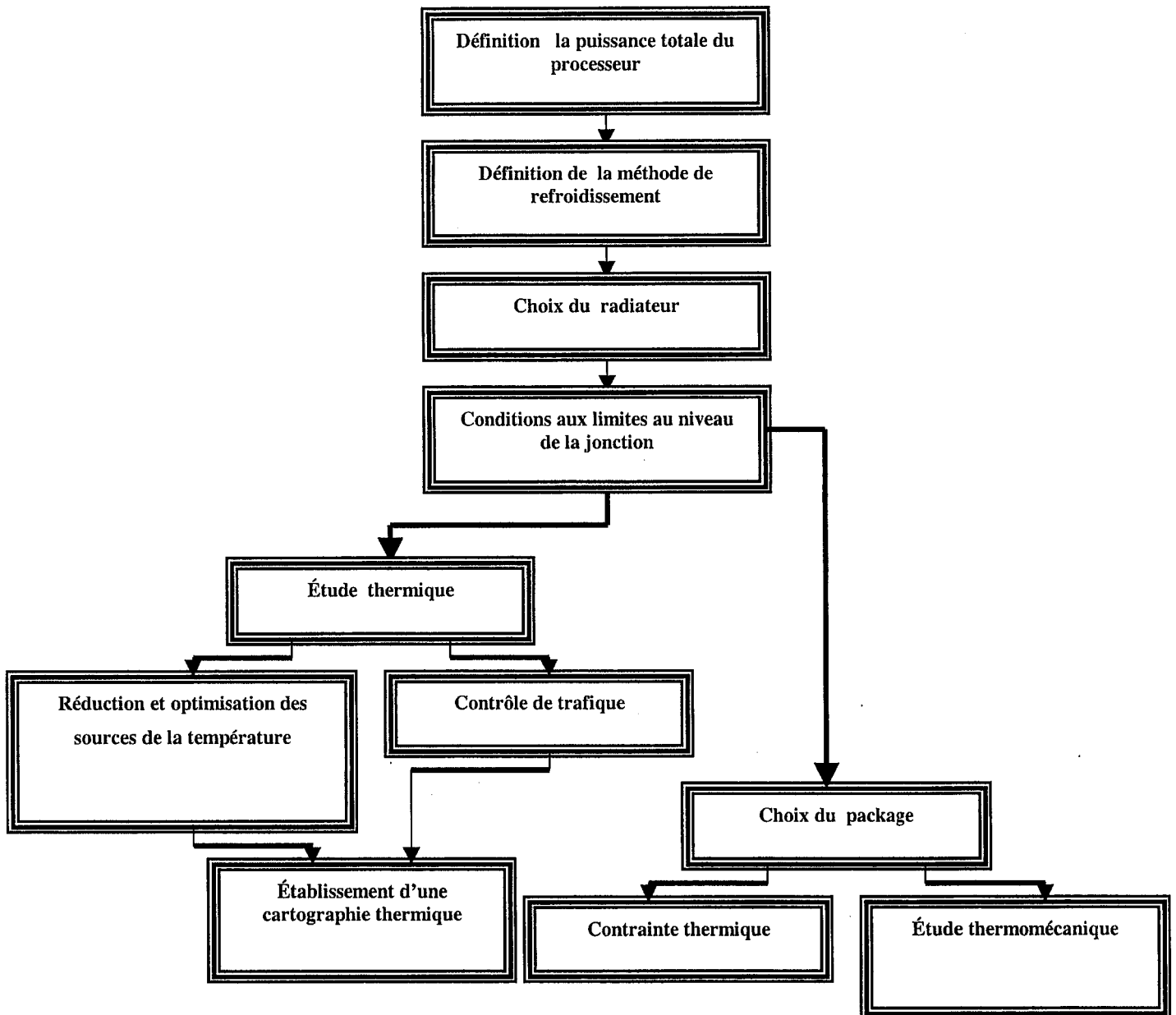


Figure I-1 : Organigramme de la méthodologie de recherche

I.4. Structure du mémoire.

Ce mémoire est composé de six chapitres : le premier chapitre présente la problématique, les objectifs de recherche et la méthodologie utilisée pour la résoudre.

Le deuxième chapitre présente une introduction à la gestion thermique en électronique de *packaging* qui fournit une description des approches diverses aux questions de la gestion thermique dans les boîtiers électroniques. L'accent sera mis sur les principes de bases et les outils disponibles pour résoudre la majorité des problèmes thermique et mécanique.

Le troisième chapitre est consacré à une nouvelle approche pour la détermination de coefficient de convection équivalent au niveau de la jonction dans le processeur WSI.

Le quatrième et le cinquième chapitre seront consacrés à la modélisation du comportement thermique, thermomécanique et à l'étude détaillée de la dynamique thermique en régime permanent et transitoire afin d'établir une cartographie thermique pour tout le processeur.

Enfin, le sixième chapitre sera consacré à la conclusion générale de cette recherche.

Chapitre II

Introduction à la gestion thermique en électronique : aspects de la mise en boîtier'' Packaging''

II.1 Introduction

La chaleur est une conséquence inévitable de chaque dispositif électronique, elle doit être réduite au minimum. La problématique thermique est généralement mentionnée comme la gestion thermique, elle n'est pas bien comprise par la plupart des ingénieurs, à part le praticien régulier. Ce chapitre, fournit une description des approches diverses aux questions de la gestion thermique dans les boîtiers électroniques. Il est destiné non seulement pour des experts de la gestion thermique, mais aussi pour ceux dans leurs domaines liés à la conception des circuits intégrés qui ont besoin d'un modèle thermique pour l'optimisation de leurs conceptions au niveau silicium. L'accent sera mis sur les principes de base et les outils disponibles pour résoudre la majorité des problèmes thermiques.

La tendance actuelle dans les boîtiers des systèmes électroniques et des sous-systèmes réduit les performances thermiques lors d'une augmentation de la densité et de la taille. On peut voir l'évidence de cette tendance dans les niveaux plus hauts d'intégration VLSI dans des semi-conducteurs et l'utilisation accrue d'hybrides et des modules poly cristallins [5].

Le placement de plus de fonctions dans un boîtier électronique plus petit a abouti à la densité de chaleur plus haute, qui met la gestion thermique à une haute priorité dans le processus de conception des circuits intégrés afin de maintenir la performance de système et la fiabilité. L'augmentation de taux d'horloge augmente la puissance dissipée dans les semi-conducteurs et par conséquent, la commutation augmente à un taux linéaire proportionnel à la fréquence :

$$P = CV^2f/2$$

C = Capacité d'entrée en Farads

V= Signal d'oscillation de la tension crête à crête en Volts

f = Commutation de fréquence en Hertz

Si les valeurs de la capacité d'entrée et l'oscillation de tension étaient restées les mêmes tandis que la fréquence d'horloge a augmenté, la quantité de la puissance dissipée aurait grandi dans un taux exponentiel et serait ingérable. Heureusement, le concepteur thermique peut aider à réduire la capacité d'entrée pour chaque nouvelle génération de semi-conducteurs. De plus, les oscillations de tension, qui sont directement liées aux tensions d'alimentation de la logique, ont subi une réduction drastique de 5.0 volts à un volt [5].

II.2 Pourquoi la conception thermique

II.2.1 Effets de la température sur l'opération du circuit

L'augmentation de la température d'un dispositif actif change typiquement ses paramètres électriques comme le gain, la fuite et la compensation. Ces variations des paramètres avec la température sont bien documentées et incorporées dans la plupart des

simulateurs de circuit. La plupart des concepteurs de circuit sont conscients que le courant de fuite dans les dispositifs actifs (diode, transistor MOS "Metal Oxide Semiconductor") double approximativement chaque 10 °C. La minimisation de la température réduit ainsi l'effet des courants de fuite. Si la température d'un dispositif actif augmente trop, il excédera les spécifications du fabricant et dérangera le fonctionnement normal du circuit[5].

Le changement de la température des dispositifs passifs change typiquement leurs valeurs. Par exemple, les résistances de film ont des coefficients de température qui s'étendent de la gamme de plusieurs parties par million par degré °C jusqu'aux plusieurs centaines. Des condensateurs céramiques, selon le matériel diélectrique, ont la variation de température de 30ppm/°C à 60 % selon les variations de température militaires (-55°C à +125°C) [5]. On ne désire pas typiquement ces changements de paramètres électriques. Si l'augmentation de température est assez haute, le dispositif actif ou passif étant chauffé peut de manière permanente se dégrader ou même se briser totalement.

Donc, une bonne conception thermique doit réduire au minimum n'importe quelles augmentations de température. Entant que concepteur on ne peut pas avoir le contrôle de changements de l'environnement du circuit, mais nous avons le contrôle de l'auto chauffage spatial du dispositif. Dans le cas du WSI, nous pouvons choisir les dispositifs sur le silicium qui produisent la quantité la plus basse de chaleur pour les taux d'horloge exigés dans le projet.

Ainsi, pour réunir la performance tant électrique que thermique d'un circuit, on doit réitérer thermiquement et électriquement la conception de modèle de chaque partie du WSI pour réaliser la performance exigée. De plus, au niveau physique on doit choisir des matériaux alternatifs ou incorporer des arrangements et des mécanismes de refroidissement complémentaires.

II.2.2 Effets de température sur la construction physique

Avec peu d'exceptions, les métaux s'étendent quand leur température augmente et se contractent quand ils sont refroidis. Le coefficient d'expansion thermique (TCE) est un paramètre très important à connaître dans la conception de boîtier électronique.

Le tableau (voir annexe IV) montre des valeurs de TCE pour des métaux divers utilisés dans l'assemblage des boîtiers en microélectroniques.

Des contraintes thermiques se produisent quand un matériau prend de l'expansion ou de la contraction. Comme exemple, dans le cas d'un radiateur de cuivre soudé à un substrat de céramique métallisé, la céramique a un TCE de 6.4ppm/°C, tandis que le cuivre a un TCE de 16.8ppm/oC. Ainsi, pendant un cycle de température dans lequel il y a un certain nombre de périodes d'échauffement et de refroidissement, le cuivre s'étend et se contracte à un taux plus haut que la céramique, mais cette contrainte pourrait augmenter, et se multiplier d'un cycle de température à l'autre. De cette façon le joint entre eux se soude, et il provoque une déformation dans la céramique[5].

D'un autre côté réduire ou éliminer les tensions thermiques exige le choix des métaux bien spécifique pour minimiser les changements de la température causés par l'auto-chauffage.

II.3 Analyse thermique

L'analyse thermique est un aspect important lors de la conception des dispositifs électroniques. Quand les matériaux sont chauffés, ils s'étendent et peuvent causer une contrainte qui peut rendre le dispositif inutilisable. De plus si une partie est surchauffée, elle s'approche de la zone de corrosion et d'oxydation des matériaux. Si la partie devient trop surchauffée elle peut perdre ses propriétés mécaniques et électriques. L'analyse thermique est normalement fait comme une étude préalable à une enquête de contrainte où la température est analysée par un modèle d'éléments finis structurel. Dans le cas de notre projet de recherche, l'analyse thermique est nécessaire au bon fonctionnement pour réaliser une compréhension minutieuse des différentes parties du processeur WSI.

L'analyse thermique avec le modèle en éléments finis va inclure les parties suivantes :

- Analyse de la radiation thermique aux surfaces,
- Analyse de la convection autour des dispositifs,
- Analyse de la conduction à l'intérieur du processeur,
- Analyse thermique en régime permanent,
- Analyse thermique en régime transitoire,
- Analyse mixte thermo-mécanique.

II.3.1 Écoulement du Flux de chaleur

Le deuxième principe de la thermodynamique déclare que la chaleur coule toujours spontanément d'une région plus chaude à une région plus froide. Tous les dispositifs actifs et passifs sont des sources de chaleur. Ces dispositifs sont toujours plus chauds que la température moyenne de leur environnement immédiat. Il y a trois mécanismes pour le transfert de chaleur : conduction, convection et radiation, comme indiqué dans figure 2.1. Dans les sections suivantes, nous allons présenter le mécanisme de la distribution de température de la source de chaleur à l'environnement.

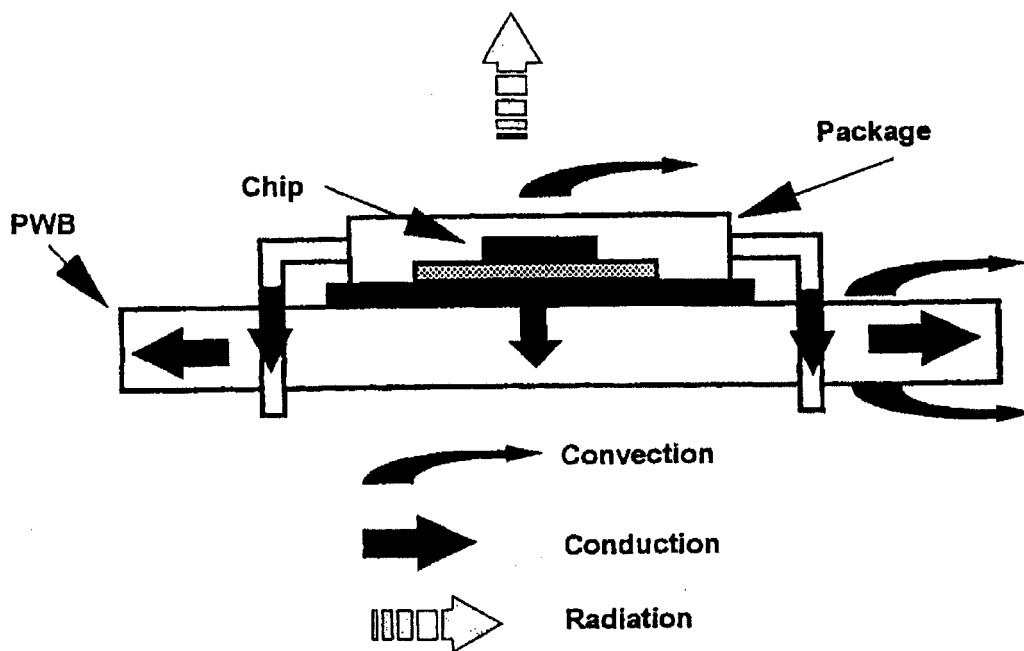


Figure 2.1 Conditions aux limites thermiques

a) La conduction

C'est le transfert de chaleur provoqué par la différence de température entre deux régions d'un milieu matériel ou entre deux milieux matériels en contact physique.

Dans le mode d'échange par convection, la transmission de la chaleur se fait dans les fluides, les liquides ou les gaz en mouvement. Ces cas se rencontrent souvent dans l'échange entre une paroi et un fluide.

La loi fondamentale de la conduction thermique, établie par Fourier sur la base de certaines expériences, s'exprime mathématiquement par la proportionnalité, en tout point d'un corps isotrope, de la densité de flux au gradient de température par :

$$\varphi = -k \cdot \vec{\text{grad}}(T) \dots\dots\dots(2.1)$$

Cette loi traduit le fait que l'énergie thermique se propage des points les plus chauds vers les plus froids, et que le flux est d'autant plus intense que l'écart de température par unité de longueur est grand.

Le coefficient de proportionnalité K est la conductivité thermique du corps considéré, et s'exprime en $W/(mK)$. Elle peut varier d'un point à l'autre du corps.

La connaissance de la conductivité thermique des matériaux reste un problème majeur.

Cette grandeur dépend d'un certain nombre de paramètres :

- Nature chimique du matériau,
- Nature de la phase considérée (solides, liquides, gazeuses), et de la température.

En d'autre terme, la loi de Fourier est non linéaire, en appliquant le premier principe de la thermodynamique à un élément de volume indéformable et au repos (la variation d'énergie interne du système est égale à l'énergie thermique entrant dans le volume au travers de la surface limite, ajoutée de la chaleur dégagée par les sources internes).

On obtient finalement l'équation :

$$\rho \cdot c_p \cdot \frac{dT}{dt} = \text{div} [k \cdot \text{grad} (T)] + q \dots\dots\dots (2.2)$$

avec :

ρ : masse volumique du corps $[kg / m^3]$

C_p : chaleur spécifique du corps $[J / (kg.K)]$

q : densité volumique des sources internes $[W / m^3]$

Dans le cas particulier d'un corps homogène et de conductivité indépendante de la température l'équation devient :

$$\frac{\rho \cdot c_p}{k} \cdot \frac{dT}{dt} = \Delta T + \frac{q}{k} \dots\dots\dots (2.3)$$

La quantité $k/(\rho \cdot C_p)$, appelée diffusivité thermique $\left(\frac{m^2}{s}\right)$ caractérise la vitesse de diffusion de la chaleur dans le matériau.

b) La convection

C'est le transfert d'énergie par mouvement macroscopique d'un fluide.

On distingue deux types de phénomènes convectifs :

- La convection naturelle ou libre, pour la quelle le mouvement provient de l'action simultanée de différences de température existant au sein du milieu, et d'un champ de force massique.
- La convection forcée, pour laquelle le mouvement est imposé par une action extérieure (pompe, ventilateur,.....).

La représentation exacte des processus de transfert par convection pose des problèmes des mécaniques des fluides souvent très difficiles à résoudre directement.

Cependant, comme on ne s'intéresse en général qu'à la quantité de chaleur échangée entre le fluide et une paroi solide, on introduit un coefficient d'échange superficiel h tel que la densité de flux de chaleur φ , à travers un élément de surface de la paroi, soit proportionnelle à la différence entre la température T de cet élément et une température moyenne du fluide T_a :

$$\varphi = h.[T-T_a] \dots\dots\dots(2.4)$$

Le coefficient h dépend :

- du type de convection
- du type d'écoulement
- de la géométrie de l'écoulement
- la vitesse de l'écoulement
- de la température
- des propriétés thermo-physiques du fluide (viscosité)
- des conditions adoptées au niveau de la paroi (température constante ou densité de flux constante).

c) La radiation

Il s'agit d'un rayonnement électromagnétique. La loi fondamentale de ce phénomène, appelée loi de Stefan-Boltzmann, exprime la densité de flux d'énergie émise par une surface idéale, dite noire, en fonction de sa température absolue :

$$\varphi = \sigma . T^4 \dots\dots\dots(2.5)$$

Où σ est la constante de Stefan-Boltzmann : $5.67.10^{-8} \left[\frac{W}{m^2 . K^4} \right] \dots\dots\dots(2.6)$

L'équation d'échange, dans le cas particulier d'un corps noir à la température absolue T, plongé dans une enceinte noire à la température absolue T_a , s'écrit :

$$\varphi = \sigma . (T^4 - T_a^4) \dots\dots\dots (2.7)$$

En pratique, on tiendra compte de la géométrie du système par l'introduction d'un facteur de forme F lié à l'angle de vue de la surface rayonnante vers l'ambiante, et des propriétés émissives réelles de la surface, que l'on qualifiera par un coefficient ε appelé émissivité :

$$\varphi = \varepsilon . F . \sigma (T^4 - T_a^4) \dots\dots\dots (2.8)$$

d) Remarque

Dans notre cas, les deux modes d'échanges : convection naturelle et rayonnement thermique sont généralement négligeables, car l'écoulement de la chaleur dans les composants électronique étant essentiellement de type conductif, les deux autres modes interviennent surtout dans les échanges avec l'environnement extérieurs [6]. L'existence d'un radiateur est destinée à l'évacuation de la chaleur .

Le calcul de l'échange est une étape essentielle de la conception thermique des composants électroniques, car la qualité du refroidissement dépend des caractéristiques principales des circuits intégrés.

Il est probable que l'avenir appartienne aux techniques de refroidissement, qui permettent, avec une efficacité accrue, l'évacuation de la chaleur au plus près des sources de dissipation (jonction).

II.3.2 La conception des systèmes électrothermiques.

Dans l'exécution d'une conception thermique, nous devons d'assurer d'enlever la chaleur résiduelle dans un processeur pour que la température de l'ensemble reste au-dessous de la température maximale d'opération. Notre approche est guidée selon la figure 2.2.

Pour commencer la conception thermique, nous devons connaître la quantité de puissance qui sera dissipée dans chacun des parties du processeur. Cependant, on doit connaître le cas le plus mauvais ou critique représentant des conditions d'utilisation du processeur, sa taille maximale et son poids et la disponibilité ou non de liquides de refroidissement (tant liquide que l'air).

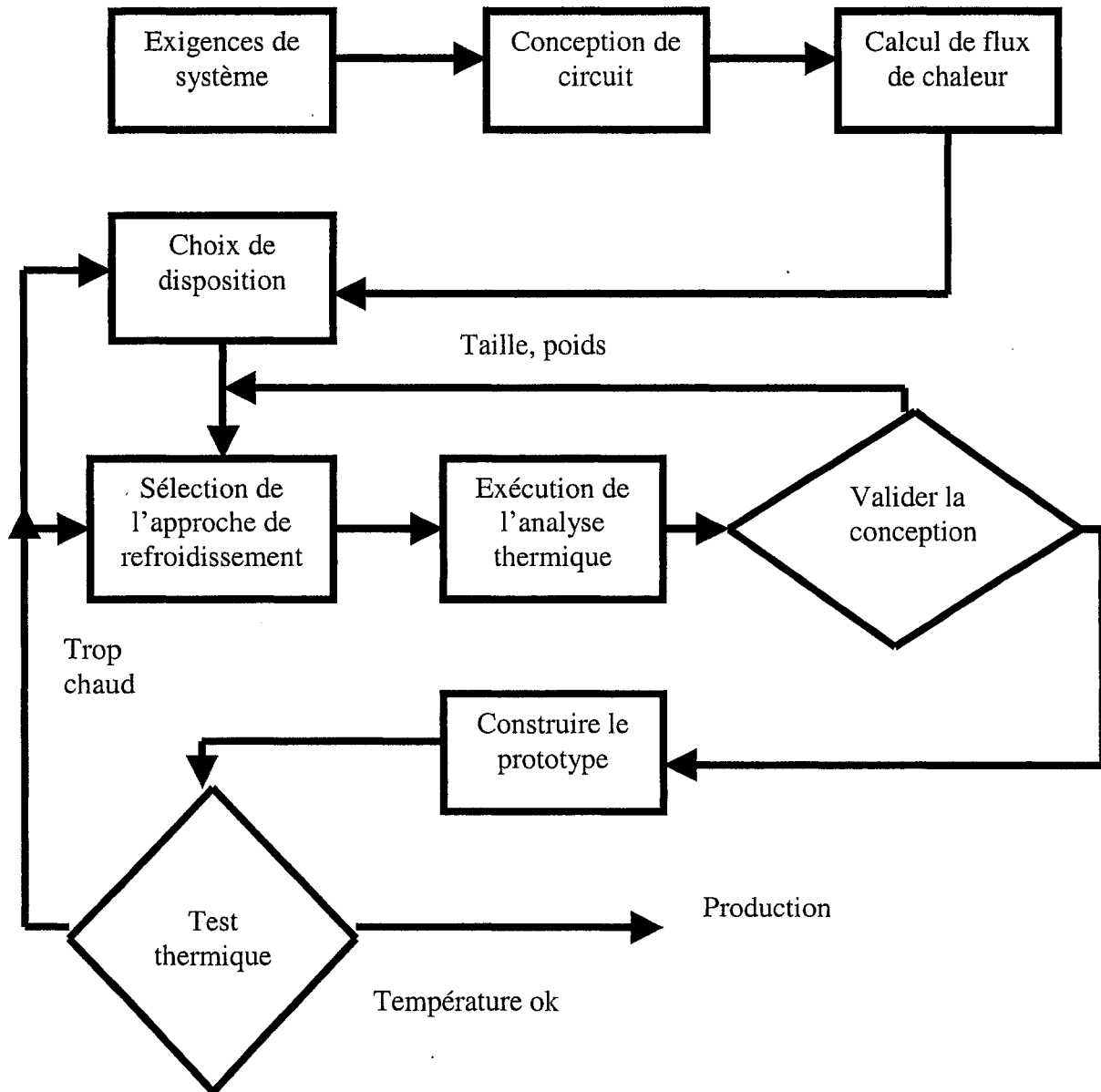


Figure 2.2 : Organigramme général pour la conception d'un système électrothermique

Dans cette étude nous avons proposé une disposition préliminaire des sources de chaleur avec un flux de chaleur pour chaque partie du processeur identifiée. Ainsi, une analyse thermique a été exécutée sur chaque modèle proposé calculant la température à

chaque point dans la structure. Suite à cette étude, nous avons analysé les résultats. D'une manière itérative, les blocs logiques du processeur sont déplacés, des matériaux changés et des chemins de chaleur ajustés pour trouver la conception thermique qui a le moins d'effet sur les paramètres importants du processeur. Nous avons tenu compte d'autres variables lors de l'analyse thermique comme le choix de la technique de refroidissement et l'échangeur thermique futur du processeur[5].

Une fois notre conception thermique complétée, un prototype sera construit et évalué par la compagnie Hyperchip Inc. Ainsi, le fonctionnement tant électrique que thermique du processeur sera évalué en profondeur. Des tests plus poussés seront menés pour évaluer les performances du prototype WSI avant la production du processeur final prévu durant les prochaines années.

II.3.3. La sélection de la technique de refroidissement thermique

Basé sur le niveau de puissance dissipée dans le circuit, nous devons choisir une technique de refroidissement la plus appropriée. Pour des niveaux de puissance bas, la conduction et/ou la convection naturelle peut être suffisante, donc un échangeur thermique (radiateur) n'est pas nécessaire.

Dans notre cas le processeur va dissiper 2kW, ainsi nous devons recourir à un échange thermique avec radiateur. La conception et l'application de ce radiateur sont présentés dans la partie qui suit. Cependant, l'addition d'un radiateur augmente la taille

et le poids aussi bien que le coût total du processeur. De plus, à ces niveaux de puissances élevées la convection forcée est inévitable pour arriver à refroidir le processeur.

II.3.4. Choix du radiateur

De façon générale, pour choisir un radiateur approprié à une application, trois paramètres doivent être adressés[5] :

- R_{sa} : la résistance thermique entre le radiateur et le milieu ambiant ,
- le Volume de la quantité disponible du courant atmosphérique (ventilateur),
- La température maximale pour la jonction T_{jmax} .

La température d'exploitation a une température ambiante maximale T_{amb} .

La hausse maximale de la température de la jonction est définie comme :

$$\Delta T = T_{jmax} - T_{amb}$$

II.4 L'approche des éléments finis

La méthode d'éléments finis trace ses origines presque 200 ans en arrière, quand les fonctions d'interpolation ont été utilisées par Gauss. La première personne à utiliser le terme «la méthode des éléments finis » c'était Clough dans une publication en 1960, quand il a décrit une méthodologie pour la résolution des problèmes d'élasticité[5].

La méthode d'éléments finis a été d'abord utilisée pour l'analyse de transfert de chaleur en 1965, quand Zienkiewicz et Cheung ont appliqué la méthodologie aux problèmes des champs généraux décrits par l'équation de Poisson et de Laplace. Le domaine de solution est réduit et séparé dans des régions plus petites appelées des

éléments. Ces éléments sont alors connectés aux points spécifiques, appelés des nœuds. On montre un modèle d'élément fini simplifié dans la figure 2.3.

Une des forces primaires d'analyse des éléments finis (FEA) est la capacité de représenter la géométrie irrégulière. L'approche des éléments finis est utilisée aujourd'hui pour résoudre les problèmes d'analyse structurelle, écoulement de fluide, des champs électromagnétiques et l'analyse thermique. Dans cette section, seulement l'analyse thermique de FEA sera discutée.

II .4.1 Modélisation par éléments finis

Étudier une structure, donc un domaine continu, par la méthode des éléments finis consiste d'abord à effectuer une discrétisation géométrique. La structure est subdivisée en sous-domaines de forme géométrique simple appelé «élément fini» est défini non pas sur l'ensemble de la structure mais pour chacun de ses éléments. En d'autres termes on ramène le problème du milieu continu à un ensemble de problèmes discrets avec un nombre fini de paramètres inconnus qui sont déterminés par application de critères énergétiques. Dans la méthode matricielle des déplacements, les paramètres inconnus sont les déplacements aux nœuds. Ce déplacement (contraints en certaines nœuds par l'utilisateur)sont reliés aux charges appliquées (également définies par l'utilisateur) par la matrice de rigidité du système. Le problème consiste donc à calculer cette matrice de rigidité globale du système à partir des matrices de rigidité de chaque élément déterminées en utilisant le théorème des travaux virtuels. Les détails de ces calculs, qui

heureusement sont effectués automatiquement sous forme matricielle par les logiciels spécifiques par exemple NISA [5].

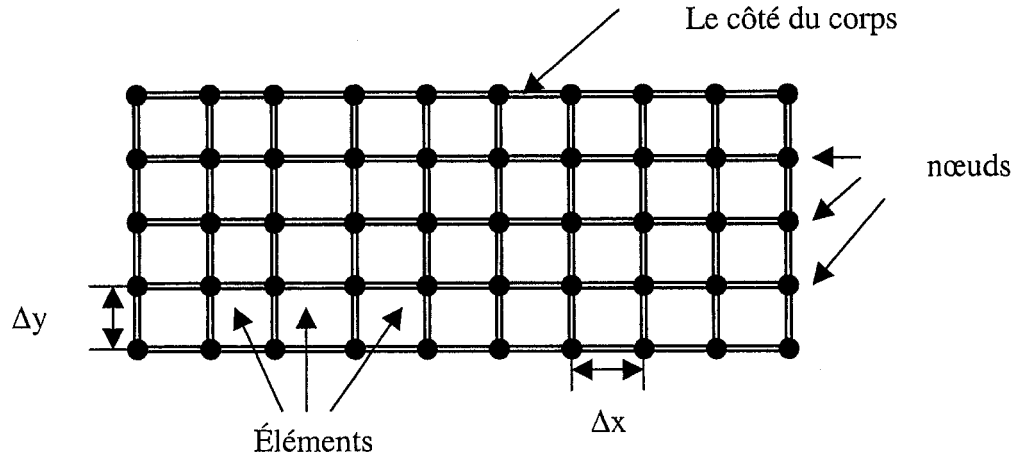


Figure 2.3 : Modèle d'éléments finis simplifié en 2D

Les pas d'exécution d'une analyse thermique par les éléments finis est représentés dans l'organigramme de la figure 2.4 et sera décrit ci-dessous.

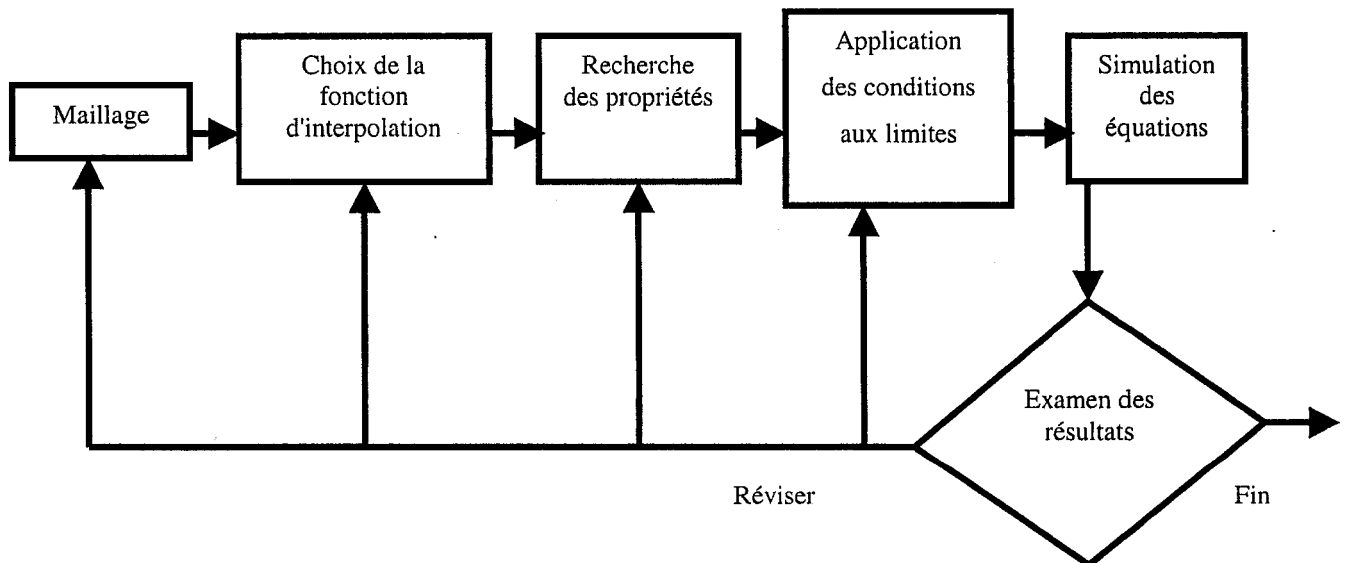


Figure 2.4 : Organigramme pour exécuter une analyse par éléments finis.

- **Le maillage** : Consiste à subdiviser le domaine en éléments sur la forme triangulaire ou quadrilatère, ce processus peut être fait manuellement ou automatiquement par le logiciel pour l'analyse thermique. La densité d'élément doit être suffisante pour faire converger facilement la solution. Dans notre cas à peu près un million d'éléments ont été nécessaires pour représenter fidèlement notre processeur.
- **Choix de la fonction d'interpolation** : Après que la forme d'élément a été choisie, l'analyste thermique détermine comment la variation du flux de chaleur à travers la structure doit être rapprochée. Typiquement, dans le cas d'une distribution spatiale particulière une fonction d'interpolation de polynôme peut être utilisée. Le nombre des nœuds liés à un élément met l'ordre de la fonction d'interpolation. Dans notre projet, nous avons utilisé et expérimenté plusieurs types de densité de flux de chaleur pour arriver à représenter la dynamique thermique du processeur WSI.
- **Propriétés des matériaux** : Préciser la conductivité thermique des matériaux comprenant la structure est une étape importante. Pour des systèmes où la conductivité thermique des matériaux est dépendante de la température, une solution itérative est exigée. Dans ce cas on se trouve avec un problème non-linéaire de transfert de chaleur.

- **Application des conditions aux limites :** Dans la terminologie d'élément fini, un nœud est prescrit si on connaît déjà les valeurs de la variable des champs. Dans une analyse thermique, une température doit être prescrite à un ou plusieurs nœuds dans la partie représentant les conditions aux limites. D'habitude, ces nœuds sont situés sur la limite du maillage de la structure. Les conditions connues sur ces limites internes et externes de la structure doivent être spécifiées, en particulier, la température ambiante et l'apport de flux de chaleur avec le milieu ambiant.
- **Simulation du système d'équation :** Des techniques numériques standard sont utilisées pour résoudre les champs de température inconnus à chaque nœud de la structure.

Après l'examen et l'analyse des résultats obtenus, nous pouvons déterminer si la solution est précise. À ce stade d'analyse on peut ajuster la forme et le nombre des éléments ou selon les résultats changer les conditions aux limites pour mieux représenter la dynamique. De plus, selon le cas on peut ajuster la conductivité thermique des divers matériaux si les conductivités varient avec la température. Cependant, on peut aussi ajuster les dimensions pour optimiser la conception du processeur. La figure 2.5 expose les résultats d'une analyse thermique par les éléments finis exécutée sur un boîtier de type BGA (*Ball Grid Array*). Les couleurs diverses sur le côté droit de la figure correspondent à l'échelle de température[5].

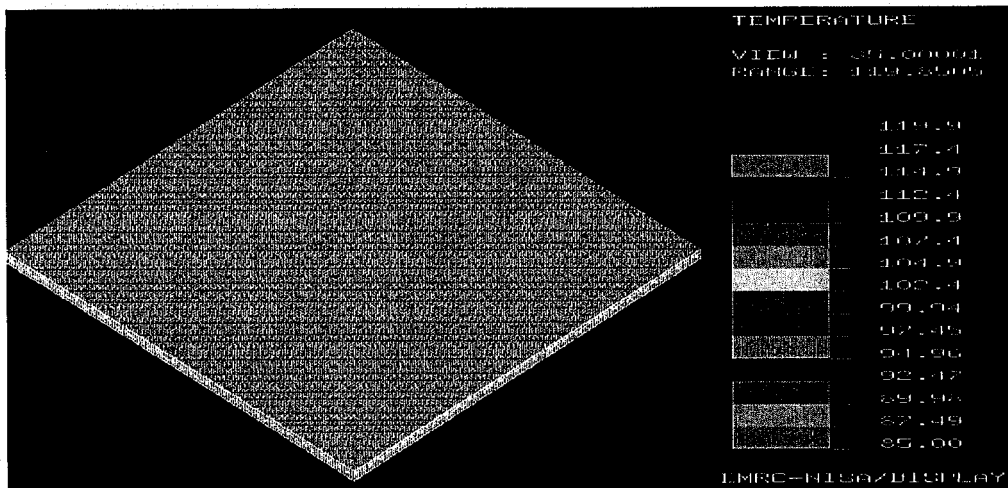


Figure 2.5 : Exemple de résultat d'une analyse thermique par les éléments finis.

II .5 Choix du boîtier

Dans le texte qui va suivre nous allons utiliser le mot anglais "packaging" puisqu'il est plus représentatif que la simple mise en boîtier.

Un des niveaux les plus critiques de la conception de nouveau circuit intégré c'est le choix du type de packaging, puisqu'ils sont typiquement sensibles aux influences électriques, mécaniques, physiques et chimiques.

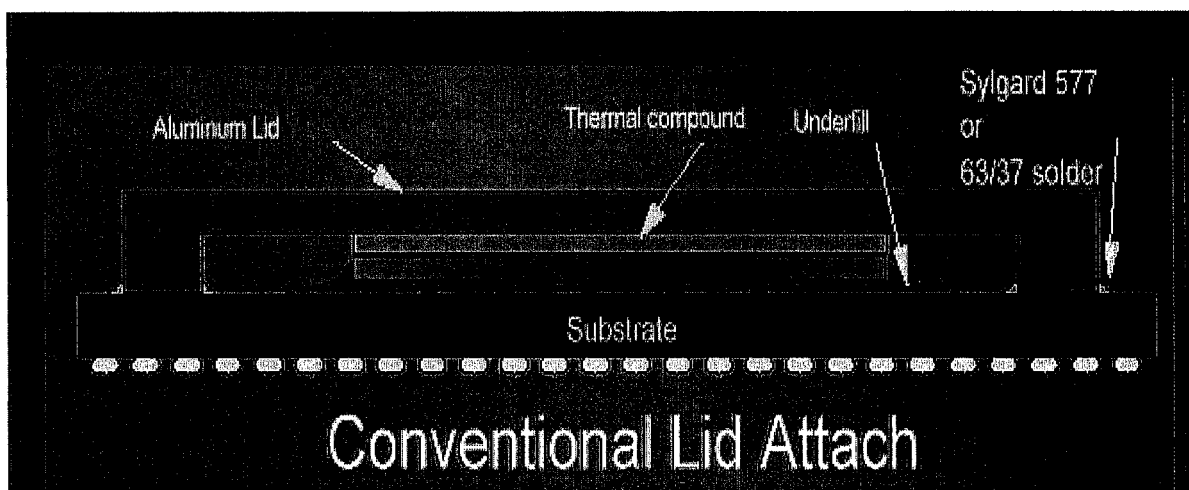


Figure 2.6: Flip Chip Packaging (FCP)

Le packaging choisi à cette étude est une technologie introduite par IBM appelée C4 (*Control Collapse Chip Connection*) qui consiste en un choix de construction de packaging où les interconnexions sont sous forme matricielle tout au long de la chaîne d'interconnexion. Ainsi, les circuits intégrés reçoivent une préparation spécifique des plots de sortie sous forme de bille d'alliage Plomb-étain (figure 2.9) qui réalisera la liaison électrique et mécanique avec le niveau de packaging suivant. La principale caractéristique de ce mode d'assemblage est qu'il permet un plus grand nombre de connexions, pour une puce de taille donnée, que les sorties périphériques traditionnelles[6].

Néanmoins, cette technique peut devenir critique lorsque l'adaptation des coefficients de dilatation thermique n'est pas très bonne (ou dans le cas de dissipations thermiques importantes) dans le silicium; en effet, des contraintes mécaniques importantes peuvent être générées à l'interface des soudures: fatigue plastique des billes de soudures situées vers l'extérieur de la puce (zones où les contraintes sont les plus élevées) entraînent des problèmes de fiabilité lors des cycles thermiques. Pour restreindre ce type de problème, des résines sont souvent injectées entre la puce et son support[7].

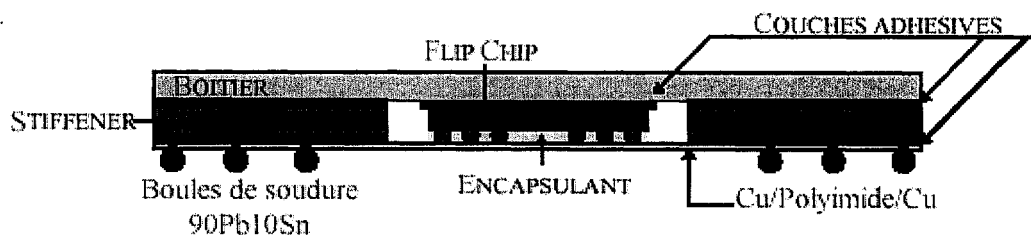


Figure 2.7: Exemple: Flip Chip TBGA (*Tape Ball Grid Array*).

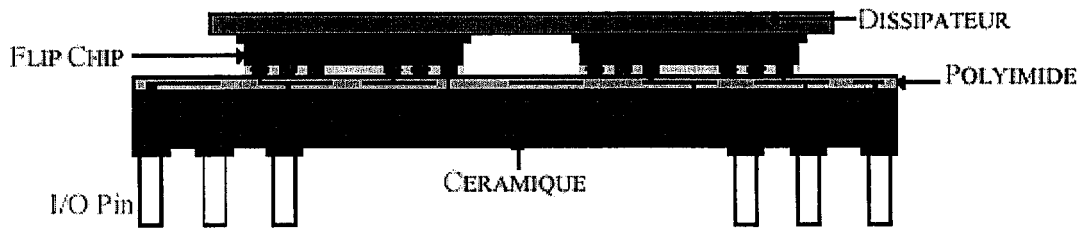


Figure 2.8: Exemple : Flip Chip sur MCM (*Multi Chip Module*).

II.5.1 Propriétés électriques des protubérances

L'assemblage d'un circuit intégré sur son support, dans la configuration Flip Chip, peut s'effectuer par soudure ou par collage. Dans le premier cas, des protubérances de soudure (boules ou colonnes) sont disposées sur la puce, et permettent de créer un lien mécanique et électrique avec le support (figure 2.9). Dans le second cas, c'est une substance adhésive qui provoque la jonction des deux corps (figure 2.10); trois types d'adhésif sont à distinguer: Conducteur, isolant et isotrope (c'est à dire que la conduction électrique s'effectue uniquement selon une direction précise)[8].

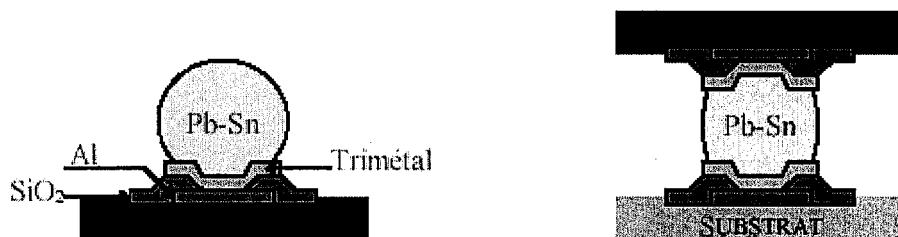


Figure 2.9: Technologie C4: Boules de soudure.

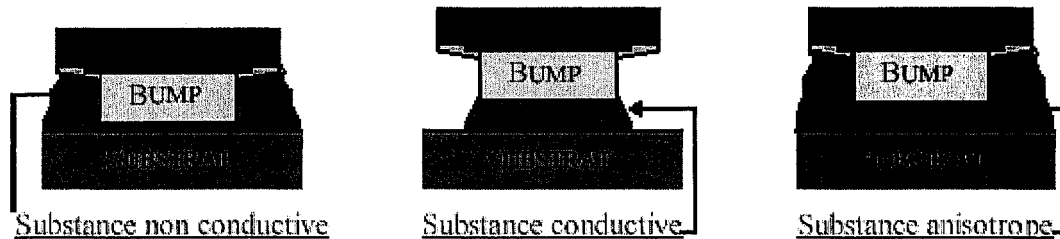


Figure 2.10: Montages Flip Chip utilisant des substances adhésives.

Un certain nombre d'inconvénients sont toutefois relatif à ce procédé (flip chip):

- La puce est fixée face en bas, ce qui rend impossible le contrôle,
- Le contrôle des protubérances après report n'est pas non plus possible,
- Les protubérances sont soumises à toutes les dilatations différentielles (Substrat /Puce),
- La transmission thermique est limitée par la résistance thermique des boules,
- Un excellent alignement des protubérances est nécessaire,
- Le pré-test de la pastille n'est pas réalisable,
- Généralement, un *design* spécifique des aires d'accueil de la puce est nécessaire.

Malgré ces inconvénients, ce type d'assemblage possède un avenir prometteur, car il favorise la miniaturisation des packages. Cela est un avantage primordial pour le processeur en développement chez Hyperchip.

II.5.2. Performances électriques

La hauteur des protubérances pour l'interconnexion puce-boîtier s'étend (approximativement) de $50\mu\text{m}$ à $200\mu\text{m}$. Celles utilisées en BGA (interconnexion du

boîtier) possèdent une hauteur de 0.5 mm ou plus. Le tableau suivant donne quelques ordres de grandeurs des longueurs d'onde associées à différentes fréquences:

FREQUENCE	100 MHz	1 GHz	10 GHz	100 GHz
λ_0 (vide) (mm)	3000	300	30	3
λ ($\epsilon_r \approx 10$) (mm)	≈ 1000	≈ 100	≈ 10	≈ 1
$d_{critique}$ (mm)	≈ 100	≈ 10	≈ 1	≈ 0.1

Tableau 2.1 : Ordre de grandeurs d'onde associées à différentes fréquences

Les dimensions des connexions restent très faibles devant la longueur critique $d_{critique}$ (grandeur pour laquelle il est nécessaire d'utiliser la théorie des lignes de transmission pour caractériser électriquement les interconnexions). En effet, comme le montre le tableau précédent, même pour des fréquences très élevées, la longueur d'onde des signaux reste nettement supérieure à la hauteur des protubérances. C'est pourquoi, ces interconnexions peuvent être considérées comme « idéales », du point de vue électrique, c'est à dire:

$$Z_0 \ll 1\Omega. \text{ (impédance de sortie caractéristique)}$$

$$t_p \ll 1s. \text{ (délais de propagation)}$$

$$\alpha \ll 1. \text{ (pertes)}$$

Pour des technologies BGA, il est nécessaire de prendre des précautions. Les hauteurs des protubérances sont plus importantes. Pour des fréquences élevées, il est possible que les approximations précédentes ne soient plus valables (Il faut assimiler les interconnexions à des lignes de transmission): Un retard de propagation et une impédance caractéristique non nuls, sont alors envisageables[9].

Voici quelques ordres de grandeurs sur les performances électriques des technologies C4 et fil utilisé pour le routage "wire".

	RESISTANCE (m Ω)	INDUCTANCE (nH)	CAPACITANCE (pF)
WIRE	90	2.58	0.02
C4	30	0.06	0.17

Tableau 2.2 : Ordre de grandeurs sur les performances électriques des technologies C4

La technologie C4 réduit l'inductance des interconnexions (par rapport au câblage). Ceci est un avantage important, car le bruit de commutation est alors fortement affaibli.

II.5.3 Performances mécaniques

II.5.3.1 connexions E/S (I/O) : Entrée Sortie (Input Output) en réseau sur toute la surface de la puce

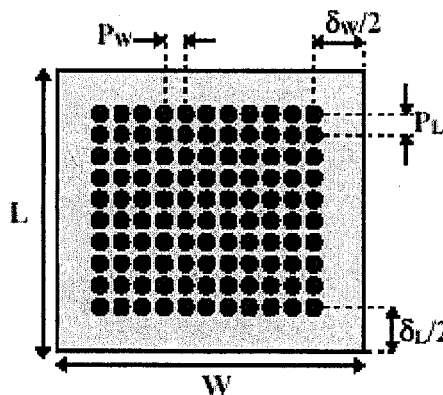


Figure 2.11 : Disposition des boules de soudure sur la puce (Grid Array).

Soient W et L , les dimensions caractéristiques du circuit intégré[7]:

$$W = (n_w - 1).p_w + \delta_w$$

$$L = (n_L - 1).p_L + \delta_L$$

avec:

n_w : Nombre de I/O dans le sens de la largeur W .

n_L : Nombre de I/O dans le sens de la longueur L .

p_w : Pas d'interconnexion sur W .

p_L : Pas d'interconnexion sur L .

δ_w : distance inutilisée sur W .

δ_L : distance inutilisée sur L .

Le nombre N de connexions I/O vérifie:

$$N = n_w \cdot n_L$$

Dans le cas où le circuit intégré est symétrique, c'est à dire $L = W$, n_L et n_w peuvent s'exprimer de la façon suivante:

$$n_L = \frac{(p_L - p_w + \delta_w - \delta_L)}{2 \cdot p_L} + \frac{1}{2} \sqrt{\left(\frac{p_L - p_w + \delta_w - \delta_L}{p_L}\right)^2 + 4N \frac{p_w}{p_L}}$$

$$n_w = N/n_L$$

Remarque : Dans le cas où en plus, $p_L = p_w = p$ et $\delta_L = \delta_w = \delta$ alors:

$$n_w = n_L = \sqrt{N}$$

II.5.3.2 Densité d'interconnexion et efficacité

La densité d'interconnexion D se définit comme étant le rapport entre la longueur totale d'interconnexion L_{tot} et la surface totale A occupée par celle-ci (c'est à dire dans notre situation, la surface de la puce)[9]:

$$D = L_{tot} / A = N \cdot h / (L \cdot W)$$

avec:

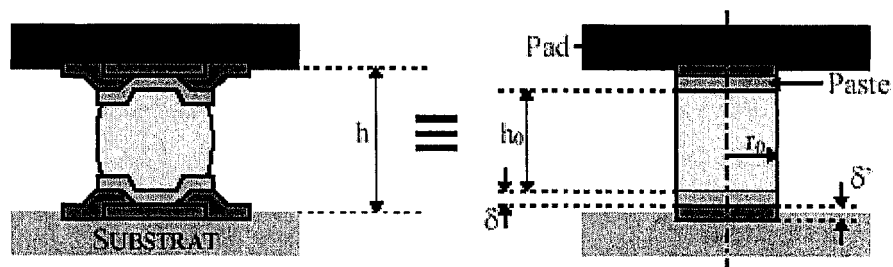
h : hauteur des soudures.

Étant donné que h est très petite, la densité d'interconnexion précédente est bien meilleure que celle rencontrée dans le "bonding wire" et la technologie TAB (*Tape Array Ball*).

L'efficacité relative à ce type de connexion peut être considérée comme égale à 1: en effet, les protubérances (boules de soudure, colonnes...) n'engendrent pas une surface d'interconnexion supplémentaire à celle de la puce.

II.5.4 Aspect thermique

II.5.4.1 Résistance thermique d'une boule de soudure



a) 1^{ERE} METHODE

L'interconnexion présente entre la puce et son support est considérée comme uniforme.

L'expression de sa résistance thermique s'écrit:

$$R_{ball} = \frac{h}{K_{ball} \cdot \pi \cdot r_0^2}$$

K_{ball} : Conductivité thermique de la boule de soudure.

b) 2^{EME} METHODE

Cette fois, les *pads* et les couches métalliques *pastes* présentes aux deux extrémités des protubérances sont pris en compte dans le calcul de la résistance thermique de l'interconnexion:

$$R_{ball} = 2R_{pad} + 2R_{paste} + R_{bump}$$

Avec:

$$R_{bump} = \frac{h_0}{K_{ball} \cdot \pi \cdot r_0^2}$$

K_{pad} : Conductivité thermique d'un *pad*.

K_{paste} : Conductivité thermique d'un *paste*.

c) 3^{EME} METHODE

La méthode la plus précise, mais également la plus complexe à mettre en œuvre, correspond à la simulation numérique. En discrétisant la protubérance et en utilisant le principe des éléments finis, il est possible d'obtenir une approximation de la résistance thermique très proche de la réalité[6].

II.5.4.2 Résistance thermique de l'interconnexion puce-boîtier.

Quand à cette modélisation thermique elle porte sur la totalité des interconnexions, présentes entre la puce et son support.

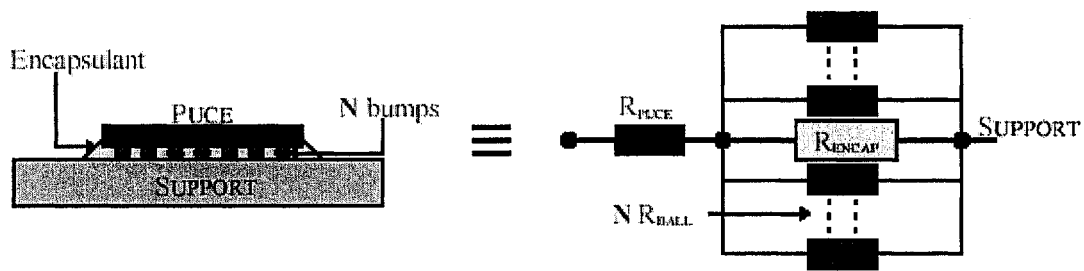


Figure 2.12 : Modélisation thermique d'une configuration FLIP CHIP.

La résistance thermique R_{Soudure} , modélisant la totalité des interconnexions (soudures), entre la puce et le support, s'écrit (dans le cas où le transfert thermique est considéré comme unidimensionnelle):

$$R_{\text{Soudure}} = R_{\text{ball}} / N$$

Il est nécessaire de tenir compte du comportement thermique du milieu existant entre la puce et son support (encapsulant ou air ambiant). La résistance thermique d'un tel milieu est à ajouter à R_{Soudure} , en parallèle.

- Dans le cas d'un encapsulant:

$$R_{\text{encap}} = \frac{h}{K_{\text{encap}} [S - N \cdot \pi \cdot r_0^2]}$$

avec:

K_{encap} : Conductivité thermique de l'encapsulant.

S : Surface occupée par la puce.

N : Nombre de soudures présentes sur la puce.

- Dans le cas d'un fluide (air ambiant):

$$R_{\text{fluide}} = \frac{1}{K_{\text{fluide}} [S - N \cdot \pi \cdot r_0^2]}$$

avec

H_{fluide} : Coefficient de transfert thermique du fluide interstitiel (air, gaz particuliers...).

Enfin, la résistance thermique équivalente existant entre la puce et son support, s'exprime de la façon suivante:

$$R_{EQ} = \left(\frac{1}{R_{\text{soudure}}} + \frac{1}{R_{\text{encap}}} \right)^{-1}$$

Il apparaît alors que plus le nombre de soudures N est élevé, plus la résistance thermique R_{soudure} diminue, à l'inverse de R_{encap} (la surface de soudure augmente): $R_{EQ} \cong R_{\text{soudure}}$

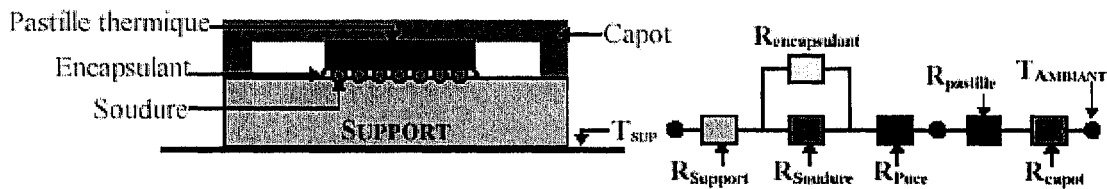


Figure 2.13: Exemple de modélisation thermique d'une puce montée en Flip Chip.

II.5.5 Contrainte thermique (Thermal Stress)

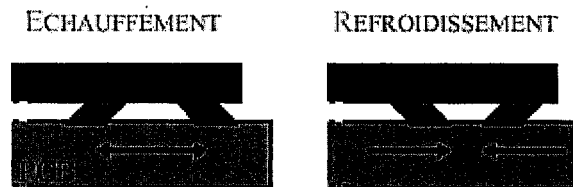


Figure 2.14 : Contrainte thermique sur les soudures.

L'un des inconvénients le plus sensible de l'assemblage Flip Chip est sans doute le problème de fatigue dû aux sollicitations thermomécaniques pendant les variations de température (figure 2.14). Pour pallier à cet inconvénient, il est possible d'agir sur plusieurs paramètres. Tout d'abord, on essaiera d'appairer au mieux les matériaux constituant le circuit intégré (silicium) et le substrat (c'est à dire choisir des matériaux dont les coefficients d'élasticité linéaire CTE sont voisins)[6]. On voit tout de suite que cette technique d'assemblage est optimum pour la filière MCM-S, mais également pour les filières MCM-D utilisant le silicium comme substrat. Mais il est également possible de jouer sur la forme, la hauteur et les matériaux de la protubérance. Plusieurs procédés plus ou moins sophistiqués de protubérances hautes existent: Ils débouchent en général sur un empilage de protubérances, élaborées en parallèle, sur la puce et le substrat, puis reliées entre elles (figure 2.15).

L'utilisation d'encapsulant (choisi judicieusement) permet également de limiter les déformations plastiques au niveau des soudures: avec un CTE compris entre celui de la puce et celui du substrat, l'encapsulant joue le rôle d'un « amortisseur » contre les phénomènes de cisaillement.

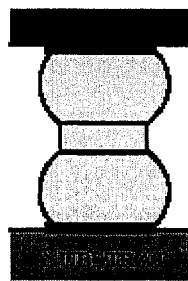


Figure 2.15: Empilage de protubérances.

Définissons quelques grandeurs caractéristiques:

L: Distance entre la soudure et le centre de la puce.

h: Hauteur de la protubérance (distance entre la puce et son support).

d: Diamètre de la protubérance.

τ : Contrainte sur la soudure.

$\Delta\alpha$: Différence de CTE entre la puce et son support.

E: Module d'élasticité de la protubérance. (Module de Young (E))

ΔT : Variation de températures à laquelle est soumis le système.

Lors d'une variation de température, une soudure est soumise à une contrainte dont l'expression

s'écrit:

$$\tau = \frac{E \cdot d \cdot \Delta\alpha \cdot \Delta T}{h} \cdot \frac{L}{2}$$

L'assemblage des circuits intégrés, selon la méthode FLIP CHIP, utilise des boules de soudure afin de lier mécaniquement et électriquement la puce avec son support. Ce type d'interconnexion procure les meilleures performances mécaniques (surface d'interconnexion équivalente à celle de la puce), thermique (le flux de chaleur passe directement de la puce au support, via les boules de soudure) et électrique (la longueur d'interconnexion procurée par les boules de soudure, sont très courtes et permettent donc de monter en fréquence sans la perturbation des signaux). Cependant, cette technique d'assemblage ne permet pas de tester directement la puce une fois soudée. De même le contrainte thermique peut provoquer des ruptures au niveau des connexions. Ainsi, cet aspect est crucial pour le futur processeur qui sera développé par Hyperchip.Inc.

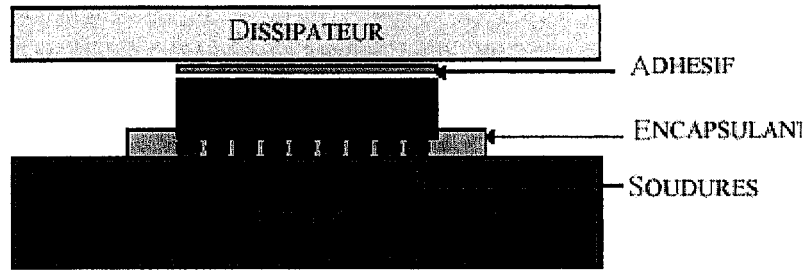


Figure 2.16 : Interconnexion d'une puce sur son support: Flip Chip.

Modélisation électrique:

- Impédance caractéristique $Z_0 \ll 1\Omega$.
- Temps de propagation $t_p \ll 1s$.
- Pertes α_r et $\alpha_d \ll 1$.

Modélisation thermique:

- Résistance thermique R_{th} .
- Contrainte thermique.
- Configuration extérieure.

Modélisation mécanique:

- Type de disposition des *pads* sur le C.I (Circuit Intégré).
- Densité d'interconnexion D .
- Efficacité $\eta \cong 1$.

II.6 Conclusion du chapitre II

L'étude thermique classique d'un système électronique consiste donc à analyser la capacité de celui-ci à évacuer les Joules issues des différentes sources de chaleur que sont les composants.

Pour atteindre cet objectif, tous les éléments du système sont modélisés en groupes de résistances thermiques en régime permanent. Cependant, lorsque la densité de puissance dissipée augmente, la contrainte thermique en régime transitoire devient cruciale pour le bon fonctionnement du CI de grand taille (WSI)

Chapitre III

Conditions aux limites thermiques

III.1 Introduction

L'augmentation de la capacité d'intégration des puces actuelles entraîne un échauffement conséquent. Lors du développement du processeur WSI il est devenu indispensable de prévoir plus précisément les effets de la température sur différentes parties et surtout de trouver des moyens fiables et pratiques pour quantifier les dégagements de chaleur.

L'un des problèmes majeurs que nous avons rencontré pour faire une étude thermique au niveau du boîtier du processeur est de déterminer les conditions aux limites. Ainsi, à cet effet une nouvelle approche a été établie pour la détermination d'un coefficient de convection équivalent $h_{\text{équi}}$ au niveau de la jonction ; afin d'éviter la spécification de la température au-dessous de boîtier. Cette spécification introduit un court-circuit thermique entre la surface et la jonction. Pour palier à ce problème, il faut mailler toute la structure jusqu'au radiateur. Cela nécessite l'utilisation d'un modèle qui peut atteindre des dizaines de millions d'éléments rendant l'analyse impossible.

Les performances recherchées sont : l'augmentation de la vitesse d'opération et la miniaturisation des composants. Ainsi, dans les deux cas cela se traduit par une

augmentation de la température causée respectivement par l'accumulation d'un résidu thermique d'un cycle à l'autre et l'augmentation de la densité de puissance dissipée.

La conception d'un processeur fiable et performant nécessite le recours à une étude thermique aux particularités géométriques et structurelles au niveau de la jonction. En effet l'analyse de transferts de chaleur dans les processeurs repose sur les lois fondamentales de transfert de chaleur. Ces particularités résident essentiellement dans la géométrie et la structure des dispositifs, et dans la répartition spatiale des sources de chaleur. Ainsi, lors de la conception des processeurs, le modèle thermique est considéré essentiel pendant la simulation de la température de la jonction.

Cette approche basée sur l'analyse par la méthode des éléments finis (FEM) qui combine le fluide et le transfert de chaleur se résume en deux étapes :

La première utilise le logiciel QFin (analyse thermique par fluide) pour déterminer la température de la jonction avec un coefficient de convection forcée connu. La deuxième utilise le logiciel NISA (analyse numérique pour le transfert de la chaleur) pour obtenir la même température avec le nouveau coefficient équivalent de convection forcée. Cette technique est connue et appliquée pour résoudre des problèmes inverse en transfert de chaleur (*Inverse Heat Problem*) et pour appliquer la méthode des mesures indirectes.

III.2 Analyse de transfert de la chaleur

III.2.1 Convection d'énergie

En état d'équilibre, aucun stockage d'énergie de sorte que, pour un volume élémentaire ΔV (la chaleur entrée définie en tant que positif)[5].

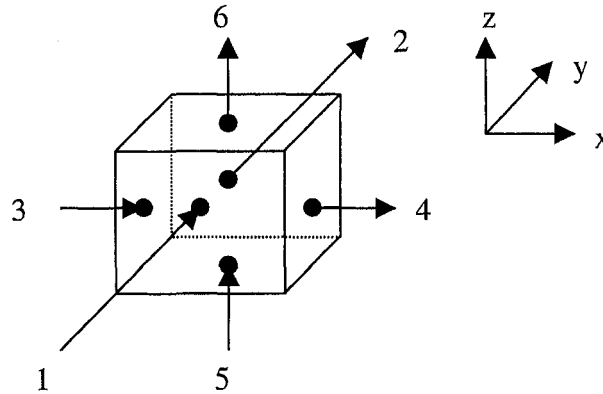


Figure 3.1: Élément de volume (ΔV)

$$\begin{aligned}
 & \left(-k_x \Delta y \Delta z \frac{\partial T}{\partial x} \right)_3 - \left(-k_x \Delta y \Delta z \frac{\partial T}{\partial x} \right)_4 \\
 & \left[\left(-k_y \Delta x \Delta z \frac{\partial T}{\partial y} \right)_1 - \left(-k_y \Delta x \Delta z \frac{\partial T}{\partial y} \right)_2 \right] \\
 & + \left[\left(-k_z \Delta x \Delta y \frac{\partial T}{\partial z} \right)_5 - \left(-k_z \Delta y \Delta z \frac{\partial T}{\partial z} \right)_6 \right] + Q_v \Delta x \Delta y \Delta z = 0 \quad (3.1)
 \end{aligned}$$

Le flux immergeant les deux côtés de l'équation par le volume $\Delta V = \Delta x \Delta y \Delta z$ est donné

par :

$$\left[\left(\frac{1}{\Delta x} \right) \left(k_x \frac{\partial T}{\partial x} \right) \right]_3^4 + \left[\left(\frac{1}{\Delta y} \right) \left(k_y \frac{\partial T}{\partial y} \right) \right]_1^2 + \left[\left(\frac{1}{\Delta z} \right) \left(k_z \frac{\partial T}{\partial z} \right) \right]_5^6 = -Q_v \quad (3.2)$$

Pour des éléments de volume très petit, prenant la limite $\Delta V \rightarrow 0$ à la direction de x.

Et en répétant ce processus dans les directions d'y et de z, le résultat on trois

dimensions (3D) de la conduction de la chaleur pour le régime permanent est :

$$\frac{1}{\Delta x} \left(k_x \frac{\partial T}{\partial x} \right) + \frac{1}{\Delta y} \left(k_y \frac{\partial T}{\partial y} \right) + \frac{1}{\Delta z} \left(k_z \frac{\partial T}{\partial z} \right) = Q_v \quad (3.3)$$

Ainsi, l'équation peut s'écrire :

$$dT = - \left(\frac{Q_v}{kA} \right) dx \quad (3.4)$$

En intégrant l'équation devient :

$$\int_{T_1}^{T_2} dT = -Q_v \int_{x_1}^{x_2} \frac{dx}{kA} \quad (3.5)$$

En supposant que la conductivité thermique k ne change pas au-dessus de la longueur

$L = x_2 - x_1$ l'équation se réduit à :

$$\Delta T = T_2 - T_1 = Q_v \frac{L}{kA} \quad (3.6)$$

où $\Delta T = T_2 - T_1$ est la différence de température à travers la longueur L.

II.2.2 Transfert de chaleur

En analysant le problème de transfert de la chaleur dans le CI, il est très important de considérer l'effet des sources de chaleur à la proximité. Nous considérons un corps trois dimensionnelle (jonction), du volume V et lié par une superficie S . Nous supposons que le matériel obéit à la loi de Fourier de la conduction de la chaleur[5].

$$q = -K \cdot \frac{\partial T}{\partial x} \quad (3.7)$$

Ou sur la forme matricielle :

$$\begin{Bmatrix} q_x \\ q_y \\ q_z \end{Bmatrix} = - \begin{Bmatrix} k_{xx} & k_{xy} & k_{xz} \\ k_{yx} & k_{yy} & k_{yz} \\ k_{zx} & k_{zy} & k_{zz} \end{Bmatrix} \begin{Bmatrix} \partial T / \partial x \\ \partial T / \partial y \\ \partial T / \partial z \end{Bmatrix} \quad (3.8)$$

Ou q_i est le taux du flux de chaleur conduit par unité de surface dans la direction i , K et la conductivité thermique des matériaux, et $\partial T / \partial x$ et le vecteur gradient dans les coordonnées cartésiennes

Dans la principale direction des matériaux l'équation (3.7) se réduit sur la forme diagonale;

$$\begin{Bmatrix} q_1 \\ q_2 \\ q_3 \end{Bmatrix} = - \begin{Bmatrix} k_{11} & 0 & 0 \\ 0 & k_{22} & 0 \\ 0 & 0 & k_{33} \end{Bmatrix} \begin{Bmatrix} \partial T / \partial x_1 \\ \partial T / \partial x_2 \\ \partial T / \partial x_3 \end{Bmatrix} \quad (3.9)$$

Ou simplement,

$$q_n = -k_n \cdot \frac{\partial T}{\partial n} \quad (3.10)$$

Ainsi, la matrice de la conductivité thermique de l'équation (3.8) peut être obtenue à partir de l'équation (3.9) par une simple transformation de tenseur de deuxième degré :

$$K_{xyz} = T^T K_{1,2,3} T \quad (3.11)$$

Où T est le tenseur de transformation du deuxième degré entre les deux axes simultanément x, y, z et $1, 2, 3$. Il est à noter que le principe de la thermodynamique irréversible permet au tenseur K d'être symétrique. Si les matériaux sont homogène et isotrope (le cas d'un CI), alors :

$$\begin{aligned} k_{xy} &= k_{yz} = k_{zx}, \text{ et} \\ k_{xx} &= k_{yy} = k_{zz} = k \end{aligned} \quad (3.12)$$

Assumant que la conductivité thermique k ne change pas au-dessus de la longueur $L=x_2-x_1$, l'équation est réduite à :

$$\Delta T = T_2 - T_1 = Q_k \frac{L}{kA} \quad (3.13)$$

Où $\Delta T = T_2 - T_1$ est la différence de la température à travers la longueur L et A est la coupe normale moyenne d'écoulement de chaleur en m^2 .

La résistance thermique peut être définie par :

$$R = \frac{L}{kA}, \quad R = \frac{\Delta T}{Q_k}$$

ΔT : c'est la différence de la température entre la source de chaleur et le radiateur [11]

$$\Delta T = T_{\text{Heat source}} - T_{\text{Heat sink}}$$

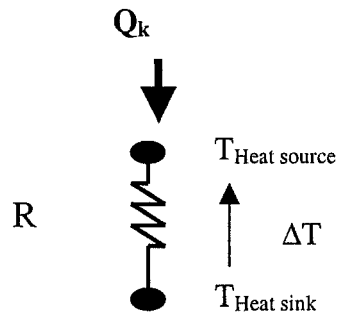


Figure 3.2: Modèle thermique statique 1-D

III.3 Circuit thermique équivalent.

Les paramètres qui caractérisent le processeur au niveau thermique sont très nombreux. On peut les classer en deux catégories qui sont les paramètres statiques et les paramètres dynamiques, ils nous renseignent sur le comportement du dispositif lorsque celui-ci est ou non en fonctionnement. Certains de ces paramètres sont indiqués dans les notices des constructeurs[12], d'autres ne le sont pas.

Avant de parler de la dissipation de la chaleur au niveau de circuit intégré il est nécessaire de définir tous les facteurs et les paramètres thermique. Ces paramètres vont nous permettre de faire une étude détaillée sur l'évacuation de flux de chaleur sur toute la structure du circuit (figure3.3) ou au niveau de la jonction (figure 3.4 plus loin).

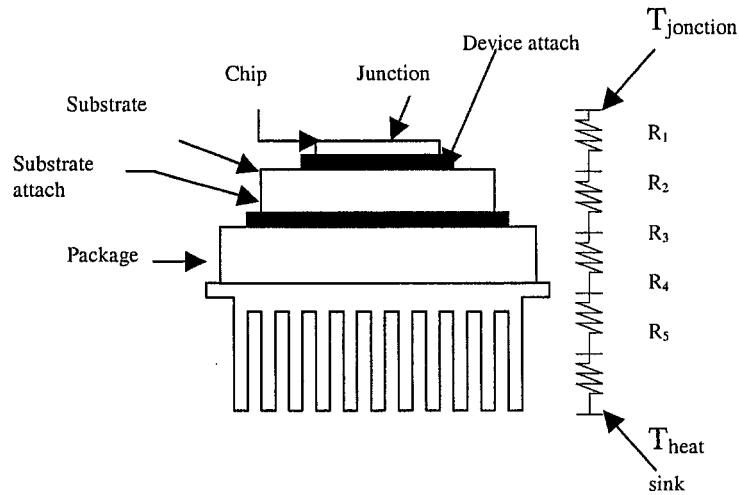


Figure 3.3 : Analogies électriques entre la jonction et le radiateur.

La résistance thermique équivalent R_{Equiv} est :

$$R_{\text{Equiv}} = R_1 + R_2 + R_3 + R_4 + R_5$$

Où:

R_1 : résistance thermique de la puce

R_2 : résistance thermique de l'attache de la puce

R_3 : résistance thermique du substrat

R_4 : résistance thermique de l'attache du substrat

R_5 : résistance thermique du boîtier

T_j : température de la jonction en $^{\circ}\text{C}$

Cette température est de l'ordre de 115°C à 180°C pour les applications typiques en microélectronique en générale, et pour les applications militaires elle est de l'ordre de 65°C à 80°C [13].

$T_{\text{heat sink}}$: température du radiateur

Dans certains cas on utilise une matière au niveau du contact entre le boîtier et le radiateur pour la dissipation de la chaleur sur toute la surface de circuit (*Thermal Pad Spreader*)[14].

D'un autre côté, le mauvais contrôle de la température au sein du processeur peut l'endommager ou il peut se produire une dégradation de ses performances, surtout sa durée de vie. De sorte que la puissance maximale indiquée par le constructeur doit être respectée à tout instant pendant le fonctionnement du dispositif. On sait qu'une élévation de température trop importante du matériau semi-conducteur, peut détruire le réseau cristallin. Les calories développées à l'intérieur du cristal doivent être évacuées à l'extérieur par l'intermédiaire du boîtier et du radiateur[15]. Ainsi, la température maximale de jonction $T_{j\text{max}}$ est un paramètre qui figure toujours dans les notices; elle ne doit jamais être atteinte par le dispositif en régime permanent. C'est seulement dans le cas d'une surcharge que l'on admet un dépassement de $T_{j\text{max}}$. Habituellement, la température maximale de jonction $T_{j\text{max}}$ est limitée entre 100 et 150 °C, à cause de la contrainte thermique instantanée induite dans la jonction.

III.4 Conditions aux limites thermiques

Les conditions aux limites sont un des problèmes majeurs pour la simulation des phénomènes thermique dans un processeur et ils dépendent de :

- La méthode de refroidissement

- La position de la puissance dissipée et l'influence de leur entourage
- La conductivité thermique des matériaux du : PCB (*Printed Circuit Board*), le radiateur, package, substrats, écarteur de chaleur[16].

Pour faire une bonne gestion thermique au niveau de la jonction il faut contrôler la température et son gradient à partir du premier pas de la conception d'un circuit intégré. Dans ce projet de recherche notre but est d'introduire une nouvelle méthodologie de travail pour aborder les problèmes thermiques concernent les circuits intégrés. Cependant, nous avons besoin d'optimiser l'emplacement des sources de chaleur pour le processeur et établir sa cartographie thermique. Cela nous a amené à faire une nouvelle proposition pour la détermination du coefficient de convection équivalent au niveau de la jonction[17].

Rappelons brièvement ici les différents phénomènes physiques intervenant lors du transfert thermique, malgré un procédé relativement simple, ce type de traitement fait intervenir des phénomènes éminemment complexes dans chaque élément impliqué dans le processus[18].

Ainsi, le phénomène thermique est important suivant le régime étudié, s'il est permanent, l'écoulement thermique a suffisamment de temps pour faire un échange avec le milieu ambiant mais s'il est transitoire, la question du temps d'écoulement est majeure.

On va donc avoir affaire en ce qui concerne la sollicitation thermique soit à des phénomènes fortement non linéaires et/ou instationnaires.

En ce qui concerne l'aspect physique du composant, là aussi les processus mis en œuvre dans le composant sont complexes, l'augmentation ou la chute de la température dans les différentes zones du composant s'effectuent par conduction et par pertes convectives vers l'extérieur. Celle-ci apporte localement des chaleurs latentes de transformation en influençant donc à leur tour les pertes calorifiques.

Donc la méthode des éléments finis utilisée doit imposer des hypothèses plus au moins simplificatrices sur les propriétés du matériau et sur les conditions aux limites. La méthode des éléments finis repose sur la discrétisation de l'espace et du temps. Le principale avantage de cette méthode est sa très grande généralité; elle peut traiter des géométries complexes en prenant compte des conditions aux limites et des propriétés des matériaux dépendant de la température[19].

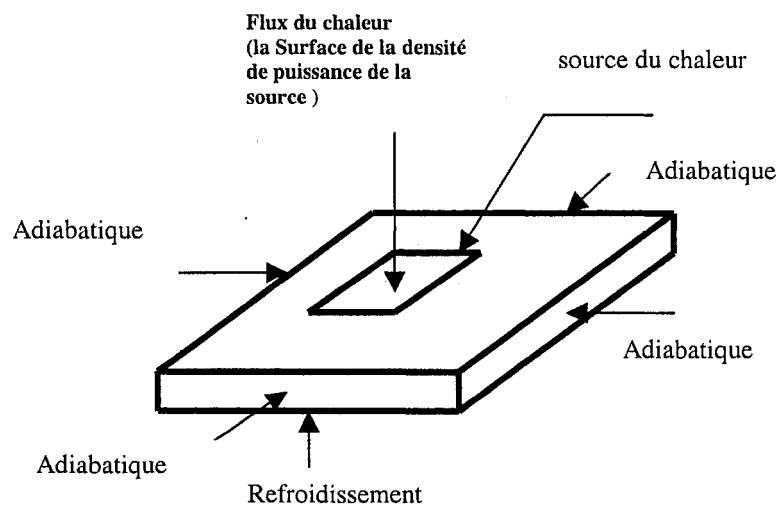


Figure 3.4: Conditions aux limites thermiques au niveau de la jonction (BC)

Dans cette étude nous employons le programme d'éléments finis NISA (l'analyse de système par les éléments intégrés numériquement) pour prévoir le comportement thermique de jonction du dispositif WSI. Une grande variété des conditions aux limites thermiques peut être appliquée en utilisant NISA[10]. Cependant, la condition au limite verticale cause toujours un grand problème pour les simulations. L'approche la plus simple est de fixer au-dessous de la structure une température constante représentant la température de l'ambient et cela produit un court-circuit thermique.

Afin de résoudre des équations thermiques, les conditions aux limites doivent être définies. Puisque, dans le processeur, la couche de silicium est relativement mince, les écoulements de chaleur sont principalement vers le radiateur, ainsi les conditions aux limites dans les deux directions horizontales peuvent être modélisées par des conditions de type adiabatiques[20].

Le déplacement uniforme de la chaleur vers le radiateur est représenté par le coefficient h [W/m²*K] de la convection. La puissance totale dissipée à la jonction lors du fonctionnement de circuit est placée à la surface supérieure de la jonction. Cependant, elle est modélisée par un flux de chaleur ou par une densité de puissance. La description et les conditions aux limites sont représenté sur la figure 3.4 (page précédente).

III.5 Analyse d'écoulement de fluide

Dans la présente partie QFin est employé pour calculer le coefficient équivalent de convection forcée. Le calcul du coefficient de transfert thermique dépend alternativement du type de convection auquel on soumet l'ensemble circuit-radiateur et des conditions ambiantes.

QFin est un programme d'analyse d'écoulement de fluide adapté à la conception de radiateur. Il nous permet de choisir entre la convection naturelle, la convection forcée, la position du ventilateur en haut ou en bas en plus des spécifications d'un coefficient de convection connu[11].

Si nous choisissons la convection naturelle nous devons indiquer l'orientation du radiateur aussi bien que la température ambiante autour de l'ensemble.

Pour la convection forcée nous avons besoin d'analyser les températures indiquées au-dessus de l'air autour du radiateur. La vitesse d'air dans les lacunes d'aileron peut être fournie directement ou bien QFin peut employer un modèle qui simule la circulation d'air dans la conduite (Figure3.5).

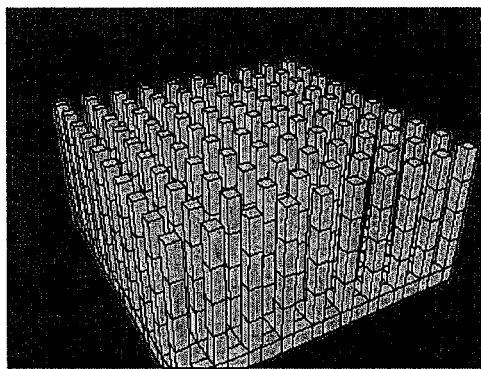


Figure3.5 : Schémas d'un radiateur

Si un ventilateur de haut en bas est fixé à notre structure, Q_{Fin} exige des dimensions et le débit d'air du ventilateur afin de calculer la circulation d'air réelle autour du radiateur.

Dans certains cas nous pouvons indiquer un coefficient connu de transfert thermique, et ne pas laisser le solutionneur déterminer cette valeur. Ceci serait typiquement fait pour la vérification, avec la disponibilité des données expérimentales et d'un coefficient prédéterminé de transfert thermique.

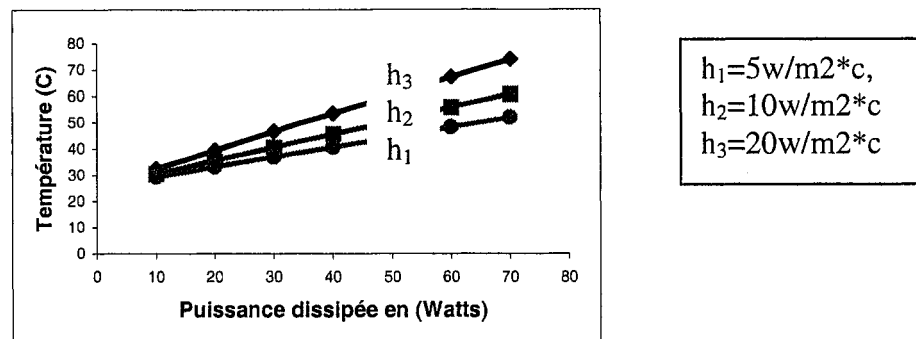


Figure 4.5: Évolution de la température du radiateur AAVID_61540 en fonction de la puissance dissipée pour une source de 16mm×20mm

III.6 Analyse numérique de transfert de la chaleur

NISA est un programme par éléments finis qui est composé d'une série de modules, qui selon les cas traités, peuvent se prêter à différentes utilisations. NISA utilise quatre phases pour l'analyse d'un problème donné. La figure 3.7 montre les quatre phases groupées en forme d'organigramme.

Phase No 1 : la première phase est celle de l'entrée des données. Cette phase est utilisée pour faire la description géométrique de problème, les propriétés des matériaux, du chargement et des conditions aux limites du problème physique.

Phase No 2 : la deuxième phase est celle de la bibliothèque des éléments. Cette phase présente un intérêt particulier : c'est là où se trouvent programmés les algorithmes de formulation de tous les éléments disponibles. Cette seconde phase exploite donc les données entrées à la première pour expliciter les équations algébriques des éléments à l'aide des algorithmes programmés adéquats. Elle comprend également les calculs nécessaires pour déterminer la position des équations de chaque élément par rapport à celle des éléments voisins, ainsi que les opérations permettant leur combinaison. Ces dernières étapes permettent d'obtenir un système complet d'équations algébrique pour la représentation en éléments finis de l'ensemble du solide.

Phase No 3 : NISA HEAT est le programme de la phase No3 (en transfert de chaleur) qui est la phase de résolution qui traite les équations formées à la phase précédente. Pour l'analyse non-linéaire transitoire de transfert de chaleur, le programme utilise de vastes calculs portant sur toute l'histoire du chargement, des propriétés et des conditions aux limites.

Phase No 4 : la phase No 4 est représenté par DISPOST(module de DISPLAY III), cette phase est celle de l'impression qui nous fournit un document de présentation des résultats sur lequel on peut fonder des décisions concernant par exemple un choix de proportions ou d'autres questions de conception[1].

Le module utilisé pour réaliser le modèle thermique est le NISAI/HEAT TRANSFER, est un programme pour l'analyse en éléments finis du transfert de chaleur linéaire et non linéaire en régime permanent et en régime transitoire. Le programme utilise une méthode et un temps d'intégration optimal pour résoudre les problèmes linéaires et non linéaires de conduction, radiation, changement de phase. Le module est directement relié par une interface avec DISPLAY III et DISPLAY IV pour la sortie des résultats[20].

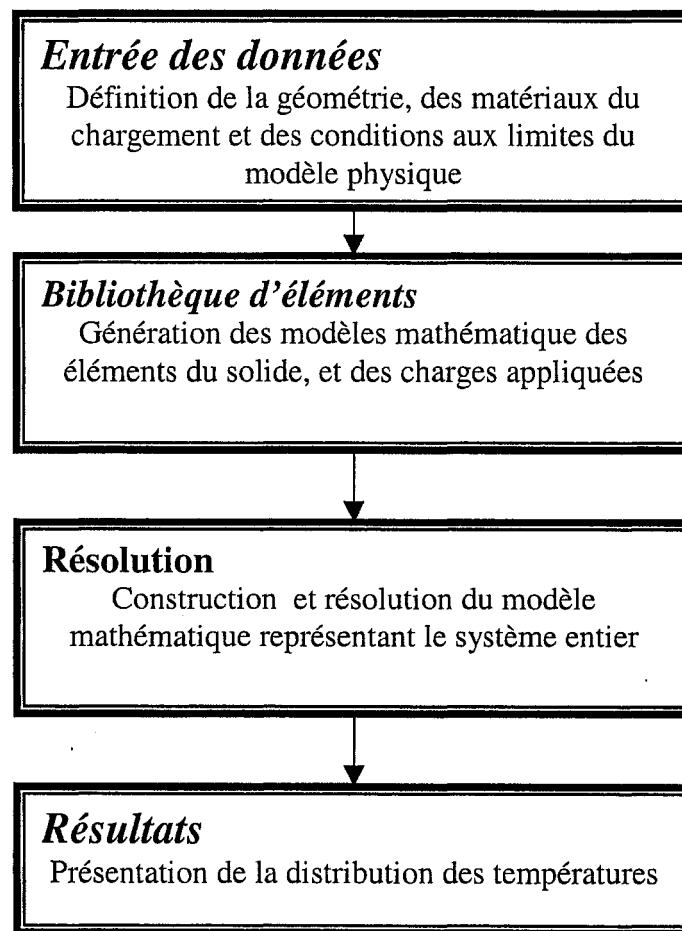


Figure 3.7 : Déroulement de l'analyse d'un problème de transfert de chaleur.

Dans cette section nous allons présenter les résultats de simulation d'une source de chaleur de 15 X 15 cm représentant la jonction de notre processeur WSI. Ainsi, les résultats obtenus avec Qfin et NISA sont en accord et cela pour différents coefficients h. La figure 3.8 montre le modèle en élément finis de la source avec distribution spatiale de température dans la jonction.

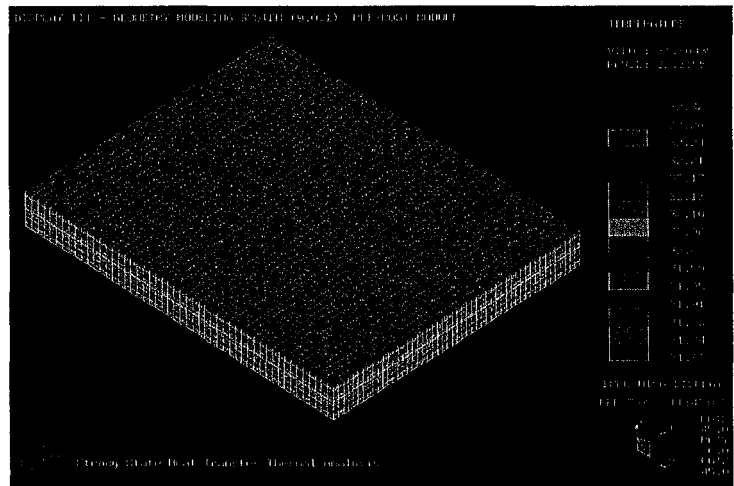


Figure 3.8: Modèle en éléments finis et distribution de la température pour la source 16mm×20mm

Coefficient de la convection Forcé h W/m ² * °C	5	10	20
Température avec Qfin	39.44	35.57	33.11
Température avec NISA	39.45	35.56	33.10
coefficient Équivalent de convection h_{eq}^{Fconv} W/m ² * °C	4650	6550	8725

Tableau 3.2 : Comparaison entre les différents paramètres avec l'analyse d'écoulement de fluide(Qfin) et le transfert de la chaleur (NISA)

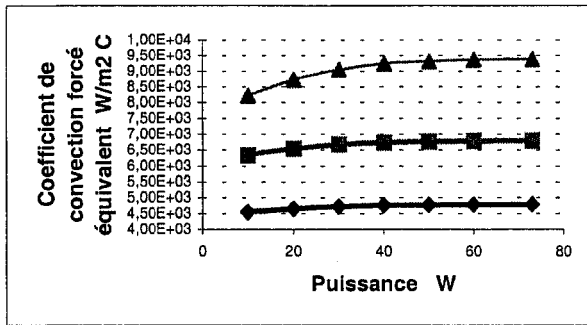


Figure 3.9: Évolution du coefficient de convection forcé équivalent h_{eq}^{Fconv} avec la puissance dissipée pour différents h.

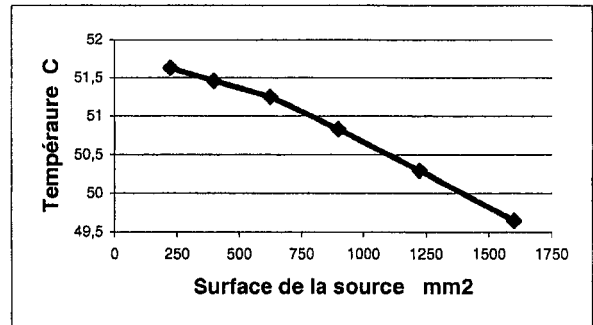


Figure 3.10: Évolution de la température avec la surface de la source pour $h = 20W/m^2 * °C$.

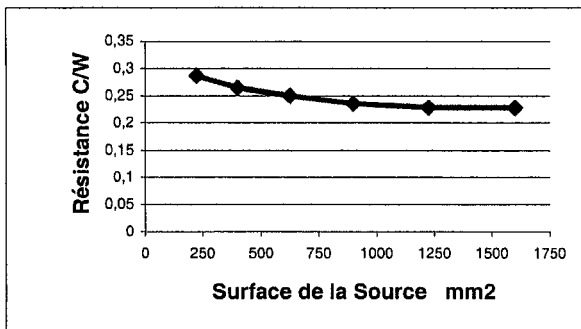


Figure 3.11: Évolution de la résistance équivalente du radiateur avec l'évolution de la surface pour $h = 20W/m^2 * °C$.

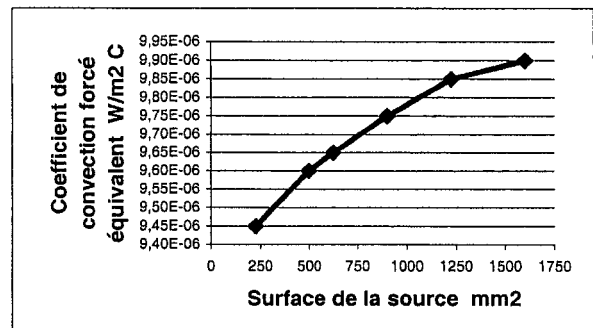


Figure 3.12: Évolution du coefficient de convection forcé équivalent h_{eq}^{Fconv} avec la surface de la source pour $h = 20W/m^2 * °C$.

III.7 Résultats et discussions

Les résultats nous donnent une bonne idée sur l'évolution du coefficient de la convection forcé équivalent qui représente les échanges thermiques avec l'ambient. Cependant, en changeant simultanément la puissance absorbée, la surface de processeur, le type du boîtier et le radiateur choisis, le coefficient $h_{équi}$ varie d'une façon plus au moins importante.

Dans ce projet de recherche, la problématique principale du processeur WSI est la nécessité de simuler une région très grande du dispositif et de son substrat. En fait, la géométrie du boîtier doit être prise en considération. Par conséquent, le coût de la gestion thermique du dispositif WSI dépend fortement de l'efficacité de la conception de boîtier. Par conséquent, la distribution spatiale de sources de chaleur a un effet significatif sur l'opération du dispositif WSI.

Ces investigations sont très utiles lors de la construction finale du processeur. Ainsi, cette étude peut aider l'ingénieur en électronique du packaging pour empêcher des situations de surchauffe. Ces investigations permettent une prévision précise de la distribution de la température dans un paquet et aident à minimiser le pic thermique localisé pour différentes conceptions et type de packaging.

III.8 Conclusion chapitre III

Dans cette étude, nous avons présenté une approche qui combine l'analyse par transfert de chaleur et l'écoulement de fluide pour l'analyse des problèmes thermiques en régime permanent pour les circuits intégrés VLSI. Cependant, la température de la jonction est déterminée pour des boîtiers typiques, les conditions aux limites et la valeur de la puissance dissipée. Ainsi, ces valeurs vont être utilisées pour la simulation fluide qui va être appliquée pour la détermination de coefficient de convection équivalent à appliquer comme condition au limite pour la jonction.

Cela est une étape importante parce que le coût de la gestion thermique du processeur WSI dépend fortement de l'efficacité de la conception. D'un autre côté l'auto-chauffage des dispositifs à semi-conducteur affecte le fonctionnement du circuit électronique équivalent. Cette approche est également développée pour simuler en régime permanent des circuits intégrés à grand-puissance en utilisant les simulateurs NISA et Qfin. Nous avons montré que la réponse thermique des boîtiers ainsi que la jonction en silicium dépend aussi des propriétés physiques des matériaux. Cependant, nous avons caractérisé la réponse thermique du boîtier avec le radiateur AAVID_61540 pour déterminer l'augmentation de la température du dispositif en régime permanent.

Les techniques informatiques modernes comme les simulations par éléments finis sont des outils utiles pour l'ingénieur en conception de boîtier électronique qui l'aident à empêcher des pièges thermiques inattendus. Les simulations thermiques permettent une prévision précise de la distribution de la température dans un boîtier et aident à évaluer les contraintes thermomécaniques qui se produisent pour différentes conceptions des boîtiers. En conséquence, le concepteur peut optimiser la géométrie et le choix des matériaux d'un boîtier même avant que les prototypes soient établis. Ceci réduit considérablement le temps des conceptions et augmente la qualité du produit.

Les résultats pratiques présentés dans ce chapitre pour déterminer le coefficient de convection forcée équivalent peuvent être utilisés pour résoudre

plusieurs problèmes thermiques et thermomécaniques dans les boîtiers électroniques. D'ailleurs, l'analyse thermique de jonction est cruciale pour la commande de température, le gradient thermique spatial, et l'évaluation de l'effort thermique induit. Par conséquent les prévisions thermomécaniques du comportement du dispositif est l'issue principale pour l'exploitation sûre à partir de la première étape de la conception du processeur WSI.

Chapitre IV

Étude de la dynamique thermique

IV.1 Introduction

Les caractéristiques électriques des CI sont fortement influencées par la température si la puissance dissipée est relativement faible. Cependant, elle est forte dans les circuits intégrés en technologie Bipolaire BICMOS, en raison de forts gradients thermiques apparaissant en surface de la puce de silicium, et surtout à basse tension (3volts). Ainsi pour minimiser les interactions électrothermiques entre différentes parties du processeur, les composants doivent être placés judicieusement. On dispose par exemple, les composants vulnérables à l'effet de la température loin des composants dissipant beaucoup d'énergie (les sources des courants, ..). Certains circuits intégrés à haute densité d'intégration subissent eux aussi des effets de température, même à faible intensité. Le nombre élevé de ces derniers entraîne une puissance moyenne dissipée, par les circuits intégrés, non négligeable[21].

Donc l'influence électrothermique sur les circuits analogiques est une contrainte qui reste plus ou moins réservée à des circuits réalisés en technologie Bipolaire ou BICMOS. En effet, les transistors bipolaires sont particulièrement sensibles à l'effet de la température. Ainsi, si deux transitoires sont placés dans un gradient de température non

approprié, la différence peut produire un effet non-identique. Donc à défaut d'une adéquation thermique dans un circuit différentiel, cela peut introduire des oscillations du signal. Cependant, un placement symétrique, peut réduire la sensibilité de ces circuits analogiques au gradient de température[22].

La présence de partie dissipant de la puissance dans un circuit induit une distribution de la température à travers l'espace du CI. Étant donné que les caractéristiques électriques des composants sont influencées par la température locale, les composants appairés doivent être placés de telle façon que la dégradation de performance provoquée par leurs différences de température, reste dans les limites des spécifications. Il s'agit donc de placer les parties sur la même ligne isotherme, de manière à respecter une symétrie axiale par rapport à la source de chaleur. Toutefois, il n'est pas toujours possible de placer les composants appairés exactement en milieu isotherme, tout en satisfaisant en même temps aux autres contraintes.

L'augmentation de la capacité d'intégration des puces actuelles entraîne un échauffement conséquent. Il est donc devenu indispensable de prévoir plus précisément les effets de la température sur le système intégré et surtout de trouver des moyens fiables et pratique pour quantifier ces dégagements de chaleur au sein d'un circuit intégré, d'un boîtier ou bien de tout un système placé sur une carte (PCB)[23].

Cette partie de l'étude va se diviser en deux sections :

- la première concerne l'optimisation de l'emplacement des sources de chaleur,
- La deuxième propose de faire l'étude de la dynamique thermique pour établir une cartographie thermique en régime permanent et transitoire.

De cette façon nous allons explorer les possibilités pour minimiser les pics thermiques dans les régions critiques du processeur WSI. Cependant, le gradient thermique demeure une préoccupation majeure pour une exploitation fiable du processeur. Plusieurs considérations ont guidées notre étude pour un placement judicieux des différentes logiques. Cependant, la contrainte thermique et les distorsions ont eu une importance majeure pour le choix de la technologie à utiliser pour le type de packaging.

Ainsi, nous avons utilisé la méthode FEM pour décrire le comportement thermique des sources de la chaleur au niveau du layout et du bus de donnée (figure 4.1) placées dans la cavité du boîtier. Les mesures de température qui vont être effectuées sur le démonstrateur WSI au niveau des sources permettront la modélisation de tout le boîtier. Cela, va nous permettre d'établir une cartographie thermique la plus homogène. De cette façon nous allons s'assurer d'effectuer le dégagement de chaleur effectif au sein du processeur WSI. La figure 4.1 montre les dimensions des sources de chaleur dans le bus de données.

IV.2 Optimisation de l'emplacement des sources de chaleur

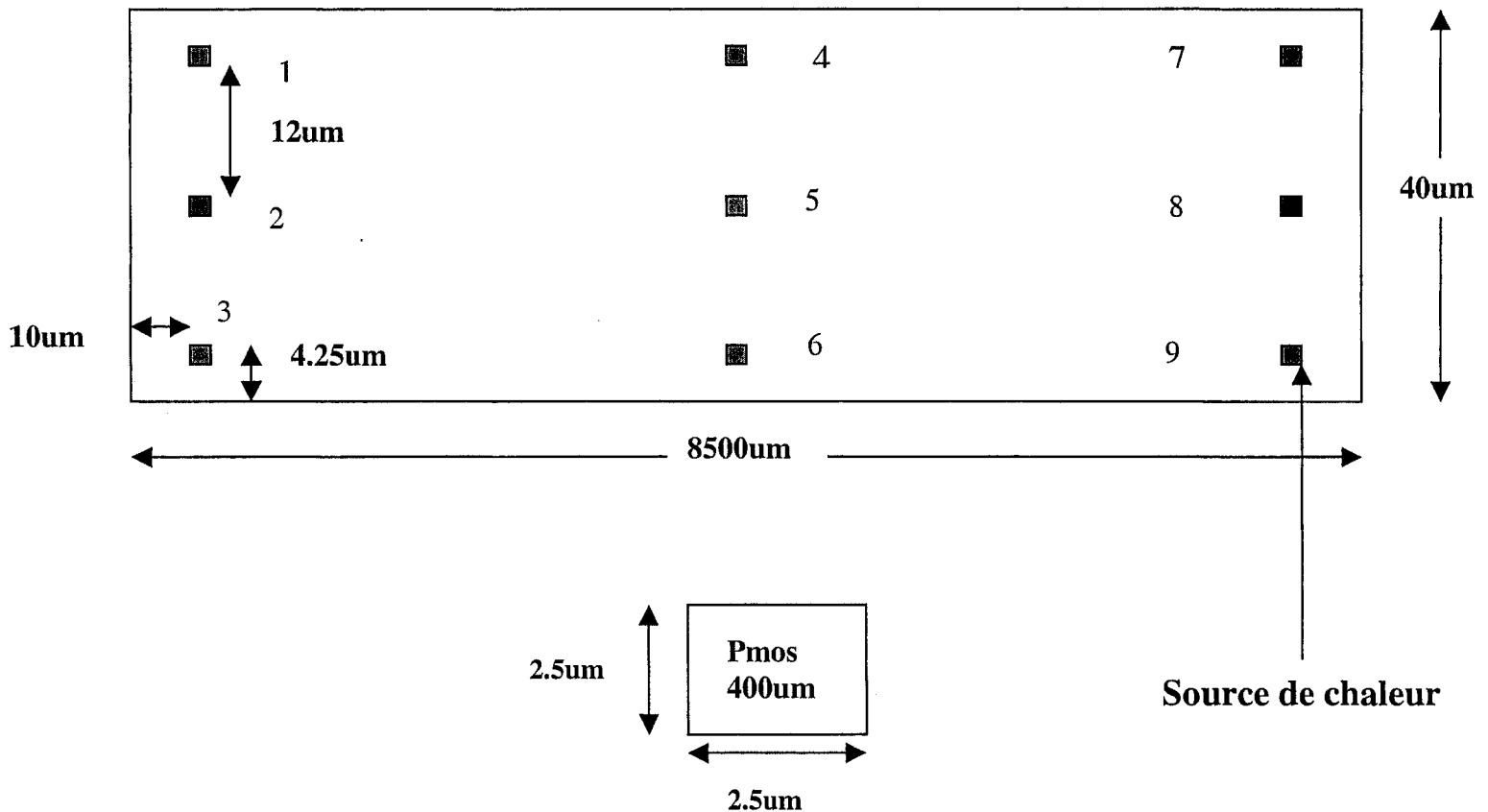


Figure 4.1 : Dimensions des sources de chaleur dans un bus de donnée

IV.2.1 Conditions de la simulation

Les conditions aux limites pour la simulation de transfert de la chaleur en régime permanent :

- La puissance dissipée : $400 \text{ uW}/\text{um}^2$ pour le matériau ID-1 (cuivre) cu
- Les conditions de type Dirichlet, aux nœuds appliquées aux quatre côtés sont spécifiées à 25°C

Les conditions aux limites pour la simulation le transfert de la chaleur en régime transitoire :

- La puissance dissipée : 400 uW/um^2 pour le matériau ID-1 (cuivre) cu modulé par la fonction TIMEAMP (figure 4.2)
- Les conditions de type Dirichlet aux nœuds appliquées aux quatre côtés sont spécifiées à 25°C

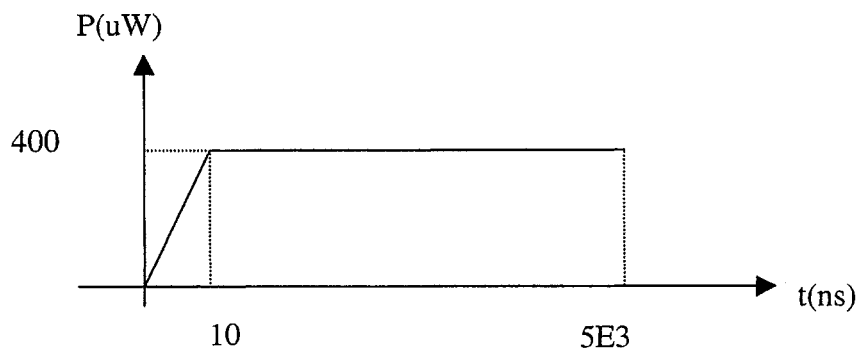
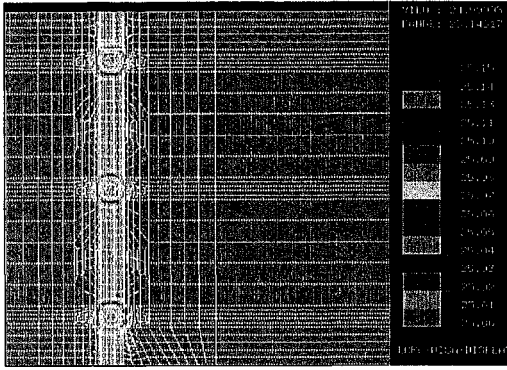


Figure 4.2 : Fonction TIMEAMP pour le régime transitoire

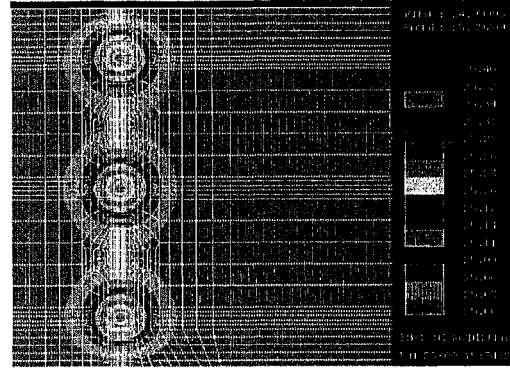
La fonction TIMEAMP définit l'évolution dans le temps de l'amplitude du flux de chaleur généré par la source.

IV.2.2 Résultats de la simulation

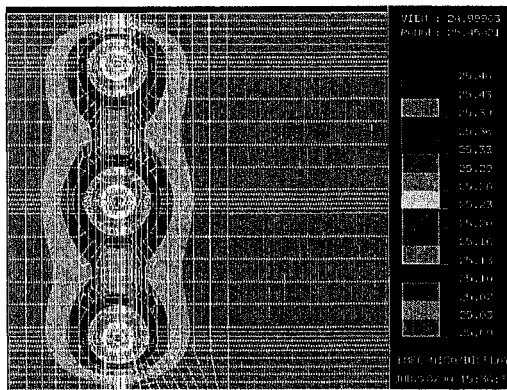
La première étude est réalisée en régime transitoire. Ainsi, les Figures 4.3 (1-5) montrent les résultats obtenus pour les différents temps de simulation. Les figures correspondent aux différentes photos prises pour des temps de simulation différents.



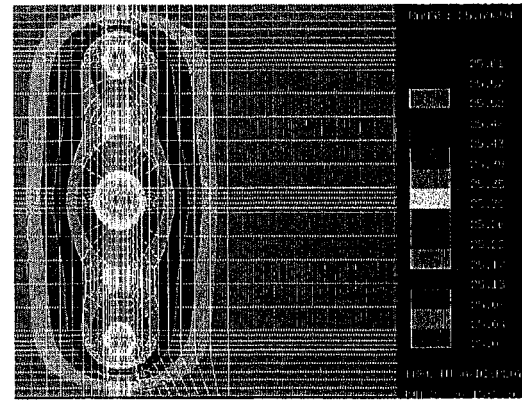
(a.1) Image N° 1 (Snapshot) à t=10ns



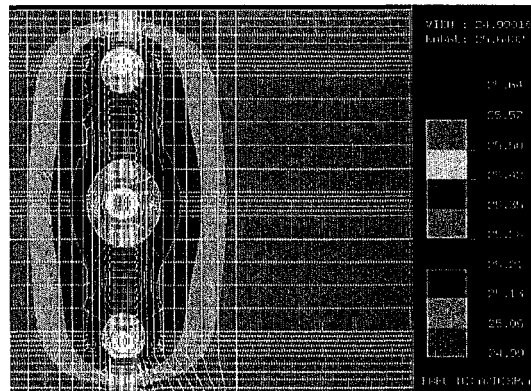
(a.2) Image N° 2 (Snapshot) à t= 100ns



(a.3) Image N° 3 (Snapshot) à t=200ns



(a.4) Image N° 4 (Snapshot) à t =1us



(a.5) Image N° 5 (Snapshot) à t =5us

Figure 4.3 : Résultats [$^{\circ}\text{C}$]obtenus pour les différents temps de simulation

Pour cette étude nous nous intéressons à l'emplacement et à l'optimisation des sources de chaleur sur la structure du processeur et l'influence de chaque source pour le régime permanent et transitoire. Il s'agit donc de placer les composants sur la même ligne isotherme, de manière à respecter une symétrie axiale par rapport à la source de chaleur.

Les figures 4.3, (a.1), (a.2), (a.3), (a.4) et (a.5) montrent la distribution de température au niveau du Data Bus. Ces figures sont intéressantes car on remarque clairement que la répartition de température est très similaire. En effet, les isothermes sont parfaitement régulières donnant une répartition de température homogène

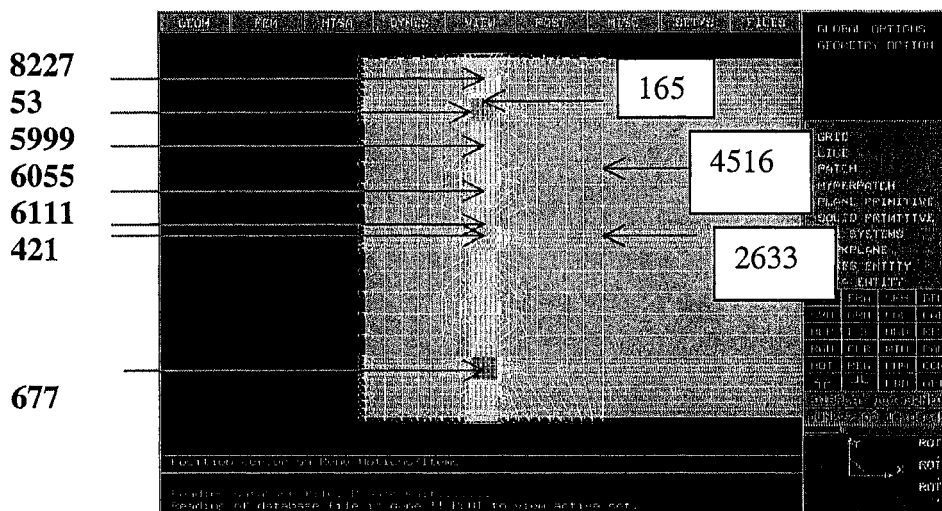


Figure 4.4 : Emplacements des points à étudier en régime transitoire sur la surface de Bus de donnée

La figure 4.4 est un agrandissement de la zone gauche de bus de données montrant le maillage des sources et la position des nœuds pour fin d'analyse.

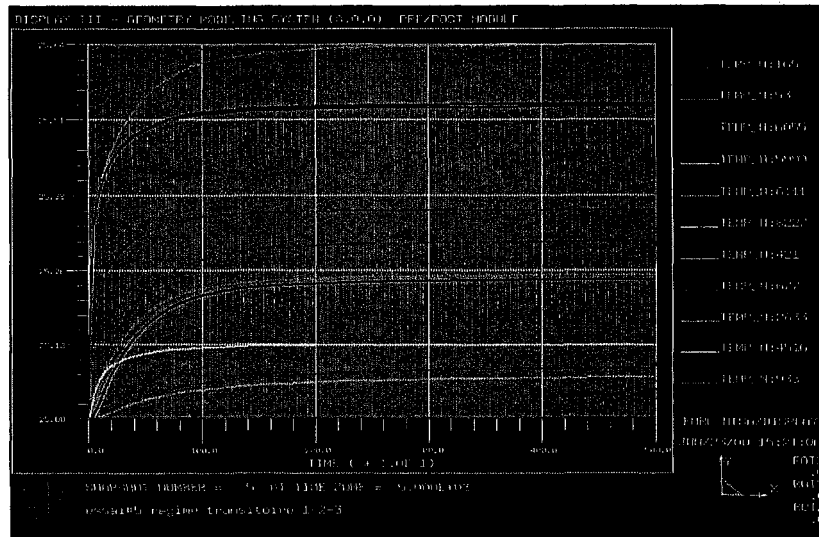


Figure 4.5: Évolution de la température [°C] sur la surface du bus de donnée à des différents nœuds.

Ainsi, la figure 4.5 présente les résultats d'évolution de la température sur la surface du "Data Bus " pour différents placements des nœuds (figure 4.6), La différence de température est observable à la surface sur différents nœuds. En effet, nous constatons un écart de 0.64 °C pour la zone la plus chaude entre les deux nœuds (965 et 933), comme indiqué dans la figure 4.5. Ainsi, nous sommes en mesure de visualiser cet écart, surtout que nous avons effectué une étude en statique. D'un autre côté, nous sommes intéressé par les points chauds facilement mesurables. Or nous pouvons espérer raisonnablement que les montées en température ne sont pas les mêmes dans les deux nœuds dans la source. Par ailleurs, au niveau de la face supérieure de Data Bus, la différence de température n'est plus que de 0.19 °C. Cet écart commence à devenir difficilement mesurable pendant un test thermique vu que les deux nœuds (165 et 8227) sont proches.

IV.3 Optimisation de l'emplacement de nombre de Bus de donnée.

Le processeur WSI nécessite l'utilisation de 200 sources de chaleur. Ces sources vont permettre d'uniformiser la température dans le processeur selon le trafic sur les bus de données. De cette façon le processeur sera en mesure de s'autoréguler pour éviter un ralentissement de ses activités et de s'assurer d'un bon fonctionnement. Ainsi, la figure 4.6 montre la configuration utilisée pour l'investigation thermique pour 200 sources de chaleur placées sur 18 Data Bus dans le cas du régime permanent de transfert de chaleur.

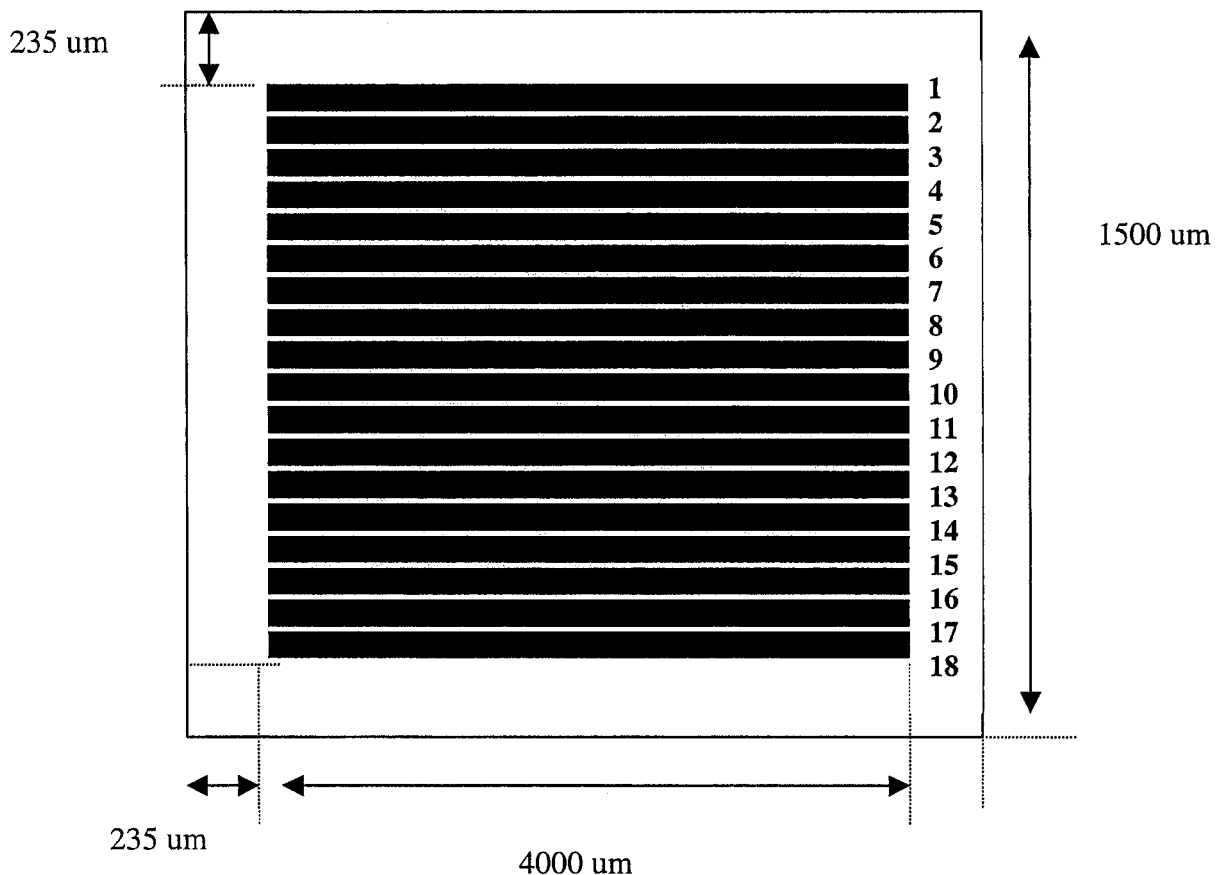


Figure 4.6: Dimensions géométriques pour l'emplacement des bus de données situées sur layout du processeur WSI

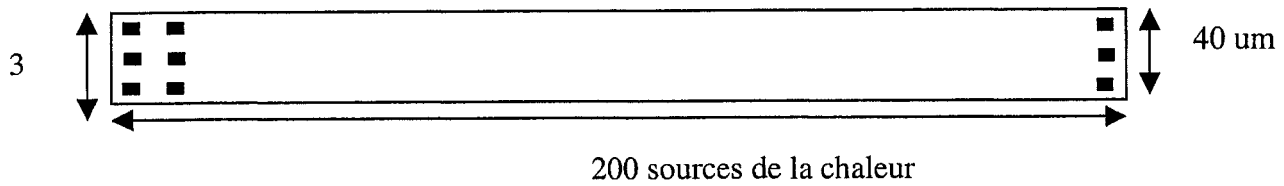


Figure 4.7 : Dimensions géométriques pour un bus de donnée

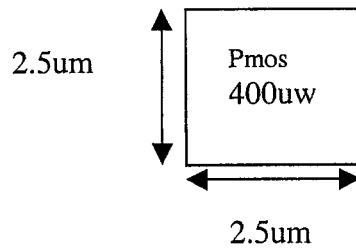


Figure 4.8: Dimensions géométriques pour une source de chaleur

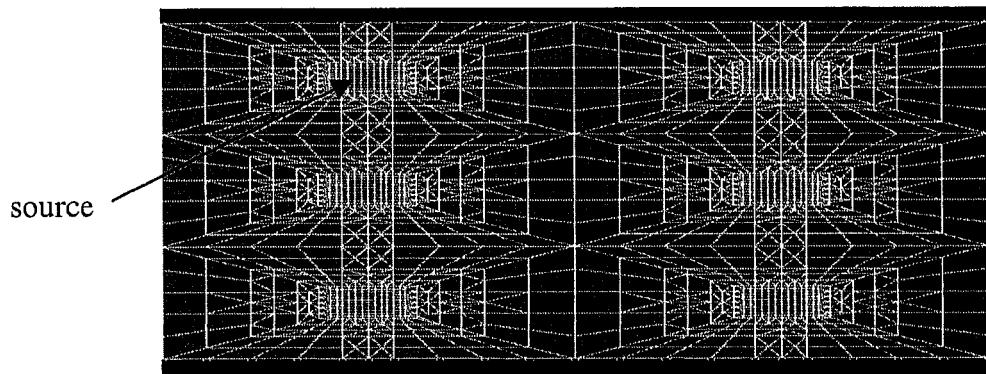


Figure 4.9 : Maillage des éléments de la chaleur pour les sources et les Bus de donnée en 2-D

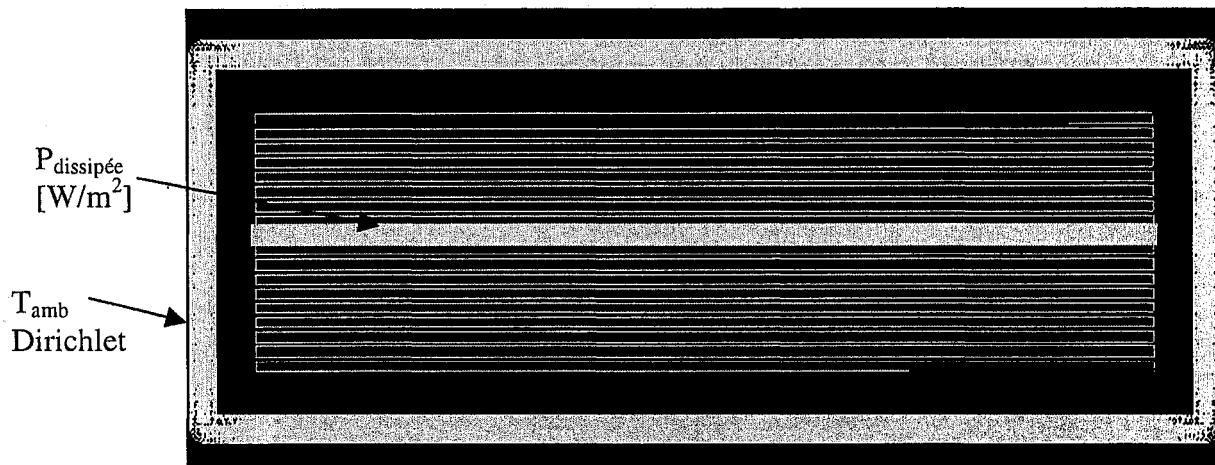


Figure 4.10 : Conditions aux limites appliquées sur le layout

La figure 4.9 est un agrandissement de la zone des sources pour montrer le raffinement du maillage nécessaire pour faire converger les solutions.

IV.3.1 Conditions de l'investigation thermique

Les conditions aux limites pour la simulation de transfert de chaleur en régime permanent sont montrées à la figure 4.10. Principalement, deux type :

- La puissance dissipée : 400 uW/um^2 pour le matériau ID-1 (**Silicium**) Si (tableau 4.1).
- Les conditions de type Dirichlet aux nœuds appliquées aux quatre cotés sont spécifiées à 25^0C pour le matériau ID-3 (oxyde d'aluminium)(tableau 4.1).

Le tableau 4.1 résume les propriétés des matériaux utilisés pour la simulation du trafic dans le bus des données.

Matériau	Masse volumique g/cm³	Conductivité thermique W/m.C	Chaleur spécifique J/g.C
Cuivre ID-2 cu	8.960	401	0.380
Silicium ID-1 Si	2.330	156	0.7013
Oxyde d'Aluminium ID-3	3.92	34	1.1

Tableau 4.1 : Propriétés thermiques des matériaux

IV.3.2 Résultats de l'investigation thermique.

Dans cette section nous explorons les résultats de l'investigation thermiques pour trouver une configuration qui va assurer un fonctionnement normal du processeur. Ainsi, nous avons essayé de reproduire les conditions réelles de fonctionnement d'un boîtier électronique en appliquant judicieusement les conditions aux limites thermiques.

En effet, il fallait pour un bon fonctionnement du processeur qu'il existe une zone où la température demeure constante. La figure 4.12 (a, b, c et d) montre les résultats de l'investigation pour différents scénarios d'allumage des bus et la distribution spatiale de température résultante. Alors que la figure 4.11 montre les résultats dans le cas où quelques sources de chaleur sont allumées. Selon les applications et le mode de fonctionnement du processeur. Les scénarios des figures 4.12c et 4.11 a offre une stabilité spatiale en température permettant un meilleur fonctionnement.

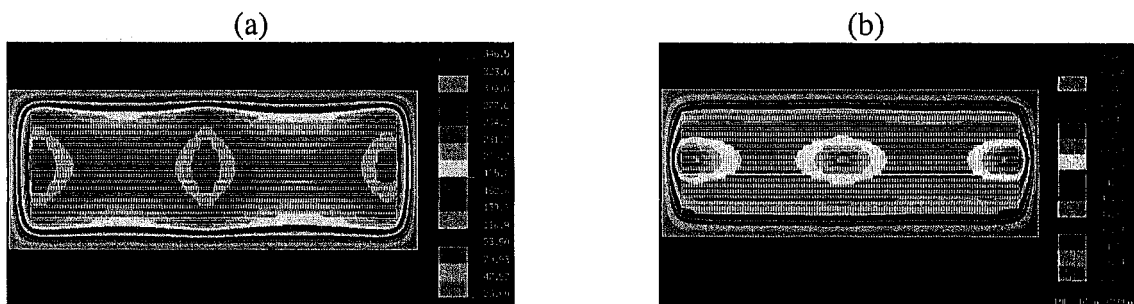


Figure 4.11 : Ligne isotherme thermique pour quelques sources de chaleur allumées pour différent Bus de donnée

a) Tous les Data Bus sont allumés, b) le 9^{ème} Data Bus

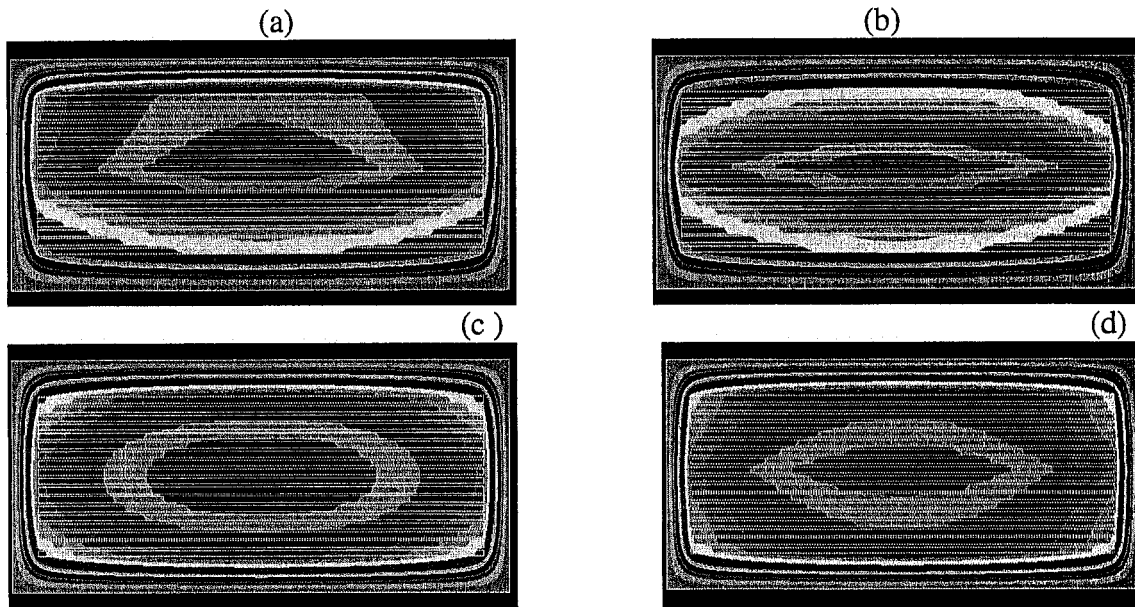


Figure 4.12: ligne isotherme thermique pour 200 sources de chaleur allumée pour différents Bus de donnée

- a) les 9 Data Bus impairs sont allumée, b) les Data Bus de 1 à 9 sont allumés
c) tous les Data Bus sont allumés, d) le 1^{ère} le 9^{ème} et le 17^{ème} sont allumée

IV.4 Optimisation de l'emplacement des sources de chaleur sur les Data Bus sur le layout.

Dans cette partie nous allons présenter les résultats des simulations de l'évolution de la température à différent emplacement des sources de chaleur, et leur influence sur la partie de LOGIC (figure 4.13) afin d'éviter des contraintes thermiques sur ce dernier et assurer leur bon fonctionnement. De plus, cette partie de l'investigation thermique est cruciale puisque nous sommes intéressés à contrôler le gradient thermique dans la zone LOGIC. En effet, cela est dû au fait que les fuites dans les transistors MOS double à chaque variation de 10 °C.

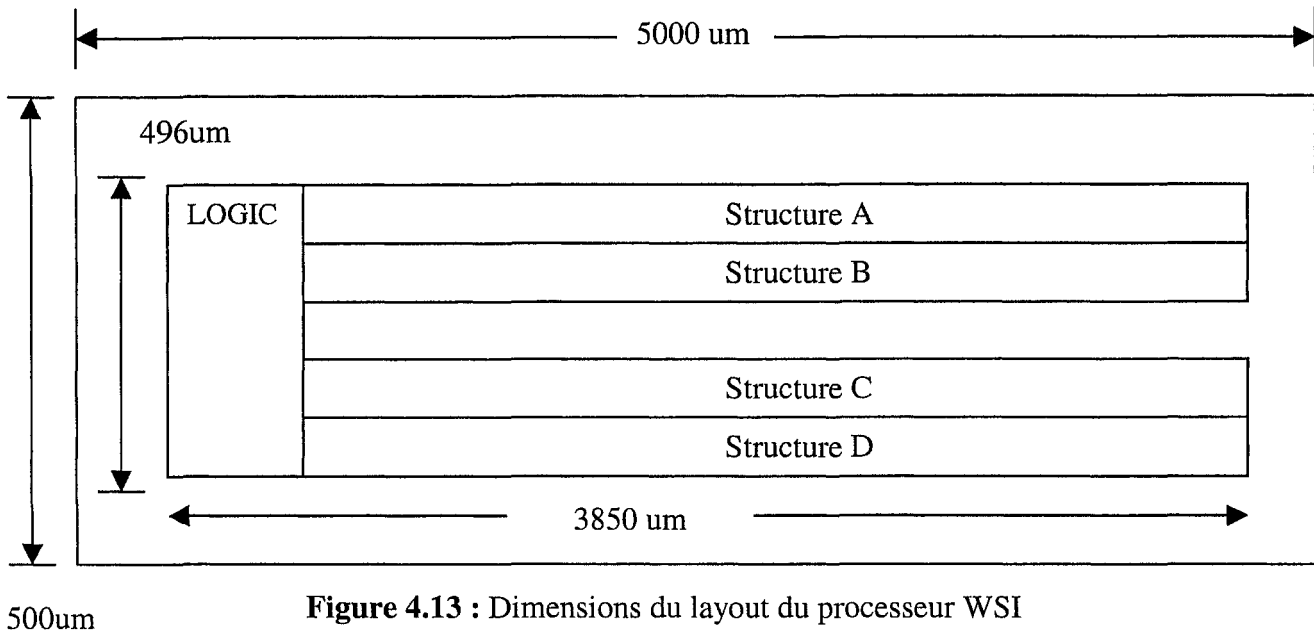


Figure 4.13 : Dimensions du layout du processeur WSI

Pour cette partie nous avons effectué deux simulations, la première simulation (figure 4.14) nous a permis d’optimiser et placer les sources de chaleur dans la structure C et D pour évaluer l’influence sur la structure A, B et LOGIC. Alors que la deuxième simulation (figure 4.15) nous a permis d’optimiser les sources de chaleur à la droite des structures A, B, C et D. Une cellule ON désigne une source allumée, alors que OFF désigne une source non allumée.

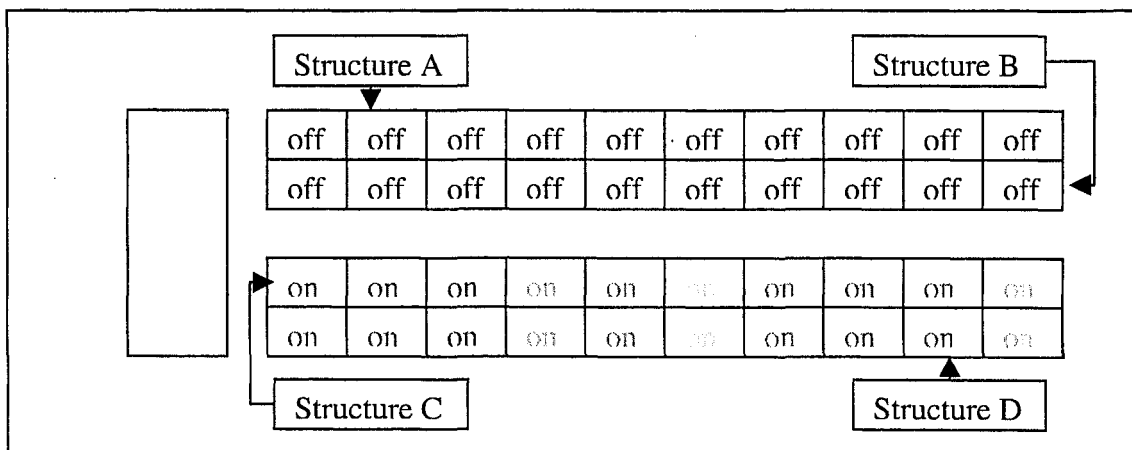


Figure 4.14 : Schématisation de l’emplacement des sources de chaleur dans la structure C et D pour la simulation N1

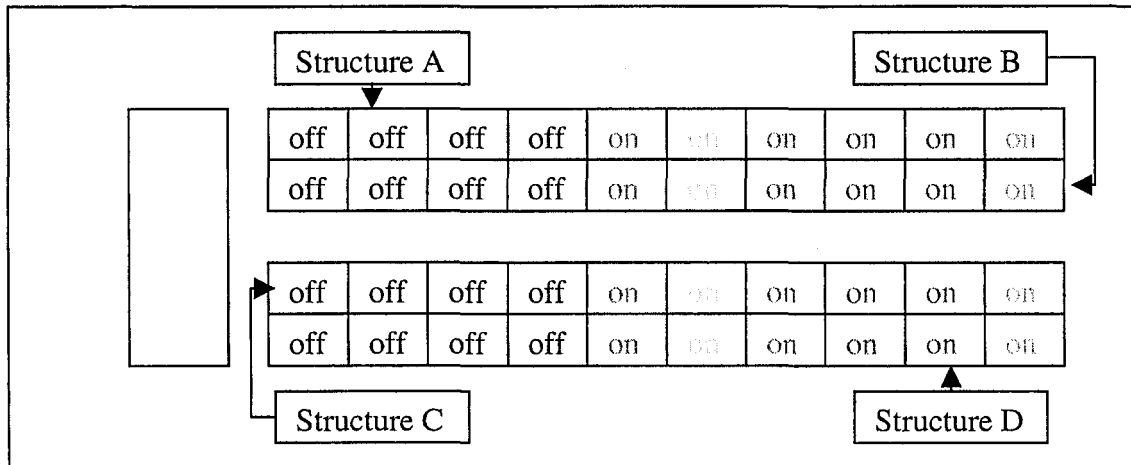


Figure 4.15 : schématisation de l'emplacement des sources de chaleur à la droite des structures A, B, C et D pour la simulation N2

IV.4 .1 Conditions de la simulation

La figure 4.16 montre les conditions aux limites pour la simulation de transfert de la chaleur en régime permanent :

- La densité de puissance dissipée : $31,65 \text{ (}\mu\text{W}/\mu\text{m}^2\text{)}$ pour le matériau ID-1 (Silicium)
- Les conditions de type Dirichlet aux nœuds appliquées en bas de la structure sont à 25°C , 65°C et 80°C respectivement.

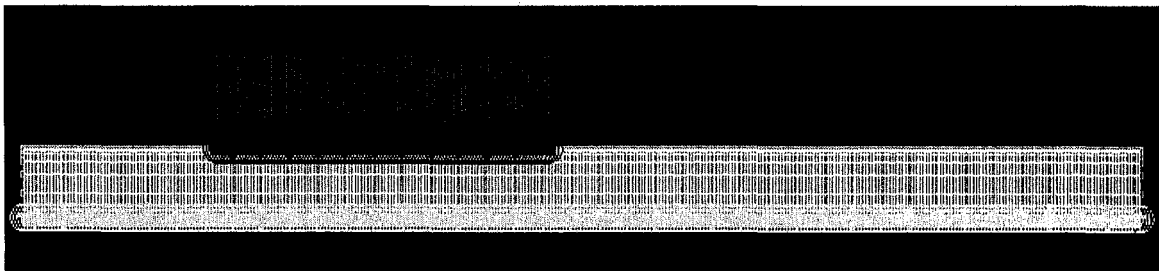
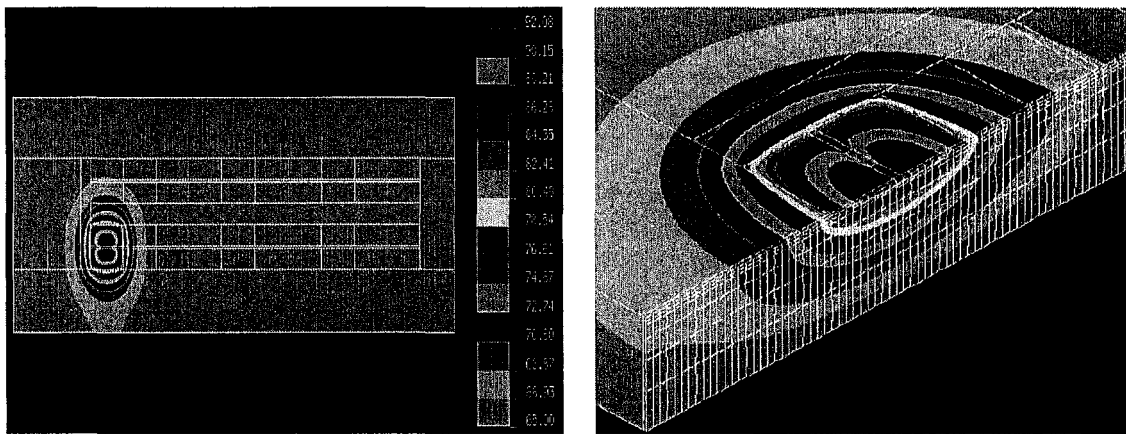


Figure 4.16 : Conditions aux limites représentées par la densité de puissance modelée par un flux de chaleur et la spécification de la température en bas de la structure.

IV.4.2 Résultats des simulations

La figure 4.17 montre les résultats des investigations thermiques pour une puissance appliquée pour le 1/10 de la structure C et D. L'objectif de cette simulation est de déterminer les gradients thermiques localisés pour prédire l'influence qu'aura ces variations sur les données. Les figures 4.18 à 4.22 montrent différents scénarios pour étudier la problématique de positionnement des sources. Ainsi, la variation maximale de la température est de 40°C.



vue en haut

vue isométrique

Figure 4.17 : lignes isothermes thermiques pour une puissance appliquée pour 1/10 de la structure C et D pour une température nodale spécifiée à 65 °C

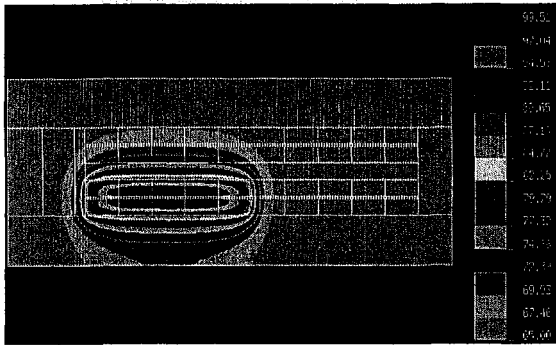


Figure 4.18 : Lignes isothermes thermiques pour une puissance appliquée pour 5/10 de la structure C et D pour une température nodale spécifiée à 65 °C(vue en haut)

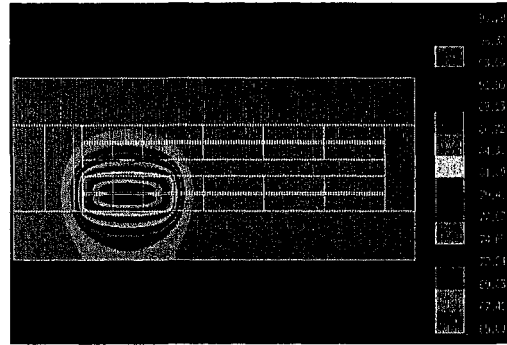


Figure 4.19 : Lignes isothermes thermiques pour une puissance appliquée pour 3/10 de la structure C et D pour une température nodale spécifiée à 65 °C(vue en haut)

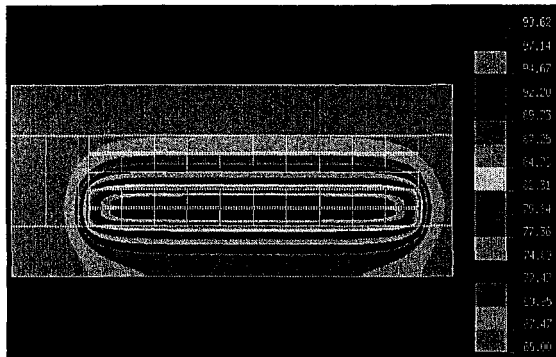


Figure 4.20 : Lignes isothermes thermiques pour une puissance appliquée pour toutes les structures C et D pour une température nodale spécifiée à 65 °C(vue en haut)

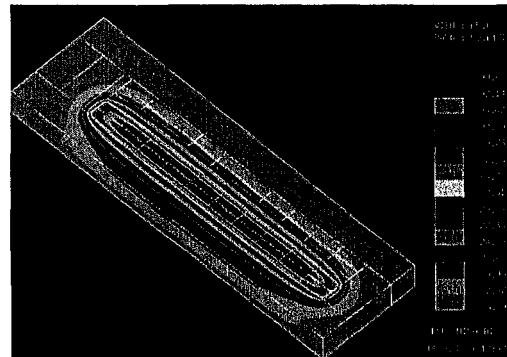


Figure 4.21 : Lignes isothermes thermiques pour une puissance appliquée pour toutes les structure C et D pour une température nodale spécifiée à 65 °C (vue isométrique)

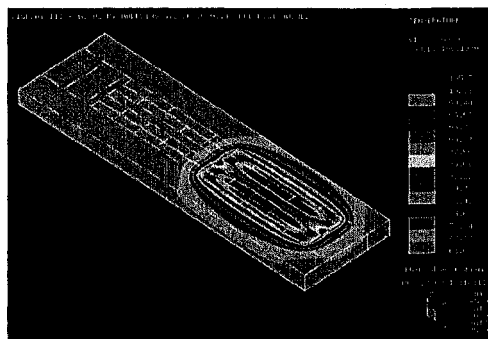


Figure 4.22 : Lignes isothermes thermiques pour une puissance appliquée à la droite des structures A, B, C et D pour une température nodale spécifiée à 65 °C

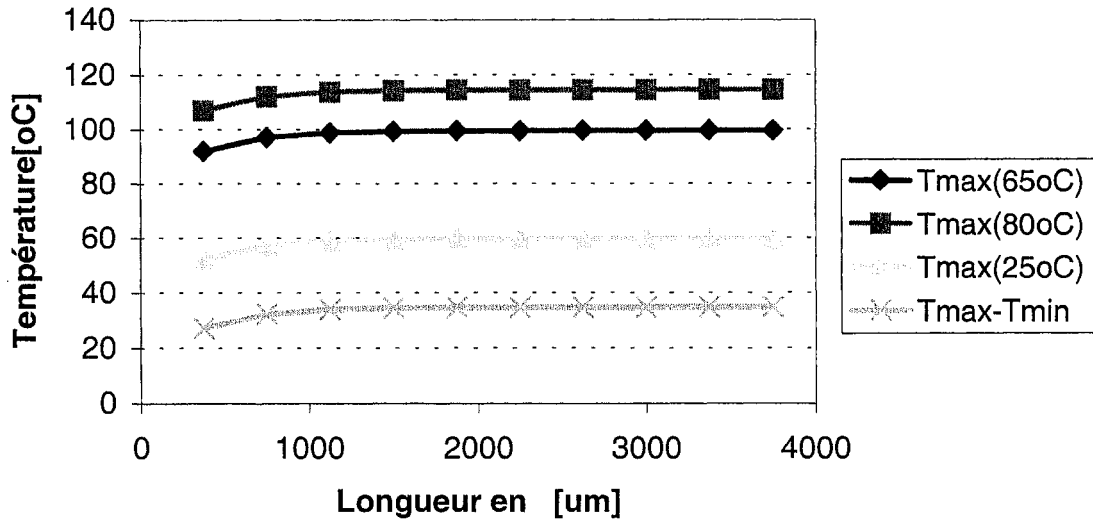


Figure 4.23 : Évolution de la température maximale pour différents placements des sources de chaleur (simulation No 1)

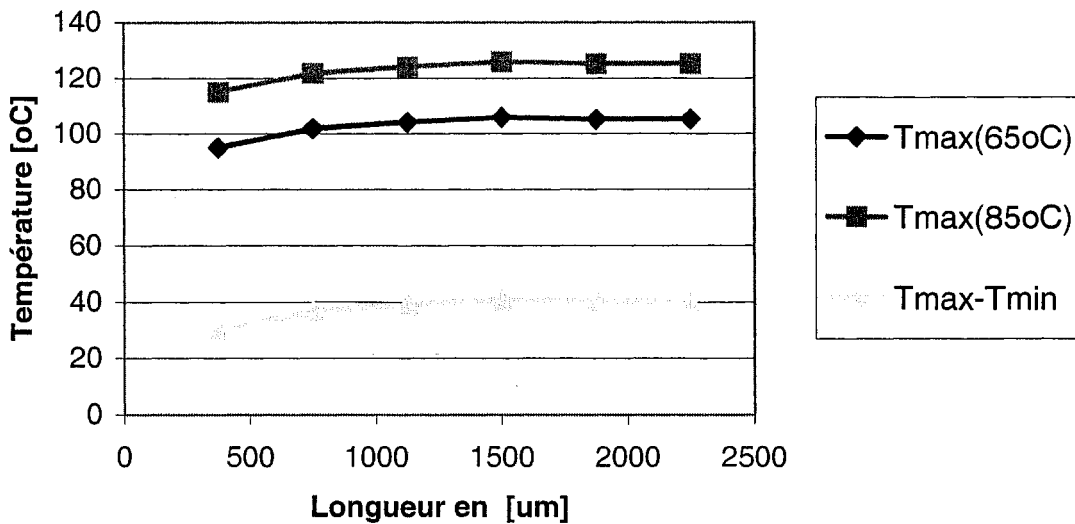


Figure 4.24 : Évolution de la température maximale pour différents placements des sources de chaleur (simulation No 2)

IV.5 Emplacement final des sources de chaleur

La figure 4.26 montre l'emplacement final des sources de chaleur à proximité de la logique. Ainsi, la figure 4.27 montre les résultats de simulation thermique qui indiquent une variation de température dans la logique de l'ordre 1.5 °C ce qui est acceptable.

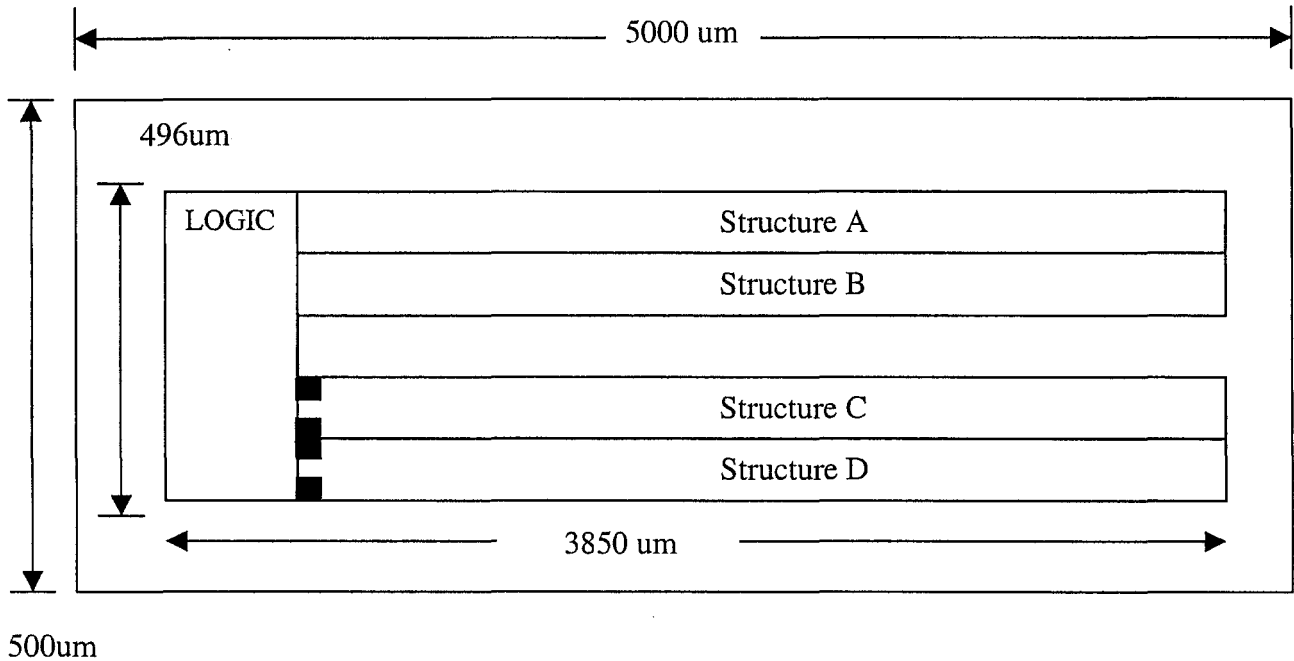


Figure 4.26 : Dimensions et l'emplacement final des sources de chaleur et les Bus de donnée dans un layout

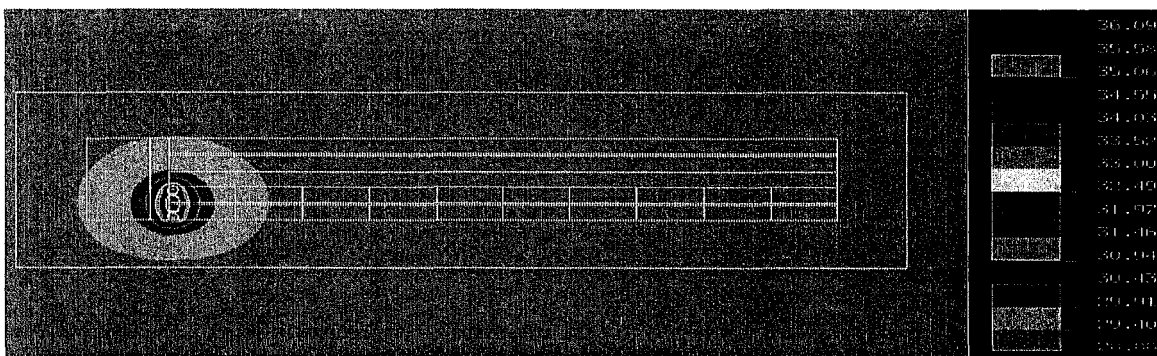


Figure 4.27: Lignes isothermes thermiques pour une puissance appliquée à la gauche des structures C et D

D'un autre coté le but d'une telle étude est de prévoir les risques de surchauffe dans le processeur WSI. Chaque source de chaleur (c'est à dire la puce) dissipe une puissance calorifique supposée connue. La température de celle-ci peut être estimée lorsque son environnement (boîtier, support, milieu extérieur) est modélisé thermiquement. Si cette estimation n'appartient pas au domaine de températures, à l'intérieur duquel le circuit intégré fonctionne correctement, le *package* étudié est alors considéré comme inadapte du point de vue thermique.

IV.5.1 Influences d'autres sources de chaleur sur l'emplacement finale des puces.

Pour faire une étude complète de la problématique thermique, nous devons tenir compte des autres sources de chaleur. La figure 4.28 a et b montre l'emplacement et les dimensions des sources de chaleur dans une cellule du processeur.

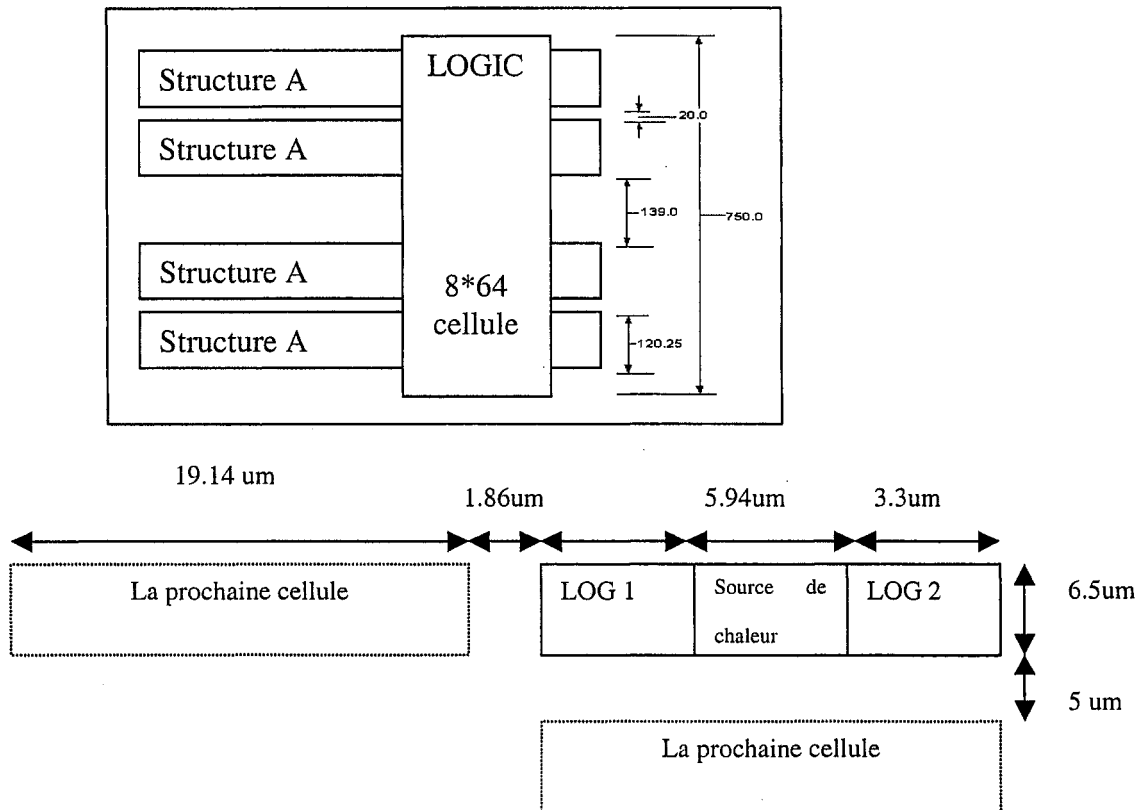


Figure 4.28 : Les dimensions et l'emplacement final des sources de chaleur et le Data Bus dans un layout

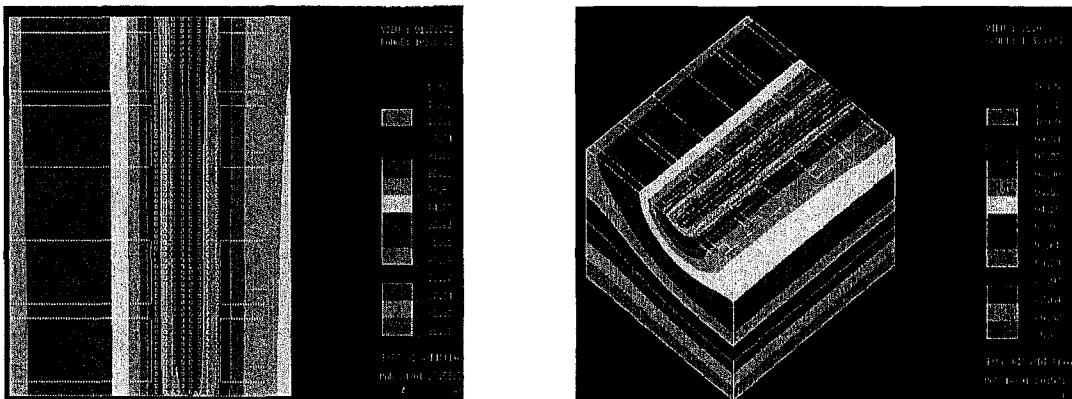
IV.5.1.1 Conditions de la simulation thermique

Les conditions aux limites pour la simulation de transfert de la chaleur en régime permanent (figure 4.10):

- La puissance dissipée : $(0.0873 \text{ uW}/\mu\text{m}^2)$ pour le matériau ID-1 (Silicium) Si (tableau 4.1).
- Les conditions de type Dirichlet aux nœuds appliquées aux quatre cotés sont à $85 \text{ }^\circ\text{C}$ pour le matériau ID-3 (oxyde d'aluminium)(tableau 4.1).

IV.5.1.2 Résultats des simulations thermiques

La figure 4.29 montre les résultats de la distribution en 3-D de la température et son influence sur les blocs logiques. Ainsi, la figure 4.29(b) nous indique qu'il y a une possibilité d'avoir une variation de presque 10°C dans le bloc logique. La prochaine section met l'accent sur l'établissement d'une cartographie thermique du processeur WSI pour un bon fonctionnement en régime transitoire et permanent.



Vue d'en haut (a)

Vue 3-D

Figure 4.29 : Lignes isothermes thermiques pour une puissance appliquée sur la LOGIC

IV.6 Établissement d'une cartographie thermique pour tout le processeur

La simulation FEM va décrire le comportement thermique de tout le boîtier électronique du processeur WSI. Puisque les puces sont placées dans la cavité du boîtier. Les mesures de température données par ces puces permettront la modélisation du boîtier.

Pour savoir si un *package* est adapté thermiquement à un circuit intégré, il est nécessaire d'estimer sa capacité à évacuer la chaleur vers l'extérieur. Pour atteindre ce but, l'étude thermique que nous allons décrire peut se décomposer en trois parties:

- Le *package* (boîtier) de chaque source thermique est modélisée thermiquement. Ainsi, un groupe de résistances thermiques est alors associé à chaque boîtier.
- Chaque modèle thermique de package est étudié sur son support.
(L'environnement extérieur de ce sous-système doit être identique à celui du système entier)
- Une synthèse des résultats précédents est effectuée, afin d'étudier le comportement thermique du système entier.

La figure 4.30 montre l'emplacement des sources de chaleur dans tout le processeur. Ainsi, le processeur est divisé en deux zones HPZ (Hot Power Zone) et CPZ (Cold Power Zone). Cette configuration va nous permettre de simuler une activité intense du processeur et de sélectionner un radiateur qui va nous assurer un refroidissement convenable. En plus, nous devons s'assurer que la variation de température dans la structure du processeur reste convenable.

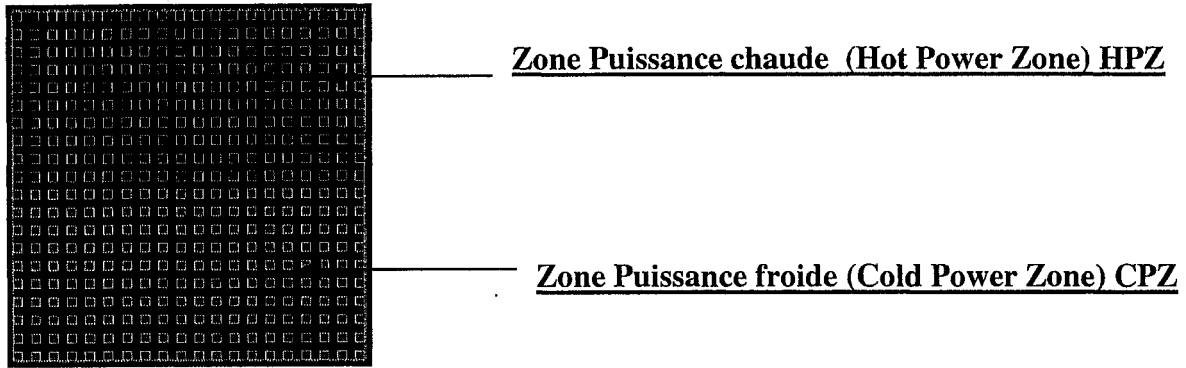


Figure 4.30 : Emplacement des sources de chaleur pour tout le processeur WSI

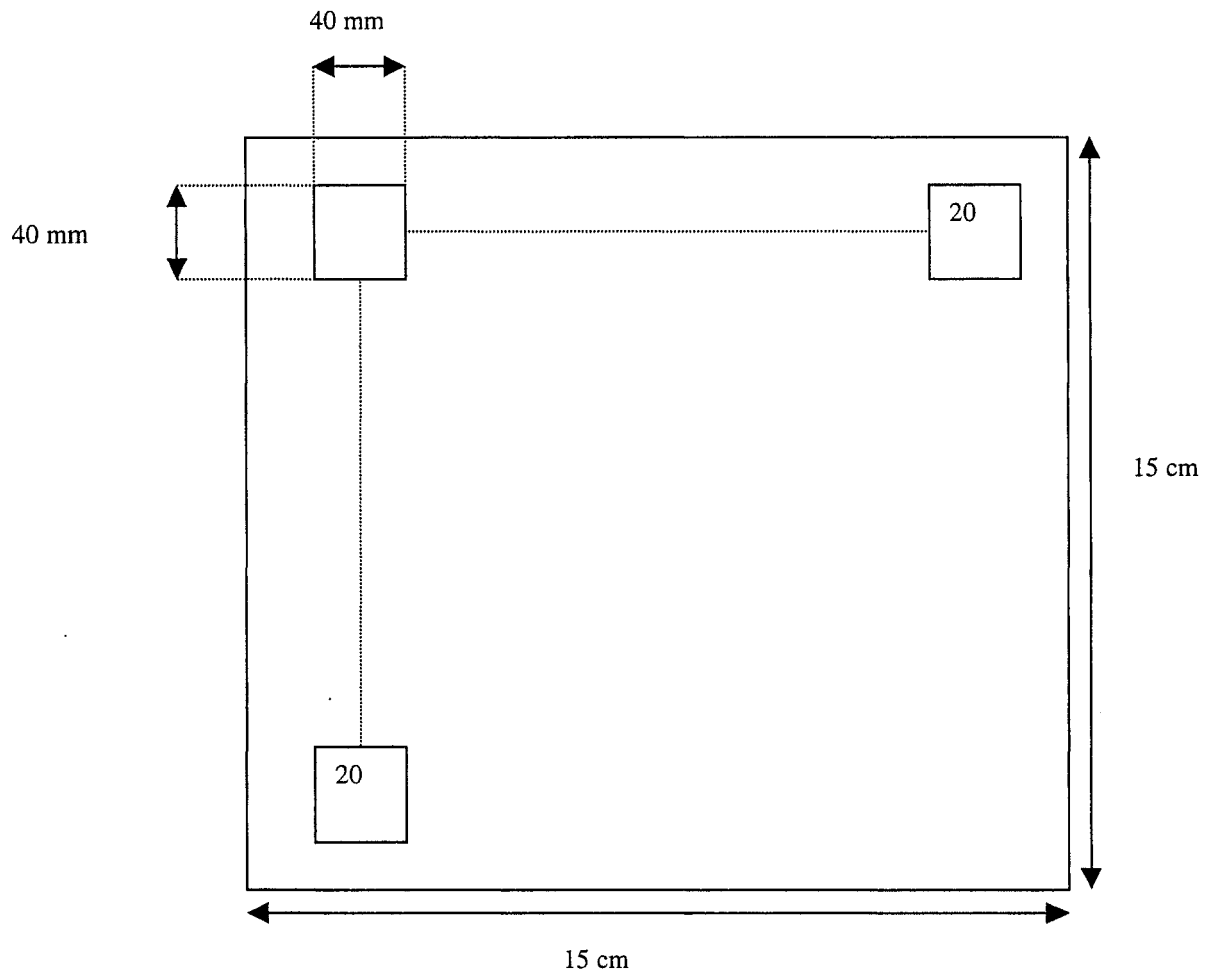


Figure 4.31 : Dimension géométrique utilisée pour tout le processeur : vue de haut

La figure 4.31 montre les dimensions géométriques du processeur de 15cm x 15 cm qui contient 400 cellules de 40mm x 40 mm chacune qui représentent des blocs logiques constituant en gros le layout final du processeur. Cependant, cette représentation est une approximation du circuit dessiné sur le silicium qui peut compter des centaines de millions de transistors qui peuvent dissiper jusqu'à 2 kWatts en régime permanent. De ce fait, il est crucial de sélectionner et de configurer un radiateur capable d'évacuer cette quantité de puissance tout en maintenant une distribution assez uniforme.

IV.6.1 Sélection du radiateur

Pour choisir un radiateur approprié à notre application, trois paramètres ont été définis :

- R_{sa} : la résistance thermique entre le radiateur et l'ambient
- Volume de la quantité disponible du courant atmosphérique (capacité du ventilateur)
- La température maximale de la jonction T_{max} .

La température d'exploitation ou la température ambiante maximale T_{amb} .

Le tableau 4.2 donne le rendement pour différents type de radiateur. Ainsi, l'utilisation du dernier type DBF nous assure un haut rendement entre 78% et 90%.

Type de radiateur	η %
Stamping and flat plates	10-18
finned extrusions	15-22
impingement flow fan heat sinks	25-32
Fully ducted extrusions	45-58
Ducted pin fin ,bonded and folded fins (DBF)	78-90

Tableau 4.2 : Efficacité de transfert de chaleur pour diverses configurations de radiateurs

IV.6.2 Types de refroidissement

Dans le cas du processeur WSI deux types de refroidissement par circulation d'air sont envisageables, la convection naturelle et la convection forcée. Dans des applications où la dissipation de puissance est faible, le refroidissement par convection naturelle est plus économique et facile pour mettre en œuvre. Cependant, à cause du niveau élevé de puissance dissipée dans le processeur, le refroidissement par convection forcée est la façon la plus efficace pour évacuer cette quantité de chaleur hors du boîtier.

Le tableau 4.3 nous renseigne sur les différents coefficients de convection associés pour différents types de refroidissement.

Type de refroidissement	Le coefficient du transfert de la chaleur h ($W/m^2 K$)	Commentaires
convection naturelle (air)	3-12	Typiquement 5
Convection forcée (air)	10-100	Typiquement 50
Convection naturelle(liquide)	200-2000	fluorocarbons
Convection forcée (liquide)	2000-7000	Eau et eau Mélangé de glycol
Bouillonnement	2000-6000	fluorocarbons
Bouillonnement	50000	Eau

Tableau 4.3 : Coefficients de transfert de chaleur typiques pour différents types de refroidissement

Dans notre cas il est évidemment hors de question d'utiliser les quatre derniers type de refroidissement puisqu'ils sont basés sur un réfrigérant liquide. Alors que le premier type est insuffisant $5 W/m^2 K$ pour évacuer convenablement l'énergie accumulée. Cependant, la convection forcée peut répondre à notre besoin en la combinant avec une configuration de radiateur à haut rendement (DBF). Ces résultats montrent que la température du boîtier de processeur sera maintenue à $57.2 ^\circ C$, alors que les ailettes du radiateur à $32 ^\circ C$ et cela pour une température ambiante de $25 ^\circ C$. Dans ce cas la résistance totale jonction-boîtier est de $0.01 ^\circ C/W$. Cette valeur de résistance thermique assure un refroidissement convenable du processeur en régime permanent.

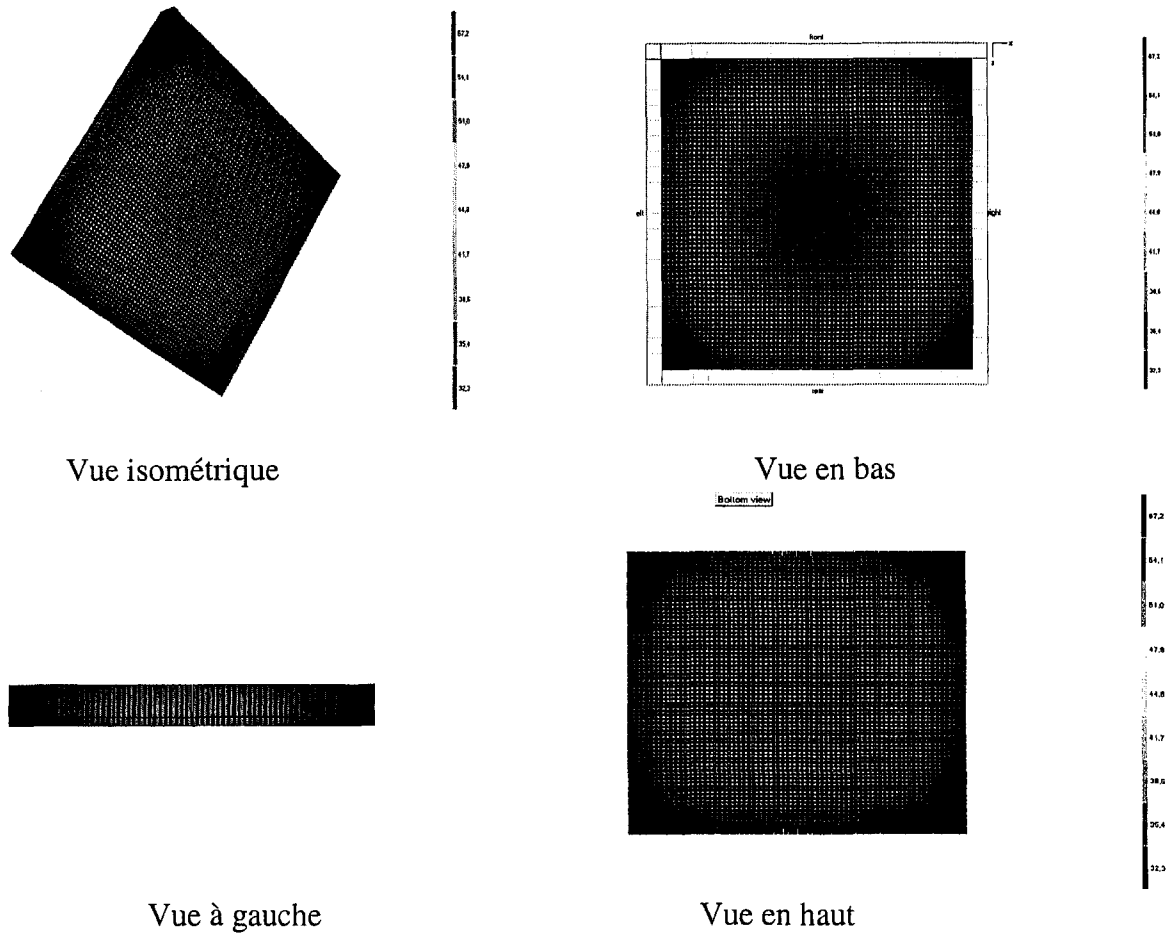


Figure 4.32: Résultats °C de la Simulation thermique en 3D pour la détermination d'un radiateur (pin fin en aluminium) pour une puissance dissipée uniformément sur toute la structure $R_{jc}=0.01 \text{ Co/W}$

Dans certaines cas nous pouvons spécifier un coefficient de transfert de chaleur connu et ne pas laisser le simulateur déterminer cette valeur. Ce serait typiquement fait pour des buts de vérification, avec la disponibilité de données expérimentales et un coefficient de transfert de chaleur prédéterminé pour un type de radiateur. Cependant pour avoir une idée sur le comportement du processeur avec radiateur, nous avons varié h du pire cas $\text{W/m}^2 \text{ K}$ jusqu'à $100 \text{ W/m}^2 \text{ K}$ qui représente la limite de la convection forcée.

h W/m ² C°	Température de jonction C°	Température de base C°	résistance thermique de radiateur C°/W	Température moyenne de radiateur C°
100	71.17	57.17	0.019/0.023	43.28
90	73.64	59.64	0.020/0.025	45.08
80	76.64	62.64	0.022/0.027	47.33
70	80.43	66.43	0.024/0.030	50.23
60	85.35	71.35	0.027/0.033	54.08
50	92.02	78.02	0.032/0.038	59.46
40	101.67	87.67	0.038/0.045	67.49
30	117.02	103.02	0.048/0.056	80.80

Table 4.4 : Variation de température et la résistance thermique en fonction de la réduction du coefficient de convection forcée (h) pour $R_{jc}=0.01$ Co/W

L'étude thermique du processeur WSI avec son boîtier monté sur un radiateur pour analyser la capacité de ce dernier à évacuer les calories issues des différentes sources de chaleur que sont les logiques et les sources pour chauffage (Heaters). Pour atteindre cet objectif, tous les éléments du processeur sont modélisés en groupes de résistances thermiques. La figure 4.33 met en évidence les différents niveaux de couches représentant son équivalent en résistance thermique représentatif de l'évacuation de la chaleur en régime permanent.

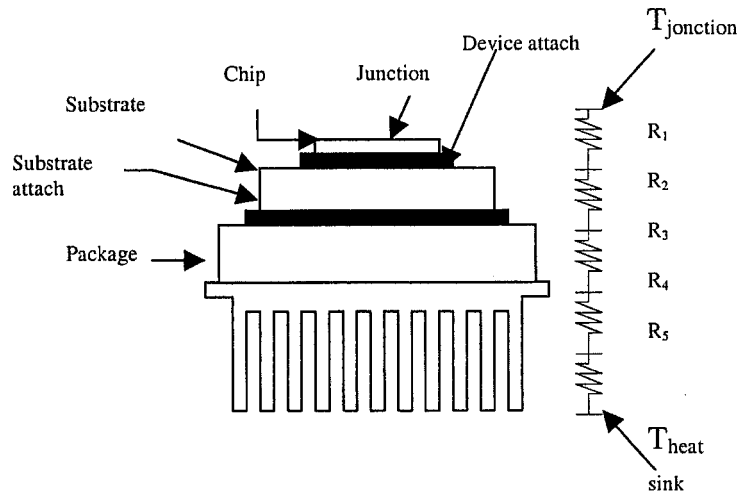


Figure4.33 : Analogies électriques entre la jonction et le radiateur.

Le tableau 4.4 résume bien le comportement de l'ensemble processeur-radiateur. Ainsi, la température de la jonction augmente avec la diminution du coefficient h . En fait, selon la valeur de h , la résistance thermique du radiateur R_{HS} ($R_4 + R_5$) se trouve fixée. Ainsi, la résistance thermique R_{HS} double lorsque h passe de 100 à $30\text{W/m}^2\text{K}$. De cette façon la température du boîtier se trouve fixée par le coefficient h . A son tour la température du boîtier va fixer celle du processeur.

IV.6.3 Conditions de simulation pour le processeur WSI

Nous avons essayé de reproduire les conditions réelles de fonctionnement d'un boîtier électronique en appliquant judicieusement les conditions aux limites thermiques.

En effet, il fallait pour le réalisme de la simulation d'appliquer un coefficient de convection équivalent au niveau du boîtier. Cependant, une simulation en 2D, à été

établie pour étudier la distribution vertical de la température puisque la distribution horizontale est symétrique (figure 4.35). Finalement, la puissance thermique est injectée de façon homogène pour la droite du processeur que la gauche (figure 4.30).

Les conditions appliquées sont les suivantes:

- La densité du puissance chaude dans HPZ : $P_1=0,424 \text{ uW}/\mu\text{m}^2$ pour le matériau ID-1 (silicium) Si
- La densité du puissance froide dans CPZ : $P_2=0.3448 \text{ pW}/\mu\text{m}^2$ μm^2 pour le matériau ID-1 (silicium) Si
- La densité du puissance totale dissipée dans tout le processeur :

$$P=1356.8 +1.10336=1357.81 \text{ W} \cong 1400\text{W}$$

Le coefficient de convection équivalent est de l'ordre de $70000 \text{ W}/\text{m}^2\text{K}$.

En ce qui concerne les résultats en 2D on va visualiser en quatre coupes suivant le schéma de la figure 4.34.

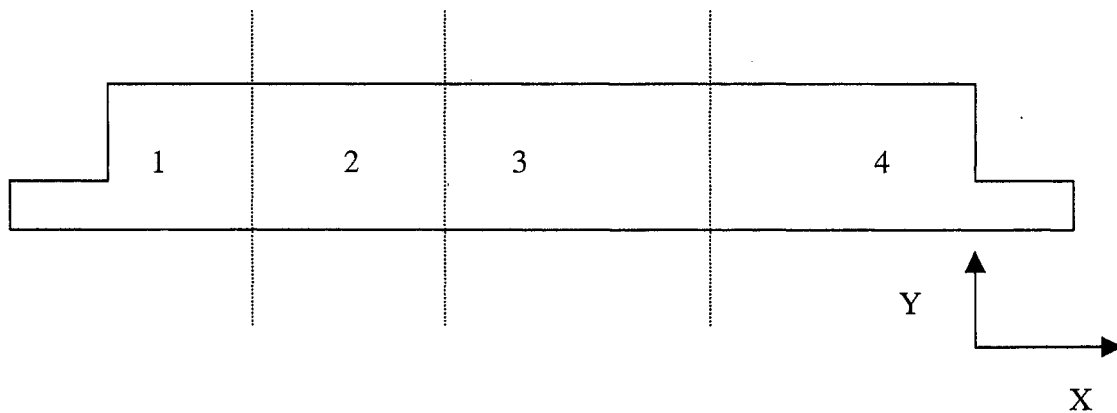


Figure 4.34 : Coupes XY pour visualiser les résultats de la simulation en 2-D

IV.6.5 Résultats de simulation pour le processeur WSI

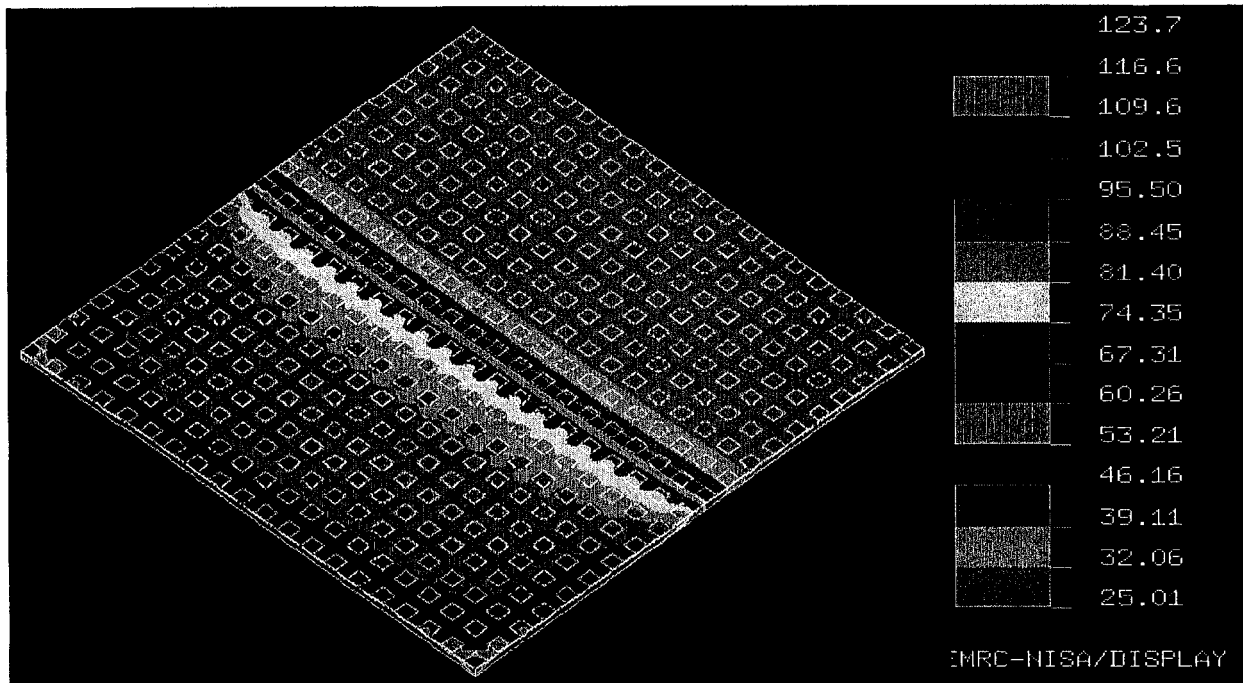


Figure 4.35 : 3-D lignes isothermes thermiques [°C] pour tout le processeur WSI

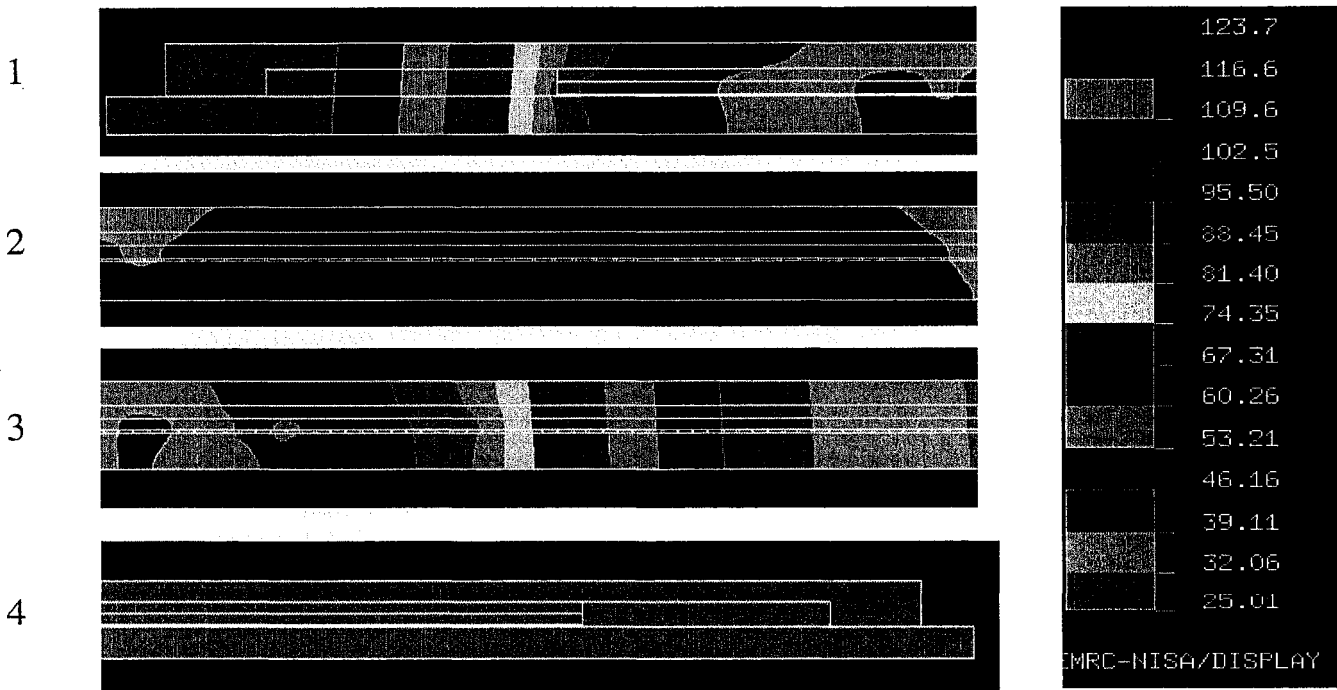


Figure 4.36 : 2-D lignes isothermes thermiques [°C] pour tout le processeur WSI

Grâce aux figures 4.35 et 4.36, on constate que la distribution de température est très similaire dans les deux situations pour le boîtier complet. La température maximale est d'environ 123°C au centre du partie HPZ.

Pour les deux types de simulation 2-D et 3-D l'augmentation de température est approximativement de 125°C. Nous avons obtenu des résultats cohérents car il est normal que le centre géométrique du HPZ soit le lieu le plus chaud. De plus, une élévation de température de 125 °C est une valeur tout à fait convenable vue la puissance injectée (1400 Watts pour l'ensemble).

Le figure 4.36 montrent la distribution de température au niveau verticale. Cette figure est intéressante car on remarque clairement que la répartition de température est très similaire. En effet, les isothermes sont parfaitement régulières traduction d'une répartition de température homogène. Ici, l'écart de température entre le centre géométrique de HPZ et le point le plus éloigné est de 100°C. Toutefois, bien que non parfaitement circulaires, ces isothermes sont très semblables à celles obtenues dans le cas de la simulation 3-D (figure 4.35) faible différence de température entre les deux cas pour une élévation globale de 125°C tend à prouver que notre approche est convenable. Cependant, la cartographie globale de notre processeur WSI est acceptable puisque le seuil de 125 °C est respecté. Ainsi, cela prouve que notre mode de refroidissement peut dégager le maximum de la température a l'extérieur du processeur. Cependant, ces résultats seront acceptables définitivement sauf après une étude thermomécanique au

niveau des boules de transmission du processeur WSI. Cette étude qui fera l'objectif du chapitre V.

IV .7 Conclusion du chapitre IV

L'étude que nous venons de terminer se divise en deux grands volets. L'objectif principal du premier volet consistait à contrôler la température et son gradient à partir du premier pas de la conception du processeur WSI. Il s'agit donc de placer les parties sur la même ligne isotherme, de manière à respecter une symétrie axiale par rapport à la source de chaleur. Toutefois, il n'est pas toujours possible de placer les blocs appairés exactement en milieu isotherme, tout en satisfaisant en même temps aux autres contraintes. Cependant, les blocs appairés doivent être placés de telle façon que la dégradation de performance provoquée par leurs différences de température, reste dans les limites des spécifications. Cependant, Plusieurs considérations ont guidées notre étude pour un placement judicieux des différentes logiques. En effet, la contrainte thermique et les distorsions ont eu une importance majeure pour le choix de la technologie à utiliser pour le type de packaging.

Pour cette étude notre intérêt portait sur l'emplacement et l'optimisation des sources de chaleur sur la structure du processeur et l'influence de chaque source pour le régime permanent et transitoire. En effet, les isothermes sont parfaitement régulières donnant une répartition de température homogène pour différents scénarios d'allumage des bus des données et la distribution spatiale de température résultante.

De plus cette partie de l'investigation thermique est cruciale puisque nous sommes intéressés à contrôler le gradient thermique dans la zone LOGIC. En effet, cela est dû au fait que les fuites dans les transistors MOS double à chaque variation de 10 °C. Cependant, le placement des blocs ne doit pas provoquer de dégradation de performance due aux différences de température, pour qu'ils restent dans les limites des spécifications. Cela nous a permis de caractériser la dynamique thermique dans le démonstrateur WSI. La seconde partie de l'étude sera consacrée à l'étude de la contrainte thermique pour tout le processeur pour développer une cartographie thermique représentant le circuit réel en opération. Pour réaliser cet objectif nous avons procédé à la détermination de type du packaging et les modes de refroidissement.

Chapitre V : Contrainte thermomécanique

V.1 Introduction

Tandis que les performances des circuits intégrés deviennent de plus en plus élevées, la miniaturisation des systèmes microélectroniques est devenue une des principales priorités des concepteurs. Il est évident que ce problème concerne le packaging des puces. En effet, concevoir des circuits intégrés de petite taille devient inutile, s'il est nécessaire de les assembler sur des packages de grandes dimensions (relativement à celles de la puce).

C'est pourquoi, il est indispensable de gérer au mieux, l'espace utilisé par les interconnexions, ce que nous appelons ici, les performances mécaniques. Celles-ci sont basées principalement sur des exigences ou des contraintes liées à des grandeurs telles que la densité d'interconnexion, le nombre d'entrées/sorties du circuit intégré ou encore les distances minimales pouvant séparer deux puces.

Les performances mécaniques d'un package, peuvent se définir simplement par son efficacité η , qui se définit comme le rapport entre la surface de la puce et celle du package correspondant [24]. Plus celle-ci est faible, plus la longueur totale d'interconnexion sera élevée, et donc plus le substrat sera coûteux et les temps de propagation du signal pénalisants.

Les progrès constants des technologies du semi-conducteur (accroissement de la taille des tranches donc du nombre de circuits réalisés en même temps, réduction de la taille du transistor élémentaire), entretiennent la course en avant vers des complexités croissantes. Cela a pour conséquence d'augmenter le nombre de transistors contenus dans une puce et donc le nombre d'interconnexions. Le nombre de fonctions logiques par circuit intégré augmente en effet, en fonction de la taille du transistor élémentaire qui, dans les années 1990, est passé assez nettement au-dessous du seuil du micromètre[25].

Le nombre de fonctions croît également avec les dimensions du circuit intégré. La taille du circuit intégré est déterminée soit par la taille physique des éléments fonctionnels, soit par l'encombrement des plots d'interconnexion. Lorsque le nombre des entrées/sorties est grand, il peut être nécessaire d'augmenter la taille de la puce uniquement pour y loger ces plots de sortie. Ceci explique l'intérêt et l'effort mis sur la réduction du pas des interconnexions des puces. La taille maximale suit également l'évolution des moyens de photosensibilisation (diamètre du champ d'insolation).

Dans le domaine du packaging, un système est considéré comme performant, lorsque celui-ci remplit les trois conditions suivantes: densité élevée, rapidité importante et faible coût de fabrication. Du point de vue du circuit intégré, cela signifie une grande densité de portes logiques avec une horloge interne la plus rapide possible. En ce qui concerne l'environnement de cette puce, c'est à dire le packaging, ses performances mécaniques sont représentées par son efficacité η . Plus celle-ci est faible, plus la longueur

totale d'interconnexion sera élevée et donc plus le substrat sera coûteux. De même, plus les lignes sont longues, plus les retards de ligne (*wiring delay*) sont pénalisantes[26].

V.2 Distorsions dans le processeur WSI.

Dans ce chapitre, nous considérons séparément les trois principaux modes de sollicitations : tensions, flexion et torsion. Dans chaque cas nous pouvons identifier facilement la composante de contrainte associée à la sollicitation et la déterminer dans la direction la plus importante (longitudinale ou transversale); toutefois, nous n'avons pas démontré comment déterminer cette direction caractéristique, appelée « direction principale».

Il est donc essentiel, à présent, d'étudier de façon plus systématique l'état de contrainte en un point : une pièce, en effet, peut être soumise à une combinaison de sollicitations. Lorsqu'on doit évaluer une combinaison de tension et de flexion pure, il faut évaluer complètement l'état de contrainte au point considéré, et isoler ce point. Pour ce faire, il fallait effectuer six coupes, selon six plans, afin d'obtenir un parallélépipède infinitésimal de dimensions $\Delta x, \Delta y$ et Δz (figure 5.1)[1].

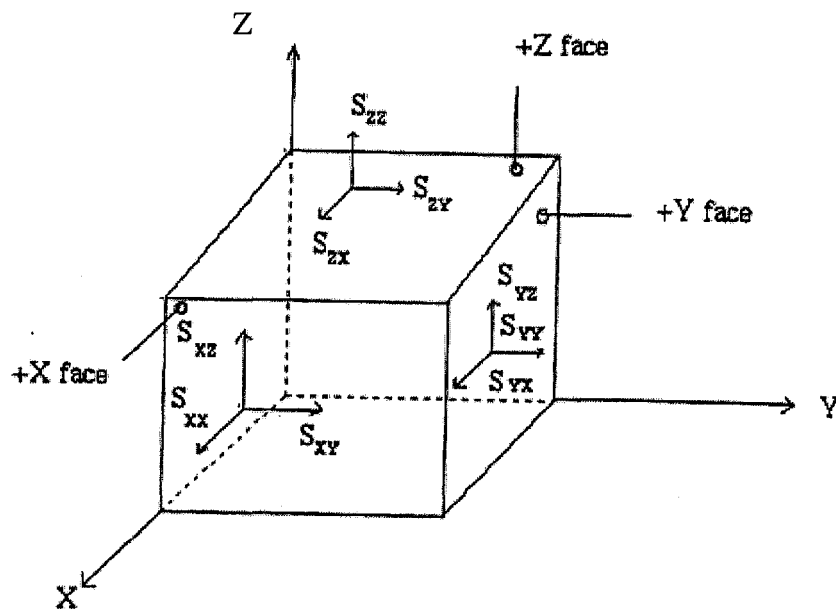


Figure 5.1 : Signes et conventions pour les composants des contraintes et des distorsions[1].

Contrainte de cisaillement maximal:

$$S_{max} = \text{maximum of } [\frac{1}{2}|S_1 - S_2|, \frac{1}{2}|S_2 - S_3|, \frac{1}{2}|S_3 - S_1|]$$

Contrainte équivalente "Von Mises" :

$$S_{eq} = (1/\sqrt{2}) \cdot [(S_1 - S_2)^2 + (S_2 - S_3)^2 + (S_3 - S_1)^2]$$

Où S_1, S_2, S_3 sont les contraintes principales selon la direction 1, 2, et 3 qui dans certains cas peuvent coïncider avec les axes X, Y et Z.

Pour tous les simulations qui viennent nous serons intéressé seulement pour le déplacement suivant l'axe X et Y et pour la contrainte équivalente " Von Mises" qui est la plus significative pour l'étude thermomécanique.

V.3 : Étude de la thermomécanique

L'effet d'un changement de température ΔT sur un matériau peut se manifester de deux façons :

- a) Par des modifications des propriétés du matériau. Par exemple, à des températures élevées, le module d'élasticité peut diminuer. Cela requiert, cependant, un changement de température important[27].
- b) Par des déformations thermiques, qui varient de façon à peu près linéaire en fonction de ΔT . Pour un matériau isotrope, les déformations thermiques correspondent à des allongements égaux dans toutes les directions, sans aucune déformation de cisaillement[28].

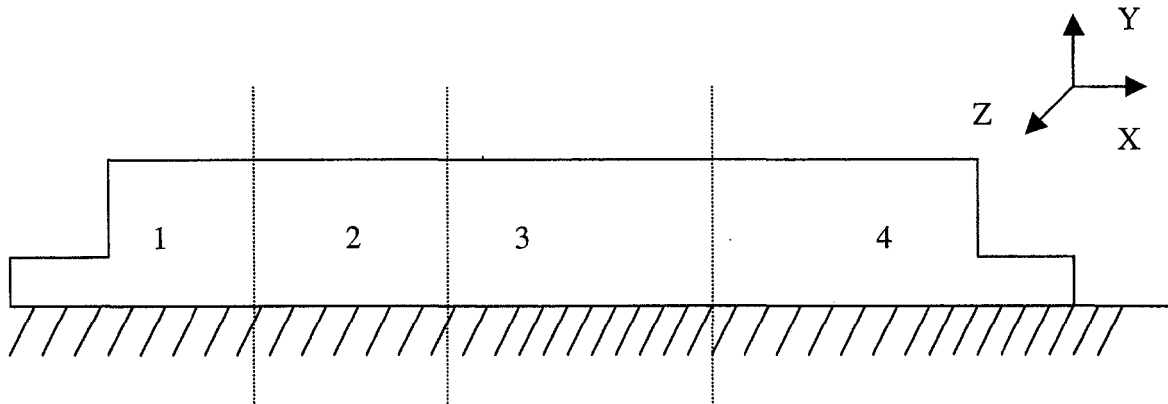
Cependant, ce n'est pas le cas des CI multicouches où on assiste à la naissance des contraintes de cisaillement résultant de différents CTE composant le chip.

V.4 : Conditions aux limites statiques

En fait, pour un support statique, cela revient à considérer des conditions aux limites statiques de type CBC "*Clamped Boundary Conditions*" figure 5.2 c.a.d que les nœuds constituant la base de processeur sont fixés (déplacement nul suivant les axes X, Y, Z et rotation nulle).

Pour le calcul de la contrainte thermique et les distorsions dans le processeur WSI, nous avons enregistré la distribution de la température de toute la structure (à chaque nœud) dans un fichier XXXX39.dat. Ce fichier sera introduit dans la partie statique pour le calcul de la contrainte thermique et les distorsions induites.

Tableau 5.1 représente tous les propriétés des matériaux utilisés cette simulation thermomécanique.



CBC : $U_X = U_Y = U_Z = R_X = R_Y = R_Z = 0$

Figure 5.2 : Conditions aux limites statiques pour le processeur WSI et coupes XY pour la simulation en 2-D.

	Chip (die)	Molding compound	BT substrate	Solder Ball	Al	Dielectrique Cimos
Young's Modulus (Gpa)	131	16	26(xy) 11(z)	17	70	100
Poison's Ratio	0.3	0.25	0.39(xz,yz) 0.11(xy)	0.4	0.33	0.25
CTE ppm/ $^{\circ}$ C	2.8	15	15(xy) 52(z)	21	22.4	0.8
Thermal Conductivity W/m. $^{\circ}$ C	150	65	0.3	50	160	33
Density Kg/m 3	2330	1660	1660	8460	2700	3300
Specific heat J/kg. $^{\circ}$ C	712	1672	1672	957	960	1100

Tableau 5.1 : Propriétés des matériaux pour les simulations thermomécaniques.

V.5 : Analyse de déformation du processeur WSI

La figure 5.3 montre les résultats de la déformation du processeur suivant l'axe X pour les coupes visionnée (figure 5.2) d'une déformation de 3.746 (μm) et de -4.591(μm) pour une déformation totale de 8.337 (μm) pour toute la structure.

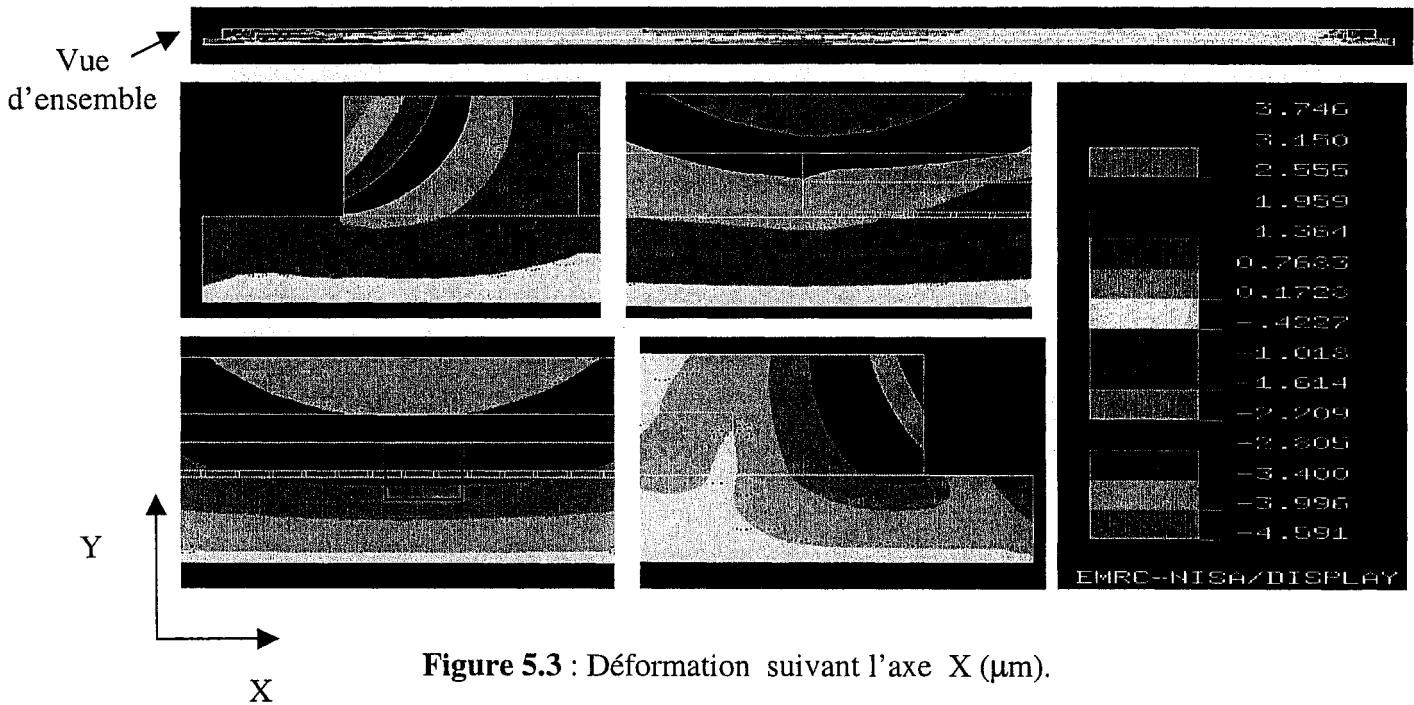


Figure 5.3 : Déformation suivant l'axe X (μm).

V.6 : Analyse de la déformation au niveau des boules de soudure

La figure 5.3 montre les résultats de la déformation au niveau d'une seule boule de soudure de processeur WSI suivant l'axe X qui subit déformation 1.364 (μm) et 1.619 (μm) ainsi, la déformation maximale est de l'ordre de :

$$\Delta x_{\max} = \Delta x_1 - \Delta x_2 = 1.619 - 1.437 = 0.182 \text{ } (\mu\text{m})$$

Ce qui représente même pas 2% de la dimension de la boule de 100 μm , ce qui est un résultat acceptable.

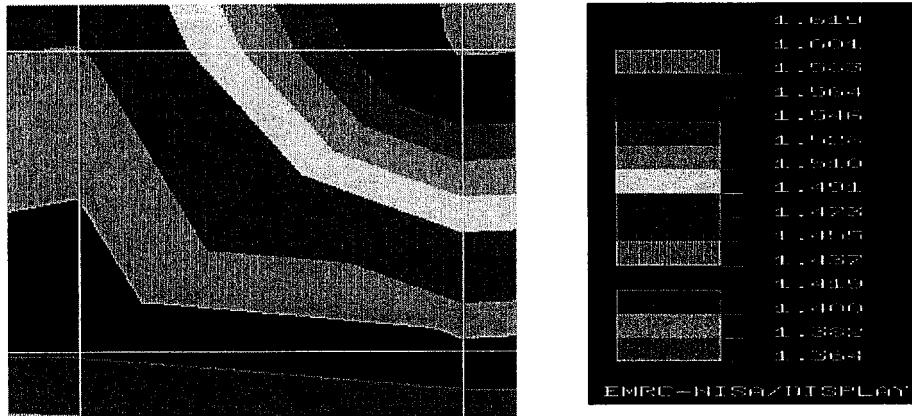


Figure 5.4 : Déformation maximale au niveau d'une boule de soudure suivant l'axe X.

La figure 5.4 montre les résultats de déformation entre deux boules de soudure de processeur WSI suivant l'axe X qui subit d'une déformation entre 1.455 (μm) et 1.601(μm) ainsi, déformation maximale est de l'ordre de :

$$\Delta x_{\max} = \Delta x_1 - \Delta x_2 = 1.601 - 1.455 = 0.146 \mu\text{m}$$

Ce qui représente même pas 2% de la largeur de la boule de 100 μm ce qui est un résultat acceptable.

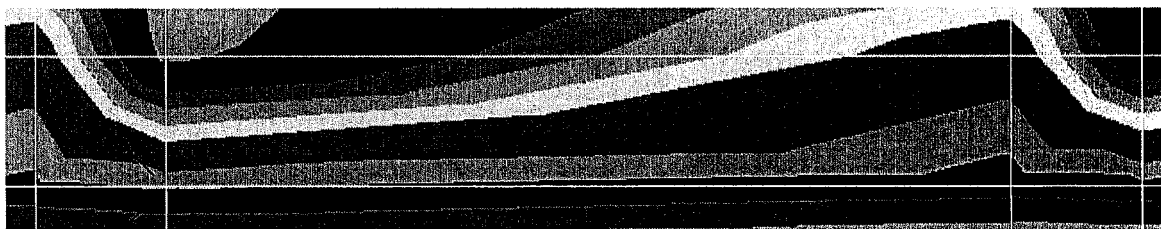


Figure 5.5 : Déformation maximale entre deux boules de soudure suivant l'axe X

La figure 5.6 montre les résultats de la déformation du processeur suivant l'axe Y pour les coupes visionnées (figure 5.2) d'une déformation de 10.21 (μm) et de -0.2606(μm) comme limites.

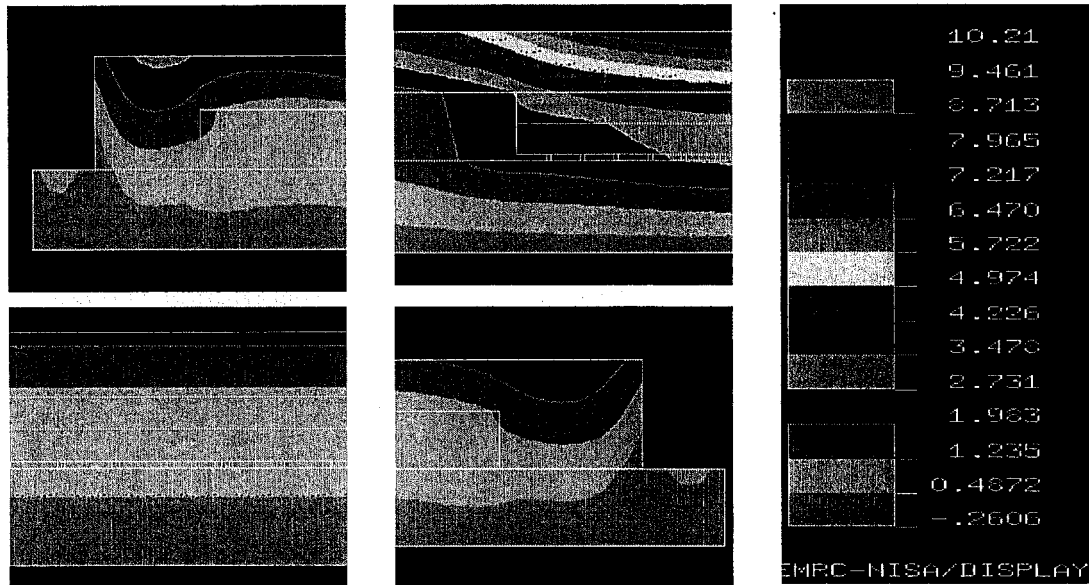


Figure 5.6 : Déformation suivant l'axe Y (μm)

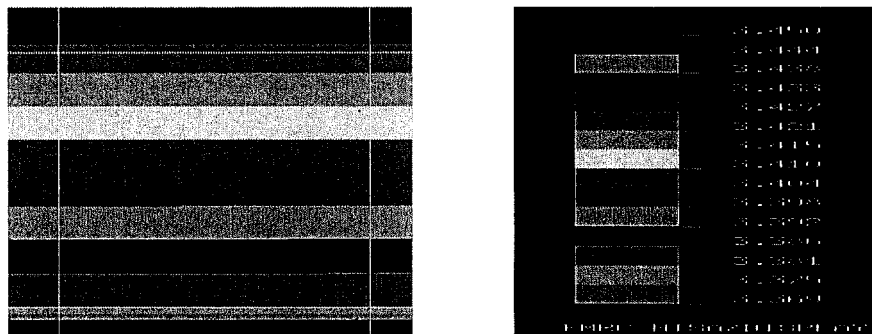


Figure 5.7 : Déformation maximale au niveau d'une boule de soudure suivant l'axe Y

La figure 5.7 montre les résultats de la déformation entre deux boules de soudure de processeur WSI suivant l'axe X qui subit une déformation entre 3.427 (μm) et 3.375(μm)ainsi, la déformation maximale et de l'ordre de :

$$\Delta Y_{\max} 3.427-3.375=0.052\mu\text{m}$$

qui représente même pas la 2% de la hauteur de la boule de 100 μm ce qui est un résultat acceptable.

V.7 Contrainte équivalent " Von Mises"

La figure 5.8 montre la distribution de la contrainte équivalent " Von Mises".

En remarque que la contrainte équivalent pour le matériau de poxy-glasse au niveau des boules des soudures est de 262 MPa, alors que le seuil permis est de l'ordre de 276MPa. Ce résultat nous montre qu'il risque d'avoir des problèmes de contraintes de cisaillement au niveau des boules. Cependant, cela confirme l'importance du choix du packaging à utiliser pour le processeur WSI.



Figure 5.8 : Contrainte équivalente "Von Mises" (MPa)

V.8 : Conclusion du chapitre V

L'objectif de ce chapitre était de modéliser par FEM le comportement thermomécanique au niveau des boules de soudure basée sur les propriétés physiques des différents matériaux.

Les résultats obtenus sont en général acceptables sauf pour le matériau de **Epoxy-glasse**. Donc une étude thermomécanique plus poussé est souhaitable au niveau des boules des soudures et les interconnexions pour s'assurer du bon fonctionnement du processeur.

Chapitre VI : Conclusion générale

L'objectif principal de conception d'un processeur fiable et performant nécessite le recours à une étude thermique et thermomécanique aux particularités géométriques et structurelles au niveau de la jonction et de packaging. Cependant, l'étude que nous venons de terminer se devise en trois volets de recherche.

L'objectif principal du premier volet est de résoudre l'un des problèmes majeurs que nous avons rencontré pour faire une étude thermique au niveau du boîtier du processeur, celui de déterminer les conditions aux limites. Ainsi, à cet effet une nouvelle approche a été établie [pages 40-58, annexe II] pour la détermination d'un coefficient de convection équivalent $h_{\text{équi}}$ au niveau de la jonction ; afin d'éviter la spécification de la température au-dessous du boîtier.

Pour cette étude, nous avons présenté une approche qui combine l'analyse par transfert de la chaleur et l'écoulement de fluide pour l'analyse des problèmes thermiques en régime permanent pour les circuits intégrés VLSI. Cependant, la température de la jonction est déterminée pour des boîtiers typiques, les conditions aux limites et la valeur de la puissance dissipée. Ainsi, ces valeurs vont être utilisées pour la simulation fluide

qui va être appliquée pour la détermination de coefficient de convection équivalent à appliquer comme condition au limite pour la jonction.

Cette approche est également développée pour simuler en régime permanent des circuits intégrés à grand-puissance en utilisant les simulateurs NISA et Qfin. Nous avons montré que la réponse thermique des boîtiers ainsi que la jonction en silicium dépend aussi des propriétés physiques des matériaux.

Les résultats pratiques présentés dans ce chapitre pour déterminer le coefficient de convection forcée équivalent peut être utiliser pour résoudre plusieurs problèmes thermiques et thermomécaniques dans les boîtiers électroniques. D'ailleurs, l'analyse thermique de jonction est cruciale pour la commande de température, le gradient thermique spatial, et l'évaluation de l'effort thermique induit. Par conséquent les prévisions thermomécaniques du comportement du dispositif est l'issue principale pour l'exploitation sûre à partir de la première étape de la conception du processeur WSI.

Le deuxième partie de l'étude portait sur l'étude de la dynamique thermique au niveau de la jonction pour établir une cartographie thermique représentant le circuit réel en opération. Nous avons exploré les possibilités pour minimiser les pics thermiques dans les régions critiques du processeur WSI. Cependant, le gradient thermique demeure une préoccupation majeure pour une exploitation fiable du processeur. Plusieurs considérations ont guidé notre étude pour un placement judicieux des différentes

logiques. Cependant, la contrainte thermique et les distorsions ont eu une importance majeure pour le choix de la technologie à utiliser pour le type de packaging

Ainsi, nous avons utilisé la méthode des éléments finis (FEM) pour décrire le comportement thermique des sources de la chaleur au niveau du layout et des bus de données placées dans la cavité du boîtier. Les mesures de température qui vont être effectuées sur le démonstrateur WSI au niveau des sources permettront la modélisation de tout le boîtier. Cela, va nous permettre d'établir une cartographie thermique la plus homogène. De cette façon nous allons s'assurer d'effectuer le dégagement de chaleur effectif au sein du processeur.

Ainsi, il s'agit donc de placer les parties sur la même ligne isotherme, de manière à respecter une symétrie axiale par rapport à la source de chaleur. Toutefois, il n'est pas toujours possible de placer les blocs appairés exactement en milieu isotherme, tout en satisfaisant en même temps aux autres contraintes. Cependant, les blocs appairés doivent être placés de telle façon que la dégradation de performance provoquée par leurs différences de température, reste dans les limites des spécifications.

Pour cette étude nous nous sommes intéressés à l'emplacement et à l'optimisation des sources de chaleur sur la structure du processeur et l'influence de chaque source pour le régime permanent et transitoire. En effet, les isothermes sont

parfaitement régulières donnant une répartition de température homogène pour différents scénarios d'allumage des bus donnés et la distribution spatiale de température résultante.

De plus cette partie de l'investigation thermique est cruciale puisque nous sommes intéressés à contrôler le gradient thermique dans la zone LOGIC. En effet, cela est dû au fait que les fuites dans les transistors MOS double à chaque variation de 10 °C. Pour obtenir ces objectifs nous avons passé par la détermination de type de packaging et le mode de refroidissement.

Alors que la troisième partie de l'étude portait sur l'étude de la contrainte thermique et des distorsions dans la package surtout au niveau des boules de soudure. Afin d'effectuer cette étude, nous avons utilisé les résultats de la partie thermique en tenant compte des différents paramètres. Le modèle développé permet de simuler la distribution spatiale de la contrainte thermique dans le processeur WSI.

Les techniques de caractérisation performantes mises en œuvre et les modèles thermomécaniques développés au cours de ce mémoire sont transférables à d'autres types de packaging et sont utilisables pour le pré-développement industriel des processeurs à hautes performances.

RÉFÉRENCES

- [1] Ahmed LAKHSASI " Étude de la contrainte thermique et distorsions transitoires dans le masque SiC-W en utilisant la méthode des éléments finis" thèse doctorat 1995
- [2] Cheristopher.J et al "A Simulation Study of IC Layout Effects on Thermal Management of Die Attached GaAs ICs", IEEE Trans, on components and packaging Technologies, Vol 23, No 2, June 2000.
- [3] Corinne P et al "Analytic Modeling, Optimization, and Realization of Cooling Devices in Silicon Technology", IEEE Trans, on components and packaging Technologies, Vol 23, No 4, June 2000.
- [4]Janicki M, et al "Appliction of inverse Heat conduction Problem Solution with Error Correction to Estimation of IC Temperature ", 3rd THERMINIC Workshop Cannes sep 1997.
- [5] Charles A.Happer " Electronic Packaging And interconnection Handbook "McGraw-Hill Handbooks
- [6] The VLSI Package - An Analytical Review. » Edward T.Lewis. IEEE Trans. Components and Manufacturing Technology. VOL CHMT-7, N°2, June 1984.
- [7] system plus S.A
- [8] Thermal Stress - Free Package for Flip Chip Devices. Masanobu KOHARA, Muneo HATTA, Hideki GENJYO, Hiroshi SHIBATA, Hidefumi NAKATA.
IEEE Trans. Components and Manufacturing Technology. VOL CHMT-7, N°4, Dec 1984.
- [9] Thermal Modeling and Experimental Characterization of the C4/Surface-Mount-Array Interconnect Technologies. » Masanobu KOHARA, Muneo HATTA, Hideki GENJYO, Hiroshi SHIBATA, Hidefumi NAKATA. IEEE Trans. Components and Manufacturing Technology. VOL CHMT-18, N°1, March 1995.
- [10] NISA II "user's manual " EMRC Michigan
- [11] Qfin2.1 ``user ' manual
- [12] Ahmed Lakhsasi " note de cours". GEI 6030. Conception assistée par ordinateur en électrothermie industrielle. Avril 1997. Chaire.UQTR. CRSNG.
- [13] F. Kreith, " Transmission de la chaleur et thermodynamique ", Masson 1967.

- [14] Filicori, F; Bianco, C Guarino Lo, "A Simplified Thermal Analysis Approach for Power Transistor Rating in PWM-Controlled DC/AC Converters", IEEE Transactions on Circuits and Systems - Part I - Fundamental Theory and Applications, 1998, v.45, n.5, p.557, 10p.
- [15] Szekely, V, "THERMODEL: A tool for compact dynamic thermal model generation", Microelectronics Journal, 1998, v.29, n.4, p.257, 12p.
- [16] Szekely, V, "A new evaluation method of thermal transient measurement results", Microelectronics Journal, 1997, v.28, n.3, p.277, 16p.
- [17] Mitter, Chang Su; Hefner, Allen R; Chen, Dan Y; Lee, Fred C, "Power Electronics Devices and Components Committee: Insulated Gate Bipolar Transistor (IGBT) Modeling Using IG-Spice", IEEE Transactions on Industry Applications, 1994, v.30, n.1, p.24, 10p.
- [18] Hefner, A R; Blackburn, D L, "Thermal Component Models for Packaging and Manufacturing Technology" IEEE Trans. on Power Electronics - Part A, 1994, v.17, n.3, p.413, 12p.
- [19] Clemente, S, "Transient Thermal Response of Power Semiconductors to Short Power Pulses", IEEE Transactions on Power Electronics, 1993, v.8, n.4, p.337, 5p.
- [20] J.W.Sofia, "Analysis of Thermal Transient Data with Synthesized Dynamic Models for Semiconductor Devices", Proceedings of the tenth SEMI-THERM conference, pp 78-85, San José, USA (1994).
- [21] F.Christiaens, B.Vandevelde, E.Beyne and J.Roggen " Evaluation of structural degradation in packaged semiconductor components using a transient thermal characterisation technique", Microelectron, Reliab., Vol.36, No. 11/12, pp. 1807 1810, 1996.
- [22] NISA II " user's manual " EMRC Michigan 1994.
- [23] J.P.Holman, " Heat transfert", seven edition, McGraw-Hill 1990.
- [24] J.P. Nougier " Méthodes de calcul numérique " Ed. Masson, 1987.
- [25] André Bazerqui et auteur " Résistance des matériaux" Édition de l'école polytechnique de Montréal 1993
- [26] Kenneth G.B udinski et auteur "Engineering materials properties and selection" Prentice Hall 1999
- [27] Pat L. Mangonon "Materials Selection for engineering design" Prentice Hall 1999

Mixed Fluid-Heat Transfer Approach for VLSI Steady State Thermal Analysis

M. Bougataya^(a,c), A. Lakhsasi^(a), Y. Savaria^(b) and D. Massicotte^(c)

(a) *Department of Computer Science, Université du Québec à Hull, Hull, (PQ) J8X-3X7.*

(b) *Department of Electrical and Computer Science École Polytechnique de Montréal, Montréal (PQ) H3T-1J7.*

(c) *Laboratory of signals and integrated systems, Université du Québec à Trois-Rivières, Québec, G9A 5H7, Canada.*

Abstract:

During the development of the integrated circuits the thermal design aspect is crucial for their safe operation. The problem of the junction overheating remains a major obstacle in front the most required performances of the electronic systems: increase of the speed operation and the components miniaturization. In both cases those results by junction overheating and associated induced higher thermal stress. The design of a reliable large and powerful processor requires the whole device coupled fluid-heat transfer thermal analysis from junction to ambient. In this case, device electrothermal behavior is principally influenced by geometry package, junction structure, and physical heat sources distribution. This paper presents a mixed fluid-heat transfer approach for thermal analysis of large VLSI (Very Large Scale Integration) devices. In this case, estimation of equivalent convection coefficient has become the major issue for device junction to ambient thermal analysis. Based on the FEM (Finite Element Method) the approach combines fluid flow and heat transfer mechanism to predict, in general, working temperature of IC (Integrated Circuit). In addition, the effect of power density, position, heat sink characteristics, during thermal response is investigated. The new approach developed can be used for accurate rating of semiconductor devices or heat sink systems during large ASIC (Application Specific Integrated Circuit) circuit design. Results comparison between proposed approach and traditional method shows that this approach is effective as a designing step.

Index Terms- Thermal analysis, Heat transfer, junction temperature, VLSI, Finite Element.

I- INTRODUCTION

As the processor speed believes and the integration peripheral increases, the chip power increases. Thermal management becomes an increasingly significant part of the system design and for their correct operation. The final thermal constraint is the silicon temperature, which generally indicated under the name of the junction temperature, remains a major obstacle in front of the most required integrated circuits performances. The miniaturization, the power packing and the commutation

frequency of the electronic components are the principal obstacles, which slow down their development. Thus, increase in the thermal peaks, and the thermal residue accumulation from one cycle to another results in the appearance of a thermal constraint in to dynamic mode, which limits their development and the realization of new powerful processor. We know that the dynamic behavior of the electronic components is completely different from the static mode.

In addition, another emerging devices currently named micro electro mechanical systems (MEMS), which are expected to expand quickly, require specific packaging techniques, which have to take into account the heat dissipation constraints [2].

In this paper, the estimation of junction temperature of WSI (Wafer Scale Integration) device has become the major issue with the increase of the power density and high switching frequency. This investigation uses a thermal heat sources emplacement approach to estimate and predict working temperature of WSI chip junction.

Based on different scenarios, the heat sources placement considering the junction temperature is introduced. Then the finite element analysis is used to accurate peak junction temperature prediction needed during dynamic operating of WSI. In addition, the effect of heat source placement during steady state thermal response is investigated. The approach developed can be used for WSI accurate rating and appropriate selection of heat sink systems for safe cooling.

Therefore, accurate thermal junction analysis is of crucial importance in the design of WSI device due to the increasing of local power density and higher power requirement.

Hence, a major feature of the thermal problem is the need to simulate a very large region of the device and substrate; in fact the package geometry often needs to be taken into account. The simultaneous solution of the three-dimensional (3-D) electro thermal problem is therefore difficult due to the need for very fine meshing of the device equations at the junctions and a need for a large simulation region to produce an accurate thermal simulation [1].

II- HEAT TRANSFER ANALYSIS

In analyzing the heat transfer problem in the IC, it is important to consider the effect of the proximity heat

sources. We consider a three-dimensional body (junction), of volume V and bounded by the surface area S . We assume that the material obeys Fourier's law of heat conduction;

$$q = -K \cdot \frac{\partial T}{\partial x} \quad (1)$$

or in component form:

$$\begin{Bmatrix} q_x \\ q_y \\ q_z \end{Bmatrix} = - \begin{bmatrix} k_{xx} & k_{xy} & k_{xz} \\ k_{yx} & k_{yy} & k_{yz} \\ k_{zx} & k_{zy} & k_{zz} \end{bmatrix} \begin{Bmatrix} \frac{\partial T}{\partial x} \\ \frac{\partial T}{\partial y} \\ \frac{\partial T}{\partial z} \end{Bmatrix} \quad (2)$$

where q_i is the rate of heat flow conducted per unit area in the direction i , K is the thermal conductivity tensor for the material (Eqn. 2 assumes anisotropic material behavior), and $\partial T / \partial x$ is the temperature gradient vector in Cartesian coordinates.

In the material principal directions, Eqn. (2) reduces to the diagonal form

$$\begin{Bmatrix} q_1 \\ q_2 \\ q_3 \end{Bmatrix} = - \begin{bmatrix} k_{11} & 0 & 0 \\ 0 & k_{22} & 0 \\ 0 & 0 & k_{33} \end{bmatrix} \begin{Bmatrix} \frac{\partial T}{\partial x_1} \\ \frac{\partial T}{\partial x_2} \\ \frac{\partial T}{\partial x_3} \end{Bmatrix} \quad (3)$$

or simply,

$$q_n = -k_n \cdot \frac{\partial T}{\partial n} \quad (4)$$

The thermal conductivity matrix in Eqn. (2) may be obtained from that in Eqn. (3) by simple second order tensor transformation as

$$K_{xyz} = T^T K_{1,2,3} T$$

where T is the second order transformation tensor between the two sets of axes x,y,z and $1,2,3$. It is noted that the principle of irreversible thermodynamics shows that the tensor K has to be symmetric. If the material is homogenous and isotropic (case of the IC materials), then:

$$\begin{aligned} k_{xy} &= k_{yz} = k_{zx}, \text{ and} \\ k_{xx} &= k_{yy} = k_{zz} = k \end{aligned}$$

Assuming that the thermal conductivity k does not vary over the length $L=x_2-x_1$, Equation reduces to:

$$\Delta T = T_2 - T_1 = Q_k \frac{L}{kA}$$

Where $\Delta T = T_2 - T_1$ is the temperature difference along the length L and A is the cross-section area of medium normal to the heat flow path in m^2 .

The thermal resistance, can be defined as:

$$R = \frac{L}{kA}, \quad R = \frac{\Delta T}{Q_k}$$

As show in Fig 2, a heat source producing Q_k watts is mounted on a block attached to a heat sink that is at a constant, uniform temperature $T_{\text{Heat sink}}$. the temperature of the heat source in this configuration can be calculated from the following:

$$T_{\text{Heat source}} = T_{\text{Heat sink}} + R + Q_k$$

The temperature difference, ΔT , is difference between the heat source and heat sink temperatures [4]

$$\Delta T = T_{\text{Heat source}} - T_{\text{Heat sink}} \quad (4)$$

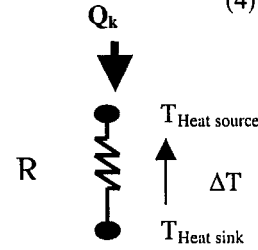


Figure 2: 1-D Static thermal model

III. JUNCTION PACKAGE THERMAL NETWORK

Before boarding heat dissipation level inside integrated circuit, it is necessary to define all the factors and the thermal parameters needed for this study, (figure 3).

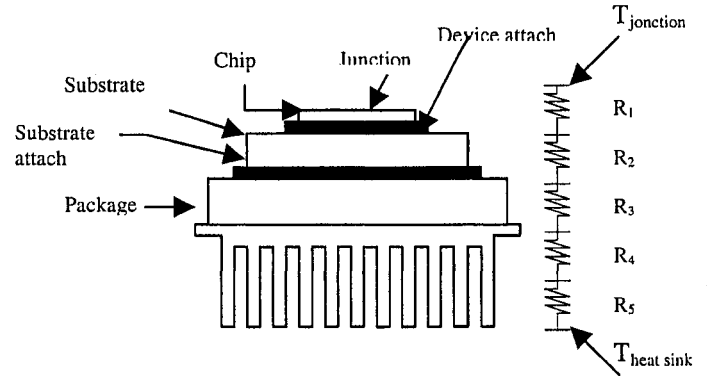


Figure 3: Electrical analogies from junction to heat sink.

The equivalent thermal resistance R_{Equiv} is:

$$R_{\text{Equiv}} = R_1 + R_2 + R_3 + R_4 + R_5$$

where:

R_1 : thermal resistance of die

R_2 : thermal resistance of die attach

R_3 : thermal resistance of substrate

R_4 : thermal resistance of substrate attach

R_5 : thermal resistance of package

T_j : junction temperature

$T_{\text{Heat sink}}$: heat sink temperature

In addition, bad control of the temperature within processor can damages it or it can cause a degradation of its performance, especially reducing thermal cycle. So that the maximum power indicated by the

manufacturer must be respected at any moment during the operation of the device. It is known that a rise in too significant temperature of semiconductor material can destroy the crystal lattice. The calories developed inside the crystal must be evacuated outside by means of the case and of the heat sink, the maximum temperature of T_{jmax} junction is a parameter, which always appears in the notes; the device in steady state should never reach it. It is only in the case of an overload that one admits a going beyond of T_{jmax} . Usually, the maximum temperature of T_{jmax} junction is limited between 100 and 150 °C, due to the instantaneous thermal constraint induced in the junction region.

IV. THERMAL BOUNDARY CONDITIONS

One of the most problematic issues in creating compact thermal models is to use an appropriate set of boundary condition for generating "data" with a detailed finite element model, representing the thermal envelope of the application of interest. The thermal analysis depends on the following:

- the cooling option applied ,
- the location/vicinity and powers of its heat dissipating neighbors ,
- the thermal conductivity of the printed circuit board and used material: PCB, heat sink, package, substrate and heat spreader.

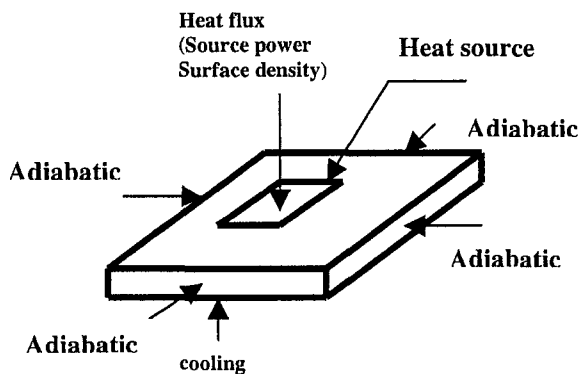


Figure 4: Junction thermal boundary condition (BC)

In this study we use NISA (Numerical Integrated Elements for System Analysis) finite element program to predict junction thermal behavior of WSI device.

A wide variety of boundary conditions can be applied using NISA. However, the boundary condition on the vertical sides of the simulation region is somewhat problematic. Placing a fixed boundary condition on these surfaces produces a dramatically incorrect result, unless a very large simulation region is used at the expense of very long simulation run times. A more

natural boundary condition is a zero flow condition across these surfaces (adiabatic boundary conditions). The remaining boundary condition to be defined is on the bottom surface of the simulation representing the chip/package interface. The simplest approach is to fix the bottom surface at a constant temperature representing the package temperature.

In order to solve thermal equations, the boundary conditions must be defined. Because, in ICs, the silicon die is relatively thin, heat flows mainly towards the bottom, so the boundary conditions in both horizontal directions can be considered as adiabatic ones. The uniform heat removal at the bottom is modeled by heat flux exchange coefficient h [$W/m^2 \cdot K$]. The power dissipated in heat sources, placed at the die top surface, is modeled by heat flux coming into the die. The problem description is presented in figure 4.

For determination of the equivalent forced convection coefficient on the junction level there are two steps to follow:

The first step use Qfin software (thermal fluid analysis) to determine the temperature of the junction with a known forced convection coefficient and heat sink configuration. The second step use NISA to obtain the same temperature obtained with new equivalent forced convection coefficient

V. THERMAL FLUID ANALYSIS

In this part Qfin is used to compute thermal equivalent forced convection coefficient, which is then used to solve the assembly configuration. The calculation of the heat transfer coefficient is in turn dependant on the type of convection that the assembly is subjected to, as well as the ambient conditions.

Hence, equivalent forced convection coefficient is used as an input to complete thermal B.C.

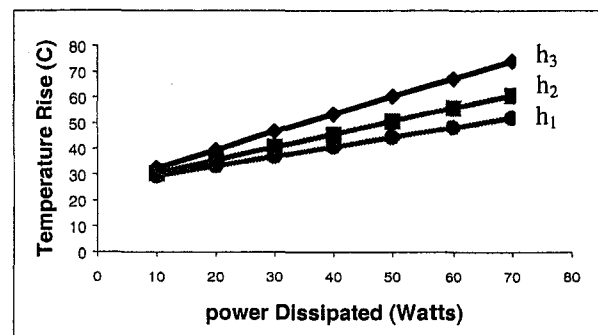


Figure5: AAVID_61540 heat sink with different forced convection coefficient $h_1=5w/m^2 \cdot c$, $h_2=10w/m^2 \cdot c$ and $h_3=20w/m^2 \cdot c$ applied in 16mm×20mm source.

Moreover, this approach is used for thermal design of WSI to respect internal signal traffic parameters.

Therefore, the upper limits on operating conditions (i.e.,

power density distribution) can be directly expressed in terms of a given upper limit on die junction temperature. Hence, this thermal investigation is based on power loss density distribution (thermal cartography) combined with steady state finite element analysis to predict spatial thermal behavior at different location in the WSI structure.

VI. NUMERICAL HEAT TRANSFER ANALYSIS

NISA is a sophisticated, commercially available 3-D FEM simulator that has the ability to simulate time-dependent and steady state 3-D nonlinear thermal systems. NISA is an integrated environment, in which a 2-D or 3-D model can be constructed and meshed, boundary conditions set and the resulting nonlinear set of equations solved. The tool includes a sophisticated DISPLAY4 to aid in building the model and displaying the results.

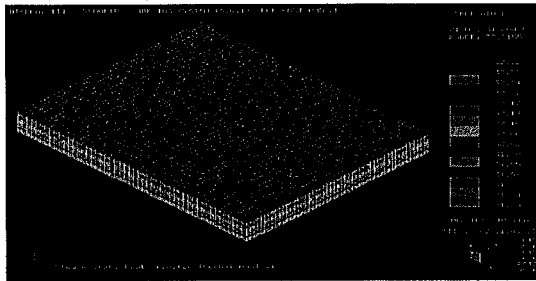


Figure 6: Finite element mesh and temperature map for 16mmx20mm source

To illustrate the complexity of heat flow in device junction region Fig6: shows device 3-D spatial temperature distribution. The heat is shown as being generated in a well-defined region at the device junction. A portion of heat flows into the substrate spreading in 3-D dimensions as it flow toward the bottom of the substrate, which is a device heat sink.

Forced convection Coefficient h W/m ² * °C	5	10	20
Temperature with Qfin	39.44	35.57	33.11
Temperature with NISA	39.45	35.56	33.10
Equivalent forced convection coefficient h_{eq}^{Fconv} W/m ² * °C	4650	6550	8725

Table 1

Comparison between deferent parameter with fluid and heat transfer analysis

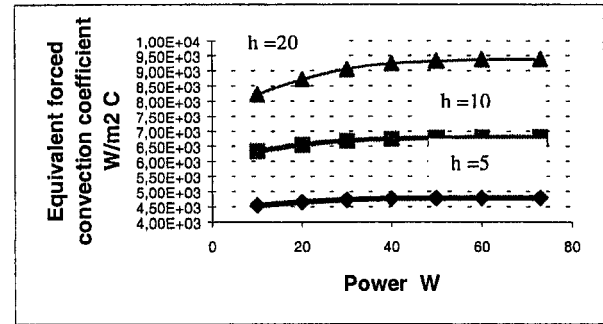


Figure 7: Evolution of equivalent forced coefficient h_{eq}^{Fconv} with power dissipated at different h.

Hence, figure show the evolution of equivalent forced coefficient h_{eq}^{Fconv} with power dissipated at different h representing thermal exchanges with ambient environment. Therefore thermal analysis is done for same source (area) at different power level. Hence, another significant case occurs when the surface change, that is the goal of the second investigation.

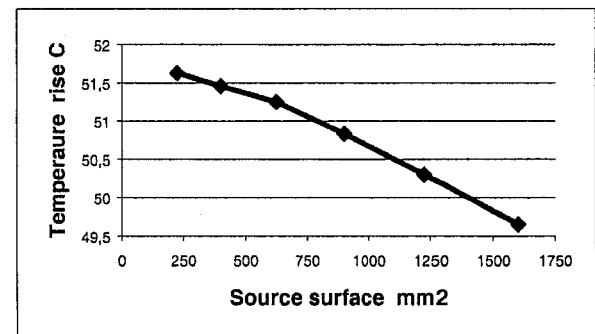


Figure 8: evaluation of Temperature rise with source surface for h =20W/m²* °C

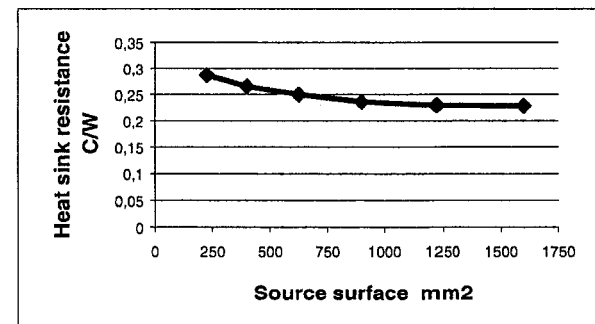


Figure 9: evaluation of heat sink resistance with source surface for h =20W/m²* °C

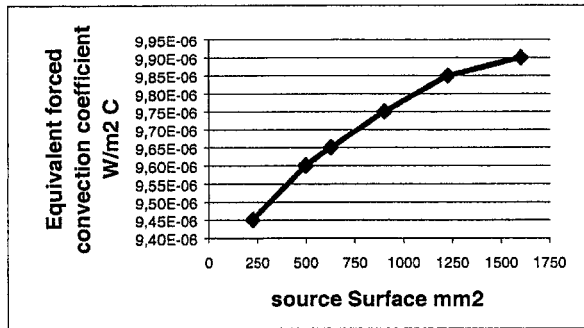


Figure 10: evaluation of equivalent forced convection coefficient h_{eq}^{Fconv} representing thermal exchanges with ambient environment for $h=20\text{W/m}^2\cdot^\circ\text{C}$.

VII. RESULT AND DISCUSSION

The results give a general idea of evaluation of equivalent forced convection coefficient h_{eq}^{Fconv} representing thermal exchanges with ambient environment according simultaneously to the power dissipated and processor surfaces, and this also depends on type of package and heat sink.

A major feature of WSI thermal problem is the need to simulate a very large region of the device and substrate; in fact the package geometry often needs to be taken into account.

Hence, the cost of the thermal management of WSI device depends heavily upon the efficiency of the chip design. Hence, heat sources spatial distribution has the significant effect on the WSI device operation.

These investigations are very useful for the package design engineer and can help him to prevent unexpected pitfalls. These investigations allow an accurate prediction of the temperature distribution in a package and help to keep localized thermal peak occurring in different packaging designs to a minimum.

VIII. CONCLUSION

In this paper, we present mixed fluid-heat transfer approach for VLSI steady state thermal analysis used to analyze IC problem. In this analysis, the temperature of chip is determined for typical packages and power level using fluid boundary conditions to evaluate equivalent convection coefficient to be applied as a junction BC's. This is an important capability because the cost of the thermal management of electronic systems depends heavily upon the efficiency of the circuit design and because the self-heating of the semiconductor devices can affect the operation of the electronic circuit. This approach has also been developed to simulate the steady-state large-power thermal IC response using both NISA and Qfin simulators. It is shown that the thermal

response of the silicon chip depend on it's physical proprietary. The thermal response of the device package with AAVID_61540 heat sink determines the device temperature rise during steady state.

Modern computational techniques such as finite element simulations are useful tools for the package design engineer and help to prevent unexpected pitfalls. These simulations allow an accurate prediction of the temperature distribution in a package and help to keep thermomechanical stresses occurring in different packaging designs to a minimum. Consequently the design engineer is able to optimize the geometry and the choice of materials of a package even before prototypes are built. This greatly reduces development time and increases the quality of the product.

Thermal management becomes an increasingly significant part of the design of system and for their correct operation. This paper presented practical result to determine equivalent forced convection coefficient h_{eq}^{Fconv} with that we can study and investigate several thermal and thermomechanical problems in the package. Moreover, junction thermal analysis is crucial for temperature control, spatial thermal gradient, and thermal stress induced. Hence device thermo-mechanical behavior prediction is the major issue for safe operation starting from the first step of design of the IC.

ACKNOWLEDGMENTS

The authors would like to thanks WSI research team at Hyperchip inc., École Polytechnique de Montréal and École de Technologie Supérieure ÉTS for very interesting discussions. The authors would like to acknowledge the financial support of Hyperchip Inc. Montréal Canada.

REFERENCES

- [1] Christopher.J et al "A Simulation Study of IC Layout Effects on Thermal Management of Die Attached GaAs ICs", IEEE Trans, on components and packaging Technologies, Vol 23, No 2, June 2000.
- [2] Corinne P et al "Analytic Modeling, Optimization, and Realization of Cooling Devices in Silicon Technology", IEEE Trans, on components and packaging Technologies, Vol 23, No 4, June 2000.
- [3] Janicki M, et al "Application of inverse Heat conduction Problem Solution with Error Correction to Estimation of IC Temperature ", 3rd THERMINIC Workshop Cannes sep 1997.
- [4] Charles A.Happer " Electronic Packaging And interconnection Handbook "McGraw-Hill Handbooks
- [5] NISA II "user's manual " EMRC Michigan
- [6] Qfin2.1 "user ' manual

ANNEXE II : PROGRAMME FICHIER NISA PARTIE THERMIQUE

```
**** NISA file: DISPLAY VERSION - 9.0.1 ****
** This NISA file is written out by DISPLAY-III FEA program
** All ** lines are comment cards except lines with **_DISP3_:
** labels which have special meanings and retained in NISA file
** for compatibility with DISP3 database. Pls do not modify them
****
**EXECUTIVE data deck
ANALYSIS = SHEAT
BLANK COMMON = 133217
SOLV = FRON
FILE = tmbga
SAVE = 26,39
UFIJ = 0,0,1,1.0
**TITLE
thrho-mechanical modelling
**ELTYPE
1, 102, 1
**NODES
1,,,, 0.00000E+00, 0.00000E+00, 0.00000E+00, 0
2,,,, 6.50000E+02, 0.00000E+00, 0.00000E+00, 0
3,,,, 0.00000E+00, 1.00000E+02, 0.00000E+00, 0
4,,,, 6.50000E+02, 1.00000E+02, 0.00000E+00, 0
6,,,, 7.50000E+02, 0.00000E+00, 0.00000E+00, 0
8,,,, 7.50000E+02, 1.00000E+02, 0.00000E+00, 0
11,,,, 0.00000E+00, 2.00000E+02, 0.00000E+00, 0
12,,,, 6.50000E+02, 2.00000E+02, 0.00000E+00, 0
```


16,,,, 7.50000E+02, 2.00000E+02, 0.00000E+00, 0
 19,,,, 0.00000E+00, 3.00000E+02, 0.00000E+00, 0
 20,,,, 6.50000E+02, 3.00000E+02, 0.00000E+00, 0
 24,,,, 7.50000E+02, 3.00000E+02, 0.00000E+00, 0
 27,,,, 0.00000E+00, 4.00000E+02, 0.00000E+00, 0
 28,,,, 6.50000E+02, 4.00000E+02, 0.00000E+00, 0

*ELEMENTS

1, 1, 1, 1, 0
 1, 2, 4, 3,
 2, 1, 1, 2, 0
 2, 6, 8, 4,
 3, 1, 1, 1, 0
 3, 4, 12, 11,
 4, 1, 1, 2, 0
 4, 8, 16, 12,
 5, 1, 1, 1, 0
 11, 12, 20, 19,
 6, 1, 1, 2, 0
 12, 16, 24, 20,
 7, 1, 1, 1, 0

*MATHEAT

DENS, 1,0, 0,3.3,,,,,0
 KXX , 1,0, 0,0.033,,,,,0
 KYY , 1,0, 0,0.033,,,,,0
 KZZ , 1,0, 0,0.033,,,,,0
 C , 1,0, 0,1.1,,,,,0
 DENS, 2,0, 0,8.46,,,,,0
 KXX , 2,0, 0,0.05,,,,,0
 KYY , 2,0, 0,0.05,,,,,0

```
KZZ , 2,0, 0,0.05,,,,,0
C , 2,0, 0,0.957,,,,,0
DENS, 3,0, 0,2.33,,,,,0
KXX , 3,0, 0,0.15,,,,,0
KYY , 3,0, 0,0.15,,,,,0
KZZ , 3,0, 0,0.15,,,,,0
C , 3,0, 0,0.712,,,,,0
DENS, 4,0, 0,1.66,,,,,0
KXX , 4,0, 0,0.065,,,,,0
KYY , 4,0, 0,0.065,,,,,0
KZZ , 4,0, 0,0.065,,,,,0
C , 4,0, 0,1.672,,,,,0
DENS, 5,0, 0,2.7,,,,,0
KXX , 5,0, 0,0.16,,,,,0
KYY , 5,0, 0,0.16,,,,,0
KZZ , 5,0, 0,0.16,,,,,0
C , 5,0, 0,0.96,,,,,0
DENS, 6,0, 0,1.66,,,,,0
KXX , 6,0, 0,0.0003,,,,,0
KYY , 6,0, 0,0.0003,,,,,0
KZZ , 6,0, 0,0.0003,,,,,0
C , 6,0, 0,1.672,,,,,0
*HEATCNTL, ID= 1
10,1,1,1.0E-3
*ELHEATGEN
** ELHEATGEN, SET = 1
75, 1.20600E-06
76, 1.20600E-06
77, 1.20600E-06
78, 1.20600E-06
```

79, 1.20600E-06
80, 1.20600E-06
81, 1.20600E-06
82, 1.20600E-06
83, 1.20600E-06
84, 1.20600E-06
147, 1.20600E-06
148, 1.20600E-06
149, 1.20600E-06
150, 1.20600E-06
151, 1.20600E-06
152, 1.20600E-06
153, 1.20600E-06
154, 1.20600E-06
155, 1.20600E-06
156, 1.20600E-06
219, 1.20600E-06
220, 1.20600E-06
221, 1.20600E-06
222, 1.20600E-06
223, 1.20600E-06
224, 1.20600E-06
225, 1.20600E-06
226, 1.20600E-06
227, 1.20600E-06
228, 1.20600E-06
291, 1.20600E-06

*CONVBC

** CONVBC, SET = 1

37,,3,-1,

0.700E-05,0.250E+02

42,,,3,-1,

0.700E-05,0.250E+02

109,,,3,-1,

0.700E-05,0.250E+02

0.700E-05,0.250E+02

18330,,,3,-1,

0.700E-05,0.250E+02

18397,,,3,-1,

0.700E-05,0.250E+02

18402,,,3,-1,

0.700E-05,0.250E+02

18469,,,3,-1,

0.700E-05,0.250E+02

18474,,,3,-1,

0.700E-05,0.250E+02

18541,,,3,-1,

0.700E-05,0.250E+02

18546,,,3,-1,

0.700E-05,0.250E+02

18613,,,3,-1,

0.700E-05,0.250E+02

0.700E-05,0.250E+02

*ENDDATA

ANNEXE III : PROGRAMME FICHER NISA PARTIE STATIQUE

```

**** NISA file: DISPLAY VERSION - 9.0.1 ****
** This NISA file is written out by DISPLAY-III FEA program
** All ** lines are comment cards except lines with **_DISP3_ :
** labels which have special meanings and retained in NISA file
** for compatibility with DISP3 database. Pls do not modify them
****
**EXECUTIVE data deck
ANALYSIS = STATIC
BLANK COMMON = 133217
SOLV = FRON
FILE = tmbgal
SAVE = 26,27
*TITLE
thrho-mechanical modelling
*ELTYPE
  1, 2, 1
*NODES
  1,,,, 0.00000E+00, 0.00000E+00, 0.00000E+00, 0
  2,,,, 6.50000E+02, 0.00000E+00, 0.00000E+00, 0
  3,,,, 0.00000E+00, 1.00000E+02, 0.00000E+00, 0
  4,,,, 6.50000E+02, 1.00000E+02, 0.00000E+00, 0
  6,,,, 7.50000E+02, 0.00000E+00, 0.00000E+00, 0
  8,,,, 7.50000E+02, 1.00000E+02, 0.00000E+00, 0
 11,,,, 0.00000E+00, 2.00000E+02, 0.00000E+00, 0
 12,,,, 6.50000E+02, 2.00000E+02, 0.00000E+00, 0
 16,,,, 7.50000E+02, 2.00000E+02, 0.00000E+00, 0
 19,,,, 0.00000E+00, 3.00000E+02, 0.00000E+00, 0
 20,,,, 6.50000E+02, 3.00000E+02, 0.00000E+00, 0
 24,,,, 7.50000E+02, 3.00000E+02, 0.00000E+00, 0
 27,,,, 0.00000E+00, 4.00000E+02, 0.00000E+00, 0
 28,,,, 6.50000E+02, 4.00000E+02, 0.00000E+00, 0
 32,,,, 7.50000E+02, 4.00000E+02, 0.00000E+00, 0
 35,,,, 0.00000E+00, 5.00000E+02, 0.00000E+00, 0
*ELEMENTS
  1, 1, 1, 1, 0
  1, 2, 4, 3,
  2, 1, 1, 2, 0
  2, 6, 8, 4,
  3, 1, 1, 1, 0
  3, 4, 12, 11,

```

4, 1, 1, 2, 0
 4, 8, 16, 12,
 5, 1, 1, 1, 0
 11, 12, 20, 19,
 6, 1, 1, 2, 0
 12, 16, 24, 20,
 7, 1, 1, 1, 0

19, 20, 28, 27,
 8, 1, 1, 2, 0
 20, 24, 32, 28,
 9, 1, 1, 1, 0
 27, 28, 36, 35,
 10, 1, 1, 2, 0
 28, 32, 40, 36,
 11, 1, 1, 1, 0
 35, 36, 44, 43,
 12, 1, 1, 2, 0

*MATERIAL

EX , 1,0, 1.00000E+20,
 EY , 1,0, 1.00000E+20,
 EZ , 1,0, 1.00000E+20,
 NUXY, 1,0, 2.50000E-01,
 NUXZ, 1,0, 2.50000E-01,
 NUYZ, 1,0, 2.50000E-01,
 DENS, 1,0, 3.30000E+00,
 ALPX, 1,0, 8.00000E-07,
 ALPY, 1,0, 8.00000E-07,
 ALPZ, 1,0, 8.00000E-07,
 EX , 2,0, 1.70000E+19,
 EY , 2,0, 1.70000E+19,
 EZ , 2,0, 1.70000E+19,
 NUXY, 2,0, 4.00000E-01,
 NUXZ, 2,0, 4.00000E-01,
 NUYZ, 2,0, 4.00000E-01,
 DENS, 2,0, 8.46000E+00,
 ALPX, 2,0, 2.10000E-05,
 ALPY, 2,0, 2.10000E-05,
 ALPZ, 2,0, 2.10000E-05,
 EX , 3,0, 1.31000E+20,
 EY , 3,0, 1.31000E+20,
 EZ , 3,0, 1.31000E+20,
 NUXY, 3,0, 3.00000E-01,
 NUXZ, 3,0, 3.00000E-01,
 NUYZ, 3,0, 3.00000E-01,

```

DENS, 3,0, 2.33000E+00,
ALPX, 3,0, 2.80000E-06,
ALPY, 3,0, 2.80000E-06,
ALPZ, 3,0, 2.80000E-06,
EX , 4,0, 1.60000E+19,
EY , 4,0, 1.60000E+19,
EZ , 4,0, 1.60000E+19,
NUXY, 4,0, 2.50000E-01,
NUXZ, 4,0, 2.50000E-01,
NUYZ, 4,0, 2.50000E-01,
DENS, 4,0, 1.66000E+00,
ALPX, 4,0, 1.50000E-05,
ALPY, 4,0, 1.50000E-05,
ALPZ, 4,0, 1.50000E-05,
EX , 5,0, 7.00000E+19,
EY , 5,0, 7.00000E+19,
EZ , 5,0, 7.00000E+19,
NUXY, 5,0, 3.30000E-01,
NUXZ, 5,0, 3.30000E-01,
NUYZ, 5,0, 3.30000E-01,
DENS, 5,0, 2.70000E+00,
ALPX, 5,0, 2.24000E-05,
ALPY, 5,0, 2.24000E-05,
ALPZ, 5,0, 2.24000E-05,
EX , 6,0, 2.60000E+19,
EY , 6,0, 2.60000E+19,
EZ , 6,0, 1.10000E+19,
NUXY, 6,0, 1.10000E-01,
NUXZ, 6,0, 3.90000E-01,
NUYZ, 6,0, 3.90000E-01,
DENS, 6,0, 1.66000E+00,
ALPX, 6,0, 1.50000E-05,
ALPY, 6,0, 1.50000E-05,
ALPZ, 6,0, 5.20000E-05,
*LDCASE, ID= 1
0,1,1,0,-1,2,0
*SPDISP
** SPDISP, SET = 1
229,UX , 0.00000E+00,,,,,, 0
229,UY , 0.00000E+00,,,,,, 0
229,ROTX, 0.00000E+00,,,,,, 0
229,ROTY, 0.00000E+00,,,,,, 0
230,UX , 0.00000E+00,,,,,, 0
230,UY , 0.00000E+00,,,,,, 0
230,ROTX, 0.00000E+00,,,,,, 0

```

```
230,ROTY, 0.00000E+00,,,,, 0
286,UX , 0.00000E+00,,,,, 0
286,UY , 0.00000E+00,,,,, 0
286,ROTX, 0.00000E+00,,,,, 0
286,ROTY, 0.00000E+00,,,,, 0
522,UX , 0.00000E+00,,,,, 0
522,UY , 0.00000E+00,,,,, 0
522,ROTX, 0.00000E+00,,,,, 0
522,ROTY, 0.00000E+00,,,,, 0
578,UX , 0.00000E+00,,,,, 0
578,UY , 0.00000E+00,,,,, 0
578,ROTX, 0.00000E+00,,,,, 0
578,ROTY, 0.00000E+00,,,,, 0
810,UX , 0.00000E+00,,,,, 0
810,UY , 0.00000E+00,,,,, 0
810,ROTX, 0.00000E+00,,,,, 0
810,ROTY, 0.00000E+00,,,,, 0
866,UX , 0.00000E+00,,,,, 0
866,UY , 0.00000E+00,,,,, 0
866,ROTX, 0.00000E+00,,,,, 0
866,ROTY, 0.00000E+00,,,,, 0

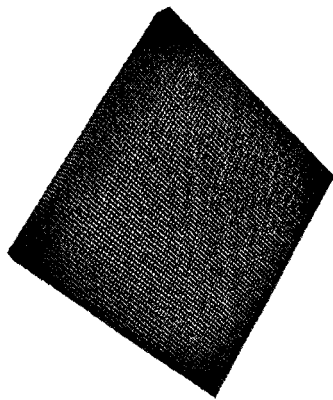
5706,ROTX, 0.00000E+00,,,,, 0
5706,ROTY, 0.00000E+00,,,,, 0
5762,UX , 0.00000E+00,,,,, 0
5762,UY , 0.00000E+00,,,,, 0
5762,ROTX, 0.00000E+00,,,,, 0
58291,ROTY, 0.00000E+00,,,,, 0

63078,ROTX, 0.00000E+00,,,,, 0
63078,ROTY, 0.00000E+00,,,,, 0
*READ,tmbga39.dat
*ENDDATA
```

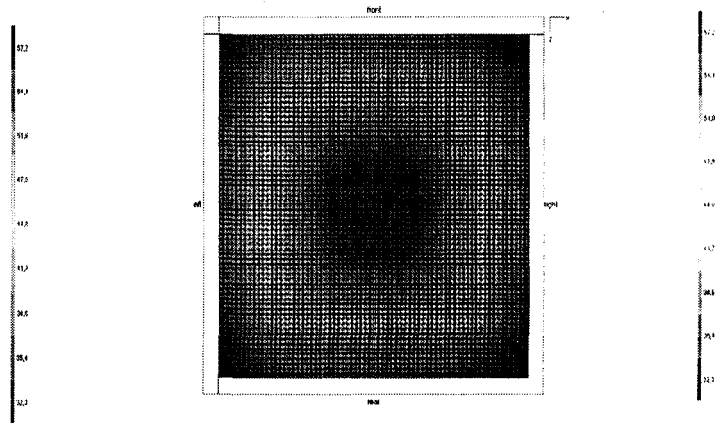

ANNEXE IV : RÉSULTAT DE LA DÉTERMINATION DU RADIATEUR

Électronique de Packaging
Simulation en 3-D (I) la puissance dissipée uniformément pour
tout la structure

Radiateur Pin fin avec aluminium



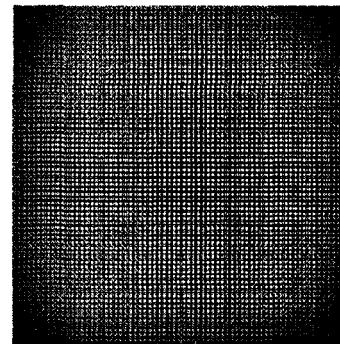
Vue Isométrique



vue en bas



Vue de gauche



vue a droite

Rapport de la simulation de radiateur avec $R_{jc}=0.01$ Co/W

Assembly

General

Filename : Hperchip Packaging I
Description : New assembly

Heat sink

Profile : heat sink
Branches : 71
Blocks : 209
Elements : 29051
Materials : aluminium
Surface color : 0,46
Length : 200,000 mm
Orientation : Base horizontal with fins upwards
Extrusion type : Pin fins - evenly spaced
Number of pins : 70
Width of pin gaps : 0,862 mm
Width of pins : 2,007 mm
Average fin height : 20,000 mm
Average fin thickness : 2,007 mm
Average gap size : 0,862 mm

Ambient Conditions

Air temperature : 25,00 C
Surrounding wall temp : 25,00 C
Ambient pressure : 101,325 KPa

Convection Details

Convection type : Known heat transfer coefficient
Radiation included : Yes
Heat transfer coeff. : 100,00000 W/m² K

Solution

Heat source 1

Description : principal
Dimensions : 150,000 x 150,000 mm
Location : Centered at 100,302,100,302 mm
Orientation : Horizontal
Average load : 1400,00 Watt
Base temperature : 57,17 C (32,17 C above ambient)
Junction temperature : 71,17 C

Heat sink

Thermal resistance : 0,019 C/W
Maximum thermal resistance : 0,023 C/W
Temperature avg. thermal resis. : 0,013 C/W

Efficiency (f) : 0,75697
Average temperature of heat sink : 43,28 C (18,28 C above ambient)
Heat sink surface area : 0,87074720 m²
Effective heat sink surface area : 0,84824720 m²
Approximate heat sink mass : 1,60506 kg

Rapport de la simulation de radiateur avec $R_{jc}=0.1 \text{ Co/W}$

Assembly

General

Filename : Hperchip Packaging I
Description : New assembly

Convection Details

Convection type : Known heat transfer coefficient
Radiation included : Yes
Heat transfer coeff. : 100,00000 W/m² K

Solution

Heat source 1

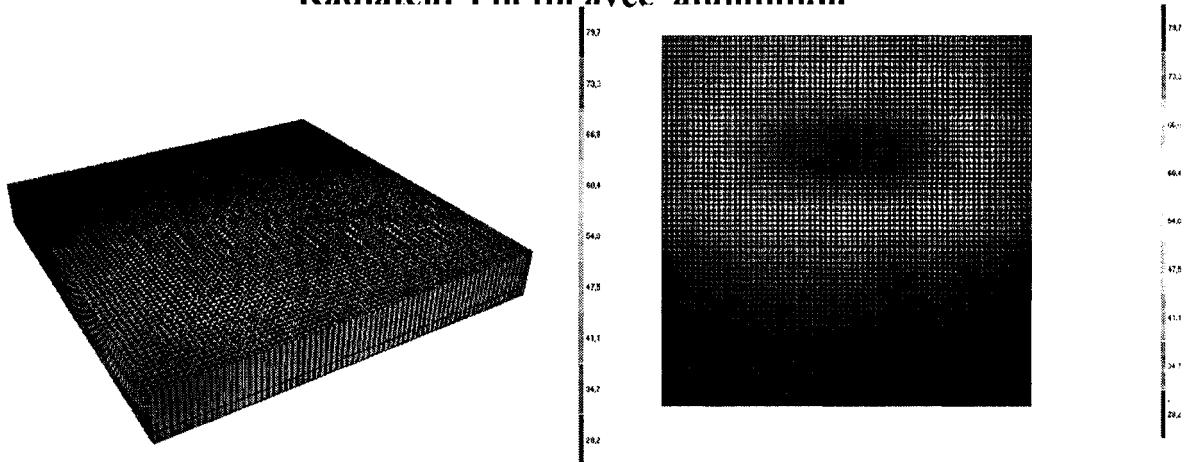
Description : source150x150
Dimensions : 150,000 x 150,000 mm
Location : Centered at 98,158,99,444 mm
Orientation : Horizontal
Average load : 1400,00 Watt
Base temperature : 57,18 C (32,18 C above ambient)
Junction temperature : 197,18 C

Heat sink

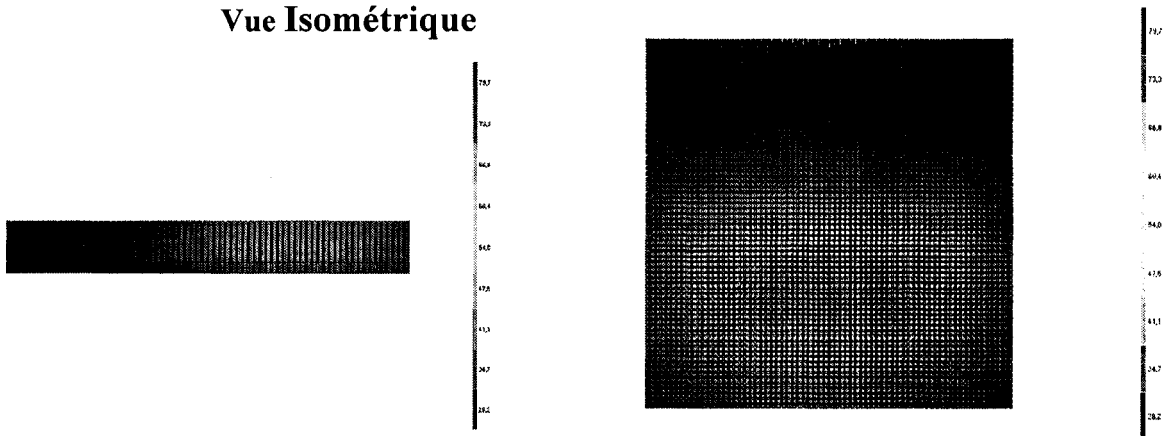
Thermal resistance : 0,019 C/W
Maximum thermal resistance : 0,023 C/W
Temperature avg. thermal resis. : 0,013 C/W
Efficiency (f) : 0,75676
Average temperature of heat sink : 43,28 C (18,28 C above ambient)
Heat sink surface area : 0,87074720 m²
Effective heat sink surface area : 0,84824720 m²
Approximate heat sink mass : 1,60506 kg

**Simulation en 3-D (II) la puissance dissipée uniformément pour
entre deux région une chaud et l'autre froid ut la structure**

Radiateur Pin fin avec aluminium



Vue Isométrique



Vue de gauche

vue a droite

Rapport de la simulation de radiateur avec $R_{jc}=0.01$ Co/W**Solution****Heat source 1**

Description : source75x150
Dimensions : 150,000 x 75,000 mm
Location : Centered at 98,587,62,373 mm
Orientation : Horizontal
Average load : 1400,00 Watt
Base temperature : 79,67 C (54,67 C above ambient)
Junction temperature : 93,67 C

Heat source 2

Description : source75x150
Dimensions : 150,000 x 75,000 mm
Location : Centered at 98,158,137,422 mm
Orientation : Horizontal
Average load : 10,00 Watt
Base temperature : 34,41 C (9,41 C above ambient)
Junction temperature : 34,51 C

Heat sink

Thermal resistance : 0,019 C/W
Maximum thermal resistance : 0,039 C/W
Temperature avg. thermal resis. : 0,013 C/W
Efficiency (f) : 0,54805
Average temperature of heat sink : 43,67 C (18,67 C above ambient)
Heat sink surface area : 0,87074720 m²
Effective heat sink surface area : 0,84832358 m²

TABLE 1: AlSiC Material Properties Compared with Common Packaging, Substrate and IC Materials.

Material	Common Material Use	Density (g/cm ³)	CTE ppm/° (25-150°C)	Thermal Conductivity (W/mK)	Bend Strength (MPa)	Young's Modulus (GPa)
Si	IC	2.3	4.2	151		112
GaAs	IC	5.23	6.5	54		
AlSiC-7	Packaging	3.0	6.90*	150	N/A	N/A
AlSiC-8	Packaging	3.0	7.63*	180	N/A	207
AlSiC-9	Packaging	3.0	8.26*	180	450	175
AlSiC-10	Packaging	3.00	9.89*	165	N/A	N/A
Kovar (Ni-Fe)	Packaging	8.1	5.2	11 - 17		131
CuW (10-20% Cu)	Packaging	15.7 - 17.0	6.5 - 8.3	180 - 200	1172	367
CuMo (15-20%Mo)	Packaging	10	7 - 8	160 - 170		313
Cu	Packaging	8.96	17.8	398	330	131
Al	Packaging	2.7	23.6	238	137-200	68
SiC	Substrate	3.2	2.7	200 - 270	450	415
AlN**	Substrate	3.3	4.0*	170 - 200	300	310
Alumina	Substrate	3.98	6.5*	20 - 30	300	350
Beryllia	Substrate	3.9	7.6	250	250	345