

УДК 681.3

*Т. В. ГЛАДКИХ,*

*С. Ю. ЛЕОНОВ,* канд. техн. наук

## **ИССЛЕДОВАНИЕ РАБОТЫ МИКРОПРОЦЕССОРА С ПОМОЩЬЮ СИСТЕМЫ МОДЕЛИРОВАНИЯ НА ОСНОВЕ $K$ -ЗНАЧНОГО ДИФФЕРЕНЦИАЛЬНОГО ИСЧИСЛЕНИЯ**

Розглянуто застосування системи автоматизованого проектування на основі  $K$ -значного диференційного числення для виявлення помилкових ситуацій, які пов'язані з незначними всплесками та провалами логічних сигналів, но здібних привести до помилок в роботі цих пристроїв і всієї обчислювальної структури в цілому.

Considered the application of system of the automated designing on the basis of  $K$ -value differential calculus for revealing error situations connected with insignificant splashes and failures of logic signals, but capable to lead to mistakes in work of these devices and all computing structure as a whole.

**Постановка проблеми.** В последние 40 лет отрасль полупроводниковых устройств отличалась высокими темпами развития, которые были обусловлены способностью отрасли экспоненциально сокращать минимальный размер компонентов используемых при производстве интегральных схем. В этом плане достаточно актуальным становится вопрос исследования работоспособности проектируемых микропроцессорных устройств как наиболее широко применяемых и быстро развивающихся электронных устройств.

**Анализ литературы.** Исследование распространения сигналов в устройствах, проектируемых с высокой степенью плотности усложняется из-за наличия емкостного и индуктивного связывания, которое снижает пиковые скорости и порождает временную неопределенность и потенциальные логические ошибки. Изменения сигналов связаны и с индуктивностью пучков проводов и впаев при монтаже. Повышение частоты работы динамических микросхем требует решения вопросов о запасе помехоустойчивости, связанном с уровнем энергии переключения, отсутствие учета которых может стать серьезными ограничениями при современном проектировании [1, 2]. Кроме проблем, связанных с плотностью компоновки и увеличением сложности микросхем, существуют проблемы, связанные с исследованием возрастающего числа функций на микросхеме. Это приводит к увеличению сложности методов тестирования и нелинейного роста затрат на моделирование дополнительного аппаратного обеспечения. Решение этих задач требует разработки новых методов исследования работоспособности электронных устройств, проектируемых на современной элементной базе. В частности, для этих целей могут применяться и методы многозначного моделирования [3 – 5]. Однако в этих методах применяется моделирование с

использованием многозначных логических функций при значности не более трех [6]. Однако для современных микропроцессорных устройств, выпускаемых в массовом порядке, предполагается применение наиболее прогрессивных стилей проектирования и производственных технологий. Именно для этих массовых компонентов вносятся изменения в производственный цикл, создают новые стили проектирования и инструментальные средства поддержки, и поднимаются вопросы, касающиеся структуры миниатюрных микросхем. Таким образом, хотя разработка архитектур настраиваемых микропроцессорных устройств требует больших трудозатрат, они позволяют создать новые технологии проектирования и производства и новые методы автоматизации, которые будут эффективно применяться, что и освещается в данной статье.

**Целью статьи** является демонстрация возможностей исследования работоспособности современных вычислительных устройств большой сложности, в том числе микропроцессорных, с помощью системы на основе  $K$ -значного дифференциального исчисления [7, 8].

Применение этой системы при проектировании таких устройств позволяет исследовать быстродействующие процессы переключения логических сигналов в микропроцессорных блоках, а также влияние на эти сигналы паразитных параметров, обусловленных топологической конструкции устройства. Для примера, в частности, можно рассмотреть сигналы шины микропроцессора Pentium-II. В технической документации на этот процессор [9] приведены параметры для его сигналов шины (рис. 1). В этих параметрах указаны допустимые диапазоны всплесков и спадов, которые могут иметь место при переходных процессах переключения этих сигналов.

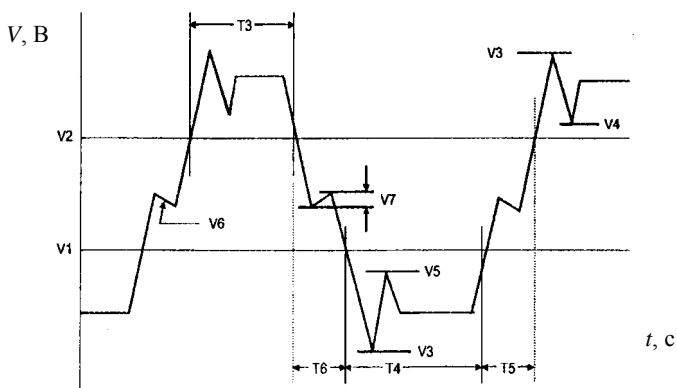


Рис. 1. Спецификация сигналов шины микропроцессора Pentium II

Согласно приведенным в технической документации на Pentium II параметрах, которые обеспечивают требуемое качество сигнала во всех рабочих режимах работы микропроцессора, необходимо, чтобы колебательные процессы на фронте сигналов  $V_6$  и  $V_7$  (рис. 1) не выходили за пределы своего максимального значения 0,33 В при амплитуде импульса 3 В. При моделировании на основе  $K$ -значного дифференциального исчисления для возможности индикации такого напряжения при квантовании логического сигнала необходимо использовать моделирование со значностью  $K = 7$ .

Искажения фронтов сигналов могут возникнуть и при различных некорректных переключениях во внутренних логических блоках микропроцессора на соответствующих внутренних каскадах. На рис. 2 показана логическая схема, в которой может иметь место такая ситуация.

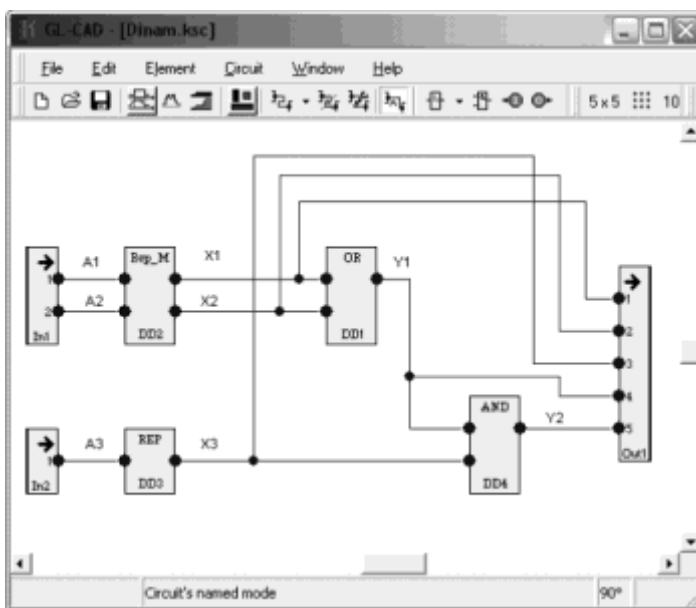


Рис. 2. Схема устройства с риском сбоя

В частности, если на элемент ИЛИ ( $DD1$ ) подать перепады сигналов  $X1$  и  $X2$ , а на входы элемента И ( $DD4$ ) подать сигнал с выхода элемента ИЛИ и на второй его вход подать сигнал  $X3$  с входного порта с некоторой задержкой (рис. 3), то в схеме возникают гонки. При этом на выходе  $Y2$  индицируется динамический риск сбоя, который отражается в виде всплеска напряжения во время переходного процесса переключения, обусловленного несогласованием фронтов импульсов.

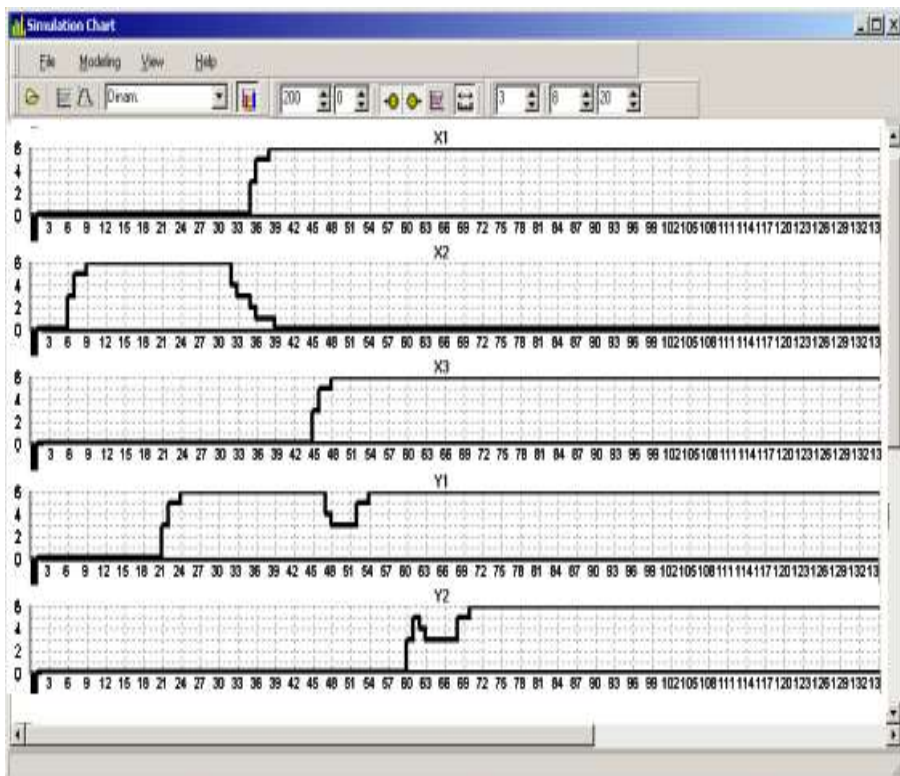


Рис. 3. Временные диаграммы работы устройства с риском сбоя

Из подобных структур в системе имеется возможность создавать базовые элементы библиотеки системы моделирования, представляющие собой различную сложность, например, микропроцессор. Эти элементы могут представлять собой отдельные блоки, которые включаются в состав проектируемых микроЭВМ и причем, как и все элементы, эти элементы могут быть иерархическими. Функциональная схема типичной микроЭВМ, построенная по такому принципу, приведена на рис. 4. Схема этого уровня содержит внешние порты ввода/вывода *PORT (DD1)*, работающие как двунаправленные приемо-передатчики данных и адресов, арифметико-логическое устройство, совмещенное с регистром *AX, ALU\_WK (DD2)*, внутреннюю кэш-память *RM16 (DD3)*, восьмиразрядные мультиплексоры *MUX8\_2 (DD6, DD8, DD9)*, выполняющие направленную передачу данных и регистры временного хранения промежуточных значений *RG8 (DD7)*.

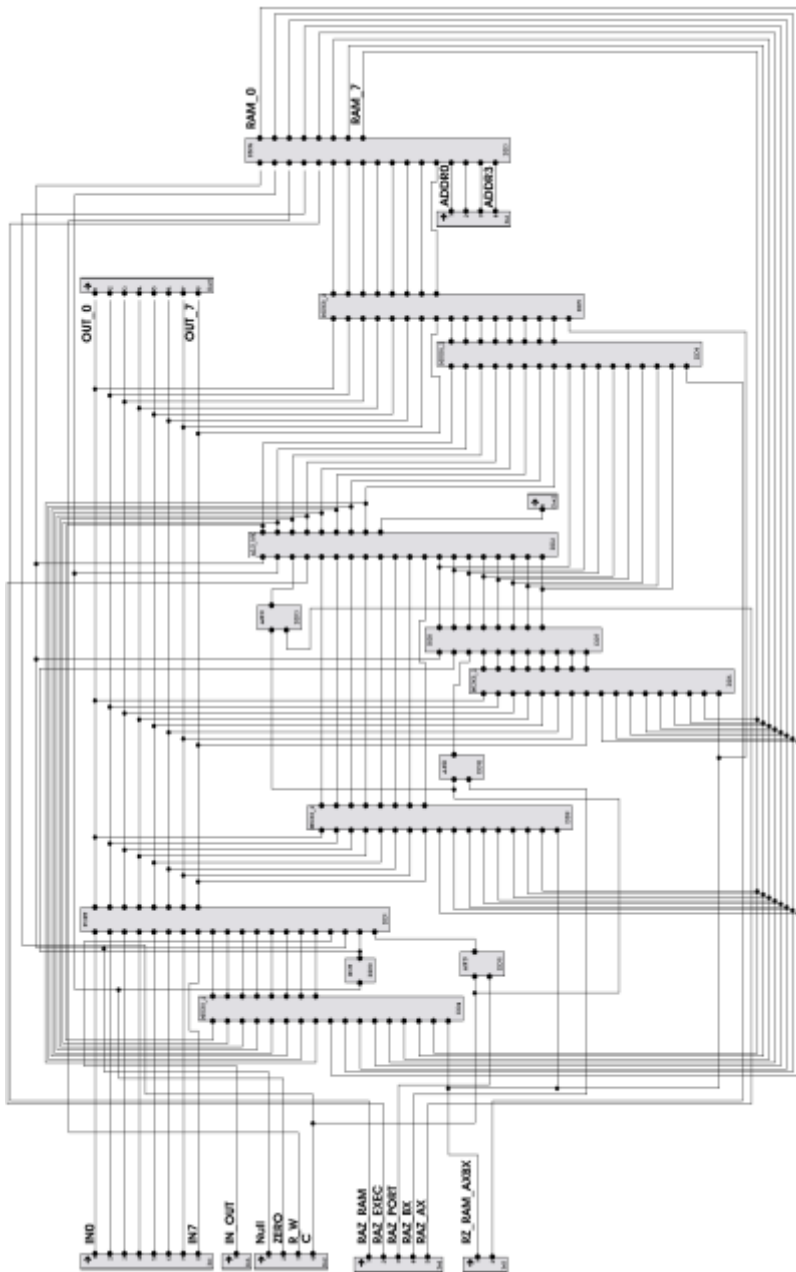


Рис. 4. Схема микроЭВМ, полученная в системе моделирования на основе  $K$ -значного дифференциального исчисления

На вход этого устройства поступают сигналы  $IN_0 - IN_7$  с внешней шины данных и сигналы управления:  $IN\_OUT$  – сигнал, определяющий режим работы порта,  $NULL$  – сигнал сброса,  $R\_W$  – сигнал управления чтением или записью во внутреннюю кэш-память,  $RAZ\_RAM$ ,  $RAZ\_EXEC$ ,  $RAZ\_PORT$ ,  $RAZ\_BX$ ,  $RAZ\_AX$  – сигналы разрешения работы с соответствующими устройствами. Выходными являются сигналы  $OUT_0 - OUT_7$ , снимаемые с выходного порта. Каждый из приведенных блоков является иерархическим, и в свою очередь состоит из элементов более низких иерархических уровней.

Работа микроЭВМ может быть рассмотрена при выполнении стандартного цикла шины.

1. Вначале данные из внешнего устройства  $IN_0 - IN_7 = 60060060$  считываются в порты ввода-вывода по перепаду из низкого ( $K = 0$ ) в высокий ( $K = 6$ ) уровень сигнала  $C$  в момент времени 100. Это обусловлено наличием высокого уровня сигнала  $RAZ\_PORT$ .

2. Затем по следующему тактовому импульсу происходит передача данных из порта во внутреннюю память по нулевому адресу. При этом сигнал  $RAZ\_RAM$  устанавливается в логическую единицу, а сигнал  $RAZ\_PORT$  должен быть сброшен в логический ноль.

3. В момент времени 500 повторяется операция считывания данных в порт ( $IN_0 - IN_7 = 06600060$ ).

4. В момент времени 700 данные из порта записываются в память по адресу  $ADDR_0 - ADDR_3 = 6000$ .

5. В 900-й момент времени происходит считывание данных из памяти ( $RAZ\_RAM = 6$ ).

6. В 1100-й момент времени данные из внутренней памяти записываются в регистр  $BX$ . При этом сигнал  $RAZ\_RAM$  сбрасывается в низкий уровень,  $RAZ\_BX$  – в высокий уровень и  $RAZ\_RAM\_AXBX$  (сигнал, определяющий источник данных – память или порт) тоже устанавливается в высокий уровень.

7. В момент времени 1300 происходит считывание данных из нулевого адреса.

8. В момент времени 1500 происходит запись этих данных в регистр  $AX$  с одновременным началом обработки операндов, находящихся в регистрах  $AX$  и  $BX$  на АЛУ с выполнением операции сложения ( $RAZ\_RAM = 0$ ,  $RAZ\_EXEC = 6$ ,  $RAZ\_PORT = 0$ ,  $RAZ\_BX = 0$  и  $RAZ\_AX = 6$ ).

9. Вычисленный результат сохраняется в регистре  $AX$ .

При выполнении операции сложения данных чисел флаг  $CF$  устанавливается в высокий уровень, что говорит о появлении переноса, вызванного переполнением разрядной сетки. По фронту сигнала  $C$  в момент времени 2400 выполняется операция считывания данных из регистра  $AX$  в порт. При этом сигналы  $RAZ\_PORT$  и  $IN\_OUT$  устанавливаются в высокий уровень.

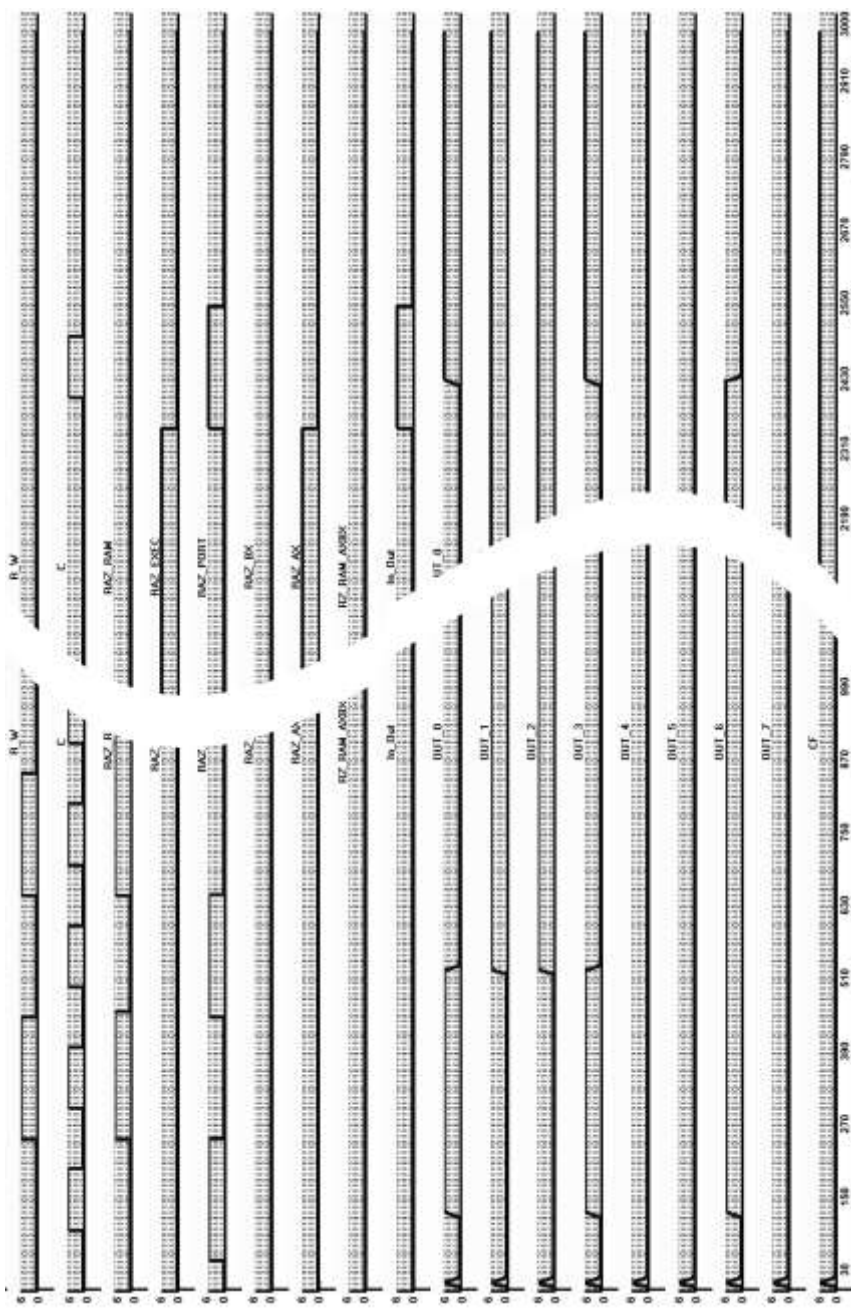


Рис. 5. Временные диаграммы работы микроЭВМ

На выходе порта фиксируется результат сложения двух введенных операндов, включая сигнал знака операции *OUT\_7*, равного нулю, что соответствует коду положительного числа.

Для моделирования микропроцессорного устройства в перечисленных режимах потребовалось 2500 временных шагов. Время, затраченное на моделирование составило 3 сек. При этом сложность устройства составила порядка 2557 логических элементов.

Приведенное на рис. 5 моделирование микроЭВМ соответствует ее нормальной работе, а на рис. 6 – со сбоем.

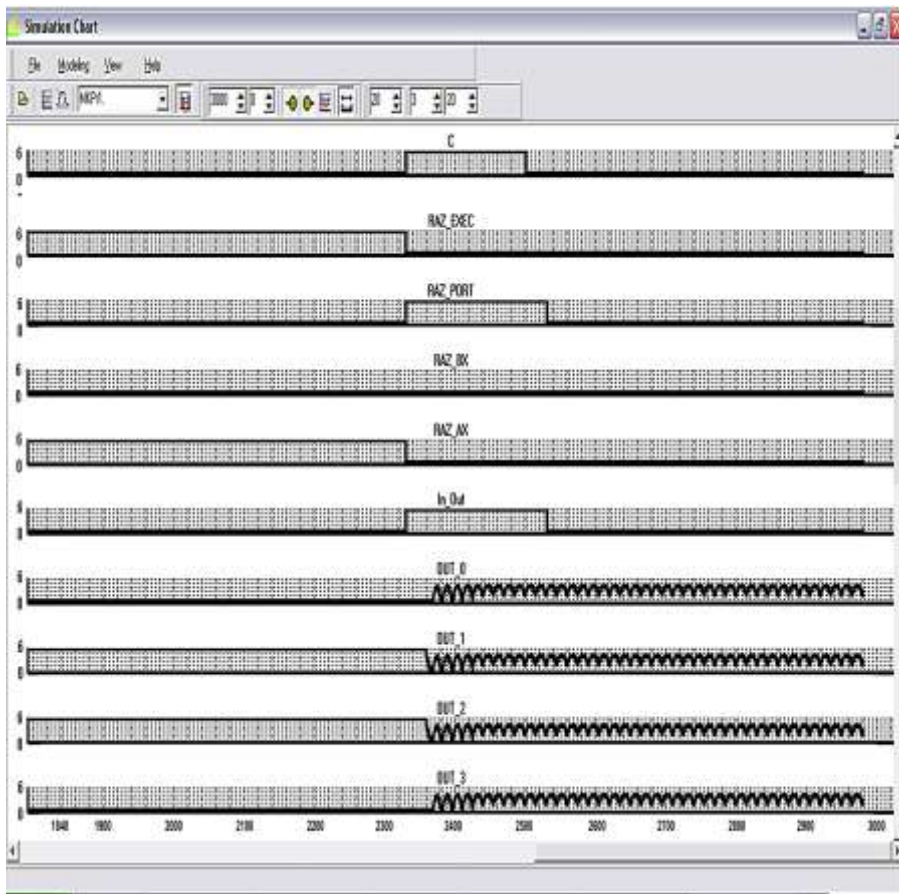


Рис. 6. Временные диаграммы работы микроЭВМ с наличием сбоя



При нормальной работе благодаря наличию больших временных запасов по переключению управляющих и информационных сигналов все изменения логических уровней выполняются стабильно. Использование системы  $K$ -значного дифференциального исчисления для исследования работоспособности подобных устройств позволяет определить более точно динамические параметры синхронизации и управления для отдельных устройств и всей микроЭВМ в целом.

При сбойной работе, в частности, если в силу временного рассогласования тактирующего сигнала  $C$  и сигнала разрешения работы с портом, на выходных шинах микроЭВМ возникает режим генерации или нестабильного состояния (рис. 6). На этом рисунке показано, что с 2380-го шага моделирования на выходных шинах  $OUT[0-3]$  наблюдается повторяющийся колебательный процесс, который обусловлен совпадением фронтов сигнала  $C$  и сигнала  $RAZ\_PORT$ . Это приводит к появлению ошибочного выходного кода микроЭВМ и дальнейшим сбоям в работе вычислительной системы в целом.

**Выводы.** В силу увеличения быстродействия современной вычислительной техники соответствующими темпами должны развиваться и анализирующие правильность их работы новые системы. В этом плане описанная система на основе  $K$ -значного дифференциального исчисления соответствует новому поколению систем моделирования, применение которой позволяет исследовать работоспособность нового класса актуальных в настоящее время микропроцессорных устройств.

**Список литературы:** 1. Алан Аллан, Дон Эденфелд, Уильям Джойнер. 2001: Направления развития полупроводниковых технологий // Открытые системы, № 4, 2002. – С. 5–14. 2. Автоматное управление асинхронными процессами в ЭВМ и дискретных системах / Под ред. В.И. Варшавского – М.: Наука. Гл. ред. физ.-мат. лит., 1986. – 400 с. 3. X. Wu, B. Chen, M. Pedram. Power estimation in CMOS circuits based on multiple-valued logic // Journal of Multiple Valued Logic, Gordon and Breach Publishing Group, – Vol. 7. – No. 3-4 (2001). – P. 195–211. 4. Молчанов А.А. Моделирование и проектирование сложных систем. – Киев: Выща шк. Головное изд-во, 1988. – 359 с. 5. Левин В.И. Динамика логических устройств и систем. – М.: Энергия, 1980. – 224 с. 6. X. Wu, M. Pedram. Propagation algorithm of behavior probability in power estimation based on multiple-valued logic – Proc. of Int'l Symp. on Multiple-Valued Logic. – 2000. – P. 453–459. 7. Дмитриенко В.Д., Леонов С.Ю., Гладких Т.В. Метод многозначного моделирования цифровых устройств на основе  $K$ -значного дифференциального исчисления. – Автоматизация проектирования дискретных систем (Computer-Aided Design of Discrete Devices CAD DD'97) // Материалы второй международной конференции. – Минск: Институт технической кибернетики НАН Беларуси, 1997. – С. 111–118. 8. Гладких Т.В. Система  $K$ -значного иерархического моделирования сложных устройств – Информатика и моделирование: Вестник НТУ "ХПИ". Вып. 19. – Харьков: НТУ "ХПИ", 2003. – С. 34–37. 9. Pentium® II Processor Developer's Manual – № 243502–001. – 1997. – 228 p.

Поступила в редакцию 15.04.04