



# Vers un langage spécialisé pour la radio logicielle sur FPGA

Ganda Stephane Ouedraogo, Matthieu Gautier, Olivier Sentieys

## ► To cite this version:

Ganda Stephane Ouedraogo, Matthieu Gautier, Olivier Sentieys. Vers un langage spécialisé pour la radio logicielle sur FPGA. Colloque national du GDR SoC-SiP, Jun 2013, Lyon, France. pp.2. hal-00922785

HAL Id: hal-00922785

<https://hal.archives-ouvertes.fr/hal-00922785>

Submitted on 30 Dec 2013

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

# Vers un langage spécialisé pour la radio logicielle sur FPGA

Ganda Stéphane Ouedraogo, Matthieu Gautier and Olivier Sentieys  
IRISA, INRIA, University of Rennes, France  
ganda-stephane.ouedraogo@irisa.fr, matthieu.gautier@irisa.fr, olivier.sentieys@irisa.fr

**Abstract**— Ces travaux s’inscrivent dans le contexte de la radio logicielle et proposent une alternative basée sur la technologie FPGA offrant un bon compromis entre la consommation d’énergie et la flexibilité. Nous proposons ainsi un flot de conception innovant, alliant architecture matérielle et langage de description haut-niveau. Ce flot comprend un langage de description spécifique des formes d’ondes pour les systèmes de communication et la synthèse matérielle automatique utilisant des outils de synthèse de haut-niveau. La description haut-niveau est validée sur une plateforme FPGA. Des résultats de synthèse d’une forme d’onde IEEE 802.15.4 sont donnés pour différents langages de description (C, VHDL).

## I. INTRODUCTION

La technologie radio logicielle est un concept proposé par Joseph Mitola comme support matériel à la radio cognitive : une radio intelligente qui peut s’adapter à l’environnement [1]. Le principe de la radio logicielle est la reconfiguration dynamique de l’architecture en bande de base par le biais d’un ou plusieurs processeurs hôtes. Elle offre ainsi la possibilité de changer le schéma de codage, de modulation, de bande passante et de technique d’accès au canal sans modifier directement le matériel [2]. Si la radio logicielle offre une nouvelle infrastructure d’expérimentation des communications sans fil et mobile, les solutions basées sur des processeurs présentent des limites en termes de temps de reconfiguration ou de consommation en énergie [4].

Une alternative à cette radio uniquement logicielle est le développement d’une radio logicielle sur des architectures reconfigurables de type FPGA. L’utilisation de FPGA offre des temps de reconfiguration de l’ordre de la micro-seconde grâce aux techniques de reconfiguration partielle et réduit de façon significative la consommation d’énergie comparativement aux solutions purement logicielles mises en œuvre sur des cœurs de calcul de type processeur. Dans cet article, nous étudions une radio logicielle sur une architecture reconfigurable permettant d’atteindre l’objectif d’une couche physique flexible et faible consommation.

Les deux clés fondamentales pour atteindre cet objectif sont [3] une méthodologie de développement spécifique permettant la flexibilité des spécifications de haut niveau et une architecture modulaire permettant le déploiement de diverses formes d’onde. On se propose à travers nos travaux d’outiller la communauté radio logicielle d’un flot de conception basé sur un langage dédié combiné à la synthèse de haut niveau.

## II. DESCRIPTION DU FLOT DE CONCEPTION

L’approche de conception proposée dans ces travaux est illustrée par la Figure 1. L’idée de base est de s’appuyer sur un langage de description spécifique DSL (*Domain Specific Language*) afin de générer des formes d’ondes variées (*Waveform design*) et de les intégrer (*Platform integration*) sur une plateforme matérielle. Le langage reposera sur une bibliothèque d’IP (Intellectual Properties) de traitement du signal et permettra de générer différentes architectures relatives à des standards de télécommunications. Un DSL est un langage qui à travers son expressivité ou sa syntaxe demeure spécifique à un domaine d’application [5]. C’est un outil qui simplifie la description de l’application et qui est peu utilisé dans le domaine des télécommunications.

Dans ce contexte, la définition d’un DSL peut se montrer utile à la description matérielle d’une application radio logicielle en ce sens qu’il permettra d’insérer à plus haut niveau des informations relatives à celle-ci. Ces informations ambitionnent de couvrir un panel assez large allant de l’ensemble des fréquences de fonctionnement dans le cas des systèmes multi-cadences aux informations propres à la plateforme d’exécution.

## III. PRÉSENTATION DU LANGAGE DE DESCRIPTION

Ce langage ainsi décrit aura pour tâche principale d’assembler ces différentes IP (ou *block*) en générant une logique

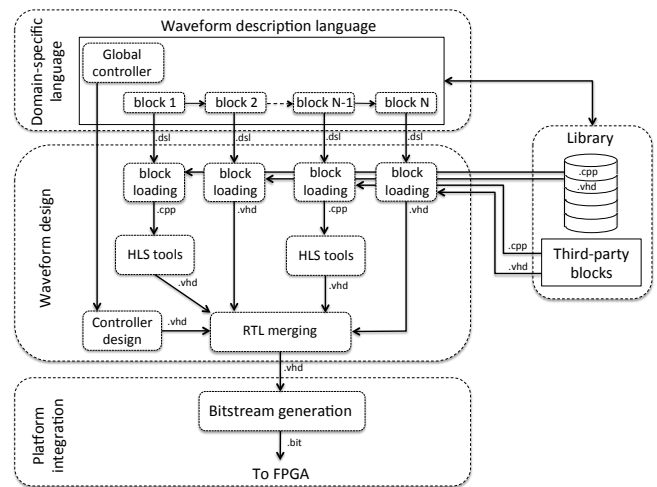


Fig. 1. Flot de conception de la radio logicielle sur FPGA.

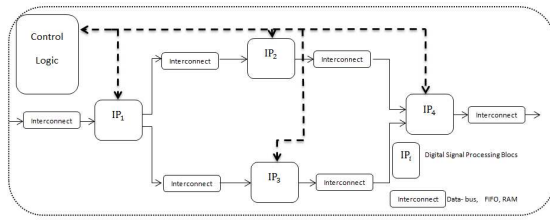


Fig. 2. Structure d'interconnexions et de contrôle des IP.

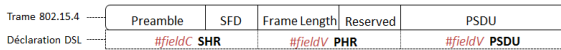


Fig. 3. Structure de la trame 802.15.4 et type de champs associés.

de contrôle ainsi qu'une infrastructure de communication adéquate. L'origine de ces blocs de base se veut diverse. Le développement récent ainsi que la mise sur le marché d'outils de synthèse de haut niveau (*HLS tools*) permet de considérer dans notre approche des IP décrites en *C/C++* ou *SystemC*, langages présentant une certaine abstraction en comparaison au *VHDL* ou au *Verilog* dédiés à l'architecture matérielle. Le caractère hétérogène ainsi conféré à la bibliothèque en cours de développement vise à élargir le spectre de couches physiques mais aussi à bénéficier de travaux antérieurs.

Une des étapes essentielles de ce flot de conception est la phase d'assemblage des blocs de base au cours de laquelle s'opère l'interconnexion des différents blocs issus de la bibliothèque dans le but de produire la forme d'onde souhaitée. Cette étape est illustrée dans la Figure 1 comme *RTL merging*. Il y est question de s'assurer de la cohérence des types de données à l'entrée et à la sortie de chaque bloc et de fournir entre autres la structure d'interconnexion (cf. Figure 2) selon que certaines contraintes de débits et/ou de latences soient prises en considération. On peut dès lors dégager différents profils d'interconnexion qui vont du simple bus de données à la mémoire RAM en passant par des FIFO. Cette étape s'accompagne en plus de la génération d'une logique de contrôle bidirectionnelle dont la tâche est de fournir et recevoir un ensemble de signaux (*enable*, *clock*, etc) utile au séquençage de ces blocs. Il incombera au compilateur du DSL d'exécuter correctement cette tâche.

Un premier niveau de description du DSL est la spécification de la structure de la trame de données. Cette approche consiste à scinder la trame en plusieurs champs de deux types que nous qualifierons de champs constants et champs variables respectivement *fieldC* et *fieldV*. Cette structuration a pour objectif une allocation adéquate des ressources matérielles en fonction du type de champs. La trame est ensuite construite par multiplexage temporel de cet ensemble de champs.

#### IV. VALIDATION SUR LA NORME IEEE 802.15.4

Les étapes de notre étude sont validées sur la couche physique IEEE 802.15.4 d'un émetteur Zigbee. La première phase de validation est la description de la structure de la trame avec le DSL, tandis que la deuxième sert à tester l'approche de synthèse de haut niveau sur une plateforme matérielle. Le premier niveau de description du DSL est donc la

	Emetteur			Récepteur		
	Slices	FF	LUT	Slices	FF	LUT
HC-VHDL	35	134	86	3668	4292	10945
HLS-VHDL	76	188	202	590	1200	1595

TABLE I

ESTIMATION DES RESSOURCES DE L'ÉMETTEUR-RÉCEPTEUR 802.15.4 .  
spécification de la structure d'une trame. La trame IEEE 802.15.4 est présentée sur la Figure 3. Dans cette trame, le champ SHR composé du préambule et du SFD est constant (de type *fieldC*). Le préambule possède une structure répétitive (composé de huit symboles 0) . Les champs PHR et PSDU sont des champs variables (de type *fieldV*) dont les données seront issues de blocs de traitement du signal. Le DSL proposé exploite ces différentes caractéristiques afin d'optimiser la structuration de la trame en sauvegardant les données des champs constants dans des mémoires, données qui seront ensuite multiplexées en temps aux données des champs variables issues de blocs de traitement.

Nos travaux ont ensuite été validés sur une plateforme expérimentale. Il s'agit d'une carte Nutaq équipée d'un FPGA de type Virtex 6 et d'un front-end RF agile en fréquence et large bande. Afin de démontrer la faisabilité de notre démarche et de définir les types d'interconnexions dans le DSL, nous avons dans un premier temps développé en *C++* et synthétisé indépendamment les différents blocs de base qui la compose puis nous les avons interconnectés manuellement et testé sur la plateforme. Les flots de conception (HC-VHDL pour Hand-Coded VHDL et HLS-VHDL) ont été publiés dans [6]. Des résultats de synthèse sont donnés dans la Table I.

#### V. CONCLUSION

Cette phase applicative a permis de consolider le travail réalisé à ce jour et permet de dégager différentes perspectives. Ce DSL permettra comme nous l'avons signalé plus haut d'assembler des blocs hétérogènes afin d'obtenir des formes d'ondes variées. Une étape significative de ce projet consiste aussi en l'enrichissement de la bibliothèque. Ces deux efforts sont réalisés en parallèle, permettant ainsi de tenir compte dans le DSL de l'hétérogénéité de la bibliothèque.

#### REFERENCES

- [1] J. Mitola III, *Software radios : Survey, critical evaluation and future directions*, Aerospace and Electronic systems Magazine, IEEE, vol. 8, 1993.
- [2] A. Di Stefano, G. Fiscelli, and C. Gianconia, *An FPGA-Based Software Defined Radio Platform for the 2.4GHz ISM Band*, in IEEE Research in Microelectronics and Electronics Ph. D., vol. 12, 2006, pp. 73-76.
- [3] K. He, L. CrocKett, R. Stewart, *Dynamic Reconfiguration Technologies Bases on FPGA in Software Defined Radio System*, in Proceedings of SRD'11 WInnComm-Europe, 22-24 June 2011
- [4] Sous la direction de J. Palicot, *De la radio logicielle à la radio intelligente*, Institut Télécom et LAVOISIER, Paris, 2010
- [5] M. Fowler with R. Parsons, *Domain-Specific Languages*, The Addison-Wisley Signature Series, 2011.
- [6] V. Bhatnagar, G. S. Ouedraogo, M. Gautier, A. Carer, O. Sentieys, *An FPGA Software Defined Radio Platform with High Level Synthesis Design Flow*, in IEEE International Conference on Vehicular Technology (VTC-Spring), June 2013