



Conception et réalisation de l'unité de décision du système de déclenchement de premier niveau du détecteur LHCb au Large Hadron Collider (LHC)

Julien Laubser

► **To cite this version:**

Julien Laubser. Conception et réalisation de l'unité de décision du système de déclenchement de premier niveau du détecteur LHCb au Large Hadron Collider (LHC). Matériaux. Université Blaise Pascal - Clermont-Ferrand II, 2007. Français. <NNT : 2007CLF21795>. <tel-00718776>

HAL Id: tel-00718776

<https://tel.archives-ouvertes.fr/tel-00718776>

Submitted on 18 Jul 2012

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

N° d'ordre : D.U : **1795**

PCCF-T : **0711**

EDSPIC : **388**

UNIVERSITE BLAISE PASCAL – CLERMONT II

ECOLE DOCTORALE

SCIENCES POUR L'INGÉNIEUR DE CLERMONT-FERRAND

THESE

Présentée par

Julien LAUBSER

Pour obtenir le grade de

DOCTEUR D'UNIVERSITÉ

SPÉCIALITÉ : Matériaux et composants pour l'électronique

Conception et réalisation de l'unité de décision du système de déclenchement de premier niveau du détecteur LHCb au LHC

Soutenue publiquement le Jeudi 29 Novembre 2007 devant le Jury :

M. Alain BALDIT	Président
M. Renaud LE GAC	Rapporteur
M. Richard JACOBSSON	Rapporteur
M. Roland CHAPUIS	Examineur
M. Niko NEUFELD	Examineur
M. Pascal PERRET	Directeur de Thèse
M. Jacques LECOQ	Invité

Table des matières

Introduction	1
I L'expérience LHCb	3
1 Le détecteur LHCb au LHC	5
1.1 Expérience en physique des particules	5
1.2 L'accélérateur LHC du CERN	6
1.3 L'expérience LHCb	8
1.4 Vue globale du détecteur LHCb	8
1.5 Les sous-détecteurs et éléments constitutifs	9
1.5.1 Le détecteur de Vertex VeLo	9
1.5.2 Le détecteur RICH	10
1.5.3 L'aimant	11
1.5.4 Le trajectographe	11
1.5.5 Le calorimètre	12
1.5.6 Le détecteur de muon	12
2 Structure de l'électronique et du système d'acquisition	13
2.1 Le système frontal	14
2.1.1 L'électronique analogique frontale	15
2.1.2 L'électronique frontale de niveau 0	15
2.1.3 Interface standard avec le niveau HLT	15
2.2 Le système de déclenchement dans LHCb	17
2.2.1 Le niveau 0 de déclenchement	18
2.2.2 Le niveau HLT de déclenchement	19
2.2.3 Dispositif de contrôle des déclenchements	20
2.2.4 Particularité du système de déclenchement LHCb	20
2.3 Le système TFC	21
2.4 Le système de contrôle de l'expérience	22
2.4.1 La carte de contrôle CCPC	23
2.4.2 Logiciel de contrôle	24
II Le système L0DU	25
3 L'unité de décision de niveau 0	27
3.1 Rôle de l'unité de décision dans le système de déclenchement de niveau 0	27
3.2 Cahier des charges	28
3.2.1 Bilan des entrées/sorties de l'unité de décision.	28
3.2.2 Latence au niveau 0 de déclenchement	29
3.2.3 Flexibilité du système	30
3.2.4 Fiabilité du système	30
3.2.5 Contrôle du fonctionnement et diagnostic des pannes	30
3.3 Choix techniques et technologiques	30

3.3.1	Implémentation de l'unité de décision comme mezzanine de la carte TELL1	31
3.3.2	Média et interface de connexion avec les sous-détecteurs	31
3.3.3	Unités de traitement	33
4	Traitement de l'unité de décision	35
4.1	Architecture générale de l'unité de décision	35
4.2	Détail des interfaces	36
4.2.1	Entrées de l'unité de décision	36
4.2.2	Mode de test commun à tous les sous-détecteurs	37
4.2.3	Sorties à destination du Readout Supervisor	38
4.2.4	Trame à destination du système d'acquisition DAQ et du niveau HLT	40
4.3	Pré-traitement de données	42
4.3.1	Mise en temps	43
4.3.2	Préparation des données provenant du sous-détecteur MUON	46
4.3.3	Préparation des données provenant du sous-détecteur CALO	48
4.4	Définition des canaux de déclenchement	48
4.4.1	Contraintes	48
4.4.2	Structure générale des algorithmes	49
4.4.3	Conditions élémentaires et canaux de déclenchement	49
4.4.4	Architecture flexible	49
4.5	Fonctions associées aux voies de déclenchement	52
4.5.1	Fonction de réduction des taux	52
4.5.2	Contrôles des taux de déclenchement	52
4.6	Banc de test interne	53
4.6.1	Implémentation	53
4.6.2	Mode espion	54
4.6.3	Evolution	54
5	Conception et prototypage de l'unité de décision	55
5.1	Analyse de l'existant	55
5.2	Architecture du prototype	57
5.2.1	Récepteur optique	57
5.2.2	Désérialisation des données	58
5.2.3	Définition d'une solution architecturale	61
5.2.4	Choix des cibles technologiques	63
5.2.5	Connexion au TFC	63
5.2.6	Interface avec le Readout Supervisor 'ODIN'	65
5.2.7	Interface avec la carte TELL1	66
5.2.8	Etude et validation d'une interface USB	66
5.2.9	Architecture de l'unité de décision	67
5.3	Réalisation du prototype	67
5.3.1	Les différentes lignes de transmission sur un circuit imprimé	68
5.3.2	Organisation des couches du circuit imprimé de l'unité de décision	69
5.3.3	Le layout de l'unité de décision	70
5.3.4	Simulations du layout	71
5.3.5	Le prototype LODU	76
6	Test de l'unité de décision	79
6.1	Cahier des charges	79
6.2	Architecture générale du banc de test	79
6.3	La carte d'injection de vecteur de test (GPL)	80
6.3.1	Fonctionnalités	81
6.3.2	Mode de fonctionnement	81
6.3.3	Architecture générale	84
6.3.4	Le circuit imprimé	85

6.3.5	Interface de contrôle	87
6.4	Test et qualification de l'unité de décision	87
6.4.1	Qualification des liaisons optiques	87
6.4.2	Qualification de la liaison à destination du Readout Supervisor 'ODIN'	89
6.4.3	Mesure de la latence du traitement de l'unité de décision	89
6.4.4	Estimation du budget en temps	90
6.4.5	Test du comportement de l'unité de décision	92
6.4.6	Liaison DAQ	94
6.4.7	Intégration de l'unité de décision au puits LHCb	94
6.4.8	Conclusion des tests de l'unité de décision	97
7	Carte finale L0DU	99
7.1	Evaluation du prototype de l'unité de décision	99
7.1.1	Evaluation des ressources du circuit imprimé	99
7.1.2	Evaluation des ressources des cibles technologiques	99
7.2	La carte finale de l'unité de décision	101
7.2.1	Détermination des cibles technologiques	101
7.2.2	Le circuit imprimé final de l'unité de décision	102
7.2.3	Test des circuits imprimés	103
7.3	Perspectives d'évolution	103
7.3.1	Optimisation du code VHDL	104
7.3.2	Réorganisation des entrées de l'unité de décision	107
7.3.3	Stratégie	107
	Conclusions et perspectives	109
	Annexes	115
A	Le modèle standard	115
B	PVSS	117
C	Détail de l'architecture du premier niveau de déclenchement pour la partie calorimétrique	119
D	Interface de contrôle de l'unité de décision	121
D.1	Le système de contrôle de l'unité de décision	121
D.2	Alignement et contrôle de l'alignement des sous-détecteurs	121
D.3	Construction de l'algorithme	122
D.4	Contrôle des taux de déclenchement	123
E	Format des mots et Assignement des bits par sous-détecteurs	125
F	Descriptif de la trame envoyée au DAQ	127
G	Exemples d'algorithme	129
G.1	Algorithme 1	129
G.2	Algorithme 2	129
H	Principales règles de dessin d'un PCB	131
H.1	Organisation des couches d'un PCB	131
H.2	Routage des lignes en mode commun	131
H.3	Routage des lignes différentielles	132
H.4	Règles spécifiques au chemin d'horloge	132
I	Modèle de simulation extrait d'une piste différentielle entre HFBR et TLK	133

Table des figures

1.1	Evolution de l'Univers depuis le Big-Bang.	5
1.2	Simulation d'une collision dans le détecteur LHCb au LHC.	6
1.3	Le complexe d'accélération du CERN.	7
1.4	Le détecteur LHCb et ses sous-détecteurs.	8
1.5	Installation de l'ensemble des détecteurs dans la caverne.	9
1.6	Disposition du détecteur.	10
1.7	Assemblage du détecteur de Vertex.	10
1.8	Le dispositif RICH 1 en vue verticale.	11
1.9	Composition des station T1-T3.	12
2.1	Diagramme de l'électronique frontale et de ses interfaces avec le système de déclenchement, d'acquisition des données et le système de contrôle du détecteur.	14
2.2	Architecture du DAQ.	16
2.3	Architecture de la carte TELL1. Deux options pour l'acquisition des données optiques et des données analogiques sont indiquées. Elle se compose de 5 FPGA : 4 sont pour le prétraitement (PP-FPGA) et un pour la synchronisation et l'encapsulation des données (SyncLink-FPGA).	17
2.4	Vue globale du système de déclenchement.	18
2.5	Architecture générale du niveau 0. Le système reçoit toutes les 25 ns 2048 canaux provenant du détecteur Pile-UP, le système de déclenchement du calorimètre de niveau 0 reçoit 19420 canaux provenant du SPD, PS, HCAL/ECAL tandis que le système de déclenchement du détecteur de Muon reçoit 25920 canaux.	18
2.6	Voie d'acquisition des données et voie de déclenchement.	19
2.7	Taux d'acceptation du premier niveau de déclenchement et moyenne de la taille d'un événement. Le taux d'acceptation est de 1 MHz pour le détecteur LHCb, celui-ci est de 100 kHz pour les détecteurs ATLAS et CMS, et de 1 kHz pour le détecteur ALICE.	20
2.8	Architecture multi-niveaux du système de déclenchement du détecteur ATLAS.	21
2.9	Vue de dessous du TTCrq.	22
2.10	Vue de dessus du TTCrq.	22
2.11	Vue générale du système de contrôle de l'expérience.	23
2.12	Vue de dessus de la CCPC.	23
2.13	Vue de dessous de la CCPC.	23
3.1	Architecture du niveau 0 de déclenchement.	28
3.2	Propagation de la lumière en réflexion totale dans une fibre multimode (à gauche) et monomode (à droite) à saut d'indice.	31
3.3	Tableau de raccordement de type MTP/SC (à gauche) et MTP/LC (à droite).	32
3.4	Configuration de l'unité de décision sur une TELL1.	32
3.5	Technologie utilisée en fonction des niveaux de sélection.	33
3.6	Différents types de boîtier.	34
4.1	Architecture générale de l'unité de décision.	35
4.2	Principe général pour l'établissement du bit de déclenchement forcé.	39
4.3	Principe de détermination de la latence.	39
4.4	Principe de l'identification du type d'interaction.	40
4.5	Principe de l'envoi de la trame à destination de la TELL1.	41
4.6	Principe du module d'envoi de la trame à destination du DAQ.	41

4.7	Trame de test du flot de données à destination du DAQ.	42
4.8	Principe de l'adaptation des domaines d'horloge.	43
4.9	Principe du démultiplexage de données.	44
4.10	Principe de la compensation des latences entre sous-détecteurs.	45
4.11	Principe du contrôle de l'alignement des BCID.	46
4.12	Arbre de recherche des 8 muons de plus haute impulsion transverse.	46
4.13	Arbre de recherche optimisé des 8 muons de plus haute impulsion transverse.	47
4.14	Bloc de production de nouvelles données.	47
4.15	Traitement sur les énergies transverses des candidats du CALO.	48
4.16	Cellule de base du réseau logique programmable « ET » et propagation des états logiques. Le signal Sel[i] sélectionne l'entrée normale ou inversée, le signal En[i] force le résultat de la porte logique « ou » au '1' logique lorsqu'il se trouve à '0'.	51
4.17	Principe de l'architecture flexible.	51
5.1	Premier prototype de l'unité de décision testé et validé en 2002.	55
5.2	Banc de test du premier prototype de l'unité de décision.	56
5.3	Connecteur MTP/MPO avec ergot de centrage.	57
5.4	Bloc diagramme d'un canal de traitement.	57
5.5	Récepteur optique Agilent HFBR782BE.	58
5.6	Vue générale du traitement d'un ruban de fibres optiques.	59
5.7	Représentation de la variation de la position du front de l'horloge.	60
5.8	Solution (1) : topologie à trois FPGA.	61
5.9	Solution(2) : topologie à un FPGA.	62
5.10	Solution architecturale retenue.	62
5.11	Acquisition et distribution des signaux de contrôle du TTC.	64
5.12	Distribution de l'horloge TTC.	64
5.13	Simulation de l'arbre d'horloge à l'entrée de chaque FPGA avec résistance d'adaptation (signal en mode commun en haut, signal différentiel en bas).	65
5.14	Mesure de l'horloge différentielle en entrée du FPGA III de traitement.	65
5.15	Circuit imprimé de la carte de validation de l'interface USB.	66
5.16	Architecture de l'unité de décision.	67
5.17	Dessin d'une ligne de transmission microbande. Avec W : largeur de la trace, T : épaisseur de la trace et H hauteur entre la trace et le plan de référence.	68
5.18	Dessin d'une ligne de transmission dans le matériau diélectrique. Avec W : largeur de la trace, T : épaisseur de la trace et H hauteur entre la trace et deux plans de référence.	68
5.19	Interconnexion entre un récepteur optique et la partie désérialisation des données.	71
5.20	Interconnexion entre la partie désérialisation et un FPGA de traitement.	72
5.21	Modèle d'une piste entre un désérialiseur et un FPGA de traitement.	72
5.22	Etude de l'influence de la longueur de piste (de 1 à 150 mm par pas de 10 mm, courbes de gauche à droite) sur l'intégrité du signal à 80 MHz entre un désérialiseur et un FPGA de traitement.	73
5.23	Bus de communication parallèle de 167 pistes entre les deux FPGA de traitement.	73
5.24	Influence de la longueur de piste (de 1 à 150 mm par pas de 10 mm, courbes de gauche à droite) sur la qualité du signal (à 40 MHz) et sur le délai introduit sur une ligne de transmission entre FPGA de traitement.	74
5.25	Simulation du bus de communication à 40 MHz.	74
5.26	Simulation du bus de communication à 80 MHz.	74
5.27	Simulation du bus de communication à 120 MHz.	74
5.28	Simulation du bus de communication à 160 MHz.	74
5.29	Modèle de simulation utilisé.	75
5.30	Résultat de simulation lorsque la piste victime (2) est forcée à l'état bas.	75
5.31	Résultat de simulation lorsque la piste victime (2) est forcée à l'état haut.	76
5.32	Circuit imprimé du prototype de l'unité de décision. A gauche vue face composant, à droite vue de dessous.	76
5.33	Prototype de l'unité de décision inséré sur une carte TELL1.	77
6.1	Architecture générale du banc de test.	80
6.2	Schéma de principe.	82
6.3	Chronogramme côté émission.	82

6.4	Chronogramme côté réception.	83
6.5	Architecture générale de la carte GPL.	84
6.6	Réseau d'horloge de la carte GPL.	85
6.7	Assignement des pattes d'un FPGA de traitement de la carte GPL pour la partie sérialisation.	85
6.8	Layout de la carte GPL autour d'un FPGA de traitement : interconnexion entre les désérialiseurs et un FPGA.	86
6.9	Circuit imprimé de la carte GPL.	86
6.10	Interface de contrôle et de configuration de la carte GPL.	87
6.11	Mesure de la variation de la phase en entrée d'un désérialiseur.	88
6.12	Diagramme de l'oeil pour 0 dB d'atténuation.	88
6.13	Diagramme de l'oeil pour 9 dB d'atténuation.	88
6.14	Découpage du budget en temps de l'unité de décision.	90
6.15	Histogramme des délais d'établissement sur un désérialiseur du FPGA II et III.	91
6.16	Prototype de l'unité de décision dans le puits LHCb.	94
6.17	Principe du flot de données et de la chaîne d'acquisition.	95
6.18	Reconstruction de l'événement.	96
7.1	Circuit imprimé de la carte finale L0DU sur une TELL1.	102
7.2	Une carte L0DU sur la carte de test (à gauche).	103
7.3	Premier principe d'optimisation de la fonction d'acquisition et de démultiplexage.	104
7.4	Principe de la fonction d'échantillonnage.	105
7.5	Principe d'optimisation de la fonction d'acquisition et de démultiplexage.	105
7.6	Principe d'optimisation de la fonction d'acquisition et de démultiplexage.	106
B.1	Gestionnaire de tâche de PVSS.	117
C.1	Architecture détaillée du système de déclenchement de premier niveau pour la partie calorimètre.	119
D.1	Panneau de l'alignement et du contrôle de l'alignement des sous-détecteurs.	122
D.2	Panneau de création des conditions élémentaires.	122
D.3	Panneau de définition des voies de déclenchement.	123
D.4	Panneau de configuration et de sélection des canaux de déclenchement à afficher.	123
D.5	Panneau de contrôle du taux global.	124
D.6	Taux des canaux de déclenchement.	124
H.1	Exemple d'organisation pour une carte 8 couches.	131
H.2	Séparation de deux lignes de transmission pour minimiser la diaphonie.	132
H.3	Tracé de pistes différentielles.	132
I.1	Modèle d'une piste différentielle entre récepteur optique et désérialiseurs.	134

Liste des tableaux

3.1	Résumé des flots de données de l'unité de décision.	28
3.2	Latence pour le niveau 0 de déclenchement en ns.	29
3.3	Affectation des entrées des deux tableaux de raccordement L0DU.	32
3.4	Caractéristiques des FPGA de la famille Stratix.	34
4.1	Nombre de bits d'entrée de L0DU en fonction de l'assignement des données des sous-détecteurs CALO et MUON (CU : Controler Board, SU : Selection Board).	36
4.2	Nombre de bits d'entrée de L0DU en fonction de l'assignement des données du sous-détecteur Pile-Up.	36
4.3	Assignement des bits du mot contenant la décision.	38
4.4	Décodage du signal d'erreur.	44
5.1	Description des bits de contrôle du récepteur.	58
5.2	Mode de fonctionnement en réception du TLK2501 et état des signaux de contrôle correspondant.	59
5.3	Principales caractéristiques des FPGA retenus pour le prototype.	63
5.4	Organisation des couches du circuit imprimé du prototype de l'unité de décision (largeur de chaque piste de signal de 203,2 μ m et utilisation de diélectrique FR4 sans halogène).	70
5.5	Dimension du circuit imprimé.	77
5.6	Consommation du système.	77
6.1	Résumé des ports d'entrées/sorties de la carte GPL.	81
6.2	Mesure du BER (Bit Error Rate) pour une durée de 72 heures.	89
6.3	Traitement de données et latence de l'unité de décision.	89
6.4	Estimation du temps de traitement disponible pour l'unité de décision.	90
6.5	Pourcentage de réduction des taux par voie de déclenchement pour l'algorithme 1.	93
6.6	Pourcentage de réduction des taux par voie de déclenchement pour l'algorithme 2.	93
7.1	Tableau comparatif du nombre de conditions élémentaires et globales défini par catégorie d'algorithmes.	100
7.2	Nombre de canaux de déclenchement en fonction des algorithmes.	101
7.3	Tableau comparatif des cibles technologiques.	102
7.4	Traitement de données et latence de l'unité de décision.	106
A.1	Les 12 constituants élémentaires de la matière.	115
E.1	Format des mots vu du côté réception.	125
E.2	Format des mots vu du côté émission.	125
E.3	Assignement des bits pour les cinq candidats du sous-détecteur CALO.	126
E.4	Assignement des bits pour les deux variables globales du sous-détecteur CALO.	126
E.5	Assignement des bits de données provenant des cartes CU du sous-détecteur muon. C1 et C2 font référence au premier et second candidat muon dans le quadrat considéré.	126
E.6	Assignement des bits de données provenant des cartes SU du sous-détecteur muon. C1 et C2 font référence au premier et second candidat muon dans le quadrat considéré.	126
E.7	Assignement des bits de données du premier mot du sous-détecteur Pile-Up.	126
E.8	Assignement des bits de données du second mot du sous-détecteur Pile-Up.	126
F.1	Contenu de la trame envoyée au DAQ (L0Block).	128

J.1 Organisation des couches du circuit imprimé de la carte GPL.	136
--	-----

Remerciements

Dans ces quelques lignes, je tiens à remercier l'ensemble des personnes qui ont contribué à la réalisation de cette thèse ainsi que les institutions qui m'ont accueilli.

Tout d'abord, je voudrais remercier messieurs Bernard Michel et Alain Baldit, directeurs successifs du Laboratoire de Physique Corpusculaire de Clermont-Ferrand pour avoir soutenu ma candidature et m'avoir accueilli dans le laboratoire. Je tiens également à remercier le Conseil Régional d'Auvergne pour m'avoir accordé sa confiance en participant au financement de mes travaux de thèse.

Je souhaite remercier mon directeur de thèse Pascal Perret pour sa disponibilité et son encadrement ainsi que M. Jacques Lecoq pour ses qualités humaines, son soutien ainsi que son avis d'expert sur les problèmes technologiques rencontrés. Je tiens à remercier l'ensemble des membres du Laboratoire de Physique Corpusculaire et les membres de l'équipe LHCb.

Je tiens également à remercier les membres du jury d'avoir accepté d'évaluer mes travaux de thèse.

Durant ces travaux de thèse, un travail d'équipe et en collaboration étroite a été réalisé avec différentes personnes du service d'électronique et de l'équipe LHCb du LPC. Je voudrais remercier profondément Christian Fayard et Eric Sahuc pour leur patience, leur gentillesse, leurs qualités humaines et professionnelles lors de mes nombreuses sollicitations. Ils ont toujours répondu présent à mes demandes en essayant de faire au mieux et dans les plus bref délais, je vous en remercie beaucoup. Je tiens à remercier Michel Brossard qui a toujours su prêter une oreille attentive à mes travaux. Je le remercie également pour les moments où il m'a fait partager son travail.

Je tiens à remercier Richard Jacobson pour le travail que nous avons réalisé ensemble au CERN ou sur le site du détecteur LHCb dans une ambiance amicale, d'équipe et toujours avec professionnalisme et sérieux.

Je tiens également à remercier Marie-Lise MERCIER pour sa grande disponibilité, ses qualités humaines et professionnelles. Elle a apporté ses compétences et son savoir faire au projet lors des différentes réalisations. Elle a contribué de ce fait à sa réussite.

Je tiens à remercier profondément Magali Magne avec qui j'ai collaboré étroitement durant ces dernières années. Je te remercie pour ton soutien, le dynamisme que tu apportes et la qualité de ton travail. Je te suis reconnaissant de la disponibilité dont tu as fait preuve durant la réalisation du projet mais aussi durant la rédaction de la thèse. Tu m'as souvent proposé tes services et cela même pour un samedi matin, ou toujours laissé un contact en cas de besoin. Je te dois un sincère et grand merci !

Je remercie également Rémi Cornat pour les conseils qu'il a apporté tout au long des travaux de thèse et de m'avoir confié la suite de ses travaux de thèse. Un grand merci pour ta compréhension que tu as témoigné à la rentrée de Septembre 2005 ou je me suis posé beaucoup de questions. Merci également pour tes conseils durant les derniers mois de rédaction de la thèse.

Merci également à Olivier Deschamps et Régis Lefèvre avec qui nous avons souvent construit l'algorithme de l'unité de décision autour d'un café dans la salle de détente toujours dans une ambiance conviviale et sympathique.

Je voudrais remercier sincèrement Hervé Chanal avec qui j'ai travaillé en équipe et qui maintenant prend la suite du projet pour le mener jusqu'à son terme. Nous avons passé de nombreuses heures de test et sur les routes pour aller au CERN ou à Lausanne toujours en ayant l'esprit d'équipe.

Merci à Pierre-Etienne Vert pour les bons moments que nous avons passé ensemble autour d'un petit verre ou d'une petite clope mais aussi pour les nombreuses discussions que nous avons eu et les points de vue que nous avons partagé. Je te souhaite une bonne route et merci encore pour ta présence et l'écoute que tu m'as apporté.

Un grand merci à tous mes amis, notamment Phi et Gaty, qui ont su m'apporter leur soutien et leur confiance. Bien évidemment un immense merci à mes potes et amis Lolo, Jo et Sylvain avec qui j'ai partagé la majeure partie de mon temps libre. Merci à vous les gas pour cette bouffée d'oxygène et votre patience.

Je voudrais remercier profondément Amy. Elle a su m'apporter la force et le courage dont j'avais besoin durant cette dernière période difficile de rédaction de thèse. Merci pour ton soutien, ta confiance et l'attention que tu m'as témoigné.

Maintenant comment trouver les mots permettant de témoigner ma profonde reconnaissance à mes parents qui ont toujours été là pour moi dans les moments difficiles durant ces dernières années. Je vous remercie de tout mon coeur du soutien et de la confiance que vous m'avez apporté, vous êtes une réelle force pour moi. Cette thèse est également la votre.

Résumé

Le détecteur LHCb est l'une des quatre expériences de physique des particules installées sur la nouvelle chaîne d'accélération LHC (Large Hadron Collider) du CERN à Genève. Afin de réduire la quantité de données destinées au stockage pour les analyses hors ligne, un dispositif de sélection en ligne des collisions intéressantes selon la physique à étudier est mis en place en parallèle de la chaîne d'acquisition des données. Ce dispositif est composé d'un premier niveau (niveau 0) réalisé par un système électronique complexe et d'un second niveau de sélection réalisé par informatique HLT (High Level Trigger). L'unité de décision de niveau 0 (L0DU) est le système central du niveau 0 de déclenchement. L0DU prend la décision d'accepter ou de rejeter la collision pour ce premier niveau à partir d'une fraction d'informations issues des sous-détecteurs les plus rapides (432 bits à 80 MHz). L'unité de décision est un circuit imprimé 16 couches intégrant des composants de haute technologie de type FPGA (Field Programmable Gate Array) en boîtier BGA (Ball Grid Array). Chaque sous-détecteur transmet ses informations via des liaisons optiques haute vitesse fonctionnant à 1,6 Gbit/s. Le traitement est implémenté en utilisant une architecture pipeline synchrone à 40 MHz. L'unité de décision applique un algorithme de physique simple pour calculer sa décision et réduire le flot de données de 40 MHz à 1 MHz pour le niveau de sélection suivant. L'architecture interne se compose principalement d'un traitement partiel des données destiné à l'ajustement des phases d'horloge, à l'alignement en temps et à la préparation des données pour la partie définition des déclenchements (TDU). L'architecture développée permet de configurer et de paramétrer l'algorithme de prise de décision via le système de contrôle général de l'expérience ECS (Experiment Control System) sans avoir à effectuer une reprogrammation des FPGA.

Abstract

The LHCb experiment is one of the four particle physics detectors installed at the new Large Hadron Collider (LHC) at CERN in Geneva. In order to reduce the amount of data storage for offline analysis, an online trigger system of interesting events according to the studied physics is implemented in parallel of the Data Acquisition system (DAQ). The trigger system is composed by a first level (Level-0) made by a complex electronic system and a second level made by a computing system called the High Level Trigger (HLT). The Level-0 Decision Unit (L0DU) is the central part of the first trigger level that takes the decision to accept or to reject the event by using a fraction of information coming from the fastest sub-triggers (432 bits at 80 MHz). It is a full custom 16 layers board using advanced FPGA (Field Programmable Gate Array) in BGA (Ball Grid Array) package. Each sub-trigger transmits their data via high speed optical links running at 1.6 Gbit/s. The processing is implemented using a 40 MHz synchronous pipelined architecture. It performs a simple physical algorithm to compute the Level-0 trigger decision in order to reduce the data flow from 40 MHz down to 1 MHz for the next trigger level. The internal design of the processing FPGA is mainly composed by a Partial Data Processing (PDP) and a Trigger Definition Unit (TDU). The aim of the PDP is to adjust the clock phase, perform the time alignment, prepare the data for the TDU and monitor the data processing. The TDU is flexible and allows to fully re-configure all the trigger conditions through the Experiment Control System (ECS) without any FPGA re-programming.

Introduction

La physique des particules est une science qui cherche à comprendre et à décrire la structure de la matière. Pour pouvoir étudier et confronter les modèles théoriques aux résultats expérimentaux, des détecteurs sont construits autour des points d'interaction des accélérateurs de particules. Aujourd'hui, quatre nouveaux détecteurs sont installés sur le nouvel accélérateur LHC (Large Hadron Collider) du CERN à Genève (Organisation Européenne de la Recherche Nucléaire).

Le détecteur LHCb est l'un de ces quatre détecteurs. Il a pour objectif de comprendre la différence de comportement entre une particule et son anti-particule, phénomène découvert en 1964 et appelé « violation de CP », et d'étudier l'origine de ce phénomène. Grâce à la précision et au large spectre de ses mesures, LHCb pourrait observer des effets très subtils que le modèle standard ne peut pas décrire et contribuer à la mise en évidence d'une nouvelle physique non prévue par le modèle standard des particules élémentaires et de leurs interactions.

Ce détecteur est constitué de plusieurs sous-détecteurs destinés à l'identification des particules produites lors des collisions, à la mesure de leur énergie et de leur trace. LHCb traitera une collision toutes les 25 ns sur près d'un million de voies de mesure. Comme pour ses homologues ATLAS, CMS et ALICE de telles expériences soulèvent une problématique récurrente liée à la quantité de données produites par jour d'expérimentation et à l'impossibilité de stocker l'ensemble des données. Pour faire face à cela, un système à plusieurs niveaux de sélection des collisions intéressantes est mis en œuvre. Ce dispositif de sélection en temps réel, appelé également système de déclenchement, fonctionne en amont et en parallèle de la voie de données destinée au stockage des informations.

Pour le détecteur LHCb, le système de déclenchement est composé d'un premier niveau qui a pour but de réduire le flot de données de 40 MHz à un 1 MHz à partir d'une fraction de données issues des sous-détecteurs les plus rapides. Le second niveau est constitué d'une ferme de PC permettant d'affiner la sélection des collisions, et ramène la fréquence de stockage des informations produites à 2 kHz. Le choix final pour le premier niveau de déclenchement d'acceptation ou de réjection de la collision est effectué par l'unité de décision de premier niveau (L0DU). La conception et la réalisation de l'unité de décision ainsi que de son banc de test associé ont fait l'objet des travaux de cette thèse.

Dans une première partie, l'expérience LHCb, la structure générale de l'électronique et sa problématique seront présentées afin de situer l'unité de décision dans son environnement. Cette partie introduira les différents systèmes communs à l'ensemble des sous-détecteurs et essentiels pour le fonctionnement et l'intégration de l'unité de décision sur le site de l'expérience.

La partie suivante sera consacrée au développement de l'unité de décision. Dans le troisième chapitre, une présentation du cahier des charges et une première analyse conduiront à dégager les grandes lignes architecturales de l'unité de décision. Les différents éléments constituant l'architecture générale de l'unité de décision seront détaillés dans le chapitre suivant. Il décrira l'architecture flexible développée permettant de configurer et de paramétrer l'algorithme de prise de décision par l'intermédiaire du système de contrôle de l'unité de décision ainsi que les éléments de contrôle du fonctionnement du système. Le cinquième chapitre présentera l'architecture retenue pour le circuit imprimé et la phase de prototypage. Puis le développement du banc de test externe et les résultats obtenus par le prototype seront présentés avant d'exposer dans un dernier chapitre une évaluation des ressources mises à disposition par le prototype justifiant les améliorations apportées pour la carte finale de l'unité de décision.

Première partie

L'expérience LHCb

A ce jour le modèle standard des particules et des forces, dont certains éléments sont présentés en annexe A, est le meilleur modèle théorique décrivant la structure fondamentale de la matière et de ses interactions. Cependant, telle que cette théorie se présente aujourd'hui, elle ne peut pas tout expliquer et demeure incomplète. Elle ne permet pas, par exemple, de prédire les valeurs observées des masses des particules. Le modèle standard n'est donc pas la théorie ultime et pourrait faire partie d'un modèle de description plus générale. Des questions importantes restent encore sans réponses comme : quelle est l'origine de la violation de CP ? comment expliquer que, depuis son état primordial où coexistaient matière et antimatière, l'Univers ait évolué vers un monde uniquement composé de matière ?

Pour produire ces particules élémentaires et étudier leurs interactions, les scientifiques ont besoin d'outils très spéciaux : les accélérateurs et les détecteurs. Les accélérateurs portent les particules à de très hauts niveaux d'énergie avant de les précipiter sur d'autres particules. Autour de ces points de collision, des détecteurs gigantesques et complexes sont installés afin de reconnaître et de mesurer les propriétés des particules produites. Pour chaque collision, il faut compter et caractériser les différentes particules produites, localiser leur trace et déterminer leur nature. La figure 1.2 illustre une simulation d'une collision dans le détecteur LHCb installé au LHC.

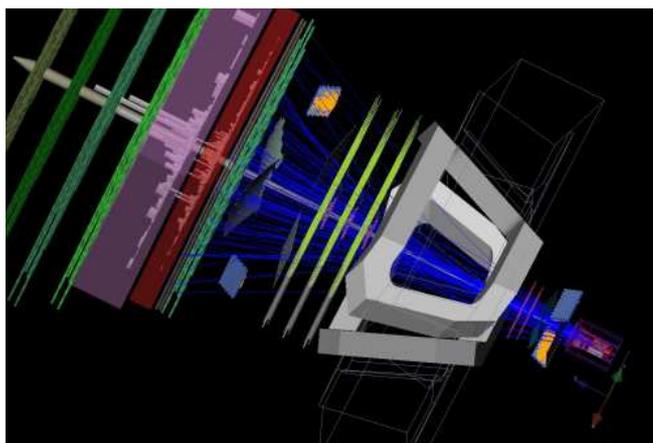


FIG. 1.2 – Simulation d'une collision dans le détecteur LHCb au LHC.

1.2 L'accélérateur LHC du CERN

Le CERN, fondé en 1954, est le plus grand centre mondial de recherche en physique des particules. Il est situé de part et d'autre de la frontière franco-suisse, près de Genève. C'est un laboratoire où les physiciens développent des expériences pour explorer les constituants élémentaires de la matière et étudier les forces qui assurent leur cohésion. Il fournit aux physiciens des outils performants : des accélérateurs, pour porter les particules jusqu'à une vitesse proche de celle de la lumière, et des détecteurs pour observer les particules produites lors des collisions. Le CERN participe à la construction des détecteurs et apporte une solution au problème de coût, de structure de fonctionnement et de ressources humaines face à des expériences de plus en plus complexes.

1.2. L'ACCÉLÉRATEUR LHC DU CERN

La chaîne d'accélérateurs du CERN, présentée en figure 1.3, est enterrée à environ 100 m de profondeur. Elle se compose de machines dont l'énergie va croissante, chacune injectant un faisceau dans la suivante pour amener ce faisceau à un niveau d'énergie encore plus élevé. Le fer de lance de cet ensemble est le grand collisionneur de hadrons LHC (Large Hadron Collider). Il est destiné à faire entrer en collision des protons à une fréquence de 40 MHz. Tout d'abord, un accélérateur linéaire est utilisé afin d'atteindre une énergie de 50 MeV¹. Ensuite, deux accélérateurs circulaires sont utilisés pour augmenter l'énergie des particules jusqu'à 26 GeV avant leur entrée dans le Super Proton Synchrotron et dans le LHC. L'énergie d'entrée dans le LHC des particules est alors de 450 GeV et elle est portée à 7 TeV².

Sur cet accélérateur, 3 expériences de physique des particules seront menées, ATLAS, CMS et LHCb, et une expérience de physique nucléaire hadronique ALICE destinée à la production et à l'exploration des propriétés du plasma de quarks et de gluons. Ce plasma est un état de la matière qui a existé une fraction de seconde après le big-bang.

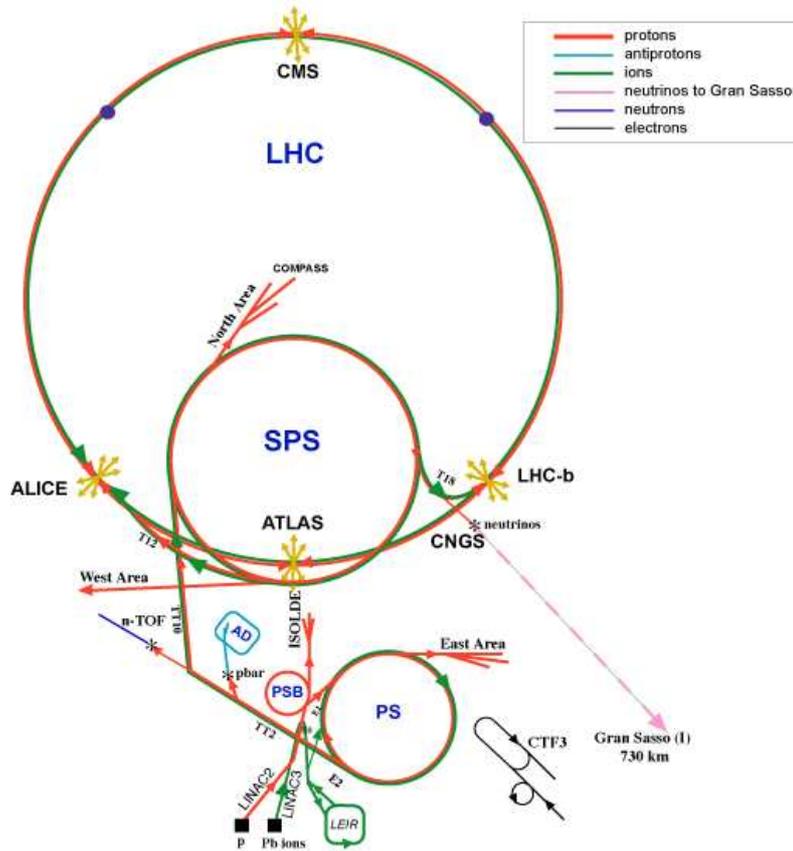


FIG. 1.3 – Le complexe d'accélération du CERN.

¹En physique, l'électron-volt (symbole eV) est une unité de mesure d'énergie. Sa valeur est définie comme étant l'énergie cinétique d'un électron accéléré depuis le repos par une différence de potentiel d'un volt. C'est une unité en dehors du Système International (SI) mais couramment utilisée en physique des particules.

²1 TeV=10¹²eV

1.3 L'expérience LHCb

L'expérience LHCb [1, 2, 3] est dédiée à l'étude de la physique des mésons beaux¹, et notamment des subtiles différences de comportement entre matière et antimatière à partir de collisions entre particules mères proton contre proton. Ces études seront la continuation de celles menées actuellement au Japon et aux États-Unis. Le taux élevé de production de particules belles et la haute précision de l'expérience permettront d'approfondir l'étude de la violation de la symétrie CP dans des modes très variés et d'observer des désintégrations très rares du méson B afin de mieux comprendre le seul mécanisme, connu à ce jour, pouvant distinguer une particule de son antiparticule. Grâce à la précision et au large spectre de ses mesures, LHCb pourrait aussi mettre en évidence une nouvelle physique, non prévue par le modèle standard des particules élémentaires et de leurs interactions.

1.4 Vue globale du détecteur LHCb

Le détecteur LHCb, présenté en figure 1.4, s'inscrit dans un parallélépipède de $10 \times 10 \times 20$ m³. Il se situe à un des endroits où les faisceaux de particules de l'accélérateur LHC entrent en collision. Cette collision génère un essaim de particules élémentaires qui sont alors détectées par les capteurs physiques des sous-détecteurs. Ces sous-détecteurs convertissent les informations générées en signaux électriques. A partir de ceux-ci, il est alors possible de remonter à la trajectoire des particules, à leur temps de vie, à leur énergie, à leur impulsion transverse, à leur charge ou à leur type.

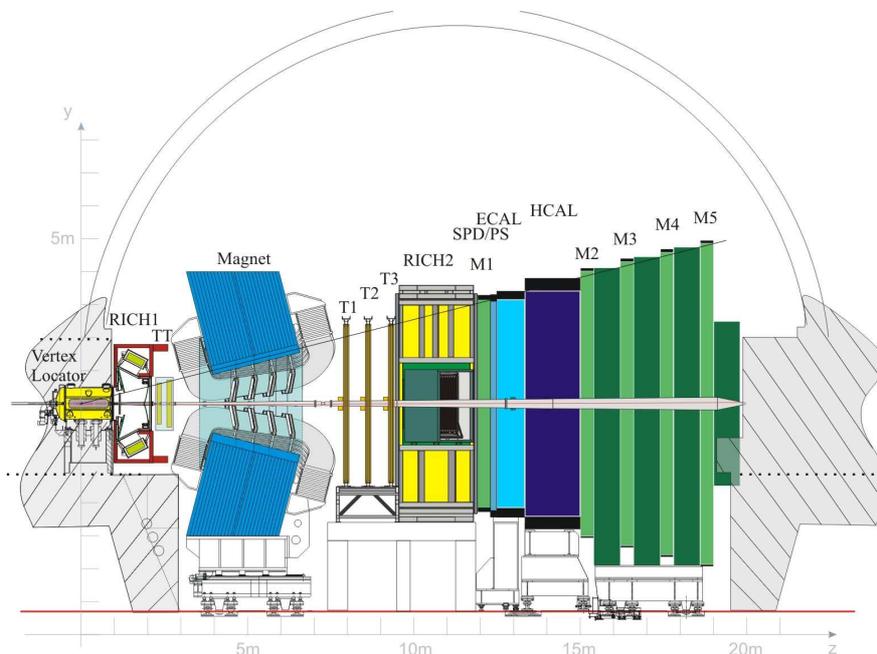


FIG. 1.4 – Le détecteur LHCb et ses sous-détecteurs.

¹Particule composite, non élémentaire, composée d'un nombre pair de quarks et d'anti-quarks b.

1.5. LES SOUS-DÉTECTEURS ET ÉLÉMENTS CONSTITUTIFS

Un détecteur de physique des particules comprend plusieurs éléments :

- des capteurs physiques interagissant avec les particules générées lors des collisions ;
- une électronique rapide pour la mise en forme des signaux ;
- un système de déclenchement permettant de sélectionner les collisions composé par un premier niveau électronique et un deuxième niveau informatique ;
- un système d’acquisition des données DAQ (Data AcQuisition) sous formes numériques ;
- un système de contrôle du fonctionnement du détecteur (alimentations basses et hautes tensions, refroidissement, dispositif de sécurité, etc...).

Une originalité du détecteur LHCb est de posséder une géométrie dite vers l’avant adoptée généralement pour les expériences à cible fixe, alors que ses homologues ATLAS et CMS sont des détecteurs cylindriques utiles à la mise évidence de processus nouveau. LHCb détectera les particules produites vers l’avant. Cette géométrie particulière est due à la cinématique de production des paires quarks-antiquarks qui sont émis avec un angle d’acceptance de 300 mrad par rapport à l’axe du faisceau. Pour LHCb, les sous-détecteurs sont alors disposés par plan successif de détection selon leur fonctionnalité.

1.5 Les sous-détecteurs et éléments constitutifs

A ce jour, l’ensemble des sous-détecteurs et des éléments constitutifs sont installés dans la caverne du détecteur LHCb. La figure 1.5 présente une vue de l’avancement de l’installation du détecteur dans sa caverne.



FIG. 1.5 – Installation de l’ensemble des détecteurs dans la caverne.

1.5.1 Le détecteur de Vertex VeLo

Le détecteur de vertex VELO (VERTex LOcator) [3] est un détecteur à silicium donnant une mesure précise de la trajectoire des particules chargées proche du point d’interaction. Il donne des informations sur le nombre de collisions, sur le nombre de désintégrations et mesure avec précision la position du point de collision.

Il est constitué de 21 stations de détection arrangées perpendiculairement par rapport à l'axe du faisceau sur une longueur d'un mètre. Chaque station de détection est constituée de deux plans en silicium séparés de 2 mm l'un de l'autre mesurant les paramètres r et ϕ de la particule chargée le traversant. Une partie de l'assemblage de ce détecteur est présentée en figures 1.6 et 1.7. L'ensemble du détecteur de Vertex comporte environ 200000 voies de lecture de mesures.

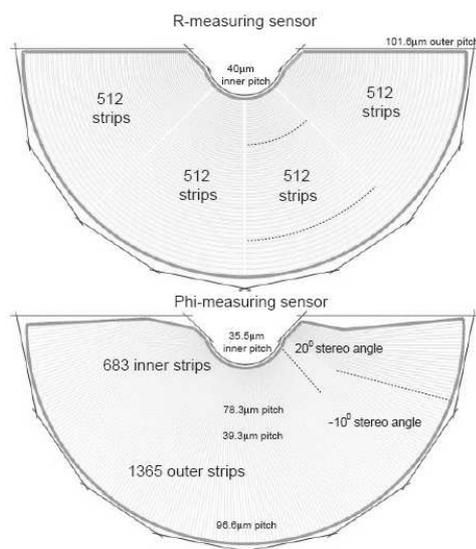


FIG. 1.6 – Disposition du détecteur.

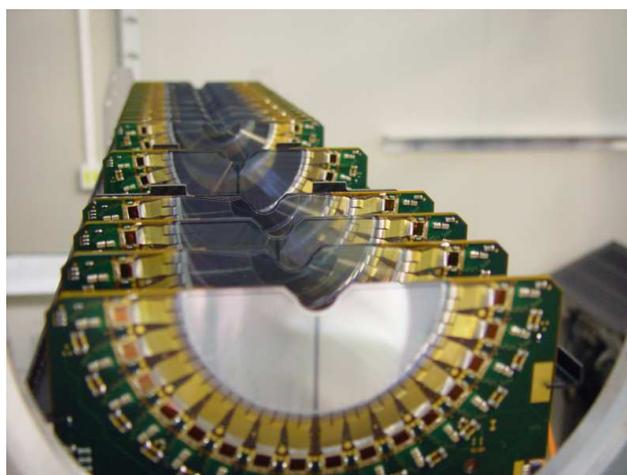


FIG. 1.7 – Assemblage du détecteur de Vertex.

1.5.2 Le détecteur RICH

L'identification des hadrons¹ dans LHCb est réalisée par deux détecteurs RICH (Ring Imaging Cherenkov) [3] afin de couvrir un grand domaine en impulsion et angulaire. La lumière Cherenkov est produite lorsqu'une particule chargée traverse un milieu transparent avec une vitesse plus grande que la vitesse de la lumière dans ce milieu. Ce phénomène est analogue au choc supersonique produit lorsqu'un objet dépasse la vitesse de propagation du son.

Les particules de haute énergie, jusqu'à environ 100 GeV/c, sont identifiées par le détecteur RICH 2 se situant en aval de l'aimant et du trajectographe. Les particules de plus basse énergie, de 1 à 60 GeV/c, sont identifiées par le détecteur RICH 1 localisé en amont de l'aimant. Il couvre un angle d'acceptance de 25 à 250 mrad. La figure 1.8 illustre le détecteur RICH 1 en vue verticale.

¹Un hadron est une particule composite formée de quarks et/ou d'antiquarks. Il y a deux sortes de hadrons : les baryons et les mésons.

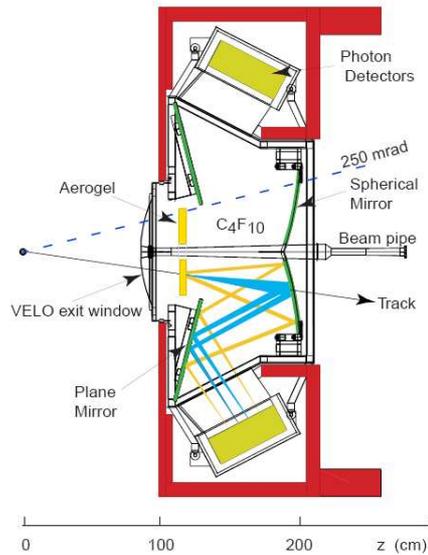


FIG. 1.8 – Le dispositif RICH 1 en vue verticale.

1.5.3 L'aimant

L'aimant (Magnet) produit un champ magnétique de 4 Tesla¹ mètre et courbe la trajectoire des particules chargées dans le plan horizontal. Il facilite l'identification et la mesure de leur charge. Afin de pouvoir compenser l'asymétrie droite-gauche du détecteur, la polarité du champ peut être inversée. L'aimant présente une forme d'entonnoir caractéristique, conçue pour capturer un maximum du cône de particules qui jaillira du point d'interaction où les deux faisceaux de protons du LHC entreront en collision. Il ne s'agit pas d'un aimant supraconducteur, mais d'un aimant classique consommant 4,2 mégawatts² d'énergie électrique, ce qui signifie qu'il produira beaucoup de chaleur et qu'il nécessite donc un système de refroidissement puissant, avec un énorme débit de 150 mètres cubes par heure d'eau déminéralisée qui s'écoule à travers des conducteurs creux en aluminium et des conduites de refroidissement.

1.5.4 Le trajectographe

Le trajectographe (Tracker) [3] est un système réalisant une mesure de l'impulsion des particules chargées ainsi que de reconstruire la trajectoire des particules. Une première station TT est localisée derrière le RICH1 en avant de l'aimant. Elle est constituée de 4 plans de détecteur à bande de silicium. Les stations T1-T3, localisées entre l'aimant et le RICH2, sont séparées en IT (Inner Tracker) et OT (Outer Tracker) comme illustré en figure 1.9. La partie interne est constituée de la même manière que pour la première station de détection où est attendue la plus grande densité de traces.

¹Le tesla (symbole : T), tiré du nom du physicien Nikola Tesla, est l'unité dérivée d'induction magnétique du système international (SI).

²Le watt (symbole W) est l'unité SI de puissance, de flux énergétique et de flux thermique.

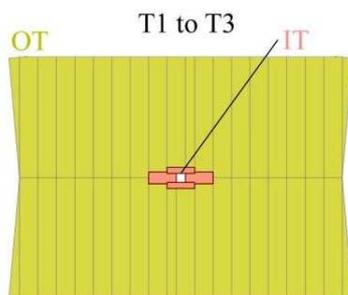


FIG. 1.9 – Composition des station T1-T3.

1.5.5 Le calorimètre

Le système calorimétrique stoppe totalement ou absorbe la plupart des particules issues de la collision. Les détecteurs calorimétriques sont utilisés pour identifier les particules photon, électron et hadrons et mesurent leurs énergies ainsi que leurs positions. L'une des fonctions du calorimètre est de fournir des informations pour le premier niveau de sélection. Ce système se compose de quatre éléments :

- le détecteur de pied de gerbe PS (pour Pre Shower) est composé d'une plaque de plomb et d'un plan de détection. Il identifie les électrons et les photons ;
- le SPD (Scintillator Pad Detector) est identique au PS mais sans couche de plomb. Il participe à l'identification des particules chargées. Il est situé devant le PS et il sépare les électrons des photons ;
- le calorimètre électromagnétique (ECAL) mesure l'énergie des photons et des électrons ;
- le calorimètre hadronique (HCAL) mesure l'énergie des hadrons.

1.5.6 Le détecteur de muon

Le détecteur de muon est constitué de 1380 chambres proportionnelles multifils (MWPC) représentant environ 3 millions de fils. Son rôle est de fournir des informations pour le premier niveau de sélection. Il identifie les muons, mesure leur impulsion transverse, leur position dans le détecteur et leur charge. Il est constitué de 5 chambres à damier de détection M1-M5 couvrant un angle d'acceptance de ± 300 mrad en horizontal et ± 200 mrad en vertical. La station de détection M1 se situe devant le SPD/PS du détecteur calorimétrique. Les stations M2-M5 sont placées derrière le HCAL séparées par un filtre en acier. L'ensemble des stations couvre une surface de 435 m^2 et représentent 126000 canaux de lecture traités par une électronique, dite frontale, spécialement développée.

Chapitre 2

Structure de l'électronique et du système d'acquisition

Au LHC, un croisement de faisceaux a lieu toutes les 25 ns afin de produire le plus grand nombre de collisions possibles pour les analyses et études physiques. Les détecteurs et leur électronique associée doivent traiter 40 millions d'événements par seconde. Cette fréquence élevée se justifie par la probabilité d'occurrence d'une collision favorable à l'étude de la violation de CP et par la volonté de limiter la durée de fonctionnement du détecteur à une dizaine d'années. Ce taux de répétition élevé est l'une des fortes contraintes pour les capteurs et l'électronique dans LHCb.

Une chaîne complexe de traitement est mise en oeuvre allant de la détection des particules, de la mesure de leurs paramètres caractéristiques jusqu'à une analyse statistique complète. Les principales étapes de la chaîne de traitement sont de :

- détecter les particules produites lors de la collision et de produire des données à partir d'un dispositif électronique complexe ;
- réduire et stocker les informations produites sur un support informatique ;
- analyser ensuite ces données par une grille informatique¹ de calcul.

L'ensemble du dispositif complexe de traitement temps réel prenant en charge la production des données, la réduction et le stockage des informations est présenté en figure 2.1. Il se compose d'une l'électronique frontale, ou « Front-End electronics », qui s'interface avec le dispositif de sélection des collisions, le système d'acquisition des données DAQ (Data Acquisition) et le système de contrôle du détecteur.

Les données brutes issues des sous-détecteurs sont prises en charge pour une mise en forme analogique et numérique. Les données sont ensuite stockées temporairement dans des mémoires analogiques ou numériques pendant que le système de déclenchement de premier niveau statue sur l'acceptation de la collision. Les données sont ensuite acheminées (Readout network) vers le second niveau de sélection et définitivement enregistrées en cas d'acceptation de la collision par le second niveau.

¹Une grille informatique, ou « grid », est une infrastructure virtuelle constituée d'un ensemble de ressources informatiques potentiellement partagées, distribuées, hétérogènes, dé-localisées et autonomes.

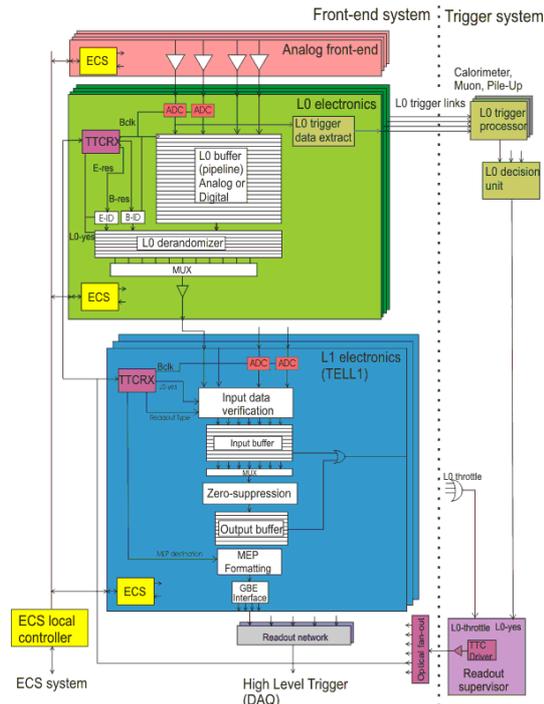


FIG. 2.1 – Diagramme de l'électronique frontale et de ses interfaces avec le système de déclenchement, d'acquisition des données et le système de contrôle du détecteur.

2.1 Le système frontal

Le système frontal de LHCb est défini comme étant le dispositif de traitement et de mise en mémoire d'attente de tous les signaux du détecteur jusqu'à ce qu'ils soient acheminés au système d'acquisition des données DAQ. Les signaux analogiques sont amplifiés, numérisés et stockés temporairement durant le temps de traitement du dispositif de sélection des collisions de premier niveau. Puis elles font l'objet d'une suppression de zéro et d'une mise en format pour le système DAQ. Une partie des données des sous-détecteurs est extraite et transmise au système de déclenchement de premier niveau.

Le système de DAQ est défini comme étant l'implémentation physique du second niveau de déclenchement HLT (High Level Trigger) constitué d'une ferme de CPU (Central Process Unit). Le contrôle en temps de l'ensemble du système frontal et la propagation des décisions de déclenchement sont réalisés par un système global de supervision et de distribution des signaux par un réseau optique complexe. Le contrôle et la surveillance de tous les paramètres du système frontal durant les phases de test, de débogage¹, de calibration ou de prise de données sont assurés par le système de contrôle de l'expérience ECS (Experiment Control System).

¹Correction d'un programme, d'un logiciel, ou d'une application suite à une anomalie de fonctionnement.

2.1.1 L'électronique analogique frontale

L'électronique analogique frontale amplifie les faibles signaux électriques issus des sous-détecteurs en introduisant un minimum de bruit et les met en forme pour qu'ils puissent être pris en charge par l'étage suivant de traitement. Dans une telle expérience, où le taux d'acceptation au premier niveau de sélection est élevé et où aucun temps mort n'est toléré, il est crucial que cette mise en forme soit réalisée en moins de 25 ns afin de minimiser l'effet de recouvrement provenant d'une collision précédente. Dans les parties les plus sensibles de l'électronique analogique frontale, une attention particulière est portée aux sources de bruits externes pouvant provenir des alimentations, des boucles de masse et de couplage électromagnétique.

2.1.2 L'électronique frontale de niveau 0

L'électronique frontale de niveau 0 reçoit les signaux analogiques amplifiés des sous-détecteurs. Elle les conditionne ou les numérise afin de les stocker dans une mémoire d'attente, « L0 pipeline buffer », durant la latence de niveau 0 correspondant au temps de réponse du système de déclenchement de premier niveau et à la propagation de cette information. Pour les détecteurs ayant une large dynamique ou pour les détecteurs binaires, la numérisation est effectuée avant le « L0 pipeline buffer ». Pour les détecteurs avec une gamme limitée possédant une grande quantité de canaux de lecture et où le processus de numérisation aurait eu un coût prohibitif, les signaux sont stockés dans des mémoires tampons analogiques. Dans ce cas la numérisation est effectuée après la réception du signal de validation de la collision par le système de déclenchement de premier niveau.

Les données d'une collision acceptées par le système de déclenchement de premier niveau sont alors extraites du L0 pipeline buffer et sont envoyées dans une mémoire tampon d'attente d'envoi (« L0 Derandomizer ») des données. Ce mécanisme autorise l'acceptation de collisions successives et permet de stocker temporairement les trames à envoyer. L'introduction d'un temps mort après une décision d'acceptation d'une collision aurait conduit à la simplification de l'électronique frontale de certains détecteurs mais à une perte de potentiel d'étude physique d'environ 3,4 % [4]. Une investigation couvrant l'ensemble des sous-détecteurs a montré la capacité à fonctionner sans temps mort. L'utilisation de déclenchement consécutif est également utile pour la calibration du détecteur, le contrôle, les tests et pour pouvoir prendre une photo étendue du détecteur. Le nombre maximum absolu de déclenchements consécutifs qui peut être accepté est alors déterminé par la taille du « L0 Derandomizer ».

Le temps de lecture d'un événement est compris entre 800 et 900 ns pour un taux d'acceptation du système de déclenchement de 1 MHz. En prenant en considération ce temps de lecture, la profondeur du L0 Derandomizer doit être supérieure ou égale à 16 événements de manière à garantir un temps mort effectif en dessous de 1 % à un taux de déclenchement de 1 MHz.

2.1.3 Interface standard avec le niveau HLT

La carte TELL1 (Trigger Electronics Level 1 Board) [5] est le circuit standard d'acquisition des données pour le niveau HLT. Chaque sous-détecteur modifie et adapte le traitement implémenté dans les FPGA (Field Programmable Gate Array) de prétraitement (PP-FPGA) selon leur besoin.

La carte TELL1 reçoit les données des événements qui ont été acceptés par le système de déclenchement de premier niveau et effectue une première vérification des données. Ces données font alors l'objet d'une suppression de zéro¹ afin de limiter la quantité de données envoyée au DAQ. Après cette suppression de zéro, la taille d'un événement fluctue de manière significative et une nouvelle mémoire d'attente d'envoi est requise avant l'envoi des données au système HLT. L'interface entre les cartes TELL1 et le système d'acquisition des données est réalisée par un module insérable standard développé par la collaboration LHCb constitué de quatre liaisons Gigabit Ethernet². Les événements multiples sont assemblés en paquets avant d'être transmis au DAQ sur un réseau de lecture commerciale. L'ensemble des sous-détecteurs, à l'exception du RICH, utilise le système commun d'interface avec le système DAQ, figure 2.2.

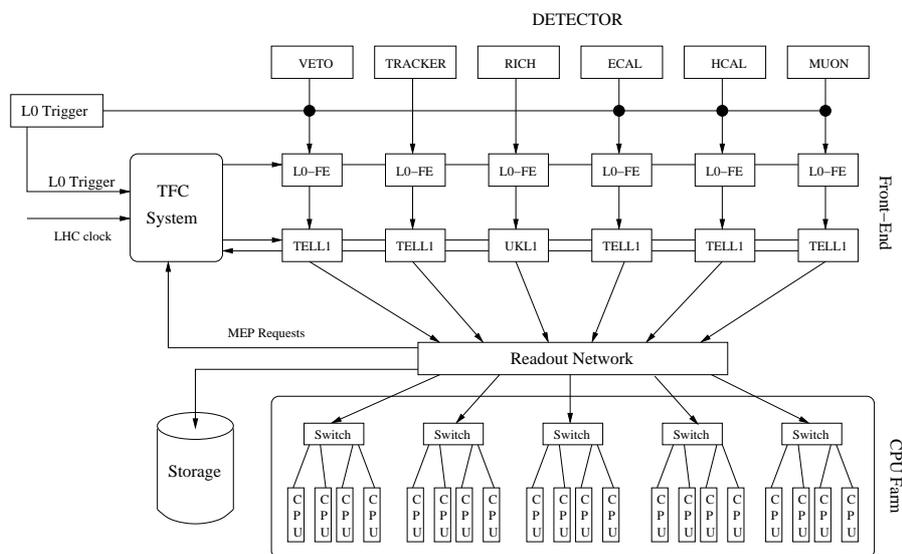


FIG. 2.2 – Architecture du DAQ.

L'architecture générale de la carte TELL1 est présentée en figure 2.3. Elle utilise des cartes mezzanines fournissant une interface optique ou électrique pour les données provenant des cartes électroniques frontales. Elle est capable d'effectuer des calculs compliqués en mode pipeline : synchronisation, filtrage des signaux, calcul et soustraction des piédestaux, correction pour le bruit commun, suppression de zéros, regroupement en une structure à plusieurs événements et encapsulation pour la transmission sur réseau Gigabit Ethernet [6]. Les données à la sortie des cartes TELL1 sont transmises à la ferme de PC pour qu'elles soient assemblées en événements complets et transmises aux processeurs de sélection HLT.

¹La suppression de zéro est destinée à supprimer les zéros redondants d'un nombre ou d'une donnée.

²Ethernet est un protocole de réseau local à commutation de paquets. Il implémente la couche physique (PHY) et la sous-couche MAC (Media Access Control) du modèle OSI (Open System Interconnexion). Le protocole Ethernet est classé dans la couche de liaison.

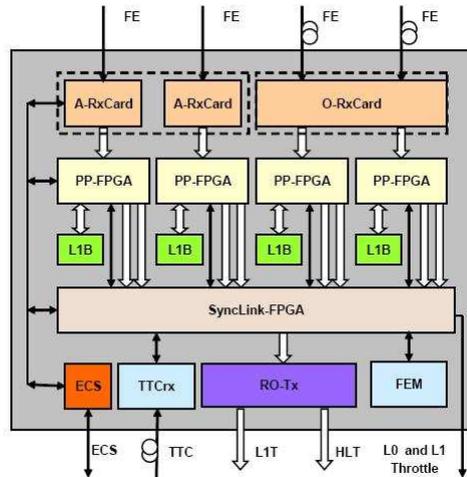


FIG. 2.3 – Architecture de la carte TELL1. Deux options pour l’acquisition des données optiques et des données analogiques sont indiquées. Elle se compose de 5 FPGA : 4 sont pour le prétraitement (PP-FPGA) et un pour la synchronisation et l’encapsulation des données (SyncLink-FPGA).

2.2 Le système de déclenchement dans LHCb

Pour chaque collision, une quantité considérable d’informations est produite sur près d’un million de canaux de lecture. Par seconde, la taille mémoire nécessaire de stockage serait de 4 Téra-octets. De ce fait, il n’est alors pas envisageable d’analyser en temps réel chaque collision et de stocker l’ensemble des informations produites. De plus, seul une fraction des collisions produites lors des croisements de faisceaux conduit effectivement à un événement susceptible d’être intéressant pour les analyses de physique. Afin de diminuer et limiter la taille de l’espace informatique de stockage, un dispositif de sélection en ligne des collisions intéressantes est mis en place. Cette solution permet de garder la résolution du détecteur et de ne pas diminuer la cadence de production de données, ce qui aurait pour conséquence d’augmenter la durée de fonctionnement du détecteur. Ce système de déclenchement, appelé aussi « trigger system », est constitué de plusieurs niveaux de sélection et fonctionne en parallèle de la voie d’acquisition des données.

Le système de déclenchement de LHCb [7], présenté en figure 2.4, est constitué de deux niveaux successifs qui affinent étape par étape la sélection des événements : le niveau 0 puis le niveau HLT (High Level Trigger). Le niveau de déclenchement de niveau 0 ne peut être effectué qu’avec un système électronique spécialement développé à cet effet. L’implémentation de ce niveau en une électronique dédiée permet de traiter massivement les données tout en assurant une prise de décision toutes les 25 ns avec une latence de traitement fixe à ce niveau. Cette latence fixe simplifie l’architecture du système frontal en comparaison d’un système à latence variable. Le temps alloué pour le second niveau étant plus important qu’au niveau 0, il peut être implémenté par un système informatique dont la réponse peut cette fois-ci être à latence variable sans augmenter de façon majeure la complexité du système.

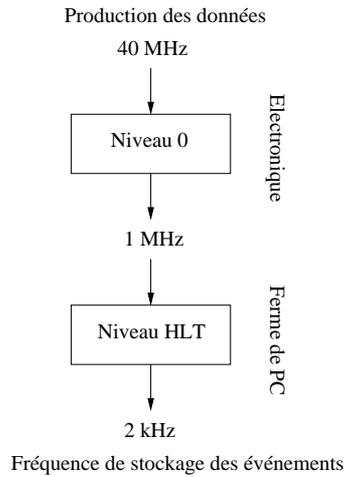


FIG. 2.4 – Vue globale du système de déclenchement.

2.2.1 Le niveau 0 de déclenchement

Une partie des informations du détecteur LHCb est extraite de l'électronique frontale de niveau 0 et est transmise aux processeurs de déclenchement de niveau 0 par liaison optique à 1,6 Gbit/s. Ce dispositif est constitué de 246 cartes électroniques et effectue le traitement des informations en temps $\leq 1,2 \mu\text{s}$. Les processeurs de déclenchement de niveau 0 déterminent et sélectionnent les particules de plus haute énergie et impulsion transverse, et diagnostiquent si le croisement de faisceau a donné lieu à une collision susceptible d'être intéressante à l'étude de la violation de CP. La figure 2.5 présente une vue globale du système de déclenchement de niveau 0.

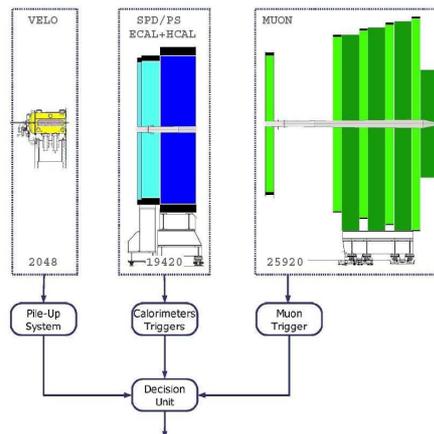


FIG. 2.5 – Architecture générale du niveau 0. Le système reçoit toutes les 25 ns 2048 canaux provenant du détecteur Pile-UP, le système de déclenchement du calorimètre de niveau 0 reçoit 19420 canaux provenant du SPD, PS, HCAL/ECAL tandis que le système de déclenchement du détecteur de Muon reçoit 25920 canaux.

2.2. LE SYSTÈME DE DÉCLENCHEMENT DANS LHCb

L'unité de décision de premier niveau collecte ces informations et prend la décision d'accepter ou de rejeter les informations contenues dans le « L0 pipeline buffer ». Cette décision est transmise au système de supervision globale qui valide ou non cette décision et propage la décision à l'ensemble de l'électronique frontale de niveau 0. Ce traitement est effectué en parfaite synchronisation avec l'électronique frontale de niveau 0 afin d'extraire correctement une collision acceptée dans le « L0 pipeline buffer ».

L'objectif du niveau 0 de déclenchement est de réduire le flot de données de 40 MHz à 1 MHz pour le niveau de sélection suivant. Afin de pouvoir prendre une décision rapide et de limiter les débits d'informations, le niveau 0 statue sur l'acceptation ou la réjection de l'événement en utilisant seulement une fraction de données issue des sous-détecteurs les plus rapides, figure 2.6. Le traitement s'effectue sur des données basses résolutions afin de diminuer le temps de calcul de la décision. Il est réalisé par un système électronique complexe utilisant une architecture pipeline afin d'assurer une latence fixe de traitement.

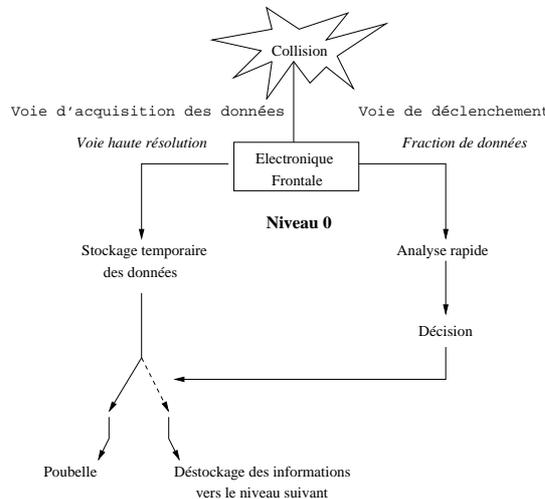


FIG. 2.6 – Voie d'acquisition des données et voie de déclenchement.

Le temps de réponse du dispositif de déclenchement de premier niveau introduit une latence qui est compensée par la mémoire tampon d'attente « L0 pipeline buffer ». Cette latence détermine alors la profondeur de cette mémoire d'attente. Elle doit être la plus faible possible afin de minimiser la taille de ces mémoires tampons pour en diminuer le coût.

2.2.2 Le niveau HLT de déclenchement

L'objectif du second niveau de sélection HLT est de réduire le flot de données de 1 MHz à 2 kHz, fréquence à laquelle les événements sont stockés sur disque puis archivés sur bande magnétique. Ce niveau de sélection calcule sa décision en utilisant l'ensemble des données produites par le détecteur. Il confirme dans un premier temps la décision du niveau 0 puis statue sur l'acceptation ou la réjection de l'événement en appliquant des algorithmes beaucoup plus complexes. La réduction du flot de données réalisée par le niveau 0 permet d'allouer un temps de calcul de quelques millisecondes. L'ensemble du niveau HLT est composé d'une ferme de PC de 2000 noeuds [8].

2.2.3 Dispositif de contrôle des déclenchements

Le Readout Supervisor ODIN (RS) [9] contrôle en temps réel l'ensemble du dispositif. Il joue un rôle crucial en collectant les décisions du dispositif de déclenchement de niveau 0. Il régule le taux de déclenchement du niveau 0 afin d'éviter une possible saturation des mémoires tampons du dispositif. Ces principales fonctions sont de :

- recevoir les signaux de synchronisation des croisements de faisceaux et les informations relatives à la structure du faisceau ;
- fournir l'horloge à tout le système électronique par l'intermédiaire d'un réseau optique complexe ;
- générer en temps réel les signaux de contrôle liés à la structure du faisceau et à l'identification des collisions ;
- recevoir la décision du dispositif de déclenchement de niveau 0 ;
- émuler et réguler le taux d'occupation des mémoires tampons afin d'éviter leur saturation ;
- distribuer la décision d'acceptation de la collision ;
- générer les signaux de calibration et les séquences de déclenchement spécifiques pour les tests.

2.2.4 Particularité du système de déclenchement LHCb

La mise en place de système de sélection en ligne de collision est un dispositif commun à l'ensemble des expériences en physique des hautes énergies. Cependant, le niveau de sélection de niveau 0 de LHCb est particulièrement novateur puisqu'il présente le taux d'acceptation le plus élevé en comparaison de ces homologues ATLAS, CMS et ALICE du LHC comme illustré en 2.7.

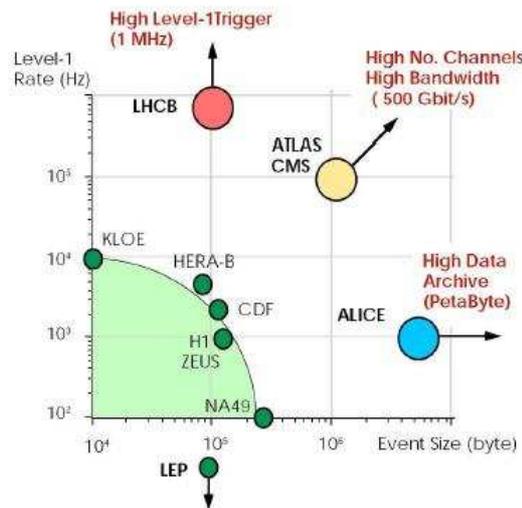


FIG. 2.7 – Taux d'acceptation du premier niveau de déclenchement et moyenne de la taille d'un événement. Le taux d'acceptation est de 1 MHz pour le détecteur LHCb, celui-ci est de 100 kHz pour les détecteurs ATLAS et CMS, et de 1 kHz pour le détecteur ALICE.

2.3. LE SYSTÈME TFC

La multiplication du taux d'acceptation du premier niveau de déclenchement par la moyenne de la taille d'un événement conduit à une mesure de la bande passante requise par expérience. De manière générale, les expériences avec une taille d'événement grande comme pour l'expérience ALICE doivent alors réduire le taux d'acceptation d'événement au premier niveau de façon à garder une quantité raisonnable d'informations. Le taux d'acceptation du niveau 0 de déclenchement de LHCb peut alors être augmenté.

Une autre particularité du système de déclenchement de LHCb est que son architecture comporte uniquement deux niveaux de sélection contrairement au système de déclenchement du détecteur ATLAS [10] qui en possède trois, comme présenté en figure 2.8. Le système de déclenchement du détecteur ATLAS est constitué de trois niveaux successifs de sélection. Un premier niveau électronique (L1) est destiné à réduire le flot de données 40 MHz à 75 kHz, le deuxième de sélection (L2) constitué d'une ferme de 500 CPU réduit le flot de données de 75 kHz à 2 kHz. Le dernier niveau de sélection (L3) constitué d'une ferme de 1600 CPU réduit le flot de données de 2 kHz à environ 200 Hz avant le stockage des informations.

Le système de déclenchement de LHCb présente un caractère innovant car il a la capacité de traiter les collisions sans temps mort et d'accepter jusqu'à 16 déclenchements consécutifs de manière à augmenter le potentiel d'étude physique ce qui ne présente pas de précédent dans les autres expériences.

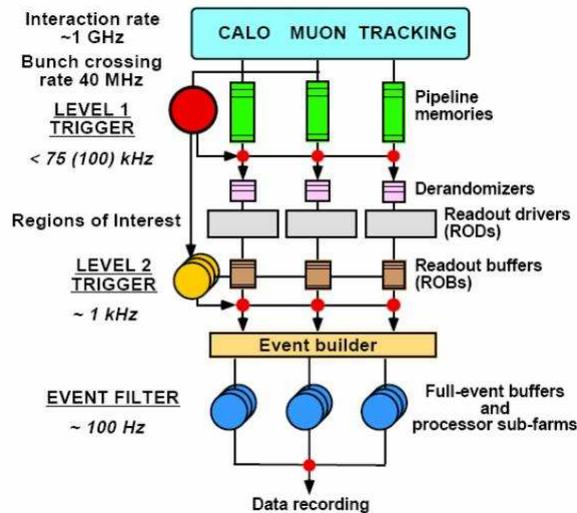


FIG. 2.8 – Architecture multi-niveaux du système de déclenchement du détecteur ATLAS.

2.3 Le système TFC

Le système TFC (Timing and Fast Control) [11] est un dispositif fondamental dans LHCb puisqu'il fournit à l'ensemble de l'électronique l'horloge de cadencement général et les signaux de synchronisation. Chaque cycle machine [4, 12, 13] est constitué de 3564 croisements de faisceaux. Chaque croisement est numéroté par un identifiant appelé **BCID** (Bunch Crossing Identification). Il est nécessaire pour faire la mise en temps des différents détecteurs.

Le système TFC distribue l'horloge, l'instant de démarrage d'un nouveau cycle machine et la décision de déclenchement pour chaque collision à travers un réseau optique complexe. Chaque système électronique implémente un composant résistant aux radiations spécialement développé par le CERN pour la réception de ces signaux : le TTCrx [14]. Il est associé à un autre composant destiné au filtrage des fluctuations de la phase d'horloge QPLL¹ (Quartz crystal based Phase-Locked Loop) [15] pour former une carte mezzanine pouvant être intégrée sur les cartes électroniques. Cette carte (TTCrq), montrée en figures 2.9 et 2.10, décode les informations transmises par le TFC.



FIG. 2.9 – Vue de dessous du TTCrq.



FIG. 2.10 – Vue de dessus du TTCrq.

L'ensemble du système TFC est contrôlé et supervisé par le Readout Supervisor ODIN qui émet la décision finale de déclenchement du niveau 0 (LOAccept).

2.4 Le système de contrôle de l'expérience

Le système de contrôle de l'expérience LHCb ECS (Experiment Control System) [16, 17] a la charge de paramétrer, configurer et surveiller l'ensemble des équipements de l'expérience :

- système d'acquisition des données et de déclenchement ;
- système de contrôle du détecteur DCS (Detector Control System) : gaz, alimentation haute et basse tension, température, etc...
- infrastructure expérimentale : l'aimant, la ventilation, la distribution d'électricité, dispositif de sécurité, etc...
- interaction avec l'accélérateur LHC, le système de sécurité du CERN, les services techniques du CERN etc...

Les relations entre l'ECS et les différents composants de l'expérience sont illustrées en figure 2.11. Cette figure montre que l'ECS fournit une unique interface entre les utilisateurs et les différents équipements de l'expérience.

¹Composant en technologie CMOS 0,25 μ m, résistant aux radiations, fluctuation de sortie ≤ 50 ps pic à pic.

2.4. LE SYSTÈME DE CONTRÔLE DE L'EXPÉRIENCE

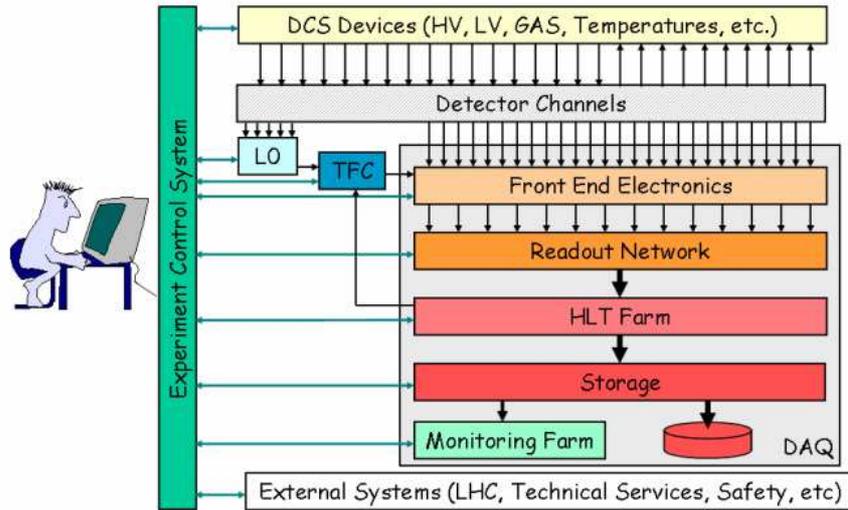


FIG. 2.11 – Vue générale du système de contrôle de l'expérience.

2.4.1 La carte de contrôle CCPC

Chaque système électronique, non soumis aux radiations du détecteur, implémente une CCPC (Credit Card PC) [18, 19, 20]. C'est un PC Linux (I486) complet au format carte de crédit nécessitant une connexion Ethernet à un PC pour son démarrage et sa mémoire de stockage des données. Elle permet d'interfacer l'électronique et le système de contrôle, figures 2.12 et 2.13.



FIG. 2.12 – Vue de dessus de la CCPC.



FIG. 2.13 – Vue de dessous de la CCPC.

Cette carte de contrôle CCPC combinée à sa carte d'adaptation (Glue Card) met à disposition plusieurs bus de communication :

- 4 bus I²C (Inter Integrated Circuit) pour la configuration ou la vérification du comportement des composants électroniques embarqués ;
- 3 chaînes JTAG (Joint Test Action Group) pour la programmation des EEPROM (Electrically-Erasable Programmable Read-Only Memory ou mémoire morte effaçable électriquement et programmable) contenant les micro-codes des FPGA, la configuration directe

- des FPGA et l'implémentation de la chaîne Boundary-Scan¹ pour le test des cartes ;
- 1 bus parallèle (8/16/32 bits) pour le contrôle et la configuration des FPGA.

2.4.2 Logiciel de contrôle

La structure générale de contrôle est basée sur un système de type SCADA² (Supervisory Control and Data Acquisition) appelé PVSSII, présenté en annexe B, qui permet la gestion à grande échelle de chaîne de mesure et de contrôle. Il est utilisé pour interfacer les systèmes électroniques avec le système de contrôle et effectuer leur surveillance, leur contrôle, leur configuration et l'initialisation de leurs paramètres.

¹La technique de Boundary-Scan est conçue pour faciliter et automatiser le test des cartes électroniques numériques. Elle consiste à donner un accès auxiliaire aux broches d'entrée-sortie des composants numériques fortement intégrés.

²Système de télégestion à grande échelle réparti au niveau des mesures et des commandes.

Deuxième partie

Le système LODU

Chapitre 3

L'unité de décision de niveau 0

Ce chapitre explique plus en détail la place de l'unité de décision dans le dispositif de déclenchement de niveau 0, les principaux éléments du cahier des charges ainsi que les choix techniques et technologiques.

3.1 Rôle de l'unité de décision dans le système de déclenchement de niveau 0

Le niveau 0 de déclenchement du détecteur LHCb statue sur l'acceptation ou la réjection de la collision à partir d'une fraction de données issues des détecteurs les plus rapides. Il est composé de quatre sous-systèmes [7] :

- le système de détection d'empilement, ou « Pile-Up », informe sur la position du vertex primaire et secondaire ;
- le système de déclenchement du calorimètre (CALO) traite les informations des sous-détecteurs HCAL, ECAL et PreShower/SPD et sélectionne les particules de plus haute énergie transverse ;
- le système de déclenchement associé au détecteur de muons (MUON) recherche les deux muons de plus haute impulsion transverse par quadrant du détecteur ;
- et de l'unité de décision de niveau 0 (LODU).

La figure 3.1 décrit l'architecture simplifiée du système de déclenchement de niveau 0. Une vue plus détaillée de la chaîne de traitement des détecteurs calorimétriques allant de l'électronique frontale jusqu'à l'unité de décision est présentée en annexe C. L'unité de décision de niveau 0 centralise les informations des dispositifs de sous-déclenchement de niveau 0 et élabore la décision de déclenchement pour chaque croisement de faisceau. L'acceptation ou la réjection de la collision se fait selon des critères simples de comparaison entre l'énergie ou l'impulsion transverse d'une particule et un seuil afin de limiter la complexité de l'électronique. La décision est un mot de 16 bits qui est transmise à 40 MHz au système Readout Supervisor ODIN qui la valide ou non. Après avoir reçu la validation d'acceptation de la collision provenant du Readout Supervisor, l'unité de décision de niveau 0 envoie une trame de données à destination du niveau de déclenchement HLT. Cette trame de données comprend les justificatifs de la décision ainsi qu'une copie des données d'entrées. Cet échantillon permettra de vérifier le comportement de l'unité de décision.

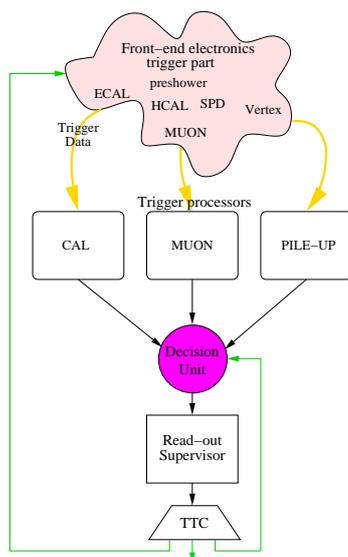


FIG. 3.1 – Architecture du niveau 0 de déclenchement.

3.2 Cahier des charges

L'unité de décision s'insère dans un dispositif complexe et possède une position centrale dans le système de déclenchement de niveau 0. Elle doit alors respecter les contraintes au niveau des débits d'entrée et au niveau temps de traitement, disposer des interfaces standard de l'expérience LHCb et intégrer l'algorithme de prise de décision.

3.2.1 Bilan des entrées/sorties de l'unité de décision.

Le tableau 3.1 présente un bilan des entrées/sorties de l'unité de décision. Le flot de données maximum de l'unité de décision est de 3,8 Goctets par seconde.

Système	E/S	Flot de données
CALO	E	224@40MHz soit 1,12 Goctet/s
MUON	E	256@40MHz soit 1,28 Goctet/s
PILE-UP	E	64@40MHz soit 320 Moctet/s
Réservé	E	224@40MHz soit 1,12 Goctet/s
RS	S	16@40MHz soit 80 Moctet/s
DAQ	S	1024@1MHz soit 128 Moctet/s
ECS	E-S	-
Interface PC via USB	E-S	-

TAB. 3.1 – Résumé des flots de données de l'unité de décision.

3.2. CAHIER DES CHARGES

L'unité de décision possède des entrées réservées pouvant être utilisées soit pour remplacer une entrée défectueuse par une autre entrée, soit pour amener des informations supplémentaires provenant du détecteur. Concernant ce dernier point, il est en cours d'étude d'amener directement les informations provenant d'un scintillateur sur l'unité de décision de premier niveau. Afin de pouvoir contrôler l'unité de décision sans le système de contrôle ECS de l'expérience durant la phase de mise au point, une interface USB a été ajoutée. Cette interface permet d'avoir accès aux mêmes fonctionnalités que par le système de contrôle ECS standard, mais permet d'avoir un système de contrôle indépendant.

3.2.2 Latence au niveau 0 de déclenchement

La latence pour le niveau 0 [4], c'est-à-dire le temps s'écoulant entre une collision dans le détecteur et la réception du signal de validation par les cartes frontales émis par le Readout Supervisor est de $4 \mu\text{s}$. Ce temps prend en considération le temps de vol des particules, le temps de propagation des données dans les câbles ainsi que tous les délais introduits par l'électronique pour la mise en forme des signaux analogiques et le traitement numérique des données. Le niveau 0 de déclenchement dispose à lui seul de $2 \mu\text{s}$ pour délivrer sa décision. Le budget en temps alloué à l'unité de décision est fixé à 500 ns pour réaliser le traitement des données (ce qui correspond à 20 coups d'horloge à 40 MHz). Ce temps correspond à un maximum est ne doit en aucun cas être dépassé. Il doit être également fixe pour assurer le bon fonctionnement du dispositif. Etant donné que le temps de traitement d'un sous-détecteur à l'autre est différent, chaque sous-détecteur transfère ses informations avec une latence qui lui est propre. L'unité de décision doit alors compenser ces latences et aligner les données d'entrée sur le même événement avant d'appliquer l'algorithme de prise de décision. Le tableau 3.2 présente l'estimation de la latence connue pour chaque sous-détecteur au moment de la conception de l'unité de décision [7]. Certains traitements peuvent être alors effectués en attendant la ou les données les plus en retard.

Type	Calo	Muon	Pile-Up
Temps de vol+ câble	975	850	1000
Traitement	1200		
Sous-total	2175	2050	2200
L0DU	500		
RS+TTC-FE	800		
Total Max.	3500		
Marge de sécurité	500		
Latence totale	4000		

TAB. 3.2 – Latence pour le niveau 0 de déclenchement en ns.

Cette estimation de la latence [21] a fait l'objet de plusieurs ré-évaluations durant ces trois dernières années. Désormais les données provenant du sous-détecteur de muon sont les dernières à arriver dans l'unité de décision (2182 ns), les données du Pile-Up arrivent en deuxième position (2076 ns) et les données du calorimètre arrivent en première position (1869 ns). Les conséquences de cette évolution sur l'architecture et le traitement de L0DU seront discutées dans le dernier chapitre dédié à la carte finale et aux évolutions possibles.

3.2.3 Flexibilité du système

L'unité de décision doit disposer d'une certaine flexibilité afin d'être capable de faire évoluer l'algorithme de prise de décision sans avoir à re-compiler le code des composants programmables. L'algorithme doit pouvoir être configuré et paramétré entre deux prises de données sans mettre en oeuvre un processus long et complexe. Ce besoin est justifié par la durée de fonctionnement du détecteur, la volonté d'être indépendant par rapport aux outils et environnement de développement et par les évolutions des algorithmes en fonction de la physique étudiée. Le circuit imprimé doit mettre à disposition une large quantité de ressources pour permettre des évolutions et faire face à de nouveaux besoins non prévus lors de la conception du prototype : entrées de données supplémentaires, nombreux bus de communication et composants programmables sur-dimensionnés.

3.2.4 Fiabilité du système

L'unité de décision étant le système central du système de déclenchement de niveau 0, une grande fiabilité est requise. Le système devra faire l'objet de tests exhaustifs en laboratoire pour garantir le bon fonctionnement grâce à un banc de test spécialement développé à cet effet. De plus, elle devra proposer un certain nombre de fonctionnalités pour la détection de comportements défectueux.

3.2.5 Contrôle du fonctionnement et diagnostic des pannes

Il est également primordial de pouvoir vérifier son bon fonctionnement et de pouvoir rapidement diagnostiquer les pannes. La vérification du comportement doit être réalisée en utilisant le système de contrôle de l'expérience ECS. L'ODU doit intégrer un banc de test interne pour injecter des données de test à la place des données des sous-détecteurs. De plus, des mécanismes de détection d'erreurs doivent être liés à chaque liaison de chaque sous-détecteur. Elle doit également veiller à contrôler l'alignement en temps des données provenant des sous-détecteurs avant l'algorithme de prise de décision. En cas de panne détectée sur le site de l'expérience, un diagnostic détaillé sera établi grâce au banc de test externe de l'unité de décision. Une réparation, comme un remplacement d'un composant défectueux, sera effectuée au laboratoire dans la mesure du possible. En effet, le remplacement des composants en boîtier BGA (Ball Grid Array), demande un outillage spécial et un processus complexe qui ne peut être réalisé que par une entreprise spécialisée. La carte défectueuse est alors remplacée par une nouvelle carte afin de prendre le relais sur le site de l'expérience. Une fois le traitement de l'unité de décision testé de manière exhaustive, les principales pannes seront dues aux liaisons, à la connectique ainsi qu'au vieillissement des composants.

3.3 Choix techniques et technologiques

L'étude du fonctionnement du système frontal, du système de déclenchement de premier niveau, et l'analyse du cahier des charges de l'unité de décision a conduit à dégager certains choix techniques. L'évolution des technologies numériques a apporté des éléments intéressants

pour la problématique liée à l'unité de décision concernant le transfert et le traitement des données.

3.3.1 Implémentation de l'unité de décision comme mezzanine de la carte TELL1

La carte TELL1 a été conçue pour interfacer l'électronique frontale de niveau 0 avec le niveau de déclenchement HLT. Son utilisation est également possible pour l'unité de décision. L'implémentation de l'unité de décision comme mezzanine de la carte TELL1 a permis de diminuer le temps de développement en bénéficiant directement de l'interface avec le système DAQ et avec le système de contrôle ECS via sa CCPC embarquée. Le flot de données de sortie à destination du Readout Supervisor utilise une sortie dédiée intégrée directement sur l'unité de décision. La carte L0DU utilise également les différentes sources d'alimentation : 2.5V, 3.3V et 5V.

3.3.2 Média et interface de connexion avec les sous-détecteurs

Le besoin croissant en entrées/sorties a forcé le passage du mode parallèle au mode série pour les liaisons courtes distances ainsi que pour les liaisons longues distances. La fibre optique présente de nombreuses caractéristiques intéressantes pour les problématiques liées aux expériences de physique de haute énergie : grande bande passante, diminution de l'encombrement, transfert sur de longues distances, immunité contre les perturbations électromagnétiques, isolation galvanique entre émission et réception, fiabilité, testabilité, routabilité et commutabilité. Elle présente cependant les inconvénients suivants : resynchronisation due aux chemins multiples de données, pureté de l'horloge de transmission et une sensibilité à la qualité de l'alimentation. Il existe deux grandes catégories de fibre optique, illustré en figure 3.2 :

- la fibre optique multimode dont la mise en oeuvre est facile et à faible coût ;
- la fibre optique monomode qui atteint les plus hauts débits de transfert, mais chère et plus complexe à mettre en oeuvre.

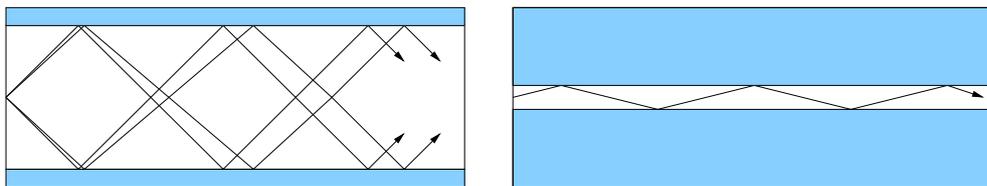


FIG. 3.2 – Propagation de la lumière en réflexion totale dans une fibre multimode (à gauche) et monomode (à droite) à saut d'indice.

Le média utilisé pour transmettre les informations des sous-détecteurs (CALO, MUON et Pile-Up) à l'unité de décision est la fibre optique. Chaque donnée d'un sous-détecteur est transmise à 1,6 Gbit/s sur une fibre optique multimode (50/125 μm) connectée à l'un des deux tableaux de raccordement de l'unité de décision, illustré en figure 3.3. La face avant est composée de 12 connecteurs femelles de type SC. La face arrière permet de connecter un ruban de fibres optiques, au connecteur MTP/MPO femelle composé de 12 fibres simples.



FIG. 3.3 – Tableau de raccordement de type MTP/SC (à gauche) et MTP/LC (à droite).

Le tableau 3.3 résume l'affectation des entrées des deux tableaux de raccordement utilisés pour l'unité de décision. Parmi les 24 entrées, 7 restent disponibles pour le remplacement d'une entrée en cas de panne ou dans le cas d'ajout d'une information supplémentaire pour l'unité de décision.

Sous-détecteur	Nombre de liens tableau de raccordement A	Nombre de liens tableau de raccordement B
CALO	7	-
Pile-Up	2	-
MUON	-	8
Réservé	3	4

TAB. 3.3 – Affectation des entrées des deux tableaux de raccordement L0DU.

La figure 3.4 présente l'implémentation de l'unité de décision et les interconnexions avec les autres systèmes.

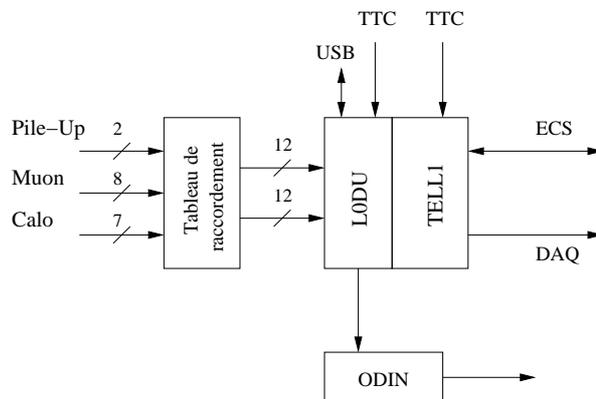


FIG. 3.4 – Configuration de l'unité de décision sur une TELL1.

3.3.3 Unités de traitement

L'évolution de la performance des composants électroniques comme les ASIC (Application Specific Integrate Circuit), FPGA (Field Programmable Gate Array), DSP (Digital Signal Processing) et microprocesseur apporte également des solutions technologiques intéressantes pour la physique des détecteurs de haute énergie. La figure 3.5 montre l'implantation de ces différentes technologies en fonction des niveaux de déclenchement.

Les niveaux de déclenchement 0 et 1 sont implémentés dans des composants électroniques programmables ou de type ASIC. Ils permettent de maîtriser avec précision le temps de traitement. Les niveaux 2 et 3 de sélection sont eux implémentés par des microprocesseurs implantés sous forme de grille de calcul et destinés à l'implantation d'une analyse complexe de la collision.

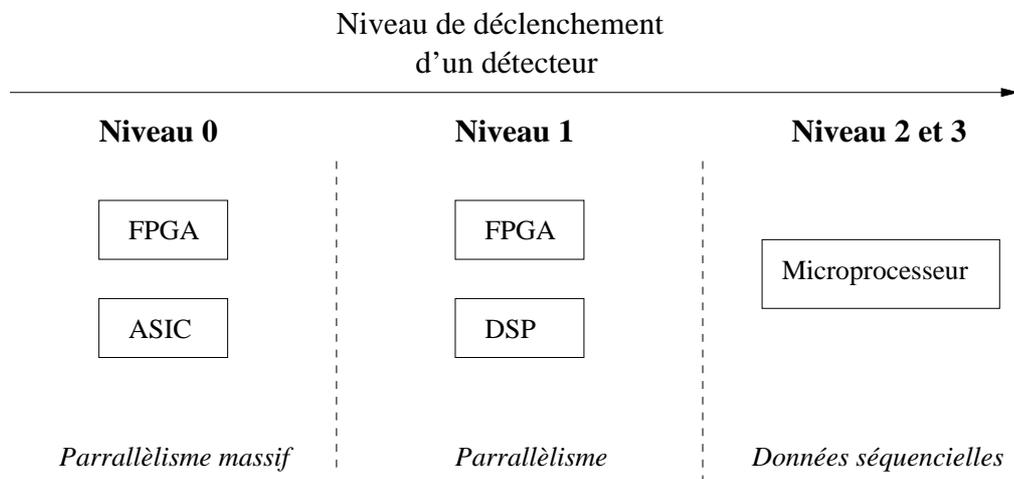


FIG. 3.5 – Technologie utilisée en fonction des niveaux de sélection.

Les FPGA haut de gamme comportent désormais jusqu'à 338000 éléments logiques pour la prochaine gamme de famille de FPGA Stratix III d'Altera dont la sortie est annoncée pour le premier semestre de 2008. De manière générale, les FPGA rivalisent aujourd'hui avec les ASIC en terme de coût et apportent une souplesse et une flexibilité lors du développement. Ces composants embarquent de la mémoire (jusqu'à plus de 10 Mbits), des fonctions DSP, un nombre d'entrées/sorties utilisateur important (allant jusqu'à plus de 1000), la possibilité de choisir le standard d'entrée/sortie et une vitesse de fonctionnement interne pouvant aller jusqu'à 300 MHz.

La multiplication du nombre d'entrées/sorties des composants électroniques a conduit au développement de boîtier à haute densité d'entrées/sorties, boîtier BGA (Bill Grid Array), en comparaison aux boîtiers classiques DIP (Dual Inline Package), QFP (Quad Flat Pack), PGA (Pin Grid Array) où elles se trouvent à la périphérie du composant, illustré en figure 3.6.

Cependant, l'utilisation de boîtier BGA (Bill Grid Array) rend très difficile l'utilisation de sonde durant les phases de test du circuit imprimé. Par conséquent, une intensification du travail de simulation doit être effectuée pour garantir le bon fonctionnement et diminuer ainsi le coût et le temps de développement.

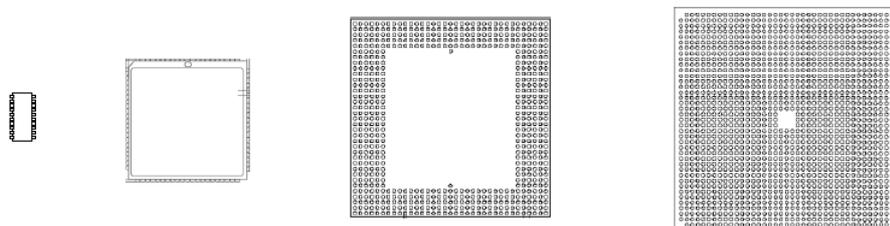


FIG. 3.6 – Différents types de boîtier.

Concernant l'implémentation du traitement de l'unité de décision, le choix du type de composant s'est orienté vers des cibles technologiques de type FPGA apportant une meilleure flexibilité en comparaison aux ASIC. Les fabricants de FPGA tel qu'Altera et Xilinx (mais aussi Actel et Lattice) proposent des solutions technologiques intéressantes et sensiblement équivalentes qui répondent aux besoins de l'unité de décision (nombre d'entrée/sortie, ressource mémoire et logique). Le choix s'est orienté vers le fabricant Altera proposant une famille de FPGA Stratix déjà couramment utilisée et répondant aux besoins. Le tableau 3.4 présente quelques caractéristiques de FPGA de la gamme Stratix.

Caractéristiques	EP1S10	EP1S25	EP1S30	EP1S60	EP1S80
Eléments Logiques (LE)	10570	25660	32470	57120	79040
Mémoires RAM en bits	920448	1944576	3317184	5215104	7427520
E/S	426	706	726	1022	1203

TAB. 3.4 – Caractéristiques des FPGA de la famille Stratix.

Les cibles technologiques choisies seront présentées dans le chapitre dédié au prototype de l'unité de décision. Une architecture synchrone et pipeline permettra d'assurer une latence fixe pour l'unité de décision.

Chapitre 4

Traitement de l'unité de décision

Ce chapitre détaille les éléments composant le traitement interne de l'unité de décision allant du traitement partiel des données à l'implémentation de l'algorithme de décision.

4.1 Architecture générale de l'unité de décision

L'architecture générale de l'unité de décision, présentée en figure 4.1, se structure de la manière suivante :

- un prétraitement des sous-détecteurs ;
- la définition des déclenchements contribuant à la construction de l'algorithme de prise de décision et au calcul de la décision ;
- un bloc pour la construction du mot de sortie contenant la décision ;
- une interface avec le système de contrôle de l'expérience ;
- un bloc pour la construction et l'envoi de la trame de données pour le niveau HLT.

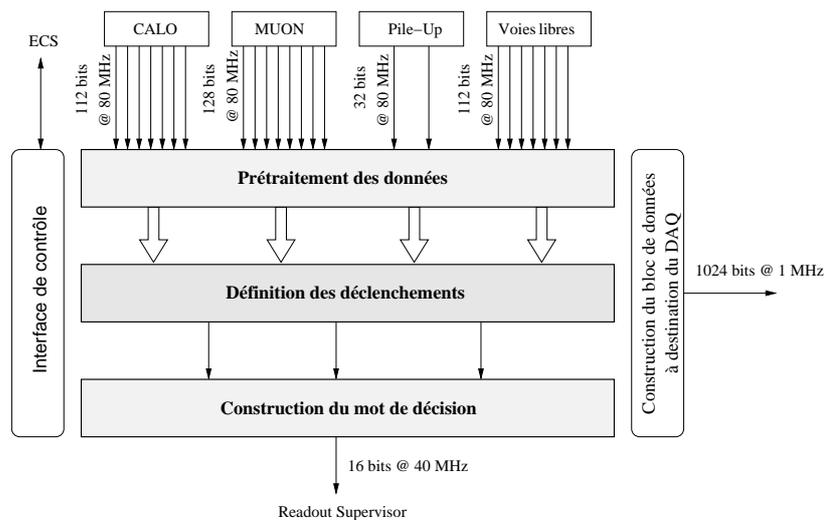


FIG. 4.1 – Architecture générale de l'unité de décision.

L'ensemble des fonctionnalités de l'unité de décision est contrôlé par un logiciel développé sous PVSS et s'intégrant dans le système de contrôle général de l'expérience (annexe D).

4.2 Détail des interfaces

4.2.1 Entrées de l'unité de décision

Chaque mot provenant d'un sous-détecteur, détaillé dans les tableaux en annexe E, est vu du côté réception comme deux mots de 16 bits transmis à 80 MHz. Un mot est composé d'un numéro d'identification de la collision (BCID), de bits d'erreurs, de deux bits pour le démultiplexage des données et la reconstruction du mot de 32 bits, d'une adresse de cellule, d'une valeur d'énergie ou d'impulsion transverse, ou encore d'informations globales caractérisant la collision. Le BCID est utilisé pour réaliser la compensation des latences des sous-détecteurs et l'alignement en temps des données. De par les contraintes matérielles les informations transmises contiennent un bit de démultiplexage, le nombre de bits de données effectifs par lien et par collision est de 30 bits. Les tableaux 4.1 et 4.2 résument le nombre de bits alloués par type de donnée et par sous-détecteur.

Donnée	Muon CU	Muon SU	CALO Candidat	CALO Variable globale
BCID	2	7	7	7
Adresse	2x7	2x6	14	-
Résultat du traitement	2x7	2x1	8	14
Bit de statut	-	4	1	1
Bit de démultiplexage	2	2	2	2
Bit inutilisé	-	5	-	8

TAB. 4.1 – Nombre de bits d'entrée de L0DU en fonction de l'assignement des données des sous-détecteurs CALO et MUON (CU : Controler Board, SU : Selection Board).

Donnée	Mot 1 du Pile-Up	Mot 2 du Pile-Up
BCID	7	5
Information supplémentaire	4	-
Position	8	8
Contenu	8	8
# Hits	-	8
Bit de statut	1	1
Bit de démultiplexage	2	2
Bit inutilisé	2	-

TAB. 4.2 – Nombre de bits d'entrée de L0DU en fonction de l'assignement des données du sous-détecteur Pile-Up.

De par les contraintes matérielles, la structure des informations transmises varie d'un sous-détecteur à l'autre. Cet assignement a été défini en collaboration avec les responsables de chaque

4.2. DÉTAIL DES INTERFACES

sous système afin d'uniformiser et de symétriser les informations entre les liens [22]. Par convention pour chaque sous-détecteur, le bit de statut est forcé à l'état haut lorsque la donnée contient une erreur. L'unité de décision indique alors dans le mot contenant sa décision qu'elle peut être éventuellement erronée.

Données du CALO

Le sous-détecteur CALO envoie à l'unité de décision 7 mots. Cinq de ces mots sont relatifs aux énergies transverses des meilleurs candidats sélectionnés par type de particules : électron (e), photon (γ), hadron (h), les pions π^0 local (π_l^0) et global (π_g^0). Deux mots spécifiques sont utilisés pour les variables globales caractérisant l'événement :

- énergie transverse E_t totale déposée ($\sum E_t$) dans le HCAL. Si la valeur est faible cela peut vouloir dire qu'il n'y a pas eu d'interaction du côté du bras instrumenté du détecteur et que ce n'est sans doute pas un événement intéressant pour la physique ;
- la multiplicité du SPD (SPD_{mult}) qui correspond au nombre de cellules du SPD qui sont touchées par des traces chargées. Cette information permet de savoir si l'événement est très occupé (beaucoup de traces) ou pas. Si la valeur est grande cela signifie qu'il y a peut-être eu plusieurs interactions, que le niveau de déclenchement HLT va prendre du temps à reconstruire toutes les traces.

Les annexes E.3 et E.4 présentent l'assignement de bits défini pour le sous-détecteur CALO.

Données MUON

Le sous-détecteur MUON envoie à l'unité de décision 4 paires de mots. Chaque paire de mots contient les informations relatives aux deux candidats muons d'un quadrant du sous-détecteur (ex : μ_{01} et μ_{02} pour la paire de muons du quadrant 0) : l'impulsion transverse (P_t) du candidat dans le détecteur ainsi que son adresse dans le sous-détecteur et le signe de la charge.

Les annexes E.5 et E.6 présentent l'assignement de bits défini pour le sous-détecteur MUON.

Données du détecteur d'empilement Pile-Up

Le sous-détecteur Pile-Up envoie à l'unité de décision deux mots comprenant des informations caractérisant la collision : le nombre d'impacts (Nb_{hits}) et la position (Pos_{hits}) du Vertex primaire et secondaire.

Les annexes E.7 et E.8 présentent l'assignement de bits défini pour le sous-détecteur Pile-Up.

4.2.2 Mode de test commun à tous les sous-détecteurs

Une procédure de test pour la qualification du taux d'erreur des liaisons optiques a été définie par la collaboration [23, 24]. Elle consiste à envoyer un compteur 16 bits à 80 MHz en continu après avoir établi la synchronisation de la liaison optique. Cette mesure doit être effectuée sur site avec une atténuation de 9 dB sur la liaison optique et pendant une durée minimum d'une demi-heure. Afin de pouvoir identifier et vérifier le positionnement des sous-détecteurs sur les tableaux de raccordement, un autre mode a été défini pour les liaisons sous-détecteurs et L0DU. Pour cela, chaque sous-détecteur doit pouvoir émettre un mot d'identification prédéfini ou paramétrable.

4.2.3 Sorties à destination du Readout Supervisor

Assignement du mot RSDA

L'unité de décision envoie sa décision dans un mot de 16 bits au Readout Supervisor (RS) 'ODIN' à 40 MHz pour chaque événement [25]. Chaque mot contient :

- le numéro d'identification de la collision (BCID) sur 12 bits correspondant au BCID local de l'unité de décision. Il est calculé à partir d'un compteur 12 bits modulo 3564. Ce compteur est pré-chargé avec une valeur destinée à aligner le BCID local du Readout Supervisor et le BCID transmis par l'unité de décision à réception du signal « Bunch Count Reset », contrôlé par le Readout Supervisor ODIN ;
- la décision de l'unité de décision sur 1 bit ;
- un bit de déclenchement forcé (Force Trigger) ;
- un bit de déclenchement pour la calibration du détecteur (Timing Trigger bit) ;
- et un bit de statut.

Champ	Assignement des bits
L0-BCID [11...0]	[11...0]
L0-Décision	[12]
L0-Force	[13]
L0-TIM-TRG	[14]
Statut	[15]

TAB. 4.3 – Assignement des bits du mot contenant la décision.

Un bit de statut est introduit afin d'indiquer que la décision transmise par l'unité de décision peut contenir une erreur. Par convention, ce bit est mis à l'état haut lorsque l'unité de décision détecte la présence d'erreur dans les données d'entrées, lorsqu'une perte de synchronisation d'au moins une liaison optique est survenue ou si les données d'entrées ne sont plus alignées en temps.

Lien de transmission et test de la liaison

Ce mot est transmis sur un lien LVDS 16 bits parallèle point à point d'une longueur de 150 cm. Une paire additionnelle est ajoutée afin de relier les masses de l'unité de décision et du Readout Supervisor.

Le test du lien s'effectue dans un premier temps par une mesure du taux d'erreur. Pour cela, l'unité de décision envoie en continu un compteur 16 bits à 40 MHz. Le test de la synchronisation est effectué dans un deuxième temps et consiste à vérifier que le BCID transmis dans le mot RSDA par l'unité de décision et le BCID local du RS sont alignés. Ce test nécessite une étape préalable destinée à la détermination de la valeur de pré-chargement du compteur de BCID local de l'unité de décision. Cette valeur est déterminée par le Readout Supervisor en calculant la différence entre le BCID transmis par L0DU et son BCID local.

Bit de déclenchement forcé

Le bit de déclenchement forcé est utilisé pour garder un événement lorsqu'une erreur a été détectée dans le traitement des données en amont ou par l'unité de décision. Cette fonctionnalité permet de contrôler le fonctionnement du système hors ligne et d'identifier la cause du problème en forçant l'acquisition de l'événement. Une logique est associée à l'établissement de ce bit pour qu'il ne soit pas constamment forcé à l'état haut lorsqu'une perte de synchronisation survient sur une liaison optique par exemple, afin d'éviter la saturation des systèmes en aval. Le principe général pour l'établissement du bit de déclenchement forcé est présenté en figure 4.2. Lors d'un déclenchement forcé, les bits L0-Force et L0-Décision sont mis à l'état haut.

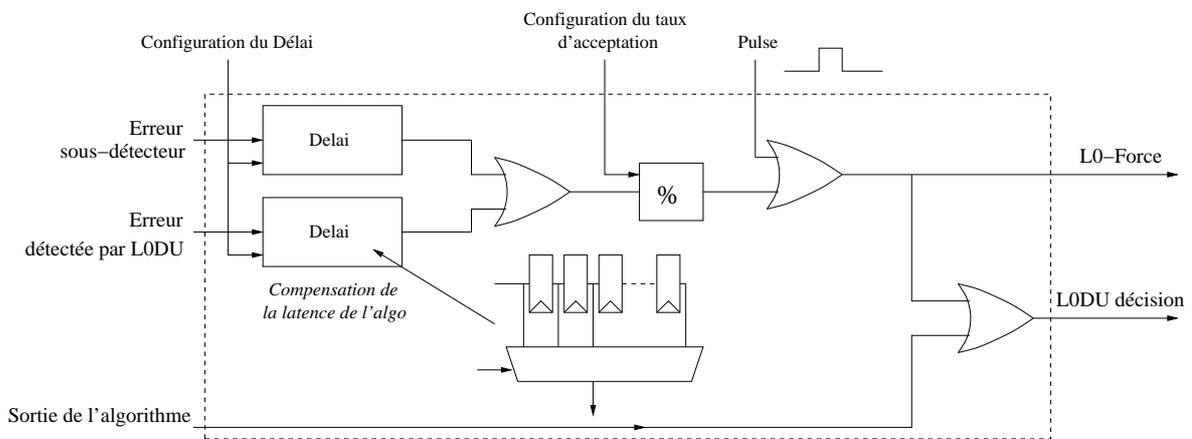


FIG. 4.2 – Principe général pour l'établissement du bit de déclenchement forcé.

Ce bit peut également être utilisé pour l'étude de déclenchement spécifique et la détermination de la latence entre une décision d'acceptation d'une collision par l'unité de décision et la réception du signal de validation de cet événement envoyé par le Readout Supervisor ODIN. Le principe général de la détermination de cette latence est présentée en figure 4.3.

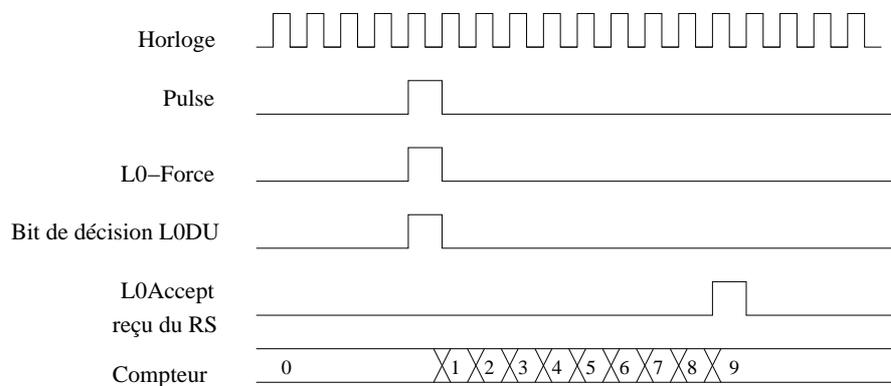


FIG. 4.3 – Principe de détermination de la latence.

Bit de calibration

L'établissement du bit de calibration se base sur le résultat de critères spécifiques ayant eu lieu, par exemple, entre les événements consécutifs $BCID \pm 2$. La logique associée à l'établissement de ce bit introduit une latence additionnelle entre le moment où l'unité de décision calcule sa décision pour l'événement courant et le moment où elle établit le bit de calibration. L'établissement de ce bit est paramétrable et permet de mettre en évidence les séquences suivantes d'événements :

- détection d'une interaction isolée en utilisant l'énergie totale déposée dans le calorimètre ;
- détection d'une décision positive isolée de l'unité de décision ;
- détection d'interactions consécutives à partir de l'énergie totale déposée dans le calorimètre ;
- détection d'une séquence de décisions positives successives.

Le principe d'établissement du bit de calibration permettant la détection d'une séquence spécifique d'interaction est donné en figure 4.4.

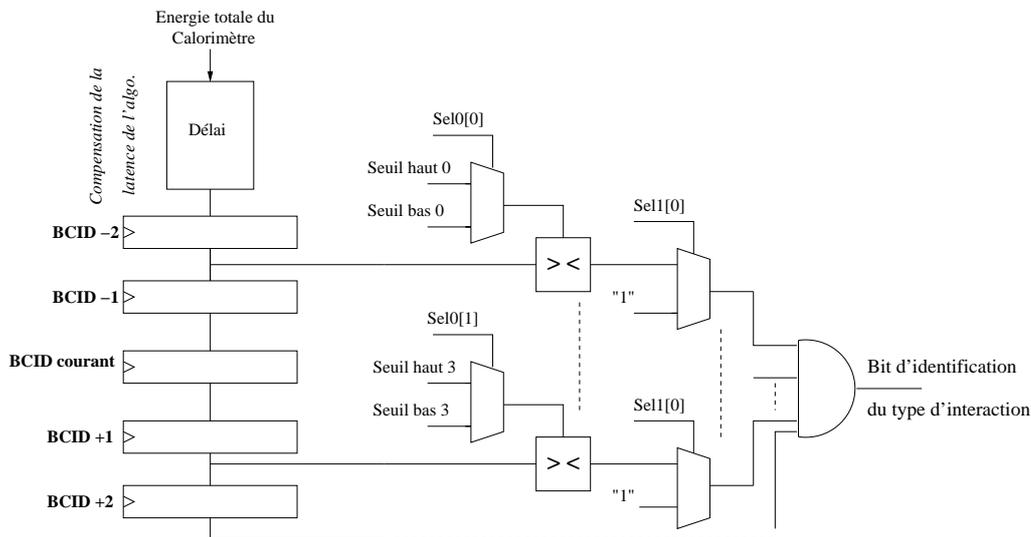


FIG. 4.4 – Principe de l'identification du type d'interaction.

4.2.4 Trame à destination du système d'acquisition DAQ et du niveau HLT

Cette trame de données, appelée "L0Block", est constituée de 32 mots de 32 bits. Elle est envoyée au système DAQ lorsque l'unité de décision a reçu la validation de l'événement par le système de supervision RS. Le tableau en annexe F décrit le contenu mot à mot de cette trame. Ce bloc de données est utilisé par le système de déclenchement HLT pour la prise de décision finale. Il permet l'analyse hors ligne du système et le contrôle du fonctionnement de l'unité de décision. Une simulation logicielle du comportement de l'unité de décision à partir des données comprises dans ce bloc permettra de vérifier son bon fonctionnement ou de mettre en évidence un dysfonctionnement.

4.2. DÉTAIL DES INTERFACES

Le mode de communication mis en place entre l'unité de décision et la carte TELL1, illustré en figure 4.5, utilise l'horloge locale de l'unité de décision et un signal de validation indiquant la validité de la trame transmise. L'acquisition de cette trame est effectuée par une mémoire double port dans un des FPGA de prétraitement de la carte TELL1.

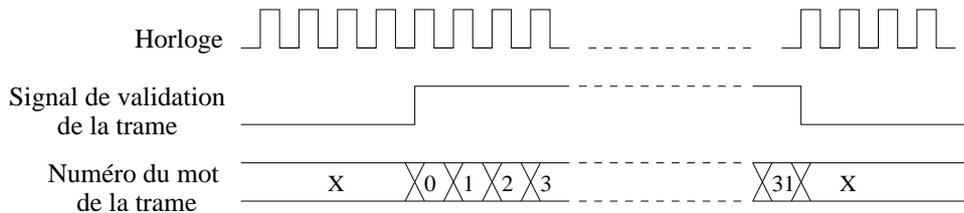


FIG. 4.5 – Principe de l'envoi de la trame à destination de la TELL1.

Entre le moment où l'unité de décision envoie sa décision et le moment où l'unité de décision reçoit la validation de cette collision, il s'écoule un temps dû à la transmission des données, à l'acquisition et au traitement du Readout Supervisor. Cette latence est compensée en stockant temporairement la trame de donnée dans une mémoire tampon. Elles sont ensuite envoyées dans l'ordre chronologique. La fréquence moyenne du signal de validation de premier niveau étant de 1 MHz, il est alors possible d'envoyer les 32 mots à 40 MHz. Le principe d'envoi de la trame de données à destination du DAQ est présenté en figure 4.6.

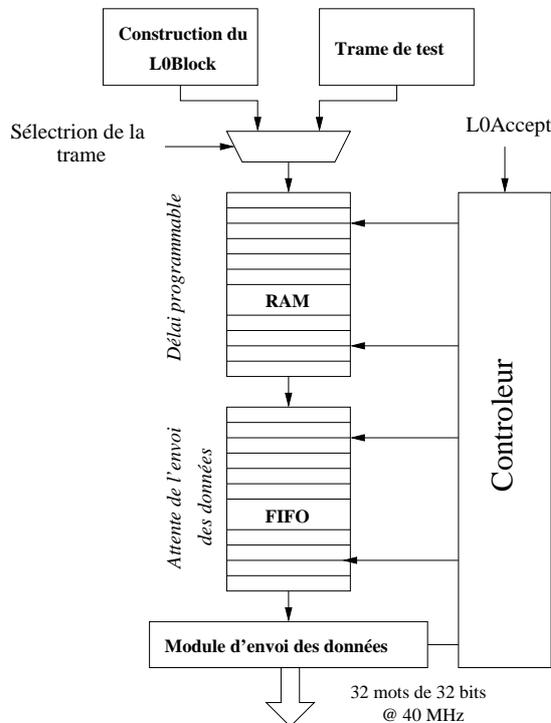


FIG. 4.6 – Principe du module d'envoi de la trame à destination du DAQ.

La collaboration LHCb a fixé la possibilité d'accepter 16 événements consécutifs pour chaque système électronique. Une file d'attente est alors utilisée pour stocker les trames validées en attendant leur envoi.

Mode de test du flot DAQ

Afin de mettre à disposition des modes de test spéciaux facilitant le test du flot de données ainsi que la bonne calibration du délai de la mémoire de stockage temporaire des données du L0Block et du bon fonctionnement lors de signaux de déclenchements consécutifs, deux trames de test peuvent être configurées et envoyées. La figure 4.7 présente les deux trames de test pouvant être envoyées ainsi que les paramètres pouvant être configurés par le système de contrôle de l'unité de décision.

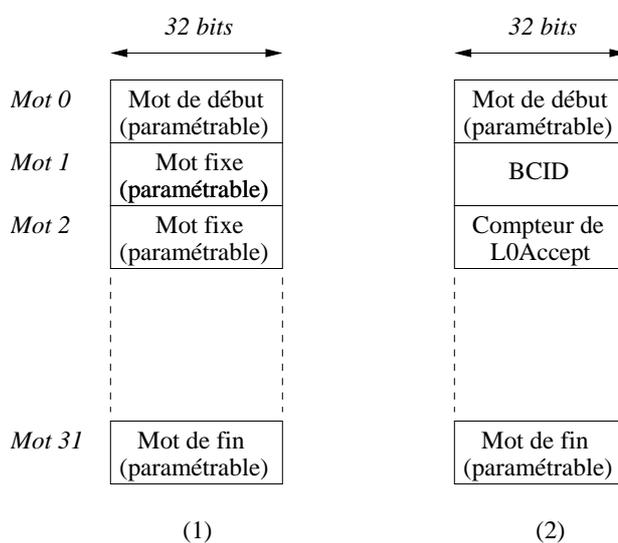


FIG. 4.7 – Trame de test du flot de données à destination du DAQ.

Ces deux modes de test sont principalement utilisés pour tester l'électronique et les interfaces lors de validation du circuit imprimé. Une fois cette validation effectuée, ce flot de données est testé à partir du bloc de données construit par l'unité de décision à partir de ses données d'entrée.

4.3 Pré-traitement de données

Le pré-traitement des données effectué par l'unité de décision réalise une mise en temps des données d'entrée avec l'horloge locale, compensation des latences des données des sous-détecteurs et prépare les données pour l'algorithme de prise de décision.

4.3.1 Mise en temps

La première étape du traitement effectuée par l'unité de décision de niveau 0 est la mise en temps des données issues des sous-détecteurs. Elle se base tout d'abord sur l'ajustement en phase des données avec l'horloge locale puis sur la compensation des différentes latences des sous-détecteurs. L'unité de décision assure également un contrôle continu de l'alignement en temps des données des sous-détecteurs.

Ajustement de la phase

Le système TFC fournit l'horloge au système frontal et au dispositif de déclenchement de niveau 0 par l'intermédiaire d'un réseau de distribution optique complexe. La phase de l'horloge est propre à chaque sous-détecteur. Chaque sous-détecteur traite les données extraites de l'électronique frontale de niveau 0, sérialise les données avant le transfert de ces données à l'unité de décision via des liaisons optiques haut débit à 1,6 Gbits/s.

Les données reçues par l'unité de décision ne sont pas en phase avec son horloge locale à cause des longueurs de câble, des délais de propagation propres à chaque liaison optique d'un sous-détecteur et au processus de sérialisation. Le processus de désérialisation de l'unité de décision extrait l'horloge et les données provenant du flot de données série et fournit un signal indiquant la validité des données extraites. Les données extraites doivent alors être mises en phase avec l'horloge locale de l'unité de décision avant d'appliquer tout traitement. L'unité de décision implémente un dispositif pour mettre en phase les données d'entrées des sous-détecteurs avec l'horloge locale. Le mécanisme de mise en phase avec l'horloge locale est présenté en figure 4.8.

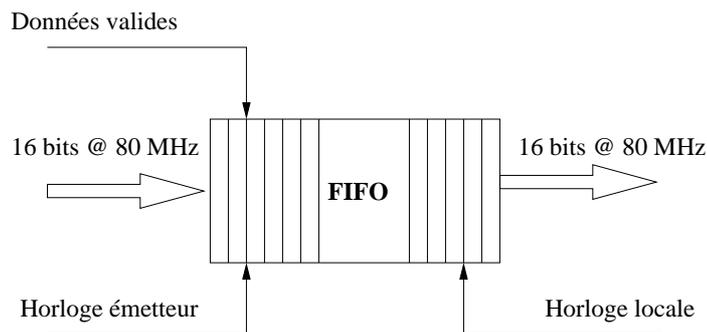


FIG. 4.8 – Principe de l'adaptation des domaines d'horloge.

Ce mécanisme est basé sur une mémoire FIFO (First In First Out) où les données extraites des désérialiseurs sont écrites dans la mémoire avec l'horloge extraite provenant des sous-détecteurs lorsque le signal de validation de la donnée d'entrée est activé. Ces données sont alors lues avec l'horloge locale de l'unité de décision.

Démultiplexage et reconstruction des données

Ce démultiplexage consiste à reconstruire les informations des sous-détecteurs relatives à un même BCID. Pour cela, le flot de données de 16 bits à 80 MHz en phase avec l'horloge locale est converti en un flot de 32 bits à 40 MHz. Le principe, illustré en figure 4.9, repose sur deux registres activés alternativement, d'une mémoire FIFO et d'une machine d'état FSM (Finite State Machine).

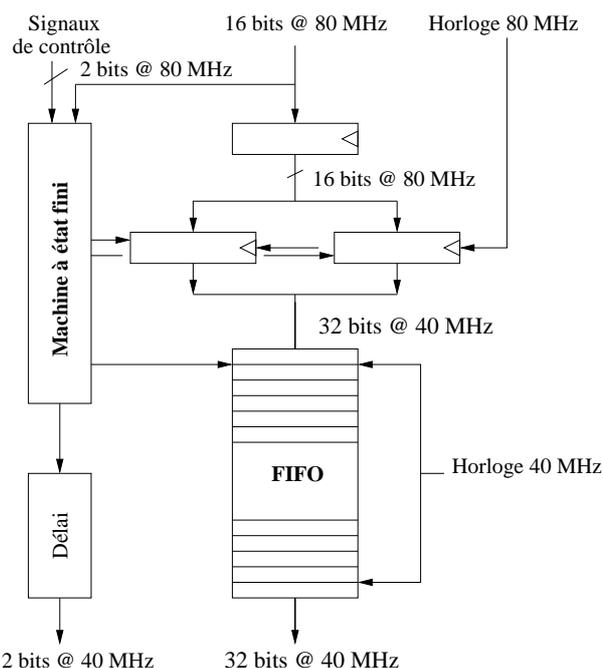


FIG. 4.9 – Principe du démultiplexage de données.

Un mécanisme complexe est intégré dans une machine à état fini afin de contrôler le démultiplexage et d'initialiser les mémoires FIFO lors des phases d'établissement des liens. Cette architecture permet d'être tolérant à des erreurs de transmission sur le bit de démultiplexage. Un mécanisme de détection d'erreur est associé à chaque fonction de démultiplexage des données : perte de liaison ou erreur de démultiplexage liée à une mauvaise séquence de données. Ces erreurs sont alors codées dans un mot de 2 bits, tableau 4.4.

Bit (1)	Bit (0)	Signification
0	0	Pas d'erreur
0	1	Mode d'établissement de la liaison
1	0	Erreur de transmission
1	1	Erreur de démultiplexage

TAB. 4.4 – Décodage du signal d'erreur.

Compensation des latences

Etant donné que les données d'entrée de l'unité de décision proviennent de différents sous-détecteurs ayant leur propre temps de traitement, les données reçues ne sont pas alignées en temps. C'est à dire qu'à un instant donné, les informations d'entrées ne sont pas relatives à un même événement. Il revient alors à l'unité de décision d'aligner en temps ces informations sur le même BCID. Le procédé consiste à retarder les informations les plus en avance sur la plus en retard. Une estimation de ces latences par sous-détecteurs a été réalisée en considérant le temps de traitement ainsi que la longueur des câbles. Cependant, les latences réelles peuvent différer par rapport à cette estimation. La compensation des latences est basée sur des délais paramétrables dont le principe est présenté en figure 4.10.

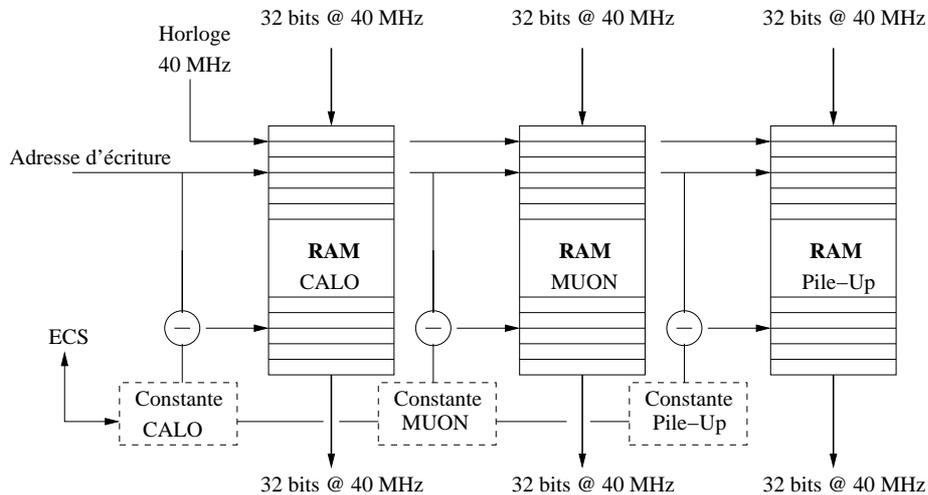


FIG. 4.10 – Principe de la compensation des latences entre sous-détecteurs.

Le choix s'est orienté vers l'utilisation de mémoires RAM double ports pour optimiser l'utilisation des ressources mémoires des FPGA et diminuer l'utilisation des ressources logiques et d'interconnexion internes des FPGA. La procédure d'alignement en temps des données d'entrée s'effectue en plusieurs étapes. Tout d'abord, les BCID reconstruits en sortie des délais programmables sont échantillonnés et stockés dans un registre. Ce registre est lu par le système de contrôle de LODU qui détermine les paramètres de compensation. Ces paramètres sont configurés dans l'unité de décision. Une relecture des BCID permet de diagnostiquer une erreur de l'alignement des BCID.

L'unité de décision implémente un dispositif paramétrable de contrôle continu de l'alignement en temps des données. Les entrées à prendre en considération pour la vérification de l'alignement peuvent être activées individuellement. La référence pour l'établissement de la comparaison peut être également sélectionnée.

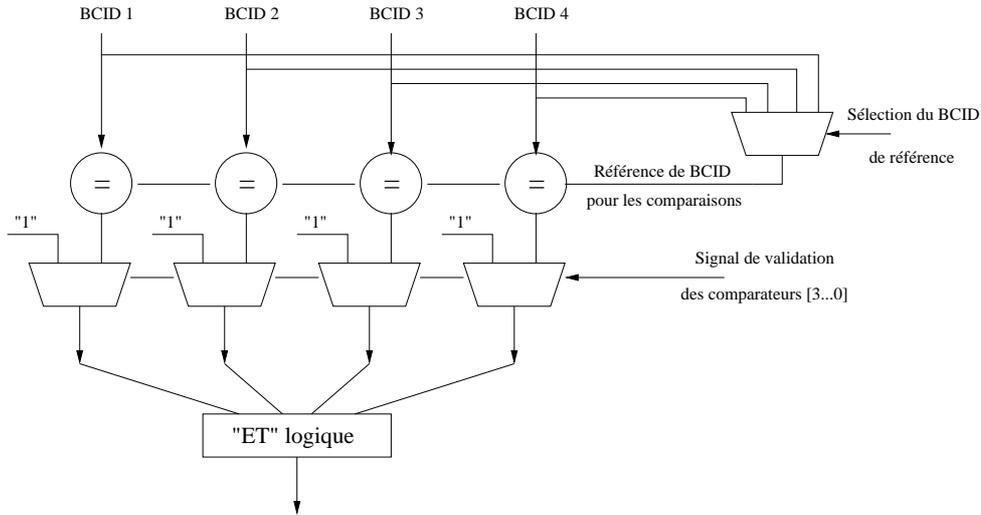


FIG. 4.11 – Principe du contrôle de l'alignement des BCID.

4.3.2 Préparation des données provenant du sous-détecteur MUON

Recherche des candidats muons

Le sous-détecteur MUON transmet à l'unité de décision les données concernant les deux muons de plus haute énergie par quadrant. Dans les algorithmes décrits à ce jour, seul les trois muons de plus haute énergie sont utilisés. Il revient alors à l'unité de décision de faire cette recherche et d'effectuer un classement de ces candidats muons en fonction de leur impulsion transverse. Afin de pouvoir éliminer par la suite les doublons¹, les informations relatives aux adresses, BCID et charges sont gardées. L'arbre de recherche et de classement des 8 muons en fonction de leur impulsion transverse est présenté en figure 4.12.

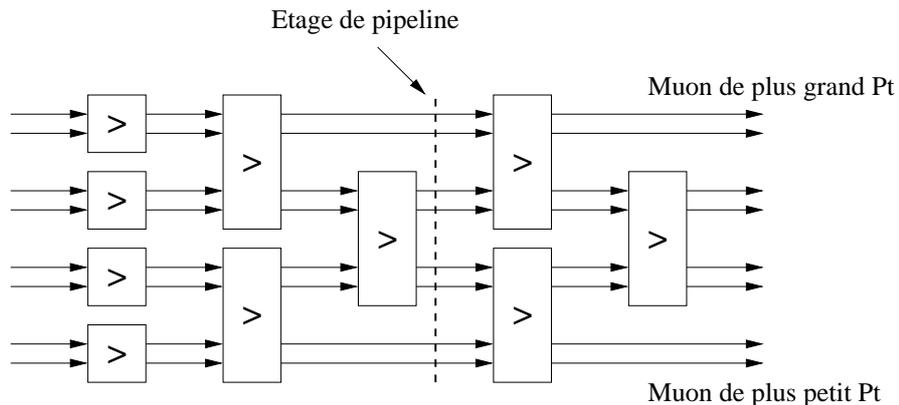


FIG. 4.12 – Arbre de recherche des 8 muons de plus haute impulsion transverse.

¹Candidats muons dans un même quadrant possédant la même impulsion transverse.

4.3. PRÉ-TRAITEMENT DE DONNÉES

Cet arbre comporte un étage de pipeline permettant un fonctionnement à 40 MHz. L'architecture qui a été retenue n'est pas l'architecture optimum possible, présentée en figure 4.13, pour effectuer cette recherche. Cette solution a été retenue car elle permet de garder l'ensemble des informations des 8 candidats muons pour l'envoi de ces 8 muons au DAQ.

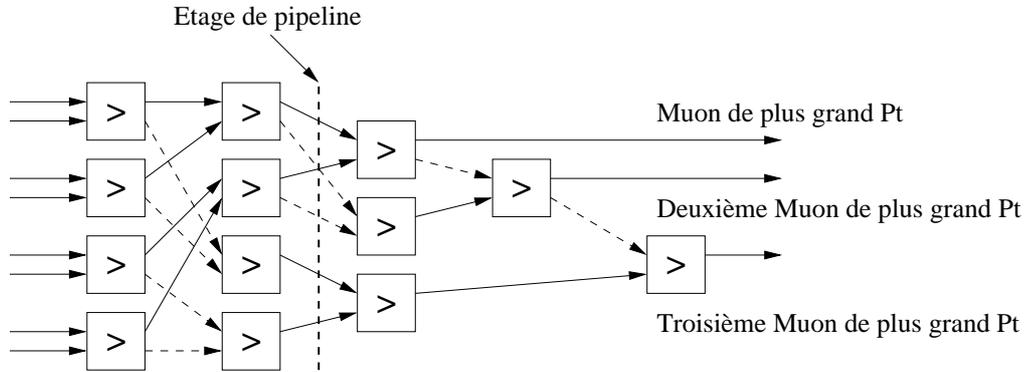


FIG. 4.13 – Arbre de recherche optimisé des 8 muons de plus haute impulsion transverse.

Production des nouvelles données

L'unité doit produire de nouvelles données à partir des entrées du sous-détecteur MUON comme la somme des deux muons de plus haute énergie. Cependant d'autres fonctions plus génériques et flexibles peuvent être requises. Elles produisent une nouvelle donnée à partir de l'impulsion transverse, figure 4.14. Ce bloc est composé en interne par une matrice d'interconnexion pour la sélection des entrées et d'un opérateur (somme ou soustraction). Cette fonction a été conçue de manière générique, c'est à dire que le nombre d'entrées/sorties et la taille d'une donnée d'entrée sont paramétrables.

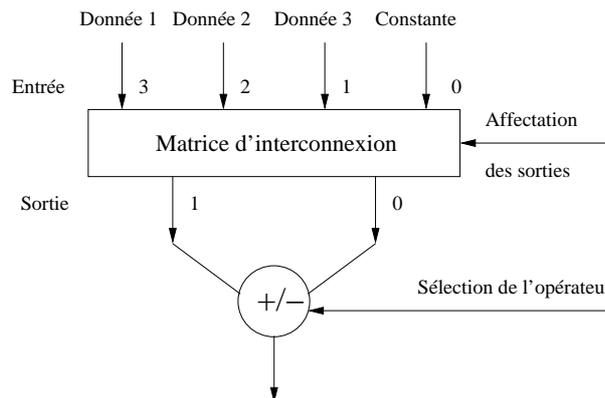


FIG. 4.14 – Bloc de production de nouvelles données.

D'autres informations comme la vérification de la présence d'un candidat dans une certaine région du sous-détecteur ou la détermination du signe de la charge peuvent être utilisées dans l'algorithme de prise de décision.

4.3.3 Préparation des données provenant du sous-détecteur CALO

A partir des informations provenant du sous-détecteur CALO, deux types de nouvelles données peuvent être produites. Un traitement sur les adresses peut être effectué de la même manière que pour les adresses des muons. A ceci s'ajoute la possibilité d'additionner l'énergie transverse de deux ou trois candidats provenant du calorimètre, illustré en figure 4.15.

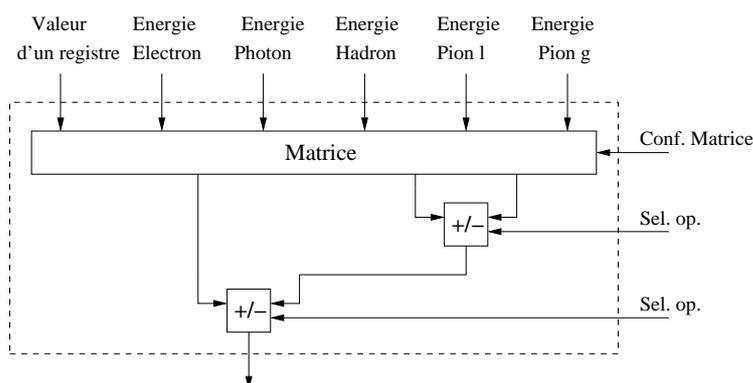


FIG. 4.15 – Traitement sur les énergies transverses des candidats du CALO.

4.4 Définition des canaux de déclenchement

L'implémentation de l'algorithme physique de sélection des collisions intéressantes par l'unité de décision doit être flexible et permettre de configurer et paramétrer cet algorithme. Une analyse des différents algorithmes proposés a conduit à structurer la construction de cet algorithme étape par étape.

4.4.1 Contraintes

Durant le fonctionnement de l'expérience, les algorithmes vont évoluer en fonction de la luminosité du détecteur, des besoins de la physique et des connaissances acquises au fur et à mesure des prises de données. De ce fait, l'unité de décision doit proposer une architecture flexible qui permet l'implémentation de divers algorithmes sans avoir à effectuer une re-programmation des microcodes des FPGA.

Dans le cas de l'implémentation d'une fonctionnalité non prévue, l'architecture proposée doit permettre son intégration sans remettre en cause la structure générale de l'architecture. Dans ce cas une re-programmation des FPGA ainsi qu'une mise à jour du système de contrôle devront être envisagées. Ces contraintes ont conduit à une analyse des algorithmes proposés jusqu'à ce jour afin de proposer une architecture suffisamment flexible.

4.4.2 Structure générale des algorithmes

L'ensemble des algorithmes est construit sur des choix conditionnels multiples basés sur des critères de physique [26] utilisant les meilleurs candidats sélectionnés par les sous-détecteurs et des variables globales caractérisant la collision. L'annexe G présente deux algorithmes de sélection ainsi qu'une interprétation de ces algorithmes.

Par exemple, une collision au niveau 0 déclenchement est acceptée si l'énergie transverse de l'électron (E_T^e) est supérieure à son seuil, condition (4.1), ou si la somme des deux muons de plus haute énergie transverse ($\Sigma P_T^{\mu_1\mu_2}$) est supérieure à son seuil, condition (4.2). Chacune de ces conditions est combinée avec une condition globale¹ (nombre d'interaction $Nb_{hits}=1$) pour former un canal de physique de déclenchement.

$$L0DU(Oui) = \begin{cases} (Nb_{hits} = 1) & \text{et } E_T^e \geq seuil_{(0)} \\ (Nb_{hits} = 1) & \text{et } \Sigma P_T^{\mu_1\mu_2} \geq seuil_{(1)} \end{cases} \quad (4.1)$$

$$(4.2)$$

Chaque critère de sélection est obtenu à partir d'opérateurs arithmétiques ou logiques. La décision de déclenchement finale est obtenue en prenant le « OU » logique entre chacun des canaux de déclenchement.

4.4.3 Conditions élémentaires et canaux de déclenchement

Les conditions élémentaires et les canaux de déclenchement sont deux concepts qui ont été introduits afin de structurer et décomposer les différents algorithmes proposés pour l'unité de décision de niveau 0.

Une condition élémentaire est le résultat d'une opération logique ou arithmétique combinée à un opérateur logique (par exemple : $E_T^e \geq seuil_{(0)}$). Le résultat d'une condition élémentaire est un booléen traduit par un simple bit indiquant si la condition élémentaire est satisfaite ou non. Un canal de déclenchement est composé d'au moins une condition élémentaire et définit un canal de physique à étudier. Ils contribuent directement à la décision d'accepter ou non l'événement. Ces canaux de déclenchement sont élaborés :

- directement à partir d'une condition élémentaire ;
- en combinant une condition élémentaire relative à un candidat et une condition globale caractérisant l'événement ;
- en combinant plusieurs conditions élémentaires ;
- en combinant plusieurs conditions élémentaires et une condition globale.

4.4.4 Architecture flexible

Le principe de la flexibilité de l'architecture consiste à mettre à disposition des éléments logiques pré-synthétisés qui sont ensuite sélectionnés et affectés par un réseau logique programmable. Cette architecture est inspirée de l'architecture interne d'un FPGA, mais avec un niveau de granularité plus élevé.

¹Condition établit à partir d'une variable globale.

Duplication des données

Chaque candidat ou variable globale est dupliqué afin de pouvoir être utilisé dans des sous-canaux de déclenchement différents, avec des seuils ou opérateurs différents. Le nombre de duplication est porté à 4 pour le moment en raison des limitations imposées par les ressources logiques disponibles des FPGA du prototype de l'unité de décision. Le nombre de duplication peut bien évidemment être augmenté pour la carte finale en fonction des besoins exprimés. Les conditions globales sont dupliquées deux fois ce qui est suffisant pour le moment pour la définition des algorithmes de prise de décision. Les nouvelles données produites peuvent être également dupliquées.

La première solution envisagée consistait en une utilisation de matrice d'interconnexion pour la sélection des candidats utilisés dans l'algorithme. Cependant, cette approche nécessitait un trop grand nombre de ressources logiques et de ressources internes d'interconnexion des FPGA. Nous nous sommes donc orientés vers une pré-duplication des candidats et des conditions globales avant l'élaboration des conditions élémentaires qui apporte une flexibilité suffisante pour la définition des algorithmes.

Elaboration des conditions élémentaires

A chaque candidat ou variable globale est associé un bloc d'élaboration de condition élémentaire adapté. Ce bloc met à disposition les opérateurs logiques : $>$, $<$, $=$ et \neq . La donnée d'entrée est alors comparée à un seuil pour élaborer le résultat de la condition élémentaire. La sélection de l'opérateur et la configuration du seuil sont réalisées par l'interface de contrôle de l'unité de décision présentée en annexe D.

Structure à réseau logique programmable

Après l'élaboration des différentes conditions élémentaires, une structure à réseau logique programmable constitue les canaux de déclenchement et élabore de la décision. Cette structure est composée :

- d'un réseau logique « ET » pour la construction des canaux de déclenchement ;
- d'un réseau logique « OU » pour le calcul la décision de l'algorithme.

L'élément de base du réseau logique est composé de « p terme » permettant de sélectionner quelles sont les entrées actives et d'utiliser l'entrée normale ou inversée. La figure 4.16 présente la cellule de base utilisée pour chaque sortie du réseau logique. Cette figure présente aussi la propagation des états logiques des entrées de données jusqu'à la sortie de la cellule de base.

Chaque cellule de base se compose :

- d'une porte logique « ET » à p entrées permettant d'élaborer le canal de déclenchement ;
- de p porte logique « OU » permettant de forcer au « 1 » logique l'entrée de la porte logique « ET » dans le cas où la voie de déclenchement n'utilise la condition élémentaire d'entrée. Dans le cas contraire, c'est le résultat de la condition élémentaire qui est prise en compte ;
- de p multiplexeur 2 vers 1, pour la sélection de l'entrée normale ou inversée.

4.4. DÉFINITION DES CANAUX DE DÉCLENCHEMENT

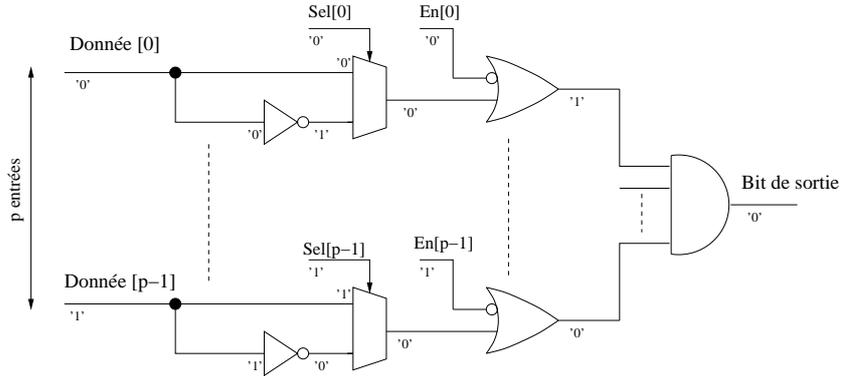


FIG. 4.16 – Cellule de base du réseau logique programmable « ET » et propagation des états logiques. Le signal $Sel[i]$ sélectionne l'entrée normale ou inversée, le signal $En[i]$ force le résultat de la porte logique « ou » au '1' logique lorsqu'il se trouve à '0'.

Architecture flexible pour la définition des déclenchements

L'architecture générale de la construction de l'algorithme de prise de décision est représentée figure 4.17. Les étages de pipeline introduits pour garantir le fonctionnement de l'algorithme à 40 MHz ne sont pas représentés.

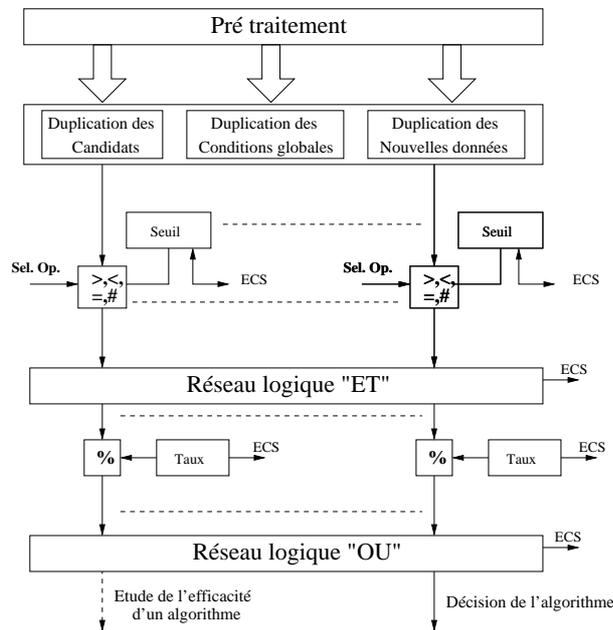


FIG. 4.17 – Principe de l'architecture flexible.

L'architecture proposée n'est pas spécifique à un algorithme particulier. Les voies de déclenchements peuvent être configurées et paramétrées par l'interface utilisateur de l'unité de décision. Cette architecture permet, si le besoin en est exprimé, de faire l'étude d'un algorithme

en parallèle de celui en cours sans gêner le comportement de celui-ci. Cette fonctionnalité peut apporter un élément intéressant d'étude aux physiciens pour la mise au point de nouveaux algorithmes au niveau 0.

4.5 Fonctions associées aux voies de déclenchement

A chaque voie de déclenchement est associée une fonction de réduction des taux destinée à conserver un taux de déclenchement convenable malgré une baisse de la luminosité du faisceau et une fonction de surveillance des taux de déclenchement.

4.5.1 Fonction de réduction des taux

Lors du fonctionnement de l'accélérateur, la luminosité du faisceau ainsi que le taux d'interactions¹ vont décroître. De manière à pouvoir suivre la luminosité de l'accélérateur, les voies de déclenchements sont dupliquées et associées à une fonction de réduction des taux. Elle ne laisse passer qu'un pourcentage de décision positive de la voie de déclenchement et de "régler" l'influence relative des différentes voies de déclenchement. Pour chaque canal de physique à étudier, deux voies de déclenchement peuvent être définies, par exemple :

- l'une possédant une valeur de seuil élevée et un taux d'acceptation de la voie de déclenchement de 100% ;
- l'une possédant une valeur de seuil basse mais avec un taux d'acceptation beaucoup plus faible, par exemple 20% ;

Cette fonctionnalité permet de conserver un taux de déclenchement convenable malgré une baisse de la luminosité en gardant les mêmes paramètres de l'algorithme. Pour suivre au mieux l'évolution de la luminosité, les paramètres tels que les seuils de déclenchement et/ou les paramètres des fonctions de réduction des taux devraient être reprogrammés. Cependant, durant les cycles de fonctionnement du LHC, seul les paramètres des fonctions de réduction des taux pourront être modifiés.

4.5.2 Contrôles des taux de déclenchement

Implémentation

Ce dispositif de contrôle permet aux physiciens de suivre l'évolution des taux de déclenchement au cours du temps et d'ajuster en conséquence les paramètres des fonctions de réduction des taux. L'annexe D présente les panneaux de visualisation de l'évolution du taux de déclenchement. Il est effectué en deux endroits de l'architecture :

- en sortie des fonctions de réduction des taux pour le contrôle des voies de déclenchement ;
- en sortie du réseau « OU » pour le contrôle du taux de déclenchement en sortie de l'unité de décision.

A chaque canal de déclenchement et pour la décision de l'unité de décision, un compteur 40 bits est associé pour le calcul du taux de déclenchement. En plus de ces compteurs, un compteur global permet de connaître la fenêtre temporelle d'observation. De par la dynamique importante de

¹ $R=L \times \sigma$ avec R, taux d'interaction, L la luminosité du détecteur et σ section efficace du faisceau.

ces compteurs et leur nombre, ce contrôle n'est effectué qu'au niveau des voies de déclenchement pour limiter l'utilisation des ressources logiques. Cependant, l'étude du taux de déclenchement d'une condition élémentaire peut être effectuée en constituant une voie de déclenchement seulement à partir de celle-ci mais ne contribuant pas à l'algorithme.

Procédure de lecture

La procédure de lecture et le calcul des taux de déclenchement sont déterminés par le système de contrôle de l'unité de décision. Avant toute lecture de ces différents compteurs, il envoie un ordre d'échantillonnage permettant de stocker temporairement les valeurs de l'ensemble des compteurs dans des registres tampons. Puis il effectue la lecture et calcule le taux de déclenchement des différentes voies. Le taux est calculé à partir de l'équation 4.3, où $N_{(i)}$ et $N_{(i-1)}$ représentent les valeurs du compteur liées à la voie de déclenchement ou à la décision aux bornes de la fenêtre d'observation, $T_{(i)}$ et $T_{(i-1)}$ représentent les valeurs du compteur global aux bornes de la fenêtre d'observation.

$$Taux_{(i)} = \frac{N_{(i)} - N_{(i-1)}}{T_{(i)} - T_{(i-1)}} \times 40MHz \quad (4.3)$$

Cette formule donne seulement une moyenne du taux de déclenchement dans l'intervalle de temps considéré.

4.6 Banc de test interne

Afin de pouvoir vérifier le bon comportement de l'unité de décision, un banc de test interne est intégré. Il permet également de capturer les données d'entrée et les résultats correspondants pour effectuer une simulation du comportement et faciliter les phases de debug au laboratoire ou sur le site de l'expérience.

4.6.1 Implémentation

Afin de vérifier le bon comportement de l'unité de décision sur le site de l'expérience, un banc de test interne est intégré. Il est composé de :

- 24 mémoires RAM (256 mots de 32 bits) pour le stockage des vecteurs de tests. Elles émulent le flot de données des sous-détecteurs (24×32 bits à 40 MHz). Un multiplexeur est implémenté de manière à pouvoir sélectionner le flot réel de données ou le flot de données du banc de test interne ;
- d'une mémoire RAM (256 mots de 16 bits) pour l'acquisition des données après traitement (mot RSDA) ;
- d'une mémoire RAM (256 mots de 16 bits) contenant les résultats attendus.

Le logiciel de contrôle de l'unité de décision charge ces mémoires internes avec des données issues du logiciel de simulation du détecteur LHCB, de configurer et paramétrer l'algorithme de prise de décision. Le diagnostic du test est établi :

- soit en interne pour obtenir un diagnostic global du test, mais ne permet pas de faire un diagnostic événement par événement ;

- soit par logiciel et permet de fournir un diagnostic plus précis événement par événement.

4.6.2 Mode espion

Les mémoires du banc de test interne peuvent également être utilisées en mémoire espion, c'est à dire stocker les données des sous-détecteurs et les résultats correspondants. Le déclenchement de cette acquisition est contrôlé par le logiciel de contrôle de l'unité de décision, et peut :

- soit être demandé de manière « aléatoire », c'est à dire sans référence particulière à un numéro de collision ;
- soit faire la demande de l'acquisition des données d'entrée et du résultat obtenu par l'unité de décision à partir d'un numéro de collision déterminé.

Une simulation comportementale de l'unité de décision pourra alors être réalisée à partir de ces données pour vérifier le bon fonctionnement du système.

4.6.3 Evolution

Le banc de test interne est entièrement contrôlable par le système de contrôle de l'unité de décision. Actuellement, chaque test doit être réalisé par l'action d'un opérateur pour le choix du test à effectuer, le chargement des paramètres de l'algorithme, la programmation des mémoires d'injection, le lancement du test et l'élaboration du diagnostic. Il est en cours d'étude de développer un logiciel de contrôle complet soit directement sous PVSS soit s'intégrant dans PVSS de manière à automatiser les procédures de test et à couvrir de manière exhaustive l'ensemble des voies de déclenchement et des fonctionnalités de l'unité de décision. Ce test automatisé serait utilisé pour vérifier en laboratoire le comportement de l'unité de décision à chaque modification ou ajout de fonctionnalités.

Chapitre 5

Conception et prototypage de l'unité de décision

Le second prototype de l'unité de décision avait pour objectif de proposer une carte électronique très proche de la version finale. Celui-ci devait implémenter l'ensemble des fonctionnalités requises et pouvoir s'intégrer dans l'environnement de l'expérience pour les premières phases de test avec les sous-détecteurs. Une évaluation des ressources disponibles et des limitations du prototype a conduit à déterminer les améliorations à apporter pour la version finale de la carte électronique.

5.1 Analyse de l'existant

Un premier prototype, illustré en figure 5.1, a été réalisé en 2002 avec son banc de test [27, 28]. Il avait permis de valider le concept de l'unité de décision, du fonctionnement à 40 MHz et de l'implantation d'algorithmes physiques dans des composants programmables de type FPGA.



FIG. 5.1 – Premier prototype de l'unité de décision testé et validé en 2002.

Ce prototype comportait un nombre réduit d'entrées au format LVDS utilisant des câbles RJ45 comme média. Il ne possédait ni d'interface de contrôle, ni d'interface avec le système d'acquisition des données, ni d'interface avec le TFC et le Readout Supervisor. Différents algorithmes de physique ont été testés avec ce premier prototype, cependant l'architecture ne permettait pas de les configurer et de les paramétrer par l'intermédiaire d'une interface graphique. Chaque test d'algorithme faisait l'objet d'une reprogrammation des microcodes des 5 FPGA de la carte.

Le banc de test était composé principalement de trois éléments :

- du prototype de l'unité de décision ;
- de cartes mémoires pour l'injection des vecteurs de test et de faire l'acquisition du traitement de l'unité de décision ;
- d'un PC sous LINUX pour le contrôle VME des cartes d'injection et le diagnostic du test.



FIG. 5.2 – Banc de test du premier prototype de l'unité de décision.

A la suite de ce premier prototype, un second circuit imprimé a été développé durant cette thèse. Les objectifs de ce second prototype étaient très importants. Il devait s'approcher le plus possible de la carte finale et servir à évaluer les ressources mises à disposition par celui-ci afin de déterminer les améliorations à apporter pour la carte finale de l'unité de décision. Il devait permettre une installation de la carte électronique dans le puits du détecteur LHCb pour participer aux premières phases d'intégration et de test de l'électronique du niveau 0 de déclenchement.

Ce second prototype présente une évolution majeure, il intègre toutes les technologies envisagées :

- liaisons optiques comme média pour les informations provenant des sous-détecteurs ;
- implémentation de l'unité de décision comme une mezzanine de la carte TELL1 ;
- intégration de la mezzanine TTCrq pour la réception des signaux de contrôle et de l'horloge LHC ;
- implémentation de l'interface à destination du Readout Supervisor.

A ces différences technologiques, s'ajoute également un développement complet des microcodes des FPGA de l'unité de décision permettant notamment de configurer et de paramétrer l'algorithme de prise de décision ainsi que le développement d'un nouveau banc de test complet pour la génération des vecteurs de test, l'acquisition de la décision et de la trame à destination du DAQ.

5.2 Architecture du prototype

L'architecture du prototype comprend plusieurs éléments destinés au traitement des liaisons optiques et à la désérialisation des informations des sous-détecteurs. L'implémentation du traitement de l'unité de décision a été guidée par une étude topologique des différentes solutions possibles.

5.2.1 Récepteur optique

La carte électronique intègre deux récepteurs optiques Agilent HFBR782 contenant chacun 12 canaux de traitement pouvant chacun fonctionner à 2,7 Gbit/s. Chacun permet de connecter un ruban de fibres optiques au connecteur MTP/MPO, illustré en figure 5.3, provenant des tableaux de raccordement externes de l'unité de décision.



FIG. 5.3 – Connecteur MTP/MPO avec ergot de centrage.

Ces récepteurs optiques fonctionnent en multimode à une longueur d'onde nominale de 850 nm. Chaque canal de traitement contient une photodiode couplée à un pré-amplificateur suivi d'un amplificateur et d'une sortie différentielle CML (Current Mode Logic), figure 5.4.

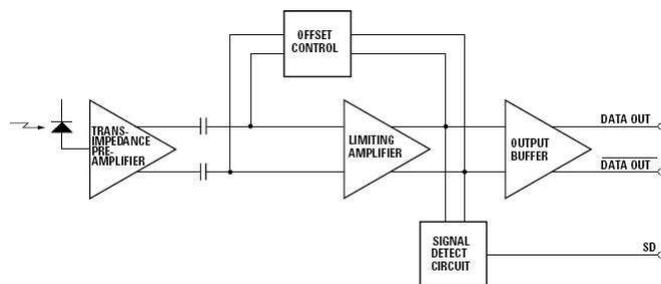


FIG. 5.4 – Bloc diagramme d'un canal de traitement.

La version choisie comporte une protection contre les perturbations électromagnétiques et permet d'être enfichée simplement afin de faciliter la maintenance. Cette version, présentée en figure 5.5, permet aussi un remplacement rapide en cas de dysfonctionnement du composant.



FIG. 5.5 – Récepteur optique Agilent HFBR782BE.

Ce composant possède 4 signaux de contrôle permettant d'activer le composant et de vérifier si l'ensemble des canaux optiques émettent un signal suffisamment puissant. Le tableau 5.1 décrit les signaux de contrôle du récepteur optique.

Signal de contrôle	Description
SD	Détection de signal à l'état haut quand tous les canaux d'entrée sont activés
RX-EN	Validation des sorties du récepteur, actif haut
SQ-EN	Force les sorties du récepteur à l'état haut quand forcé à l'état haut
EN-SD	Validation du signal de détection

TAB. 5.1 – Description des bits de contrôle du récepteur.

Ces composants traitent de façon compacte les informations provenant des sous-détecteurs et convertissent chaque signal optique en un signal électrique différentiel. A la suite de cette conversion, les données doivent être désérialisées. Pour cela deux techniques peuvent être utilisées, soit l'utilisation de désérialiseurs externes commerciaux ou spécialement développés par le CERN [29], soit l'utilisation de désérialiseurs internes aux FPGA.

5.2.2 Désérialisation des données

La solution adoptée pour la désérialisation des données est l'utilisation d'un module de réception étudié et qualifié par le laboratoire du Centre de Physique des Particules de Marseille (CPPM) [30]. L'utilisation du module de réception mis à disposition par le CPPM a permis de réduire le temps de développement et de bénéficier d'une expérience et d'un support technique de cette technologie. La principale difficulté a été d'adapter cette solution aux contraintes de l'unité de décision et de porter une vigilance particulière sur le placement et le routage de cette partie du circuit imprimé.

Le composant TLK2501 de Texas Instrument, basé sur une technologie CMOS, a été retenu par le CPPM. Il convertit un mot de données de 16 bits en un flot de données série haut débit ou vice-versa. La gamme de fréquence de référence peut varier de 80 MHz jusqu'à 125 MHz ce qui correspond à un taux de transfert de 1,6 Gbit/s à 2,5 Gbit/s.

5.2. ARCHITECTURE DU PROTOTYPE

Le CPPM a choisi ce composant de par sa faible consommation (300 mW) et ses caractéristiques proposant de fonctionner soit en émission soit en réception. Il contrôle en émission comme en réception l'état de la liaison par l'intermédiaire de deux signaux de contrôle. L'avantage est de pouvoir séparer le mode d'établissement de la liaison ou d'attente (IDLE) de transfert de données et le mode de transfert de données. Il utilise un codage 8b/10b pour garantir une bonne récupération de l'horloge en réception. Dans le cas où en réception le désérialiseur est incapable d'extraire l'horloge des données, il place les signaux de contrôle en mode d'erreur de transmission. En réception, il réalise les étapes suivantes :

- réception des données sérialisées en niveau différentiel CML ;
- désérialisation des données ;
- décodage du mot reçu correspondant au protocole 8b/10b ;
- positionnement de la donnée reçue en sortie avec l'horloge extraite des données sérialisées.

Du côté émission, le TLK2501 effectue en ordre inverse les étapes opposées. Les différents modes de transmission sont présentés dans le tableau 5.2.

Mode du TLK2501	Signal RX-DV	Signal RX-ER
Mode de synchronisation (IDLE)	0	0
Caractère étendu	0	1
Mode de transmission	1	0
Détection d'erreur de transmission	1	1

TAB. 5.2 – Mode de fonctionnement en réception du TLK2501 et état des signaux de contrôle correspondant.

La figure 5.6 montre l'architecture de la gestion d'un ruban de fibres optiques en sortie d'un tableau de raccordement de l'unité de décision.

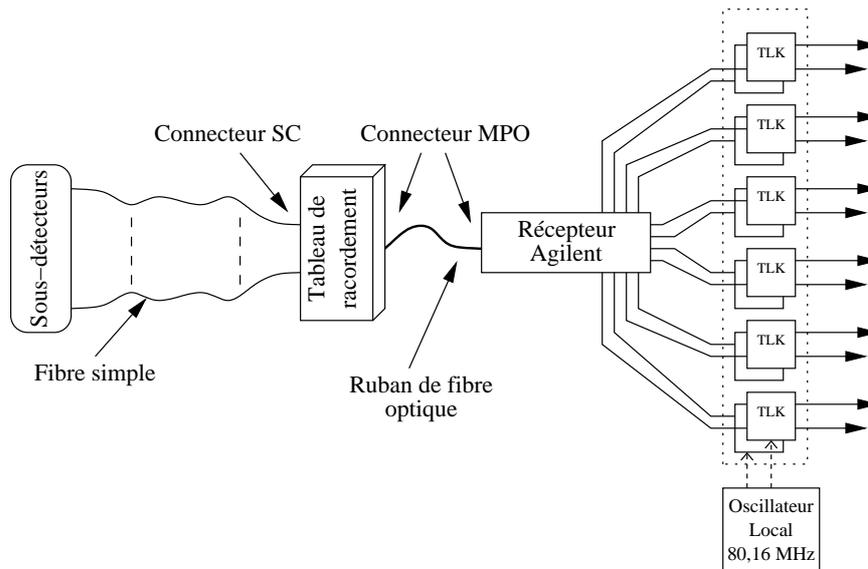


FIG. 5.6 – Vue générale du traitement d'un ruban de fibres optiques.

Chacun des deux canaux de réception des données optiques se compose :

- d'un récepteur optique Agilent HFBR782BE recevant 12 signaux optiques à 1,6 Gbit/s ;
- de 12 désérialiseurs convertissant le signal différentiel en un bus de données de 16 bits, plus deux bits de statut de la liaison ainsi que l'horloge extraite des données sérialisées.

Le flot de données alors à traiter est de deux fois 216 bits à 80 MHz.

Du côté réception, le TLK2501 requiert une horloge de référence ayant une très faible variation de la phase par rapport à sa position "idéale" (inférieure à 40 ps de pic à pic), figure 5.7. Cependant cette horloge de référence (côté réception) n'a pas besoin d'être synchrone et en phase avec l'horloge de référence provenant du TTC comme pour le côté émission. Un oscillateur ayant une fréquence voisine de cette référence d'horloge suffit pour établir la liaison à condition que cette horloge soit stable et suffisamment proche de la fréquence fournie par le TTC. Cette fréquence doit être stable à 200 ppm (partie par million, 0.0001%).

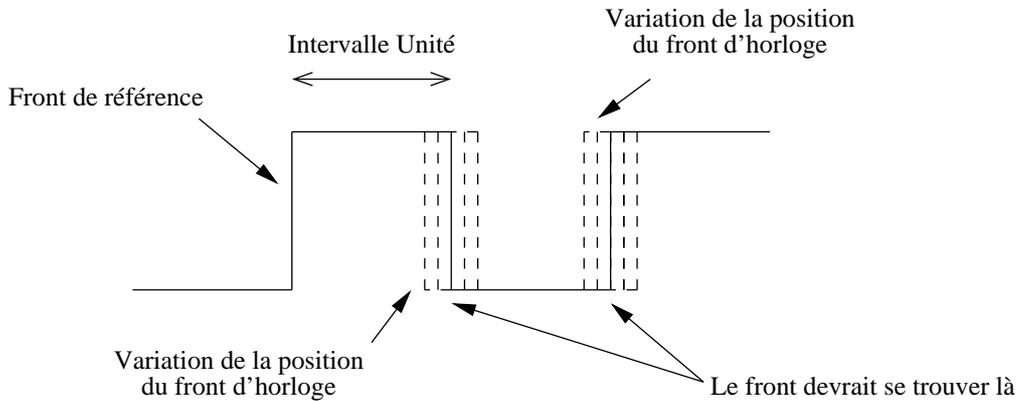


FIG. 5.7 – Représentation de la variation de la position du front de l'horloge.

L'arbre de distribution de l'horloge de référence pour chaque désérialiseur est conçu de manière à conserver une faible variation de la phase de l'horloge de référence. L'utilisation de la logique PECL permet d'obtenir certains avantages en comparaison à une logique TTL dans les applications hautes vitesses :

- fronts de montée et de descente rapides ;
- élimination des problèmes de bruits de mode commun par l'utilisation de signaux différentiels.

A la suite de cette distribution d'horloge, un convertisseur LVPECL vers LVCMOS est requis pour l'entrée d'horloge de référence des désérialiseurs. Dans l'utilisation de ce module, le CPPM préconise de les placer au plus près de manière à préserver une bonne qualité de signal. Cet arbre de distribution d'horloge est composé d'un composant NB100EVL110 pour la duplication de l'horloge de référence au format PECL et de composants MP100EP26 pour la conversion PECL/CMOS. Ces deux composants proviennent du fabricant OnSemiconductor, ils ajoutent dans le pire des cas une variation de la position des fronts d'horloge de 1 ps RMS¹.

¹Root Mean Square, valeur calculée à partir de la somme quadratique des valeurs RMS des fluctuations de chaque composant utilisé sur le chemin d'horloge. Cette valeur calculée correspond à la valeur efficace.

5.2.3 Définition d'une solution architecturale

L'étude d'une solution architecturale pour l'implantation du traitement des données provenant des sous-détecteurs doit prendre en considération plusieurs éléments : la centralisation des données des sous-détecteurs, veiller à l'intégrité des signaux des zones sensibles, les possibilités de routage et les contraintes au niveau dimension pour le circuit imprimé, et la technologie mise à disposition pour les FPGA. Une étude topologique a été réalisée afin d'évaluer les avantages et inconvénients de différentes architectures pour déterminer la solution la mieux adaptée à l'unité de décision.

Etude topologique

Une solution basée sur trois FPGA, présentée en figure 5.8, a tout d'abord été étudiée. Les deux premiers FPGA sont dédiés à l'implémentation du prétraitement des données et à la transmission des données au dernier FPGA exécutant l'algorithme de prise de décision et l'envoi de la trame à destination du système DAQ. Dans le cas d'une transmission à 40 MHz, les tailles de bus augmentent du fait du démultiplexage des données. Malgré la transmission d'un numéro d'identification unique pour chaque FPGA de pré-traitement et d'un seul bit de statut la taille de bus est de l'ordre de 300 signaux pour chaque FPGA. Dans le cas d'une transmission à 80 MHz, les bus de communication ont une taille de l'ordre de 150 signaux ce qui apporte un faible gain à séparer la partie prétraitement et définition des déclenchements, complexifie le traitement ainsi que la réalisation du circuit imprimé. Cette solution n'a donc pas fait l'objet d'étude approfondie concernant le placement et le routage du circuit imprimé.

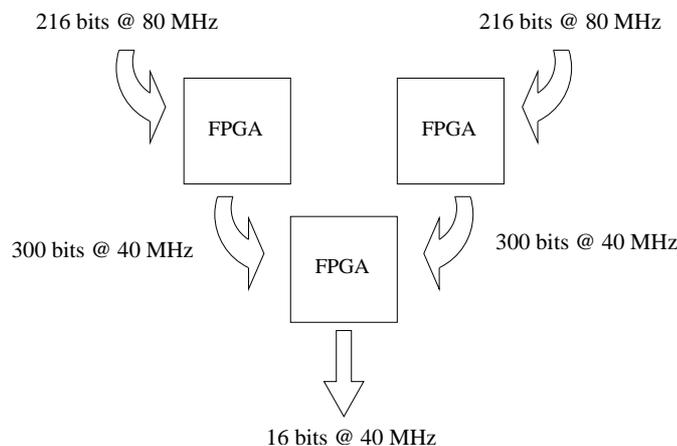


FIG. 5.8 – Solution (1) : topologie à trois FPGA.

Une étude plus approfondie, présentée en figure 5.8, comportant un unique FPGA a été réalisée. Cette solution présente l'avantage de centraliser l'ensemble des informations et d'intégrer le prétraitement et la définition des déclenchements dans un unique FPGA. Cependant, le placement et le routage de cette solution était très complexe de par la forte densité de signaux provenant des désérialiseurs au voisinage du composant. En raison des distances de pistes élevées et variables pour les désérialiseurs situés aux extrémités d'un même canal, cette solution a été écartée.

5.2. ARCHITECTURE DU PROTOTYPE

Le bus de communication entre les deux FPGA de traitement est sur-dimensionné afin d'apporter de la flexibilité pour le traitement des données et le développement :

- implantation de calcul spécifique et complexe dans le FPGA III à partir des données du FPGA II;
- déportation des compteurs de contrôle des taux de déclenchements dans le FPGA III pour libérer des ressources logiques liées à la définition des déclenchements ;
- transfert de données d'un nouveau sous-détecteur.

5.2.4 Choix des cibles technologiques

Les circuits électroniques FPGA doivent disposer d'un grand nombre d'entrées et de sorties utilisateurs. De plus, les composants doivent mettre à disposition un grand nombre d'éléments logiques et comporter des mémoires internes importantes pour le stockage temporaire des données : L0Block et la compensation des latences entre sous-détecteurs. Le choix des FPGA est :

- deux EP1S25 en boîtier BGA pour les deux FPGA de traitement ;
- un EP1S10 pour le FPGA de contrôle.

Le tableau 5.3 présente les principales caractéristiques des FPGA retenus pour le prototype.

Principales caractéristiques	FPGA Stratix	
	EP1S10	EP1S25
Nombre d'E/S	426	706
Nombre d'élément logiques	10570	25660
Mémoires RAM en Kbytes	0,920	1,899

TAB. 5.3 – Principales caractéristiques des FPGA retenus pour le prototype.

Les composants de traitement se situent dans le milieu de la gamme de cette famille afin d'obtenir un coût raisonnable pour le prototype. Une étude plus approfondie et une détermination des limites en ressources logiques des composants du prototype ont conduit à la détermination des nouvelles cibles technologiques pour la carte finale.

5.2.5 Connexion au TFC

L'unité de décision utilise une mezzanine TTCrq pour recevoir l'horloge globale et les signaux de contrôle transmis par le système TFC.

Signaux de contrôle

Les signaux de contrôle provenant de la mezzanine TTCrq sont reçus par le FPGA de contrôle de l'unité de décision. Ils sont échantillonnés et décodés avant d'être transmis à chacun des FPGA de traitement qui à leur tour échantillonnent les signaux reçus avec leur horloge locale, figure 5.11.

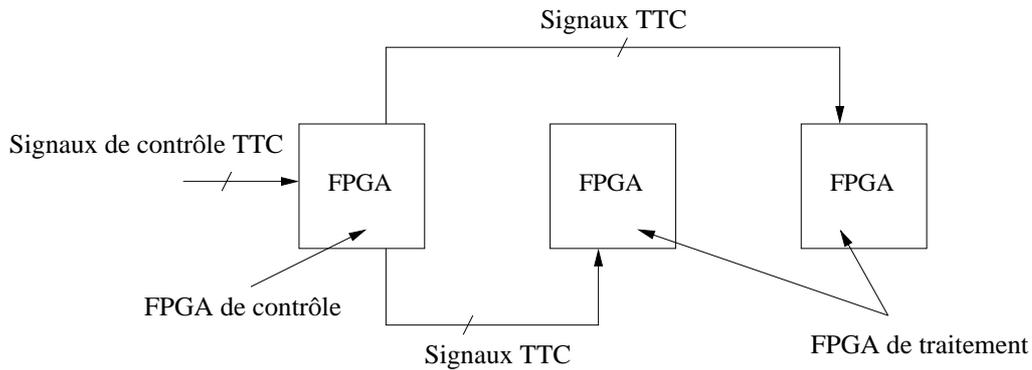


FIG. 5.11 – Acquisition et distribution des signaux de contrôle du TTC.

Distribution de l'horloge TTC

L'unité de décision reçoit par l'intermédiaire de la mezzanine TTCrqr l'horloge 40 MHz en LVCMOS. Cette horloge est alors distribuée à chacun des FPGA en format LVDS. La possibilité de configurer les entrées d'horloge des FPGA en LVDS évite de reconverter l'horloge en un format de mode commun. Une résistance de terminaison est placée en bout de la ligne de transmission pour garder une bonne intégrité du réseau d'horloge, figure 5.12.

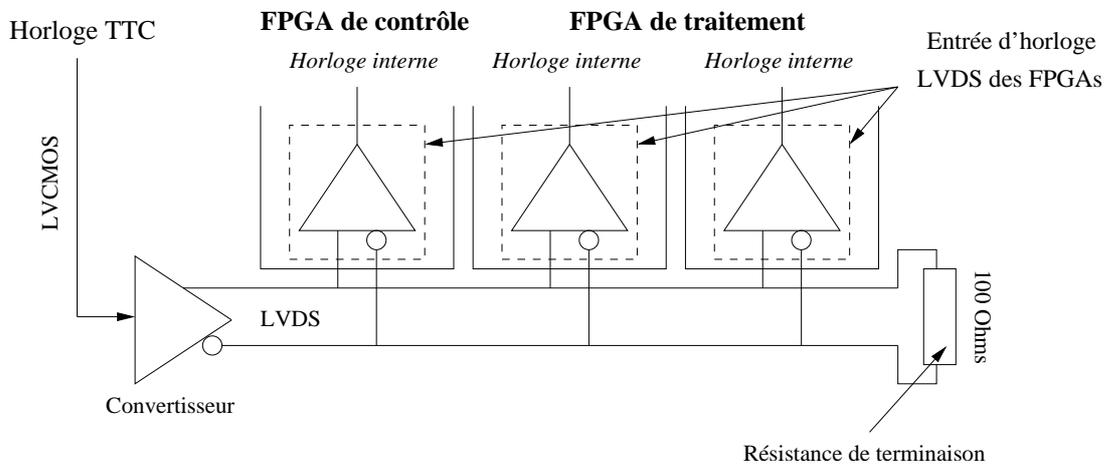


FIG. 5.12 – Distribution de l'horloge TTC.

La figure 5.13 montre une simulation effectuée de l'arbre de distribution d'horloge (40 MHz) en observant le signal différentiel et le signal en mode commun à l'entrée de chaque FPGA.

5.2. ARCHITECTURE DU PROTOTYPE

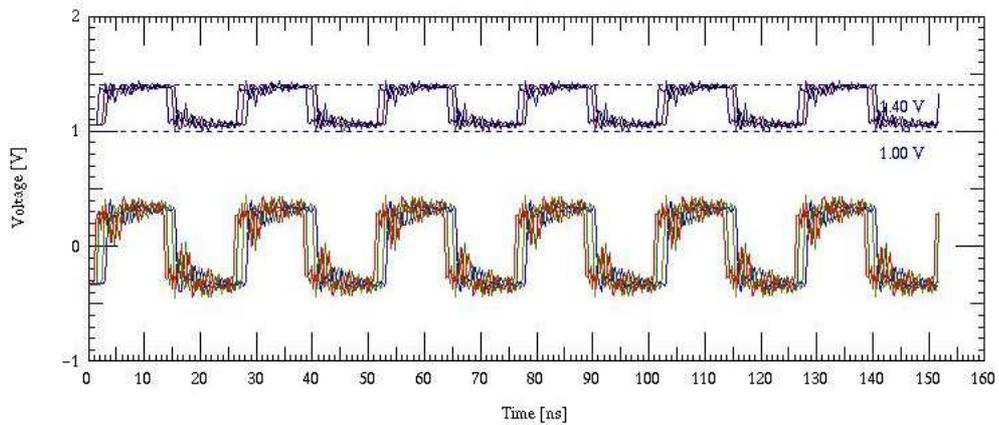


FIG. 5.13 – Simulation de l'arbre d'horloge à l'entrée de chaque FPGA avec résistance d'adaptation (signal en mode commun en haut, signal différentiel en bas).

La figure 5.14 montre le signal d'horloge mesuré en entrée du FPGA III caractérisé par une monotonie des fronts de montée et de descente et une marge de bruit positive.



FIG. 5.14 – Mesure de l'horloge différentielle en entrée du FPGA III de traitement.

5.2.6 Interface avec le Readout Supervisor 'ODIN'

Le mot RSDA contenant la décision est construit par le FPGA II de traitement regroupant l'ensemble des informations pour l'algorithme de décision. Le bus de sortie est au format LVTTTL puis converti en externe en LVDS. Ce mot de 16 bits est transmis par un bus parallèle point à point de 16 bits en LVDS utilisant un connecteur 34 broches et un câble blindé pour augmenter l'immunité au bruit.

5.2.7 Interface avec la carte TELL1

Les bus à destination du DAQ

Afin d'apporter de la flexibilité concernant l'envoi des trames à destination du DAQ via la carte TELL1 et pour utiliser au maximum les entrées/sorties mises à disposition par les FPGA, quatre bus de communication sont mis à disposition :

- deux à partir du FPGA II;
- un à partir du FPGA III;
- un à partir du FPGA I.

Connexion avec l'ECS

L'unité de décision est reliée à l'ECS de la carte TELL1 par deux bus I²C connectés au FPGA de contrôle.

5.2.8 Etude et validation d'une interface USB

Lors des phases de test, l'unité de décision n'est pas toujours sur une carte TELL1. Une interface USB a été étudiée afin d'avoir un système de contrôle indépendant de la carte TELL1. Un circuit imprimé a été réalisé pour cette étude et la validation du composant sélectionné. La carte développée est une carte VME 6U. Elle possède des entrées et des sorties LVDS permettant à celle-ci un éventail d'utilisation plus large. La figure 5.15 présente le circuit imprimé réalisé.

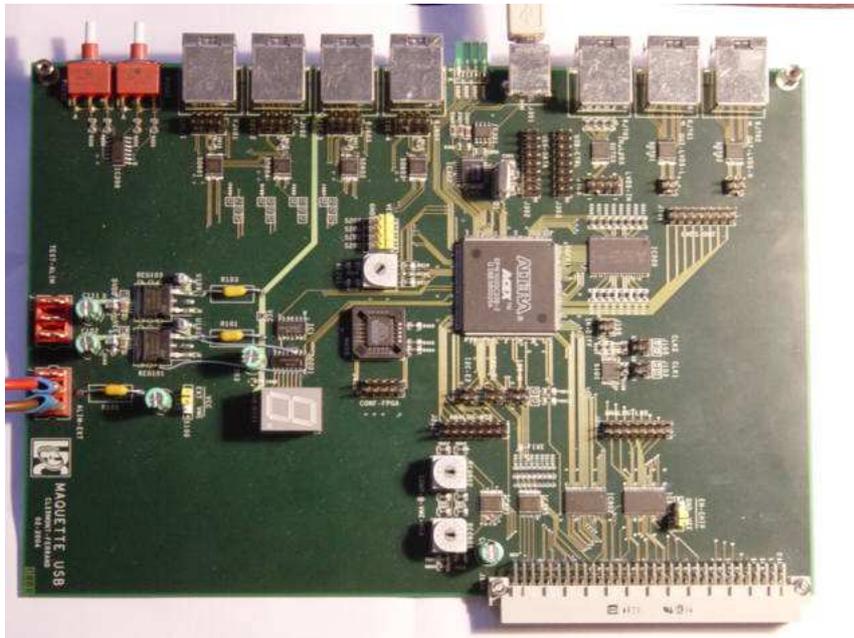


FIG. 5.15 – Circuit imprimé de la carte de validation de l'interface USB.

5.3. RÉALISATION DU PROTOTYPE

Cette interface se base sur un composant du commerce FTDI245BM. Il convertit le protocole USB en un bus parallèle de 8 bits et 4 signaux de contrôle. L'utilisation et le développement sont facilités par la mise à disposition des pilotes de contrôle de ce périphérique. Cette interface a été intégrée par la suite dans le prototype de l'unité de décision.

5.2.9 Architecture de l'unité de décision

La figure 5.16 montre l'architecture générale de l'unité de décision avec le placement des composants et les principaux bus de communication. On retrouve la partie optique décrite précédemment, les deux FPGA pour la partie traitement, le FPGA pour le contrôle, la mezzanine TTCrQ, l'interface USB et les bus de communication pour les flots de données à destination du DAQ.

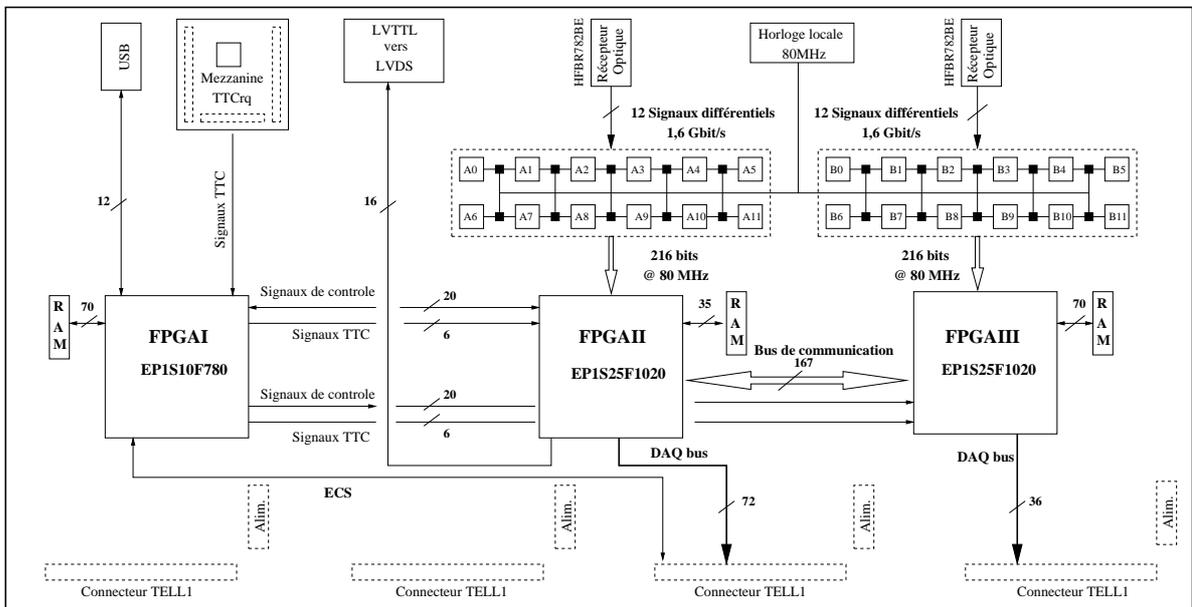


FIG. 5.16 – Architecture de l'unité de décision.

Des mémoires externes ont également été ajoutées pouvant servir comme LUT (Look-Up Table) pour l'implantation de calcul spécifique, de sauvegarde de configuration ou de réalisation d'histogramme. Pour le moment, le besoin d'utiliser ces mémoires externes ne s'est pas fait ressentir. Elles permettent d'utiliser l'ensemble des entrées/sorties mis à disposition par les FPGA de traitement et de contrôle.

5.3 Réalisation du prototype

La réalisation du circuit imprimé a fait l'objet d'une attention particulière concernant l'organisation des signaux sur les différentes couches et la simulation des zones critiques du PCB.

5.3.1 Les différentes lignes de transmission sur un circuit imprimé

Deux types de ligne de transmission sont principalement utilisées pour la fabrication des cartes électroniques, appelées aussi PCB (Printed Board Circuit) : ligne de transmission en surface et ligne de transmission interne contenue dans le diélectrique.

Les figures 5.17 et 5.18 illustrent une vue en coupe des deux types de ligne de transmission utilisés. L'impédance caractéristique, exprimée en Ohms de symbole Ω , de chacune de ces lignes de transmission peut être modélisée par les équations 5.1 et 5.2 à partir des paramètres géométriques et de la valeur de la constante diélectrique (ϵ_r) du matériaux isolant.

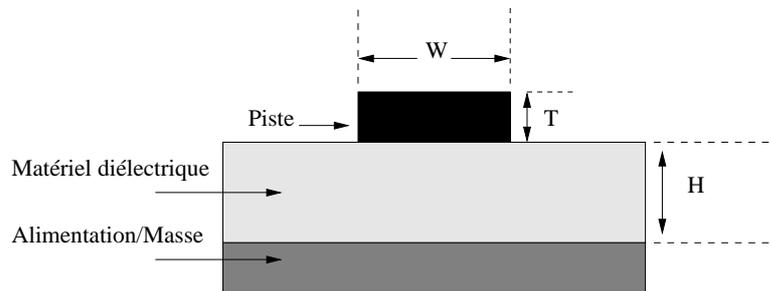


FIG. 5.17 – Dessin d'une ligne de transmission microbande. Avec W : largeur de la trace, T : épaisseur de la trace et H hauteur entre la trace et le plan de référence.

$$Z_0 = \frac{87}{\sqrt{\epsilon_r + 1,41}} \ln \left(\frac{5,98 \times H}{0,8W + T} \right) \Omega \quad (5.1)$$

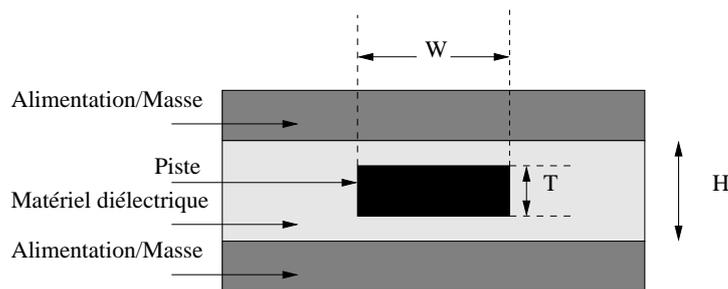


FIG. 5.18 – Dessin d'une ligne de transmission dans le matériau diélectrique. Avec W : largeur de la trace, T : épaisseur de la trace et H hauteur entre la trace et deux plans de référence.

$$Z_0 = \frac{60}{\sqrt{\epsilon_r}} \ln \left(\frac{4 \times H}{0,67(T + 0,8W)} \right) \Omega \quad (5.2)$$

5.3. RÉALISATION DU PROTOTYPE

L'impédance d'une ligne de transmission (selon les équations 5.1 et 5.2) est définie par sa géométrie et par la constante diélectrique du matériau utilisé. Typiquement, le diélectrique utilisé est le FR4 sans halogène (Flame Resistant 4), qui est un matériau époxy. L'organisation des couches du PCB est alors définie pour obtenir le comportement souhaité pour chaque couche.

L'annexe H présente les règles fondamentales qui ont été suivies pour l'organisation des couches du PCB, le routage des pistes en mode commun et différentiel ainsi que les règles spécifiques au tracé des chemins d'horloge [31, 32, 33, 34].

5.3.2 Organisation des couches du circuit imprimé de l'unité de décision

Le circuit imprimé est constitué de 16 couches dont 12 sont des couches de signaux et 4 sont des plans d'alimentation ou de masse. L'utilisation de plans de référence permet de fournir une référence d'alimentation et de masse stable ainsi que de distribuer l'alimentation à chaque composant sur le circuit intégré. Le tableau 5.4 présente les principales caractéristiques de ces différentes couches.

Afin de minimiser le nombre de couches du circuit imprimé, un unique plan de masse est utilisé. Cette technique est rendue possible car la carte comporte uniquement une partie numérique. De plus, certaines couches de signaux (jusqu'à 3 au maximum) se font face comme les couches 11, 12 et 13. Ceci est toléré car l'orientation du routage des pistes du circuit imprimé est alternée (X, verticale puis Y, horizontale). Cette méthode diminue la diaphonie entre les couches ne comportant pas de plan de référence intermédiaire. L'organisation des couches s'est faite en interaction avec le fabricant afin d'importer les paramètres de fabrication dans le modèle de simulation du PCB. La structure présentée ici correspond à celle obtenue avec la technologie mise à disposition par le fabricant. L'épaisseur totale du circuit imprimé après réalisation est de 2,4 mm alors que l'estimation théorique donnait 2,2 mm. Cette différence provient du processus de fabrication du circuit imprimé lors du pressage des couches.

Certaines améliorations concernant la structure du circuit imprimé ont été apportées lors de la réalisation de la carte finale. Ces différentes améliorations seront présentées dans la partie dédiée à l'évaluation de ce prototype et à la réalisation de la carte finale.

Un soin particulier a été apporté aux couches successives de signaux et à l'utilisation de couches spécifiques pour le routage des pistes hautes fréquences lors de la mise au point du circuit imprimé. Le développement s'est basé sur de nombreuses simulations afin de vérifier l'intégrité du signal sur les différentes parties critiques du circuit imprimé.

Type de surface	Matériaux	Epaisseur	Couche	Orientation	Diélectrique	Impédance
Conducteur	Cuivre	35,36 μm	1	X	1	72 Ω
Diélectrique	FR4	127 μm	-	-	4,5	-
Conducteur	Cuivre	17,78 μm	2	Y	1	46,8 Ω
Diélectrique	FR4	127 μm	-	-	4,5	-
Plan de masse	Cuivre	17,78 μm	3	-	1	-
Diélectrique	FR4	127 μm	-	-	4,5	-
Conducteur	Cuivre	17,78 μm	4	X	1	42,3 Ω
Diélectrique	FR4	127 μm	-	-	4,5	-
Conducteur	Cuivre	17,78 μm	5	Y	1	51,8 Ω
Diélectrique	FR4	127 μm	-	-	4,5	-
Conducteur	Cuivre	17,78 μm	6	X	1	42,3 Ω
Diélectrique	FR4	127 μm	-	-	4,5	-
Plan d'alimentation	Cuivre	17,78 μm	7	-	1	-
Diélectrique	FR4	127 μm	-	-	4,5	-
Conducteur	Cuivre	17,78 μm	8	Y	1	40,1 Ω
Diélectrique	FR4	127 μm	-	-	4,5	-
Conducteur	Cuivre	17,78 μm	9	X	1	40,1 Ω
Diélectrique	FR4	127 μm	-	-	4,5	-
Plan d'alimentation	Cuivre	17,78 μm	10	-	1	-
Diélectrique	FR4	127 μm	-	-	4,5	-
Conducteur	Cuivre	17,78 μm	11	Y	1	42,3 Ω
Diélectrique	FR4	127 μm	-	-	4,5	-
Conducteur	Cuivre	17,78 μm	12	X	1	51,8 Ω
Diélectrique	FR4	127 μm	-	-	4,5	-
Conducteur	Cuivre	17,78 μm	13	Y	1	42,3 Ω
Diélectrique	FR4	127 μm	-	-	4,5	-
Plan d'alimentation	Cuivre	17,78 μm	14	-	1	-
Diélectrique	FR4	127 μm	-	-	4,5	-
Conducteur	Cuivre	17,78 μm	15	X	1	46,8 Ω
Diélectrique	FR4	127 μm	-	-	4,5	-
Conducteur	Cuivre	35,36 μm	16	Y	1	72 Ω

TAB. 5.4 – Organisation des couches du circuit imprimé du prototype de l'unité de décision (largeur de chaque piste de signal de 203,2 μm et utilisation de diélectrique FR4 sans halogène).

5.3.3 Le layout de l'unité de décision

La mise au point du layout du circuit imprimé de l'unité de décision a comporté un certain nombre de difficultés dues principalement :

- à la vitesse des signaux différentiels à 1,6 Gbits/s entre les récepteurs optiques et les désérialiseurs TLK2501 ;
- à la densité et à la fréquence des signaux entre la partie désérialisation et la partie traitement des données par les FPGA, soit 432 signaux à 80 MHz et 24 horloges à 80 MHz ;

5.3. RÉALISATION DU PROTOTYPE

- à la densité de signaux du bus de communication entre les deux FPGAs de traitement, soit 167 pistes pouvant fonctionner entre 40 et 160 MHz ;
- à la nécessité d’obtenir des signaux d’horloge de qualité à 40 et 80 MHz avec un faible « jitter ».

5.3.4 Simulations du layout

La mise au point du circuit imprimé s’est appuyée sur des résultats de simulations obtenus à l’aide du logiciel SPECCTRA de la chaîne de développement CADENCE. Les modèles de simulation IBIS de chaque composant ont été intégrés dans le logiciel.

Simulation des pistes entre récepteurs optiques et désérialiseurs

Cette partie comporte les signaux les plus rapides du circuit imprimé, figure 5.19. La complexité du routage n’est pas due à la densité de ces signaux mais à leur fréquence de transfert (et particulièrement à la rapidité des fronts de montée et de descente). Les simulations ont permis d’étudier l’influence de la longueur de piste sur l’intégrité du signal et de déterminer la limite acceptable d’environ 10 cm.

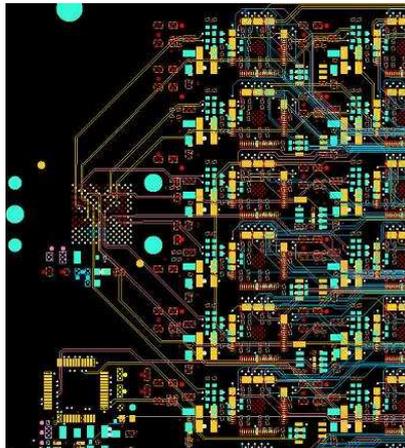


FIG. 5.19 – Interconnexion entre un récepteur optique et la partie désérialisation des données.

Le modèle extrait de l’une des pistes différentielles est présenté en annexe I. Les parties de pistes sur les couches extrêmes du PCB sont minimisées car leurs impédances caractéristiques sont plus fortes.

Simulation des pistes entre désérialiseurs et FPGA

Cette partie du circuit imprimé, montrée en figure 5.20, comporte la plus forte densité de signaux : 216 signaux à 80 MHz et 12 horloge à 80 MHz convergent vers un FPGA de traitement. L’intérêt des simulations effectuées sur cette partie est de vérifier l’intégrité du signal et d’étudier

les problèmes de diaphonie dus à la proximité des pistes. Une étude sur l'influence de la longueur de piste sur la qualité du signal a également été réalisée.

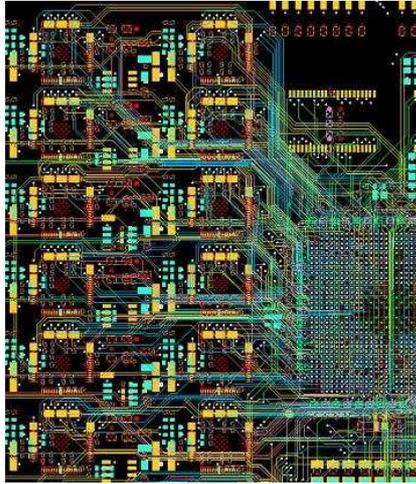


FIG. 5.20 – Interconnexion entre la partie désérialisation et un FPGA de traitement.

La figure 5.21 montre le modèle de simulation extrait pour une piste entre une broche d'un désérialiseur et une entrée d'un FPGA. Le signal transite essentiellement sur la couche 2 du circuit imprimé.

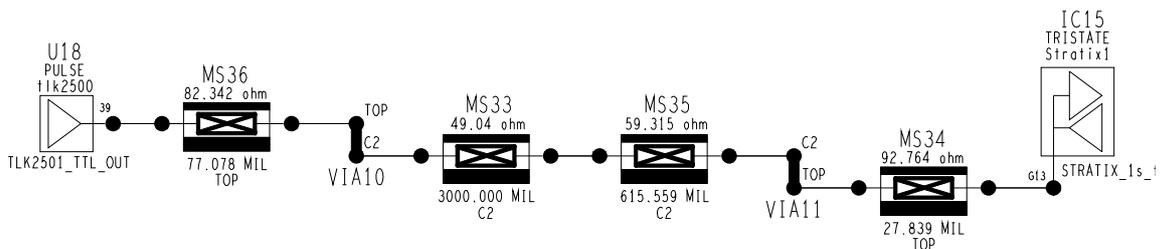


FIG. 5.21 – Modèle d'une piste entre un désérialiseur et un FPGA de traitement.

La figure 5.22 présente les résultats de simulation obtenus sur une ligne de transmission entre un désérialiseur et un FPGA de traitement pour un signal à 80 MHz. Chaque courbe représente le résultat de simulation obtenu lorsque la longueur de piste varie de 1 à 150 mm par pas de 10 mm. La qualité du signal est très peu dégradée et conserve la monotonie des fronts de montée et de descente ainsi qu'une marge de bruit positive. Une légère déformation des crêtes (augmentation des dépassements ≤ 100 mV) et un déphasage (décalage des courbes vers la droite ≤ 1 ns) apparaissent lorsque la longueur de la ligne de transmission augmente.

5.3. RÉALISATION DU PROTOTYPE

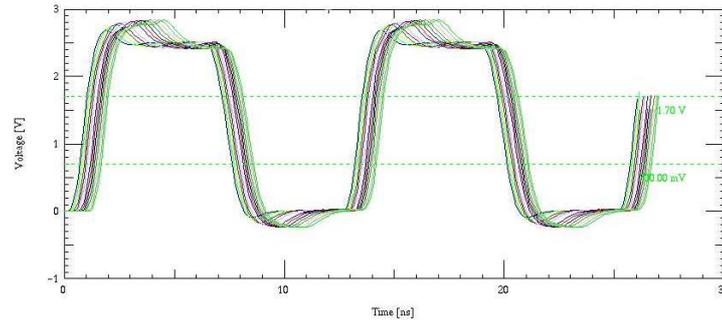


FIG. 5.22 – Etude de l'influence de la longueur de piste (de 1 à 150 mm par pas de 10 mm, courbes de gauche à droite) sur l'intégrité du signal à 80 MHz entre un désérialiseur et un FPGA de traitement.

Simulation des pistes entre FPGAs

La densité de ces signaux est très élevée entre les deux FPGA de traitement. Le routage du bus de communication parallèle comportant 167 pistes est montré en figure 5.23. L'objectif était d'étudier le comportement de ce bus de communication à 40, 80, 120 et 160 MHz. La multiplication de la fréquence de transfert permet d'augmenter la quantité de données à transférer entre les deux FPGA de traitement.

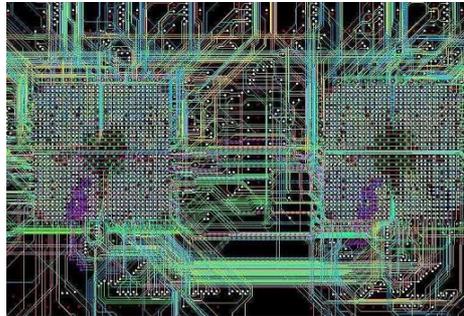


FIG. 5.23 – Bus de communication parallèle de 167 pistes entre les deux FPGA de traitement.

La figure 5.24 présente une étude du signal d'une ligne de transmission du bus de communication entre les deux FPGA de traitement pour un signal à 40 MHz en mode commun. Chaque courbe représente le résultat de simulation obtenu lorsque la longueur de piste varie de 1 à 150 mm par pas de 10 mm. Les résultats de simulation de l'effet de la fréquence de fonctionnement sur une ligne entre FPGA sont présentés en figures 5.25, 5.26, 5.27 et 5.28. On observe que la qualité du signal est bonne lorsque l'on fait varier la longueur de la ligne de transmission de 1 à 150 mm. Seul un déphasage dû à la longueur de la piste est introduit (décalage des courbes vers la droite lorsque la longueur de piste augmente ≤ 1 ns). Les simulations du bus de communication montrent que la qualité du signal est relativement bonne même à 160 MHz. Cependant, on peut remarquer que les crêtes s'arrondissent mais que les fronts restent monotones et que les marges de bruit sont respectées.

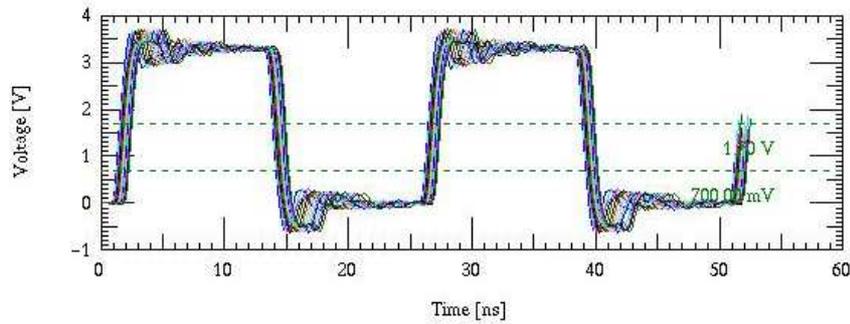


FIG. 5.24 – Influence de la longueur de piste (de 1 à 150 mm par pas de 10 mm, courbes de gauche à droite) sur la qualité du signal (à 40 MHz) et sur le délai introduit sur une ligne de transmission entre FPGA de traitement.

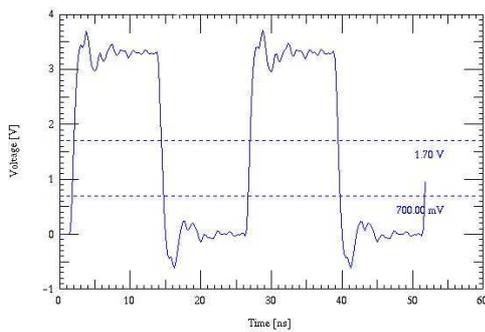


FIG. 5.25 – Simulation du bus de communication à 40 MHz.

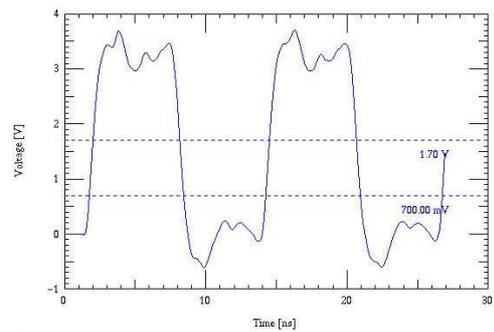


FIG. 5.26 – Simulation du bus de communication à 80 MHz.

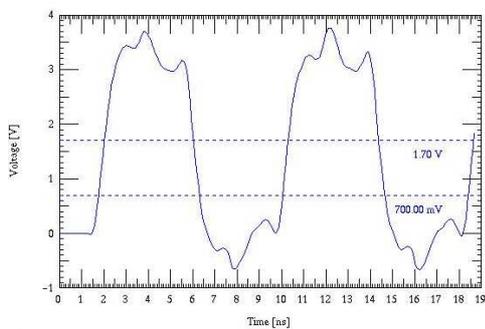


FIG. 5.27 – Simulation du bus de communication à 120 MHz.

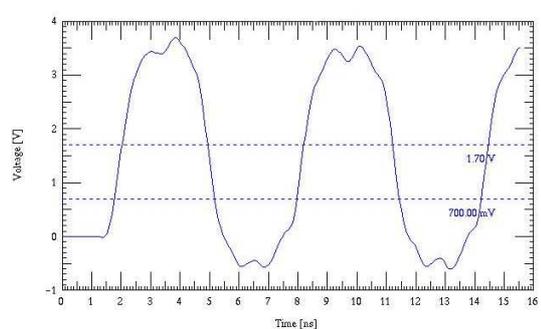


FIG. 5.28 – Simulation du bus de communication à 160 MHz.

5.3. RÉALISATION DU PROTOTYPE

Une simulation de l'influence de la diaphonie a également été réalisée sur le bus de communication entre les FPGA de traitement. Le choix des pistes à étudier s'est tourné vers les pistes les plus longues et se longeant sur une distance élevée. Le modèle pour la simulation comporte trois pistes, dont deux servent d'agresseur et une de victime (figure 5.29).

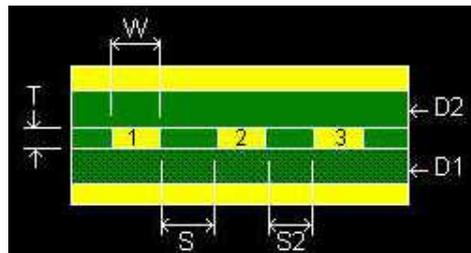


FIG. 5.29 – Modèle de simulation utilisé.

Deux simulations sont effectuées :

- l'une consiste à forcer la piste victime (2) à l'état bas et à générer un signal à 40 MHz sur les pistes (1) et (3) (figure 5.30) ;
- l'autre consiste à forcer la piste victime (2) à l'état haut et à générer un signal à 40 MHz sur les pistes (1) et (3) (figure 5.31).

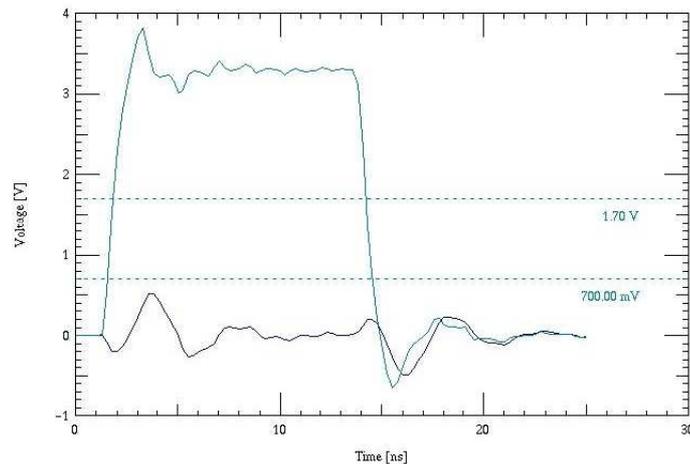


FIG. 5.30 – Résultat de simulation : lorsque la piste victime (2) est forcée à l'état bas.

Les simulations montrent que pour chaque type d'agression sur la piste centrale la marge de bruit est respectée (aucun basculement parasite dû à la diaphonie).

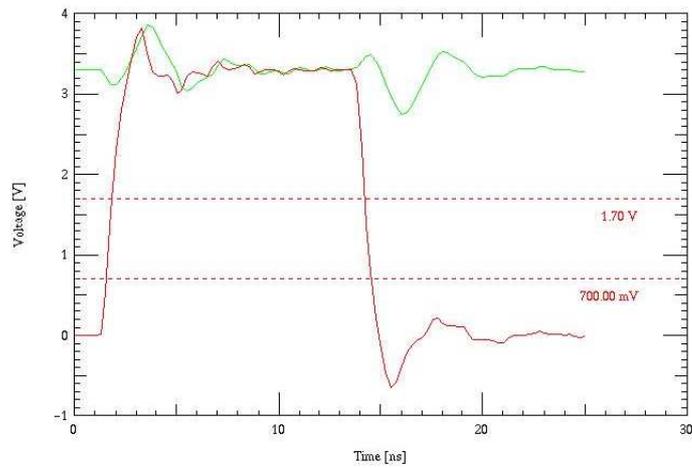


FIG. 5.31 – Résultat de simulation lorsque la piste victime (2) est forcée à l'état haut.

5.3.5 Le prototype L0DU

Le PCB de l'unité de décision

Les figures 5.32 présentent les vues de dessus et de dessous du prototype du circuit imprimé sans les composants.

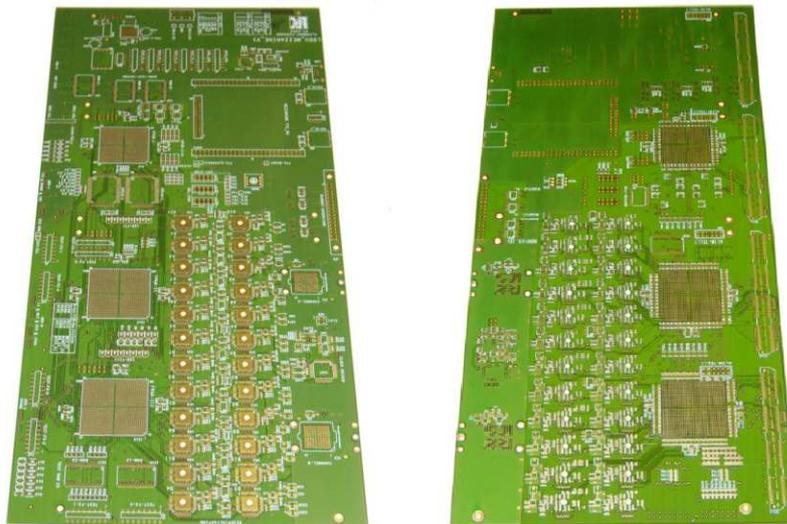


FIG. 5.32 – Circuit imprimé du prototype de l'unité de décision. A gauche vue face composant, à droite vue de dessous.

La figure 5.33 présente l'unité de décision insérée sur sa carte TELL1.

5.3. RÉALISATION DU PROTOTYPE



FIG. 5.33 – Prototype de l'unité de décision inséré sur une carte TELL1.

Dimensions et spécifications électriques

Les dimensions du circuit imprimé de l'unité de décision sont présentées dans le tableau 5.5. La largeur de la carte a dû être allongée de 1 cm par rapport aux dimensions souhaitées pour permettre le routage de la carte sur un circuit imprimé 16 couches. Par conséquent, la carte dépasse un peu de son châssis.

Longueur (/mm)	Largeur (/mm)	Epaisseur (mm)
366.7	170	2,4

TAB. 5.5 – Dimension du circuit imprimé.

Le tableau 5.6 présente le relevé des consommations électriques du système lorsque l'unité de décision est insérée sur une carte TELL1.

Tension	48 V	5 V Numérique	5 V Analogique	3,3 V
Courant	0,5 A	0,7 A	2,68 A	3,2 A

TAB. 5.6 – Consommation du système.

Chapitre 6

Test de l'unité de décision

L'unité de décision étant le dispositif central du système de déclenchement de niveau 0, il est essentiel de disposer d'un banc de test s'approchant au maximum des conditions réelles de fonctionnement.

6.1 Cahier des charges

Le banc de test doit permettre le test du système au laboratoire et doit pouvoir être installé sur le site de l'expérience. Il devra être opérationnel durant l'ensemble de la durée de fonctionnement du détecteur LHCb pour mettre en évidence les pannes éventuelles et de pouvoir dresser un diagnostic précis.

Les tests à effectuer concernent non seulement la vérification du fonctionnement de l'électronique et des interfaces mais également la vérification du comportement de LODU. Le banc de test développé permet de qualifier les liens et interfaces, d'émuler les données des sous-détecteurs et de vérifier le bon comportement de l'unité de décision :

- algorithme de prise de décision ;
- flot de données à destination du DAQ ;
- procédure et contrôle de l'alignement en temps des données des sous-détecteurs ;
- test des mécanismes de détection d'erreur ;
- procédure de paramétrisation à mettre en oeuvre.

Lors de l'installation de LODU dans le puits du détecteur, ce banc de test doit pouvoir être utilisé afin de faciliter la phase d'intégration de l'unité de décision. Ce banc de test doit alors respecter les standards pour le format de la carte électronique (VME 9U) mais aussi au niveau du système de contrôle qui doit être basé sur une application développée sous PVSS.

6.2 Architecture générale du banc de test

Le banc de test permet d'émuler les données provenant des sous-détecteurs et de faire l'acquisition des flots de données de sorties de l'unité de décision : mot RSDA et trame L0Block à destination du DAQ. Le système de contrôle du banc de test est intégré dans le système

de contrôle de l'unité de décision développé sous PVSS. Il permet de configurer les différents modes de test, de programmer les données de test à envoyer et d'établir un diagnostic sur le comportement de l'algorithme de prise de décision.

- L'architecture du banc de test de l'unité de décision, présentée en figure 6.1, est composée :
- d'une carte dédiée à l'envoi de vecteurs de test à l'unité de décision et à l'acquisition des données après traitement de L0DU, la carte GPL (Génération de Pattern L0DU) ;
 - de l'unité de décision (sur une carte TELL1) ;
 - du système TFC pour la synchronisation des cartes électroniques et du Readout Supervisor pour l'acquisition et le contrôle du taux de déclenchement de l'unité de décision ;
 - d'un PC sous Windows et d'un PC sous Linux.

Ce banc de test possède deux configurations possibles. Dans la première configuration, la sortie de l'unité de décision est acquise par la carte GPL. Cette configuration permet de faire le test du comportement des algorithmes de prise de décision. La seconde configuration place l'unité de décision dans une configuration proche de celle du site de l'expérience en reliant la sortie de l'unité de décision au Readout Supervisor 'ODIN'. Cette configuration permet de tester le flot de données à destination du système d'acquisition des données.

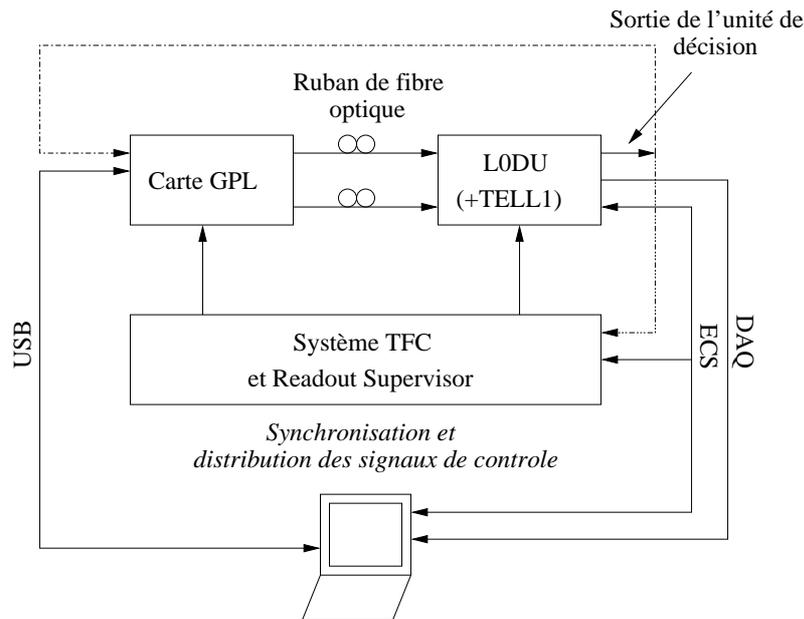


FIG. 6.1 – Architecture générale du banc de test.

6.3 La carte d'injection de vecteur de test (GPL)

La carte GPL est un élément important du banc de test de l'unité de décision. Elle a été réalisée et développée en collaboration avec le service d'électronique du Laboratoire de Physique Corpusculaire (LPC) de Clermont-Ferrand.

6.3.1 Fonctionnalités

La carte GPL a été développée pour qualifier les liaisons, le bloc optique de réception de L0DU et réaliser des tests fonctionnels complets de l'ensemble du système. Elle injecte des données de test sur les 24 liaisons optiques d'entrée de L0DU et possède une entrée pour l'acquisition du traitement de l'unité de décision (RSDA). Elle envoie des données de manière indépendante sur chacune des liaisons optiques. Ces données peuvent être soit un compteur pour la qualification et la mesure du taux d'erreur de chaque liaison, soit des données émulant les sous-détecteurs pour tester le comportement de l'unité de décision. Elle implémente également une mezzanine TTCrq pour la synchronisation avec le système TFC ainsi qu'une interface USB pour son contrôle. Elle possède un émetteur/récepteur optique supplémentaire lui permettant de faire les tests de ses sorties optiques de manière autonome. Le tableau 6.1 présente un résumé des ports d'entrées/sorties de la carte GPL.

Port	E/S	# bits
Liaison optique	S	24*1,6 Gbit/s
Emetteur optique	S	1,6 Gbit/s
Récepteur optique	E	1,6 Gbit/s
RSDA	E	16@40MHz
Interface PC via USB	-	-
ECS via L0DU	-	-

TAB. 6.1 – Résumé des ports d'entrées/sorties de la carte GPL.

Le contrôle de la carte GPL par le système de contrôle de l'expérience ECS est possible en raccordant l'unité de décision et la carte GPL par une nappe LVDS. L'unité de décision se charge alors du contrôle de la carte GPL à travers son système de contrôle général. Une amélioration consisterait à implémenter une CCPC sur la carte GPL.

6.3.2 Mode de fonctionnement

La carte GPL propose différents modes de fonctionnement intégrant les procédures de test et de qualification des liaisons avec les sous-détecteurs. Elle peut introduire des latences différentes entre chaque liaison, des erreurs dans les données et émuler les cycles de données de l'expérience.

Mode de test préalable et origine du dysfonctionnement

Avant tout transfert de données entre la carte GPL et l'unité de décision, la synchronisation de chacune des liaisons doit être établie. Lorsqu'elle n'a pu être établie sur une ou plusieurs liaisons, ou sur l'ensemble des canaux, les causes peuvent être les suivantes :

- non verrouillage de la PLL (Phase-Locked Loop) de la mezzanine TTCrq de l'unité de décision ou de la carte GPL. Une réinitialisation du TTC ou un nettoyage des fibres monomodes du TTC résout le problème ;
- verrouillage des PLL de L0DU et GPL mais pas de synchronisation d'un ou plusieurs désérialiseurs coté réception après l'envoi d'une séquence de code spécifique (mot IDLE)

pour l'établissement de la liaison. Dans ce cas, soit un nettoyage des fibres à chaque interface soit une permutation ou un remplacement de fibres doit être effectué pour déterminer si une fibre est défectueuse. Si après cette dernière intervention le problème persiste, un diagnostic matériel plus détaillé doit être effectué au niveau des désérialiseurs coté émission puis réception.

Mode statique

Comme pour le test avec les sous-détecteurs, la carte GPL permet d'envoyer un mot fixe de 16 bits sur chacune de ses liaisons (chaque mot de chaque liaison étant configuré par l'intermédiaire du logiciel de contrôle de la carte GPL). Ce mode de test permet de vérifier si une piste du PCB se trouve forcée à l'état haut ou à l'état bas mais surtout de pouvoir identifier les fibres connectées à l'unité de décision.

Mode compteur

La carte GPL permet d'envoyer sur chacune de ses liaisons optiques un compteur 16 bits à 80 MHz en continu. La durée d'envoi de ce compteur est paramétrable et permet de couvrir l'ensemble des tests requis et spécifiés [23]. La figure 6.2 présente le principe d'envoi pour un canal optique (12 liaisons).

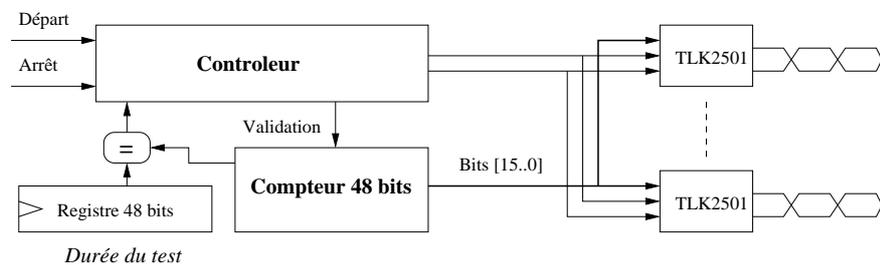


FIG. 6.2 – Schéma de principe.

La figure 6.3 présente le chronogramme de l'état des bits de contrôle du côté émission.

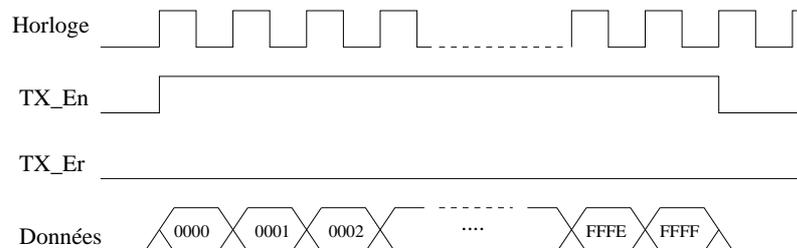


FIG. 6.3 – Chronogramme côté émission.

6.3. LA CARTE D'INJECTION DE VECTEUR DE TEST (GPL)

La figure 6.4 présente le chronogramme de l'état des bits de contrôle du côté réception. Après la synchronisation de la liaison puis l'envoi en continu du compteur 16 bits à 80 MHz, l'unité de décision fait l'acquisition de la donnée reçue et la compare avec la donnée attendue. Elle incrémente un compteur d'erreurs 16 bits lorsqu'ils ne sont pas égaux.

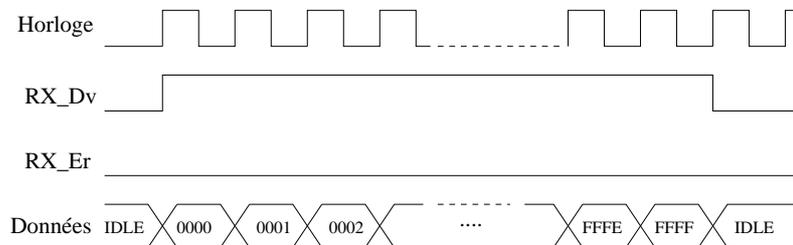


FIG. 6.4 – Chronogramme côté réception.

Mode d'émulation des données des sous-détecteurs

La carte GPL émule le flot de données provenant des sous-détecteurs sur plusieurs cycles LHC. Les données sont stockées dans des mémoires RAM statiques externes. Le flot de données généré est paramétrable :

- choix du nombre de mots de données à envoyer par cycle ;
- choix du nombre de mots d'établissement de la liaison à la fin d'un cycle ;
- choix du nombre de cycles de données à envoyer.

Introduction de latence sur les données d'envoi

Pour chaque liaison optique, il est possible d'introduire un retard paramétrable avec l'interface de contrôle de la carte GPL. Cette fonctionnalité permet d'introduire des latences différentes entre chaque liaison et d'émuler les latences des sous-détecteurs afin de tester la procédure d'alignement en temps des sous-détecteurs.

Introduction d'erreurs

Afin de pouvoir tester les mécanismes de détection d'erreur de l'unité de décision, il est possible d'introduire une erreur soit dans les données émulant les sous-détecteurs (indication d'erreur par le bit de statut des sous-détecteurs ou d'une mauvaise séquence pour le bit de démultiplexage), soit en forçant une liaison en mode d'erreur durant l'envoi des données.

Acquisition de la décision de l'unité de décision

L'acquisition de la décision de l'unité de décision peut être réalisée soit sur le front montant soit sur le front descendant de l'horloge. Cette entrée dédiée à l'acquisition du flot de données de sortie de l'unité de décision permet également de faire une mesure du taux d'erreur du lien entre la carte L0DU et la carte GPL.

6.3.3 Architecture générale

L'architecture de la carte GPL comporte des caractéristiques duales à l'unité de décision. La figure 6.5 présente l'architecture générale du circuit imprimé.

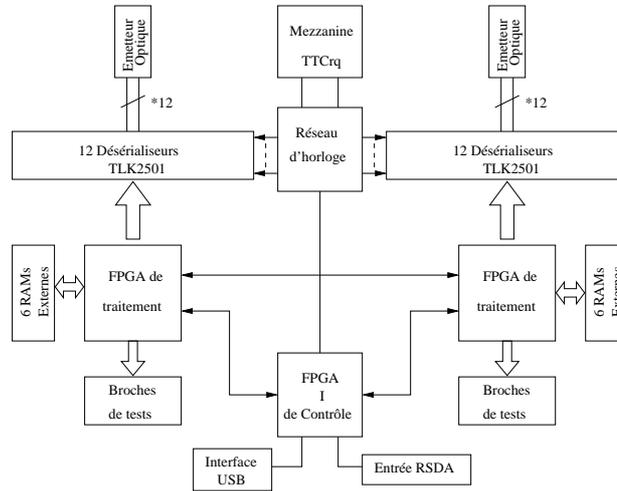


FIG. 6.5 – Architecture générale de la carte GPL.

Le FPGA de contrôle s'interface avec un PC via l'USB, et peut aussi être connecté à l'ECS via l'unité de décision. Il a la charge de contrôler, configurer et paramétrer les FPGA de traitement. Il permet aussi de faire l'acquisition de la décision dans une mémoire interne (32768 événements) et de faire une mesure du taux d'erreur de la liaison L0DU/GPL. Les deux FPGA de traitement s'interfaçent avec les mémoires externes et les désérialiseurs. Ils génèrent les différents modes de tests.

Réseaux d'horloge

Les deux réseaux d'horloge de chaque canal d'émission sont indépendants et peuvent avoir une phase différente. Ce déphasage est introduit par un composant permettant de faire varier la phase par pas de 1,5 ns jusqu'à un maximum de (+/-) 15 ns. Cependant un jitter de 100 ps s'ajoute alors sur ce chemin d'horloge. Cette variation est alors filtrée par une QPLL afin d'obtenir une horloge suffisamment stable pour le bon fonctionnement des désérialiseurs. La figure 6.6 montre les différents réseaux d'horloge de la carte GPL.

Mémoires externes

Les mémoires statiques externes choisies stockent jusqu'à 18 cycles de données LHC de 3564 événements. Chacune d'elle stocke les données relatives à deux sous-détecteurs portant le nombre de mémoires externes à 6 par FPGA de traitement. Ces mémoires externes sont lues à une fréquence de 80 MHz. Afin de limiter les interconnexions entre les mémoires externes et les FPGA de traitement, un unique bus d'adresse est utilisé pour 3 mémoires RAM.

6.3. LA CARTE D'INJECTION DE VECTEUR DE TEST (GPL)

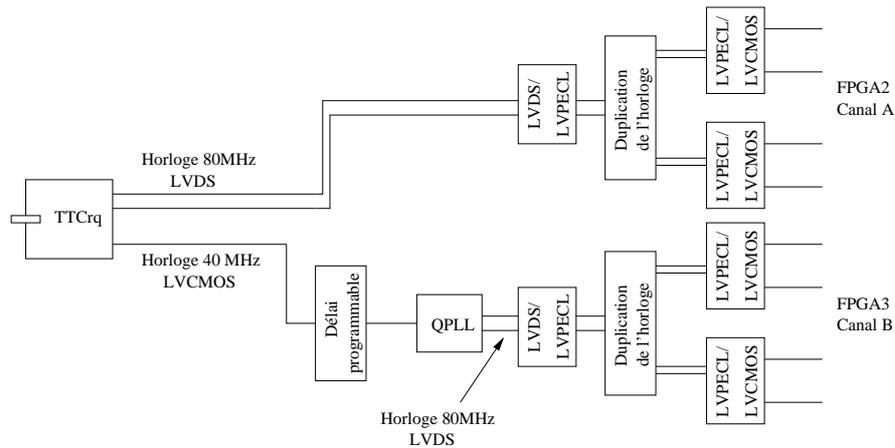


FIG. 6.6 – Réseau d'horloge de la carte GPL.

6.3.4 Le circuit imprimé

Le circuit imprimé de la carte GPL est aussi complexe que le circuit imprimé de l'unité de décision. Le placement et le routage sont facilités par le fait que les dimensions du PCB laissent plus de place entre chaque composant. Cependant, il comporte les mêmes points critiques.

Optimisation du routage

Bénéficiant de l'expérience du routage du prototype de l'unité de décision, le placement et le routage ont été optimisés. L'assignement des pattes de chacun des FPGA de traitement (figure 6.7) a été réalisé de manière à regrouper par région et par fonctionnalité les pistes en fonction du placement des composants sur le circuit imprimé, figure 6.8.

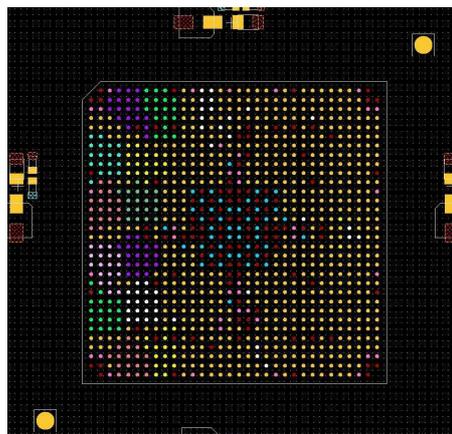


FIG. 6.7 – Assignement des pattes d'un FPGA de traitement de la carte GPL pour la partie sérialisation.

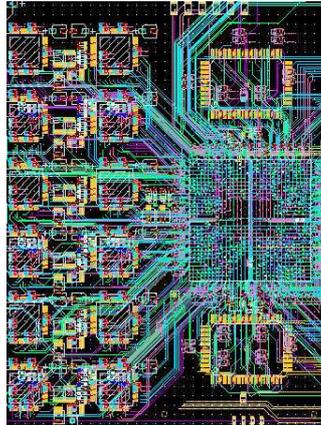


FIG. 6.8 – Layout de la carte GPL autour d'un FPGA de traitement : interconnexion entre les désérialiseurs et un FPGA.

Cette optimisation a permis de réaliser une meilleure organisation des couches du circuit imprimé et d'obtenir au maximum deux couches de signaux (avec orientation X, Y) se faisant face (annexe J). Le nombre de couches est de 16, cependant 10 sont réservées aux signaux et 6 aux plans de masse ou d'alimentation. De la même manière que pour le circuit imprimé de l'unité de décision, de nombreuses simulations ont été effectuées sur les pistes critiques du PCB afin de vérifier l'intégrité des signaux. Une simulation spécifique à la carte GPL a consisté à vérifier qu'un bus d'adresse en sortie d'un FPGA pouvait contrôler trois bus d'adresse de mémoires externes.

Le PCB

Le circuit imprimé de la carte GPL est au format VME 9U (figure 6.9) de manière à pouvoir l'installer dans le châssis d'une carte TELL1 et sur le site de l'expérience.

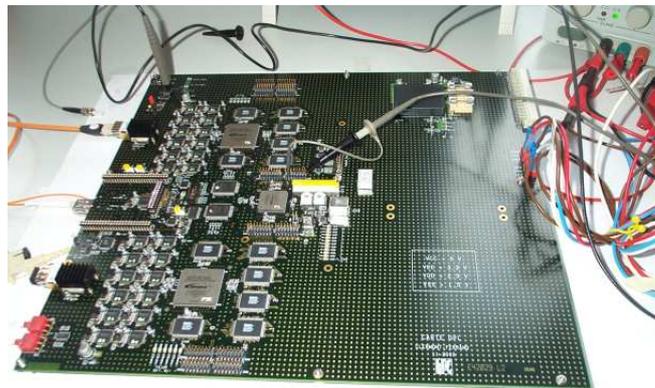


FIG. 6.9 – Circuit imprimé de la carte GPL.

6.3.5 Interface de contrôle

Le logiciel de contrôle de la carte GPL a été développé sous PVSS afin d'être intégré dans le système de contrôle général du banc de test de l'unité de décision. Il permet de configurer et paramétrer les différents modes d'émission et de charger les mémoires externes de la carte. Il permet de sauvegarder une configuration afin de pouvoir la réutiliser ultérieurement. La figure 6.10 présente l'interface de contrôle de la carte GPL.

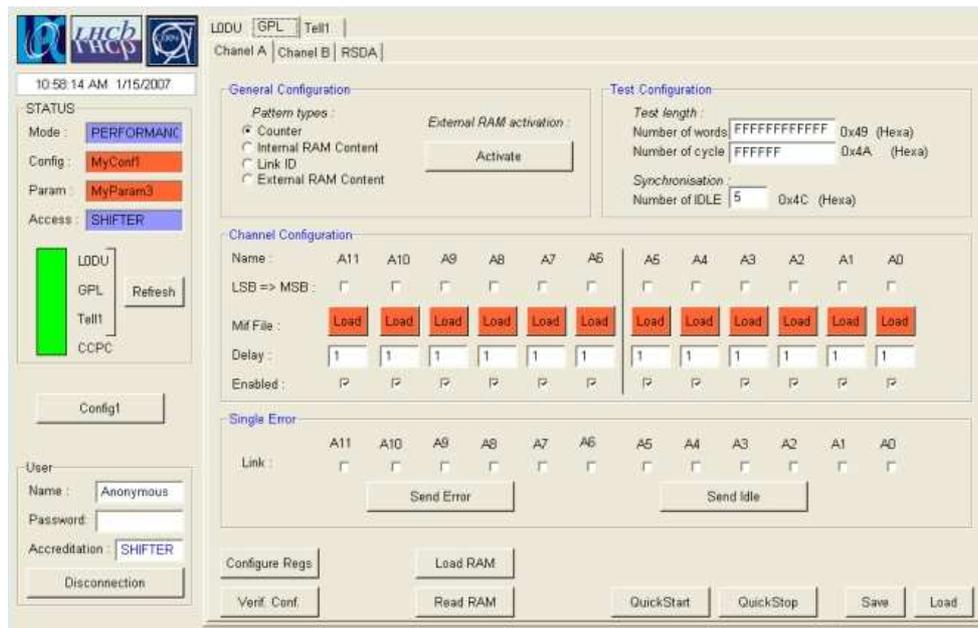


FIG. 6.10 – Interface de contrôle et de configuration de la carte GPL.

Une interface est dédiée au contrôle de l'acquisition de la décision de L0DU et permet de faire une comparaison événement par événement pour élaborer le diagnostic du comportement de l'unité de décision.

6.4 Test et qualification de l'unité de décision

6.4.1 Qualification des liaisons optiques

Réseaux d'horloge

La qualité des horloges de référence de chaque désérialiseur du côté émission est cruciale pour le bon fonctionnement des liaisons optiques. Ainsi, une mesure de la variation de la phase de l'horloge de référence de chaque désérialiseur a été effectuée (exemple de mesure présenté en figure 6.11). Pour chaque sous-canal cette variation de la phase de l'horloge est comprise entre 20 et 30 ps RMS respectant ainsi les recommandations spécifiées pour le fonctionnement des désérialiseurs.



FIG. 6.11 – Mesure de la variation de la phase en entrée d'un désérialiseur.

Liaisons optiques

Tout d'abord une mesure du diagramme de l'oeil a été effectuée sur le signal optique d'entrée de l'unité de décision afin de qualifier l'ouverture de l'oeil sans atténuation puis avec 6 et 9 dB d'atténuation. Les figures 6.12 et 6.13 présentent les résultats de mesure. Pour chaque diagramme, l'échelle sélectionnée est adaptée au diagramme.

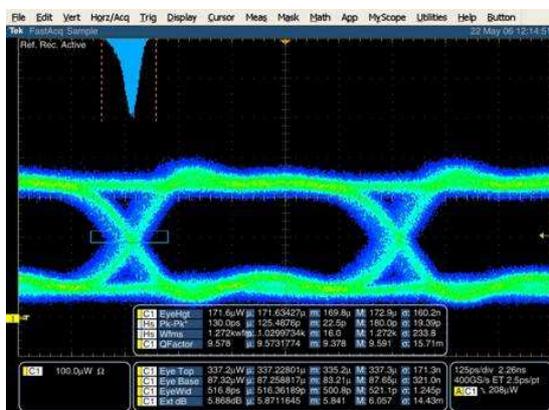


FIG. 6.12 – Diagramme de l'oeil pour 0 dB d'atténuation.

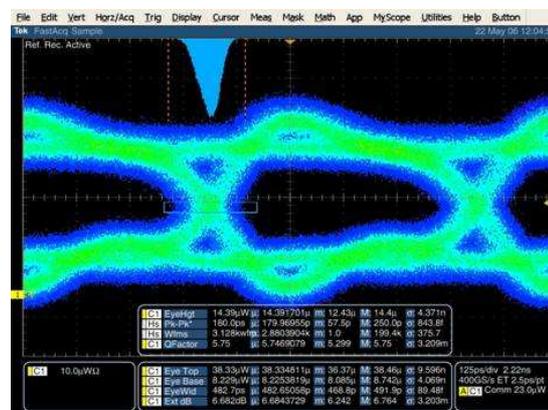


FIG. 6.13 – Diagramme de l'oeil pour 9 dB d'atténuation.

Après avoir vérifié l'ouverture des diagrammes, une qualification du taux d'erreur du transfert de données entre la carte GPL et la carte L0DU a été effectuée dans différentes conditions et en respectant les procédures de qualification standard définies par la collaboration LHCb. Le tableau 6.2 présente les résultats pour une durée de test de 72 heures. Les taux d'erreurs n'ont pu être obtenu directement à partir des diagrammes de l'oeil car cette fonctionnalité proposée est sous une licence d'exploitation supplémentaire.

Il est à noter qu'une atténuation additionnelle de l'ordre de 3 dB est introduite sur chaque liaison. Elle est due à une perte de puissance du signal optique dans la fibre optique et dans les connecteurs.

6.4. TEST ET QUALIFICATION DE L'UNITÉ DE DÉCISION

Canal	Atténuation en dB	BER
A	0	$<10^{-15}$
B	0	$<10^{-15}$
A	6	$<10^{-15}$
B	6	$<10^{-15}$
A	9	$<10^{-15}$
B	9	$<10^{-15}$

TAB. 6.2 – Mesure du BER (Bit Error Rate) pour une durée de 72 heures.

Les tests effectués avec une atténuation de 15 dB ont montré que les désérialiseurs ne peuvent établir la synchronisation de la liaison dans ces conditions.

6.4.2 Qualification de la liaison à destination du Readout Supervisor 'ODIN'

La qualification du lien a été réalisée au CERN avec le système Readout Supervisor en utilisant un compteur 16 bits à 40 MHz. Le test a été effectué pendant environ 22 heures permettant de déduire un taux d'erreurs $<10^{-13}$. Le test de la procédure d'alignement des BCID de l'unité de décision et du Readout Supervisor a également été testé. L'ensemble des tests effectués a été répété avec succès dans l'environnement final de l'unité de décision sur site.

6.4.3 Mesure de la latence du traitement de l'unité de décision

Le tableau 6.3 présente les latences introduites pour le traitement de données des sous-détecteurs et le calcul de la décision. Cette latence est évaluée en prenant en considération le chemin critique, c'est-à-dire le flot de données provenant du FPGA III. En effet, 3 cycles d'horloge supplémentaires sont nécessaires pour effectuer le tri des muons de plus haute énergie et le transfert des données entre les deux FPGA de traitement.

Étape	Fonction	Nombre de coup d'horloge
0	Acquisition et reconstruction des données	6
1	Étage de pipeline en sortie du multiplexeur de sélection du flot de données	1
2	Tri des muons	1
3	Transfert des muons	2
4	Compensation des latences	2
5	Définition des conditions élémentaires	1
	Définition des sous-canaux de déclenchement et prise de décision	1
6	Construction et envoi du mot RSDA	4
Total		18

TAB. 6.3 – Traitement de données et latence de l'unité de décision.

La latence du traitement des FPGA de l'unité de décision est de 18 coups d'horloge. Cette latence ne prend pas en considération la latence des composants externes : désérialiseurs, récepteur optique, piste et convertisseurs LVDS/LVTTL. La latence mesurée entre la sortie d'un désérialiseur connecté au FPGA III (chemin critique) et le mot de décision avant la conversion au format LVDS est de 450 ns. Cette mesure correspond effectivement au temps de traitement de LODU.

6.4.4 Estimation du budget en temps

L'unité de décision bénéficie de 500 ns pour effectuer son traitement à partir du moment où les données les plus en retard se trouvent en entrée (les délais dus aux longueurs des fibres optiques étant intégrés dans l'estimation des latences par les sous-détecteurs). La figure 6.14 présente le parcours des données des sous-détecteurs au sein de l'unité de décision jusqu'à l'envoi de la décision.

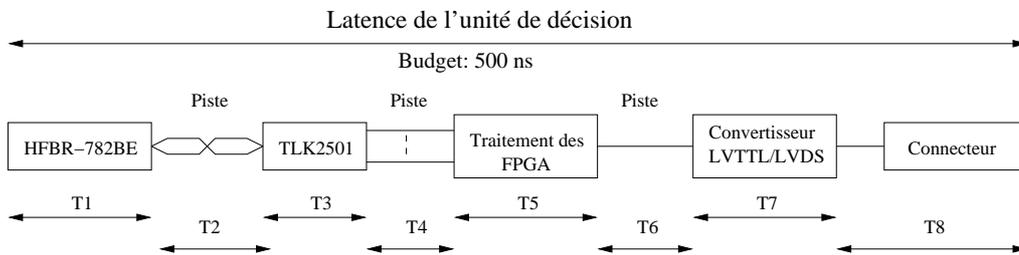


FIG. 6.14 – Découpage du budget en temps de l'unité de décision.

Chaque composant ou morceau de piste introduit un délai réduisant le temps de traitement effectif pour le traitement de l'unité de décision. Celui-ci peut être estimé en soustrayant au budget total le cumul des délais introduits sur le chemin de données en s'appuyant sur les spécifications techniques des composants et sur les longueurs de pistes. Pour cette estimation, les paramètres maximum et minimum sont pris en compte (tableau 6.4).

Temps	Délai	
	Min	Max
T1	1 ns	4 ns
T2	0,25 ns	0,75 ns
T3	47,5 ns	66,88 ns
T4	0,25 ns	0,5 ns
T6	0,75 ns	0,75 ns
T7	0,5 ns	1,7 ns
T8	≈0 ns	≈0 ns
Total	50,25 ns	74,58 ns
Total arrondi	50 ns	75 ns
T5 (temps de traitement disponible) =	450 ns	425 ns
Nombre de cycles d'horloge à 40 MHz	18	17

TAB. 6.4 – Estimation du temps de traitement disponible pour l'unité de décision.

6.4. TEST ET QUALIFICATION DE L'UNITÉ DE DÉCISION

Les spécifications techniques du convertisseur ne donnant pas la latence du composant, l'estimation se base sur les ordres de grandeur de convertisseur de format électrique. Les délais introduits par les pistes du circuit imprimé sont calculés en prenant 5 ns/m comme temps de propagation. Concernant le temps T8, celui-ci est négligeable devant la longueur du câble de transmission de la décision au Readout Supervisor.

La latence introduite, selon les spécifications du composant [35], par les désérialiseurs peut varier. Pour une liaison, fonctionnant à 1,6 Gbits/s, la latence varie de 47,5 ns au minimum et de 66,88 ns au maximum. Cette variation est due aux conditions de fonctionnement du composant : température et condition de fonctionnement. En prenant en considération les temps de propagation et cette variation, la latence introduite par l'étage optique peut alors varier. Cependant cette variation n'intervient qu'à l'établissement de la liaison.

Cette variation lors de l'établissement de la liaison a été observée et mesurée sur deux désérialiseurs de l'unité de décision. Pour mesurer cette variation du temps d'établissement de la liaison, le ruban de fibre optique reliant la carte GPL et l'unité de décision a été déconnecté et reconnecté 50 fois. Puis le délai entre l'établissement du signal TX-En et du signal RX-Dv a été mesuré. La dispersion des mesures effectuées est présentée pour chaque désérialiseur testé en figure 6.15. Pour les deux désérialiseurs testés, le temps d'établissement de la liaison pour un même composant peut varier d'au moins 6 ns et peut varier d'au moins 12 ns d'un composant à l'autre.

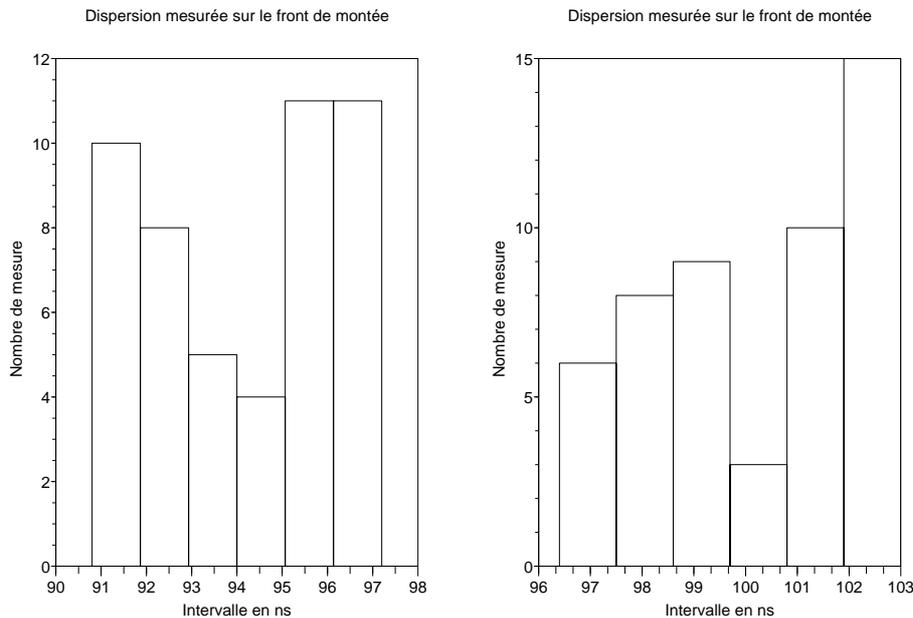


FIG. 6.15 – Histogramme des délais d'établissement sur un désérialiseur du FPGA II et III.

De par la difficulté des mesures à mettre en oeuvre, seulement 50 mesures ont été effectuées sur deux composants et elles ne permettent pas de déduire une statistique représentative. Elles donnent néanmoins un ordre de grandeur sur la dispersion du temps d'établissement de la liaison en réception.

L'estimation réalisée, les mesures et les observations montrent que le temps d'établissement de la liaison côté réception varie de façon non négligeable. Cette variation peut avoir pour conséquence d'introduire un décalage d'un coup d'horloge. Cette variation doit pouvoir être absorbée par l'unité de décision de manière à conserver le même alignement en temps des données (BCID local de l'unité de décision égal aux BCID des sous-détecteurs). L'alignement en temps et la compensation des latences des sous-détecteurs doivent être réalisés en prenant une marge de sécurité d'un coup d'horloge pour compenser un retard dû à cette variation. Le temps de traitement de l'unité de décision est de 18 cycles d'horloge sans prendre cette marge de sécurité. Des optimisations doivent alors être envisagées pour se ramener à 17 coups d'horloge.

6.4.5 Test du comportement de l'unité de décision

Deux algorithmes ont principalement servi pour la mise au point du système. Un environnement complet de simulation a été réalisé afin de tester chaque fonctionnalité et chaque flot de données de manière aisée : modélisation de la carte GPL et de ses différents modes de fonctionnement, émulation d'un Readout Supervisor, simulation de l'ECS et acquisition des flots de données de sorties dans des fichiers textes pour faciliter l'analyse.

Chaque algorithme est testé à partir de données issues du logiciel de simulation du détecteur LHCb (256 événements pour le banc de test interne et 3564 événements pour les mémoires externes de la carte GPL). Avant chaque test d'algorithme utilisant la carte GPL, une vérification du comportement de l'unité de décision peut être effectuée par le banc de test interne. Ce test préliminaire met en évidence des problèmes liés à une mauvaise configuration et isole les problèmes dus aux interfaces de l'unité de décision.

Algorithme 1

Ce premier algorithme se compose d'un nombre réduit d'entrées (5). Il a tout d'abord été validé en simulation puis avec le banc de test interne. Il se compose de deux canaux de déclenchement (T_0 et T_1) élaborés à partir de 4 conditions globales et de 2 conditions élémentaires. Chacune des conditions globales suivantes intervient dans chaque voie de déclenchement :

- contenu du Pile-Up (Content) inférieur à 3 (S_0);
- nombre d'interactions (#Hits) inférieur à 112 (S_1);
- multiplicité du SPD (SPD_{Mult}) inférieure à 280 (S_2);
- énergie totale déposée dans le détecteur calorimétrique ($\sum E_t$) supérieure à 5 GeV (S_3).

Les deux conditions élémentaires sont élaborés à partir de l'énergie transverse déposée par le candidat électron (E_t^e) mais en appliquant une coupure différente selon la voie de déclenchement :

- énergie transverse déposée par le candidat électron supérieure à 2,6 GeV (S_4);
- énergie transverse déposée par le candidat électron supérieure à 1,4 GeV (S_5);

Les deux voies de déclenchement sont les suivantes :

- $T_0 = (\text{Content} < S_0) \& (\#Hits < S_1) \& (SPD_{Mult} < S_2) \& (\sum E_t > S_3) \& (E_t^e > S_4)$;
- $T_1 = (\text{Content} < S_0) \& (\#Hits < S_1) \& (SPD_{Mult} < S_2) \& (\sum E_t > S_3) \& (E_t^e > S_5)$.

Le tableau 6.5 présente le pourcentage de la fonction de réduction des taux associé à chaque voie de déclenchement.

6.4. TEST ET QUALIFICATION DE L'UNITÉ DE DÉCISION

Voie	Pourcentage
T_0	100 %
T_1	20 %

TAB. 6.5 – Pourcentage de réduction des taux par voie de déclenchement pour l'algorithme 1.

Pour prendre en compte les différentes latences des divers sous-détecteurs, les données émises par la carte GPL ont été décalées de quelques périodes d'horloge de manière arbitraire pour tester la procédure d'alignement des données et tester la fonction de contrôle de l'alignement des BCID.

Algorithme 2

L'algorithme 2 testé est une variante du premier algorithme. Il met en oeuvre les flots de données d'entrée de chaque FPGA de traitement, de tester la fonction de réduction des muons, le transfert des données du FPGA III au FPGA II ainsi que l'alignement en temps de l'ensemble des données d'entrée de l'unité de décision. Aux conditions élémentaires de l'algorithme 1 s'ajoutent 2 conditions élémentaires sur les données provenant du sous-détecteur de muons :

- impulsion transverse du candidat muon de plus grand P_t supérieure à 1,28 GeV/c (S_6);
- impulsion transverse du candidat muon de plus grand P_t supérieure à 0,8 GeV/c (S_7).

Les deux voies de déclenchement supplémentaires (T_2 et T_3) sont les suivantes :

- $T_2 = (\text{Content} < S_0) \& (\# \text{Hits} < S_1) \& (SPD_{Mult} < S_2) \& (\sum E_t > S_3) \& (P_t^{\mu_1} > S_6)$;
- $T_3 = (\text{Content} < S_0) \& (\# \text{Hits} < S_1) \& (SPD_{Mult} < S_2) \& (\sum E_t > S_3) \& (P_t^{\mu_1} > S_7)$.

Le tableau 6.6 présente le pourcentage de la fonction de réduction des taux associé à chaque voie de déclenchement.

Voie	Pourcentage
T_0	100 %
T_1	20 %
T_2	100 %
T_3	56 %

TAB. 6.6 – Pourcentage de réduction des taux par voie de déclenchement pour l'algorithme 2.

Conclusion

Les tests d'algorithme ont permis de mettre en oeuvre l'ensemble des flots de données d'entrée de l'unité de décision et de tester le comportement de l'unité de décision à partir de données issues du simulateur du détecteur LHCb émulant un cycle de données du LHC (3564 événements). Pour chaque algorithme le traitement de l'unité de décision a été acquis par la carte GPL et comparé aux résultats attendus. Les tests d'algorithme ont également permis de tester les fonctions liées au contrôle des voies de déclenchement et du taux de déclenchement en sortie de l'unité de décision.

6.4.6 Liaison DAQ

Tout d'abord, le premier test de DAQ a consisté à la validation du flot de données : envoi d'une trame de test par L0DU lors de la réception d'un signal L0Accept, acquisition et envoi de la trame sur le réseau Gigabit Ethernet par la carte TELL1 et acquisition des données sur le PC de contrôle du banc de test.

Ensuite, les tests réalisés ont consisté à vérifier la procédure de paramétrage de la profondeur d'attente de la mémoire tampon de stockage des données du L0Block et de vérifier le BCID contenu dans les trames acquise après réception de 16 signaux de déclenchement successifs émis par le système TFC. La calibration s'effectue en plusieurs étapes mais ces paramètres sont déterminés une fois pour toute pour le banc de test au laboratoire. Cette procédure doit être réalisée en condition réelle lors de l'intégration de l'unité de décision dans le puits du détecteur. Tout d'abord, le BCID local de l'unité de décision transmis au Readout Supervisor dans le mot RSDA doit être aligné avec le BCID du Readout Supervisor. Pour cela, le RS calcule la différence entre son BCID et le BCID reçu provenant de L0DU. Une valeur de pré-chargement est alors introduite sur le BCID local de l'unité de décision. Après l'alignement des BCID (L0DU/RS), une procédure spécifique détermine la latence entre une décision positive de l'unité de décision et le signal de validation correspondant provenant du RS. Cette latence détermine le paramètre de la profondeur d'attente de la mémoire tampon. La dernière étape consiste alors à configurer le RS pour qu'il émette soit un simple signal de validation soit une séquence de validation d'événement connue (positionnement du ou des L0Accept à partir d'un BCID choisi). La vérification de la bonne calibration s'effectue alors en comparant dans le L0Block reçu sur le PC les numéros d'événements (BCID) qui ont été envoyés.

6.4.7 Intégration de l'unité de décision au puits LHCb

Les objectifs des premières phases de test du prototype de l'unité de décision dans le puits du détecteur (figure 6.16) étaient d'intégrer le système dans l'environnement de l'expérience, de tester et de qualifier les interfaces ainsi que de participer dans un second temps au premier test d'une voie de déclenchement complète.

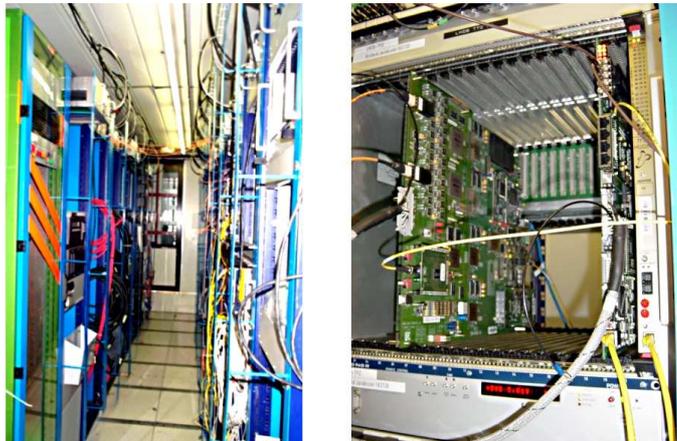


FIG. 6.16 – Prototype de l'unité de décision dans le puits LHCb.

Phase 1 : Intégration et test des interfaces

Les tâches réalisées durant cette première phase d'intégration ont été :

- d'installer le prototype de l'unité de décision dans l'environnement final ;
- d'installer les 2 tableaux de raccordement pour les liaisons optiques ;
- d'intégrer le système de contrôle de l'unité de décision dans le système de contrôle général de l'expérience ;
- de tester et qualifier une partie des liaisons optiques entre le sous-détecteur de muons et l'unité de décision ;
- de tester et de qualifier la liaison à destination du RS ;
- de tester la procédure d'alignement des BCID entre l'unité de décision et le RS ;
- de déterminer la latence réelle entre une décision positive et le signal de validation correspondant provenant du RS ;
- de tester le flot de données à destination du DAQ.

Phase 2 : Participation à la mise en service du calorimètre

L'objectif était de mettre en service une chaîne de déclenchement de niveau 0 (figure 6.17) à partir du sous-détecteur HCAL (annexe C) allant de la mise en forme des signaux par les cartes électroniques frontales jusqu'au système d'acquisition des données de l'événement et à sa reconstitution.

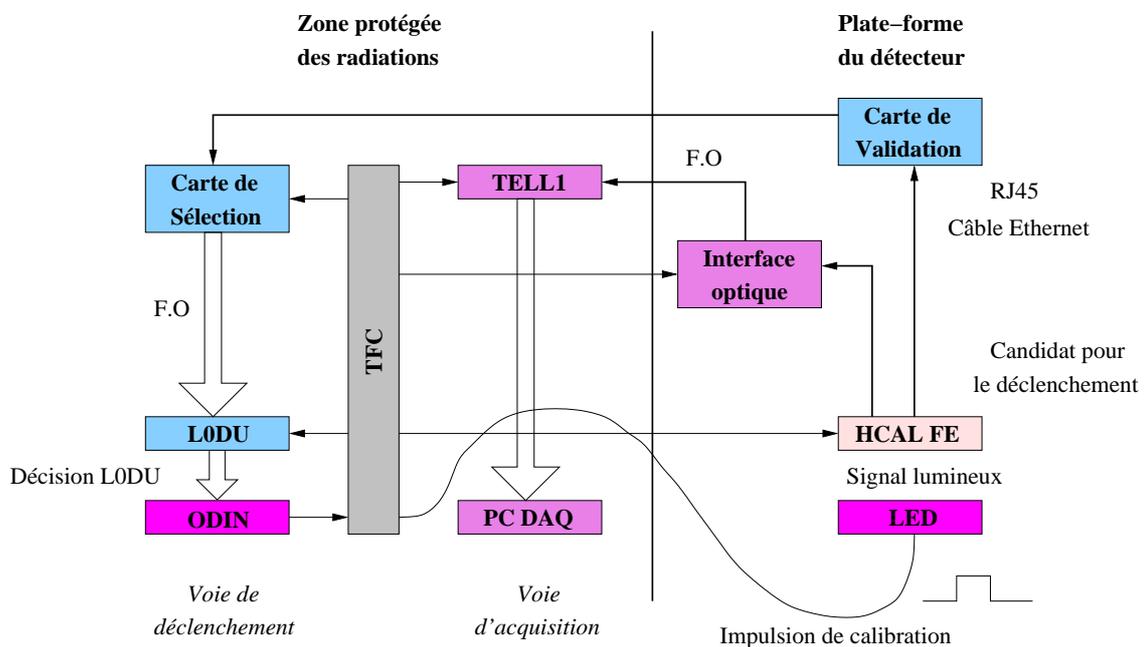


FIG. 6.17 – Principe du flot de données et de la chaîne d'acquisition.

Le flot de données est le suivant :

- le Readout Supervisor 'ODIN' génère une commande de calibration qui produit une impulsion déclenchant le système de LED du sous-détecteur HCAL ;
- les données suivent alors le chemin de niveau 0 : détection du signal lumineux et mise en forme des signaux par les cartes frontales d'une partie du HCAL, envoi des données aux cartes de validation et de sélection du HCAL, envoi du candidat Hadron sélectionné à l'unité de décision puis envoi de la décision au Readout Supervisor 'ODIN' ;
- après validation par 'ODIN' de la décision transmise par LODU les données sont acheminées au DAQ : envoi des données des cartes frontale aux cartes TELL1 par transmission optique, acquisition des données par le DAQ et reconstruction de l'événement, figure 6.18.

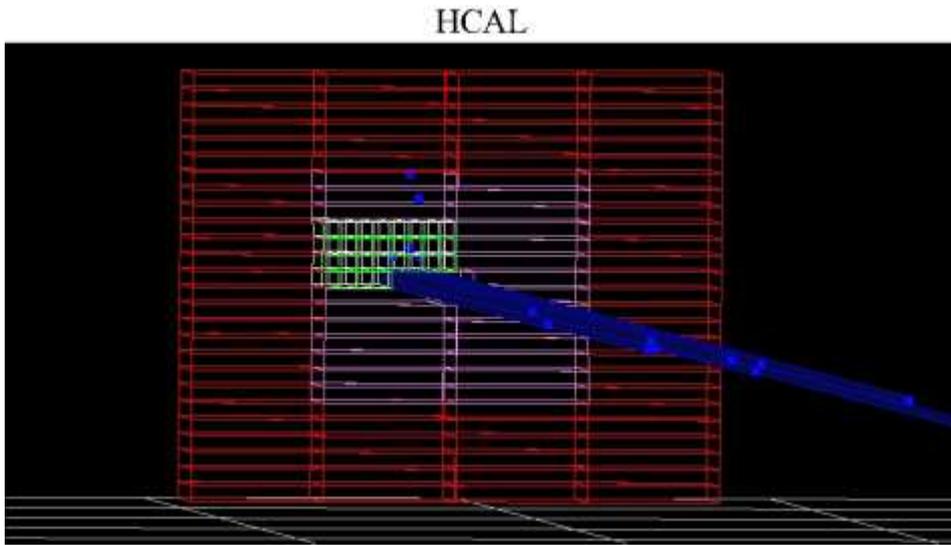


FIG. 6.18 – Reconstruction de l'événement.

Ce test a permis de mettre en oeuvre une chaîne complète de traitement du sous-détecteur calorimétrique HCAL dans l'environnement final : mise en forme des signaux par les cartes électroniques frontales, sélection de l'événement par le dispositif de sélection de niveau 0, acheminement des données jusqu'au système d'acquisition des données et reconstruction logiciel de l'événement.

Dans cette chaîne complète, l'unité de décision s'est intégrée dans son environnement final et a joué son rôle de dispositif de sélection de niveau 0. L'algorithme implémenté pour la sélection des événements était basé sur une unique voie de déclenchement élaborée à partir de l'énergie transverse déposée par le candidat hadron avec une coupure de 5,04 GeV et un taux d'acceptation de la voie de déclenchement de 100%. Les procédures préalables de mise en temps avec le Readout Supervisor ont également été réalisées :

- détermination du paramètre de pré-chargement (valeur de pré-chargement trouvé de 33) du compteur de BCID local de l'unité de décision afin d'aligner le BCID local de 'ODIN' et le BCID transmis par l'unité de décision ;
- et détermination de la latence (latence mesurée de 26 coups d'horloge) entre une décision d'acceptation de l'unité de décision et le signal de validation de l'événement correspondant émis par Le Readout Supervisor 'ODIN'.

6.4.8 Conclusion des tests de l'unité de décision

Le prototype de l'unité de décision a fait l'objet de tests exhaustifs. L'ensemble des tests ont permis de valider le circuit imprimé et de qualifier l'ensemble des interfaces : entrées optiques, sortie à destination du Readout Supervisor 'ODIN' et sortie à destination du DAQ.

Les tests du comportement de l'unité de décision ont permis de valider le traitement des données effectuées et les flots de données de l'unité de décision. Les tests utilisant la carte GPL ont permis également de tester la procédure d'alignement des données d'entrée et de tester les fonctions de contrôle du fonctionnement (alignement de données, taux de déclenchement des voies de déclenchement et comportement de l'unité de décision en présence d'erreurs dans les données ou lors d'une perte de synchronisation d'une liaison optique).

Les différentes phases d'intégration réalisées sur le site du détecteur LHCb ont permis de mettre en place le système de contrôle de l'unité de décision dans le système de contrôle global de l'expérience et d'installer le prototype dans l'environnement final. Le prototype a été utilisé et a participé au succès de la mise en oeuvre d'une première chaîne complète de traitement.

Les tests du prototype de l'unité de décision ont validé avec succès le circuit imprimé et l'ensemble des fonctionnalités. Seules des modifications mineures ont été envisagées pour la carte finale de l'unité de décision [36, 37].

Chapitre 7

Carte finale L0DU

La carte finale présente la même architecture que celle du prototype. Certains éléments ont été améliorés et optimisés après une évaluation des ressources et des performances du prototype.

7.1 Evaluation du prototype de l'unité de décision

L'évaluation du prototype repose sur l'évaluation des ressources mises à disposition par le circuit imprimé et par les ressources logiques mises à disposition par les FPGA.

7.1.1 Evaluation des ressources du circuit imprimé

L'ensemble des fonctionnalités et des ressources matérielles mises à disposition par le prototype de l'unité de décision répondent au cahier des charges. Durant son utilisation au laboratoire et les différentes phases d'intégration du système sur le site de l'expérience LHCb, aucun dysfonctionnement matériel remettant en cause les interfaces ou l'architecture de la carte n'a pu être mis en évidence. Le comportement de l'unité de décision a été validé grâce au banc de test externe spécialement développé. Les nombreux bus de communication internes au prototype ont apporté une flexibilité concernant le développement de la carte. En effet, certaines fonctionnalités liées au contrôle des taux de déclenchement ont été déportées dans le FPGA III afin de libérer des ressources logiques dans le FPGA II. De par les résultats satisfaisants obtenus avec ce prototype, les modifications et améliorations apportées ont consisté à passer à des FPGA plus performants implémentant un plus grand nombre de ressources logiques.

7.1.2 Evaluation des ressources des cibles technologiques

Le développement des microcodes des FPGA réalisé durant le doctorat permet l'implémentation de l'algorithme minimal défini à ce jour pour l'algorithme de prise de décision au niveau 0 de déclenchement. Cette architecture met à disposition 42 conditions élémentaires et permet de définir 32 canaux de déclenchement. Elle permet également un traitement des voies d'entrées non utilisées pour le remplacement d'une entrée défectueuse. Le détail des conditions élémentaires ou globales mises à disposition dans cette version est présenté dans le tableau 7.1.

Définition du nombre de conditions élémentaires ou globales par catégorie d'algorithmes						
Type	Donnée	Implémenté dans L0DU	Décrit pour les algorithmes			Opérateur
			Actuel	Prévisible	Max	
Calo E_t	électron	4	2	4	10	
	photon	4	2	2	6	
	π_g^0	4	2	2	6	
	π_l^0	4	2	2	6	
	hadron	4	2	2	6	
	Nouvelle donnée	0	0	0	6	+/-
Calo Addr	électron	0	0	0	0	
	photon	0	0	0	0	
	π_g^0	0	0	0	0	
	π_l^0	0	0	0	0	
	hadron	0	0	0	0	
	Nouvelle donnée	0	0	0	10	ET/OU
Calo Global	$\sum E_t$	2	1	1	4	
	SPD_{mult}	2	1	1	4	
Pile-Up Peak	Peak1	2	0	0	4	
	Peak2	2	1	1	4	
	Nouvelle donnée	0	0	0	4	+/-
Pile-Up Pos	Pos1	2	0	0	1	
	Pos2	2	0	0	1	
	Nouvelle donnée	0	0	0	1	+/-
Pile-Up Global	#Hits	2	1	1	4	
Muon P_t	μ_1	2	2	4	10	
	μ_2	2	0	2	6	
	μ_3	2	0	0	6	
	$\sum P_T^{\mu_1 \mu_2}$	2	2	4	10	
	Nouvelle donnée	0	0	0	6	+/-
Muon Adresse	μ_1	0	0	0	0	
	μ_2	0	0	0	0	
	μ_3	0	0	0	0	
	Nouvelle donnée	0	0	0	6	ET/OU
Muon Signe	μ_1	0	0	0	0	
	μ_2	0	0	0	0	
	μ_3	0	0	0	0	
	Nouvelle donnée	0	0	1	6	+/-
Total		42	18	27	124	

TAB. 7.1 – Tableau comparatif du nombre de conditions élémentaires et globales défini par catégorie d'algorithmes.

Ce tableau présente également le nombre de conditions élémentaires (et globales) requis selon différentes catégories d'algorithmes : algorithmes actuels, algorithmes "prévisibles" en cours d'étude mais pas encore validés par la collaboration LHCb, et "maximum" de manière à pouvoir anticiper les évolutions, déterminer les nouvelles cibles technologiques et dimensionner l'architecture interne des FPGA. Les modifications à apporter pour le passage à l'algorithme possible sont mineures et consistent à dupliquer certaines conditions élémentaires relatives aux candidats muons et à effectuer un traitement sur les signes des muons (détermination et identification du signe d'une paire de muons). Le développement a été contraint par les ressources logiques disponibles des FPGA Stratix EP1S25. Cette version minimale occupe 80 % des ressources logiques du FPGA II de traitement et 35 % pour le FPGA III. Cette cible a dû être redéterminée pour la version finale de l'unité de décision afin de permettre l'implémentation de l'algorithme maximal défini dans les tableaux 7.1 et 7.2.

Nombre de canaux de déclenchement par algorithme		
Courant	Raisonnable	Maximum
16	32	64

TAB. 7.2 – Nombre de canaux de déclenchement en fonction des algorithmes.

7.2 La carte finale de l'unité de décision

La carte finale de l'unité de décision conserve la même architecture mais implémente des FPGA de plus grande capacité. Le placement-routage a été optimisé et les zones critiques ont également été simulées.

7.2.1 Détermination des cibles technologiques

Deux possibilités étaient envisageables pour le choix des composants de traitement :

- migrer vers des FPGA Stratix de plus grande capacité en conservant le même boîtier ;
- migrer vers des FPGA Stratix de plus grande capacité mais avec un boîtier différent pour augmenter de manière significative le nombre d'entrées/sorties.

Le choix retenu est l'utilisation de FPGA de plus grande capacité de la même famille Stratix en conservant le même type de boîtier de manière à limiter les difficultés liées au routage du circuit imprimé. Ce choix se justifie par le fait que les ressources en terme d'interconnexion mises à disposition par le prototype se sont montrées suffisantes. Afin de déterminer les cibles technologiques finales, un développement complet intégrant des blocs de production de nouvelles données et une flexibilité accrue a été réalisé pour les essais de synthèse. Cependant lors de cette étude, la philosophie de l'architecture interne des FPGA était différente de celle actuelle. Elle était basée sur une large utilisation de matrice d'interconnexion permettant la sélection des entrées de l'algorithme de prise de décision et sur les paramètres d'algorithmes connus à ce moment. Néanmoins, cette étude a permis de faire une estimation du pourcentage d'occupation des ressources logiques sur différentes cibles technologiques et un choix laissant place à des perspectives d'évolution des paramètres de l'algorithme, tableau 7.3.

Principales caractéristiques	FPGA Stratix				
	EP1S25	EP1S30	EP1S40	EP1S60	EP1S80
Nombre d'E/S	706	726	773	773	773
Nombre d'éléments logiques	25660	32470	41250	57120	79040
Mémoires RAM en Kbytes	1,899	3,239	3,344	5,093	7,253
Ressources utilisées	110%	90%	70%	50%	35%

TAB. 7.3 – Tableau comparatif des cibles technologiques.

Les FPGA Stratix EP1S60 ont été les composants choisis pour la version finale de l'unité de décision. En plus d'augmenter la quantité de ressources logiques à disposition (32000 éléments logiques supplémentaires), ils possèdent 67 entrées/sorties utilisateurs qui ont permis d'augmenter la taille du bus de communication entre les deux FPGA de traitement.

7.2.2 Le circuit imprimé final de l'unité de décision

Une réorganisation de l'assignement des entrées/sorties des FPGA de traitement a été effectuée afin de pouvoir intégrer les interconnexions additionnelles, améliorer la répartition des couches du PCB et optimiser le routage du circuit imprimé. Bénéficiant de l'expérience du prototype de la carte L0DU et de la carte GPL, cette nouvelle organisation a facilité le routage tout en conservant le même nombre de couches et de mieux organiser les couches du PCB. Le circuit imprimé de la version finale comporte désormais 10 couches de signaux, 6 couches pour les plans d'alimentation et de masse ainsi qu'un maximum de deux couches de signaux entre deux plans de référence. Comme pour le prototype et la carte GPL, un travail intense de simulation des lignes de transmission a été effectué pour garantir le bon fonctionnement de la carte finale, figure 7.1.

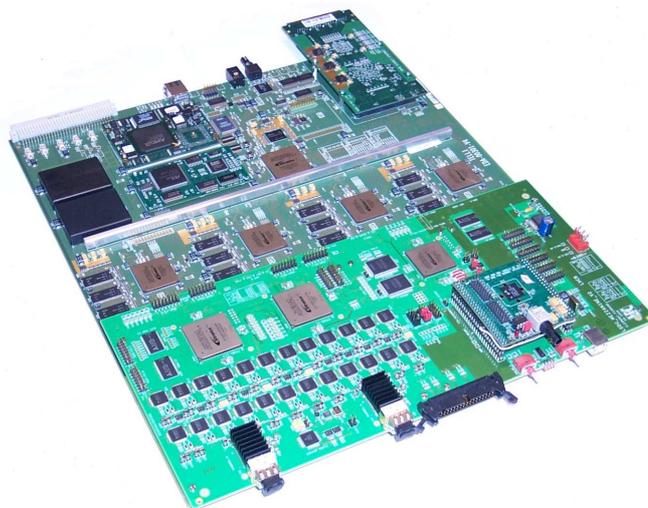


FIG. 7.1 – Circuit imprimé de la carte finale L0DU sur une TELL1.

7.2.3 Test des circuits imprimés

Le nombre de cartes de l'unité de décision produites est de 5. Chaque circuit imprimé a fait l'objet de test de déverminage¹ et de test à sondes mobiles (test TAKAYA) pour vérifier la conformité de la carte au schéma électrique, et de vérifier le sens et la valeur de certains composants. Avant de fabriquer l'ensemble des cartes, un premier exemplaire a été câblé et a fait l'objet de tests fonctionnels complets au laboratoire avant la réalisation de l'ensemble des cartes. Les tests au laboratoire comportent deux étapes. Une première série de tests est réalisée à l'aide d'une carte de tests, présentée en figure 7.2, spécialement conçue et qui remplace la carte TELL1. Cette carte de tests permet :

- d'alimenter la carte L0DU ;
- de tester les connexions JTAG et ECS d'interface avec la carte TELL1 ;
- de tester les bus de connexion (DAQ) à destination de la carte TELL1 ;
- de tester les fonctionnalités et les flots de données de manière autonome.



FIG. 7.2 – Une carte L0DU sur la carte de test (à gauche).

Une fois cette première phase de tests effectuée, l'exemplaire est ensuite placé sur une carte TELL1 et programmé avec les microcodes développés pour le prototype afin de réaliser les tests du comportement de la carte en condition de fonctionnement normal. L'ensemble des résultats obtenus ont permis de valider le circuit imprimé et le comportement fonctionnel de la carte finale [38, 39]. Suite à cela, l'ensemble des cartes ont été produites et ont pour le moment fait l'objet de tests sur la carte de tests dédiée. Dès la validation de la version finale avec les microcodes développés pour le prototype, les développements spécifiques (contraints par les limitations en ressources logiques) ont été arrêtés de manière à ne garder qu'un unique développement.

7.3 Perspectives d'évolution

A ce jour, les évolutions de l'unité de décision concernent l'augmentation de la flexibilité de l'architecture et la mise au point des microcodes des FPGA. Certaines optimisations de l'architecture doivent être également effectuées de manière à gagner quelques cycles d'horloge

¹Séquences de contraintes thermiques ou électriques ayant pour but d'éliminer les défauts de jeunesse dans une production. Permet de procéder à un vieillissement accéléré.

pour respecter le budget en temps alloué à l'unité de décision et permettre l'ajout de blocs de production de nouvelles données ainsi qu'une marge de sécurité d'un coup d'horloge.

7.3.1 Optimisation du code VHDL

La latence actuelle de l'unité de décision est critique puisque celle-ci s'élève à ce jour à 18 cycles d'horloge pour effectuer le traitement dans les FPGA alors que d'après l'estimation réalisée, 17 coups d'horloge sont effectivement disponibles. Si à ceci nous ajoutons un cycle d'horloge de sécurité destiné à compenser un décalage de la latence d'une donnée et un étage de pipeline pour la production de nouvelle donnée, la latence obtenue est de 20 cycles d'horloge. Il faut envisager d'optimiser le traitement de l'unité de décision afin de gagner 3 cycles d'horloge. Les optimisations possibles concernent essentiellement la fonction d'acquisition et de démultiplexage des données puisque les latences prises par l'algorithme et la construction du mot RSDA sont inévitables.

Première solution envisageable

La première optimisation vise à remplacer la mémoire FIFO de sortie du bloc d'acquisition et de démultiplexage des données par un registre. Cette modification permettrait de gagner 2 cycles d'horloge à 40 MHz et de descendre la latence de l'unité de décision à 16 coups d'horloge, principe illustré en figure 7.3.

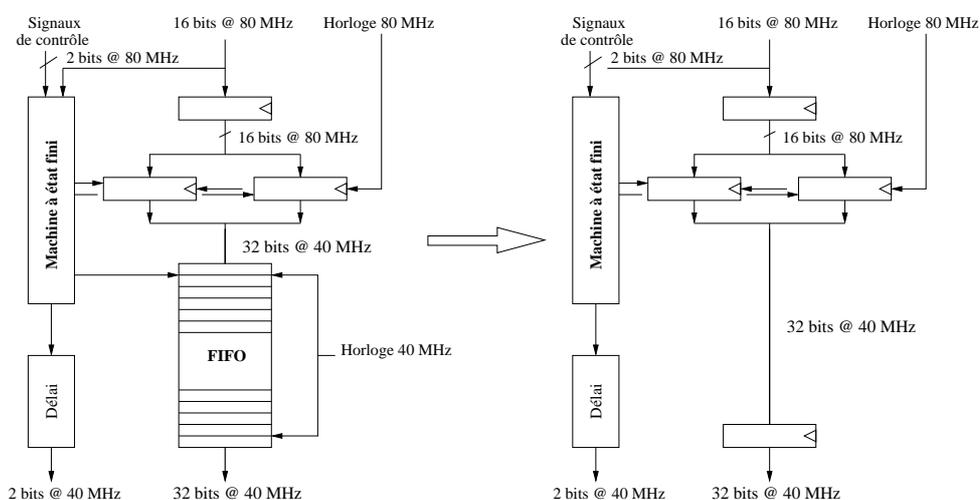


FIG. 7.3 – Premier principe d'optimisation de la fonction d'acquisition et de démultiplexage.

Deuxième solution envisageable

La suppression de l'étage de pipeline en sortie du bloc de sélection du flot de données (données sous-détecteur ou données du banc de test interne) permettrait de gagner un cycle d'horloge supplémentaire. Cette optimisation combinée avec la solution précédente permettrait de gagner les 3 cycles d'horloge nécessaires.

Troisième solution envisageable

Une autre solution envisageable consiste à remplacer les mémoires FIFO d'adaptation des domaines d'horloge par un mécanisme d'échantillonnage à phase d'horloge variable. Les données seraient ainsi acquises dans le domaine de stabilité mais cette opération nécessiterait une étape préalable complexe et devant être réalisée à chaque mise en service, principe illustré en figure 7.4.

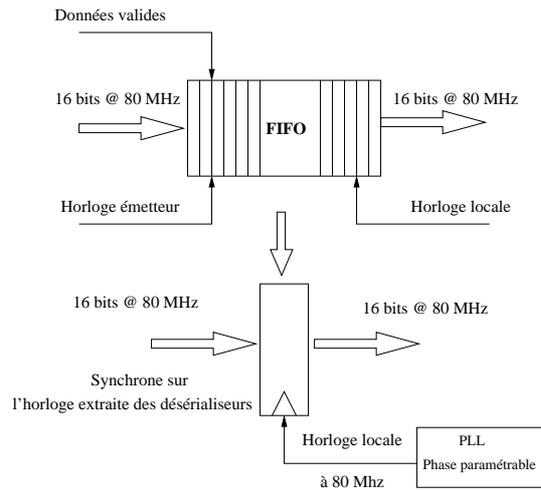


FIG. 7.4 – Principe de la fonction d'échantillonnage.

Cette nouvelle architecture, présentée en figure 7.5, pour la fonction d'acquisition et de démultiplexage permettrait de gagner 3 coups d'horloge nécessaire pour respecter le budget en temps de l'unité de décision mais elle est complexe à mettre oeuvre.

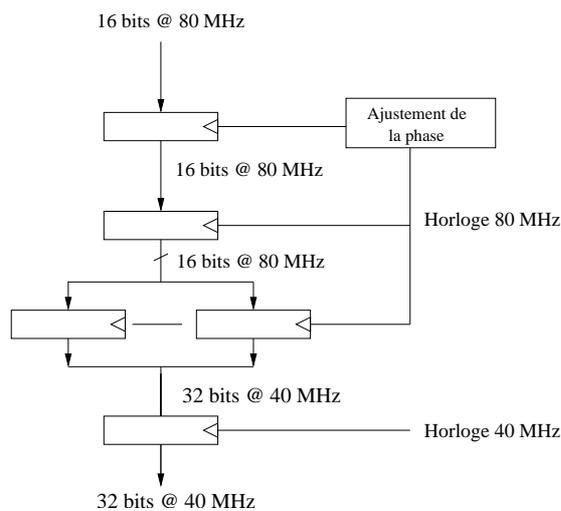


FIG. 7.5 – Principe d'optimisation de la fonction d'acquisition et de démultiplexage.

Quatrième solution envisageable

La dernière solution envisageable repose sur une architecture relativement simple. Elle consiste à réaliser le démultiplexage des données avec l'horloge extraite des données d'entrée et à n'utiliser qu'une unique FIFO pour faire l'adaptation des domaines d'horloge, principe présenté en figure 7.6.

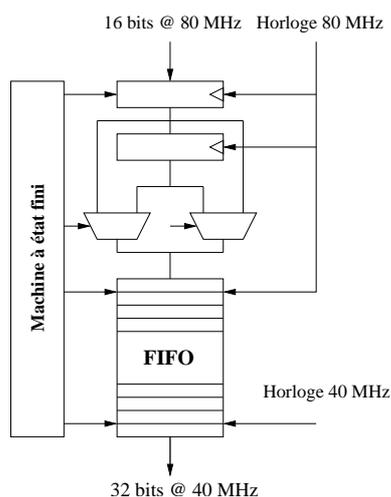


FIG. 7.6 – Principe d'optimisation de la fonction d'acquisition et de démultiplexage.

Cette solution est simple à mettre en oeuvre et permet de garder une mémoire FIFO pour l'adaptation des domaines d'horloge. Seulement 4 cycles d'horloge permettent de faire alors l'acquisition et le démultiplexage des données. Cette optimisation peut être combinée à la suppression de l'étage de pipeline en sortie du multiplexeur de sélection du flot de données et permet de gagner les 3 cycles d'horloge nécessaires (tableau 7.4).

Etape	Fonction	Nombre de coup d'horloge
0	Acquisition et démultiplexage des données	4
1	Tri des muons	1
2	Transfert des muons	2
3	Compensation des latences	2
4	Marge de sécurité	1
5	Etage de pipeline en sortie des blocs de production de nouvelle données	1
6	Définition des conditions élémentaires	1
7	Définition des sous-canaux de déclenchement et prise de décision	1
8	Construction et envoi du mot RSDA	4
Total		17

TAB. 7.4 – Traitement de données et latence de l'unité de décision.

La mémoire FIFO peut également être remplacée par le même type de mécanisme présenté en solution 3 (échantillonnage de la donnée dans le domaine de stabilité). Cette dernière optimisation porterait la fonction d'acquisition et de démultiplexage à simplement 2 cycles d'horloge laissant alors des cycles d'horloge disponibles pour l'implémentation de fonctions plus complexes pour l'algorithme de prise de décision.

7.3.2 Réorganisation des entrées de l'unité de décision

La dernière possibilité introduit des modifications majeures sur le développement des microcodes des FPGA. Cette solution prend en considération que les données muons sont les dernières données arrivant sur l'unité de décision et qu'actuellement le traitement par l'unité de décision sur les données muons introduit une latence additionnelle de 3 coups d'horloge. L'idée est d'absorber une partie de la latence en affectant les données muons et Pile-Up sur le FPGA II et les données du sous-détecteur CALO au FPGA III. Cette modification entraîne des développements importants sur le prétraitement de l'unité de décision. Mais cette modification permet d'absorber les 3 cycles d'horloge actuels sur le chemin de données des muons.

7.3.3 Stratégie

La latence actuelle (18 cycles d'horloge) du traitement implémenté dans les FPGA dépasse le budget en temps estimé à 17 cycles d'horloge. Cependant plusieurs pistes d'optimisation peuvent être envisagées de manière à se ramener à ces 17 coups d'horloge tout en intégrant un étage de pipeline pour la production de nouvelles données et une marge de sécurité d'un cycle d'horloge. La quatrième solution proposée est la solution à envisager en priorité et permettrait de faire gagner les 3 coups d'horloge nécessaires. Cette solution fait actuellement l'objet de test et est en cours de mise au point. La dernière solution est à envisager en dernier recours car elle entraîne des modifications majeures sur l'organisation du prétraitement des FPGA et donc un temps de développement et de mise au point non négligeable.

Conclusion et perspectives

A l'issue des travaux réalisés durant ce doctorat, la carte électronique finale de l'unité de décision et son banc de test dédié ont été conçus et réalisés.

Dans la première partie du manuscrit, les principaux objectifs de l'expérience LHCb ainsi qu'une vue globale du détecteur et de ses principaux éléments constitutifs ont été présentés. Le premier chapitre a permis de souligner l'une des particularités liée à la géométrie conique du détecteur LHCb par rapport à ses homologues ATLAS, CMS et ALICE. Puis dans un second chapitre, le principe de la chaîne de traitement et la problématique de telles expériences ont été présentés. La mise en oeuvre d'un système multi-niveau de sélection en ligne des événements intéressants pour les analyses de physique en parallèle de la chaîne d'acquisition permet de répondre à la problématique liée à la quantité de données produites et à l'impossibilité de stocker l'ensemble des informations produites.

Le troisième chapitre a exposé les éléments du cahier des charges de l'unité de décision de premier niveau ayant pour objectif de réduire le flot de données de 40 MHz à 1 MHz pour le prochain niveau de sélection. Une première analyse de celui-ci a permis de dégager une des autres originalités du détecteur LHCb concernant son système de déclenchement. En effet, l'expérience LHCb est la seule à disposer d'un niveau de déclenchement de niveau 0 imposant de telles contraintes sur l'électronique. Cette première analyse a conduit à déduire les grands principes architecturaux à mettre en oeuvre pour l'unité de décision comme l'utilisation de fibre optique haut débit et de mode de transfert série pour le transfert de données d'unité de traitement à unité de traitement. De plus, afin de bénéficier des éléments d'interface avec le système de contrôle de l'expérience (ECS) et le système d'acquisition de données standard de LHCb ainsi qu'une volonté d'accélérer le temps développement, il a été choisi de concevoir l'unité de décision comme une mezzanine de la carte standard d'interface avec le système DAQ (TELL1). De par les contraintes imposées sur la latence fixe allouée à l'unité de décision pour fournir sa décision concernant l'acceptation ou la réjection de l'événement et sur la flexibilité requise à ce niveau central du système de déclenchement de niveau 0, l'implémentation du traitement de l'unité de décision s'est orientée vers des cibles technologiques de type FPGA et sur une architecture synchrone pipeline à 40 MHz.

Le quatrième chapitre a permis de détailler la structure interne de traitement de l'unité de décision. Dans un premier temps, une description détaillée des interfaces et des différents flots de données a été présentée. L'unité de décision implémente pour chaque différent type d'interface des modes de tests standards et spéciaux de manière à pouvoir tester, valider et qualifier les différents flots de données en laboratoire ainsi que sur le site de l'expérience LHCb. La structure interne dédiée au traitement des données et à l'implémentation de l'algorithme de prise de décision est fondée sur un premier élément destiné à effectuer un prétraitement des données

permettant de fournir les informations nécessaires à la définition des canaux de déclenchement. L'architecture devant être flexible à ce niveau, une analyse des différents algorithmes décrits a conduit à structurer la construction de l'algorithme de prise de décision étape par étape en utilisant des éléments logiques pré-synthétisés sélectionnés et affectés par un réseau logique programmable pouvant être configuré et paramétré par l'intermédiaire de l'interface de contrôle de l'unité de décision. Le comportement de l'unité devant pouvoir être également contrôlé, l'architecture intègre des éléments destinés à surveiller son fonctionnement, les taux de déclenchement des canaux de physique étudiés et à établir un diagnostic rapide sur le comportement de l'unité de décision.

Le cinquième chapitre, dédié à la conception et au prototypage de l'unité de décision, présente tout d'abord une analyse du premier prototype réalisé permettant ainsi de mettre en avant les principales améliorations à apporter à celui-ci. La seconde version développée présente des caractéristiques très différentes non seulement en terme de nouveaux médias d'entrée des données provenant des sous-détecteurs (liaison optique haute vitesse) mais aussi l'intégration de l'unité de décision comme mezzanine de la carte TELL1 pour s'interfacer avec le système de contrôle et d'acquisition. Les objectifs de ce second prototype étaient très importants puisqu'il devait s'approcher le plus possible de la version finale et permettre d'être intégré dans l'environnement final et de participer aux premières mises en service du système de déclenchement de niveau 0. L'architecture du circuit imprimé a pris en considération les contraintes liées à la centralisation des données pour la définition de l'algorithme de décision. Elle propose également une architecture permettant de conserver l'intégrité des signaux et introduisant une certaine flexibilité pour le développement des microcodes des FPGA. De par l'utilisation de boîtiers BGA rendant difficile les mesures, la rapidité et la densité des signaux, la réalisation du circuit imprimé s'est appuyée sur un travail de simulation des lignes de transmission afin de garantir la qualité des signaux.

Le banc de test spécialement développé ainsi que l'ensemble des résultats obtenus par ce second prototype de l'unité de décision sont décrits dans le sixième chapitre. Le banc de test repose pour une grande partie sur la carte d'injection de vecteurs de test spécialement développée pour les besoins de l'unité de décision. Elle émule les données des sous-détecteurs, les procédures de test, de qualification des liaisons optiques et de permettre l'acquisition du mot contenant la décision de l'unité de décision pour permettre un diagnostic du comportement. Les résultats obtenus par le second prototype grâce au banc de test mais également durant les différentes phases d'intégration de l'unité de décision dans son environnement final se sont montrés très satisfaisants et aucun dysfonctionnement n'a pu être mis en évidence, ce qui a permis de ne laisser envisager que des modifications mineures pour la réalisation de la carte finale.

Le dernier chapitre présente les améliorations qui ont été apportées. Celles-ci se sont appuyées sur les résultats obtenus par le prototype et sur une évaluation des ressources logiques mises à disposition par cette version. Les cibles technologiques du prototype ne se sont pas avérées suffisantes pour pouvoir implémenter les paramètres maximum d'algorithme envisagés. De ce fait, la version finale est équipée de cibles technologiques plus performantes permettant d'envisager d'augmenter la flexibilité de l'architecture de l'unité de décision. Certaines améliorations possibles sont également présentées afin de répondre au cahier des charges et principalement au respect du budget en temps alloué à l'unité de décision. Cette version finale a fait l'objet de tests exhaustifs de la même manière que pour le prototype et ont permis de tester et de qualifier les interfaces, valider le fonctionnement et le comportement de l'unité de décision.

7.3. PERSPECTIVES D'ÉVOLUTION

L'unité de décision est actuellement installée dans son environnement final dans la caverne du détecteur et contribue à la mise en service de l'ensemble du système de déclenchement de niveau 0. Durant cette mise en service, de nombreux tests seront effectués, comme la qualification de l'ensemble des interfaces avec les sous-détecteurs, mais surtout elle contribuera à la calibration et à la mise en temps du détecteur. L'année prochaine les premiers faisceaux devraient faire leur apparition dans la chaîne d'accélération du LHC et donner lieu aux premières collisions entre particules et à la mise en oeuvre de l'ensemble de la chaîne de traitement sur des données de physique. L'unité de décision jouera alors son rôle crucial de dispositif central du système de déclenchement de niveau 0. De par son architecture flexible, elle proposera une diversité d'algorithmes pouvant faciliter la mise en service du détecteur et pourrait contribuer à la sélection et à l'étude de nouveaux phénomènes de physique non prévus par le modèle standard. De part la flexibilité également apportée à l'architecture du circuit imprimé, l'unité de décision permettrait de connecter ses entrées supplémentaires à de nouveaux sous-détecteurs laissant une perspective d'avenir et d'évolution pour son utilisation durant ces dix prochaines années.

Annexes

Annexe A

Le modèle standard

Dans ce modèle, douze particules de matière et quatre particules porteuses de forces sont nécessaires pour décrire l'ensemble de nos connaissances sur les constituants les plus fondamentaux de la matière et sur leurs interactions. Le tableau A.1 présente les 12 constituants de la matière.

Quarks		Leptons	
Haut	Bas	Neutrino électronique	Electron
Charme	Etrange	Neutrino muonique	Muon
Vérité	Beauté	Neutrino du Tau	Tau

TAB. A.1 – Les 12 constituants élémentaires de la matière.

Les particules de matière élémentaires

Deux « familles » de particules de matière sont connues : les quarks et les leptons. Il existe six quarks, généralement groupés en trois paires selon les propriétés de leur masse et de leur charge : haut/bas, charme/étrange, et vérité/beauté. On trouve ensuite six leptons, trois dotés d'une charge et d'une masse (l'électron, le muon et le tau) et trois électron-neutrinos neutres et de très faible masse (le neutrino de l'électron, le neutrino du muon et le neutrino du tau). A chaque particule de matière correspond une particule d'antimatière.

Les particules porteuses de force

Le modèle standard comprend trois types de forces agissant entre les particules : la force forte, la force faible et la force électromagnétique. La gravité n'y est pas encore intégrée. Les forces s'exerçant entre les particules s'expliquent par l'échange de particules spéciales « porteuses de forces » appelées bosons, qui transportent des quantités discrètes d'énergie d'une particule à l'autre. Chaque force possède ses propres bosons : le gluon (force forte), le photon (force électromagnétique), les bosons W et Z (force faible).

A partir de ces particules élémentaires, il est possible de construire les "particules" composites, appelées hadrons, qui nous entourent :

- les baryons comme le proton ou le neutron ;
- les mésons qui sont composés d'un nombre pair de quarks et d'antiquarks comme le pion, le kaon, le Rho, le Phi et B.

Annexe B

PVSS

L'application PVSS est très hiérarchisée et est composée de différents processus s'exécutant en parallèle.

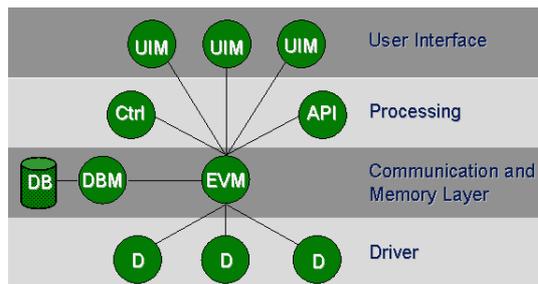


FIG. B.1 – Gestionnaire de tâche de PVSS.

L'application PVSS se compose des gestionnaires de tâche suivants :

- un gestionnaire d'événement EVM (Event Manager) responsable de la gestion de toutes les communications. Il reçoit les données provenant des pilotes et stocke les données dans la base de données ;
- un gestionnaire de la base de données qui fournit une interface avec la base de données ;
- un gestionnaire d'interface graphique utilisateur permettant d'obtenir les données de différents systèmes ou de stocker les données dans la base de données à envoyer au système ;
- un gestionnaire de contrôle permettant d'effectuer le traitement des données, ce langage est une extension du langage C.
- un gestionnaire API (Application Programming Interface) permettant à chaque utilisateur d'écrire son propre programme C++ pour avoir accès aux données de la base de données ;
- des drivers permettant l'interface des systèmes à contrôler ;

PVSS fonctionne soit sous un système Windows soit sous un système Linux. L'application PVSS peut également être distribuée à travers différentes machines. Cette distribution du système est construite en ajoutant un gestionnaire de distribution pour chaque système. De cette manière une centaine de systèmes peuvent alors être connectés.

Annexe C

Détail de l'architecture du premier niveau de déclenchement pour la partie calorimétrique

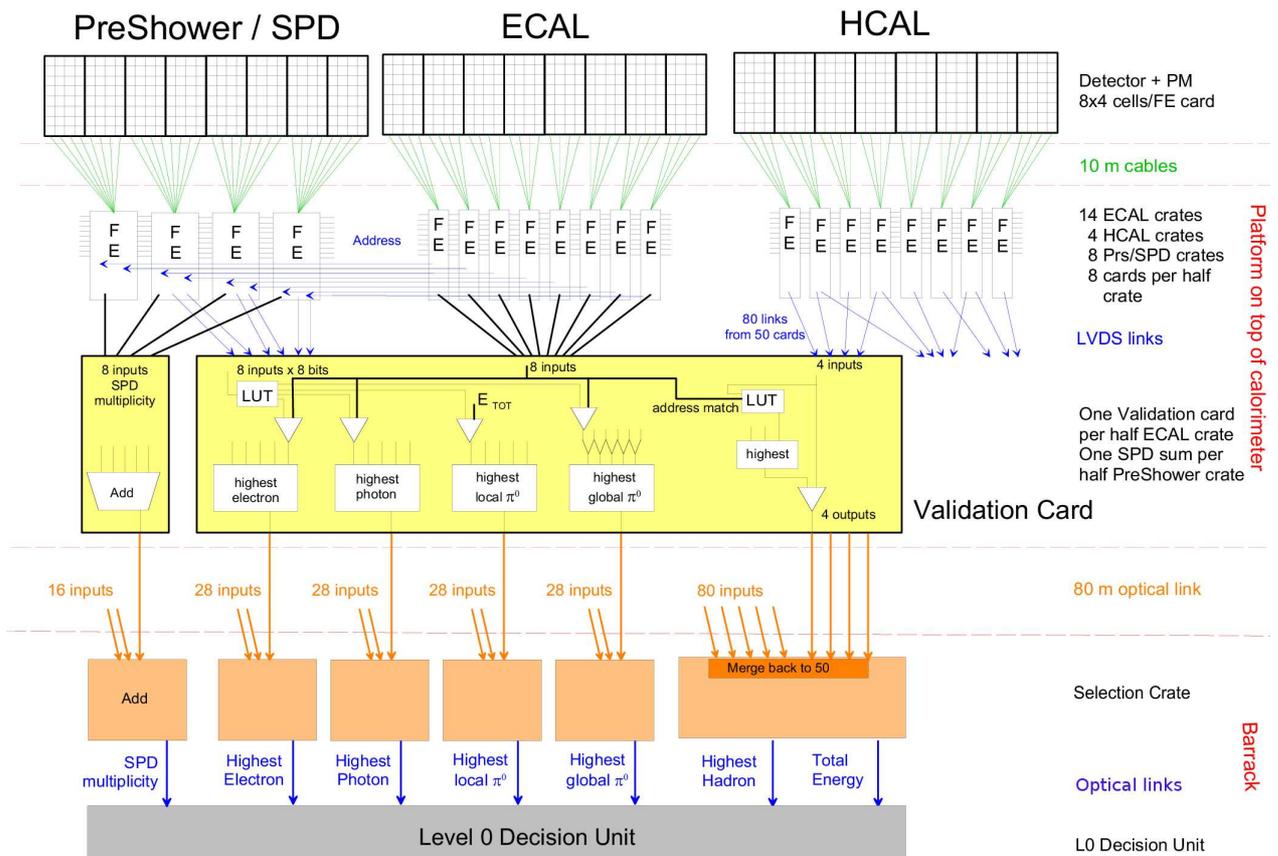


FIG. C.1 – Architecture détaillée du système de déclenchement de premier niveau pour la partie calorimètre.

ANNEXE C. DÉTAIL DE L'ARCHITECTURE DU PREMIER NIVEAU DE
DÉCLENCHEMENT
POUR LA PARTIE CALORIMÉTRIQUE

Annexe D

Interface de contrôle de l'unité de décision

D.1 Le système de contrôle de l'unité de décision

Le système de contrôle de l'unité de décision est un logiciel complexe devant s'intégrer dans le système de contrôle général de l'expérience. Cependant, il doit proposer une interface utilisateur simple permettant à une personne non experte de configurer, paramétrer et surveiller le bon fonctionnement de l'unité de décision. Le travail durant ce doctorat a consisté à collaborer avec les physiciens afin de définir un cahier des charges pour le développement du logiciel. Une description détaillée des fonctionnalités à intégrer et des séquences de contrôle à effectuer a également été spécifiée.

D.2 Alignement et contrôle de l'alignement des sous-détecteurs

Tout d'abord, le logiciel permet d'aligner en temps les données provenant des sous-détecteurs. Il permet de générer un signal d'échantillonnage des BCID des sous-détecteurs et de déterminer les paramètres de compensation. Il permet de valider les entrées sous-détecteurs à prendre en considération pour faire le contrôle de l'alignement des BCID. Le logiciel permet également de sauvegarder dans la base de données une configuration qui pourra être alors rechargée ultérieurement au démarrage de l'unité de décision. En effet, une fois les latences réelles déterminées, elles ne varieront pas et seul un contrôle continu de l'alignement sera effectué.

Quel que soit le panneau de configuration du logiciel de contrôle et de configuration, certaines informations générales sont toujours affichées. Elles sont principalement liées au type de configuration de l'algorithme, à l'état de l'unité de décision ou au type de l'utilisateur (utilisateur basic ou expert).

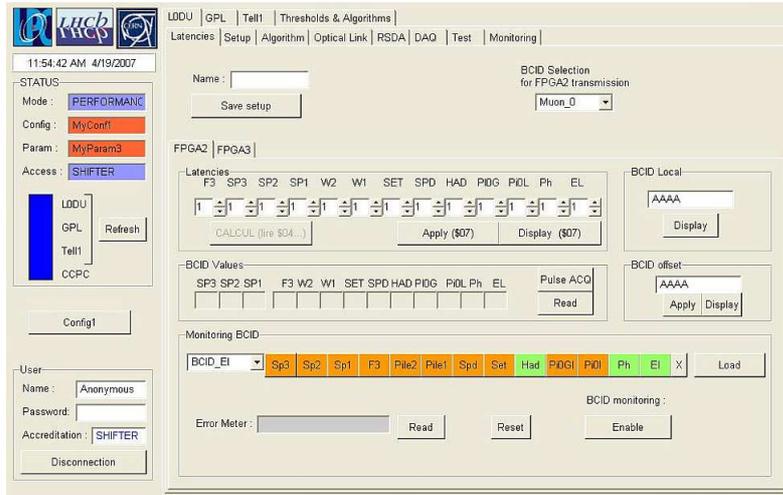


FIG. D.1 – Panneau de l’alignement et du contrôle de l’alignement des sous-détecteurs.

D.3 Construction de l’algorithme

La construction de l’algorithme via le logiciel de contrôle s’effectue en deux étapes. Tout d’abord, un premier panneau de configuration permet de définir l’ensemble des conditions élémentaires qui vont être utilisées dans la définition des sous-canaux de déclenchement, figure D.2. Chaque condition élémentaire est définie en sélectionnant un candidat, une variable globale ou une nouvelle donnée produite, en sélectionnant un opérateur logique puis en lui affectant un seuil. Dans un second temps, un panneau permet de définir chaque voie de déclenchement de l’algorithme en combinant les conditions élémentaires définies précédemment. Ce dernier panneau permet également d’affecter un pourcentage pour la fonction de réduction des taux des voies de déclenchement figure D.3.

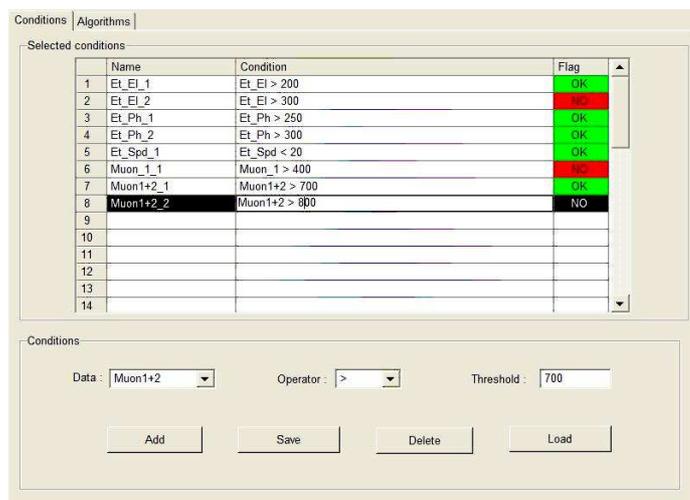


FIG. D.2 – Panneau de création des conditions élémentaires.

D.4. CONTRÔLE DES TAUX DE DÉCLENCHEMENT

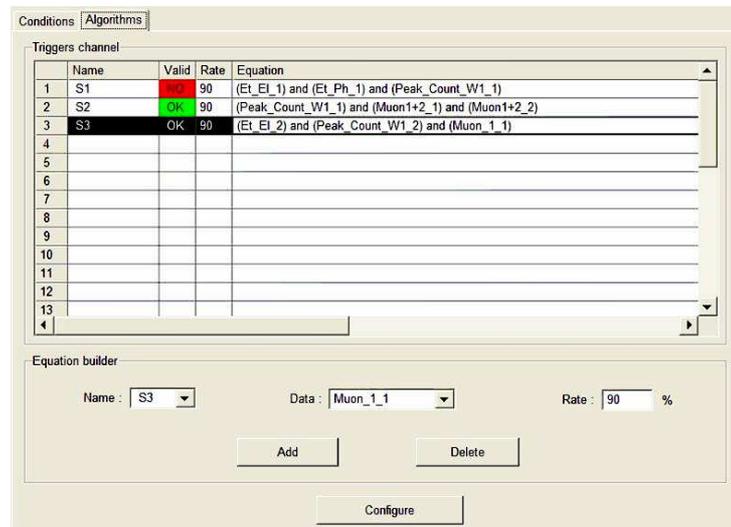


FIG. D.3 – Panneau de définition des voies de déclenchement.

D.4 Contrôle des taux de déclenchement

Le logiciel de contrôle permet d'obtenir une représentation graphique des taux des voies de déclenchement et du taux de décision globale en sortie de l'unité de décision. Il permet d'obtenir un affichage de l'évolution des taux et permet de configurer la période de rafraîchissement. Le contrôle des taux de déclenchement permet de déduire l'ajustement des paramètres de l'algorithme à effectuer. Un panneau général permet d'avoir accès à la configuration et à la sélection des canaux de déclenchement à contrôler. Il permet de fixer la période de rafraîchissement de l'affichage et des intervalles de mesure (figure D.4).

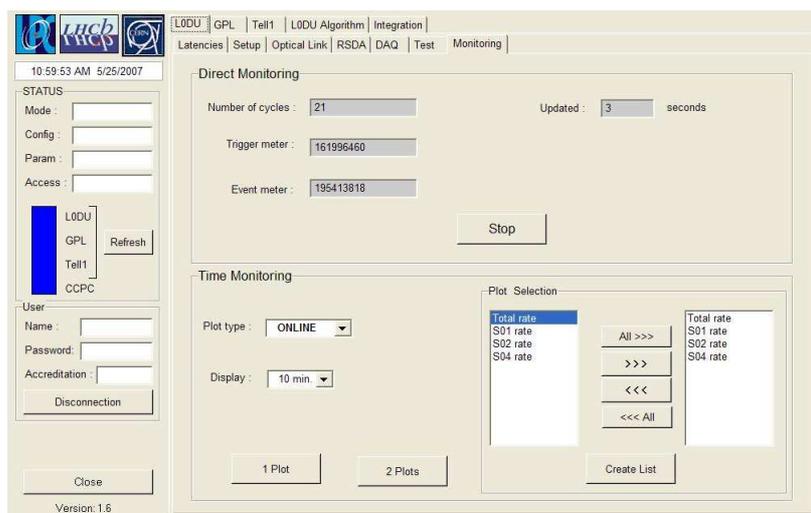


FIG. D.4 – Panneau de configuration et de sélection des canaux de déclenchement à afficher.

ANNEXE D. INTERFACE DE CONTRÔLE DE L'UNITÉ DE DÉCISION

Les canaux de déclenchement contrôlés sont ensuite affichés dans deux fenêtres séparées : une fenêtre est dédiée au contrôle du taux de déclenchement en sortie de l'unité de décision (figure D.5) et une fenêtre est dédiée au contrôle des taux de déclenchement des canaux (figure D.6).

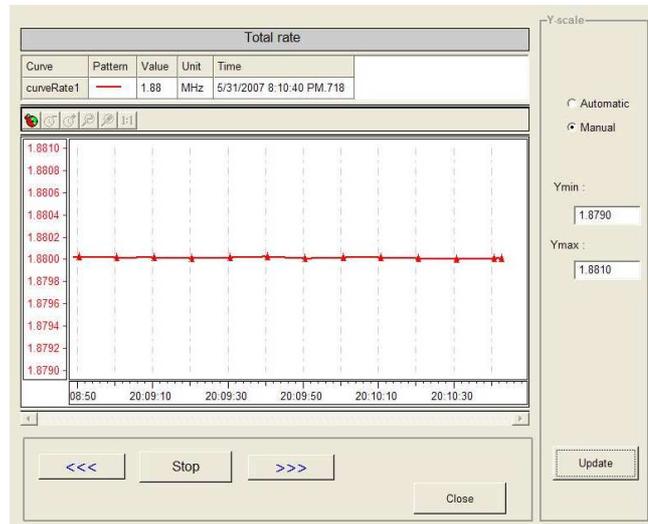


FIG. D.5 – Panneau de contrôle du taux global.

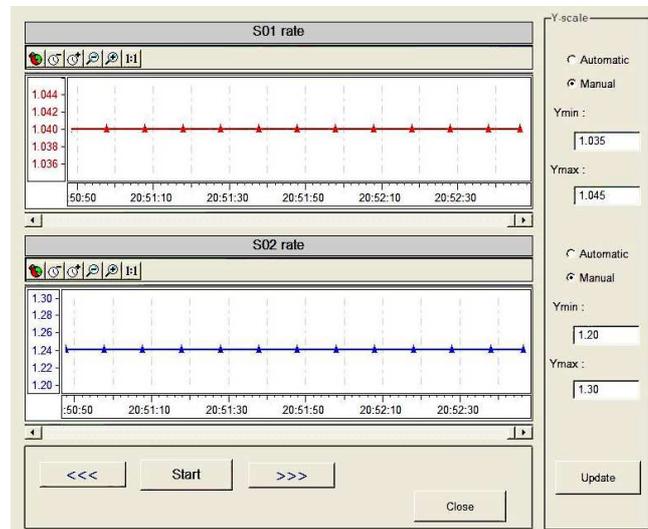


FIG. D.6 – Taux des canaux de déclenchement.

Annexe E

Format des mots et Assignement des bits par sous-détecteurs

Numéro de bit	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1	0 : "Bit de démultiplexage"
1 ^{er} Mot	Information LSB	0
	Information MSB	1
2 ^{ème} Mot	Information LSB	0
	Information MSB	1
3 ^{ème} Mot	Information LSB	0
	Information MSB	1
4 ^{ème} Mot	Information LSB	0
	Information MSB	1

TAB. E.1 – Format des mots vu du côté réception.

Numéro de bit	Bit[31..17]	16 : "Bit de démultiplexage"	Bit[15..1]	0 : "Bit de démultiplexage"
1 ^{er} Mot	Information MSB	1	Information LSB	0
2 ^{ème} Mot	Information MSB	1	Information LSB	0
3 ^{ème} Mot	Information MSB	1	Information LSB	0
4 ^{ème} Mot	Information MSB	1	Information LSB	0

TAB. E.2 – Format des mots vu du côté émission.

ANNEXE E. FORMAT DES MOTS ET
ASSIGNEMENT DES BITS PAR SOUS-DÉTECTEURS

Numéro de bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Champ LSB	BCID[6-0]						E_t [7-0]						'0'			
Champ MSB	Status	Adresse[13-0]										'1'				

TAB. E.3 – Assignement des bits pour les cinq candidats du sous-détecteur CAL0.

Numéro de bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Champ LSB	BCID[6-0]						'00000000'						'0'			
Champ MSB	Status	E_T Total/multiplicity du SPD [13-0]										'1'				

TAB. E.4 – Assignement des bits pour les deux variables globales du sous-détecteur CAL0.

Numéro de bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Champ LSB	BCID[0]	Adresse M3 [6-0] C2						P_t [6-0] C2				'0'				
Champ MSB	BCID[1]	Adresse M3 [6-0] C1						P_t [6-0] C1				'1'				

TAB. E.5 – Assignement des bits de données provenant des cartes CU du sous-détecteur muon. C1 et C2 font référence au premier et second candidat muon dans le quadran considéré.

Numéro de bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Champ LSB	BCID[6-0]						'0'	\pm C2	PB C2		PU C2		'0'			
Champ MSB	Status		'0000'				\pm C1	PB C1		PU C1		'1'				

TAB. E.6 – Assignement des bits de données provenant des cartes SU du sous-détecteur muon. C1 et C2 font référence au premier et second candidat muon dans le quadran considéré.

Numéro de bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Champ LSB	BCID[6-0]						Contenu du premier pic [7-0]						'0'			
Champ MSB	Status	'00'	Info. supplémentaire				Position du premier pic						'1'			

TAB. E.7 – Assignement des bits de données du premier mot du sous-détecteur Pile-Up.

Numéro de bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Champ LSB	BCID[4-0]				# hits [1-0]			Contenu du second pic [7-0]						'0'		
Champ MSB	Status	# hits [7-2]						Position du second pic						'1'		

TAB. E.8 – Assignement des bits de données du second mot du sous-détecteur Pile-Up.

Annexe F

Descriptif de la trame envoyée au DAQ

ANNEXE F. DESCRIPTIF DE LA TRAME ENVOYÉE AU DAQ

Mot	Information contenue
0	En-tête d'identification
1	Numéro d'identification de l'évènement et mot RSDA
2	Rapport des voies de déclenchement
3	Rapport des conditions élémentaires
4	Multiplicité du SPD et énergie totale déposée dans le Calorimètre
5	Contenu du Pile-Up et somme des deux muons de plus haute énergie
6	Impulsion transverse et charge des 3 muons et énergie de l'électron
7	Energie des candidats photon, hadron, π^0 local et π^0 global
8	Information position du Pile-Up et adresse de l'électron
9	Adresse des candidats photon et hadron
10	Adresse des candidats π^0 local et π^0 global
11	Adresse des deux muons de plus haute impulsion transverse
12	Adresse du troisième muon de plus haute énergie et bit de status
13	Rapport des voies de déclenchement correspondant à l'évènement BCID-2
14	Rapport des voies de déclenchement correspondant à l'évènement BCID-1
15	Rapport des voies de déclenchement correspondant à l'évènement BCID+1
16	Rapport des voies de déclenchement correspondant à l'évènement BCID+2
17	Rapport des conditions élémentaires correspondant à l'évènement BCID-2
18	Rapport des conditions élémentaires correspondant à l'évènement BCID-1
19	Rapport des conditions élémentaires correspondant à l'évènement BCID+1
20	Rapport des conditions élémentaires correspondant à l'évènement BCID+2
21	Energie totale déposée dans le calorimètre correspondante aux évènement BCID-2 et BCID-1
22	Energie totale déposée dans le calorimètre correspondante aux évènement BCID+2 et BCID+1
23	Adresse et impulsion transverse du muon 1
24	Adresse et impulsion transverse du muon 2
25	Adresse et impulsion transverse du muon 3
26	Adresse et impulsion transverse du muon 4
27	Adresse et impulsion transverse du muon 5
28	Adresse et impulsion transverse du muon 6
29	Adresse et impulsion transverse du muon 7
30	Adresse et impulsion transverse du muon 8
31	Espace disponible

TAB. F.1 – Contenu de la trame envoyée au DAQ (L0Block).

Annexe G

Exemples d'algorithme

L'ensemble des algorithmes décrit est élaboré à partir de structures conditionnelles. Deux exemples d'algorithme sont présentés ci-après : un premier algorithme simple basé sur une unique condition tandis que le deuxième algorithme possède une structure plus complexe.

G.1 Algorithme 1

Cet algorithme présente l'une des structures les plus simples possibles. Il se base sur trois conditions qui conduiront à l'acceptation de l'événement si l'une d'entre elles est validée. Chacune de ces conditions est basée soit sur l'énergie transverse du meilleur candidat électron (e) ou photon (γ) soit sur l'impulsion transverse du candidat Muon présentant la plus grande valeur.

Si ($(E_T^e \geq \text{seuil}(0))$ ou $(P_T^{\mu_1} \geq \text{seuil}(1))$ ou $(E_T^\gamma \geq \text{seuil}(2))$) alors

– L0DU(oui)

G.2 Algorithme 2

Ce second algorithme présente des caractéristiques intéressantes puisqu'il fait intervenir des conditions permettant de rejeter directement l'événement (ΣE_T). Cette condition agit alors à la manière d'un *veto* conduisant à la réjection de l'événement.

Si ($\Sigma E_T < \text{seuil}(0)$) alors

– L0DU(non)

sinon si ($\Sigma P_T^{\mu_1 \mu_2} \geq \text{seuil}(1)$) alors

– L0DU(oui)

sinon si ($Nb_{hits} = 1$)

– L0DU(non)

sinon si (E_T^h ou E_T^γ ou E_T^e ou $E_T^{\pi^0} \geq \text{seuil}(2)$)

– L0DU(oui)

Une interprétation de cet algorithme serait :

Si ($[\Sigma E_T < seuil(0)]$ ET $[\Sigma P_T^{\mu_1 \mu_2} \geq seuil(1)]$) alors

– L0DU(oui)

sinon si ($[Nb_{hits} > 1]$ ET $[E_T^h \geq seuil(2)]$) alors

– L0DU(oui)

sinon si ($[Nb_{hits} > 1]$ ET $[E_T^e \geq seuil(2)]$) alors

– L0DU(oui)

sinon si ($[Nb_{hits} > 1]$ ET $[E_T^\gamma \geq seuil(2)]$) alors

– L0DU(oui)

sinon si ($[Nb_{hits} > 1]$ ET $[E_T^\pi \geq seuil(2)]$) alors

– L0DU(oui)

sinon L0DU(non)

Cette interprétation permet de faire apparaître les cinq canaux de physique à étudier. De plus, elle permet de mettre en évidence l'utilisation d'une même condition dans plusieurs voies de déclenchement et la combinaison de conditions à partir d'opérateurs logiques "ET".

Annexe H

Principales règles de dessin d'un PCB

H.1 Organisation des couches d'un PCB

La figure H.1 illustre l'organisation des couches d'un PCB en prenant pour exemple une carte 8 couches. Cette organisation est appropriée aux cartes électroniques comportant des signaux hautes fréquences comme ceux de l'unité de décision. Les termes *routage horizontal* et *routage vertical* font référence à l'orientation des pistes sur chaque couche du PCB. Cette organisation du routage permet de diminuer les problèmes de diaphonie.

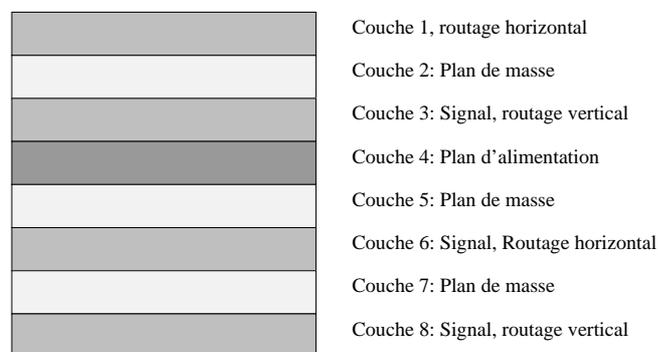


FIG. H.1 – Exemple d'organisation pour une carte 8 couches.

H.2 Routage des lignes en mode commun

Afin de minimiser la diaphonie entre des lignes de transmission voisines, une distance supérieure à 4 fois la largeur d'une piste doit séparer le centre de deux pistes adjacentes, figure H.2.

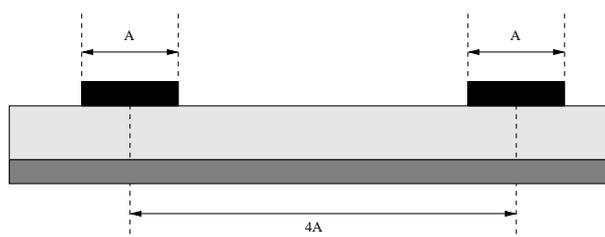


FIG. H.2 – Séparation de deux lignes de transmission pour minimiser la diaphonie.

H.3 Routage des lignes différentielles

Règles de tracé propres aux lignes différentielles, figure H.3 :

- s'assurer de garder une distance D supérieure à $2S$ pour minimiser la diaphonie entre deux paires différentielles ;
- pour minimiser le bruit des réflexions, les pistes d'une paire différentielle doivent être séparées d'une distance égale à trois fois l'épaisseur du diélectrique dès la sortie du composant ;
- garder la distance séparant les pistes d'une paire différentielle (S) constante ;
- garder une longueur égale pour chaque piste d'une paire différentielle afin de minimiser la différence de phase ;
- éviter le passage de la paire différentielle à travers différents vias.

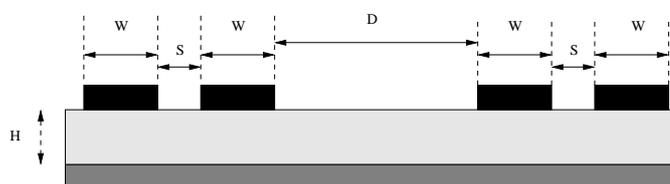


FIG. H.3 – Tracé de pistes différentielles.

H.4 Règles spécifiques au chemin d'horloge

Concernant le routage des chemins d'horloge certaines règles spécifiques doivent être suivies pour garder l'intégrité du signal :

- garder les lignes les plus courtes possibles ;
- changement de direction par deux angles à 45° ;
- ne pas utiliser de multiples couches de signal pour les signaux d'horloge ;
- ne pas utiliser de via dans une ligne de transmission d'horloge qui pourrait entraîner un changement de l'impédance et des réflexions ;
- adapter la terminaison de la ligne pour minimiser les réflexions ;
- utiliser une distribution point à point.

Annexe I

Modèle de simulation extrait d'une piste différentielle entre HFBR et TLK

ANNEXE I. MODÈLE DE SIMULATION EXTRAIT D'UNE PISTE DIFFÉRENTIELLE ENTRE HFBR ET TLK

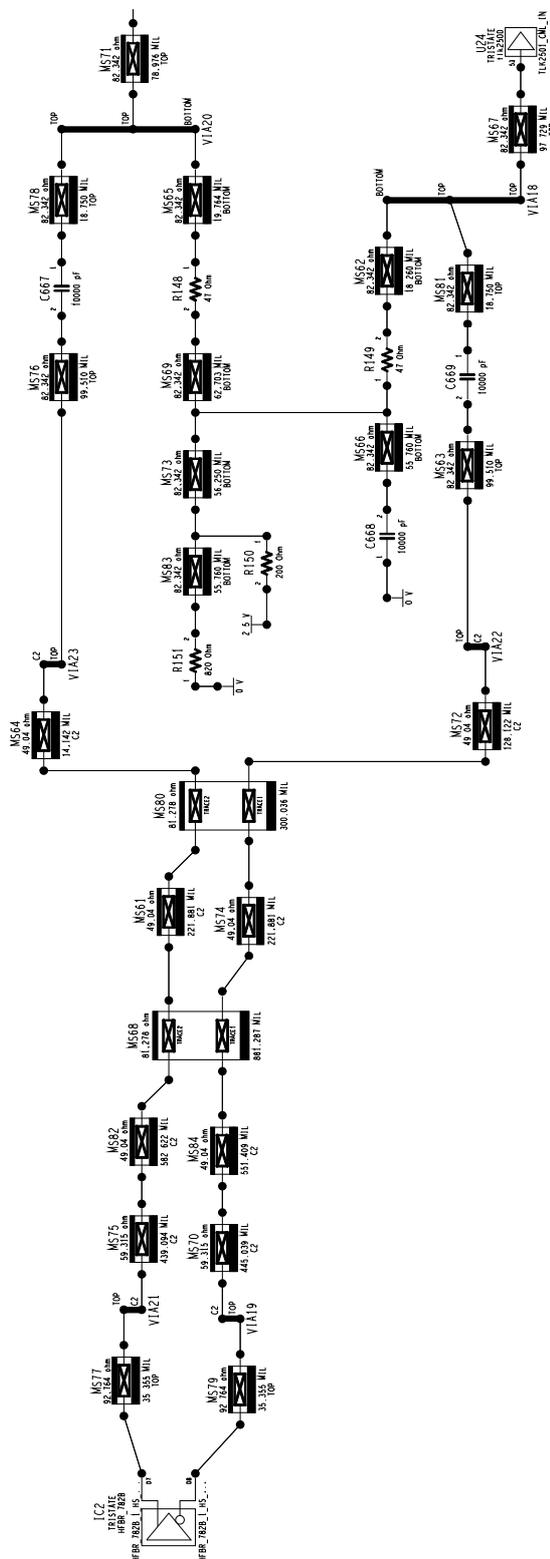


FIG. I.1 – Modèle d'une piste différentielle entre récepteur optique et désérialiseurs.

Annexe J

Organisation des couches du PCB de la carte GPL

ANNEXE J. ORGANISATION DES COUCHES DU PCB DE LA CARTE GPL

Type de surface	Matériaux	Epaisseur	Couche	Orientation	Diélectrique	Impédance
Conducteur	Cuivre	8,8 μm	1	X	1	57,2 Ω
Diélectrique	FR4	137 μm	-	-	4,5	-
Plan de masse	Cuivre	17,5 μm	2	-	1	-
Diélectrique	FR4	150 μm	-	-	4,5	-
Conducteur	Cuivre	17,5 μm	3	Y	1	44,4 Ω
Diélectrique	FR4	200 μm	-	-	4,5	-
Conducteur	Cuivre	17,5 μm	4	X	1	44,4 Ω
Diélectrique	FR4	200 μm	-	-	4,5	-
Plan d'alimentation	Cuivre	17,5 μm	5	-	1	-
Diélectrique	FR4	140 μm	-	-	4,5	-
Conducteur	Cuivre	17,5 μm	6	Y	1	42,7 Ω
Diélectrique	FR4	140 μm	-	-	4,5	-
Conducteur	Cuivre	17,5 μm	7	X	1	42,7 Ω
Diélectrique	FR4	140 μm	-	-	4,5	-
Plan d'alimentation	Cuivre	17,5 μm	8	-	1	-
Diélectrique	FR4	140 μm	-	-	4,5	-
Plan d'alimentation	Cuivre	17,5 μm	9	-	1	-
Diélectrique	FR4	140 μm	-	-	4,5	-
Conducteur	Cuivre	17,5 μm	10	Y	1	42,3 Ω
Diélectrique	FR4	140 μm	-	-	4,5	-
Conducteur	Cuivre	17,5 μm	11	X	1	42,3 Ω
Diélectrique	FR4	140 μm	-	-	4,5	-
Plan d'alimentation	Cuivre	17,5 μm	12	-	1	-
Diélectrique	FR4	140 μm	-	-	4,5	-
Conducteur	Cuivre	17,5 μm	13	Y	1	42,3 Ω
Diélectrique	FR4	140 μm	-	-	4,5	-
Conducteur	Cuivre	17,5 μm	14	X	1	42,3 Ω
Diélectrique	FR4	140 μm	-	-	4,5	-
Plan d'alimentation	Cuivre	17,5 μm	15	-	1	-
Diélectrique	FR4	140 μm	-	-	4,5	-
Conducteur	Cuivre	17,5 μm	16	Y	1	57,7 Ω

TAB. J.1 – Organisation des couches du circuit imprimé de la carte GPL.

Bibliographie

- [1] Site web de LHCb.
<http://lhcb.web.cern.ch/lhcb/>.
- [2] LHCb collaboration. Technical proposal. 1999. CERN/LHCC/98-04 1998.
- [3] LHCb collaboration. LHCb Reoptimized detector design and performance technical design report. 2003. CERN LHCC 2003-030.
- [4] J. Christiansen. Requirements to the L0 front-end electronics. 2001. LHCb 2001-014.
- [5] Guido Heafeli. *Contribution to the development of the acquisition electronics for the LHCb experiment*. PhD thesis, Ecole Polytechnique fédérale de Lausanne, 2004.
- [6] H. Muller, F. Bal, and A. Guirao. Gigabit ethernet mezzanine for the DAQ and Trigger links of LHCb. 2003. LHCb 2003-21.
- [7] The LHCb Collaboration. LHCb Trigger System Technical Design Report. 2003. CERN/LHCC 2003-31.
- [8] Site web Hight Level Trigger.
<http://lhcb-trig.web.cern.ch/lhcb-trig/hlt/default.htm>.
- [9] B. Jost R. Jacobsson and Z. Guzik. Readout supervisor design specifications. LHCb 2001-012.
- [10] ATLAS Collaboration. ATLAS Technical Design Report. 1998.
- [11] Site web du TFC.
<http://lhcb-online.web.cern.ch/lhcb-online/tfc/default.html>.
- [12] J. Christiansen. Requirements to the L1 front-end electronics. 2002. LHCb 2003-078.
- [13] Timing Trigger and Control (TTC) System for the LHC.
<http://ttc.web.cern.ch/ttc.intro.html>.
- [14] J. Christiansen, A. Marchioro, P. Monteiro, and T. Toifl. A Timing, Trigger and Control Receiver ASIC for LHC Detector. <http://ttc.web.cern.ch/TTC/TTCrx-manual3.11.pdf>.
- [15] Page web du projet QPLL.
<http://proj-qpll.web.cern.ch/proj-qpll>.
- [16] C. Gaspar, B. Franek, R. Jacobsson, B. Jots, S. Morlini, N. Neufeld, and P. Vannerem. An integrated experiment control system, architecture and benefits : the LHCb approach. *IEEE Real Time*, 2003.
- [17] ECS web page.
<http://lhcb-online.cern.ch/lhcb-online/ecs/default.html>.
- [18] Page web du projet CC-PC.
<http://lhcb-online.web.cern.ch/lhcb-online/ecs/ccpc/default.html>.

-
- [19] C. Gaspar, B. Jost, N. Neufeld, and S. M. Schmeling. The use of Credit Card sized PCs for interfacing electronics boards to the LHCb ECS. 2001. LHCb 2001-147.
- [20] Flavio Fontanelli. CC-PC Gluecard Application and User's Guide. 2004. LHCb 2003-098.
- [21] V. Bobillier, O. Callot, R. Jacobson, and R. Le Gac. Latency of the l0 trigger. 2006. EDMS 566457.
- [22] J. Laubser, R. Cornat, and P. Perret. Specifications of L0DU trigger input and output. EDMS 528259.
- [23] M. Muecke, V. Bobillier, and J. Christiansen. Qualification of the optical link for the data readout in LHCb. 2006. EDMS 68043.
- [24] V. Bobillier. Guidelines for the use of the optical cables in lhcb. 2005. EDMS 638271.
- [25] R. Jacobsson. Specification of the L0DU to Readout Supervisor link. 2005. EDMS 478756.
- [26] R. Lefèvre and P. Perret. Algorithmic capability of LHCb Level-0 Decision Unit. Note interne, 2003.
- [27] Rémi Cornat. *Conception et réalisation de l'électronique frontale du détecteur de pied de gerbe et de l'unité de décision du système du premier niveau de déclenchement de l'expérience LHCb*. PhD thesis, Université Blais-Pascal Clermont II, 2002.
- [28] R. Cornat, J. Lecoq, and P. Perret. Level-0 Decision Unit for LHCb. 2003. LHCb 2003-065.
- [29] GOL Chip.
<http://proj-gol.web.cern.ch/proj-gol>.
- [30] E. Aslanides, J.P Cachemiche, B. Dinkespiler, P.Y Duval, R. Le Gac, O. Leroy, P.L.Liotard, M. Menouni, and A. Tsaregorodsev. High speed ribbon optical link for the level 0 muon trigger. 2003. LHCb-2003-008.
- [31] Altera. PCB layout guidelines. *Stratix Device Handbook*, Volume 2, 2005.
- [32] Altera. High-speed board layout guidelines. 2003. Application note 224.
- [33] Philippe Dunand. *Tracé des circuits imprimés*. Dunod, 2000.
- [34] Howard Johnson and Martin Graham. *High-Speed digital design, a handbook of black magic*. Prentice Hall, 1993.
- [35] Texas Instrument. TLK2501 1.5 GBPS Transceiver. 2003. Datasheet.
- [36] J. Laubser, H. Chanal, P. Perret, and O. Deschamps *et al.* Specification of the Level 0 Decision Unit. 2006. EDMS 759562.
- [37] J. Christiansen and R. Le Gac. L0 Decision Unit PRR. 2006. EDMS 765038.
- [38] J. Laubser, H. Chanal, and P. Perret. The level 0 trigger Decision Unit for the LHCb experiment. *LECC*, 2006.
- [39] J. Laubser. The level 0 trigger Decision Unit for the LHCb experiment. *IEEE Real Time*, 2007.

The LHCb experiment is installed at the Large Hadron Collider at CERN. In order to reduce the amount of data storage, a trigger system is required. The Level-0 Decision Unit (L0DU) is the central part of the first trigger level. It is a full custom 16 layers board using advanced FPGA. The L0DU receives information from the Level-0 sub-triggers via high speed optical links running at 1.6 Gb/s. The processing is implemented using a 40 MHz synchronous pipelined architecture. It performs a simple physical algorithm to compute the trigger decision in order to reduce the data flow down to 1 MHz for the next trigger level. The design FPGA is mainly composed by a Partial Data Processing (PDP) and a Trigger Definition Unit (TDU). The aim of the PDP is to adjust the clock phase, perform the time alignment, prepare the data for the TDU and monitor the data processing. The TDU is flexible and allows to fully re-configure all the trigger conditions without any re-programming the FPGA.

Design and implementation of the decision unit of the first level trigger system of the LHCb detector at the Large Hadron Collider (LHC).

Le détecteur LHCb est l'une des quatre expériences de physique des particules de la nouvelle chaîne d'accélération LHC du CERN. Afin de réduire la quantité de données destinée au stockage, un dispositif de sélection en ligne est mis en place. L'unité de décision de niveau 0 (L0DU) est le système central du premier niveau de déclenchement. L0DU est un circuit imprimé 16 couches intégrant des composants de haute technologie de type FPGA et des liaisons optiques à 1,6 Gbit/s. Le traitement est implémenté en utilisant une architecture pipeline synchrone à 40 MHz. L0DU applique un algorithme de physique simple pour calculer sa décision et réduire le flot de données de 40 MHz à 1 MHz pour le prochain niveau de sélection. Le traitement interne se compose d'un traitement partiel des données (PDP) et d'une partie dédiée à la définition de l'algorithme de sélection (TDU). Le TDU est flexible et permet de re-configurer entièrement les conditions de déclenchement sans re-programmation des FPGA.

Conception et réalisation de l'unité de décision du système de déclenchement de premier niveau du détecteur LHCb au Large Hadron Collider (LHC).