



Francisco Santos Ferreira de Oliveira Neves

Licenciado Em Ciências da Engenharia Electrotécnica e de Computadores

**Amplificador de Instrumentação de Baixa
Potência em Tecnologia CMOS para um Sistema
Integrado de Aquisição de Sinal com Sensores
MEMS.**

Dissertação para obtenção do Grau de Mestre em
Engenharia Eletrotécnica e Computadores

Orientador: João Pedro Abreu de Oliveira, Professor Auxiliar,
NOVA University of Lisbon

Júri

Presidente: Doutor Fernando José Almeida Vieira do Coito
Vogais: Doutor João Carlos de Palma Goes
Doutor João Pedro Abreu de Oliveira



FACULDADE DE
CIÊNCIAS E TECNOLOGIA
UNIVERSIDADE NOVA DE LISBOA

Setembro, 2021

Amplificador de Instrumentação de Baixa Potência em Tecnologia CMOS para um Sistema Integrado de Aquisição de Sinal com Sensores MEMS.

Copyright © Francisco Santos Ferreira de Oliveira Neves, Faculdade de Ciências e Tecnologia, Universidade NOVA de Lisboa.

A Faculdade de Ciências e Tecnologia e a Universidade NOVA de Lisboa têm o direito, perpétuo e sem limites geográficos, de arquivar e publicar esta dissertação através de exemplares impressos reproduzidos em papel ou de forma digital, ou por qualquer outro meio conhecido ou que venha a ser inventado, e de a divulgar através de repositórios científicos e de admitir a sua cópia e distribuição com objetivos educacionais ou de investigação, não comerciais, desde que seja dado crédito ao autor e editor.

Para a minha família, amigos, e todos os leitores

AGRADECIMENTOS

Quero começar por agradecer à Faculdade de Ciências e Tecnologia da Universidade Nova de Lisboa por me ter acolhido estes anos, contribuindo significativamente para o meu desenvolvimento pessoal e profissional. Quero estender este agradecimento ao professor João Pedro Oliveira, não só pela oportunidade e orientação durante a tese, tal como durante os últimos anos relativamente aos projectos pessoais que tenho vindo a desenvolver em torno de sintetizadores.

Pela disponibilidade prestada ao longo do desenvolvimento do *layout* do amplificador, quero agradecer ao Doutor Hugo Serra, o engenheiro de projecto do filtro de condensadores comutados, pela partilha de documentação e auxílio oferecido relativamente ao funcionamento do software. Gostaria de também agradecer a João Pedro Cosme Valle Lobo pelas discussões e instruções partilhadas ao longo do tempo.

Por fim, quero agradecer aos meus colegas de faculdade que me acompanharam e me apoiaram ao longo destes anos, tal como à minha família por me prestarem apoio até ao fim dos meus estudos.

RESUMO

Esta dissertação apresenta o estudo de um amplificador de instrumentação integrado de Acomplamento Capacitivo (CCIA) para um *analog front-end* (AFE), otimizado para extrair sinais de um sensor tipo MEMS de elevada impedância. Este amplificador destina-se à integração num sistema AFE, implementado em tecnologia CMOS de 130 nm, do qual consiste num amplificador de instrumentação, um filtro passa-banda de condensadores comutados, e um conversor analógico digital do tipo *sigma – delta*. O amplificador de instrumentação é capaz de operar a tensões de alimentação inferiores a 1 V, com uma largura de banda (BW) até 10 kHz

Visando a redução do ruído *flicker*, é utilizado uma técnica de modulação *chopper*, a qual acarreta uma conseqüente degradação da impedância de entrada. Todavia, esta é compensada por efeito de uma malha de realimentação positiva. Este amplificador de baixo ruído é constituído por um andar de entrada *folded cascode*, que recorre a uma técnica de distribuição de corrente para a diminuição de potência dissipada. Para além deste bloco de entrada, o circuito inclui um segundo andar *common-drain* e um andar de saída *common-source*.

Para uma tensão de alimentação de 1 V, o amplificador de instrumentação apresenta uma potência total consumida de 2.6 μW , uma impedância de entrada superior a 1 G Ω , e um SNR máximo de 107 dB. O ganho em malha aberta é de 87 dB, com um GBW de 583.4 kHz. O ruído referente à entrada obtido é de 4.6 nVrms, com um valor NEF resultante de 4. O CMRR e PSRR obtidos são superiores a 97 dB e 66 dB, respectivamente, com uma área total ocupada de 0.06 mm².

Palavras-chave: Amplificador de Instrumentação, Baixa Potência, Baixo Ruído, MEMS, Sensores, Analog Front-End, Tecnologia CMOS.

ABSTRACT

This dissertation presents the design of a low-noise capacitively-coupled instrumentation amplifier for an analog front-end (AFE) optimized for the extraction of signals from a high impedance MEMS sensor. This amplifier is part of an AFE which is implemented in a standard 130 nm bulk CMOS technology. Beside the high-impedance input amplifier, the AFE includes a programmable switch-capacitor bandpass filter and a sigma-delta modulator. The instrumentation amplifier is capable to operate with a sub-1 V power supply at a 10 kHz bandwidth.

A chopper modulation technique is implemented to further reduce the flicker noise, with a positive feedback network, compensating the resulting low input impedance. The low-noise amplifier consists of a differential input pair folded cascode, using a current splitting technique to decrease the power consumption, with a common-drain configuration and a common source output stage.

For a power supply of 1 V, the instrumentation amplifier achieves a total power consumption of 2.6 μW , with an equivalent input impedance greater than 1 G Ω and a maximum SNR of 107 dB. The open loop gain is 87 dB with a GBW of 584 kHz. The measured input referred noise is 4.6 μV_{rms} , with a NEF value of 4. The minimum CMRR of the amplifier is 97 dB and the PSRR minus is 66 dB. The total area occupied is 0.06 mm².

Keywords: Instrumentation Amplifier, Low Power, Low Noise, MEMS, Sensors, Analog Front-End, CMOS Technology.

ÍNDICE

Lista de Figuras	xv
Lista de Tabelas	xvii
Glossário	xix
Siglas	xxi
1 Introdução	1
1.1 <i>Enquadramento</i>	1
1.2 <i>Organização</i>	3
1.3 <i>Contribuições</i>	4
2 Amplificadores de Instrumentação para um AFE	5
2.1 <i>Introdução</i>	5
2.2 <i>Propriedades e Desafios de dimensionamento</i>	5
2.3 <i>Considerações de Ruído em Amplificadores de Instrumentação</i>	7
2.4 <i>Técnicas de atenuação de ruído e de tensão de desvio</i>	8
2.4.1 <i>Método Auto-Zeroing</i>	8
2.4.2 <i>Modulador Chopper</i>	10
2.4.3 <i>Técnicas de Impulsão de Impedância</i>	12
2.4.4 <i>Técnicas de Redução da Tensão de Desvio</i>	13
2.4.5 <i>Técnicas de Redução de Ondulação (Ripple)</i>	13
2.5 <i>Topologias</i>	14
2.5.1 <i>Três amplificadores operacionais</i>	14
2.5.2 <i>Current Feedback</i>	15
2.5.3 <i>Acoplamento capacitivo</i>	17
2.5.4 <i>Condensadores Comutados</i>	18
2.5.5 <i>Fully Differential Difference Amplifier</i>	19
3 Análise do Amplificador Proposto	21
3.1 <i>Estabelecimento do problema</i>	21
3.2 <i>Arquitetura proposta</i>	21
3.3 <i>Justificação</i>	23

3.4	Considerações Gerais da Topologia	23
3.5	Amplificador de baixo ruído	27
3.5.1	Análise em Baixa Frequência	28
3.5.2	Ruído Referente à Entrada	30
3.5.3	Resposta em Frequência	32
4	Dimensionamento do Amplificador de Instrumentação	35
4.1	Metodologia Utilizada no Dimensionamento do OTA	35
4.2	Common Mode Feedback Circuit	37
4.3	Implementação de Resistências	40
4.4	Resultados Obtidos em Modo Contínuo	40
4.5	Modulador Chopper	44
4.6	<i>Non-Overlapping Clock Generator</i>	45
4.7	Análise de Resultados Obtidos	47
5	Layout e Simulações	51
5.1	Considerações e Problemas de <i>Layout</i>	51
5.2	<i>Layout</i>	52
5.3	Simulação Pós- <i>Layout</i>	57
6	Conclusão	63
	Bibliografia	65
I	Anexo	71

LISTA DE FIGURAS

1.1	Diagrama de um AFE.	3
2.1	Modelo Genérico de um amplificador AZ.	8
2.2	Modelo Genérico de um Amplificador com Modulação <i>Chopper</i>	10
2.3	Exemplo de AmpI com Três Amplificadores Operacionais.	15
2.4	Exemplo de um CFIA.	16
2.5	Exemplo de um CCIA.	17
2.6	AmpI de Condensadores Comutados.	18
2.7	FDDA como um AmpI.	19
3.1	Topologia de Acoplamento capacitivo Proposta.	22
3.2	Relação entre Impedância e Capacidade de Entrada para um dado f_{chop}	24
3.3	Impedância de Entrada.	25
3.4	Ganho do Ruído do Amplificador.	26
3.5	Arquitetura Proposta.	27
3.6	Metade do amplificador <i>folded cascode</i>	28
3.7	Modelo equivalente de ruído.	30
3.8	Metade do amplificador <i>folded cascode</i> com distribuição de corrente.	32
4.1	Fluxograma do algoritmo de dimensionamento	36
4.2	Esquemático de CMFB2.	38
4.3	Esquemático de CMFB1.	39
4.4	Implementação de Pseudo-Resistências.	40
4.5	Open Loop Gain.	41
4.6	PSRR-.	41
4.7	PSRR+.	41
4.8	Input Equivalent Noise.	42
4.9	Output Equivalent Noise.	42
4.10	Signal to Noise Ratio.	42
4.11	Closed Loop Gain.	43
4.12	Ganho Diferencial.	44
4.13	Ganho Comum	44
4.14	<i>Common Mode Rejection Ratio</i>	44

LISTA DE FIGURAS

4.15	Modulador Chopper com Transístores <i>Dummy</i> .	45
4.16	Non-Overlapping Clock Generator.	46
4.17	Non-Overlapping Signals.	46
4.18	Resultado da Modulação num Sinal de 1 kHz.	47
4.19	Resultado da Modulação num Sinal de 5 kHz.	48
4.20	Resultado da Modulação num Sinal de 10 kHz.	48
4.21	Simulação PAC em Malha Fechada.	49
5.1	Exemplo de Configuração de Condensadores em <i>Layout</i> .	52
5.2	<i>Layout</i> do Non-Overlapping Clock Generator.	53
5.3	<i>Layout</i> de um Modulador Chopper.	53
5.4	<i>Layout</i> CMFB1.	54
5.5	<i>Layout</i> CMFB2.	54
5.6	<i>Layout</i> do Amplificador de baixo ruído.	55
5.7	<i>Layout</i> do Par Diferencial de Entrada.	55
5.8	Diagrama simplificado do <i>Layout</i> do Ampl.	56
5.9	<i>Layout</i> Completo do Amplificador de Instrumentação.	56
5.10	Resposta em frequência do amplificador de instrumentação.	57
5.11	PSRR-.	58
5.12	PSRR+.	58
5.13	Acm.	58
5.14	Adm.	58
5.15	Common-Mode Rejection Ratio.	59
5.16	Desempenho de ruído do LNA.	59
5.17	Signal to Noise Ratio.	60
5.18	Resultado da Modulação num Sinal de 1 kHz.	61
5.19	Simulação Pós- <i>Layout</i> PAC em Malha Fechada.	61
I.1	Ganho Intrínseco NMOS	71
I.2	Frequência de Transição NMOS	72
I.3	I_d/W NMOS	72
I.4	G_{ds}/W NMOS	73
I.5	C_{gs}/W NMOS	73
I.6	Ganho Intrínseco PMOS	74
I.7	Frequência de Transição PMOS	74
I.8	I_d/W PMOS	75
I.9	G_{ds}/W PMOS	75
I.10	C_{gs}/W PMOS	76

LISTA DE TABELAS

3.1	Parâmetros de dimensionamento	22
4.1	Dimensões dos Transístores do OTA	37
4.2	Dimensões dos transístores do CMFB2.	38
4.3	Dimensões dos transístores do CMFB1	39
4.4	Dimensão e Impedância da Pseudo-Resistência	40
4.5	Dimensões dos Interruptores.	45
4.6	Resumo de Parâmetros atingidos em Simulação	50
5.1	Comparação de Desempenho	62

GLOSSÁRIO

<i>Aliasing</i>	Efeito que ocorre na amostragem de dois sinais distintos que se indistinguíveis entre si.
<i>Common Mode Rejection Ratio</i>	Razão pela qual uma tensão de referência é atenuada relativamente a uma tensão aplicada aos terminais de entrada. Pode ser dependente da frequência e é geralmente expressa em decibel.
<i>Duty cycle</i>	Intervalo de tempo em que um sinal de onda quadrada está activo. Geralmente expresso em percentagem ou num rácio de tempo entre os dois estados.
<i>Mismatch</i>	Diferença no processo de fabrico entre dois objetos idênticos. Resulta na diferença do valor absoluto da magnitude do objeto.
<i>Noise Efficiency Factor</i>	Factor que relaciona a potência consumida com o ruído para uma dada largura de banda de um amplificador.
<i>Output Swing</i>	Representa a gama dinâmica de saída de um amplificador.
<i>Power Supply Rejection Ratio</i>	Razão pela qual uma perturbação na tensão de alimentação é rejeitada relativamente a uma tensão aplicada aos terminais de entrada. Geralmente expresso em decibel.
<i>Rail-to-Rail</i>	Representa a capacidade da gama dinâmica de um amplificador atingir as extremidades da tensão de alimentação.
<i>Signal to Noise Ratio</i>	Relaciona a magnitude de um sinal com a magnitude do ruído de fundo. Geralmente expresso em decibel.
Densidade de Potência Espectral	Distribuição da potência por unidade de largura de banda dos componentes espectrais de um sinal em função da frequência.

GLOSSÁRIO

Largura de Banda	Representa o alcance de frequências de um amplificador. Geralmente expresso em Hertz.
Sensibilidade	Representa a magnitude mínima necessária para um sinal aplicado aos terminais de entrada produzir um sinal de saída.

SIGLAS

AC	<i>Alternating Current.</i>
ADC	<i>Analog to Digital Converter.</i>
AFE	<i>Analog Front-end.</i>
AmpI	<i>Amplificador de Instrumentação.</i>
AZ	<i>Auto-Zeroing.</i>
CCIA	<i>Capacitively Coupled Instrumentation Amplifier.</i>
CFIA	<i>Current Feedback Instrumentation Amplifier.</i>
CM	<i>Common-Mode.</i>
CMRR	<i>Common Mode Rejection Ratio.</i>
CNT	<i>Carbon Nanotube.</i>
DC	<i>Direct Current.</i>
DDA	<i>Fully Differential Difference Amplifier.</i>
DPE	<i>Densidade de Potência Espectral.</i>
DSL	<i>DC Servo Loop.</i>
ENOB	<i>Effective Number of Bits.</i>
LB	<i>Largura de Banda.</i>
LNA	<i>Low-Noise Amplifier.</i>
MEMS	<i>Dispositivo Microeletromecânico.</i>
MIM caps	<i>metal insulator metal capacitors.</i>
MRP	<i>Malha de Realimentação Positiva.</i>
NEF	<i>Noise Efficiency Factor.</i>
OS	<i>Output Swing.</i>
PSRR	<i>Power Supply Rejection Ratio.</i>

rms *root mean square.*

SiP *System in a Package.*

SNR *Signal to Noise Ratio.*

INTRODUÇÃO

1.1 *Enquadramento*

A necessidade de monitorização e captação de fenómenos físicos, de modo a recolher diferentes tipos de informação, tais como a monitorização de saúde, qualidade de água, entre outros, levou ao desenvolvimento de sistemas de aquisição de dados portáteis. A tecnologia de sensores é utilizada para a transdução de fenómenos físicos do meio envolvido para sinais analógicos elétricos. Estes sinais para além da componente de interesse, são afetados por outras componentes indesejadas, tais como ruído térmico, interferências de outros sinais externos, entre outros, os quais devem ser filtrados e digitalizados para serem processados por dispositivos externos.

Os sensores implementados com tecnologia microeletromecânica (MEMS) representam uma solução compacta e de baixo custo para a deteção de sinais. Consequentemente, para manter o mesmo nível dimensão física do sistema, é desejável que o AFE seja implementado em circuito integrado numa micro-escala, nomeadamente na tecnologia predominante CMOS.

A tecnologia MEMS permite a implementação de dispositivos eletromecânicos, cujos tamanhos são tipicamente de micrómetros a milímetros. Apesar de se utilizarem diferentes terminologias, nos Estados Unidos da América utiliza-se tecnologia de micro-sistemas enquanto no Japão se utilizam micro-máquinas. Com um processo de fabrico compatível com o utilizado em CMOS, a tecnologia MEMS permite que as estruturas dos micro-sensores e micro-actuadores possam partilhar o mesmo substrato de silício. A *micromachine* responsável pela manipulação de silício remove parte deste, ou adiciona novas camadas estruturais que formam a componente mecânica e electromecânica do dispositivo [43]. Um dispositivo MEMS deve ter pelo menos uma funcionalidade do tipo mecânico [1] independentemente de realizar algum tipo de movimento.

Estas micro-estruturas são capazes de detectar comportamentos no meio físico e também podem reagir, criando alguma alteração no meio através de sensores e actuadores, respetivamente. Os dispositivos MEMS podem ser divididos em três tipos de dispositivos [43]: Transdutores que transformam uma forma de sinal ou energia numa outra forma; Sensores que medem e transformam a informação do meio envolvido num sinal elétrico; Actuadores que convertem sinais elétricos numa acção. A acção pode ser utilizada para a manipulação do próprio ou de outro dispositivo de forma a realizar uma função útil.

Os sensores MEMS apresentam um desempenho igual ou superior ao de dispositivos equivalentes de dimensões elevadas. Um transdutor de pressão MEMS apresenta um desempenho que excede o de uma máquina de precisão macro que realize a mesma função [1]. Os sensores podem realizar medições de diversos fenómenos associados a cada domínio de energia, que podem ser divididos de acordo com as seguintes categorias [43]:

- Mecânicos - Força, pressão, velocidade, aceleração, posição.
- Termodinâmicos - Temperatura, entropia, calor.
- Químicos - Concentração, composição, taxa de reação.
- Radiação - Intensidade da onda eletromagnética, comprimento de onda, polarização, índice de refração e de transmissão
- Elétricos - Tensão, corrente, carga, resistência, capacidade, polarização.

Esta tecnologia é aplicada em diversas áreas, tais como na medicina, comunicação, eletrónica, navegação, entre outros. Os sensores MEMS são utilizados transversalmente para realizar medições necessárias de monitorização, controlo e vigia, como em sensores de pressão implantáveis, controlo de aeronaves e sistemas de navegação interna [43].

Uma inovação prometedora na área da internet das coisas (IoT) é a integração direta de *carbon nanotubes* (CNT) em tecnologia CMOS. Os sensores químicos e biológicos compostos por CNT apresentam propriedades únicas com uma sensibilidade elevada, reposta rápida e um baixo intervalo de tempo de recuperação [24]. Estes sensores permitem detectar seletivamente diferentes parâmetros físicos, tais como a concentração de metais, sais, nível de pH, elementos orgânicos, entre outros.

Nos últimos anos, têm sido apresentadas várias tentativas de integração de CNT em tecnologia MEMS [39] [4], com o objetivo de reduzir o custo de produção no processo de captação e atuação de dispositivos MEMS. A performance associada aos CNT está relacionada com o método de síntese necessário para o desenvolvimento de CNT nas estruturas MEMS. Em [39], os CNT são sintetizados localmente através de um processo pós-fabrico de um chip CMOS. O crescimento das estruturas CNT é controlado através da regulação da temperatura do polissilício com o objetivo de regular o diâmetro e a estrutura desejada de um CNT, apresentando uma baixa taxa de defeito de fabrico. Em [4] é

desenvolvido uma estrutura CNT com uma parede singular à temperatura ambiente sobre uma superfície MEMS. Visto que um CNT é uma estrutura que se desenvolve em torno da superfície de uma dada estrutura, a integração desta tecnologia em dispositivos MEMS é uma inovação prometedora no desenvolvimento de sensores totalmente integrados com um tamanho mínimo e excelente desempenho.

Considerando que o processo de fabrico de um dispositivo MEMS é compatível com a sequência utilizada na tecnologia CMOS, as componentes mecânicas e electromecânicas do dispositivo podem ser manipuladas de forma a conseguir incorporar as duas tecnologias num único circuito integrado. A utilização de um sensor, nomeadamente MEMS, implica a implementação de um AFE como interface para sistema de aquisição de dados de reduzida dimensão e de baixo custo de produção.

Considerando que um AFE em tecnologia CMOS é a interface entre o sensor e o dispositivo digital externo, torna-se possível amplificar e filtrar o sinal obtido, de modo a ser utilizável por um outro sistema analógico e/ou digital. Um AFE é tipicamente composto por um amplificador, um filtro e um conversor analógico-digital, exemplificado na figura 1.1

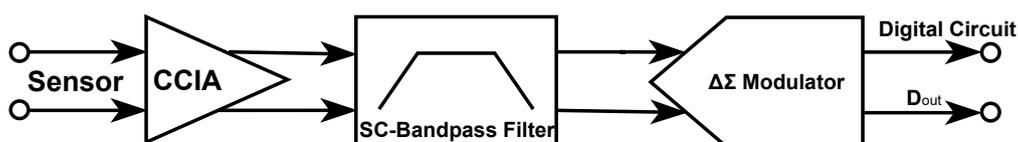


Figura 1.1: Diagrama de um AFE.

Para além da sua principal função, o amplificador de instrumentação é também responsável pela remoção de qualquer ruído em modo comum presente no sinal. Os sinais obtidos através de um sensor MEMS são de particular baixa amplitude, sendo necessário amplificar o sinal, minimizando a degradação de sinal.

O filtro do AFE atenua qualquer ruído que não pertença à banda de frequências do sensor MEMS. Este processo é necessário para garantir que nenhum efeito *aliasing* ocorra durante a conversão do sinal analógico para digital, assegurando o teorema de Nyquist-Shannon. O conversor analógico-digital é o último andar do AFE responsável por converter o sinal analógico num sinal digital. O ruído total do circuito afecta o desempenho do AFE, o qual tem impacto na relação de sinal ruído do sistema. Este amplificador destina-se a ser integrado no AFE desenvolvido no projecto Proteus em [36].

1.2 Organização

Esta dissertação descreve o estudo, dimensionamento e implementação de um amplificador de instrumentação para um *analog front-end* de baixa tensão, com o objetivo de ser integrado por um SiP, constituído por um dispositivo multi-sensor MEMS e um chip CMOS, adaptado do projeto europeu Proteus apresentado em [36]. O sistema desenvolvido deve ser implementado em tecnologia CMOS de 130 nm.

O principal desafio é o dimensionamento dos blocos de processamento de sinal com baixo nível de potência e de ruído, considerando que a área do AmpI não deve exceder $1 \times 1 \text{mm}^2$.

O amplificador de instrumentação proposto consiste numa topologia de Acoplamento capacitivo (CCIA) com recurso a um modelador *chopper* com o objetivo de atingir as especificações desejadas.

No circuito desenvolvido devem ser ainda realizadas as simulações *post-layout* através do software Cadence.

O filtro passa-banda (BPF) de condensadores comutados e o conversor analógico-digital (ADC) do tipo sigma-delta presentes em [36] devem ser adaptados ao amplificador de instrumentação desenvolvido, e simulado um novo *post-layout* para o AFE.

O segundo capítulo começa por descrever a aplicação de um AmpI. São discutidos os parâmetros e os desafios a considerar no dimensionamento de um AmpI para um sistema de sensores microelectromecânicos. São apresentadas as técnicas de redução de ruído e de tensão de desvio, e mencionadas as principais topologias utilizadas para AmpI.

O terceiro capítulo apresenta a justificação da topologia utilizada e menciona as especificações fundamentais para o dimensionamento do AmpI. São definidas as especificações da tecnologia tal como as expressões matemáticas obtidas de acordo com a arquitectura adoptada.

O quarto capítulo apresenta a metodologia utilizada e as dimensões obtidas para os transístores de cada módulo do AmpI. É realizada uma análise as simulações teóricas obtidas e apresentado um resumo dos resultados fundamentais obtidos.

O quinto capítulo apresenta as principais considerações na execução do *layout* do AmpI e o respectivo design implementado para os principais módulos do AmpI. Em seguida, os resultados obtidos são comparados com o dimensionamento teórico, pelo que também são comparados os parâmetros críticos de *design* com outros artigos propostos nos últimos anos.

O sexto capítulo apresenta as conclusões e o resumo dos resultados obtidos na dissertação.

1.3 Contribuições

Para esta dissertação desenvolveu-se um amplificador de instrumentação de Acoplamento Capacitivo através da metodologia g_m/I_d . Os resultados obtidos no desenvolvimento deste projecto foram publicados em [29] e apresentados na *5th International Young Engineers Forum on Electrical and Computer Engineering* (YEF/ECE 2021), que decorreu em Portugal a 9 de Julho de 2021.

AMPLIFICADORES DE INSTRUMENTAÇÃO PARA UM AFE

2.1 Introdução

Uma das peças fundamentais num AFE é o amplificador de instrumentação, amplificador este que representa a solução ideal para a leitura de sensores MEMS num sistema de aquisição de dados. É necessário que seja possível a extração de pequenos sinais diferenciais com recurso ao sensor. O amplificador deve executar a rejeição do ruído em modo comum proveniente de grandes interferências [26].

A maioria dos sensores obtém sinais de tensões na ordem dos μV até aos mV , do qual, dependendo do alcance de frequência do sensor, o ruído $1/f$ pode ser relevante e mascarar o sinal desejado. A topologia e as técnicas utilizadas devem compensar as desvantagens inerentes ao sistema e as variações do processo de fabrico [46] com o objetivo de minimizar a degradação do sinal. O principal desafio é o dimensionamento de um Ampl com um consumo de potência mínimo, mantendo os níveis de ruído e a área total ocupada reduzidos.

2.2 Propriedades e Desafios de dimensionamento

O amplificador de instrumentação tem como função a amplificação dos sinais de fraca amplitude obtidos através dos sensores MEMS. Tendo em consideração que o Ampl define o ruído referente à entrada e o CMRR do AFE [30], deve ter a capacidade de eliminar fontes de ruído indesejáveis que podem mascarar o sinal desejado.

A linearidade e precisão do DAC pertence ao AFE, é determinado pelo ruído total do amplificador. A existência de ruído no circuito afecta a linearidade dinâmica do número de bits (ENOB) do sistema. A linearidade estática do AFE é também afectada pela tensão

de desvio proveniente do próprio AmpI e do sensor, como consequência da saturação do amplificador. O dimensionamento do AmpI deve ter em consideração as seguintes características.

- Um elevado CMRR, visto que determina a capacidade de amplificar sinais em modo diferencial, rejeitando os de modo comum [25]. O alcance do CMRR deve ter entre 80dB até 140dB de modo a prevenir que a tensão de modo comum do sinal de entrada atinja ou ultrapasse a tensão de alimentação [22].
- Um elevado PSRR, considerando que esta característica determina a capacidade de rejeitar o ruído e os distúrbios presentes na alimentação do amplificador [25]. A fonte de alimentação depende da aplicação, podendo não ser uma fonte convencional como uma bateria [2], o que requer um elevado PSRR para impedir a degradação do sinal.
- Uma elevada impedância de entrada, pelo que a impedância do AmpI deve ser muito superior à impedância do sensor, para evitar o efeito de carga [25]. Caso contrário, o ruído é amplificado e o sinal desejado é distorcido [46].
- Uma tensão de alimentação e potência consumida reduzidas, com o objetivo de garantir uma longa autonomia, necessária para a monitorização contínua, evitando a necessidade de intervenções frequentes para a substituição de baterias. Esta característica é relevante para aplicações portáteis ou implantáveis de sensores MEMS.
- Baixo ruído referente à entrada e a implementação de um modulador *chopper* quando o alcance de frequência do sensor corresponde à gama de frequências onde o ruído 1/f pode ser predominante. O ruído total com origem na tecnologia CMOS pode ultrapassar e mascarar o sinal desejado.
- O ganho largura de banda deve ser o suficiente de forma a garantir o ganho em malha fechada para um dado alcance de frequência dependendo do tipo de sensor MEMS.
- Deve ser utilizada uma técnica de redução da tensão de desvio de forma a prevenir a saturação do amplificador e a consequente perda de linearidade. Esta característica depende do tipo de sensor utilizado [17], visto que alguns tipos de sensores são de corrente contínua. Ao eliminar a tensão de desvio estamos a eliminar o valor que desejamos obter através do sensor.

2.3 Considerações de Ruído em Amplificadores de Instrumentação

No dimensionamento de amplificadores de instrumentação é necessário ter em consideração as fontes relevantes de ruído que afetam a qualidade do sinal obtido pelos sensores. As principais fontes de ruído podem ser as interferências electrostáticas e eletromagnéticas, que influenciam toda a rede do AFE, o ruído térmico e o ruído $1/f$, sendo que estes dois últimos são introduzidos pelo próprio circuito do amplificador de instrumentação.

Tanto os cabos como o sensor sofrem de interferência eletromagnética e electrostática, introduzindo ruído branco no percurso do sinal, proporcionalmente ao comprimento do cabo e do tamanho do sensor, pelo que, a qualidade do isolamento do circuito determina a imunidade a estas interferências. O CMRR determina a razão de atenuação do ruído pelo amplificador de instrumentação.

Considerando que a tecnologia CMOS contribui com uma porção significativa de ruído térmico e ruído $1/f$, o amplificador de instrumentação atua como uma fonte de ruído no percurso do sinal. Um dimensionamento adequado permite diminuir a contribuição do ruído introduzido pelo circuito de maneira a atingir um elevado SNR.

O ruído térmico corresponde ao ruído branco proveniente da transcondutância dos transístores de acordo com a equação 2.1 [7]. A densidade espectral de ruído $S_N(f)$ é inversamente proporcional à transcondutância de entrada do amplificador.

$$S_N = 4K_B\lambda T \frac{1}{g_m} \quad (2.1)$$

Pelo que S_N é a potência do ruído térmico (V^2/Hz), K_B é a constante de Boltzman, T é a temperatura absoluta e λ é um coeficiente > 1 dependente da zona de saturação do ponto de funcionamento do transístor.

O ruído *flicker*, por vezes denominado de ruído $1/f$, pode ser significativo até algumas dezenas de kHz. Este ruído é inerente à tecnologia CMOS. A relação entre a corrente do dreno do transístor e a densidade espectral do ruído $1/f$ é dada por [28]:

$$S_I = \frac{MG_m^2}{C_{ox}^2 WLf^\beta} \quad (2.2)$$

Do qual M é um parâmetro empírico que depende do processo de fabrico, W e L são a largura e o comprimento do canal respetivamente, C_{ox} é a capacidade de óxido por unidade de área, G_m é a transcondutância e β é um parâmetro de valor aproximado a 1, num alcance entre 0.8 e 1.2 [28].

O primeiro andar do amplificador é determinante para a contribuição total de ruído no circuito, visto que o ruído introduzido pelos andares posteriores é reduzido pelo ganho do primeiro andar. Para o andar de entrada, é tipicamente utilizado transístor PMOS em vez de NMOS, visto que o factor M é menor para os transístores PMOS [28].

Através da utilização de transístores com elevadas dimensões à entrada do amplificador, é possível diminuir o nível de ruído $1/f$, obtendo melhores características de

emparelhamento numa entrada diferencial [30]. As duas técnicas tipicamente adotadas para a redução de ruído $1/f$ são a estabilização através de um modulador *Chopper* e *Auto-Zeroing* [45], analisados nas secções 2.4.2 e 2.4.1, respectivamente.

De modo a calcular o desempenho do amplificador relativamente ao ruído, é utilizada, em [42], a equação 2.3, que determina o *Noise Efficiency Factor* (NEF). Esta equação relaciona a potência consumida com a contribuição de ruído pelo amplificador, ou seja, quanto menor for o valor de NEF, melhor é a relação entre a potência consumida e o ruído [53].

$$NEF = V_{N_{rms}} \sqrt{\frac{2IT}{\pi V_T \times 4k_b T \times BW}} \quad (2.3)$$

Onde $V_{N_{rms}}$ é o ruído total referente á entrada em rms, I_T é a corrente total consumida pelo amplificador, V_T é a tensão térmica, e BW é a largura de banda do amplificador. O fator NEF é relevante para comparar o desempenho de ruído entre diferentes sistemas, para uma dada corrente e largura de banda.

2.4 Técnicas de atenuação de ruído e de tensão de desvio

2.4.1 Método *Auto-Zeroing*

A técnica de amostragem *Auto-Zeroing* pode ser utilizada para a redução da tensão de desvio e do ruído $1/f$ de um amplificador. A eficácia do processo AZ para a redução de ruído depende da correlação entre as amostras de ruído, e o valor de ruído instantâneo de qual a amostra é retirada [12]. O processo AZ é dividido em duas fases, a de amostragem e a de amplificação, respectivamente, de acordo com a figura 2.1 [11].

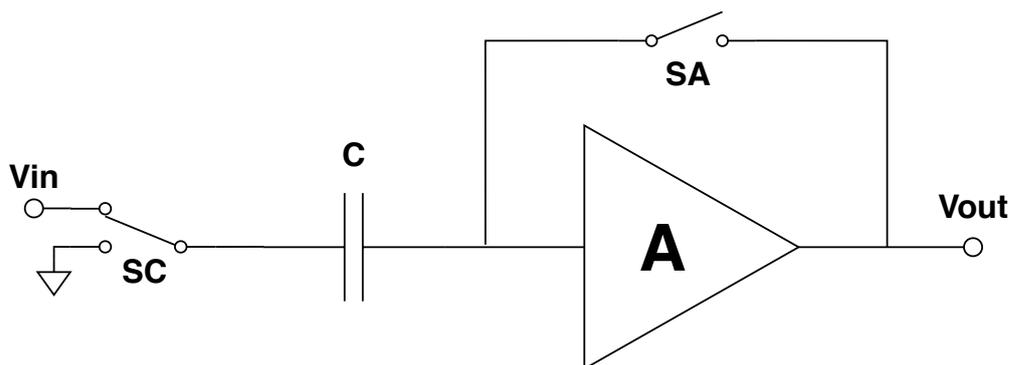


Figura 2.1: Modelo Genérico de um amplificador AZ.

Durante a fase de amplificação, o interruptor SA está ligado à terra enquanto o interruptor SC está fechado. Desta forma o sinal de saída do amplificador corresponde ao sinal de entrada, durante a qual, quer a tensão de desvio, quer o ruído $1/f$ referente à entrada do amplificador, ficam amostrados no condensador C. Ainda na fase de amplificação, o interruptor SC está aberto, enquanto SA está ligado ao terminal de entrada. A amostra de ruído é subtraída ao ruído instantâneo, se nesta fase o terminal de entrada estiver ligado

à terra, pelo que a tensão de saída pode ser considerada aproximadamente zero devido à correlação elevada entre a amostra de ruído e o ruído instantâneo [11].

A seguinte secção é dada pelo modelo matemático de [11]:

Assumindo que o sinal de entrada é um processo estocástico estacionário, o valor médio da densidade espectral de saída é dado pela seguinte equação:

$$S_{out-avg}(f) = \sum_{n=-\infty}^{+\infty} |H(f)|^2 S_{in}(f - n \times f_s) \quad (2.4)$$

Visto que $|H(f)|$ corresponde à função transferência do amplificador, S_{in} é a potência espectral de entrada e f_s é a frequência de amostragem, a componente de distorção de sobreposição é dada por:

$$S_{fold}(f) = \sum_{n=-\infty}^{+\infty} S_{in}(f - n \times f_s) \quad (2.5)$$

Assumindo que o amplificador funciona como um filtro passa-baixo de primeira ordem, relativamente ao ruído referente à entrada, a potência espectral total referente à entrada do amplificador é dada por:

$$S_{in}(f) = \left(1 + \frac{f_k}{|f|}\right) \frac{S_0}{1 + (f/f_c)^2} \quad (2.6)$$

Do qual S_0 é a componente de ruído branco, f_k é a frequência crítica do ruído $1/f$ e f_c é a frequência de corte do amplificador.

A potência de ruído branco referente à saída do amplificador é dada pela seguinte equação:

$$S_{out-white}(f) \simeq S_0 \left(|H_0(f)|^2 + sinc^2(\pi f T_s) \right) \quad (2.7)$$

Pelo que $|H_0(f)|$ representa a componente do ruído branco na banda de funcionamento do amplificador.

Considerando que $f_c T_s \gg 1$ e que $|H_0(f)| < 1.25$, a distorção de sobreposição é dominante para frequências baixas. Assumindo que $f_c \gg f_s$, a distorção de sobreposição para o ruído $1/f$, após ser filtrado, pode ser aproximado à componente de ruído branco de acordo com a seguinte equação:

$$S_{fold}(f) \simeq S_0 \frac{f_k}{f_s} 2 \left(1 + \ln \left(\frac{f_c}{f_s} \right) \right) \quad (2.8)$$

O espectro de potência de saída dado pela equação 2.9, corresponde á soma da potência espectral de saída do ruído branco, com a potência espectral de saída do ruído $1/f$. Assumindo que o espectro de potência é válido para o teorema de amostragem de Nyquist-Shannon, a sua densidade descrece com a frequência.

$$S_{out} \simeq S_0 \left[\left(1 + \frac{f_k}{|f|} \right) |H_0(f)|^2 + sinc^2(\pi f T_s) \times \left(\pi \frac{f_c}{f_s} + \frac{f_k}{f_s} 2 \left\{ 1 + \ln \left(\frac{f_c}{f_s} \right) \right\} \right) \right] \quad (2.9)$$

Do qual o primeiro termo representa a atenuação de ruído na banda de funcionamento do amplificador e o segundo termo corresponde ao efeito de distorção por sobreposição introduzido pelos dois tipos de ruído.

O processo de *auto-zeroing* cancela a tensão de desvio do amplificador e reduz significativamente o ruído $1/f$, tendo como prejuízo, o aumento de sobreposição de ruído branco [12].

2.4.2 Modulador *Chopper*

A técnica de modulação através de um *Chopper* consiste em modular o sinal de entrada para frequências superiores nas quais o valor do ruído $1/f$ não é significativo. Após a amplificação do sinal, é aplicada a modulação inversa de forma a repor o sinal na frequência de origem.

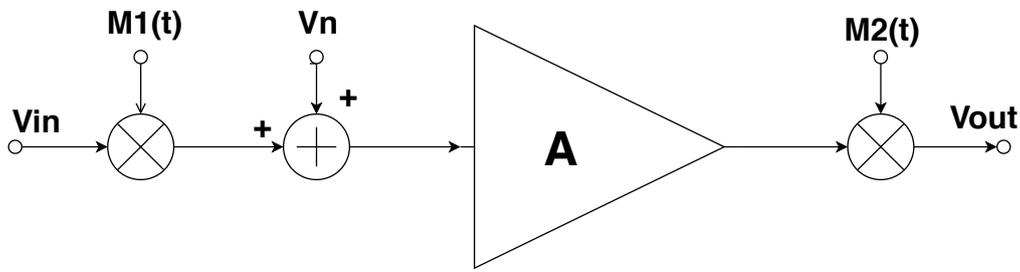


Figura 2.2: Modelo Genérico de um Amplificador com Modulação *Chopper*.

O sinal de entrada é multiplicado por uma onda quadrada portadora $m(t)$ com período $T_{ch} = 1/f_{ch}$. A modulação transpõe o sinal para as frequências harmónicas ímpares do sinal resultante. Num cenário ideal, no qual a onda portadora é quadrada e o sinal de entrada V_{in} é contínuo, o sinal resultante irá ser uma onda quadrada com a mesma amplitude V_{in} , de frequência f_{ch} .

Considerando que o amplificador tem um ganho infinito A_0 , e uma largura de banda infinita sem provocar um atraso na fase de V_{in} , a amplitude final será igual a $A_0 \times V_{in}$. Contudo, o ganho do amplificador não é infinito, introduzindo componentes espectrais em torno das harmónicas pares da frequência f_{ch} . Estas harmónicas pares têm de ser filtradas de modo a recuperar o sinal desejado através de um filtro passa-baixo.

O atraso na fase introduzido pelo amplificador provoca uma desfazagem entre o modulador de entrada e o modulador de saída. Se os moduladores estiverem totalmente desfazados, o ganho total DC do amplificador será zero. Para atingir o ganho máximo DC é necessário garantir que não exista desfazagem entre os dois moduladores. Nestas condições ideais, o amplificador não apresenta qualquer tensão de desvio nem de ruído em baixas frequências.

O seguinte modelo matemático é descrito de acordo com [12].

Considerando o sistema presente na figura 2.2, onde $V_n(t)$ corresponde à tensão do ruído e $m(t)$ ao sinal da onda portadora, a densidade de potência espectral (DPE) bilateral

à saída de um modulador *chopper* é dada por:

$$S_{Ch}(f) = \left(\frac{2}{\pi}\right)^2 \sum_{n=-\infty}^{+\infty} S_N(f - n \times f_{ch}). \quad (2.10)$$

Pelo que n representa todos os números naturais ímpares, S_n a densidade de potência espectral do sinal de ruído, f_{ch} a frequência do modulador *chopper*.

Assumindo a frequência de corte do amplificador $f_c = 5 \times f_{ch}$, a densidade de potência espectral bilateral à saída do modulador pode ser aproximada à densidade de potência espectral de ruído branco na banda de funcionamento do amplificador.

$$S_{Ch-branco}(f) \cong S_{Ch-branco}(f = 0) = S_0 \left[1 - \frac{\tanh(f_c T_{ch}) \frac{\pi}{2}}{f_c T_{ch} \frac{\pi}{2}} \right]. \quad (2.11)$$

Pelo que $S_{Ch-branco}(f) \cong S_0$ para $|f T_{ch}| \leq 0.5$ e $f_c T_{ch} \gg$, do qual f_c corresponde à frequência de corte do amplificador.

A DPE na banda de funcionamento do amplificador, que resulta da modulação introduzida pelo *chopper*, é aproximadamente ruído branco, pelo que o seu valor tende para o ruído referente à entrada S_0 para valores de $f_c T_{ch} \gg$. Como as ondas harmónicas introduzidas pela modulação são múltiplas de $1/n^2$, a contribuição do ruído na banda de funcionamento do amplificador decresce rapidamente, assim, a DPE com um modulador *chopper*, é sempre menor que a DPE original, tendendo assintoticamente para o valor original quanto maior for a razão entre a f_c e f_{ch} . Assumindo que $f_c \gg f_{ch}$, a DSE do ruído $1/f$ é dada por:

$$S_{N/f}(f) = S_0 \frac{f_k}{|f|} = S_0 \frac{f_k T_{ch}}{|f T_{ch}|}. \quad (2.12)$$

As imperfeições relativas ao modulador *chopper* de entrada não permitem obter um cancelamento total da tensão de desvio de entrada. Os circuitos *S/H* têm uma tensão de desvio residual devido ao *clock feed through*, *channel charge injection*, ao ruído de amostragem e fuga de corrente, provocando picos de tensão (V_p) à entrada do amplificador. Estes picos de tensão serão posteriormente modulados inversamente, de forma a introduzir uma tensão de desvio.

Considerando que a constante de tempo τ dos picos de tensão são menores que $T_{ch}/2$, a maioria dos picos aparece em frequências superiores a f_{ch} . A utilização de uma largura de banda elevada aproxima o ganho total ao ganho do amplificador. Porém, o contributo de tensão de desvio por parte do modulador *chopper* aumenta. Assumindo que $\tau \ll T_{ch}/2$, a tensão de desvio referente à entrada (V_{os}) pode ser calculada por:

$$V_{os} \cong \frac{2\tau}{T_{ch}} V_p. \quad (2.13)$$

Como $\tau \ll T_{ch}/2$, a V_{os} pode ser reduzida significativamente através da escolha de uma largura de banda do amplificador duas vezes maior que a frequência do *chopper*.

Embora a utilização da modulação do *chopper* permita diminuir consideravelmente o ruído total e a tensão de desvio do amplificador, verifica-se que esta técnica reduz a impedância de entrada do amplificador [45].

A impedância de entrada (Z_{in}) é determinada pela pseudo-resistência do circuito comutado do modulador de entrada e o condensador de entrada do amplificador de acordo com a equação 2.14 [15], do qual C_p e C_{in} correspondem tanto pela capacidade parasita de C_{in} como o próprio C_{in} do amplificador.

É possível reduzir a dimensão do transistor do modulador *chopper* e a frequência f_{ch} para aumentar a impedância de entrada, causando um aumento dos valores de ruído $1/f$ e da tensão de desvio. O aumento da tensão de desvio induz ondulação no sinal de saída do amplificador [14].

$$Z_{in} \approx \frac{1}{f_{ch}C_p} // \frac{1}{f_{ch}C_{in}} \quad (2.14)$$

2.4.3 Técnicas de Impulsioneamento de Impedância

Em [35] é utilizada uma capacidade negativa em paralelo com a capacidade de entrada do amplificador, sendo que ambas são de igual capacidade.

Num cenário ideal, a impedância de entrada seria infinita, visto que a corrente total é aproximadamente zero.

Em [16] [17] é implementada uma malha de realimentação positiva (MRP), pelo que a corrente que flui pela MRP é igual à corrente da malha de realimentação do amplificador.

Num cenário ideal, a impedância de entrada seria melhorada pelo ganho do amplificador. Contudo a capacidade parasita do prato inferior do condensador está ligado à terra, formando uma resistência equivalente com a capacidade parasita do *chopper* de entrada. A melhoria da impedância de entrada é 3 a 10 vezes o valor de impedância sem MRP [16].

A capacidade da MRP pode ser realizada de forma ajustável, o que permite calibrar a corrente perdida para a capacidade parasita, otimizando a impedância de entrada do amplificador.

Em [7] [8] é apresentado um mecanismo de comutação entre o porto de entrada do amplificador com a malha de realimentação durante a transição de um para zero. O terminal inversor é também trocado pelo terminal não inversor.

A cada transição do relógio, a transferência de carga é dada pelas tensões aos terminais do condensador parasita do *chopper* por $C_p(V_{in} - V_{fb})$, pelo que para um sinal contínuo, o elevado ganho na malha de realimentação garante que V_{in} é aproximadamente V_{fb} , induzindo a transferência de carga para zero [8].

Este método apresenta ser eficaz para sinais dentro da largura de banda do amplificador, e quando o produto da largura de banda do amplificador e da malha de realimentação é aproximadamente um [7].

2.4.4 Técnicas de Redução da Tensão de Desvio

A tensão de desvio remanescente é problemática visto que induz ondulações no sinal desejado, reduzindo o OS do amplificador. Com o objectivo de reduzir a tensão de desvio do sistema mais além, várias técnicas têm sido implementadas com o custo adicional no consumo de potência e na área ocupada.

Em [49] [17] [15] [40] é implementado um *Dc Servo Loop* com um integrador RC que integra uma realimentação negativa, devolvendo o sinal resultante da integração à terra virtual na entrada do amplificador. Este método cancela qualquer componente DC à saída do amplificador.

O DSL funciona como um filtro passa-alto com uma frequência de corte determinada pelo produto de frequência de ganho unitário do integrador, com a razão entre o condensador adicionado ao percurso do DSL, e pela malha de realimentação [49].

A pseudo-resistência em [17] é realizada através de um circuito de condensadores comutados, de forma a que a frequência de ganho unitário do integrador seja determinada pela frequência de relógio dos interruptores.

A implementação de *Duty Cycled DSL* permite reduzir a área ocupada através da colocação de um interruptor entre a transcondutância e o condensador do integrador. Desta forma, a frequência de ganho unitário é determinada pela razão entre a duração de cada ciclo do sinal aplicado ao interruptor [40].

Em [18] é utilizado um sistema de *dynamic offset zeroing* que adiciona dois interruptores de tamanho mínimo à entrada e à malha de realimentação do amplificador, ligando o nó inversor com o nó não-inversor.

A fase *zeroing* corresponde à fase na qual os interruptores estão ligados. Nesta fase, os percursos são descarregados e conseqüentemente a tensão de desvio é cancelada. Durante a segunda fase, os interruptores estão desligados e os condensadores armazenam a tensão de desvio.

Como o ganho de largura de banda é reduzido e a tensão de desvio tem um longo tempo de recuperação, só é possível recuperar uma parte do valor da tensão de desvio durante a fase seguinte. O tempo de recuperação induz uma ligeira ondulação no sinal que pode ser diminuído através da utilização de um *duty cycle* de curta duração para a primeira fase.

2.4.5 Técnicas de Redução de Ondulação (*Ripple*)

A ondulação no sinal pode atingir algumas centenas de mV sumprimindo o sinal para alimentações de tensão reduzida.

Em [17] [40] [15] um integrador de condensadores comutados é utilizado em semelhança a um mecanismo de AZ, através da criação de uma corrente contínua de modo a compensar a corrente de desvio à entrada do amplificador.

Este método é composto por um integrador de condensadores comutados, um modulador *chopper*, um condensador de captação e uma transcondutância de compensação. O

condensador capta e converte a tensão de ondulação e converte-a em corrente através da transcondutância ligada ao nó de saída à entrada do amplificador. Deste modo é possível compensar a tensão de desvio de entrada [17].

O factor de supressão da ondulação é determinado pela razão entre o produto do ganho do integrador e da transcondutância de compensação, com o produto da frequência do *chopper* e condensador de compensação de Miller, utilizado no amplificador [17].

Em [37] [10] [50] é aplicada uma arquitectura ping-pong, cujo funcionamento é semelhante à técnica AZ. A frequência de amostragem utilizada é duas vezes superior à frequência do *chopper*. A arquitectura tem duas etapas, ping e pong, que trabalham alternadamente durante a fase de amplificação ϕ_A e de *zeroing* ϕ_Z . O circuito contém adicionalmente uma transcondutância g_m e um condensador C_p que armazena o sinal amostrado [37].

Durante a etapa ping, a entrada do amplificador é curto-circuitada e a saída é ligada a C_p durante a fase ϕ_Z . Desta forma, a tensão de desvio e o ruído à saída são armazenados em C_p e forçam g_m a criar uma corrente de compensação, cancelando a tensão e o ruído referentes à entrada do amplificador [50]. Durante a fase ϕ_A , o condensador C_p é desligado da entrada do amplificador, obrigando g_m a continuar a cancelar as correntes de desvio e de ruído. A tensão de desvio do amplificador é dividida pelo produto da resistência de saída referente ao transistor de entrada do amplificador com g_m [10].

2.5 Topologias

Cada topologia de amplificador de instrumentação apresenta vantagens e desvantagens relativamente às propriedades fundamentais derivadas da aplicação do AmpI. As próximas secções apresentam as topologias utilizadas.

2.5.1 Três amplificadores operacionais

Uma topologia bem conhecida é o amplificador de instrumentação com três amplificadores operacionais. As três principais características deste tipo de AmpI são que o ganho pode ser determinado por uma resistência externa R_g , o andar de entrada consiste em dois amplificadores separadores, e o andar de saída é tradicionalmente um amplificador de diferença [20]. O amplificador de diferença é utilizado para amplificar a tensão diferencial, rejeitando a tensão de modo comum [26].

Considerando a figura 2.3, o ganho é determinado pelas resistências de realimentação, tipicamente no alcance de $k\Omega$ devido às considerações de ruído [16]. Esta topologia tem excelente linearidade [17] e permite obter uma elevada impedância de entrada, visto que o andar de entrada corresponde a dois amplificadores operacionais [31].

Contudo, os dois amplificadores de entrada limitam o alcance da tensão de modo comum [26], pelo que a utilização de amplificadores de baixo ruído e *rail-to-rail* resulta

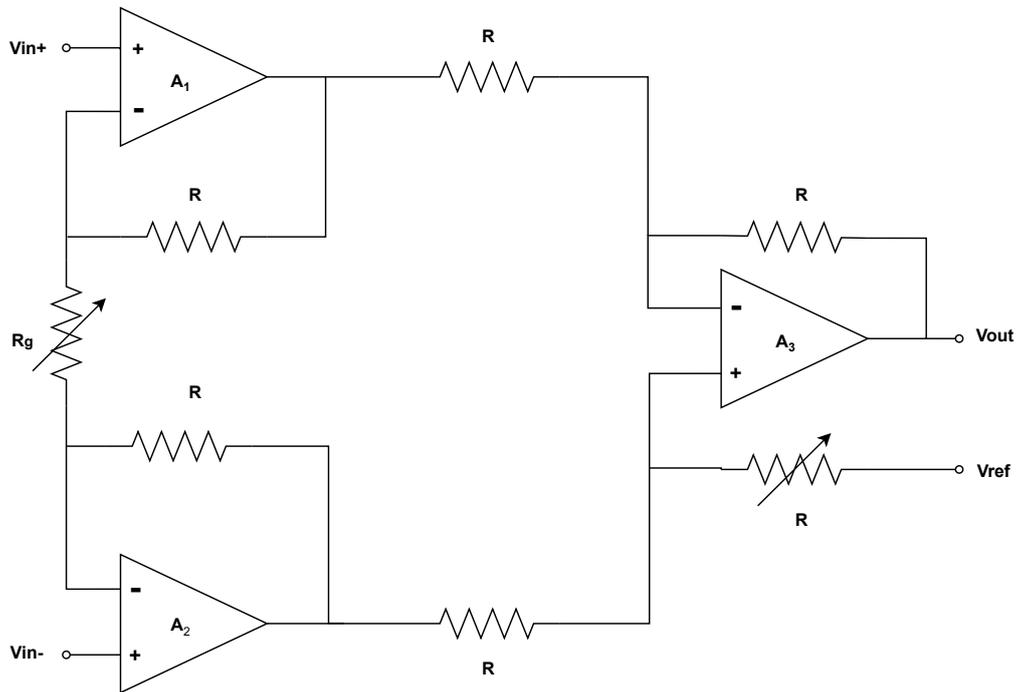


Figura 2.3: Exemplo de AmpI com Três Amplificadores Operacionais.

numa penalização relativamente à área e ao ruído, quando comparados a soluções de AmpI singulares [30].

Os amplificadores de entrada também degradam a eficiência de ruído e aumentam a potência consumida [16]. O CMRR depende do desvio do valor das resistências do andar de saída. Para reduzir o erro introduzido pelas resistências, é possível aumentar o ganho do andar de entrada, no entanto, para ganhos reduzidos, as soluções integradas são uma melhor opção [20].

Para obter um elevado CMRR, é necessário que as resistências sejam *laser trimming* para obter um CMRR superior a 80 dB. A calibração de resistências aumenta o custo de produção [30]. Esta topologia é ideal para aplicações de alta precisão na presença de níveis elevados de ruído [20].

2.5.2 Current Feedback

O amplificador de instrumentação mais utilizado é o CFIA, visto que as impedâncias de entrada e de saída, o CMRR e o alcance de tensão de modo comum são elevados [26].

Este amplificador utiliza uma técnica de realimentação indirecta de corrente, na qual o andar de entrada e de saída são incorporados através de uma malha de realimentação, exemplificado na figura 2.4. A tensão de entrada e de realimentação são convertidos em corrente através da transcondutância de entrada e de realimentação, respectivamente [21].

Devido ao elevado ganho da malha de realimentação, o CMRR é predominantemente determinado pelo *mismatch* da transcondutância do andar de entrada [44]. Ao utilizar

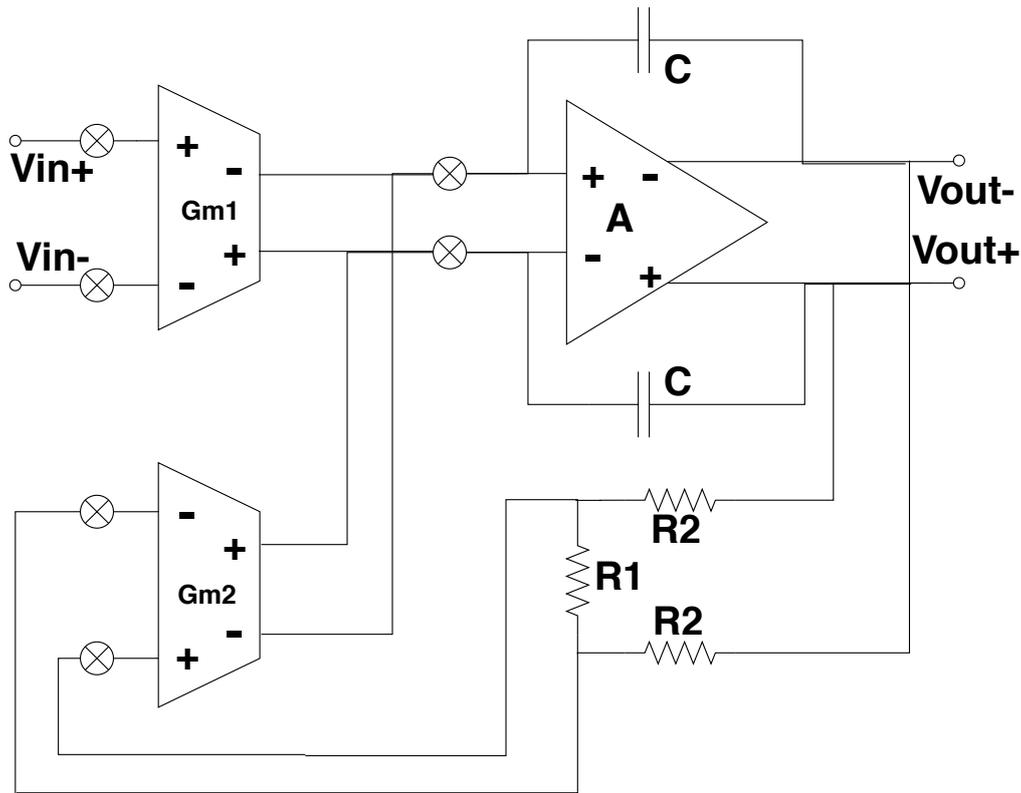


Figura 2.4: Exemplo de um CFIA.

um par diferencial NMOS ou PMOS no andar de entrada, o amplificador consegue obter *rail-to-rail sensing capability* [16].

O ganho do amplificador é determinado pelo rácio entre duas resistências [21], pelo que a precisão depende do bom emparelhamento (*mismatch*) entre as transcondutâncias de entrada e de saída. A precisão varia de acordo com o processo de fabrico e temperatura [50].

O modo comum da malha de realimentação e de saída são iguais e determinam o output swing (OS). O *mismatch* entre os dois pode ser significativamente elevado se for utilizado um amplificador *rail-to-rail* [8].

A utilização de um modulador *chopper* para remover o ruído $1/f$ introduz uma capacidade e resistência parasita nos terminais de entrada do amplificador, que degradam a impedância de entrada e precisão do ganho. Nesta topologia não é possível implementar uma técnica de realimentação para melhorar a impedância de entrada [7].

Esta topologia também não remove tensão DC, sendo necessário adicionar uma técnica de *auto-zeroing* [31].

Um CFIA tem uma elevada potência consumida devido ao número de transcondutâncias utilizadas, não sendo ideal para aplicações de baixa potência [26].

2.5.3 Acoplamento capacitivo

Uma das topologias que tem sido implementada é a CCIA. A figura 2.5 apresenta uma representação genérica desta topologia, na qual podemos observar que se utilizam condensadores em vez de resistências que permitem bloquear tensões DC [16].

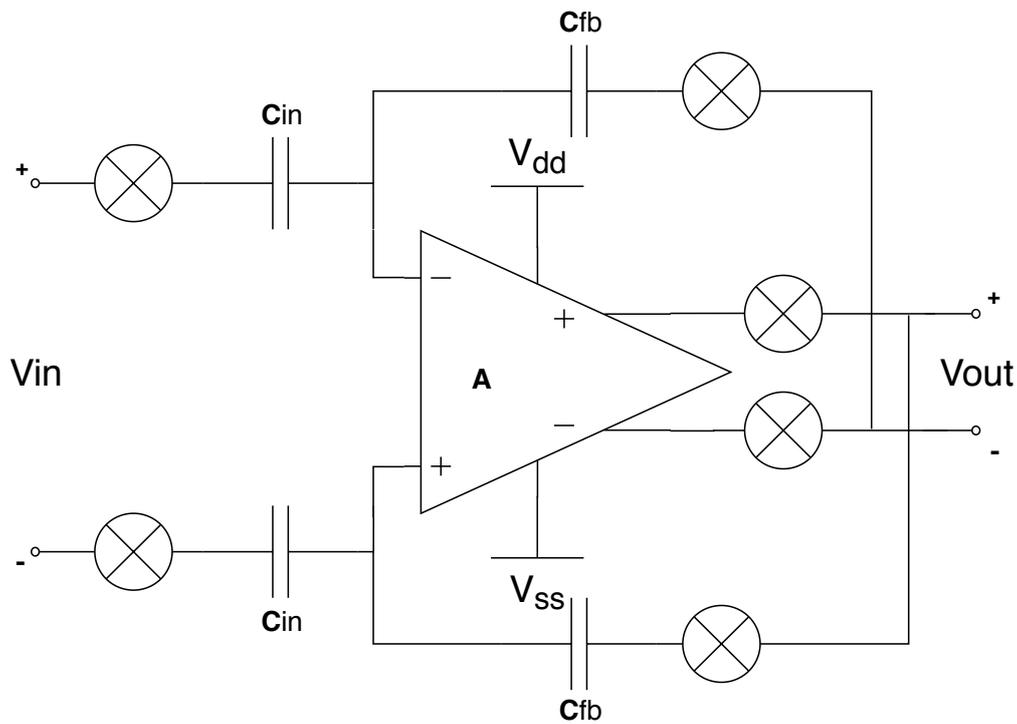


Figura 2.5: Exemplo de um CCIA.

Os condensadores C_{in} e C_{fb} determinam a precisão de elevado ganho [35], pelo que a malha de realimentação pode ser dimensionada com uma impedância elevada, o que minimiza a corrente consumida pela malha de realimentação [17].

Esta topologia tem uma eficiência de ruído ótima, visto que o ruído é predominantemente determinado pela transcondutância de entrada [35].

Esta configuração permite obter *rail-to-rail sensing capability* sem utilizar um andar de entrada *rail-to-rail* [14].

A principal desvantagem do CCIA é a limitação da impedância de entrada determinada pelo condensador (C_{in}) e a frequência do *chopper*, sendo possível aumentar a impedância de entrada com uma malha de realimentação positiva [17]. A utilização de um modulador *chopper* elimina a capacidade de bloquear tensões DC por parte do CCIA [51], acrescentando a necessidade de introduzir um método de cancelamento da tensão de desvio DC, aumentando a área total do amplificador de instrumentação.

Esta topologia é adequada para aplicações de baixa potência, visto que não existem transcondutâncias na malha de realimentação [26].

2.5.4 Condensadores Comutados

A topologia de condensadores comutados é semelhante a um CCIA, visto que se utilizam condensadores em vez de resistências de acordo com a figura 2.6.

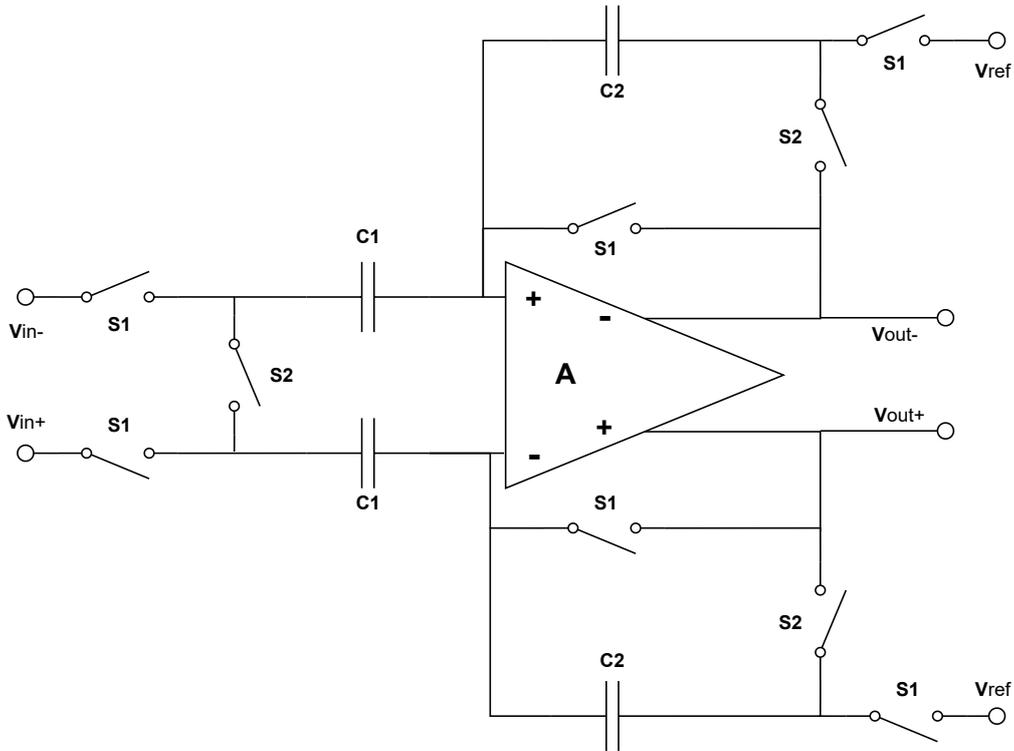


Figura 2.6: AmpI de Condensadores Comutados.

Durante a primeira fase, a tensão do sinal à entrada, a tensão de desvio do amplificador e o ruído $1/f$ são armazenados nos condensadores.

Durante a segunda fase, o sinal de entrada é amplificado e a tensão de desvio é cancelada pelo princípio da conservação da carga [36].

Com esta arquitectura é possível remover qualquer componente de modo comum, conseguindo obter um CMRR até 120 dB [26]. O alcance de modo comum de entrada é *rail-to-rail* [22].

Em [41] é utilizado um amplificador diferencial com amostragem duplamente correlacionada. O princípio de funcionamento desta topologia é semelhante ao do AZ, referido na secção 2.4.1, na página 8.

Ambas as arquiteturas têm a inerente capacidade de eliminar tensões de desvio e de reduzir o ruído $1/f$ [36] [41].

As principais vantagens de um amplificador de instrumentação de condensadores comutados são que o total CMRR é independente do AmpI, tem um PSRR elevado e, utilizando a técnica de double sampling, torna-se possível reduzir a injeção de carga e o *clock feedthrough* libertado pelos interruptores [47].

Como o ganho é determinado pelos condensadores $C1$ e $C2$, a precisão do ganho é

determinada pelo *mismatch* dos condensadores. Para manter os níveis de ruído baixos, devem-se utilizar condensadores largos, o que deteriora a impedância de entrada [26] e aumenta a área total ocupada.

O desempenho do circuito está limitado pelos *mismatches* do circuito, onde a simetria garante um elevado CMRR e a rejeição de carga por partes dos interruptores, que consequentemente influencia a tensão de desvio total do circuito [47].

2.5.5 Fully Differential Difference Amplifier

Um FDDA pode ser adaptado de forma a ser utilizado como AmpI de acordo com a figura 2.7. A configuração desta topologia é simples, pelo que apenas requer um amplificador activo e quatro resistências [30]. Para eliminar tensões DC, é necessário adicionar condensadores à malha de realimentação [48].

Esta topologia permite a realização de um amplificador de instrumentação tanto inversor como não inversor sem adicionar resistências ao percurso do sinal [3].

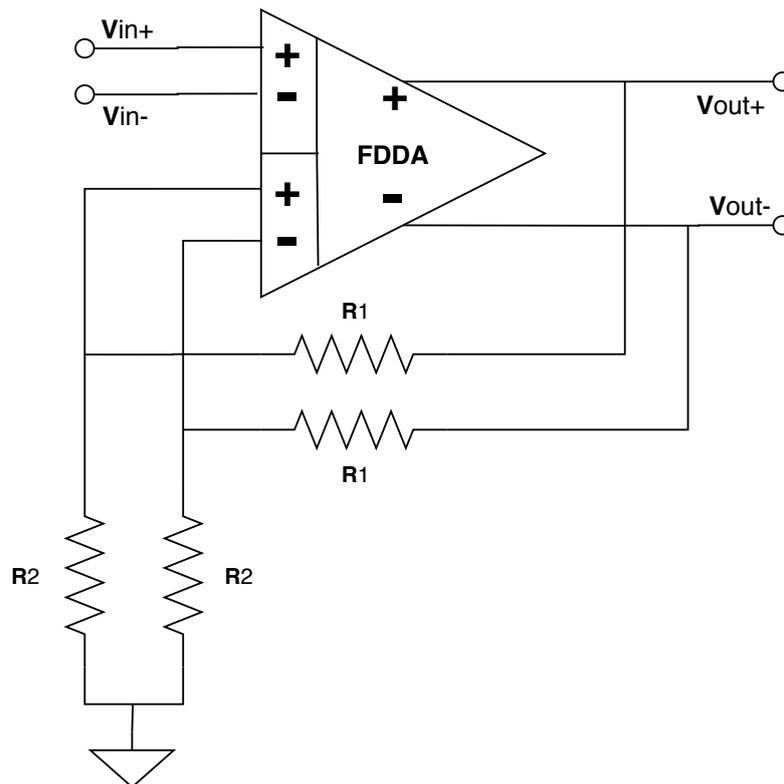


Figura 2.7: FDDA como um AmpI.

Este amplificador tem duas entradas diferenciais que convertem as tensões diferenciais em corrente. A corrente é em seguida subtraída e convertida novamente em tensão e amplificada no andar de saída [3].

O circuito permite obter em modo comum *rail-to-rail input swing* [23], pelo que o ganho total é determinado pela malha de realimentação [30].

A impedância de entrada deste amplificador é elevada visto que depende da transcondutância de entrada do amplificador de diferenças diferencial [48].

O ruído referente à entrada do amplificador diminui à medida que o ganho de malha fechada aumenta [3].

O CMRR e a precisão do ganho dependem dos *mismatches* dos transistores de entrada e da malha de realimentação, respectivamente [30]. Esta topologia apresenta um baixo valor de CMRR [48].

A implementação de um modulador *chopper* torna os *mismatches* do andar de entrada toleráveis, melhorando o CMRR, reduzindo a tensão de desvio de entrada e o ruído $1/f$ [9]. A malha de realimentação amplifica a tensão de desvio de entrada [23], sendo necessário a aplicação de técnicas de cancelamento de tensões de desvio.

Esta topologia é ideal para aplicações de baixo ruído na banda de frequências audíveis, visto que é capaz de obter uma elevada largura de banda com um consumo de corrente significativamente reduzido [3] [23].

ANÁLISE DO AMPLIFICADOR PROPOSTO

3.1 Estabelecimento do problema

O dimensionamento do amplificador de instrumentação deve ter em consideração os aspetos discutidos ao longo da secção 2.3. As publicações estudadas apresentam um conjunto de topologias e técnicas utilizadas com foco na relação entre os parâmetros de potência e ruído, com o objetivo de minimizar estes parâmetros para as especificações necessárias na respetiva aplicação.

O objetivo deste AFE é de desenhar um sistema com a melhor precisão possível para a medição de condutividade e temperatura da água através de sensores MEMS. A banda de funcionamento do amplificador de instrumentação deve incluir o alcance de frequências resultantes da leitura do sensor de condutividade enquanto, em simultâneo, deve ser capaz de amplificar sinais DC captados através do sensor de temperatura.

Para garantir o funcionamento a longo prazo do AFE, o parâmetro fundamental a minimizar é a potência consumida sem implicar o aumento de ruído referente à entrada. Deve ter-se em consideração a sensibilidade do amplificador de instrumentação para um andar de entrada *rail-to-rail*. O valor NEF resultante deve ser mínimo.

A tabela 3.1 apresenta os parâmetros estabelecidos para o amplificador de instrumentação realizar as tarefas acima referidas. A área do amplificador deve ser a menor possível para uma excursão de sinal máxima, garantindo uma boa linearidade no AFE.

3.2 Arquitectura proposta

Neste projecto é utilizada a topologia de Acoplamento capacitivo com recurso à técnica de estabilização através do modulador *chopper* de forma a melhorar o desempenho geral do amplificador de instrumentação. O desafio é atingir as especificações estabelecidas na

Tabela 3.1: Parâmetros de dimensionamento

Parâmetros	Valor	Unidade
Ganho DC em Malha Fechada	40	dB
Tensão de Alimentação	0.9 ~1	V
Impedância de Entrada Z_{in}	>100	M Ω
CMRR	>80	dB
PSRR	>40	dB
GBW	1	MHz
Margem de Fase	>90	°
C_L	5	pF

secção anterior, resolvendo as dificuldades derivadas da combinação das duas técnicas.

A figura 3.1 representa o modelo simplificado do amplificador de baixo ruído com a configuração de Acoplamento capacitivo e com recurso ao modulador *chopper*. O ganho do amplificador é determinado pela razão entre o condensador C_{in} e C_{fb} . Como referido na secção 2.5.3, esta configuração tem a capacidade inerente de cancelar tensões de desvio.

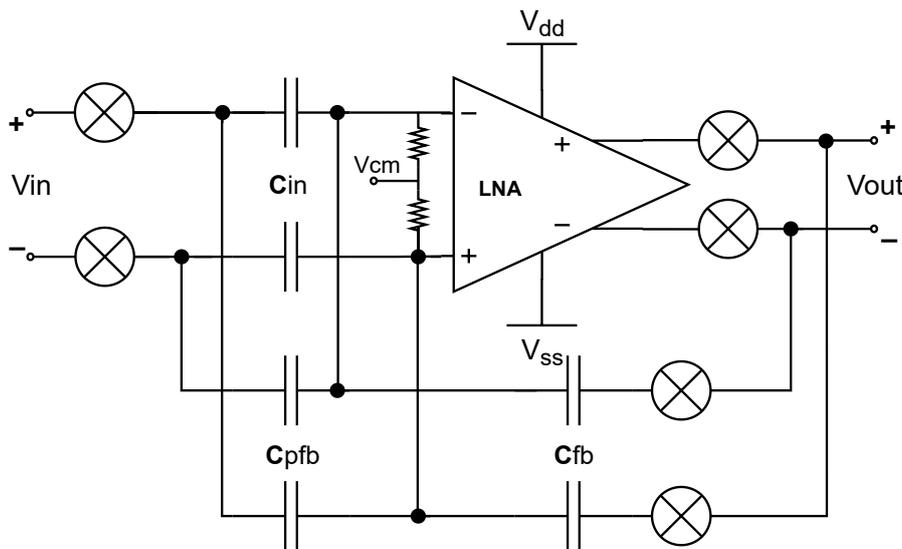


Figura 3.1: Topologia de Acoplamento capacitivo Proposta.

A utilização de um modulador chopper permite transitar a frequência do sinal de entrada com o objectivo de evitar o ruído *flicker* a custo da degradação da impedância de entrada. O modulador chopper constitui uma fonte de ruído devido à injeção de carga induzida pelo sinal de relógio, e adiciona distorção harmónica no sinal original por meio da modelação realizada.

Como foi estudado na secção 2.4.3, a utilização da malha de realimentação positiva permite melhorar entre 3 a 5 vezes a impedância de entrada do amplificador de instrumentação. Assim, é possível atingir uma impedância de entrada suficientemente elevada que evite a degradação do sinal de entrada.

A implementação de resistências é efetuada através de dois transístores PMOS *back-to-back*. Os transístores operam na zona de corte, permitindo alcançar uma elevada impedância com uma área total reduzida.

O *common mode rejection ratio* desta topologia é predominantemente determinado pelas diferenças de *matching* referentes aos dois nós de entrada do amplificador de baixo ruído.

3.3 Justificação

A topologia tradicional de três amplificadores operacionais apresenta um ótimo CMRR e um ganho elevado. No entanto, a potência consumida e a área ocupada deste amplificador são elevadas devido à utilização de três amplificadores operacionais. Esta topologia não é ideal para sistema de aquisição de dados de baixa potência.

A topologia CFIA apresenta um CMRR e um PSRR elevados com ganho suficiente para aplicações portáteis. Todavia as utilizações de transcondutâncias aumentam a potência consumida e a contribuição de ruído.

A topologia de circuitos comutados tem a capacidade inerente de reduzir o ruído branco e o ruído *flicker*. Porém a impedância de entrada é tipicamente baixa e o consumo de corrente é excessivo relativamente a uma topologia CCIA.

A topologia de AmpI através de um FDDA possibilita obter uma largura de banda elevada com reduzida potência consumida. Contudo esta topologia utiliza resistências na malha de realimentação, o que aumenta o nível de ruído do circuito e apresenta também um baixo valor de CMRR.

A topologia CCIA apresenta uma contribuição de ruído reduzida devido à utilização de condensadores em vez de resistências. Com esta topologia é possível atingir um elevado CMRR e PSRR, visto que são maioritariamente dependentes da estrutura do amplificador de baixo ruído. A potência total consumida desta topologia é tipicamente baixa sendo favorável para aplicações de potência reduzida.

3.4 Considerações Gerais da Topologia

A utilização de uma realimentação positiva permite aumentar a impedância de entrada sem prejudicar a potência consumida nem o ruído total do circuito, visto que, idealmente, o condensador não contribui com ruído. Desta forma a impedância de entrada é determinada essencialmente pela frequência do relógio, e pela capacidade parasítica existente entre o condensador de entrada e *ground*.

- **Ganho do Amplificador**

O factor de atenuação em malha fechada do amplificador é dado pela razão entre o condensador de entrada e de realimentação de acordo com a equação 3.1.

$$\frac{V_{in}}{V_{out}} = \frac{C_{fb}}{C_{in}} \quad (3.1)$$

A escolha da capacidade dos condensadores da malha de realimentação do amplificador e da malha de realimentação positiva são relevantes para a impedância de entrada do amplificador e para a contribuição total de ruído. Será em seguida considerado a relação que se estabelecem entre a capacidade e impedância de entrada e a frequência do modulador *chopper*.

• Frequência do Modulador *Chopper*

Como foi analisado na secção 2.4.2, a tensão de desvio induzida pelo modulador *chopper* depende da constante tempo e amplitude dos picos de tensão e da frequência do modulador. A tensão de desvio é significativamente reduzida quando a frequência do modulador *chopper* é metade da largura de banda do amplificador.

Visto que o AFE deve ter uma largura de banda de 3-dB a 10 kHz, a frequência do modulador *chopper* escolhida é de 5 kHz. Desta forma é modulada toda a banda de frequências na qual o ruído *flicker* é predominante, reduzindo significativamente a tensão de desvio introduzida pelo modulador. Com esta frequência de modulação, a impedância de entrada é máxima visto que esta decresce com o aumento da frequência. A figura 3.2 apresenta a relação da impedância de entrada com a capacidade de entrada para uma dada frequência de modulação, pelo que a capacidade mínima de entrada que atinge a impedância de entrada desejada é de 1 pF. Com $f_{ch} > 5$ kHz, todas as harmónicas introduzidas pelo modulador situam-se fora da largura de banda do AFE.

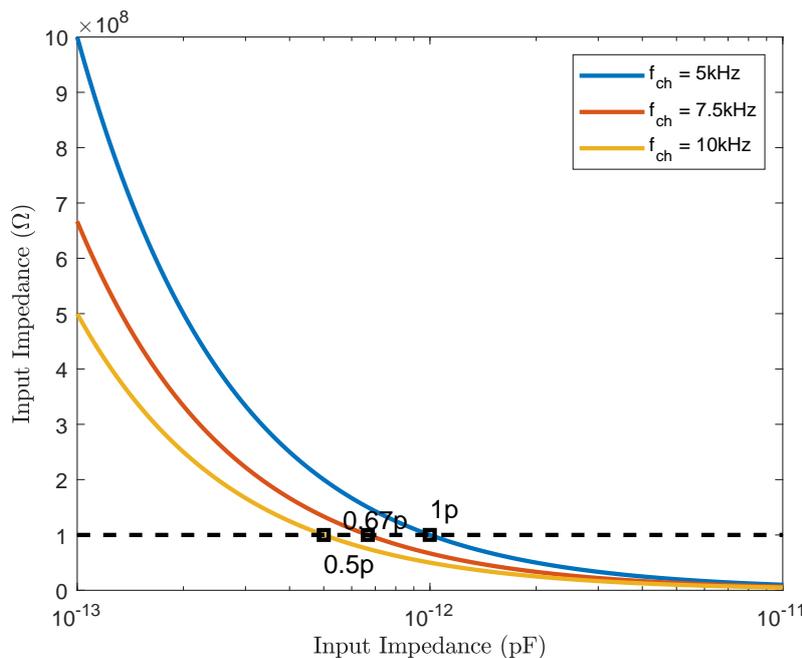


Figura 3.2: Relação entre Impedância e Capacidade de Entrada para um dado f_{chop} .

- **Impedância de entrada**

Tendo em conta a relação estabelecida entre a impedância de entrada e a frequência do modulador *chopper*; o cálculo de impedância de entrada em [16], as equações 3.2 e 3.3 representam, em conjunto, a impedância de entrada do amplificador de instrumentação sem malha de realimentação positiva e com malha de realimentação positiva, respectivamente.

$$Z_{in} \approx \frac{1}{f_{ch}C_{in}} \quad (3.2)$$

$$Z_{in} \approx \frac{1}{f_{ch}C_p} \quad (3.3)$$

Assumindo uma capacidade de entrada de 1pF, a figura 3.3 representa a relação da impedância de entrada para cada equação, assumindo que a capacidade parasítica C_p vista no terminal de C_{in} , varia entre 10% a 30% de C_{in} .

É possível observar que a malha de realimentação positiva representa um aumento significativo da impedância de entrada para uma dada frequência de modulação. Para uma frequência de modulação de 5 kHz, a impedância de entrada varia entre 300 M Ω e 1 G Ω , permitindo obter uma margem que garanta a impedância de entrada desejada.

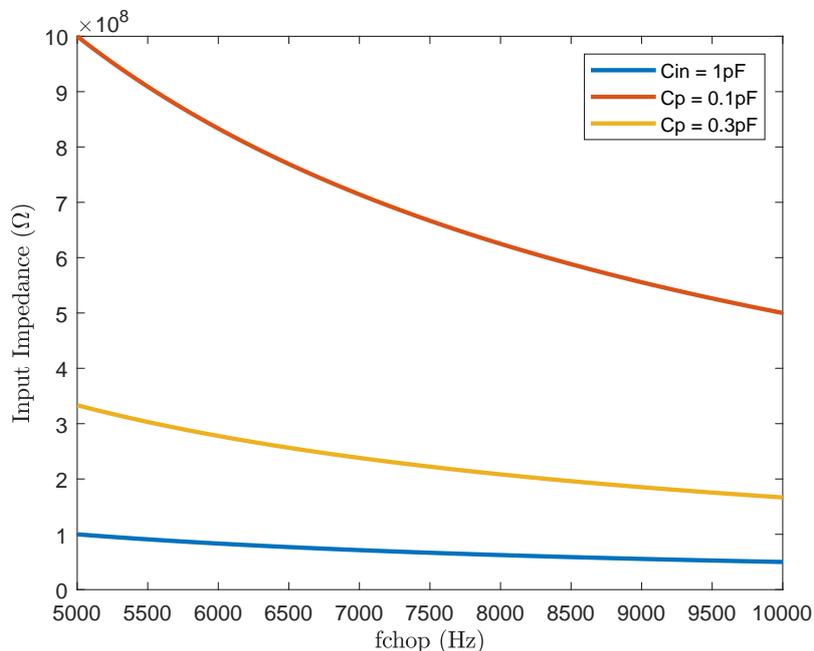


Figura 3.3: Impedância de Entrada.

- **Relação de Impedância de Entrada e Ruído**

O ruído total do amplificador CCIA é principalmente determinado pelo ruído referente à saída do amplificador de baixo ruído. De acordo com [16], quando C_{in} é muito

superior que a capacidade de entrada do par diferencial, para um ganho de realimentação de 40 dB, o ruído total do amplificador CCIA é aproximadamente igual ao ruído referente à saída do amplificador de baixo ruído. A equação determina a relação estabelecida entre o ruído e as capacidades associadas ao nó de entrada do amplificador de baixo ruído.

$$V_n = \left(\frac{C_{in} + C_{fb} + C_g}{C_{in}} \right) \cdot V_{nout} \quad (3.4)$$

Onde C_g representa as capacidades parasíticas associadas ao nó de entrada do amplificador de baixo ruído. Como os transístores do par diferencial de entrada do amplificador são tradicionalmente dimensionados na zona de inversão fraca, as capacidades parasíticas destes dispositivos são tipicamente baixos. Para transístores com um valor de G_m/I_d elevados, e largura do canal $L > 200 \mu\text{m}$, a capacidade C_g vista da *gate* do transístor é tipicamente menor que 0.1 pF.

Visando a simplificação do estudo da contribuição da malha de realimentação para o ruído total do amplificador, assume-se $C_g = 0.1 \text{ pF}$. A figura 3.4 apresenta o ganho de ruído de acordo com o valor de C_{in} , pelo que C_{fb} é 100x inferior para um ganho de realimentação de 40 dB.

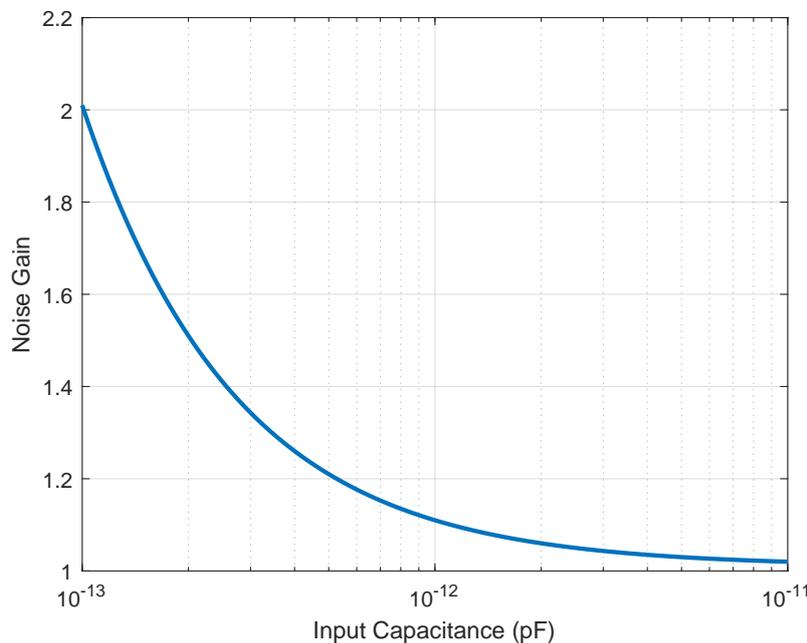


Figura 3.4: Ganho do Ruído do Amplificador.

Para uma capacidade de entrada superior a 1 pF, o ganho do ruído do amplificador é inferior a 1.1, pelo que não constitui um contributo significativo face a uma capacidade $>1 \text{ pF}$. Consequentemente a capacidade atribuída a C_{in} é de 1 pF. Este valor de capacidade garante uma impedância de entrada superior a 100 M Ω para uma frequência do modulador *chopper* de 5 kHz.

antes de M_5 com o objectivo de evitar a degradação na onda portadora introduzida pelo erro referido anteriormente, contornando a fonte de ruído *flicker* predominante.

A utilização de um andar *common-source* na saída do amplificador permite aumentar o ganho e a gama dinâmica do amplificador com o custo de corrente associado ao par de ramos. Como a queda de tensão em $V_o \approx V_{out}$, é utilizada uma configuração *common-drain* com o objectivo de ajustar V_{gs10} para um valor adequado. Caso contrário a queda de tensão seria $V_{gs10} \approx 0$. Consequentemente, M_{10} estaria a funcionar na zona de corte com um valor de g_m/I_d significativamente baixo. Através de se utilizar um *source follower* entre V_o e V_{gs10} , torna-se possível ajustar V_{gs} e g_m/I_d para um valor adequado, obtendo uma melhor relação de consumo de potência e de área ocupada.

3.5.1 Análise em Baixa Frequência

Tendo como objetivo a simplificação da análise teórica, consideremos primeiro a topologia tradicional de um *folded cascode*. A figura 3.6 corresponde a metade do circuito, visto que o amplificador é simétrico.

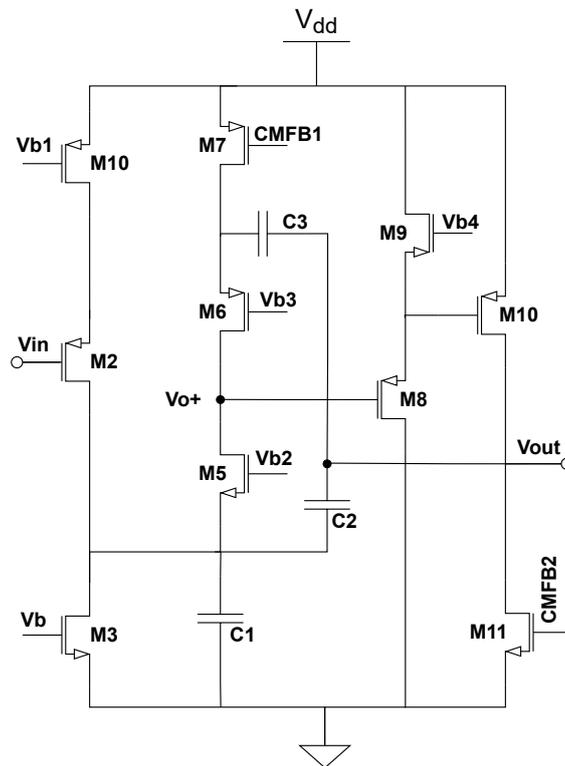


Figura 3.6: Metade do amplificador *folded cascode*.

Para sinais de baixa tensão, o ganho do circuito a baixa frequências de um *common-drain* é aproximadamente 1. As restantes expressões matemáticas derivadas da arquitectura completa a baixa frequência são dadas pelo modelo matemático [19] descrito nas seguintes equações:

$$A_{v1} \approx GmRo \quad (3.6)$$

$$Gm_{FC} \approx gm_1 = gm_2 = \frac{kI_B}{U_T} \quad (3.7)$$

Pelo que Gm_{FC} é a transcondutância do amplificador *folded cascode*, Ro a impedância de saída, I_B a corrente que passa no dreno do transistor M_2 , k a constante de Boltzmann e U_T o coeficiente de temperatura. As equações seguintes explicitam a impedância de saída vista do dreno de M_5 e de M_6 .

$$Ro_{M5} \approx \frac{gm_5}{(g_{ds3}g_{ds2})g_{ds5}} \quad (3.8)$$

$$Ro_{M6} \approx \frac{gm_6}{g_{ds7}g_{ds6}} \quad (3.9)$$

$$Ro = Ro_{M5} \parallel Ro_{M6} = \frac{gm_5gm_6}{g_{ds7}gm_5g_{ds6} + (g_{ds3} + g_{ds2})g_{ds5}gm_6} \quad (3.10)$$

Considerando agora a arquitectura com recurso à técnica de distribuição de corrente, a transcondutância ideal do amplificador é dada pela equação 3.11 com um erro de, aproximadamente, 2% [5]. Ao aumentar o factor de corrente A , é possível aumentar a transcondutância do amplificador a custo de aumento de ruído. A limitação de ruído será analisada na secção 3.5.2.

$$Gm_{Ideal} = \frac{kI_B}{U_T} \cdot \frac{(2A+1)}{N} = Gm_{FC} \cdot \frac{(2A+1)}{N} = gm_2 \cdot \frac{(2A+1)}{N} \quad (3.11)$$

Substituindo na equação 3.7 Ro e Gm pelas equações 3.10 e 3.11, o ganho total do amplificador *folded cascode* com recurso à técnica de distribuição de corrente pode ser aproximado de acordo com a equação 3.12.

$$A_{v1} = gm_2 \cdot \frac{(2A+1)}{N} \cdot \frac{gm_5gm_6}{g_{ds7}gm_5g_{ds6} + (g_{ds3} + g_{ds2})g_{ds5}gm_6} \quad (3.12)$$

O andar de saída do amplificador de baixo ruído corresponde a uma topologia *Common Source*, permitindo aumentar o ganho total e a gama dinâmica do amplificador, preservando uma elevada impedância de saída de acordo com a equação 3.13

$$Ro_T = \frac{1}{g_{ds9} + g_{ds8}} \quad (3.13)$$

$$A_{v2} = \frac{gm_9}{g_{ds9} + g_{ds8}} \quad (3.14)$$

O ganho total do amplificador é dado pela equação 3.15 que resulta da multiplicação das equações 3.12 e 3.14.

$$A_T = A_{v1} \cdot A_{v2} = gm_2 \cdot \frac{(2A + 1)}{N} \cdot \frac{gm_5 gm_6}{g_{ds7} gm_5 g_{s6} + (g_{ds3} + g_{ds2}) g_{ds5} gm_6} \cdot \frac{gm_9}{g_{ds9} + g_{ds8}} \quad (3.15)$$

Para finalizar a análise em baixa frequência do amplificador, as equações 3.16 e 3.17 apresentam consumo total de potência, e a gama dinâmica do amplificador corresponde à excursão de sinal na saída do amplificador. Ambos os parâmetros dependem fundamentalmente do dimensionamento dos transístores.

$$P_T = V_{DD} \cdot [I_{b1} \cdot (1 + \frac{2}{N}) + 2 \cdot I_{b2}] \quad (3.16)$$

$$V_{os} = 2 \cdot (V_{DD} - V_{ds9} - V_{ds8}) \quad (3.17)$$

3.5.2 Ruído Referente à Entrada

A análise de ruído pode ser realizada considerando a análise em baixas frequências, pelo que se pode combinar as fontes de ruído referentes à entrada diferencial do amplificador numa só fonte de ruído V_{n1} . Para a simplificação do problema, consideremos novamente a topologia tradicional *folded cascode*, na qual a figura 3.7 representa as fontes de ruído associadas aos dois andares do amplificador.

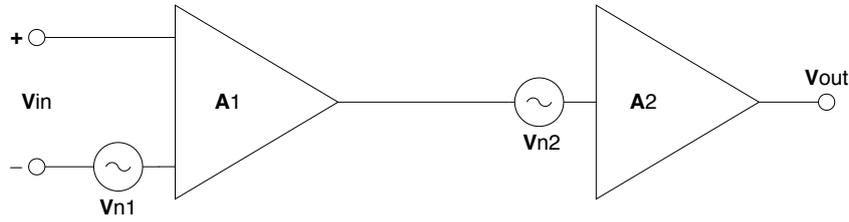


Figura 3.7: Modelo equivalente de ruído.

O desempenho de ruído do amplificador é determinado pela contribuição de ruído *flicker* e ruído térmico. O ruído total pode ser determinado assumindo que cada transístor contribui individualmente com a sua transcondutância g_m . Visto que a corrente e as transcondutâncias associadas à configuração *common-drain* são significativamente inferiores às dos restantes andares, não se considera a sua contribuição de ruído. Assume-se que os restantes transístores não introduzem qualquer contribuição para o ruído total do circuito, visto que a transcondutância associada a $g_{ds} \ll g_m$.

Utilizando a equação 2.1 na secção 2.3, a densidade espectral de ruído térmico proveniente da transcondutância dos transístores do primeiro e segundo andar é dado pelas equações 3.18 e 3.19:

$$V_{n1}^2 = \frac{4k_B \lambda T}{gm_2^2} \cdot (gm_2 + gm_5 + gm_6) \approx \frac{4K \lambda T}{gm_2} \quad (3.18)$$

$$V_{n2}^2 = \frac{4k_B \lambda T}{gm_8} \quad (3.19)$$

Para determinar o ruído *flicker*, utiliza-se a equação 2.2 na secção 2.3. A contribuição do ruído flicker do primeiro e segundo andares é dada pelas equações 3.20 e 3.22. Visto que $gm_2 \gg gm_{5,6}$, a contribuição de ruído *flicker* no par diferencial de entrada pode ser aproximada à equação 3.21.

$$V_{I1}^2 = \frac{K_2}{C_{ox}(W \cdot L)_2 \Delta f} + \frac{K_5}{C_{ox}(W \cdot L)_5 \Delta f} \cdot \left(\frac{gm_5}{gm_2} \right)^2 + \frac{K_6}{C_{ox}(W \cdot L)_6 \Delta f} \cdot \left(\frac{gm_6}{gm_2} \right)^2 \quad (3.20)$$

$$V_{I1}^2 \approx \frac{K_2}{C_{ox}(W \cdot L)_2 \Delta f} \quad (3.21)$$

$$V_{I2}^2 = \frac{K_8}{C_{ox}(W \cdot L)_8 \Delta f} \quad (3.22)$$

A potência do ruído total de entrada do amplificador é determinado através da combinação das equações 3.18, 3.19, 3.21 e 3.22. Como a contribuição de ruído do segundo andar é atenuada pelo ganho do primeiro andar, pode ser desprezada, visto que o ganho do primeiro andar é suficientemente elevado.

$$V_{nT}^2 \approx 2 \cdot \left[\frac{4k_B \lambda T}{gm_2} + \frac{K_2}{C_{ox}(W \cdot L)_2 \Delta f} + \frac{1}{A_{v1}} \cdot \left(\frac{4k_B \lambda T}{gm_8} + \frac{K_8}{C_{ox}(W \cdot L)_8 \Delta f} \right) \right] \quad (3.23)$$

Considerando a análise de ruído realizada em [32], o ruído referente à entrada de um par diferencial com divisão de corrente pode ser determinado pela equação 3.24, pelo que o ruído proveniente da corrente em $M1$ e $M2$ escala de acordo com $((A+1)/B)^2$.

$$V_n^2 = \frac{4k_B \lambda T}{N \cdot gm_2} \cdot \left[A + B \cdot \left(\frac{A+1}{B} \right)^2 \right] \quad (3.24)$$

O ruído total do amplificador considerando um *folded cascode* com divisão de corrente pode ser aproximado através soma das equações 3.23 e 3.24, resultando na equação 3.25. Para $A = B$, o ruído referente à entrada é aproximadamente igual ao de uma entrada tradicional diferencial *folded cascode*, minimizando a degradação introduzida pelo ruído e apresentando uma transcondutância superior.

$$V_{nT}^2 \approx 2 \cdot \left\{ \frac{4k_B \lambda T}{N \cdot gm_2} \cdot \left[A + B \cdot \left(\frac{A+1}{B} \right)^2 \right] + \frac{K_2}{C_{ox}(W \cdot L)_2 \Delta f} \right\} \quad (3.25)$$

Para calcular o desempenho de ruído do amplificador é utilizada a equação 2.3, pelo que o ruído total referente à entrada em *rms* é dado pela equação 3.26. Assumindo uma largura de banda de 10 kHz e considerando apenas o ruído térmico, o valor *NEF* é dado pela equação 3.27.

$$V_{n,rms} = \sqrt{V_{nT}^2 \cdot \frac{\pi}{2} \cdot BW} \quad (3.26)$$

$$NEF = \sqrt{2 \cdot \left\{ \frac{4k_B \lambda T}{N \cdot gm_2} \cdot \left[A + B \cdot \left(\frac{A+1}{B} \right)^2 \right] \right\} \cdot \frac{\pi}{2} \cdot 10k} \cdot \sqrt{\frac{2 \cdot Ib \cdot \left(1 + \frac{2}{N} \right) + 2 \cdot Ib_2}{\pi V_T \cdot 4k_b T \cdot 10k}} \quad (3.27)$$

É possível calcular a frequência crítica do ruído *flicker* ao considerar $V_n^2 = V_I^2$. A equação 3.28 evidencia a relação que se estabelece entre o fator de corrente e a dimensão dos transístores de entrada.

$$f_c = \frac{K_2}{C_{ox}(W \cdot L)_2} \cdot \frac{gm_2 \cdot N}{4k_B \lambda T} \cdot \left[A + B \cdot \left(\frac{A+1}{B} \right)^2 \right]^{-1} \quad (3.28)$$

3.5.3 Resposta em Frequência

A resposta em frequência associada ao amplificador na figura 3.8 apresenta dois zeros e quatro pólos. Devido à complexidade associada à função transferência, os pólos são associados de acordo com cada nó de sinal. Cada pólo é determinado através da multiplicação entre as impedâncias e capacidades totais vistas do nó para *ground* [33].

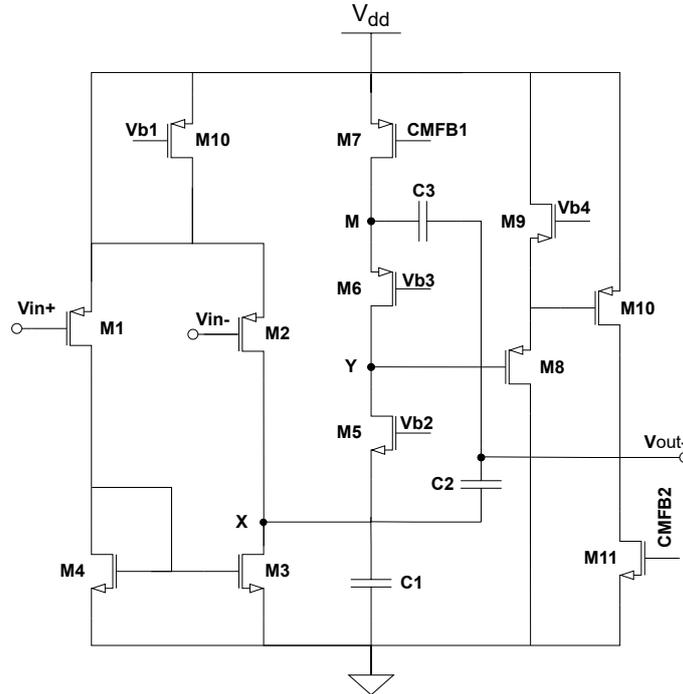


Figura 3.8: Metade do amplificador *folded cascode* com distribuição de corrente.

Considerando a versão simplificada do amplificador na figura 3.8, as expressões de cada pólo são dadas pelas seguintes equações, pelo que C_{Px} , C_{Py} , C_{Pout} e C_{Pm} correspondem às capacidades associadas a cada nó. Visto que a corrente consumida pelo andar *common-drain* é mínima, o polo introduzido será de alta frequência, não representando um aspecto crítico para a estabilidade do amplificador.

$$\omega_{Px} = \frac{gm5 + gds5 + gds2}{C_{Px}} \approx \frac{gm5}{C_{Px}} \quad (3.29)$$

$$\omega_{Py} = \frac{gds6 + gds5}{C_{Py}} \approx \frac{1.2 \cdot gds5}{C_{Py}} \quad (3.30)$$

$$\omega_{Pout} = \frac{gds9 + gds8}{C_{Pout}} \approx \frac{1.2 \cdot gds8}{C_{Pout}} \quad (3.31)$$

A realimentação introduzida pela compensação de Miller correspondente a $C_{2,3}$ introduzem um zero e um pólo cada, na resposta em frequência do amplificador. Para analisar o pólo derivado do nó de sinal em M , é necessário considerar o ganho associado entre os terminais de C_3 da equação 3.32, resultando na expressão associada ao pólo na equação 3.33.

$$A_m = \left(\frac{gm6}{gds5 + gds6} \right) \left(\frac{gm9}{gds9 + gds8} \right) \quad (3.32)$$

$$\omega_{Pm} = \frac{gds5 + gds6}{C_3(A_m + 1) + C_{Pm}} = \frac{gds5 + gds6}{C_3 \left(\left(\frac{gm6}{gds5 + gds6} \right) \left(\frac{gm9}{gds9 + gds8} \right) + 1 \right) + C_{Pm}} \quad (3.33)$$

Assumindo que as capacidades $C_{gd} \gg C_{db}$, $C_{gs} \gg C_{sb}$ e $C_{gd} \gg C_{gs}$, as capacidades associadas a cada nó podem ser aproximadas de acordo com as seguintes equações:

$$C_{Px} = C_1 + C_2 + C_{gd2} + C_{db2} + C_{gd3} + C_{cdb3} + C_{gs5} + C_{sb5} \approx 2 \cdot C_{gd2} + C_1 + C_2 \quad (3.34)$$

$$C_{Py} = C_{gd5} + C_{cdb5} + C_{gd6} + C_{db6} \approx C_{gd5} + C_{gd6} \quad (3.35)$$

$$C_{Pout} = C_L + C_{gd9} + C_{cdb9} + C_{gd8} + C_{db8} \approx C_L + C_{gd9} + C_{gd9} \approx C_L \quad (3.36)$$

$$C_{Pm} = C_3 + C_{gd7} + C_{cdb7} + C_{gs6} + C_{sb6} \approx C_3 + C_{gd7} + C_{gs6} \approx C_3 \quad (3.37)$$

Os zeros da resposta em frequência introduzido pela compensação de Miller tipicamente localizam-se no semi-plano direito de Argant. A adição de uma resistência em série permite deslocar os zeros para uma localização mais estável, nomeadamente no semi-plano complexo esquerdo. Se $C_{2,3} \ll$, o efeito introduzido compensa a margem de fase do amplificador sem constituir um aspecto crítico do dimensionamento. Ao negligenciar os zeros, a resposta em frequência pode ser aproximada pela equação 3.38.

$$A(s) = \frac{A_T}{\left(\frac{s}{\omega_{Px}} + 1 \right) \left(\frac{s}{\omega_{Py}} + 1 \right) \left(\frac{s}{\omega_{Pout}} + 1 \right) \left(\frac{s}{\omega_{Pm}} + 1 \right)} \quad (3.38)$$

DIMENSIONAMENTO DO AMPLIFICADOR DE INSTRUMENTAÇÃO

4.1 Metodologia Utilizada no Dimensionamento do OTA

O dimensionamento dos transístores será realizado de acordo com os princípios de dimensionamento G_m/I_d e coeficiente de inversão. A principal motivação para a utilização desta metodologia é a simplificação do modelo tradicional ao evidenciar as relações que são estabelecidas entre a transcondutância, a corrente no dreno e a zona de saturação de funcionamento do transístor.

A representação de um transístor através do modelo clássico determina a transcondutância e a corrente no dreno, mediante a relação de queda de tensão dos terminais *gate* e dreno com o terminal *source*. Estas equações não refletem um modelo simples para o dimensionamento dos transístores.

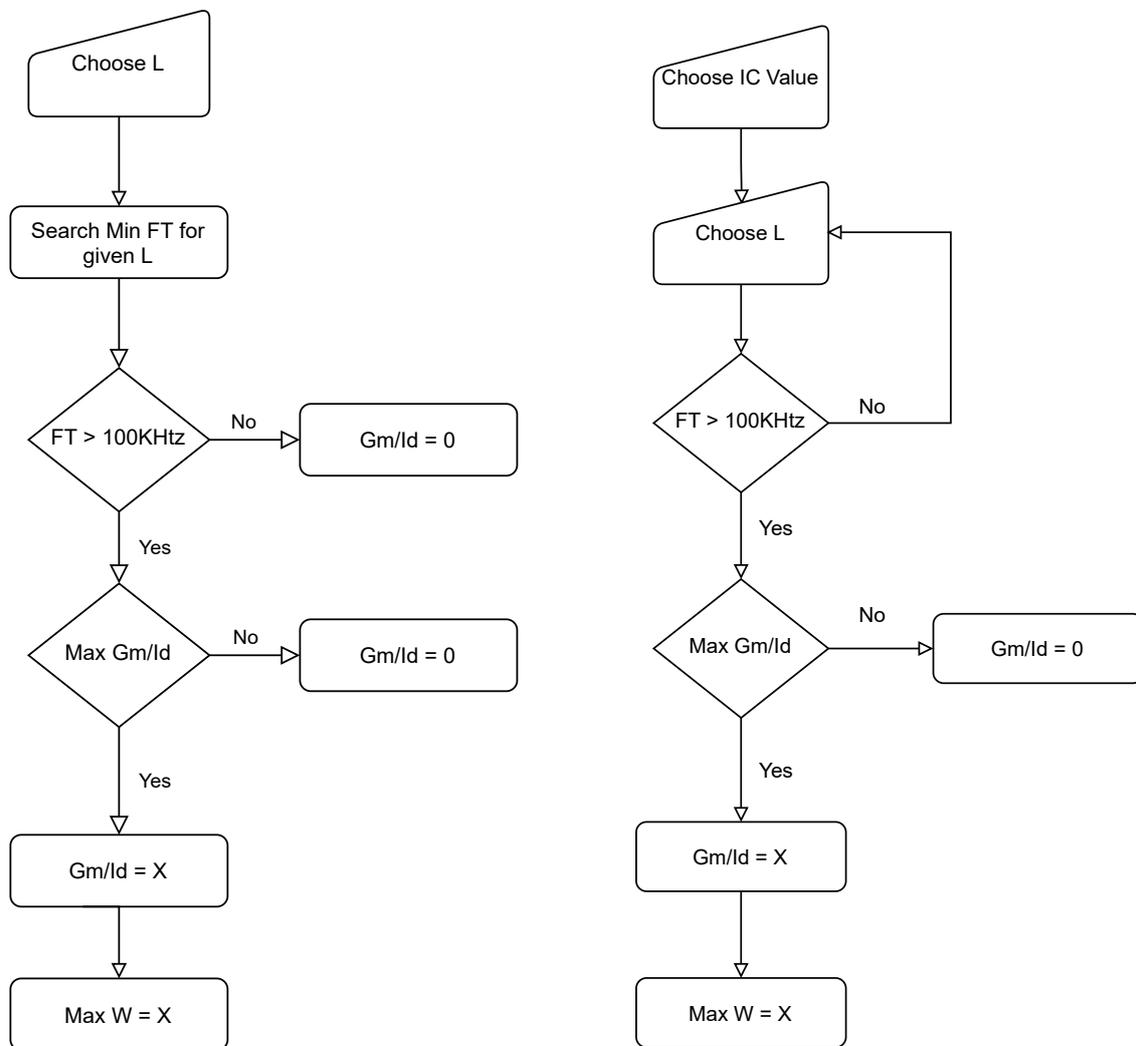
Para estudar o comportamento dos transístores em dada relação de W/L , foi desenvolvido um algoritmo capaz de representar os valores obtidos através da simulação realizada no software *Cadence*. Os gráficos obtidos são de acordo com o método G_m/I_d e estão disponíveis em anexo.

De acordo com[13], o coeficiente de inversão é a medida do nível de inversão do canal, pelo que IC é a normalização da razão entre a corrente no dreno com a dimensão W/L de acordo com os parâmetros da tecnologia I_s .

Este modelo separa as zonas de saturação do transístor em três regiões distintas; zona de inversão fraca ($IC < 0.1$), de inversão moderada ($0.1 < IC < 10$) e inversão forte ($IC > 10$). Na zona de inversão forte, os transístores apresentam um ganho intrínseco e área ocupada elevados, com valores de tensão de saturação excessivos. Na zona de inversão moderada, a área ocupada é menor e a tensão de saturação é mínima, sendo ideal para os transístores que não contribuem significativamente para o ganho. Na zona de inversão fraca, a

resistência parasítica R_{ds} é elevada, pelo que o ganho intrínseco G_m/G_{ds} é reduzido.

Para o dimensionamento dos transístores foi desenvolvido um algoritmo para uma tensão de alimentação de 1 V, de modo a garantir as especificações necessárias do amplificador, que calcula a dimensão de cada transístor para o valor mínimo de corrente possível. O algoritmo utiliza as expressões aproximadas, deduzidas na secção 3.5, considerando que o valor máximo de G_m/I_d viável para o par diferencial de entrada é determinado pela velocidade do transístor f_t , resulta em transístores de elevada dimensão e baixo ruído *flicker*. A figura 4.1 apresenta um diagrama que estabelece as iterações fundamentais no dimensionamento dos dispositivos. Em seguida são calculados os parâmetros de cada transístor e a estimados os resultados obtidos de acordo com as equações anteriormente apresentadas. As dimensões da configuração *common-drain* foram determinadas através da realização de uma análise paramétrica entre a relação W/L . Este andar representa apenas 2% do consumo total de potência, e permite aumentar a tensão DC para 750 mV.



(a) Par Diferencial de Entrada.

(b) Dimensionamento Genérico.

Figura 4.1: Fluxograma do algoritmo de dimensionamento

Tabela 4.1: Dimensões dos Transístores do OTA

Transístor	Dimensões (W/L) μm	Id nA	Ic	Gm/Id	Fingers
M2	200/0.2	254.85	$3.6 \cdot 10^{-3}$	29.03	20
M1	160/0.2	206.76	0.022	29.03	16
M3	10/2	362.06	0.345	29.01	1
M4	10/4	206.76	0.394	29.11	1
M5	5/0.12	107.2	0.012	25.89	1
M6	10/1	107.2	0.153	27.60	1
M7	10/2	107.2	0.306	26.12	1
M8	0.2/1	50.8	3.629	17.03	1
M9	0.5/1	50.8	1.45	21.54	1
M10	10/1	370.8	0.53	26.48	1
M11	10/1	370.8	1.41	27.84	1
M12	20/1	923.2	0.66	24.55	2

Como apresentado na tabela 4.1, os transístores estão predominantemente dimensionados para operarem na zona de inversão moderada, visando a redução de área e tensão de saturação. É utilizada a razão de corrente N , que sustenta as especificações desejadas, com o valor de 1/9. Os dispositivos do par diferencial de entrada e M_5 utilizam um L baixo, de modo a minimizar as capacidades associadas à *gate* e a resistência parasítica R_{ds} .

Em contraste, os restantes dispositivos PMOS estão dimensionados com um L que permite estabelecer uma boa relação entre o ganho intrínseco do transístor e a dimensão das capacidades parasíticas associadas ao dispositivo. O valor da resistência parasítica R_{ds} é determinável pela dimensão de W de cada dispositivo.

4.2 Common Mode Feedback Circuit

Em amplificadores de instrumentação com elevado ganho, o nível de tensão CM não pode ser estabilizado através da malha de realimentação, pelo que é necessário adicionar um circuito CMFB para a estabilização do nível CM à saída do amplificador-[33]. A tensão $V_{oc}(V_{out+} - V_{out-})$ é vulnerável a variações dos componentes e a *mismatches* que podem resultar na degradação elementar do desempenho do amplificador.

O circuito CMFB deve medir o nível de CM à saída, comparar com o valor de referência V_{cm} , e devolver a diferença à rede de polarização do amplificador. Este circuito forma uma realimentação negativa que ajusta a tensão V_{gs9} de forma a que $V_{oc} = V_{cm}$. O detector de nível CM deve calcular a tensão de saída V_{oc} e em seguida, a diferença entre $V_{oc} - V_{cm}$ é amplificada pelo ganho A_{cm} de um amplificador diferencial de acordo com a equação 4.1 [19].

$$V_{CMFB} = A_{cm}(V_{oc} - V_{cm}) + V_b \quad (4.1)$$

Pelo que V_b é a tensão DC nominal que determina a corrente na malha interna do amplificador. Se o ganho do amplificador for suficientemente elevado, $V_{oc} \approx V_{cm}$ e V_{CMFB}

é aproximadamente constante pelo que $V_{CMFB} \approx V_b$. Desta forma qualquer flutuação em V_{oc} , resultante de alterações de parâmetros, é corrigida de forma a gerar um V_{CMFB} que segue a discrepância entre V_{oc} e V_{cm} .

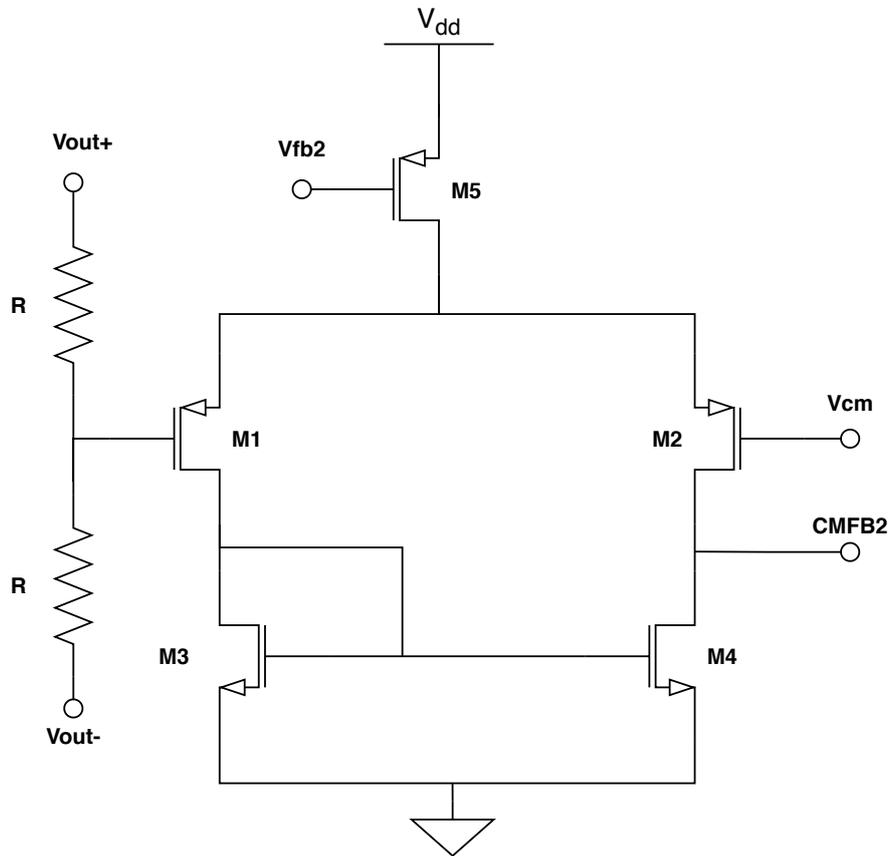


Figura 4.2: Esquemático de CMFB2.

Um método simples para a detecção da tensão V_{oc} é composto por duas resistências de elevada impedância, pelo que assim não ocorre uma deterioração da impedância de saída do amplificador. É utilizado um amplificador de modo comum *standard* como consta na figura 4.2. Este amplificador consiste num par diferencial $M_{1,2}$, um espelho de corrente $M_{3,4}$ e um *tail current source* M_5 . As dimensões atribuídas a cada transistor estão disponíveis na tabela 4.2.

Tabela 4.2: Dimensões dos transistores do CMFB2.

Transistor	Dimensões (W/L) μm	Id nA
M1-2	1/2.5	50
M3-4	20/1	50
M5	10/2	100

O circuito CMFB interno não requer uma impedância elevada. Consequentemente, é adotada uma arquitetura que utiliza dois pares diferenciais apenas com transistores representado na figura 4.3. O par diferencial $M_{1,2}$ e $M_{3,4}$, em conjunto, mede a tensão V_{cm}

e devolve a diferença entre V_{oc} e V_{cm} , bem como uma constante tensão DC nominal através da tensão de saída em M_6 .

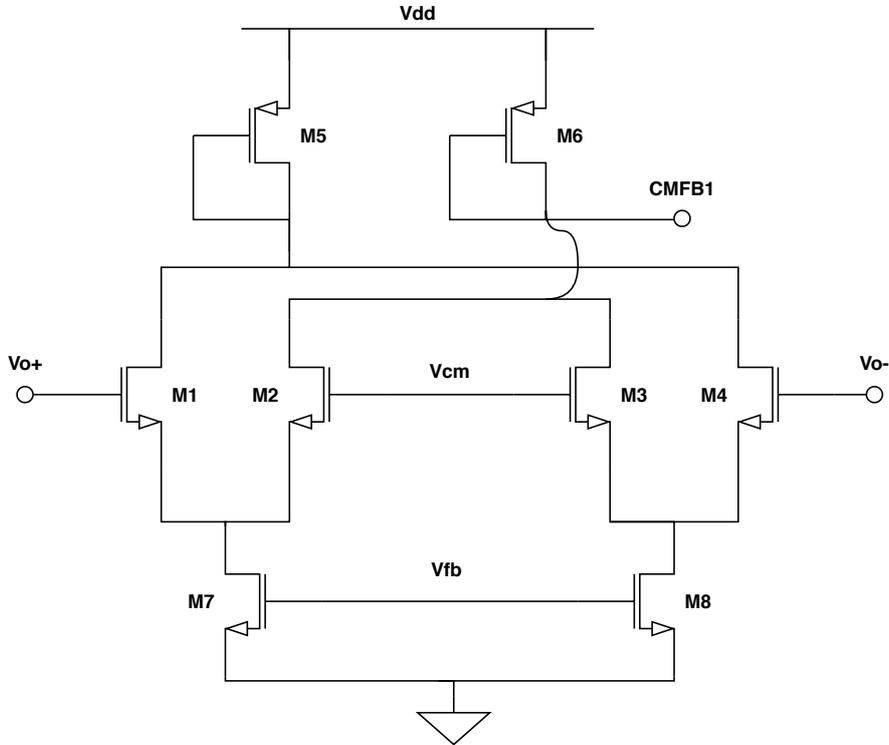


Figura 4.3: Esquemático de CMFB1.

Este circuito opera linearmente desde que $M_{1,4}$ permaneçam ligados. Caso o sinal à entrada destes transístores seja suficientemente elevado, $M_{1,4}$ são desligados e a malha CMFB não funciona devidamente durante toda a restante gama dinâmica de saída. Considerando a reduzida excursão de sinal de saída de um *folded cascode*, e que a realimentação é utilizada na malha interna do amplificador, a tensão à entrada de $M_{1,4}$ não é suficiente para desligar os transístores. As dimensões atribuídas a cada transístor estão disponíveis na tabela 4.3.

Tabela 4.3: Dimensões dos transístores do CMFB1

Transístor	Dimensões (W/L) μm	Id nA
M1-2	2/2	103.754
M3-6	5/1	50.0815
M4-5	5/1	53.672
M7	10/2	100.164
M8	10/2	107.345

4.3 Implementação de Resistências

As resistências de elevada impedância são um problema no *layout* do amplificador de instrumentação. A impedância total associada a uma resistência depende da área total, com uma elevada incerteza associada ao processo de fabrico.

Visando a redução de área ocupada e uma melhoria na *mismatch* entre resistências, é utilizada uma configuração de pseudo-resistência implementada com transístores PMOS, de acordo com a figura 4.4 [34]. Ao utilizar uma configuração *back-to-back*, cada transístor opera aproximadamente na zona de corte, resultando numa impedância total elevada.

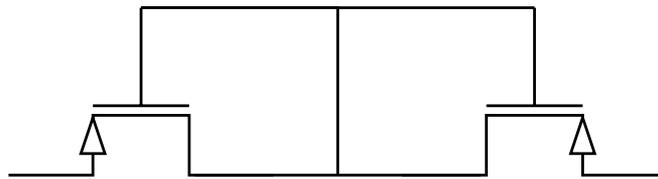


Figura 4.4: Implementação de Pseudo-Resistências.

Uma das características a considerar no uso de pseudo-resistências é que as capacidades parasíticas associadas a cada transístor podem degradar a resposta em frequência de forma crítica.

No esquemático apresentado na figura 4.2 é utilizado um condensador de 1 pF em paralelo com a resistência, que compensa a degradação na resposta em frequência introduzida pela pseudo-resistência. A tabela 4.4 apresenta a dimensão e impedância de cada transístor.

Tabela 4.4: Dimensão e Impedância da Pseudo-Resistência

Transístor	Dimensão (W/L)	Impedância
M_R	1/5 μm	1.5 G Ω

4.4 Resultados Obtidos em Modo Contínuo

Consideremos primeiro as simulações do amplificador de instrumentação em malha aberta. As simulações realizadas são do ganho e margem de fase do amplificador de baixo ruído, ganho em modo comum e modo diferencial, ruído referente à entrada e saída, *power supply rejection ratio* (PSRR) e PAC. Estas simulações ideais têm como objetivo a verificação dos resultados obtidos pelo dimensionamento em modo contínuo.

A simulação da resposta em frequência do amplificador de baixo ruído em malha aberta na figura 4.5 demonstra um ganho DC de 87.72 dB, com um produto ganho largura de banda (GBW) de 473.2 kHz, e margem de fase de 48.7°. O ganho a 10kHz é de 41.77 dB, sendo este superior ao ganho em malha fechada pretendido de 40 dB. O amplificador é estável, visto que a margem de fase é superior a 90°.

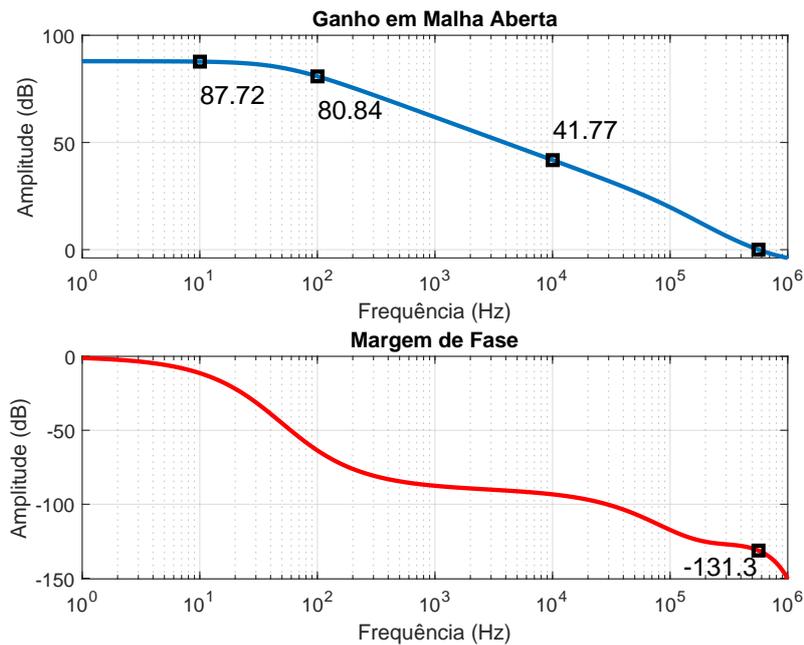


Figura 4.5: Open Loop Gain.

O *Power Supply Rejection Ratio* determina a eficácia com que o amplificador consegue assegurar a tensão de saída de acordo com as variações da fonte de alimentação. As figuras 4.6 e 4.7 expressam o PSRR em modo diferencial, pelo que o valor real será determinado pelos *mismatches* entre os dispositivos.

A propagação de ruído presente na fonte de alimentação pode ser atenuada através da adição de condensadores em paralelo, compensando o PSRR+. O PSRR- é o elemento crítico deste parâmetro, visto que não pode ser compensado. As simulações provam que o PSRR está muito acima do valor desejado de 40 dB.

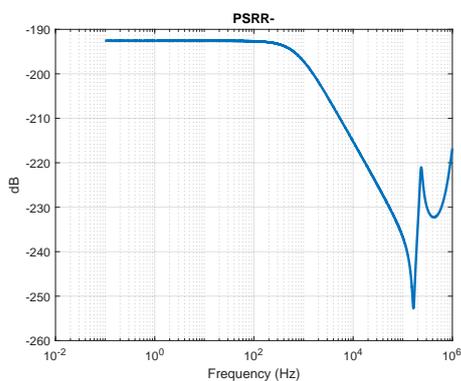


Figura 4.6: PSRR-.

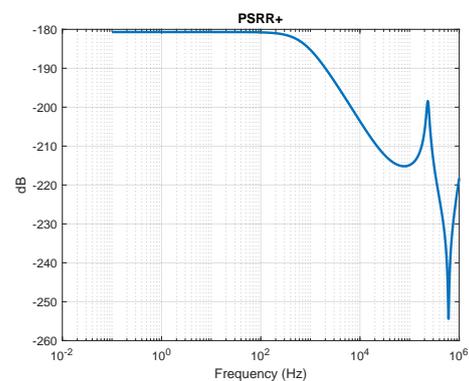


Figura 4.7: PSRR+.

O ruído referente à entrada permite deduzir o mínimo sinal detetável pelo amplificador. A utilização de um modulador *chopper* determina que a frequência mínima captada vista nos terminais de entrada do amplificador é de 5 kHz. Na figura 4.8 observa-se que

CAPÍTULO 4. DIMENSIONAMENTO DO AMPLIFICADOR DE INSTRUMENTAÇÃO

a frequência de canto do ruído *flicker* é aproximadamente 5 kHz, desta forma o mínimo sinal detectável é de 17.74 μV .

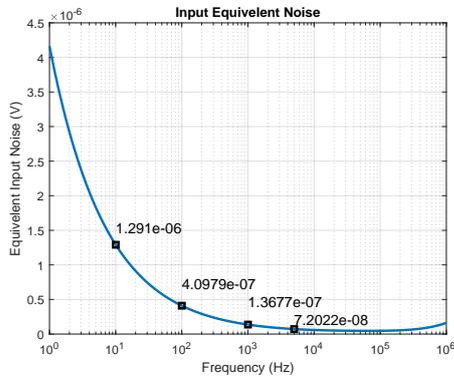


Figura 4.8: Input Equivalent Noise.

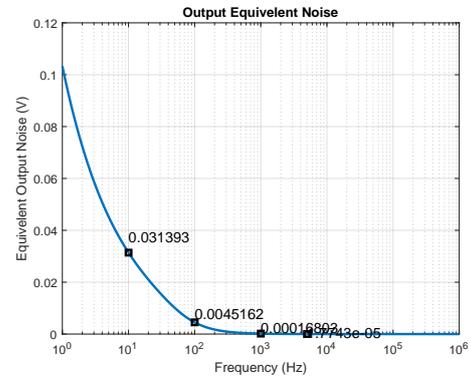


Figura 4.9: Output Equivalent Noise.

O *signal-to-noise ratio* (SNR) é calculado através da relação entre o pico de amplitude do sinal de entrada com o ruído referente à saída do amplificador. Considerando a figura 4.9 e que a amplitude máxima V_{pp} do amplificador é de 1.99 V, a figura 4.10 expressa o SNR em função da frequência do sinal vista nos terminais de saída do amplificador.

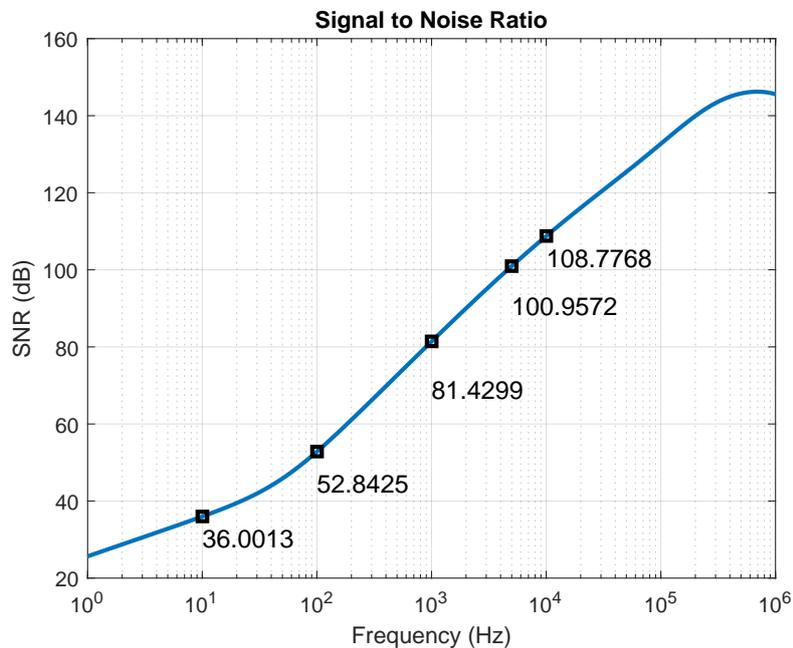


Figura 4.10: Signal to Noise Ratio.

O cálculo do *Noise Efficiency Factor* considera a potência total consumida, a largura de banda do amplificador e o ruído total referente à entrada em *rms*. Considerando novamente que o modulador *chopper* determina que a frequência mínima vista dos terminais

do amplificador é de 5 kHz, o ruído referente à entrada em *rms* é de 4.6 μV , uma largura de banda de 10 kHz, e o consumo total de corrente de 2.48 μA , o valor NEF do amplificador de instrumentação é de 3.9.

O ganho da malha de realimentação é determinado através do rácio entre C_{in} e C_{fb} de 1 pF e 10 fF respectivamente. A figura 4.11 prova os resultados desejados para o ganho em malha fechada do amplificador de instrumentação. Na margem de fase é possível observar que o efeito introduzido pela capacidade de *Miller* não interfere com a estabilidade do amplificador.

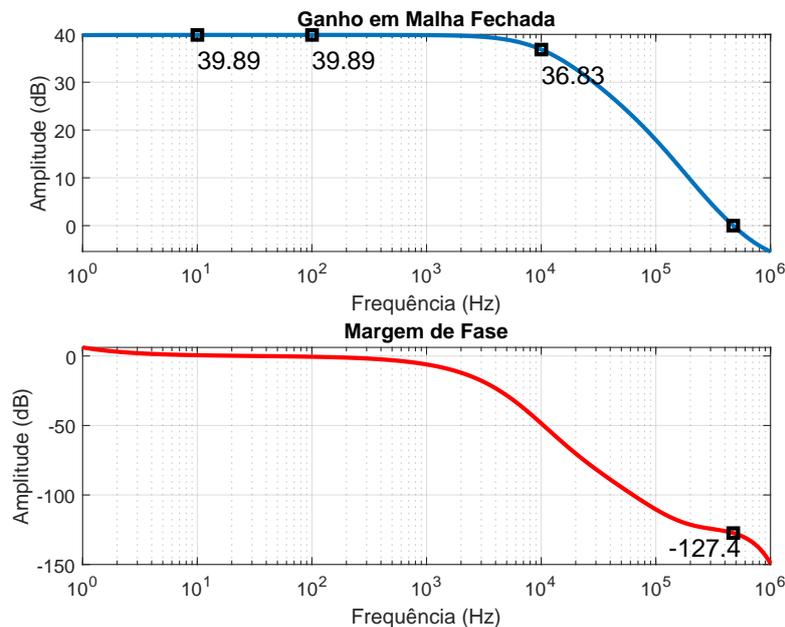


Figura 4.11: Closed Loop Gain.

Uma das características essenciais de um amplificador diferencial é o ganho em modo comum. Este parâmetro determina a razão entre o sinal de entrada e de saída do amplificador quando lhe é aplicada uma tensão igual nos terminais de entrada, por exemplo, o ruído proveniente da transmissão de sinal entre o sensor MEMS e o amplificador de instrumentação. Idealmente, o ruído é cancelado, visto que é igual nos dois terminais de entrada do amplificador, pelo que a razão entre a tensão de entrada e de saída é aproximadamente zero. A figura 4.13 evidencia o ganho ideal em modo comum do amplificador.

O ganho em modo diferencial é a razão da diferença entre os terminais de entrada com os terminais de saída. Pode ser medido através de dois sinais de igual frequência e em fase entre si aos terminais de entrada do amplificador.

A razão entre o ganho em modo diferencial e o ganho em modo comum permite calcular o *common mode rejection ratio*. Este parâmetro determina a capacidade de eliminação do amplificador para sinais que aparecem em simultâneo e em fase nos terminais de entrada. A figura 4.14 apresenta o CMRR ideal do amplificador. O valor final dependerá dos *mismatches* entre os transístores de entrada do amplificador de baixo ruído.

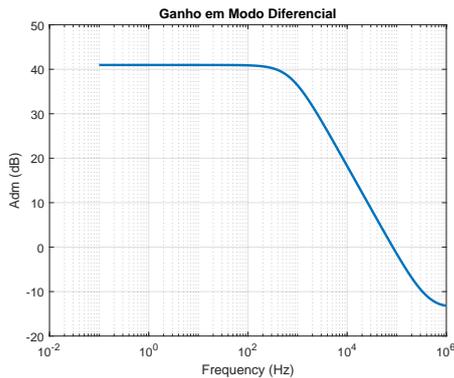


Figura 4.12: Ganho Diferencial.

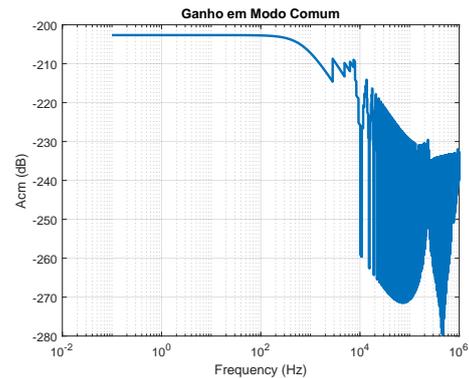


Figura 4.13: Ganho Comum

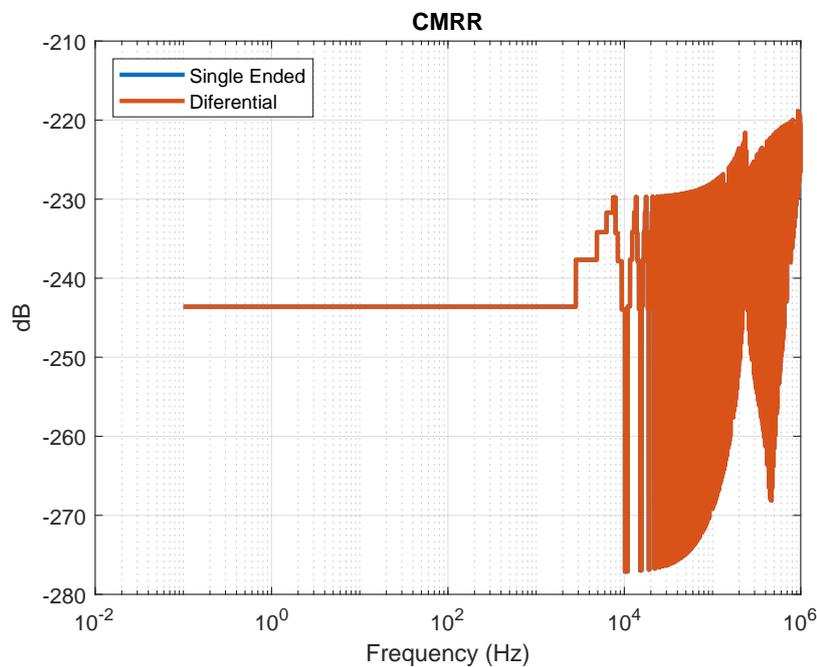
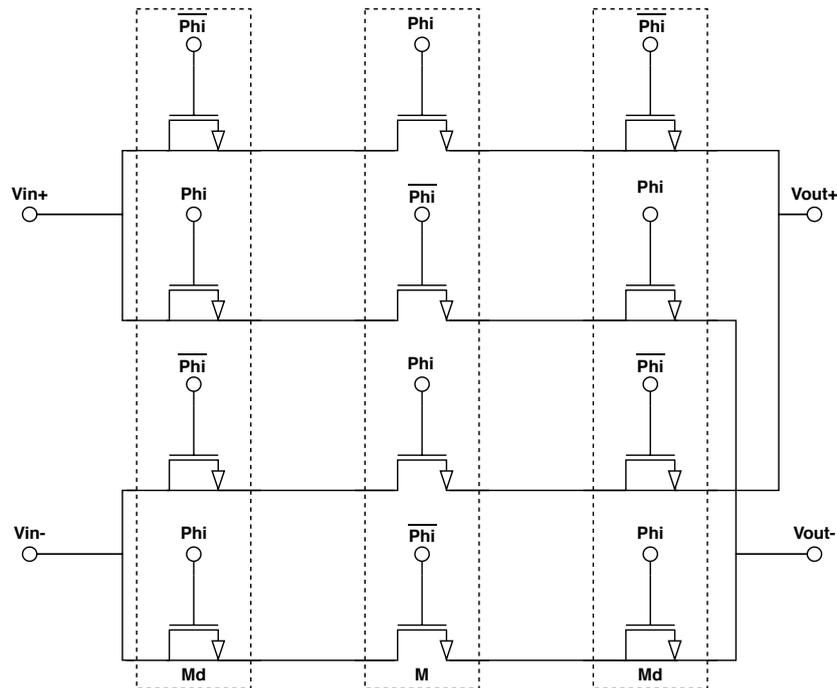


Figura 4.14: *Common Mode Rejection Ratio*.

4.5 Modulador Chopper

O modulador e demodulador *chopper* é utilizado para alterar a frequência do sinal de entrada para uma banda de frequências na qual o ruído *flicker* não é expressivo. Posteriormente o sinal é convertido de volta para a frequência original através do uso de interruptores controlados por um *non-overlapping clock*.

Um modulador *chopper* é tipicamente implementado através de quatro interruptores CMOS, pelo que é habitual utilizar transístores NMOS em vez de PMOS devido a transcondutância elevada resultante do processo de fabrico. É possível minimizar a contribuição de ruído, *clock feedthrough* e injeção de carga através do uso de transístores NMOS com largura mínima [38]. A figura 4.15 apresenta o esquema utilizado com recurso a interruptores *dummy*.

Figura 4.15: Modulador Chopper com Transístores *Dummy*.

A utilização de interruptores *dummy* permite cancelar a injeção de carga introduzida pelo interruptor, que resulta da formação e dissolução do canal condutor sob a *gate*, quando o transístor está em estado ON. Estabelecendo um curto circuito entre o dreno e a *source* de um transístor *dummy*, os elétrons libertados pelo interruptor no estado OFF são absorvidos pelo interruptor *dummy* no estado ON, cancelando o efeito de injeção de carga do interruptor [27]. A tabela 4.5 apresenta as dimensões utilizadas, pelo que os dispositivos *dummy* têm metade do comprimento dos interruptores, visando a minimização do efeito de injeção de carga.

Tabela 4.5: Dimensões dos Interruptores.

Transístor	Dimensões (W/L) μm
M	2/0.28
Md	1/0.28

4.6 Non-Overlapping Clock Generator

Para garantir uma modulação rigorosa através do modulador *chopper*, é fundamental garantir um sinal de relógio com *duty cycle* de aproximadamente 50 %, sem sobreposição entre cada fase do sinal. O *non-overlapping clock generator* representado na figura 4.16 deriva de um modelo de referência para a geração do sinal de relógio, que consiste na utilização de duas portas lógicas NAND, sete inversores e uma *transmission gate*.

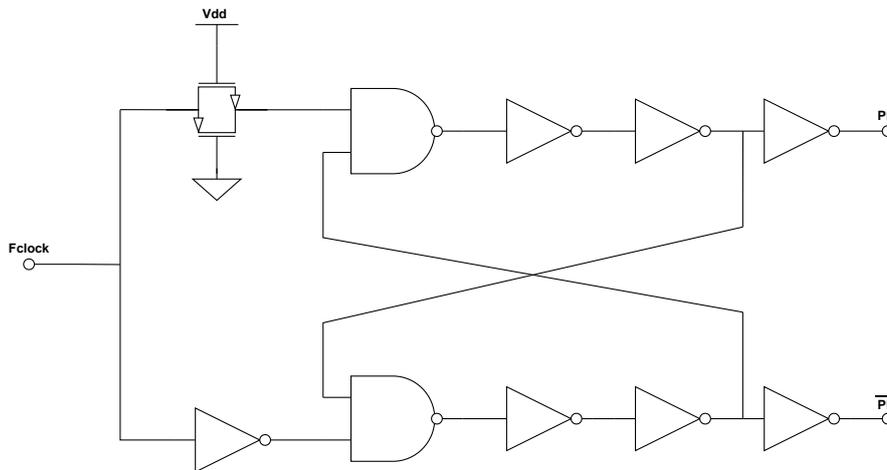


Figura 4.16: Non-Overlapping Clock Generator.

Para garantir que as portas lógicas funcionam com uma tensão de transição de $V_{dd}/2$, o comprimento dos dispositivos NMOS devem ser três vezes superiores aos dispositivos PMOS, ambos com largura mínima [6]. É aplicada uma técnica de distribuição de inversores a cada modulador *chopper* de forma a garantir uma capacidade de carga necessária para realização do *drive* dos interruptores, certificando um funcionamento estável de cada modulador.

Cada porta lógica foi dimensionada com vista na diminuição de capacidades parasíticas e na consequente redução de *delay*. O sinal obtido de acordo com a figura 4.17 tem um *delay* mínimo sem sobreposição entre cada fase.

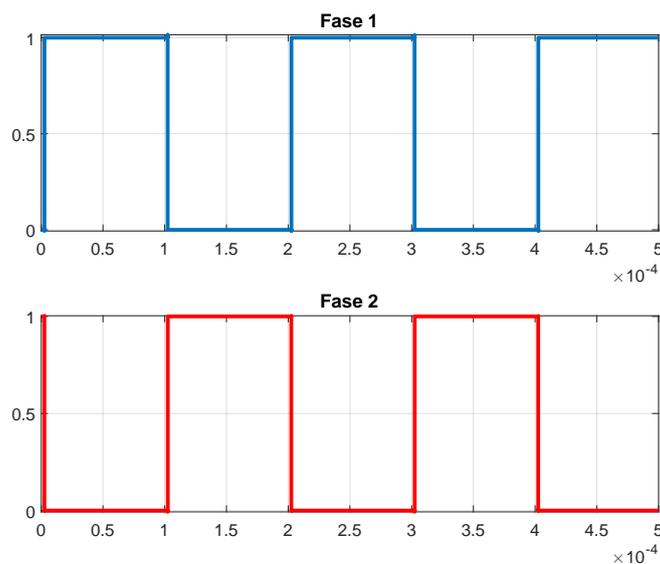


Figura 4.17: Non-Overlapping Signals.

4.7 Análise de Resultados Obtidos

Nesta secção são consideradas as simulações PAC, PSS e transiente incluindo o modulador *chopper* e o *non-overlapping clock generator* referidos nas duas secções anteriores.

Como visto na secção 3.4, a utilização de um modulador *chopper* degrada a impedância de entrada do amplificador e introduz distorção harmónica no sinal desejado. Contudo, a degradação da impedância de entrada pode ser melhorada através da malha de realimentação positiva.

A análise transiente permite verificar a sincronização entre os três dispositivos de modulador *chopper* e a injeção de carga introduzida pelo sinal de relógio. Nas figuras 4.18 4.19 e 4.20 são considerados três sinais diferenciais de frequências distintas para a validação de resultados do modulador *chopper* à saída do amplificador de baixo ruído. O sinal modulado e resultante correspondem ao sinal amplificado antes e depois do desmodulador *chopper*, respectivamente.

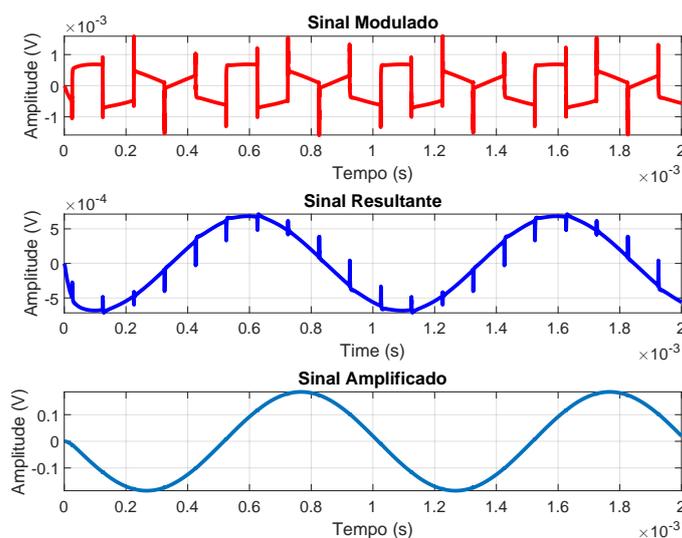


Figura 4.18: Resultado da Modulação num Sinal de 1 kHz.

Para um sinal de entrada de $f_{in} < f_{chop}$, o sinal à saída do amplificador assemelha-se a segmentos de uma onda sinusoidal que invertem entre cada ciclo de relógio. O sinal resultante após o desmodulador *chopper* consiste numa onda sinusoidal com distorção harmónica visível a cada iteração da modulação.

Assumindo um sinal de entrada de $f_{in} = f_{chop}$ sincronos entre si, o sinal é modulado na transição de cada arcada da onda sinusoidal, pelo que o sinal diferencial resultante corresponde apenas a meia arcada.

Em semelhança com o cenário anterior, para um sinal de entrada $f_{in} > f_{chop}$, o sinal diferencial à saída do amplificador inverte a fase a cada ciclo de relógio. Considerando um sinal de 10 kHz, a transição ocorre a cada ciclo da onda sinusoidal.

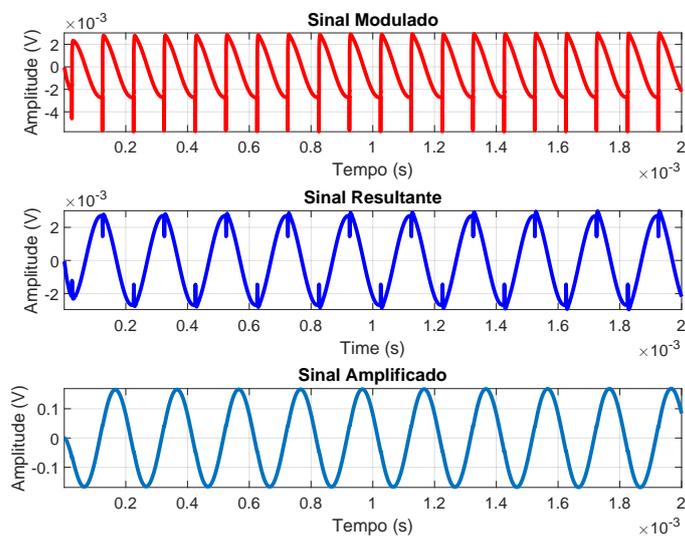


Figura 4.19: Resultado da Modulação num Sinal de 5 kHz.

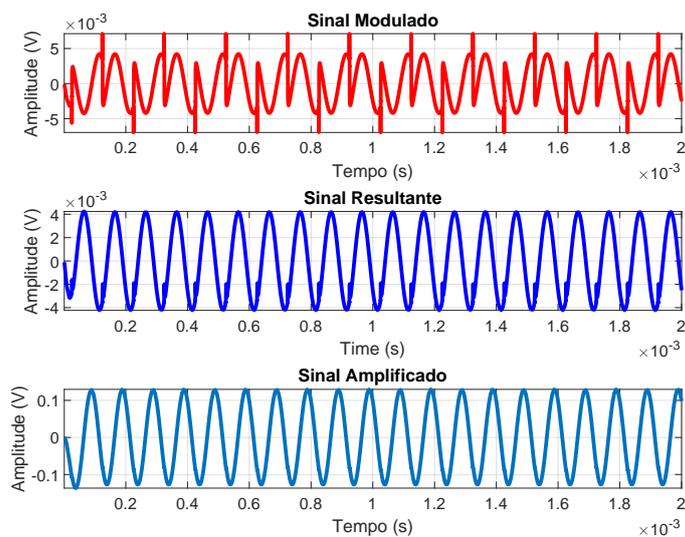


Figura 4.20: Resultado da Modulação num Sinal de 10 kHz.

A distorção harmónica introduzida pela modulação é visível nos três cenários apresentados. É possível observar que os condensadores de compensação da margem de fase atenuam significativamente os picos resultantes da modulação. A utilização de um filtro passa-baixo a 10 kHz permite reduzir a distorção harmónica total introduzida pelo modulador *chopper* para um valor negligenciável.

O modulador *chopper* também introduz uma degradação no ganho em malha fechada do amplificador CCIA devido a tensão de saturação dos interruptores. As simulações trasientes anteriormente apresentadas, e a simulação em malha fechada na figura 4.21 revelam uma redução do ganho de 0.5 dB. A interferência do ganho em malha fechada em torno de 5 kHz deve-se a distorção harmónica introduzida pela modulação. A degradação de ganho não é significativa para se realizar uma compensação.

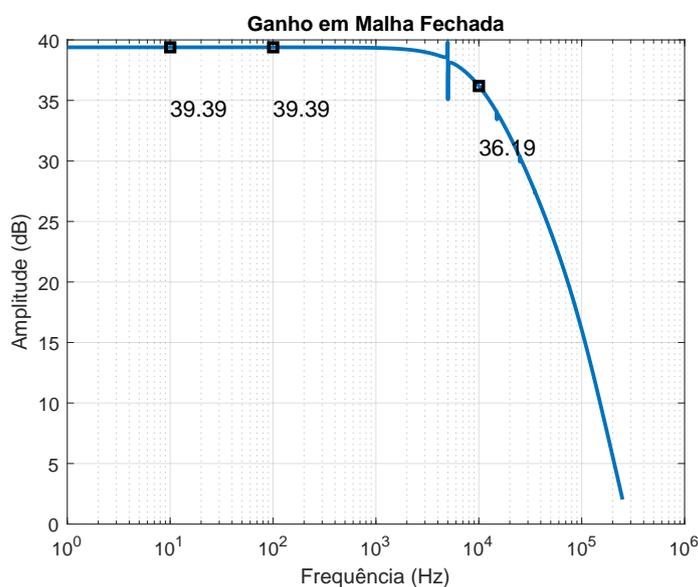


Figura 4.21: Simulação PAC em Malha Fechada.

As simulações ideais realizadas neste capítulo provam que os resultados estão de acordo com os pretendidos para o dimensionamento apresentado. O resumo dos resultados pode ser consultado na tabela 4.6. Os parâmetros fundamentais designados na tabela 3.1 na secção 3.2 foram atingidos. O amplificador é estável com um ganho em malha fechada a 10 kHz de 40 dB. A frequência atribuída ao modulador *chopper* permite evitar a zona da qual o ruído *flicker* é predominante, sem resultar numa impedância de entrada inferior à estabelecida.

Contudo, através das simulações pós-*layout*, será possível determinar um dado grupo de parâmetros de desempenho do amplificador de instrumentação. O CMRR e o PSRR serão maioritariamente determinados pelos *mismatches* entre cada dispositivo simétrico, sendo crítica a simetria do par diferencial de entrada para definir a performance atingida. A injeção de carga e a respectiva distorção harmónica introduzida pelo modulador *chopper* dependem das capacidades e resistências parasíticas associadas a cada transistor.

Tabela 4.6: Resumo de Parâmetros atingidos em Simulação

Parâmetros	Valor	Unidade
Ganho em Malha Fechada	39.4	dB
Tensão de Alimentação	1	V
Impedância de Entrada Z_{in}	>100	M Ω
CMRR	>220	dB
PSRR	>180	dB
SNR	>88	dB
GBW	690	kHz
Margem de Fase	>90	°
f_c	5	kHz
P_T	2.48	μ W
$V_{n_{in,rms}}$	4.6	μ V
V_{pp}	1.99	V
C_L	5	pF

LAYOUT E SIMULAÇÕES

5.1 Considerações e Problemas de *Layout*

O *layout* do amplificador de instrumentação determina a exatidão dos resultados obtidos na secção 4. As diferenças entre cada par de dispositivos simétricos estabelecem aspectos críticos do amplificador, tais como o CMRR e PSRR. Para garantir um bom *layout*, são adotadas práticas comuns com vista na prevenção de defeitos críticos e erros de *mismatch* entre dispositivos [27].

- Deve priorizar-se a utilização de múltiplos contactos entre camadas, espaçados a uma distância mínima entre eles. Desta forma a superfície do metal é mais lisa quando comparado à utilização de um contacto único, prevenindo micro fraturas no metal.
- Os contactos entre camadas ímpares devem estabelecer-se na horizontal, equanto contactos entre camadas pares devem estabelecer-se na vertical. Este arranjo permite minimizar os efeitos capacitivos que se estabelecem entre linhas de metais.
- A orientação dos transístores deve ser a mesma na totalidade do *chip*.
- A dimensão máxima de um transístor não deve exceder os 10 μm . Caso contrário, tem de ser repartido em múltiplos *fingers* de igual dimensão.
- Dois transístores simétricos devem estabelecer uma ligação comum entre o dreno ou *source* de forma a permitir combinações interdigitadas.
- A utilização de dispositivos *dummy* na periferia de cada segmento garante uma distribuição uniforme das partículas de respectivas camadas.

5.2 Layout

O amplificador de instrumentação pode ser dividido em sete secções distintas: o amplificador de baixo ruído, os amplificadores CMFB1 e CMFB2, circuito de polarização, modulador chopper, o gerador de *clock signal*, e os condensadores de compensação e da malha de realimentação. O circuito do AmpI foi desenvolvido com a intenção de ser implementado em tecnologia *standard CMOS* de 130 nm, para uma tensão de alimentação de 0.9 V a 1 V.

Os condensadores do *layout* do circuito foram implementados com tecnologia *MIM Caps* por apresentarem uma menor área ocupada e um factor de qualidade elevados. Devido às restrições desta tecnologia relativamente às dimensões mínimas dos dispositivos, C_{fb} foi implementado com 16 pF, resultando num valor de impedância de entrada máxima possível sem a utilização da malha de realimentação positiva. A figura 5.1 apresenta a configuração de condensadores utilizada com condensadores *dummy* de forma a garantir a simetria entre os dispositivos.

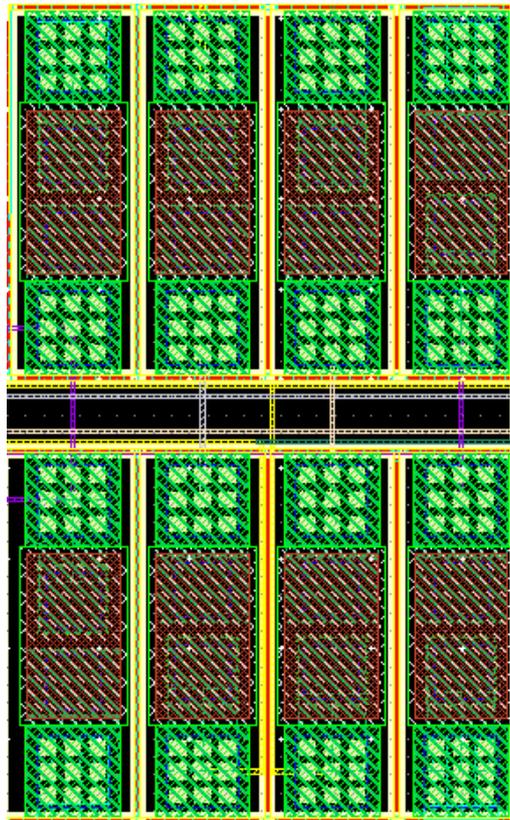


Figura 5.1: Exemplo de Configuração de Condensadores em *Layout*.

A figura 5.2 apresenta o *Non-Overlapping Clock Generator*. O último inversor foi implementado com duas vezes relação de W/L face ao primeiro inversor, com o objectivo de aumentar o *drive* de corrente. Desta forma é possível garantir a comutação dos transístores respectivos ao modulador *chopper* disponível na figura 5.3. O percurso metálico é realizado de forma a garantir a simetria e utilizam-se as camadas de metal superiores para evitar interferências no sinal digital.

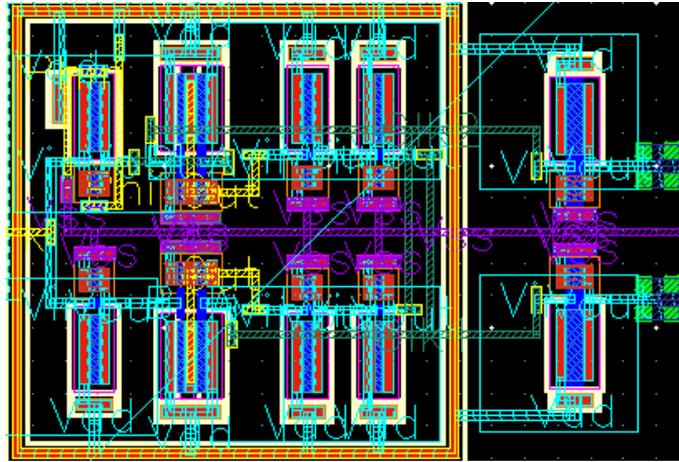


Figura 5.2: *Layout do Non-Overlapping Clock Generator.*



Figura 5.3: *Layout de um Modulador Chopper.*

A figura 5.4 e 5.5 apresentam o *layout* dos amplificadores CMFB1 e CMFB2 respectivamente. Cada amplificador funciona como um bloco independente com vista a minimizar a resistência e capacidade parasitica associada ao percurso metálico. Desta forma é utilizado as camadas de metal intermédias para posteriormente distribuir a diferença de potencial associada.

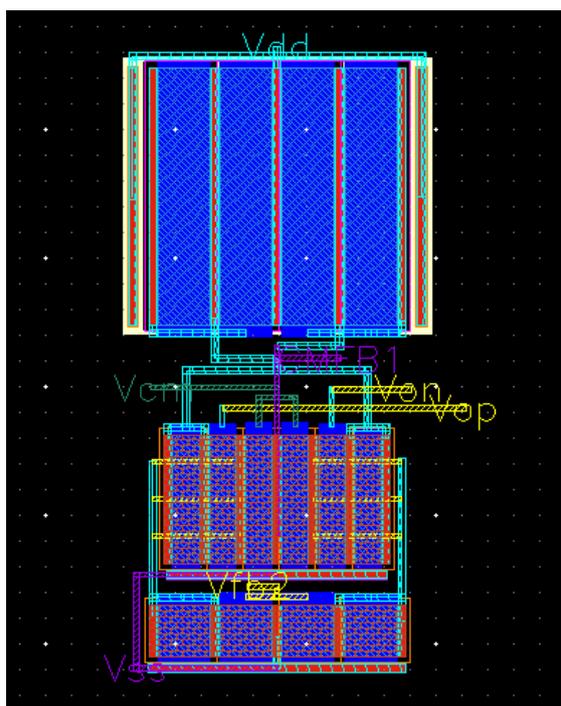


Figura 5.4: *Layout* CMFB1.

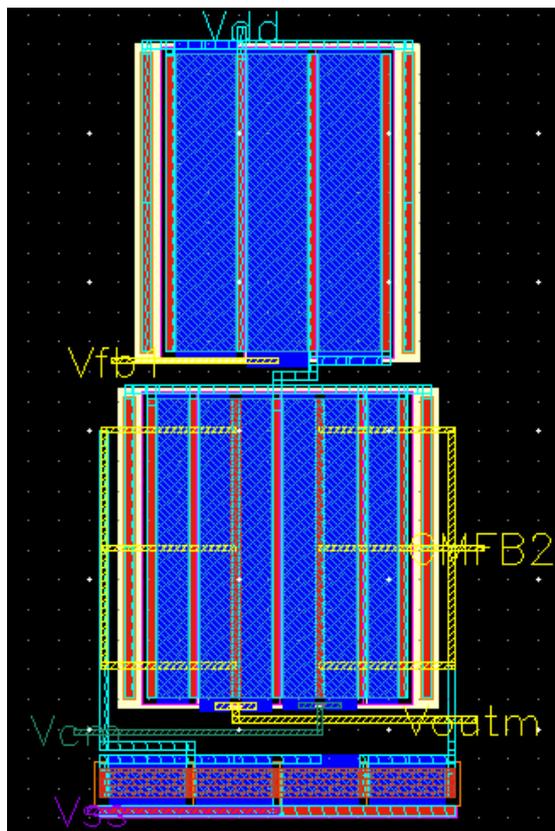


Figura 5.5: *Layout* CMFB2.

O amplificador de baixo ruído pode ser dividido em três secções distintas: o par diferencial de entrada, o segundo andar *folded cascode*, e o terceiro andar correspondente ao *common-drain* e *common-source*. A figura 5.6 apresenta o *layout* do amplificador de baixo ruído considerando os condensadores de compensação. Para garantir a simetria entre os dispositivos de cada andar, cada secção foi construída como um bloco de forma a minimizar os *mismatches* entre dispositivos pares.

Os transístores do par diferencial de entrada $M_{1,2}$ estão unidos com um arranjo *common centroid* entre si. Ambos os transístores foram divididos em múltiplos *fingers* de igual dimensão entre si de $10\ \mu\text{m}$, pelo que o total de *fingers* de cada transístor corresponde a 16 e 20 respectivamente. Todos os *fingers* têm a mesma intensidade de corrente. Os restantes transístores estão unidos pelo dreno ou *source* ao respectivo transístor par, garantindo assim a simetria entre os dispositivos. A figura 5.7 apresenta o par diferencial de entrada. Certas pistas metálicas foram adaptadas com o objectivo de garantir uma impedância simétrica entre os dois terminais do amplificador.

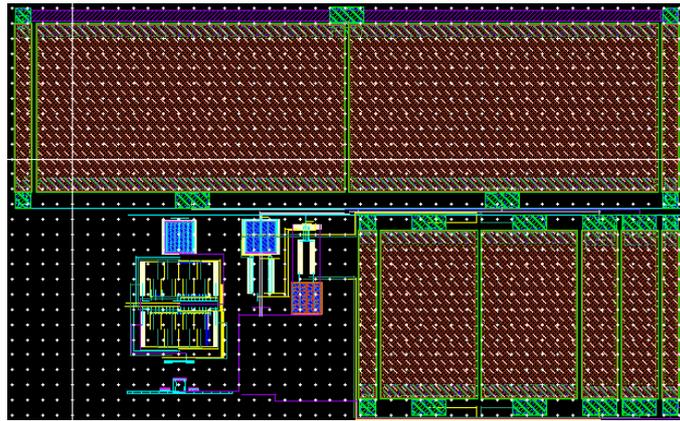


Figura 5.6: *Layout* do Amplificador de baixo ruído.

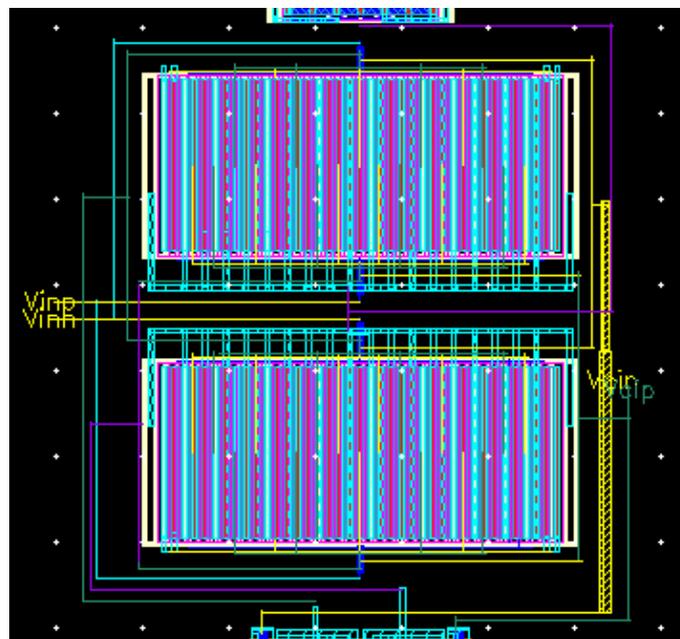


Figura 5.7: *Layout* do Par Diferencial de Entrada.

Considerando a complexidade do circuito referente ao amplificador de instrumentação, a figura 5.8 apresenta o arranjo em blocos dos dispositivos incluídos no esquemático. Os moduladores *chopper* foram colocados na periferia do percurso de sinal do amplificador de instrumentação. O circuito de polarização encontra-se próximo do par diferencial de entrada com vista a suportar a simetria no bloco determinante para os resultados finais. A geração do sinal de relógio encontra-se afastada do restante circuito de forma a minimizar interferências na geração de sinal.

A figura 5.9 apresenta o *layout* completo do amplificador de instrumentação. Como se pode observar na figura, os condensadores de compensação da malha de realimentação representam a maior porção de área ocupada. A área total ocupada é de (0.06mm^2) com as respectivas dimensões de $278.5 \times 216.7 \mu\text{m}$.

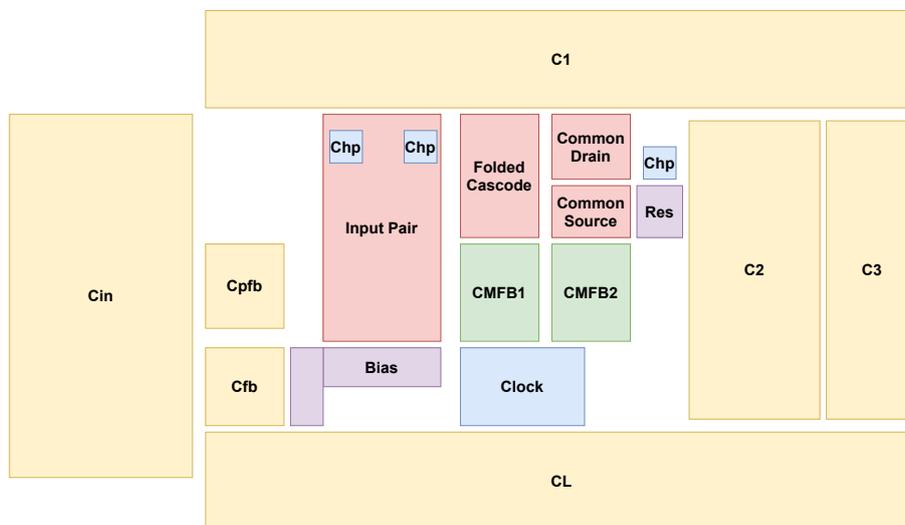


Figura 5.8: Diagrama simplificado do *Layout* do Ampl.

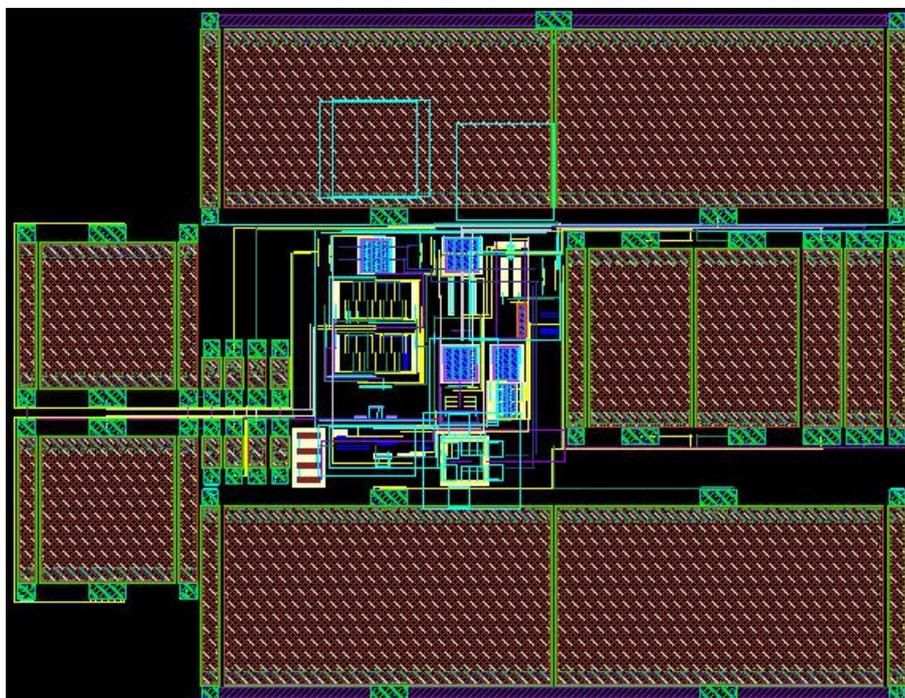


Figura 5.9: *Layout* Completo do Amplificador de Instrumentação.

5.3 Simulação Pós-Layout

Os resultados conclusivos que comprovam o funcionamento do amplificador de instrumentação são determinados pelas simulações pós-*layout*. Estas simulações representam o modelo mais exacto possível, na medida em que se considera as capacidades e impedâncias parasíticas que surgem devido ao *layout* dos dispositivos. O amplificador de instrumentação foi testado para funcionar a 1 V e 0.9 V, pelo que será por esta ordem que os resultados serão expostos.

O valor total de consumo de corrente é de 2.6 μA , correspondendo a uma aumento de 0.12 μA face ao modelo teórico. Para uma tensão de alimentação de 0.9 V, a corrente consumida é de 1.1 μA . As medições realizadas nas simulações pós-*layout* apresentam uma impedância de entrada superior a 1 G Ω .

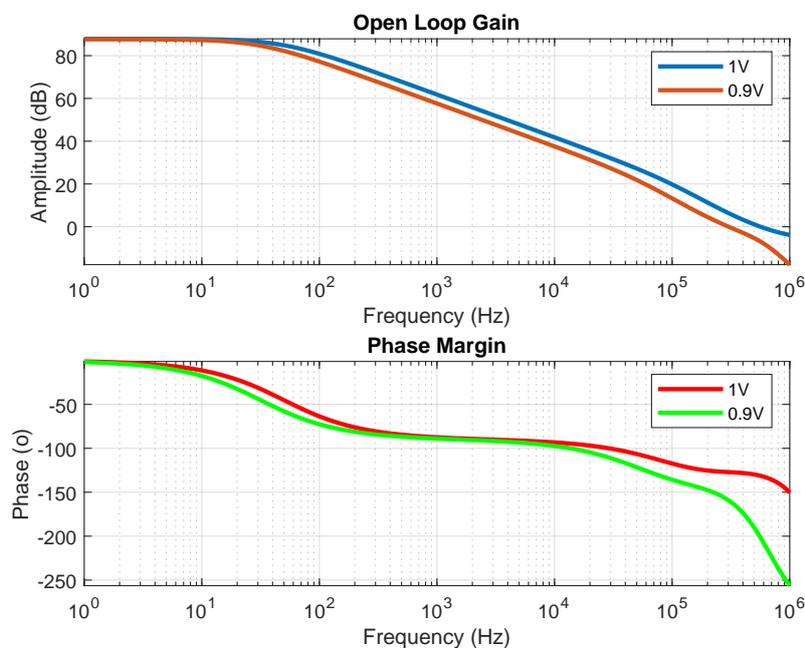


Figura 5.10: Resposta em frequência do amplificador de instrumentação.

A figura 5.10 apresenta a função transferência em malha aberta do amplificador de instrumentação. O ganho DC total do amplificador de 87.7 dB e 87.6 dB, com um ganho de largura de banda de 583.4 kHz e 300.1 kHz, respectivamente. Contudo, é observada uma degradação significativa na margem de fase quando se reduz a tensão de alimentação. A margem de fase é de 46.2° para uma alimentação de 1 V. Com a diminuição da tensão de alimentação, a margem de fase é reduzida a 20.7°, estando próximo do limiar da estabilidade. A diferença da margem de fase relativamente ao modelo teórico é somente de 2.5° devido as capacidades parasíticas vistas do terminal de entrada do amplificador.

Considerando que se pode suprimir interferências na alimentação positiva do amplificador através de se adicionar condensadores em paralelo com a fonte de alimentação,

resulta que o resultado de PSRR crítico é determinado pela o valor de rejeição na alimentação negativa do amplificador. As figuras 5.11 e 5.12 apresentam os resultados obtidos relativamente a cada tensão de alimentação. Para ambas as tensões de alimentação dentro da banda útil do amplificador, os valores de PSRR- e PSRR+ são superiores a 66 dB e 47 dB respectivamente. O valor máximo de rejeição é superior ao valor desejado em cada terminar de alimentação.

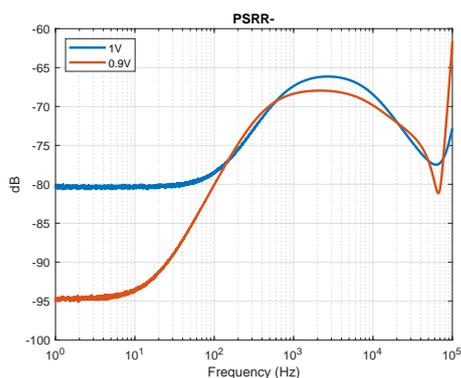


Figura 5.11: PSRR-.

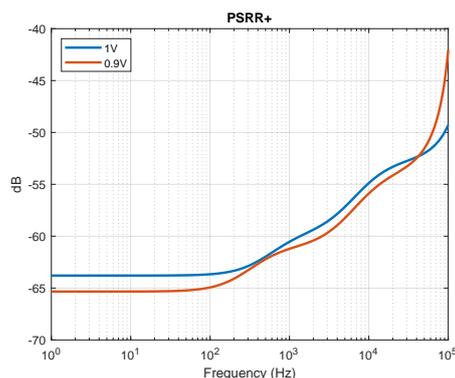


Figura 5.12: PSRR+.

O ganho do amplificador em modo comum e em modo diferencial apresentados nas figuras 5.13 e 5.14, respectivamente, determinam o CMRR do amplificador.

O ganho máximo em modo comum é de 40.88 dB em ambos os casos, pelo que o valor mínimo dentro da largura de banda desejada é de 18.19 dB e 13.1 dB, respectivamente.

A diferença de ganho mínimo em modo diferencial entre cada tensão de alimentação é de 3.6 dB. Considerando somente o limite da banda útil do amplificador, os valores mínimos e máximos obtidos são de 60.88 dB e 81.8 dB

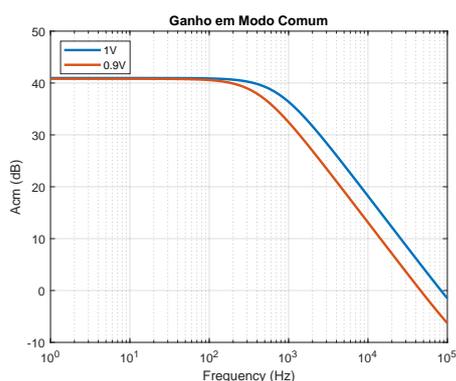


Figura 5.13: Acm.

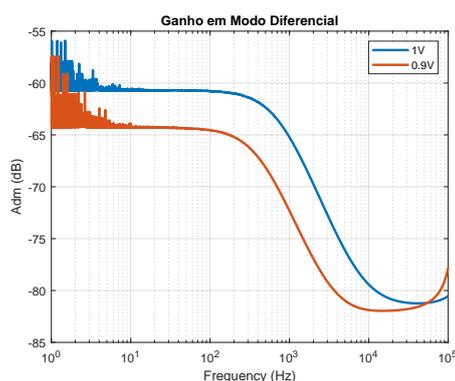


Figura 5.14: Adm.

O resultante *common-mode rejection ratio* do amplificador é apresentado na figura 5.15. O valores máximos da capacidade de rejeição são de 101.64 dB e 105.1 dB respectivamente. O desempenho mínimo para uma tensão de alimentação de 1 V é superior, sendo os valores obtidos de 97.6 dB e 95 dB, respetivamente.

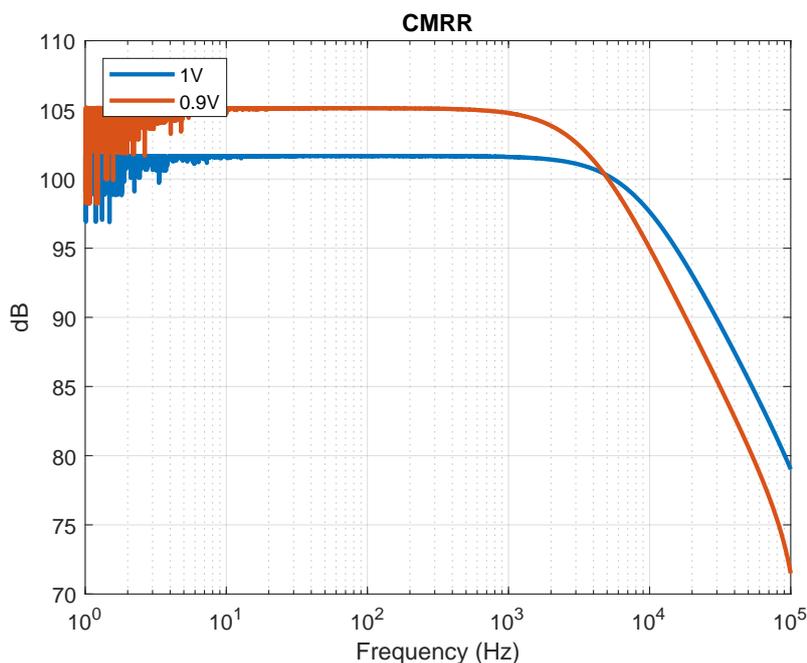
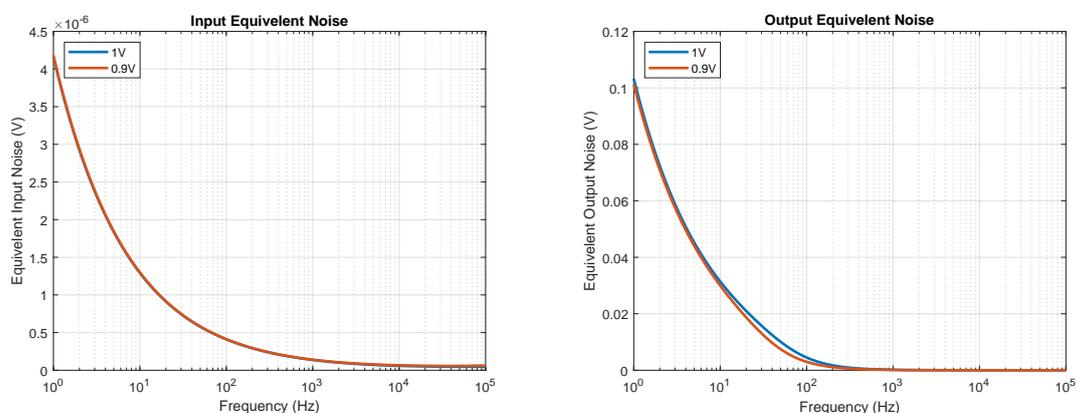


Figura 5.15: *Common-Mode Rejection Ratio*.

A figura 5.16 apresenta o desempenho de ruído do amplificador de baixo ruído. Os resultados obtidos são utilizados para calcular parâmetros críticos do amplificador. A frequência de canto do ruído *flicker* é aproximadamente 5 kHz, sendo maioritariamente evitado através da utilização da modulação *chopper*. O ruído referente à entrada para cada tensão de alimentação é de 4.6 Vrms e 5.1 Vrms num intervalo de integração entre 5 e 10 kHz. O valor NEF resultante é de 4 e 3.1, respectivamente. Apesar de o ruído referente à entrada ser superior para uma tensão de alimentação de 0.9 V, a diferença significativa na potência consumida permite obter um valor resultante de NEF menor face ao valor obtido para uma tensão de 1 V.



(a) Open Loop Output Equivalent Noise.

(b) Open Loop Output Equivalent Noise.

Figura 5.16: Desempenho de ruído do LNA.

A razão entre o sinal e ruído do amplificador é determinado pela relação estabelecida entre o ruído referente à saída e a tensão máxima pico a pico de 1.87 V e 1.67 V, respectivamente. Considerando apenas o mesmo intervalo utilizado no cálculo do NEF, o SNR do amplificador varia entre 99.9 dB e 107.7 dB para uma tensão de 1 V, apresentando um aumento expressivo quando comparado com o valor esperado do modelo teórico. Para uma tensão de alimentação de 0.9 V, o desempenho do amplificador é ligeiramente superior, obtendo os valores de 101.5 dB e 109.1 dB dentro do mesmo intervalo de referência.

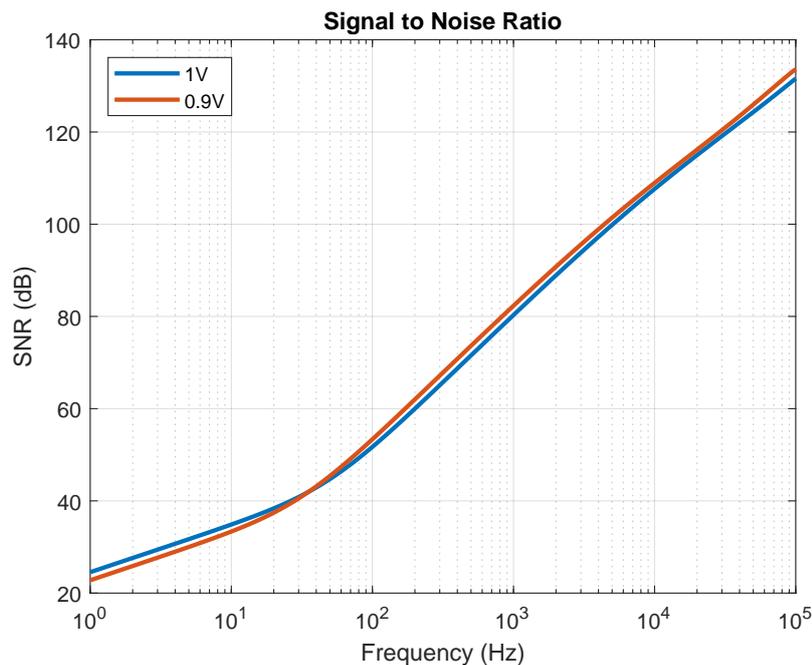


Figura 5.17: *Signal to Noise Ratio*.

Através da simulação transiente e PAC é possível observar o efeito do modulador *chopper* sobre o desempenho do amplificador de instrumentação. A figura 5.18 apresenta um sinal de 1 kHz resultante da modulação e amplificação do Ampl.

A utilização de condensadores *dummy* permite reduzir a injeção de carga para um valor residual. A restante distorção harmônica introduzida pela modulação é visivelmente baixa, sendo possível parcialmente anular este efeito através de um filtro passa-baixo a 10 kHz.

A simulação PAC exibida na figura 5.19 apresenta um ganho máximo em malha fechada de 38.7 dB, sendo uma redução diminuta de 0.7 dB em ambas as tensões de alimentação. É possível observar que o modulador *chopper* induz uma interferência em torno da sua frequência de funcionamento, sendo cada vez mais expressiva quanto menor for a tensão de alimentação. Em ambos os casos, a degradação do ganho para a saturação dos interruptores a 10 kHz é maior que o valor teórico esperado, sendo significativamente inferior para uma tensão de 0.9 V. Os valores obtidos a 10 kHz são de 35.5 dB e 32.9 dB, respectivamente.

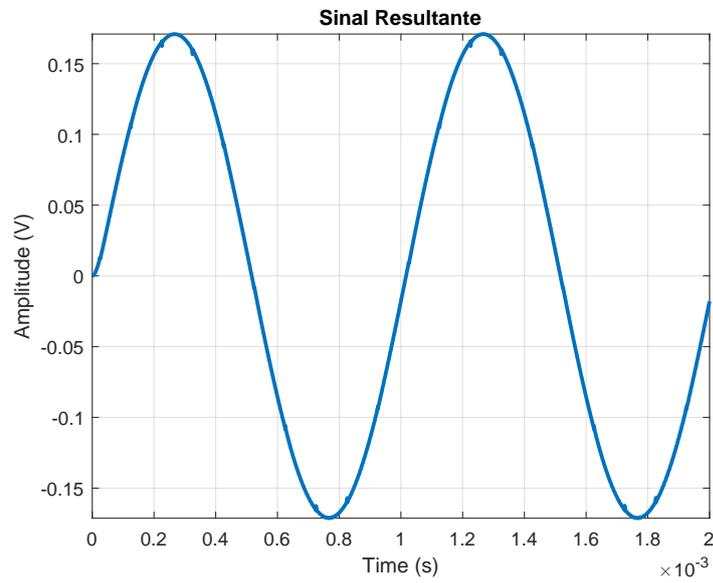


Figura 5.18: Resultado da Modulação num Sinal de 1 kHz.

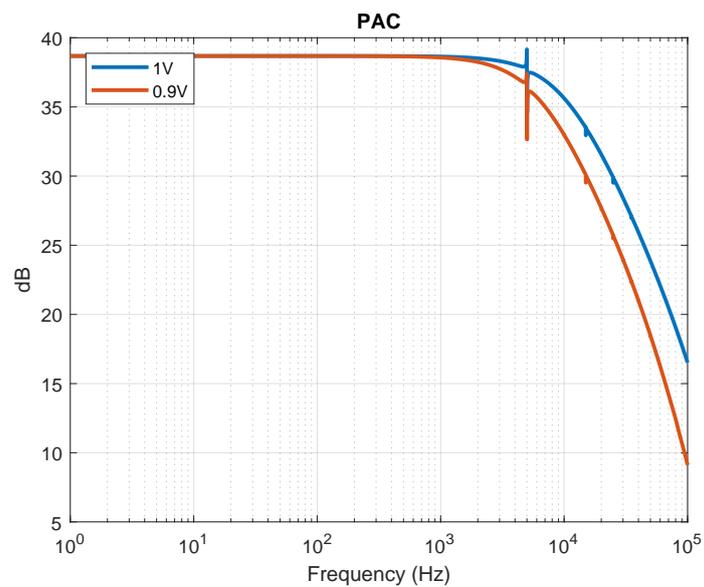


Figura 5.19: Simulação Pós-Layout PAC em Malha Fechada.

O resumo dos resultados obtidos através das simulações pós-*layout* são comparados na tabela 5.1 com outros trabalhos *state-of-art* propostos nos últimos anos recentes.

Tabela 5.1: Comparação de Desempenho

	This Work	[36]	[52]	[31]	[10]
Topology	CCIA	SCIA	CCIA	CFIA	CCIA
Year	2021	2019	2016	2019	2017
Measurement	Post-Layout	On-Chip	On-Chip	Post-Layout	Sim
Supply (V)	1 ~ 0.9	0.9	0.5	2	1
Power (μ W)	2.6 ~ 1.1	123	0.6	0.672	1.8
Process (μ m)	0.13	0.18	0.18	0.35	0.18
Bandwidth (kHz)	10	10	0.250	0.279	0.5
IRN (μ Vrms)	4.6 ~ 5.1	-	2.8	2	-
CMRR (dB)	> 97 ~ 94	-	> 106	86	90
PSRR (dB)	> 66 ~ 68	-	> 73	-	-
NEF	4 ~ 3.1	-	3.8	2.71	1.7
Area (mm ²)	0.06	0.03	-	0.07	-

Considerando o ganho largura de banda obtido no amplificador de instrumentação, foi possível antingir uma boa relação entre consumo de potência e densidade de ruído.

Visto que a versão anterior do amplificador de instrumentação correspondia à topologia de condensadores comutados que necessita de uma elevada largura de banda para suportar a frequência de amostragem, a resultante potência consumida do modelo proposto apresenta-se significativamente menor, devido à redução da largura de banda.

Este AmpI também apresenta um valor de ruído referente à entrada baixo relativamente a outros projectos recentes, quando se tem em consideração o intervalo de integração. O modulador *chopper* permite contornar o intervalo de frequência do qual o ruído *flicker* com uma distorção harmónica adicional desprezável.

O desempenho de rejeição de interferências na fonte de alimentação de em modo commum, também se apresenta superior aos valores desejados. Obteve-se relação de sinal ruído de alta fidelidade dentro da largura de banda útil do amplificador. Apesar de o valor de PSRR positivo ser relativamente baixo, pode ser compensado através da adição de condensadores em paralelo à fonte de alimentação ou através da utilização de uma fonte estável.

O amplificador de instrumentação obteve um consumo de corrente inferior para uma tensão de alimentação de 0.9 V a custo da degradação da margem de fase. O escalamento da tensão de alimentação para valores inferiores ou superiores conduz o AmpI a uma margem de fase instável. O desempenho de ruído é relativamente inferior quando comparado à tensão de alimentação de 0.9 V, a custo de redução de ganho em malha fechada no limiar da banda de frequências do amplificador.

CONCLUSÃO

Para dissertação de mestrado foi desenvolvido um amplificador de instrumentação de Acoplamento capacitivo para um *analog front-end*. Visando a redução de ruído *flicker* é implementada a técnica de modulação *chopper*, e para compensar a consequente degradação da impedância de entrada, é utilizado uma malha de realimentação positiva.

O amplificador de baixo ruído consiste num par diferencial *folded cascode*, com recurso a uma técnica de distribuição de corrente, uma configuração *common-drain* para otimizar a polarização do andar de saída correspondente a uma topologia *common source*, que aumenta a excursão de sinal e o ganho do amplificador. O ganho elevado requer o uso de dois amplificadores CMFB, pelo que as resistências implementadas no andar de saída do amplificador correspondem a transístores PMOS em configuração *back-to-back*.

A utilização da técnica de modulação *chopper* induz uma degradação do ganho do amplificador de instrumentação em malha fechada não significativa, podendo ser atenuada por um amplificador passa-baixo a 10 kHz. A utilização de condensadores reduz substancialmente a injeção de carga introduzida pelos interruptores. A utilização da malha de realimentação positiva permite obter uma impedância de entrada superior a 1 GΩ. O desempenho do amplificador de instrumentação é fundamentalmente determinado pelos erros de *mismatch* derivados do *layout* e processo de fabrico.

Este amplificador de instrumentação foi desenhado com tecnologia CMOS de 130 nm para a medição de sinais através de sensores MEMS para uma tensão de alimentação entre 0.9 V a 1 V. O dimensionamento foi realizado através da metodologia g_m/I_d considerando uma tensão de alimentação de 1 V através de um algoritmo desenvolvido para a otimização das dimensões dos dispositivos.

As simulações pós-*layout* do amplificador de instrumentação a uma tensão de alimentação de 1 V apresentam um ganho DC de 87 dB, com um GBW de 583.4 kHz. A potência total dissipada é de 2.6 μ W e o ruído referente à entrada do amplificador é de 4.6 nVrms,

pelo que a frequência de canto do ruído *flicker* situa-se aproximadamente em 5 kHz. O SNR máximo é de 107.7 dB com um CMRR e PSRR superiores a 97 dB e 66 dB respectivamente. O valor NEF obtido é de 4 com uma área total ocupada de 0.06 mm².

Para uma tensão de alimentação de 0.9 V, a potência total dissipada é de 1.1 μ W, com um ganho DC de 87 dB e um GBW de 300.1 kHz. O ruído referente à entrada é de 5.1 nV com um valor de NEF resultante de 3.1. O CMRR e o PSRR são superiores a 94 dB e 68 dB, respectivamente, com um SNR máximo de 109.1 dB.

A relação entre potência consumida e ruído obtida é satisfatória visto que em ambas as tensões de alimentação, a relação de sinal ruído é de alta fidelidade. A diminuição da tensão de alimentação aumenta o desempenho de ruído do amplificador de instrumentação a custo da redução da estabilidade e da largura de banda do amplificador. Em ambos os casos, a degradação do ganho em malha fechada introduzida pelo modulador *chopper* não é significativa.

A sugestão de trabalho futuro é terminar o *layout* do *Analog Front-End*, que inclui um filtro de condensadores comutados e um conversor *sigma – delta* [36], para a verificação do funcionamento de todo o canal analógico. Deve-se introduzir *pins* de contacto no amplificador de instrumentação, o que não foi realizado por não ser possível terminar o *layout* completo do AFE. Também é possível implementar uma técnica de comutação de condensadores com o objectivo de obter um ganho em malha fechada programável.

BIBLIOGRAFIA

- [1] Administrator. *What is MEMS Technology?* 2020. URL: <https://www.mems-exchange.org/MEMS/what-is.html>.
- [2] M. Ahmed, S. Mohamad e A. Bermak. “A nested-chopped current-feedback instrumentation amplifier for MEMS flow sensors”. Em: *2016 IEEE 59th International Midwest Symposium on Circuits and Systems (MWSCAS)*. 2016, pp. 1–4. DOI: [10.1109/MWSCAS.2016.7869997](https://doi.org/10.1109/MWSCAS.2016.7869997).
- [3] D. Arbet, G. Nagy, M. Kovác e V. Stopjaková. “Fully Differential Difference Amplifier for Low-Noise Applications”. Em: *2015 IEEE 18th International Symposium on Design and Diagnostics of Electronic Circuits Systems*. 2015, pp. 57–62. DOI: [10.1109/DDECS.2015.38](https://doi.org/10.1109/DDECS.2015.38).
- [4] S. Arunachalam, R. Izquierdo e F. Nabki. “Fabrication of an Ionization Gas Sensor using Suspended Carbon Nanotubes”. Em: *2019 IEEE SENSORS (2019)*, pp. 1–4. DOI: [10.1109/SENSORS43011.2019.8956600](https://doi.org/10.1109/SENSORS43011.2019.8956600).
- [5] R. Assaad e J. Silva-Martinez. “Enhancing general performance of folded cascode amplifier by recycling current”. Em: *Electronics Letters* 43.23 (2007).
- [6] R. J. Baker. *CMOS Circuit Design, Layout, and Simulation*. 3rd. Wiley-IEEE Press, 2010. ISBN: 0470881321.
- [7] F. Butti, M. Piotta e P. Bruschi. “A Chopper Instrumentation Amplifier With Input Resistance Boosting by Means of Synchronous Dynamic Element Matching”. Em: *IEEE Transactions on Circuits and Systems I: Regular Papers* 64.4 (2017), pp. 753–764. ISSN: 1558-0806. DOI: [10.1109/TCSI.2016.2633384](https://doi.org/10.1109/TCSI.2016.2633384).
- [8] A. Catania, S. D. Cesta, P. Bruschi e M. Piotta. “Design of current feedback instrumentation amplifiers with rail-to-rail input-output ranges”. Em: *2017 13th Conference on Ph.D. Research in Microelectronics and Electronics (PRIME)*. 2017, pp. 125–128. DOI: [10.1109/PRIME.2017.7974123](https://doi.org/10.1109/PRIME.2017.7974123).
- [9] P. K. Chan, K. A. Ng e X. L. Zhang. “A CMOS chopper-stabilized differential difference amplifier for biomedical integrated circuits”. Em: *The 2004 47th Midwest Symposium on Circuits and Systems, 2004. MWSCAS '04*. Vol. 3. 2004, pp. iii–33. DOI: [10.1109/MWSCAS.2004.1354284](https://doi.org/10.1109/MWSCAS.2004.1354284).

- [10] Y. Dong, L. Tang, X. Yang, M. Zhao, P. Sun e X. Wu. "A 1.8 μ W 32 nV/vHz current-reuse capacitively-coupled instrumentation amplifier for EEG detection". Em: *2017 IEEE International Symposium on Circuits and Systems (ISCAS)*. 2017, pp. 1–4. DOI: [10.1109/ISCAS.2017.8050494](https://doi.org/10.1109/ISCAS.2017.8050494).
- [11] C. Enz. "Analysis of low-frequency noise reduction by autozero technique". Em: *Electronics Letters* 20.23 (1984), pp. 959–960. ISSN: 0013-5194. DOI: [10.1049/e1:19840652](https://doi.org/10.1049/e1:19840652).
- [12] C. C. Enz e G. C. Temes. "Circuit techniques for reducing the effects of op-amp imperfections: autozeroing, correlated double sampling, and chopper stabilization". Em: *Proceedings of the IEEE* 84.11 (1996), pp. 1584–1614. ISSN: 1558-2256. DOI: [10.1109/5.542410](https://doi.org/10.1109/5.542410).
- [13] F. Fadhuile, T. Taris, Y. Deval, C. Enz e D. Belot. "Design methodology for low power RF LNA based on the figure of merit and the inversion coefficient". Em: *2014 21st IEEE International Conference on Electronics, Circuits and Systems (ICECS)*. 2014, pp. 478–481. DOI: [10.1109/ICECS.2014.7050026](https://doi.org/10.1109/ICECS.2014.7050026).
- [14] Q. Fan, J. H. Huijsing e K. A. A. Makinwa. "A 21 nV/ \sqrt Hz Chopper-Stabilized Multi-Path Current-Feedback Instrumentation Amplifier With 2 μ V Offset". Em: *IEEE Journal of Solid-State Circuits* 47.2 (2012), pp. 464–475. ISSN: 1558-173X. DOI: [10.1109/JSSC.2011.2175269](https://doi.org/10.1109/JSSC.2011.2175269).
- [15] Q. Fan, F. Sebastianen, H. Huijsing e K. Makinwa. "A 2.1 W area-efficient capacitively-coupled chopper instrumentation amplifier for ECG applications in 65 nm CMOS". Em: *2010 IEEE Asian Solid-State Circuits Conference*. 2010, pp. 1–4. DOI: [10.1109/ASSCC.2010.5716624](https://doi.org/10.1109/ASSCC.2010.5716624).
- [16] Q. Fan, F. Sebastiano, H. Huijsing e K. Makinwa. "A 1.8 μ W 1 μ V-offset capacitively-coupled chopper instrumentation amplifier in 65nm CMOS". Em: *2010 Proceedings of ESSCIRC*. 2010, pp. 170–173. DOI: [10.1109/ESSCIRC.2010.5619902](https://doi.org/10.1109/ESSCIRC.2010.5619902).
- [17] Q. Fan, F. Sebastiano, J. H. Huijsing e K. A. A. Makinwa. "A 1.8 μ W 60 nV/ \sqrt Hz Capacitively-Coupled Chopper Instrumentation Amplifier in 65 nm CMOS for Wireless Sensor Nodes". Em: *IEEE Journal of Solid-State Circuits* 46.7 (2011), pp. 1534–1543. ISSN: 1558-173X. DOI: [10.1109/JSSC.2011.2143610](https://doi.org/10.1109/JSSC.2011.2143610).
- [18] L. Fang e P. Gui. "A 14nV/vHz 14 μ W Chopper Instrumentation Amplifier with Dynamic Offset Zeroing (DOZ) Technique for Ripple Reduction". Em: *2019 IEEE Custom Integrated Circuits Conference (CICC)*. 2019, pp. 1–4. DOI: [10.1109/CICC.2019.8780239](https://doi.org/10.1109/CICC.2019.8780239).
- [19] P. R. Gray. *Analysis and Design of Analog Integrated Circuits*. 5th. Wiley Publishing, 2009. ISBN: 0470245999.

- [20] B. Hess. *What is an instrumentation amplifier?* 2019. URL: https://e2e.ti.com/blogs_/b/analogwire/archive/2019/08/09/what-is-an-instrumentation-amplifier.
- [21] J. Huang, T. Huang e F. Li. “Design of a low electrode offset and high CMRR instrumentation amplifier for ECG acquisition systems”. Em: *2018 14th IEEE International Conference on Solid-State and Integrated Circuit Technology (ICSICT)*. 2018, pp. 1–3. DOI: [10.1109/ICSICT.2018.8565641](https://doi.org/10.1109/ICSICT.2018.8565641).
- [22] E. V. Ivanov. “Switched-Capacitor Level-Shifting Technique With Sampling Noise Reduction for Rail-to-Rail Input Range Instrumentation Amplifiers”. Em: *IEEE Transactions on Circuits and Systems I: Regular Papers* 59.12 (2012), pp. 2867–2880. ISSN: 1558-0806. DOI: [10.1109/TCSI.2012.2206455](https://doi.org/10.1109/TCSI.2012.2206455).
- [23] F. Khateb e T. Kulej. “Design and Implementation of a 0.3-V Differential Difference Amplifier”. Em: *IEEE Transactions on Circuits and Systems I: Regular Papers* 66.2 (2019), pp. 513–523. ISSN: 1558-0806. DOI: [10.1109/TCSI.2018.2866179](https://doi.org/10.1109/TCSI.2018.2866179).
- [24] I. V. Z. N. P. B. Y. N. P. L. V. Kozhitov. “Carbon nanotubes: Sensor properties. A review”. Em: *Modern Electronic Materials* 2.4 (2016), pp. 95–105.
- [25] S. L., F. G., M. S. e S. V. *Principles of Instrumentation Amplifiers*. Springer, Cham, 2019. Cap. 1. ISBN: 978-3-030-01342-4. DOI: https://doi.org/10.1007/978-3-030-01343-1_1.
- [26] T. N. Lin, B. Wang e A. Bermak. “Review and Analysis of Instrumentation Amplifier for IoT Applications”. Em: *2018 IEEE 61st International Midwest Symposium on Circuits and Systems (MWSCAS)*. 2018, pp. 258–261. DOI: [10.1109/MWSCAS.2018.8623882](https://doi.org/10.1109/MWSCAS.2018.8623882).
- [27] F. Maloberti. *Analog Design for CMOS VLSI Systems*. Kluwer Academic Publisher, jan. de 2001.
- [28] Y. Nemirovsky, I. Brouk e C. G. Jakobson. “1/f noise in CMOS transistors for analog applications”. Em: *IEEE Transactions on Electron Devices* 48.5 (2001), pp. 921–927. ISSN: 1557-9646. DOI: [10.1109/16.918240](https://doi.org/10.1109/16.918240).
- [29] F. Neves, J. P. Oliveira e H. Oliveira. “A sub-1V CMOS Instrumentation Amplifier for an AFE Interfacing with Sensors”. Em: *2021 International Young Engineers Forum (YEF-ECE)*. 2021, pp. 1–6. DOI: [10.1109/YEF-ECE52297.2021.9505076](https://doi.org/10.1109/YEF-ECE52297.2021.9505076).
- [30] K. A. Ng e P. K. Chan. “A CMOS analog front-end IC for portable EEG/ECG monitoring applications”. Em: *IEEE Transactions on Circuits and Systems I: Regular Papers* 52.11 (2005), pp. 2335–2347. ISSN: 1558-0806. DOI: [10.1109/TCSI.2005.854141](https://doi.org/10.1109/TCSI.2005.854141).
- [31] P. Pantuprecharat, S. Masaree, P. Pawarangkoon e C. Sawigun. “A 0.672 W, 2 Vrms CMOS Current-Feedback ECG Pre-amplifier With 77 dB CMRR”. Em: *2019 IEEE Asia Pacific Conference on Circuits and Systems (APCCAS)*. 2019, pp. 393–396. DOI: [10.1109/APCCAS47518.2019.8953079](https://doi.org/10.1109/APCCAS47518.2019.8953079).

- [32] C. Qian, J. Parramon e E. Sanchez-Sinencio. “A Micropower Low-Noise Neural Recording Front-End Circuit for Epileptic Seizure Detection”. Em: *IEEE Journal of Solid-State Circuits* 46.6 (2011), pp. 1392–1405.
- [33] B. Razavi. *Design of Analog CMOS Integrated Circuits*. first. McGraw-Hill, 2001.
- [34] H. Rezaee-Dehsorkh, N. Ravanshad, R. Lotfi, K. Mafinezhad e A. M. Sodagar. “Analysis and Design of Tunable Amplifiers for Implantable Neural Recording Applications”. Em: *IEEE Journal on Emerging and Selected Topics in Circuits and Systems* 1.4 (2011), pp. 546–556. DOI: [10.1109/JETCAS.2011.2174492](https://doi.org/10.1109/JETCAS.2011.2174492).
- [35] M. Saad, M. El-Nozahi e H. Ragai. “A chopper capacitive feedback instrumentation amplifier with input impedance boosting technique”. Em: *2016 IEEE 59th International Midwest Symposium on Circuits and Systems (MWSCAS)*. 2016, pp. 1–4. DOI: [10.1109/MWSCAS.2016.7870153](https://doi.org/10.1109/MWSCAS.2016.7870153).
- [36] H. Serra, I. Bastos, J. L. A. de Melo, J. P. Oliveira, N. Paulino, E. Nefzaoui e T. Bourouina. “A 0.9-V Analog-to-Digital Acquisition Channel for an IoT Water Management Sensor Node”. Em: *IEEE Transactions on Circuits and Systems II: Express Briefs* 66.10 (2019), pp. 1678–1682. ISSN: 1558-3791. DOI: [10.1109/TCSII.2019.2933276](https://doi.org/10.1109/TCSII.2019.2933276).
- [37] P. Sun, M. Zhao, X. Wu e Q. Liu. “A capacitively-coupled biomedical instrumentation amplifier employing chopping and auto-zeroing”. Em: *2012 IEEE Biomedical Circuits and Systems Conference (BioCAS)*. 2012, pp. 61–64. DOI: [10.1109/BioCAS.2012.6418510](https://doi.org/10.1109/BioCAS.2012.6418510).
- [38] N. Y. Sutri, J. O. Dennis, M. H. M. Khir, T. B. Tang e M. U. Mian. “Low-noise, low-offset modulator demodulator circuit for chopper stabilization technique in CMOS-MEMS sensor applications”. Em: *2014 5th International Conference on Intelligent and Advanced Systems (ICIAS)*. 2014, pp. 1–5. DOI: [10.1109/ICIAS.2014.6869473](https://doi.org/10.1109/ICIAS.2014.6869473).
- [39] K. E. A. A. R. B. Q. Ta. “Direct Integration of Carbon Nanotubes in CMOS. Towards an Industrially Feasible Process: A Review”. Em: *IEEE Transactions on Nanotechnology* 19 (2020), pp. 113–122.
- [40] C. Tu, F. Lee e T. Lin. “An area-efficient capacitively-coupled instrumentation amplifier with a duty-cycled Gm-C DC servo loop in 0.18- μm CMOS”. Em: *2014 IEEE Asian Solid-State Circuits Conference (A-SSCC)*. 2014, pp. 153–156. DOI: [10.1109/ASSCC.2014.7008883](https://doi.org/10.1109/ASSCC.2014.7008883).
- [41] J. Verbeeck, M. Van Uffelen, M. S. J. Steyaert e P. Leroux. “Design of a MGy tolerant instrumentation amplifier using a correlated double sampling technique in 130 nm CMOS”. Em: *2011 12th European Conference on Radiation and Its Effects on Components and Systems*. 2011, pp. 156–159. DOI: [10.1109/RADECS.2011.6131389](https://doi.org/10.1109/RADECS.2011.6131389).

- [42] N. L. M. Viana e D. R. Belfort. "A Low-Power Low-Noise Instrumentation Amplifier for Wearable Applications". Em: *2019 4th International Symposium on Instrumentation Systems, Circuits and Transducers (INSCIT)*. 2019, pp. 1–5. DOI: [10.1109/INSCIT.2019.8868504](https://doi.org/10.1109/INSCIT.2019.8868504).
- [43] P. F. T. Watch. *An Introduction to MEMS*. PRIME Faraday Partnership, 2002. URL: https://www.lboro.ac.uk/microsites/mechman/research/ipm-ktn/pdf/Technology_review/an-introduction-to-mems.pdf.
- [44] A. Worapishet e A. Demosthenous. "Generalized Analysis of Random Common-Mode Rejection Performance of CMOS Current Feedback Instrumentation Amplifiers". Em: *IEEE Transactions on Circuits and Systems I: Regular Papers* 62.9 (2015), pp. 2137–2146. ISSN: 1558-0806. DOI: [10.1109/TCSI.2015.2411794](https://doi.org/10.1109/TCSI.2015.2411794).
- [45] J. Xu, S. Mitra, C. Van Hoof, R. F. Yazicioglu e K. A. A. Makinwa. "Active Electrodes for Wearable EEG Acquisition: Review and Electronics Design Methodology". Em: *IEEE Reviews in Biomedical Engineering* 10 (2017), pp. 187–198. ISSN: 1941-1189. DOI: [10.1109/RBME.2017.2656388](https://doi.org/10.1109/RBME.2017.2656388).
- [46] X. Yang, M. Zhao, Y. Dong e X. Wu. "A 14.9 μ W analog front-end with capacitively-coupled instrumentation amplifier and 14-bit SAR ADC for epilepsy diagnosis system". Em: *2016 IEEE Biomedical Circuits and Systems Conference (BioCAS)*. 2016, pp. 268–271. DOI: [10.1109/BioCAS.2016.7833783](https://doi.org/10.1109/BioCAS.2016.7833783).
- [47] R. C. Yen e P. R. Gray. "A MOS switched-capacitor instrumentation amplifier". Em: *IEEE Journal of Solid-State Circuits* 17.6 (1982), pp. 1008–1013. ISSN: 1558-173X. DOI: [10.1109/JSSC.1982.1051854](https://doi.org/10.1109/JSSC.1982.1051854).
- [48] Y. Zhao, Z. Shang e Y. Lian. "A 2.55 NEF 76 dB CMRR DC-Coupled Fully Differential Difference Amplifier Based Analog Front End for Wearable Biomedical Sensors". Em: *IEEE Transactions on Biomedical Circuits and Systems* 13.5 (2019), pp. 918–926. ISSN: 1940-9990. DOI: [10.1109/TBCAS.2019.2924416](https://doi.org/10.1109/TBCAS.2019.2924416).
- [49] J. Zheng, W. Ki, L. Hu e C. Tsui. "Chopper Capacitively Coupled Instrumentation Amplifier Capable of Handling Large Electrode Offset for Biopotential Recordings". Em: *IEEE Transactions on Circuits and Systems II: Express Briefs* 64.12 (2017), pp. 1392–1396. ISSN: 1558-3791. DOI: [10.1109/TCSII.2017.2741348](https://doi.org/10.1109/TCSII.2017.2741348).
- [50] Y. Zhou, M. Zhao, Y. Dong, X. Wu e L. Tang. "A Low-Power Low-Noise Biomedical Instrumentation Amplifier Using Novel Ripple-Reduction Technique". Em: *2018 IEEE Biomedical Circuits and Systems Conference (BioCAS)*. 2018, pp. 1–4. DOI: [10.1109/BIOCAS.2018.8584744](https://doi.org/10.1109/BIOCAS.2018.8584744).
- [51] Z. Zhu e W. Bai. "A 0.5-V 1.3- μ W Analog Front-End CMOS Circuit". Em: *IEEE Transactions on Circuits and Systems II: Express Briefs* 63.6 (2016), pp. 523–527. DOI: [10.1109/TCSII.2016.2530879](https://doi.org/10.1109/TCSII.2016.2530879).

BIBLIOGRAFIA

- [52] Z. Zhu e W. Bai. “A 0.5-V 1.3- μ W Analog Front-End CMOS Circuit”. Em: *IEEE Transactions on Circuits and Systems II: Express Briefs* 63.6 (2016), pp. 523–527. DOI: [10.1109/TCSII.2016.2530879](https://doi.org/10.1109/TCSII.2016.2530879).
- [53] X. Zou, X. Xu, L. Yao e Y. Lian. “A 1-V 450-nW Fully Integrated Programmable Biomedical Sensor Interface Chip”. Em: *IEEE Journal of Solid-State Circuits* 44.4 (2009), pp. 1067–1077. ISSN: 1558-173X. DOI: [10.1109/JSSC.2009.2014707](https://doi.org/10.1109/JSSC.2009.2014707).

Gráficos utilizados no algoritmo de dimensionamento dos dispositivos CMOS de tecnologia 130 nm.

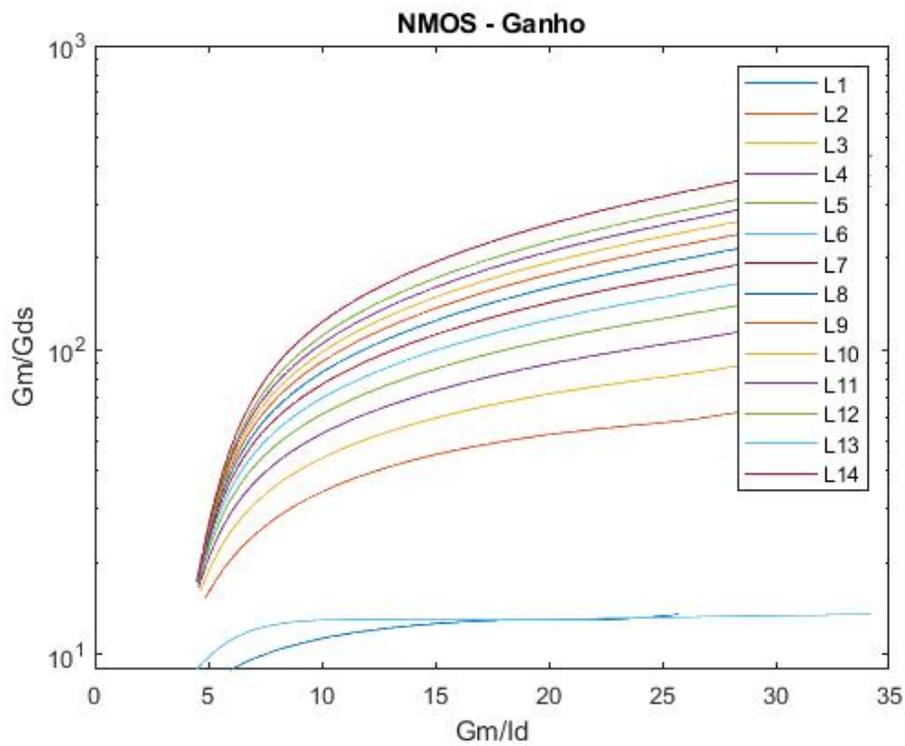


Figura I.1: Ganho Intrínseco NMOS

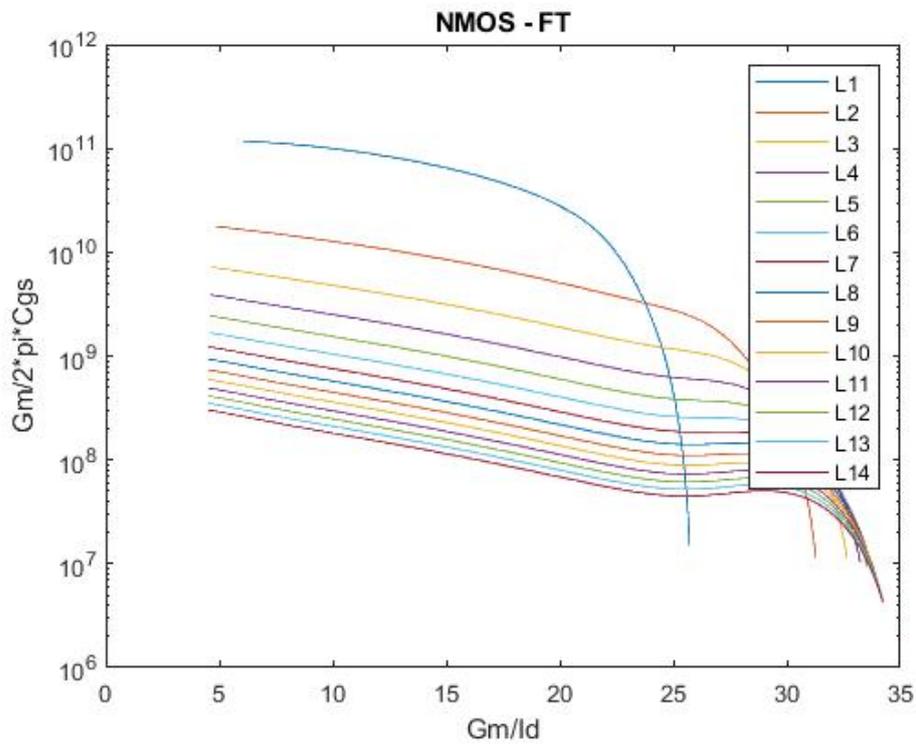


Figura I.2: Frequência de Transição NMOS

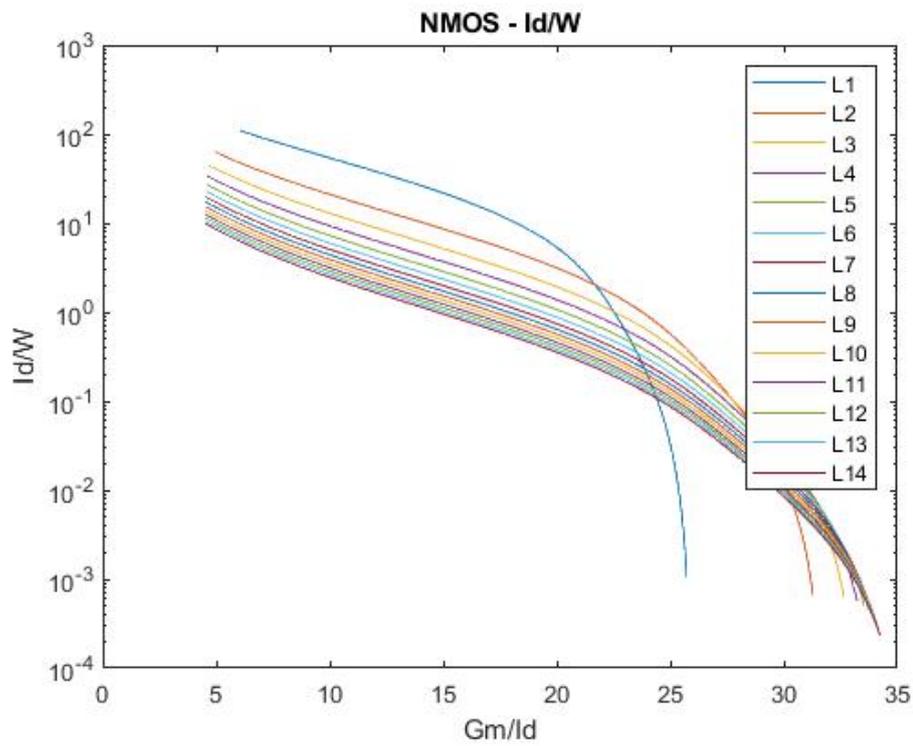


Figura I.3: I_d/W NMOS

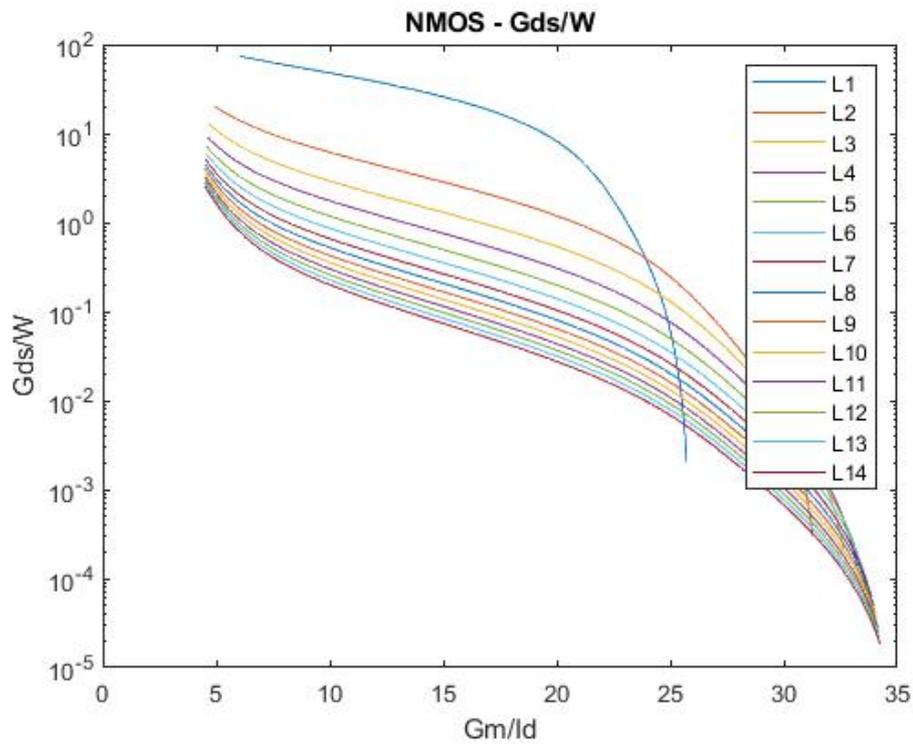


Figura I.4: G_{ds}/W NMOS

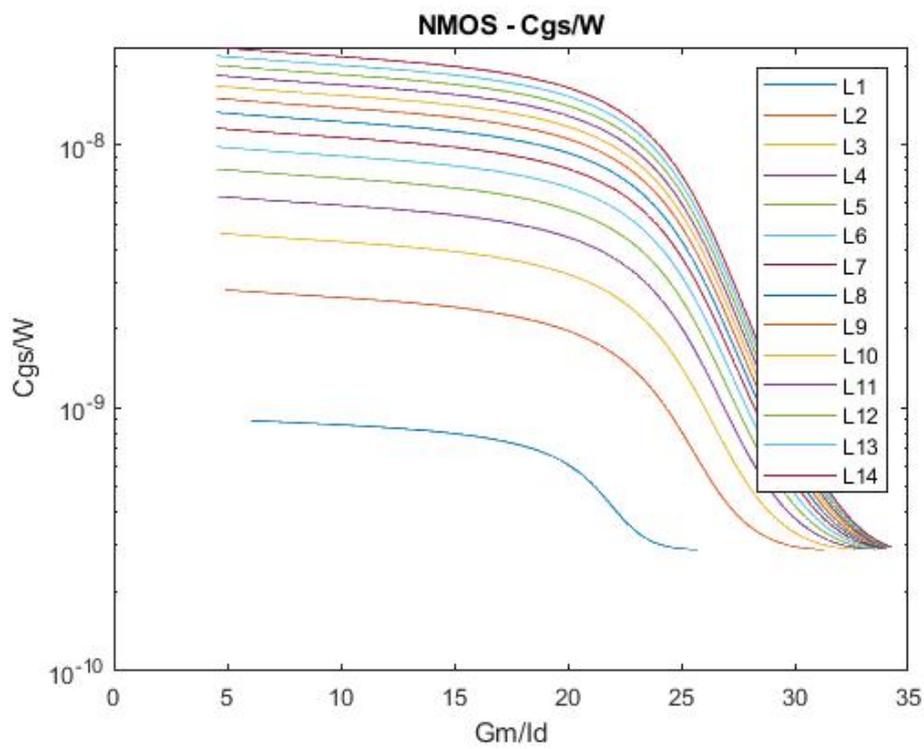


Figura I.5: C_{gs}/W NMOS

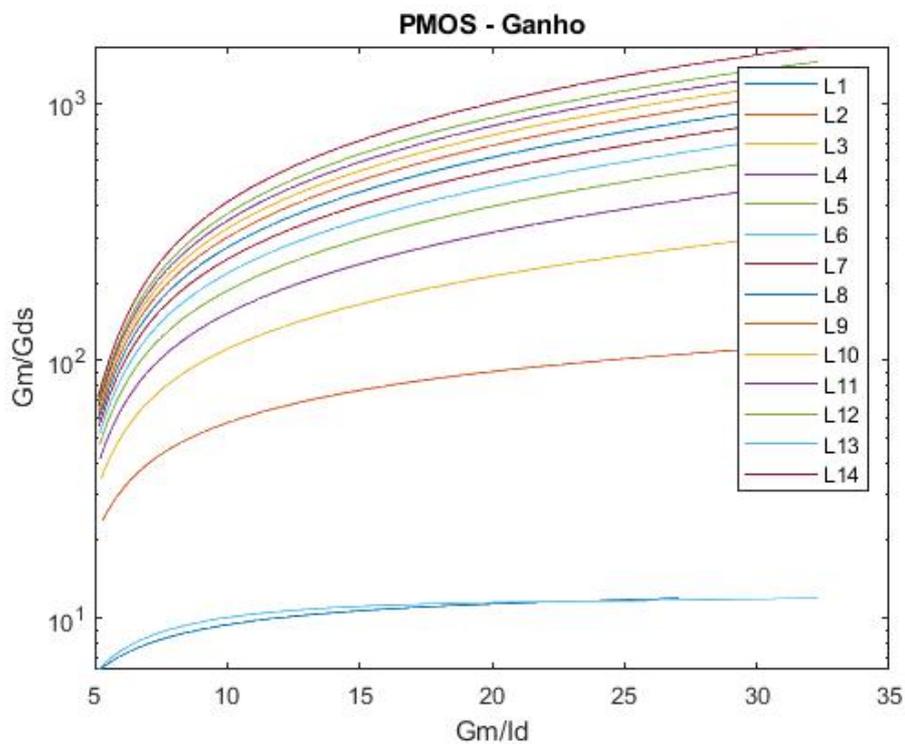


Figura I.6: Ganho Intrínseco PMOS

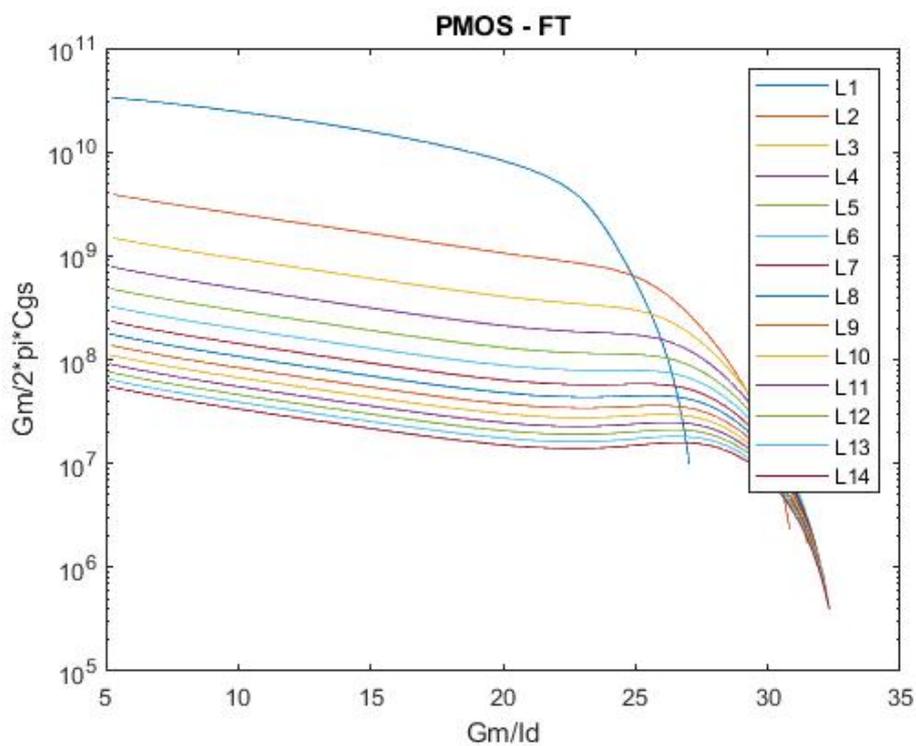


Figura I.7: Frequência de Transição PMOS

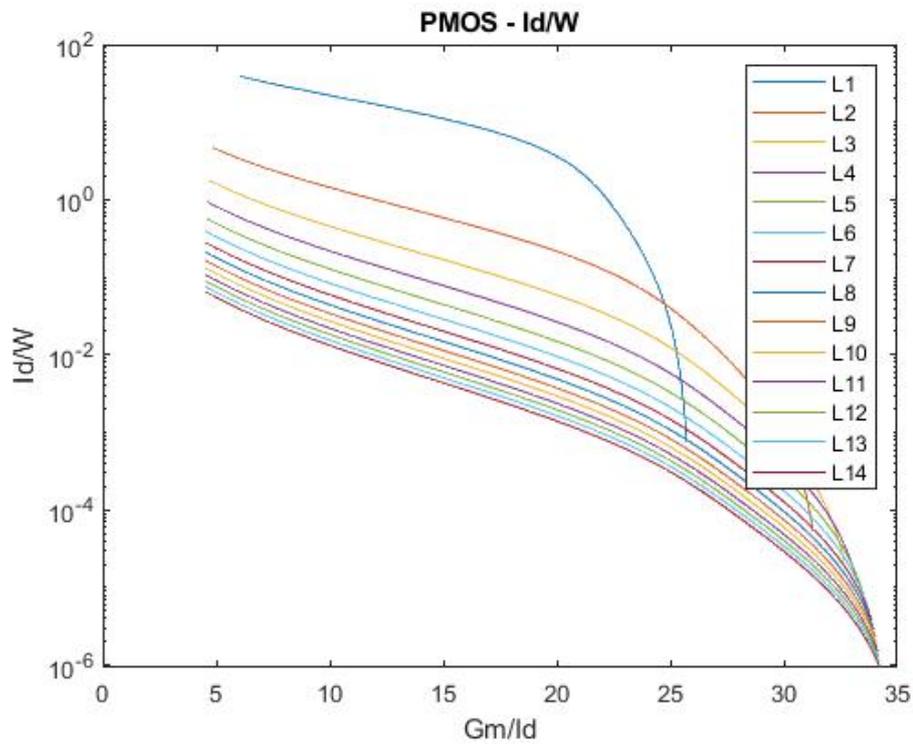


Figura I.8: I_d/W PMOS

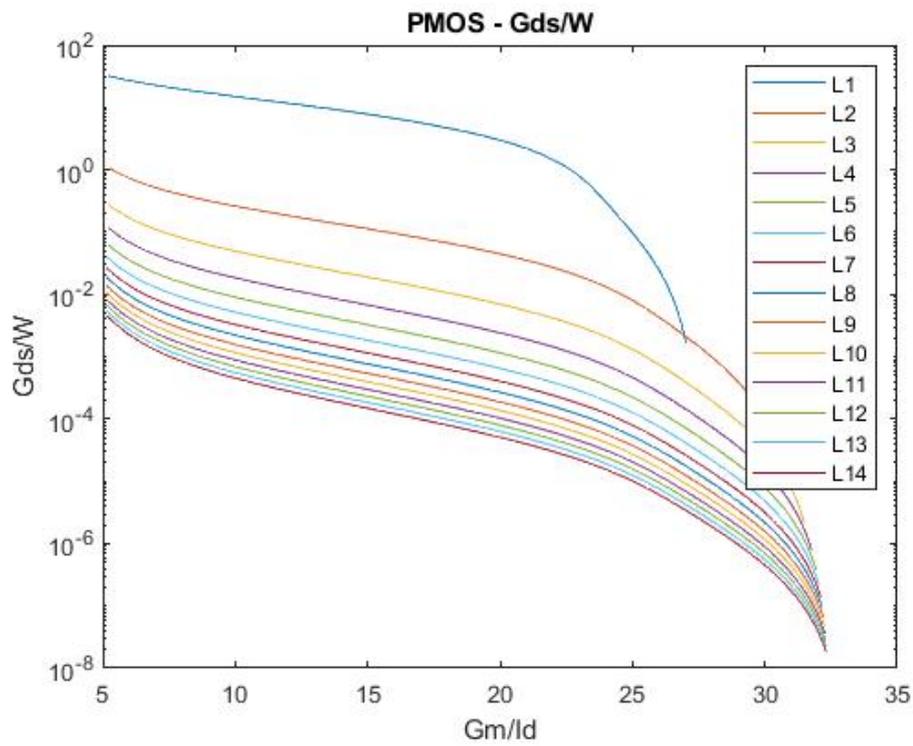


Figura I.9: G_{ds}/W PMOS

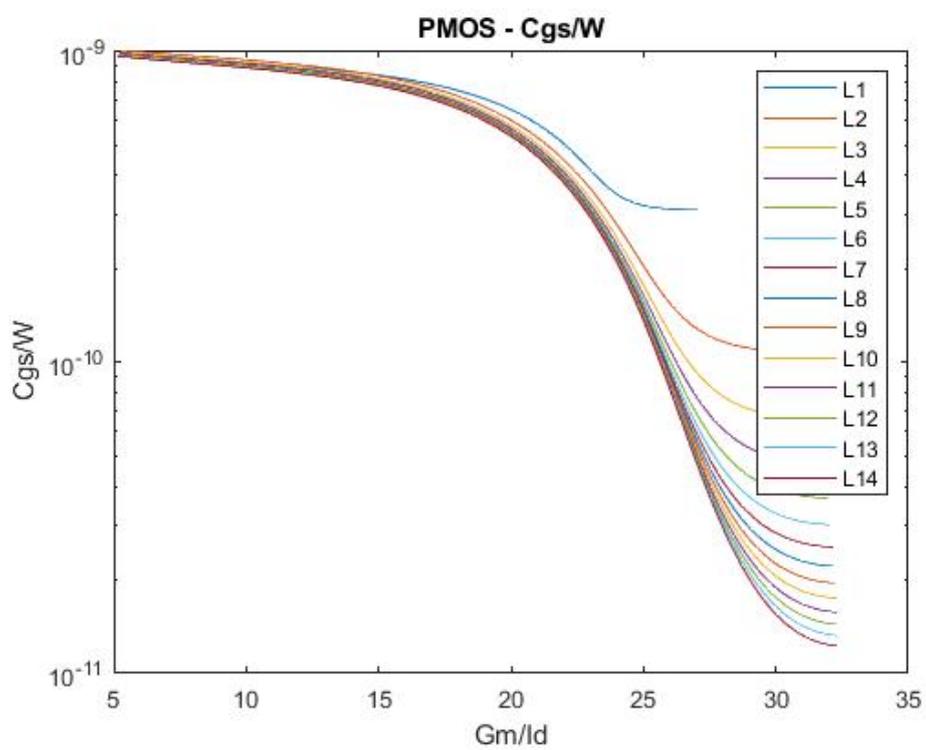


Figura I.10: C_{gs}/W PMOS