

ND6007UNLP

UNIVERSIDADE: Universidad Nacional de La Plata

AUTORES: Pablo A. Costanzo Caso ^I; Hugo Lorente ^{II}

ANÁLISIS Y DISEÑO DE UN CORRELADOR EN FPGA, PARA LA RECEPCIÓN DE SEÑALES MODULADAS EN BPSK

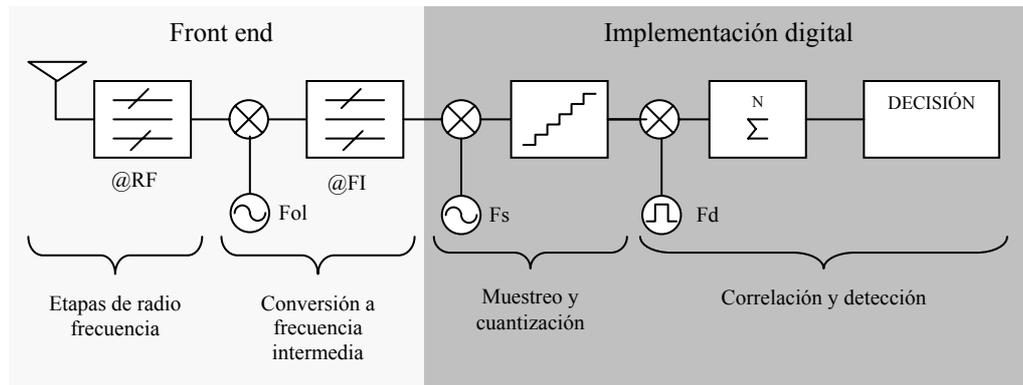
INTRODUCCIÓN [1]

Una arquitectura posible de un receptor digital BPSK puede constar de las siguientes etapas:

- Etapa de alta frecuencia y conversión a frecuencia intermedia, llamada *front end*;
- Etapa de conversión analógica digital, cuantización y procesamiento digital para la demodulación.

La Figura 1 muestra en forma más detallada como se componen básicamente las etapas mencionadas anteriormente.

FIGURA 1



La señal de entrada, recibida en la antena, se encuentra en radio frecuencias y es convertida a una frecuencia intermedia en donde es filtrada y acondicionada. Luego es muestreada, utilizando la técnica del muestreo pasa banda, y cuantizada adecuadamente. Por último, se realiza la de modulación utilizando un correlador y un bloque de decisión que debe discernir si el dato transmitido es un uno o un cero.

En lo que resta del análisis, se considerará que la señal recibida ya ha sido convertida a FI y se hará hincapié en la implementación digital del receptor.

1. Receptor BPSK digital [4]

^I Becario CIC-PBA, Ayudante Diplomado de Comunicaciones, Facultad de Ingeniería, UNLP.

^{II} Profesor Titular de Comunicaciones, Facultad de Ingeniería, UNLP.

Ahora nos centraremos en la implementación digital del receptor BPSK. Para ello se considerará que el receptor está perfectamente sincronizado, que el ruido es blanco discreto de banda limitada, con media nula y varianza σ^2 , y que la señal fue muestreada con un conversor A/D ideal (básicamente, que tiene infinitos niveles de cuantización). Vale aclarar que para que el ruido muestreado siga siendo blanco, la frecuencia de muestreo debe ser el doble del ancho de banda equivalente de ruido B_n . La Figura 2 muestra los principales bloques de este receptor.

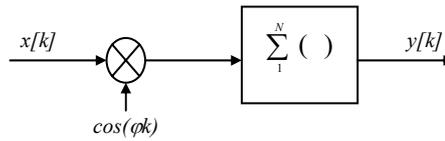


Figura 2

Estamos interesados en determinar los efectos que tiene el muestreo y la cuantización sobre la relación señal a ruido a la salida del receptor.

La señal de entrada está dada por:

$$x[k] = s_i[k] + n[k] \quad (1)$$

donde $s_i[k] = A \cdot \cos(\phi k)$ y $n[k]$ es el ruido discreto, cuyas medias y varianzas son:

$$\begin{cases} E\{s_i[k]\} = A \cdot \cos(\phi k) \\ V\{s_i[k]\} = 0 \end{cases} \quad \text{y} \quad \begin{cases} E\{n[k]\} = 0 \\ V\{n[k]\} = \sigma^2 = \eta B_n = \frac{\eta f_s}{2} \end{cases} \quad (2)$$

y $\eta/2$ es la densidad espectral de potencia de ruido bilateral, B_n es el ancho de banda de ruido del receptor y f_s es la frecuencia de muestreo. De esta manera, la relación señal a ruido a la entrada puede expresarse como:

$$SNR_i = \frac{E^2\{x[k]\}}{V\{x[k]\}} = \frac{A^2}{2\sigma^2} = \frac{A^2}{\eta f_s} \quad (3)$$

Luego, a la salida del receptor la señal está dada por:

$$y[k] = \sum_{k=1}^N (A \cdot \cos(\phi k) + n[k]) \cos(\phi k) \cong \frac{AN}{2} + \frac{1}{2} \sum_{k=1}^N n[k] \cos(\phi k) \quad (4)$$

suponiendo que el coseno se aproxima a cero si el muestreo es uniforme y se toman muchas muestras por bit. El valor medio y la varianza están dadas por:

$$E\{y[k]\} = \frac{AN}{2} + \sum_{k=1}^N E\{n[k]\} \cos(\phi k) = \frac{AN}{2} \quad (5)$$

$$V\{y[k]\} = E\{y^2[k]\} - E^2\{y[k]\} = \left(\frac{AN}{2}\right)^2 + \frac{\sigma^2 N}{2} - \left(\frac{AN}{2}\right)^2 = \frac{\sigma^2 N}{2} \quad (6)$$

De esta manera la relación señal a ruido a la salida del receptor es:

$$SNR_o = \frac{E^2 \{y[k]\}}{V \{y[k]\}} = \frac{\left(\frac{AN}{2}\right)^2}{\sigma^2 N/2} = \frac{A^2 N}{2\sigma^2} = SNR_i \cdot N \quad (7)$$

De esta expresión puede observarse que se obtiene una mejora en la relación señal a ruido a la salida respecto de la entrada igual al número de muestras por bit.

CONCLUSIONES

Se realizó un análisis de la implementación digital del receptor digital de modulación de fase. En el mismo se pudo observar que utilizando conversores A/D ideales (básicamente con infinitos bits), la relación señal a ruido a la salida experimenta una mejora, respecto de la relación señal a ruido a la entrada, igual al número de muestras por bit. Esto es cierto mientras la frecuencia de muestreo no supere $2B_n$, a partir de este valor, las muestras dejan de ser independientes y la anterior relación deja de cumplirse.

2. Receptor BPSK digital en un bit [4]

Ahora al receptor analizado previamente se le agregará un cuantizador de un bit a la salida del conversor analógico digital, y se utilizará para la demodulación un coseno cuantizado en un bit, es decir, una onda cuadrada. Esto tiene como principal objetivo ver como es la degradación de la relación señal a ruido a la salida del receptor cuando se utilizan bloques reales para la demodulación. Esto es que tanto la señal de entrada, como la senoide generada internamente para la demodulación, estarán disponibles con un número finito de bits, lo cual inevitablemente producirá una degradación a la salida. El resto de las consideraciones hechas previamente no serán modificadas, es decir, la sincronización perfecta del receptor y el ruido a la entrada no se modificarán para este análisis.

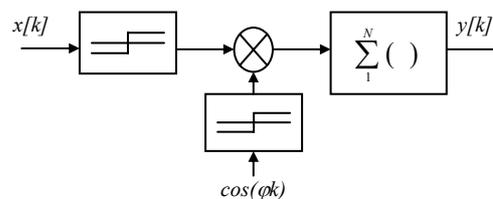


Figura 3

La Figura 3 muestra los principales bloques de este receptor, donde puede observarse los dos cuantizadores empleados.

Nuevamente estamos interesados en determinar la relación señal a ruido a la salida del receptor en función de la relación señal a ruido a la entrada. Esta última es igual que en el receptor analizado previamente, y está dada por:

$$SNR_i = \frac{E^2 \{x[k]\}}{V \{x[k]\}} = \frac{A^2}{2\sigma^2} = \frac{A^2}{\eta f_s} \quad (8)$$

La señal a la salida del receptor está dada por:

$$y[k] = \sum_{k=1}^N \text{sgn}(A \cdot \cos(\varphi k) + n[k]) \text{sgn}(\cos(\varphi k)) \quad (9)$$

donde $\text{sgn}()$ modeliza al cuantizador de un bit, y está definida como $\text{sgn}(x) = \begin{cases} 1 & \text{si } x \geq 0 \\ -1 & \text{si } x < 0 \end{cases}$

Luego, el valor medio y la varianza de $y[k]$ están dados por:

$$E \{y[k]\} = \sum_{k=1}^N \left(2Q\left(-\sqrt{2 \cdot SNR_i} \cos(\varphi k)\right) \right) \text{sgn}(\cos(\varphi k)) \quad (10)$$

$$V \{y[k]\} = \sum_{k=1}^N \left(4Q\left(-\sqrt{2 \cdot SNR_i} \cos(\varphi k)\right) - 4Q^2\left(-\sqrt{2 \cdot SNR_i} \cos(\varphi k)\right) \right) \quad (11)$$

donde la función $Q(x)$ está definida como $Q(x) = \frac{1}{\sqrt{2\pi}} \int_x^{\infty} e^{-\frac{t^2}{2}} dt$

De esta manera, la relación señal a ruido a la salida está dada por:

$$\text{Erro! Indicador não definido.} \quad (12)$$

y haciendo una aproximación para SNR_i bajas resulta:

$$SNR_o = \frac{8}{\pi^2} \frac{N \cdot SNR_i}{\frac{\pi}{2} - SNR_i} \quad SNR_i \ll 1 \quad (13)$$

La asíntota para $SNR_i \rightarrow 0$ en veces y decibeles esta dada por:

$$SNR_o = \frac{16}{\pi^3} N \cdot SNR_i = \frac{16}{\pi^3} SNR_{oSC} \quad (14)$$

$$SNR_o [dB] \equiv -2.87 dB + 10 \log(N \cdot SNR_i) = -2.87 dB + SNR_{oSC} [dB] \quad (15)$$

donde SNR_{oSC} es la relación señal a ruido a la salida sin cuantizador hallada anteriormente.

A partir de la ecuación (15) puede observarse que la degradación a la salida es de $2.87 dB$ respecto del receptor sin cuantizador.

La Figura 4 muestra la relación señal a ruido a la salida del receptor con dos cuantizadores y sin cuantizador, ambas normalizadas por la relación señal a ruido a la entrada y el número de muestras por bit. Como se demostró en las expresiones anteriores, para SNR_i bajas los dos cuantizadores de un bit producen una degradación de $2,87dB$ respecto del receptor sin cuantizador, y, a medida que SNR_i aumenta (siempre dentro de valores donde siga siendo válida la aproximación $SNR_i \ll 1$) la degradación es menor.

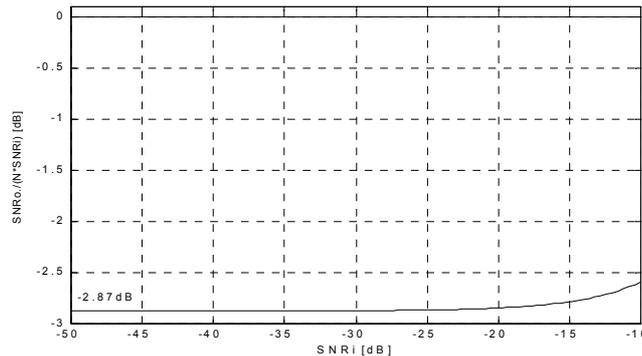


Figura 4

CONCLUSIONES

Se realizó un análisis de la implementación digital del receptor digital de modulación de fase, cuando se utiliza un conversor A/D de un bit (dos niveles de cuantización) para la señal de entrada, y un bit para la implementación de la senoide que se utiliza en la demodulación, lo que resulta en una onda cuadrada. En el mismo se pudo observar que la relación señal a ruido a la salida experimenta una degradación de $2,87dB$ cuando la relación señal a ruido a la entrada es muy pequeña (tiende a cero), y, en la medida que la relación señal a ruido a la entrada comienza a aumentar, la salida experimenta una mejora como puede observarse en la Figura 4. Por lo tanto, se puede concluir que utilizar una señal de entrada cuantizada en un bit y una onda cuadrada en la demodulación, produce como máximo una pérdida de $2,87dB$ en la relación señal a ruido a la salida.

3. Implementación del receptor en lógica programada [2][3]

En las secciones previas se analizó el desempeño del receptor digital y se obtuvieron importantes conclusiones a cerca de la implementación en un solo bit. Este resultado es de gran importancia porque si bien se obtuvo una degradación de $2,87dB$ en la relación señal a ruido a la salida respecto de la entrada, la lógica resultante para la implementación del receptor en un solo bit es significativamente de menor complejidad. Para el diseño y simulación en lógica programada se utilizó el *software* MAX+PLUS II provisto por la firma ALTERA.

Implementación del multiplicador

Las señales de entrada al mismo están cuantizadas en un bit, y sus valores posibles son 1 y -1. Por lo tanto la salida del multiplicador tendrá como posibles salidas los valores resumidos en la Tabla 1. Si se observa con atención, los valores de salida del multiplicador son similares a los de una compuerta X-NOR (no exclusiva), con lo cual el multiplicador en un bit resulta ser una sencilla implementación lógica como se muestra en la Figura 5.

Tabla 1

Sgn(x[k])	Sgn(cos(ϕ_k))	Producto
1	1	1
1	-1	-1
-1	1	-1
-1	-1	1

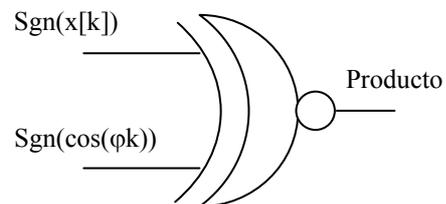


Figura 5

Implementación del sumador

La salida del multiplicador, que en realidad son muestras discretas dado que se trata de señales que han sido muestreadas y cuantizadas previamente, deben ser sumadas durante el tiempo de bit. Suponiendo que en un tiempo de bit se tienen N muestras, entonces el sumador deberá sumar durante N períodos del reloj de muestreo la salida del multiplicador. De esta manera lo que se implementó fue, por un lado un contador de N períodos de reloj de muestreo que va a inicializar/resetear (o reestablecer) a otro contador, este último, se incrementa en cada período del reloj de muestreo si el producto es 1, y se mantiene en su valor si el producto es -1. Luego de N períodos de reloj si la salida de este contador es mayor que $N/2$ significa que se ha transmitido un "1" lógico, y si es menor que cero significa que se ha transmitido un "0". La Figura 6 muestra el esquemático de la implementación desarrollada con cada uno de los bloques mencionados anteriormente y lógica adicional para completar el diseño.

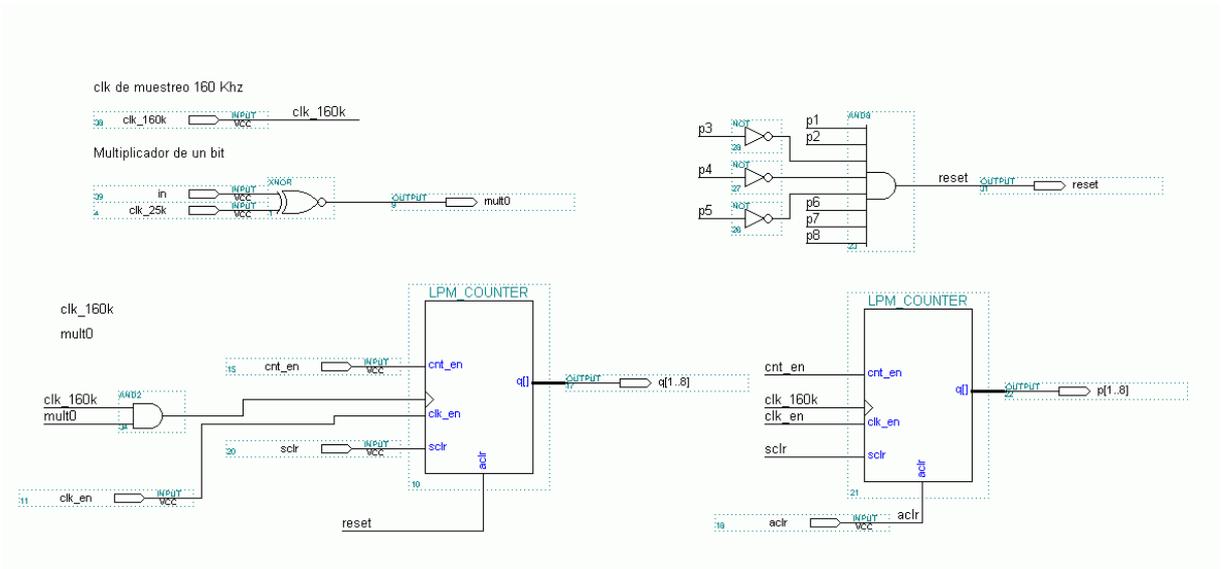


Figura 6

En la Figura 7 se muestra el resultado de las simulaciones realizadas, en donde pueden observarse la señal de entrada (*in*), el reloj para demodular (*clk_25k*), ambos son entradas del multiplicador, la salida del multiplicador (*mult0*), el reloj de muestreo (*clk_160k*), la salida del contador de 200 períodos del reloj de muestreo (*p[1..8]*) y la salida del contador de unos (*q[1..8]*). Vale aclarar que en la simulación un 1 de entrada corresponde a un "1" lógico y un -1 de entrada a un "0" lógico, con lo cual, si la suma da mayor que 100, significa que se transmitió un "1", y si da menor que 100, significa que se transmitió un "0".

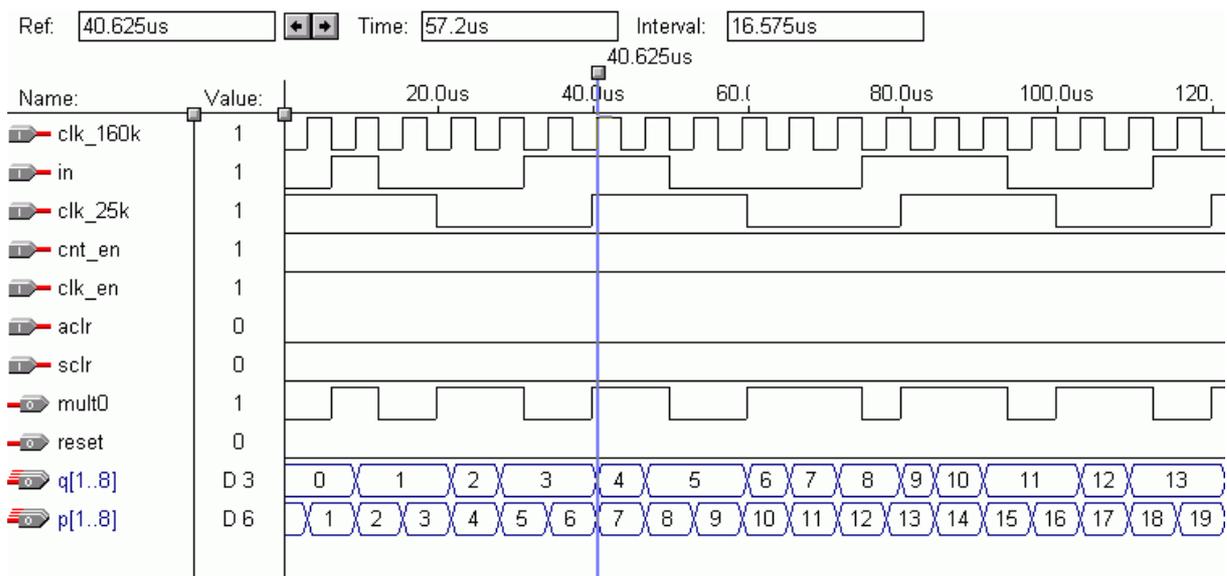


Figura 7

4. CONCLUSIONES

En las primeras secciones se realizó el estudio de un receptor digital BPSK. De este análisis se observó que la implementación en un solo bit del receptor produce una degradación de $2,87dB$ en la relación señal a ruido a la salida respecto de la entrada, cuando la relación señal a ruido a la entrada era muy chica (caso de interés). Si bien esto produce una merma en el desempeño, se obtienen grandes ventajas al momento de realizar la implementación digital en lógica programada. Esta básicamente se reduce a una compuerta X-NOR para implementar el multiplicador y a un simple contador para implementar el sumador. Estos bloques serían mucho más complejos en caso de procesar las señales con un mayor número de bits.

Como desarrollos a futuro para finalizar la implementación del receptor, resta el diseño de los bloques necesarios tanto para alcanzar tanto el sincronismo de la portadora, como el de bit.

5. REFERENCIAS

- [1] PROAKIS, John. **Digital Communications**. 2. ed. New York: McGraw-Hill, 1989.
- [2] TOCCI, Ronald. **Sistemas Digitales: Principios y aplicaciones**. 6. ed. Prentice-Hall Hispanoamericana , 1996.
- [3] ALTERA, Max. **+plus II, Getting Started**, Version 8.1, 1997.
- [4] COSTANZO CASO, Pablo A. **Receptor BPSK-Efectos del muestreo y cuantización: Informe de tareas desarrolladas**, Beca de estudio CIC-PBA, 2003.