



UNIVERSIDAD DE LA REPÚBLICA
FACULTAD DE INGENIERÍA



Reciclado de carga y circuitos para mejora de la eficiencia en convertidores DC/DC integrados de ultra baja potencia

TESIS PRESENTADA A LA FACULTAD DE INGENIERÍA DE LA
UNIVERSIDAD DE LA REPÚBLICA POR

Pablo Castro Lisboa

EN CUMPLIMIENTO PARCIAL DE LOS REQUERIMIENTOS
PARA LA OBTENCIÓN DEL TÍTULO DE
DOCTOR EN INGENIERÍA ELÉCTRICA.

DIRECTORES DE TESIS

Dr. Fernando Silveira (Director) Universidad de la República
Dr. Gabriel Eirea (co-Director) Universidad de la República

TRIBUNAL

Dr. Eduard Alarcon, Profesor Titular (Revisor Externo), Universidad
Politécnica de Cataluña, España
Dr. Marcio Cherem Schneider, Profesor Titular (Revisor Externo),
Universidad Federal de Santa Catarina, Florianópolis, Brasil
Dr. Alejandro Oliva, Profesor Adjunto, Universidad Nacional del Sur,
Argentina
Dr. Gabriel Eirea, Profesor Agregado, Universidad de la República,
Uruguay
Dr. Fernando Silveira, Profesor Titular, Universidad de la República,
Uruguay

DIRECTOR ACADÉMICO

Dr. Fernando Silveira Universidad de la República

Montevideo
viernes 3 febrero, 2017

Reciclado de carga y circuitos para mejora de la eficiencia en convertidores DC/DC integrados de ultra baja potencia, Pablo Castro Lisboa.

ISSN 1688-2784

Esta tesis fue preparada en L^AT_EX usando la clase iietesis (v1.1).

Contiene un total de 127 páginas.

Compilada el viernes 3 febrero, 2017.

<http://iie.fing.edu.uy/>

Agradecimientos

A mis tutores Fernando Silveira y Gabriel Eirea para la confianza depositada, y por su apoyo en todos estos años.

A la Comisión Académica de Posgrados de la UDELAR por la beca de finalización de doctorado.

Pablo Pérez-Nicoli, Francisco Veirano y Sebastián Besio, por haber dedicado su tesis de grado al apoyo de este trabajo. Particularmente en los circuitos presentados en el capítulo 4 así como parte de la sección 5.1. Francisco Veirano, mediante una beca de iniciación a la investigación trabajó en el desarrollo de la técnica presentada en la sección 2.2.

A Mariana y Felipe.

Resumen

El presente trabajo profundiza en el estudio de convertidores DC/DC de capacitores conmutados totalmente integrados para aplicaciones de ultra bajo consumo como ser: dispositivos implantables, redes de sensores inalámbricos, dispositivos portátiles, etc. El objetivo de este tipo de sistemas es el de suministrar energía al circuito correspondiente pero con una tensión diferente a la de la batería utilizada. Básicamente hay dos razones para suministrar una tensión diferente a la de la fuente principal. Por un lado, en los circuitos digitales existe un compromiso entre performance (velocidad de procesamiento) y consumo, que en general se puede manejar mediante la técnica de escalado dinámico de voltaje y frecuencia (“Dynamic Voltage and Frequency Scaling”); esta técnica básicamente disminuye la tensión de alimentación y la frecuencia del sistema cuando la exigencia de procesamiento es baja y los sube cuando es alta. De esta forma, en muchas aplicaciones se puede ahorrar una cantidad significativa de energía. Por otro lado, el escalado de las nuevas tecnologías ha alcanzado un punto donde los transistores básicos no soportan la tensión de las baterías que se consiguen en el mercado. Para ambos casos, tener un convertidor DC/DC que sea capaz de manejar todo el rango (o al menos una buena parte) entre tierra y la tensión de alimentación es esencial.

En esta tesis, se contribuye a la mejora de la eficiencia de este tipo de convertidores con varias técnicas que permiten reciclar parte de la carga asociada a capacidades parásitas, y por técnicas de diseño de circuitos de bloques auxiliares.

La idea de reciclar la carga de las capacidades parásitas ha sido explorada en la literatura, sin embargo todos los antecedentes están limitados a arquitecturas particulares del convertidor DC/DC. En este trabajo se proponen técnicas generales para reciclar la carga de capacidades parásitas asociadas a las placas de los capacitores principales (capacidades parásitas de “top/bottom plate”) y capacidad de gate independientemente de la arquitectura del convertidor. Dichas técnicas son independientes de la arquitectura del convertidor.

La técnica general del reciclado de carga de las capacidades de top/bottom plate es comprobada mediante simulaciones eléctricas de un convertidor particular con relación de conversión de 1/3. Estas simulaciones se realizaron con una tecnología *CMOS* de 130nm y una alimentación de 1,2V. Los resultados muestran una eficiencia máxima de 74,5% basada en una mejora de hasta 7% en la eficiencia

de dicho conversor. Esta mejora se logra a partir del uso de la técnica general presentada, que recicla la carga de las capacidades parásitas de top/bottom plate, y que permite una disminución en este tipo de pérdidas de 52%. Adicionalmente, se presentan resultados de medidas de un conversor modular. Dicha arquitectura permite una implementación de la técnica de reciclado de carga de las capacidades parásitas de top/bottom plate muy simple que mejora la eficiencia de forma significativa. Además, se probaron dos mecanismos para manejar las fases del conversor. Un ejemplo de este conversor modular fue fabricado en una tecnología *CMOS* de $130nm$ y con un número de 6 relaciones de conversión para el cual se presentan resultados de medidas. En este caso, se logró un pico de eficiencia de 80,6%, y un pico en la mejora de la eficiencia de 4% basado en una reducción en las pérdidas de de top/bottom plate de 70%.

Por otro lado, se utilizó la técnica de “stepwise charging” en el gate de las llaves de otro conversor DC/DC de capacitores conmutados de relación de conversión 1/3, con el objetivo de ahorrar energía en los drivers. Si bien esta técnica es conocida y su aplicación se presenta en otros trabajos, no se han reportado resultados aplicando la técnica en conversores DC/DC de ultra bajo consumo. Adicionalmente, se hace un estudio analítico que determina bajo que circunstancias la aplicación de la técnica tiene sentido. Las mejoras en la eficiencia del conversor gracias a la aplicación de la técnica fueron confirmadas con medidas, y los resultados arrojan una eficiencia de 72,8% a partir de una mejora de 4% gracias a la aplicación de la técnica para una corriente entregada a la carga $I_L = 60\mu A$ y una tensión de salida $V_O = 0,37V$. La tecnología en la que fue fabricado el conversor es $130nm$ y la alimentación fue $V_{DD} = 1,2V$

Dado que los conversores analizados son para aplicaciones de ultra bajo consumo, el conversor mismo debe tener esta característica. Por lo tanto, los circuitos que implementan el lazo de realimentación que regula la tensión de salida deben estar pensados con este objetivo. Para ello, se presenta un oscilador de anillo controlado por corriente (CCO), que tiene como novedad principal la eliminación de la corriente de camino directo. Esto logra un consumo de potencia proporcional a la frecuencia de oscilación lo cual es apropiado para no degradar la eficiencia del conversor. Resultados de simulación muestran un consumo que tienen una dependencia lineal con la frecuencia de conmutación. A nivel de simulaciones eléctricas post layout se pudo constatar que dicho CCO tiene un consumo de $3nW$ a una frecuencia de $10kHz$ y $5\mu W$ a una frecuencia de $40MHz$. Por otro lado, a nivel de medidas también se constató una dependencia lineal entre la frecuencia y el consumo. En este caso, la frecuencia mínima lograda dentro del comportamiento lineal es de $80kHz$ alcanzando un consumo de $50nW$. En el otro extremo la frecuencia máxima alcanzada es de $100MHz$ con un consumo de $10\mu W$.

Por otro lado, se implementó un comparador que utiliza resistencias variables (implementadas con transistores en zona lineal) que permiten cambiar drásticamente el factor de copia de los espejos de corriente. De esta forma se logra un

circuito analógico que responde de forma muy rápida, siendo capaz de entregar un rango de corriente de varios órdenes de magnitud que van desde algunos nA hasta algunos μA , a partir de una corriente de polarización de $2,5nA$. Estos resultados también fueron alcanzados mediante simulaciones utilizando una tecnología de $130nm$.

Otro tema que se abordó en este trabajo fue el de la regulación de esta clase de convertidores de tensión. Para ello se desarrolló un modelo promediado lineal tanto para el convertidor DC/DC modular fabricado como para el CCO. A partir de estos modelos se diseñó un controlador lineal que permite regular la tensión de salida. Dado que este sistema realimentado no es capaz de reaccionar suficientemente rápido frente a grandes picos crecientes en la corriente de carga, se diseñó un lazo no lineal adicional con una velocidad de respuesta muy alta que solo actúa cuando la tensión de salida cae por debajo de un cierto umbral. Esto permite que la tensión de salida no caiga por debajo de niveles no aceptables para la carga que está siendo alimentada, incluso cuando existe un escalón creciente de varios órdenes de magnitud en la corriente de carga. Este sistema de realimentación fue comprobado mediante simulaciones eléctricas.

Tabla de contenidos

Agradecimientos	I
Resumen	v
1. Introducción	1
1.1. Motivación	1
1.2. Consideraciones generales sobre convertidores DC/DC de capacitores conmutados	4
1.2.1. Pérdidas y eficiencia en un convertidor DC/DC de capacitores conmutados	9
1.2.2. Regulación de la tensión de salida y sus implicancias en la eficiencia	13
1.2.3. Reciclado de carga	16
2. Técnicas de reciclado de carga	19
2.1. Técnica general de reciclado de carga para capacidades parásitas de top/bottom-plate	19
2.2. Reciclado de carga del gate de las llaves	24
2.2.1. Análisis teórico de la técnica “stepwise charging”	28
2.2.2. Límites de la técnica de stepwise charging	33
2.2.3. Aplicación de la técnica “stepwise charging” a un convertidor DC/DC de capacitores conmutados	37
3. Convertor de arquitectura modular	41
3.1. Manejo del convertor modular con una fase	42
3.2. Manejo del convertor modular con dos fases	43
3.3. Técnica de reciclado de carga aplicada al convertor modular	44
3.4. Resultados de simulación del convertor modular	48
3.5. Resultados de medidas del convertor modular	49
3.6. Comparación con el estado del arte	51
4. Circuitos para la implementación de convertidores DC/DC de ultra bajo consumo	55
4.1. Oscilador de anillo y generador de pulsos de ultra bajo consumo	55
4.1.1. Arquitectura propuesta para el CCO	58
4.1.2. Generador de pulsos de ancho variable	62

Tabla de contenidos

4.1.3. Resultados de simulación	64
4.2. Transconductor de ultra bajo consumo	65
4.2.1. Resultados de simulación sobre el comparador	69
5. Regulación de la tensión de salida	71
5.1. Modelo lineal promediado en lazo abierto	72
5.1.1. Modelo lineal promediado del convertidor	73
5.1.2. Modelo lineal promediado del CCO	74
5.1.3. Validación del modelo	80
5.2. Lazos de control	81
5.2.1. Lazo lineal	82
5.2.2. Lazo no lineal	86
6. Conclusiones y trabajo a futuro	95
6.1. Trabajos a futuro	97
6.2. Lista de publicaciones asociadas a la tesis	98
6.2.1. Artículos en revistas	98
6.2.2. Artículos en conferencias	98
6.3. Lista de publicaciones no directamente asociadas a la tesis	99
6.3.1. Artículos en revistas	99
6.3.2. Artículos en conferencias	99
A. Análisis de las pérdidas debido a las CPTBP	101
A.1. Análisis para el convertidor 1/3	102
A.2. Análisis para el convertidor modular	103
A.2.1. Análisis sin aplicar la técnica de reciclado de carga	103
A.2.2. Análisis aplicando la técnica de reciclado de carga	104
Referencias	105
Índice de tablas	109
Índice de figuras	110

Capítulo 1

Introducción

1.1. Motivación

Desde hace varios años se ha incrementado notoriamente la existencia de dispositivos alimentados por batería (teléfonos móviles, tablets, redes de sensores inalámbricos, dispositivos implantables, etc). Esto ha implicado un aumento en los esfuerzos para alcanzar una mayor duración de las baterías y así una mayor autonomía. Los dispositivos implantables son los más críticos debido a que el agotamiento de la batería implica una cirugía para el paciente. Por otro lado, también se tienen las redes de sensores inalámbricos, en cuyo caso el agotamiento frecuente de las baterías incrementaría los costos asociados a logística si el número de nodos es grande y/o la distribución geográfica muy amplia.

Prácticamente en cualquier sistema electrónico los circuitos digitales juegan un rol muy importante y requieren de una fracción significativa del consumo total del circuito. De esta forma, minimizando el consumo de energía de los circuitos digitales se hace una gran contribución para aumentar la duración de la batería. Existen varias técnicas que permiten reducir el consumo de los circuitos digitales, una muy conocida denominada “escalado dinámico de voltaje” (DVS) consiste en reducir la tensión de alimentación [1] [2] [3], y en algunos casos se utiliza la lógica sub-umbral [2], [4], [5]. En este sentido, el desarrollo de sistemas con múltiples dominios de alimentación, permiten hacer un mejor aprovechamiento de la energía ya que se puede alimentar diferentes bloques de forma independiente con la tensión mínima necesaria en cada uno de ellos en todo instante de tiempo. De lo anterior, surge la necesidad de tener convertidores totalmente integrados para que el número de componentes externos no se incremente por tener múltiples dominios.

Por otro lado, el escalado de la tecnología ha decrementado la máxima tensión permitida por los transistores, incluso por debajo de las tensiones suministradas por las baterías. Por lo tanto, tener la capacidad de entregar al circuito una tensión menor a la suministrada por la batería es esencial. Esto se debe lograr con eficiencia para que la energía ahorrada por tener una menor alimentación no sea

Capítulo 1. Introducción

desperdiciada por el conversor DC/DC.

Una aplicación típica de mucha importancia es cuando se utilizan microcontroladores que tienen un comportamiento sistemático repetitivo entre un modo de bajo consumo (modo sleep) y un modo activo [6]. En general trabajan por períodos prolongados de tiempo en modo sleep consumiendo muy poca potencia, y se “despiertan” periódicamente para realizar una tarea específica para luego volver al modo sleep. En modo sleep el consumo que pueden alcanzar es menor al de algunos μA hasta los nA . A modo de ejemplo, *PIC12(L)F1571/2* es una familia de microcontroladores de ultra bajo consumo (ULP) de la empresa Microchip que tiene un consumo en modo activo de $30\mu A/MHZ@V_{DD}=1,8V$. En modo sleep tienen un consumo de $20nA@V_{DD}=1,8V$ aunque en este caso se necesita un evento externo para salir de dicho modo. Otra opción es la de modo sleep con un timer activo para salir de dicho modo en cuyo caso se tiene un consumo de $260nA@V_{DD}=1,8V$. Otro ejemplo es la familia *MSP430FR203X* de la empresa Texas Instruments tiene un consumo en modo activo de $126\mu A/MHZ@V_{DD}=3V$, un modo sleep que consume $15nA@V_{DD}=3V$, y un modo sleep con timer activo que consume $770nA@V_{DD}=3V$. Por lo tanto, contar con convertidores que sean eficientes para estos ordenes de magnitud de corriente es importante. Si bien en las familias de microcontroladores presentados no se aplican técnicas que impliquen usar una tensión de alimentación diferente a la de la batería, dan una pauta de los órdenes de magnitud de consumo que las tecnologías disponibles permiten alcanzar.

La opción más básica para implementar un conversor DC/DC step-down son los denominados convertidores lineales. En la figura 1.1 se muestra una configuración básica para este tipo de arquitecturas (seguidor de emisor en este caso) donde la tensión de salida esta determinada por el divisor resistivo de $R1$ y $R2$ y la caída en la juntura base-emisor V_{BE} del transistor como lo muestra la ecuación 1.1.

$$V_O = V_{DD} \cdot \frac{R2}{R1 + R2} - V_{BE} \quad (1.1)$$

Este tipo de reguladores tienen la característica (a diferencia de los convertidores inductivos y de los capacitivos) de que la corriente que se entrega a la carga es la misma que se toma de la fuente. De esta forma, la potencia entregada a la carga será menor que la entregada por la fuente y la eficiencia será peor cuanto menor la tensión de salida. Haciendo un balance de energía es evidente que la diferencia se tiene que estar disipando en algún componente del circuito. En el caso del conversor de la figura 1.1 esa potencia se disipa en el transistor que entrega la corriente a la carga (se asume que la potencia disipada en $R1$ y $R2$ es despreciable). Por lo tanto, son convertidores muy ineficientes no convenientes para nuestras aplicaciones por lo que quedan descartados. De esta forma, solo quedan los convertidores inductivos y los convertidores de capacitores conmutados.

La familia de convertidores inductivos se basan en entregar energía por parte de la fuente de alimentación a un inductor, para que luego éste entregue energía a la carga y a un condensador que mantiene la tensión de salida. Si bien son convertidores

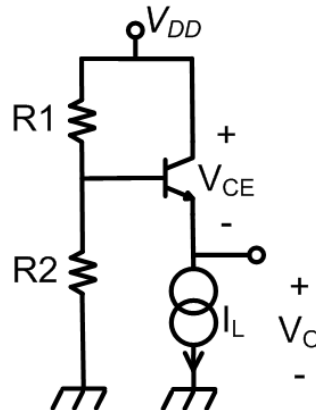


Figura 1.1: Conversor DC/DC lineal.

muy eficientes presentan algunas características que no los hace adecuados para las aplicaciones que se abordan en este trabajo. Primero que nada son convertidores que son usados para entregar potencias significativamente mayores a las mencionadas en los párrafos anteriores. En particular mucho mayores a los consumos de modo sleep de los microcontroladores mencionados. A modo de ejemplo, en [7] se usa un convertidor híbrido inductivo-capacitivo que usa el convertidor capacitivo cuando la carga requiere baja potencia y el inductivo cuando se requiere mayor potencia. En [8] se presenta un análisis que compara los convertidores inductivos con los capacitivos y llega a la conclusión que los inductivos no son apropiados para aplicaciones de ULP. Por otro lado, la integración de inductores obtiene bajos factores de calidad (Q), o se implementan usando tecnologías especiales. De esta forma, podemos concluir que los convertidores inductivos no son apropiados para convertidores totalmente integrados de ULP en tecnologías estándar.

A nivel comercial, existen opciones que logran buenas eficiencias para corrientes de algunos μA . A modo de ejemplo, el chip *TS3310* de la empresa “Silicon Labs” es un convertidor step-up inductivo que reporta una eficiencia por encima del 70% para corrientes de carga menores al μA . El chip *LTC3250* – 1,2 de la empresa Linear Technology es un convertidor step down de capacitores conmutados que si bien reporta una eficiencia mayor al 80% para corrientes de carga mayores a $1mA$, para una corriente de carga de $100\mu A$ la eficiencia ya cae al 53% y no se reportan resultados de eficiencia para corrientes menores. El chip *TPS62730* de la empresa Texas Instruments es un convertidor step down inductivo que logra eficiencias por encima del 90% pero para corrientes cercanas a los $100\mu A$ se cae al entorno del 60% y sigue bajando para corrientes menores. Todos estos ejemplos tienen en común que necesitan componentes externos (inductores y/o capacitores) cuyos valores los hacen imposibles para ser integrados. Por lo tanto, todas estas opciones no son útiles para convertidores DC/DC totalmente integrados. De lo previo, se puede concluir que para aplicaciones totalmente integradas de ULP,

Capítulo 1. Introducción

los conversores DC/DC de capacitores conmutados son una buena opción.

A la fecha, existen varios trabajos respecto a conversores DC/DC totalmente integrados. [9] es una importante referencia que presenta un convertor totalmente integrado con múltiples relaciones de conversión. Logra buenos niveles de eficiencia reportando resultados por encima del 75%, ayudado de una técnica que permite reducir la pérdidas debido a las capacidades parásitas de top/bottom plate (CPTBP). Utiliza una fuente de alimentación de 1,2V para el convertor, la lógica y las llaves de fase, y una alimentación extra de 1,8V para las llaves que definen la topología. Esta fuente de alimentación extra hace más difícil la comparación ya que implica un grado de libertad extra, además de implicar una complejidad mayor a nivel del sistema y la necesidad de manejar esta tensión más elevada.

[10] presenta un convertor interleaved de dos fases con tres relaciones de conversión y una llave que conecta directamente la salida con la entrada para responder en caso de necesitar transiciones rápidas. Si bien esta técnica de la llave directa funciona correctamente, no parece apropiada para sistemas de ULP ya que en caso de ser usada frecuentemente podría causar una disipación de potencia importante. Se reporta una máxima eficiencia de 55%.

[11] presenta una estructura interleaved con 32 fases que manifiesta la utilidad de esta técnica para disminuir el ripple y así mejorar la eficiencia. Sin embargo, este trabajo está orientado a maximizar la densidad de potencia (en A/mm^2) para lograr el uso de este tipo de conversores en sistemas multi-core. Incluso no se reportan datos sobre la potencia mínima entregada a la carga. Reporta una máxima eficiencia de 79,8%.

[3] implementan un “system on a chip” (SOC) que tiene un μC , memoria RAM y un convertor DC/DC de capacitores conmutados. El μC y la memoria fueron implementados usando lógica sub-umbral y el convertor DC/DC se usó para implementar la técnica de “escalado de voltaje”. Se reporta una eficiencia superior al 75% en un rango de potencia entregada a la carga de $10\mu W$ a $250\mu W$, y una eficiencia menor al 65% para potencias menores al μW .

[12] también presenta un SOC que incluye un microcontrolador basado en un MSP430 (microcontrolador de “Texas Instruments”), memoria, y periféricos además de un convertor DC/DC de capacitores conmutados totalmente integrado. Si bien el convertor alcanza una eficiencia algo por encima de 80% usa un capacitor externo de 3.3nF que influye en la performance del mismo.

1.2. Consideraciones generales sobre conversores DC/DC de capacitores conmutados

Un convertor DC/DC de capacitores conmutados utiliza un conjunto de condensadores y llaves para poder implementar diferentes configuraciones a las que se les denomina fases. A modo de ejemplo, en la figura 1.2a se muestra un convertor down converter de dos fases con relación de conversión 1/3. En la primera fase

1.2. Consideraciones generales sobre convertidores DC/DC de capacitores conmutados

$T1$ (figura 1.2b), el convertidor está tomando energía de la fuente de alimentación V_{DD} , mientras que en la segunda fase $T2$ (figura 1.2c) el convertidor entrega energía a la carga. En la figura 1.2d se muestran las formas de onda de los voltajes de las placas superiores de $C1$ y $C2$ (V_{Top1} y V_{Top2} respectivamente). Si bien existen distintos tipos de arquitecturas de convertidores en las cuales se pueden tener dos o más fases, lo más usual es que tengan dos como en el ejemplo mostrado. La frecuencia de cada una de las fases se denomina frecuencia de conmutación (f_{SW}).

En funcionamiento normal, la entrega de carga se da en un formato cercano a una $\delta(t)$ (función delta de Dirac). A modo de ejemplo, viendo el convertidor de la figura 1.2, la entrega de carga (energía) se da en el comienzo de la fase $T2$, luego de este impulso de carga la tensión de salida alcanza un máximo para luego comenzar a decaer con una pendiente que depende de la corriente tomada por la carga. Por lo tanto, en sentido estricto la tensión de salida no será constante. Para medir este comportamiento se define el voltaje de ripple (V_{Ripple}) que es la diferencia entre la máxima tensión de salida y la mínima como se muestra en la ecuación 1.2. En un convertidor bien diseñado, es de esperar que este parámetro sea bastante menor que la tensión de salida promedio.

$$V_{Ripple} = V_O^{Max} - V_O^{Min} \quad (1.2)$$

En los convertidores a capacitores conmutados, el logro de altas eficiencias en comparación con los convertidores lineales se basa en la ecuación 1.3. Esta ecuación da la energía disipada al conectar en paralelo dos capacitores C_a y C_b que tienen entre sí una diferencia inicial de tensión ΔV . De esta ecuación, se evidencia que si la diferencia de tensión inicial ΔV es chica, cuando ambos se conecten en paralelo las pérdidas se pueden considerar chicas.

$$E_{Lost} = \frac{C_a \cdot C_b \cdot \Delta V^2}{2 \cdot (C_a + C_b)} \quad (1.3)$$

De esta forma, con una frecuencia de conmutación suficientemente alta se puede lograr variaciones de tensión despreciables en cada uno de los capacitores del convertidor logrando pérdidas dadas por la ecuación 1.3 también despreciables. En una implementación real, donde las llaves se implementan mediante transistores MOS, ir muy rápido implica tener transistores grandes con lo que aumentan las pérdidas por el manejo de los mismos. Además, los capacitores principales cuentan con capacidades parásitas que implican también un consumo de energía, así como el lazo de control que regula la tensión de salida. No obstante, se logran eficiencias significativamente mejores que las de un convertidor lineal. Más adelante se hace una definición formal de los diferentes tipos de pérdidas y de la eficiencia.

Capítulo 1. Introducción

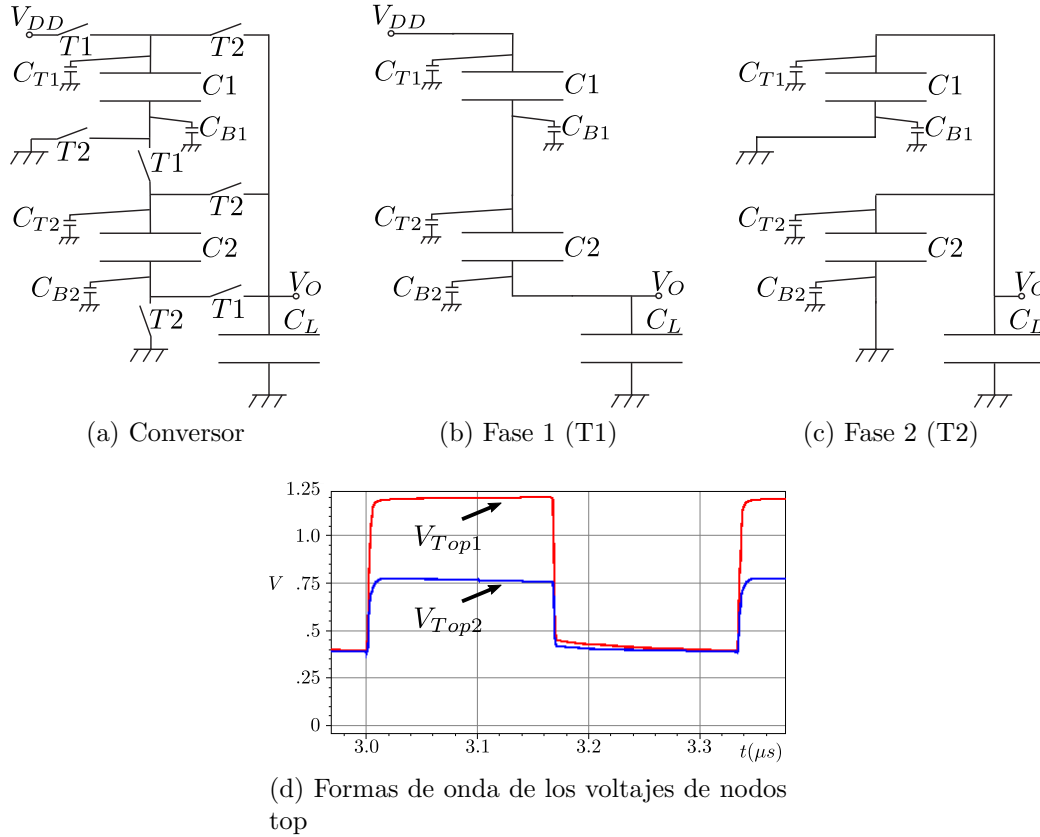


Figura 1.2: Conversor típico con relación de conversión 1/3.

Modelo de un conversor DC/DC de capacitores conmutados

Si bien un conversor DC/DC de capacitores conmutados es un circuito no lineal, existe un modelo lineal promediado¹ de tiempo continuo que describe de forma compacta su comportamiento general. Dicho modelo es similar al de un modelo Thevenin de un circuito lineal y es el que se muestra en la figura 1.3. Por un lado, al igual que el equivalente Thevenin, se tiene la tensión de circuito abierto que se obtiene viendo la tensión de salida cuando la corriente de carga es cero. A esta tensión se la llama voltaje sin carga (V_{NL}). Dicha tensión es una fracción entera de la fuente de alimentación ($\frac{m}{n} \cdot V_{DD}$).

Por otro lado, se tiene la resistencia equivalente de salida R_{OUT} . El cálculo de esta resistencia es complicado y de hecho no existe un modelo general que permita tener una expresión exacta. Sin embargo, como se analiza en [13], existe un método

¹Un modelo promediado solo tiene en cuenta el promedio de las señales del conversor. Esto significa que deja de lado las variaciones en torno a dicho promedio (como por ejemplo el ripple en el caso de la tensión de salida) a cambio de una mayor simplicidad para el análisis.

1.2. Consideraciones generales sobre convertidores DC/DC de capacitores conmutados

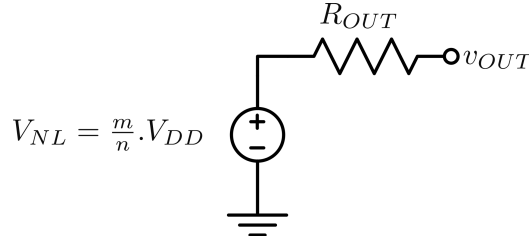


Figura 1.3: Modelo promediado lineal de un convertidor DC/DC de capacitores conmutados.

para calcular dicha resistencia de forma aproximada pero que tiene resultados que se acercan mucho al valor real. Dicho método se basa en calcular la resistencia R_{OUT} para los casos límites en que la frecuencia de conmutación es muy lenta (a este modo de funcionamiento se le denomina “slow switching limit” (SSL)) y en el caso en que dicha frecuencia es muy rápida (a este modo de funcionamiento se le denomina “fast switching limit” (FSL))². A dichas resistencias se las denomina R_{SSL} y R_{FSL} respectivamente. Luego, la resistencia R_{OUT} se puede aproximar como la raíz cuadrada de la suma cuadrática de ambas resistencias como lo muestra la ecuación 1.4.

$$R_{OUT} = \sqrt{R_{SSL}^2 + R_{FSL}^2} \quad (1.4)$$

Como se ve en [13], para R_{SSL} y R_{FSL} existen métodos que permiten calcularlas de forma exacta. La aproximación se encuentra en usar la ecuación 1.4 como resistencia válida para todas las frecuencias de conmutación. Sin embargo, como ya se mencionó, dicha aproximación arroja muy buenos resultados.

Calculo de R_{SSL} para el convertidor de la figura 1.2

Como se verá en la sección 1.2.2, este tipo de convertidores, en la mayoría de los casos se utilizan en modo Slow Switching Limit. Por lo tanto, el calculo de R_{SSL} es de gran importancia. Para calcular R_{SSL} , se debe expresar la carga que pasa por cada capacitor en cada una de las fases, como una fracción de la carga entregada en un período de conmutación. Estas cargas se agrupan en lo que se denominan vectores de carga donde cada vector se corresponde con una de las fases (dos en nuestro caso). En [13] se hace un desarrollo detallado de este cálculo. La ecuación 1.5 muestra los vectores de carga (\mathbf{a}^1 y \mathbf{a}^2) para el caso del convertidor de la figura 1.2.

$$\begin{aligned} \mathbf{a}^1 &= [q_{C1T1} \quad q_{C2T1}] / q_{out} \\ \mathbf{a}^2 &= [q_{C1T2} \quad q_{C2T2}] / q_{out} \end{aligned} \quad (1.5)$$

²Cuando se menciona que la frecuencia de conmutación es muy “lenta” (“rápida”) lo que se quiere decir es que la duración de cada fase es mucho mayor (menor) que las constantes de tiempo τ del sistema.

Capítulo 1. Introducción

Por un lado, si planteamos las ecuaciones de Kirchiff para ambas fases, llegamos a las ecuaciones 1.6, 1.7, 1.8 y 1.9.

$$q_{C1T1} = q_{C2T1} = q_{outT1} \quad (1.6)$$

$$V_O + V_{C1T1} + V_{C2T1} = V_{DD} \quad (1.7)$$

$$q_{C1T2} + q_{C2T2} = q_{outT2} \quad (1.8)$$

$$V_O = V_{C1T2} = V_{C2T2} \quad (1.9)$$

Por otro lado, asumiendo que estamos en estado estable (la carga neta en un período de conmutación en cada condensador es nula), llegamos a las ecuaciones 1.10 y 1.11.

$$q_{C1T1} + q_{C1T2} = 0 \quad (1.10)$$

$$q_{C2T1} + q_{C2T2} = 0 \quad (1.11)$$

La ecuación 1.12 muestra el balance de carga en la salida.

$$q_{out} = q_{outT1} + q_{outT2} \quad (1.12)$$

Asumiendo que las variaciones de tensión en los condensadores entre fase y fase son despreciables, se llega a que $V_{C1T1} = V_{C1T2}$ y $V_{C2T1} = V_{C2T2}$. Usando estos resultados y las ecuaciones 1.7 y 1.9, llegamos a la ecuación 1.13.

$$V_O = \frac{V_{DD}}{3} \quad (1.13)$$

Aplicando la conservación de la energía llegamos a la ecuación $V_{DD} \cdot q_{outT1} = V_O \cdot (q_{outT1} + q_{outT2})$. Luego, usando 1.13 llegamos a la ecuación 1.14.

$$q_{outT2} = 2 \cdot q_{outT1} \quad (1.14)$$

Usando 1.14 en 1.12 llegamos a 1.15 y 1.16.

$$q_{outT1} = \frac{1}{3} \cdot q_{out} \quad (1.15)$$

$$q_{outT2} = \frac{2}{3} \cdot q_{out} \quad (1.16)$$

Sustituyendo 1.15 en 1.6 llegamos a la ecuación 1.17.

$$q_{C1T1} = q_{C2T1} = \frac{1}{3} \cdot q_{out} \quad (1.17)$$

Luego, usando 1.10, 1.11 y 1.17 llegamos a 1.18.

1.2. Consideraciones generales sobre convertidores DC/DC de capacitores conmutados

$$q_{C1T2} = q_{C2T2} = -\frac{1}{3} \cdot q_{out} \quad (1.18)$$

A partir de estos resultados se pueden construir los vectores de carga como se muestra en la ecuación 1.19.

$$\mathbf{a}^1 = \left[\left(\frac{1}{3} \right) \quad \left(\frac{1}{3} \right) \right] \quad (1.19)$$

$$\mathbf{a}^2 = \left[-\left(\frac{1}{3} \right) \quad -\left(\frac{1}{3} \right) \right]$$

El cálculo de la resistencia R_{SSL} se realiza usando la ecuación 1.20.

$$R_{SSL} = \sum_{i \in Caps} \sum_{j=1}^n \frac{(aci)^2}{2 \cdot Ci \cdot f_{SW}} \quad (1.20)$$

Sustituyendo 1.19 en 1.20 y asumiendo que $C1 = C2$ llegamos a la ecuación de la resistencia de salida que se muestra en la ecuación 1.21.

$$R_{SSL} = \frac{2}{9 \cdot C1} \cdot \frac{1}{f_{SW}} = \frac{K_{SSL}}{f_{SW}} \quad (1.21)$$

1.2.1. Pérdidas y eficiencia en un convertidor DC/DC de capacitores conmutados

A continuación, se definen la energía y potencia entregada a la carga y los distintos tipos de pérdidas que existen en un convertidor real para luego definir su eficiencia.

Energía entregada a la carga

La potencia instantánea entregada a la carga es la que se muestra en la ecuación 1.22 donde $V_O(t)$ es la tensión de salida e $I_L(t)$ es la corriente entregada a la carga. Si asumimos que la corriente de carga es aproximadamente constante en un período de conmutación, se puede calcular la potencia promedio entregada a la carga según la ecuación 1.23.

$$P_{Load}(t) = V_O(t) \cdot I_L(t) \quad (1.22)$$

$$P_{Load} = \frac{1}{T_{SW}} \cdot \int_0^{T_{SW}} P_{Load}(t) \cdot dt = \left(\frac{1}{T_{SW}} \cdot \int_0^{T_{SW}} V_O(t) \cdot dt \right) \cdot I_L = \overline{V_O} \cdot I_L \quad (1.23)$$

Luego, para calcular la energía entregada a la carga E_{Load} durante un período de conmutación se tiene la relación de la ecuación 1.24.

$$E_{Load} = \frac{P_{Load}}{f_{SW}} \quad (1.24)$$

Capítulo 1. Introducción

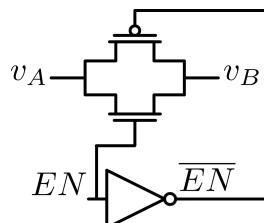


Figura 1.4: Llaves usadas en convertidores DC/DC de capacitores conmutados.

Pérdidas por conducción

Como se muestra en la figura 1.3, dada la existencia de la resistencia R_{OUT} siempre que se entregue corriente a la carga habrá una disipación de potencia en la misma. Esta potencia se muestra en la ecuación 1.25 y se le denomina “pérdidas por conducción”. Dicha potencia representa las pérdidas de energía intrínsecas al proceso de transferir/tomar carga a/de un condensador.

$$P_{Cond} = (V_{NL} - \overline{V_O}) \cdot I_L = R_{OUT} \cdot I_L^2 \quad (1.25)$$

Otra conclusión que se puede sacar de la figura 1.3 es que no es posible alcanzar el voltaje V_{NL} si se entrega potencia a la carga, debido a la caída inevitable de tensión que aparece en R_{OUT} . Por lo tanto, cuando se regule la tensión de salida deberá hacerse a una tensión menor a V_{NL} .

Por otro lado, se tiene la energía consumida debido a la conducción en un período de conmutación que se muestra en la ecuación 1.26.

$$E_{Cond} = \frac{P_{Cond}}{f_{SW}} \quad (1.26)$$

De la ecuación 1.25 se puede ver que dichas pérdidas dependen de la diferencia de tensión entre V_{NL} y $\overline{V_O}$, y de la corriente de carga I_L .

Un punto importante a tener en cuenta, es que para las ecuaciones 1.23 y 1.25 se asume que la carga es una fuente de corriente cuyo valor es aproximadamente constante en un período de conmutación T_{SW} . Sin embargo, si la carga fuera del tipo resistiva, como se analiza en [11] las ecuaciones 1.23 y 1.25 también van a depender del voltaje de ripple V_{Ripple} .

Pérdidas de gate-drive

Las llaves usadas en convertidores DC/DC de capacitores conmutados son como la que se muestra en la figura 1.4, las cuales consisten en conectar un transistor NMOS y uno PMOS en paralelo.

1.2. Consideraciones generales sobre conversores DC/DC de capacitores conmutados

De esta forma, el encendido y apagado de las llaves se logra mediante la carga y descarga del gate de los transistores que componen la llave. Salvo que se aplique algún tipo de técnica especial para el manejo de estos componentes, los gates de estos transistores tienen variaciones de tensión entre 0 y la fuente de alimentación V_{DD} a la hora de cerrar/abrir la llave.

Teniendo en cuenta que la potencia disipada debido a cargar y descargar un capacitor C_L a una frecuencia f entre 0 y V_{DD} es la que se muestra en la ecuación 1.27, es posible calcular la potencia consumida debido al manejo de las llaves.

$$P_{Din} = f \cdot C_L \cdot V_{DD}^2 \quad (1.27)$$

De esta forma, la potencia de gate-drive consumida es aproximadamente la que se muestra en la ecuación 1.28. En la misma, C'_{ox} es la capacidad por unidad de área del gate de los transistores, L_{min} es el largo mínimo de transistor permitido por la tecnología, W_i es el ancho del i -ésimo transistor, y α_{SWi} es tal que $f_i = \alpha_{SWi} \cdot f_{SW}$ donde f_i es la frecuencia con la que se enciende y apaga el i -ésimo transistor.

$$P_{SW} = f_{SW} \cdot C'_{ox} \cdot L_{min} \cdot \left(\sum_{i=1}^n \alpha_{SWi} \cdot W_i \right) \cdot V_{DD}^2 \quad (1.28)$$

Es importante notar que la potencia de gate-drive es directamente proporcional con la frecuencia de conmutación f_{SW} . Luego, se puede calcular la energía consumida por gate-drive dividiendo por la frecuencia de conmutación como se muestra en la ecuación 1.29.

$$E_{SW} = \frac{P_{SW}}{f_{SW}} = C'_{ox} \cdot L_{min} \cdot \left(\sum_{i=1}^n \alpha_{SWi} \cdot W_i \right) \cdot V_{DD}^2 \quad (1.29)$$

Pérdidas por capacidades parásitas de top/bottom plate

Los capacitores integrados cuentan con capacidades parásitas desde cada una de sus placas a sustrato. Estas capacidades son denominadas como “capacidades parásitas de top/bottom plate” (CPTBP). Una forma de implementar un capacitor es utilizando la capacidad de gate de los transistores. Para que los mismos sean flotantes (es decir que ninguno de sus terminales estén conectados a una tensión fija) es necesario o bien usar transistores *PMOS*, o transistores *NMOS* de doble pozo si la tecnología cuenta con la opción, como se muestra en la figura 1.5. En dicha figura se muestra esta implementación con sus correspondientes capacidades parásitas C_T y C_B . Por otro lado, en las tecnologías más nuevas se tienen capacitores metal-insulator-metal (*MIM*) que se implementan en capas altas de metal por lo que no tienen capacidades parásitas significativas a sustrato. Sin embargo, por razones que se analizan en el capítulo 2 (área y densidad de potencia) sigue teniendo sentido el uso de los capacitores *MOS* y por lo tanto se deben tener en cuenta las CPTBP a la hora de hacer el análisis de las pérdidas.

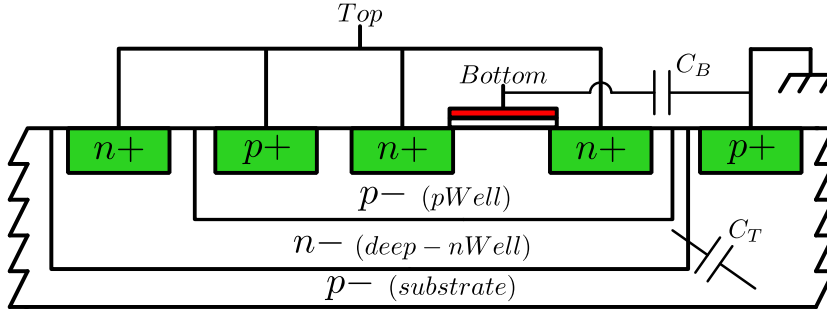


Figura 1.5: Capacitor NMOS de triple pozo con sus capacidades parásitas.

Como en cada cambio de fase la mayoría de los capacitores cambian sus voltajes referidos a tierra, se genera una carga/descarga de las CPTBP lo cual genera pérdidas de energía. La potencia disipada debido a este efecto es la que se muestra en la ecuación 1.30. En la misma f_{SW} nuevamente es la frecuencia de conmutación, $C'_{par} = C'_{top} + C'_{bottom}$ es la capacidad total por unidad de área de las CPTBP, A_i es el área equivalente considerada para las capacidades parásitas del i -ésimo capacitor³, y V_{DD} la alimentación. La constante $\alpha_{f_{SW}i}$ cumple que $f_i = \alpha_{f_{SW}i} \cdot f_{SW}$ donde f_i es la frecuencia de conmutación de las CPTBP del i -ésimo condensador. La constante $\alpha_{V_{DD}i}$ cumple que $\Delta V_i = \sqrt{\alpha_{V_{DD}i}} \cdot V_{DD}$ donde ΔV_i es la variación de tensión de las CPTBP del i -ésimo capacitor.

$$P_{CPar} = f_{SW} \cdot C'_{par} \cdot \left(\sum_{i=1}^n \alpha_{V_{DD}i} \cdot \alpha_{f_{SW}i} \cdot A_i \right) \cdot V_{DD}^2 \quad (1.30)$$

En la ecuación 1.30 se puede ver que la potencia disipada en este caso es proporcional a la frecuencia de conmutación f_{SW} . Por lo tanto, si se quiere calcular la energía consumida en un período de conmutación T_{SW} , dicha ecuación se debe dividir por f_{SW} , de esta forma E_{CPar} nos queda según la ecuación 1.31.

$$E_{CPar} = C'_{par} \cdot \left(\sum_{i=1}^n \alpha_{V_{DD}i} \cdot \alpha_{f_{SW}i} \cdot A_i \right) \cdot V_{DD}^2 \quad (1.31)$$

Pérdidas por el lazo de control

Por último, siempre es necesario tener una lógica que maneje el convertidor y que sea parte de un lazo de control que regula la tensión de salida. Esta lógica puede disipar una potencia proporcional a la frecuencia de conmutación si es puramente digital, o puede tener un término proporcional a la frecuencia de conmutación y un término constante que se corresponde con algún circuito analógico. La ecuación 1.32 expresa lo antes mencionado. En la misma, α_{C_i} cumple que $f_i = \alpha_{C_i} \cdot f_{SW}$

³Si bien esta área sera diferente para C_T y C_B , es posible considerarlas iguales tomando la misma área para los dos e incorporando la diferencia correspondiente en los valores considerados de C'_{top} y C'_{bottom} .

1.2. Consideraciones generales sobre convertidores DC/DC de capacitores conmutados

donde f_i es la frecuencia de conmutación del i -ésimo nodo de la lógica, C_i es la capacidad del i -ésimo nodo de la lógica, e I_{An} es la corriente constante consumida por el circuito analógico (si las corrientes de fuga no fueran despreciables, se pueden incluir en este término).

$$P_{Logic} = f_{SW} \cdot \left(\sum_{i=1}^n \alpha_{C_i} \cdot C_i \right) \cdot V_{DD}^2 + I_{An} \cdot V_{DD} \quad (1.32)$$

Para obtener la energía consumida en un período de conmutación T_{SW} se debe dividir la ecuación 1.32 por f_{SW} . Por lo tanto, la energía E_{Logic} es la mostrada en la ecuación

$$E_{Logic} = \left(\sum_{i=1}^n \alpha_{C_i} \cdot C_i \right) \cdot V_{DD}^2 + \frac{I_{An} \cdot V_{DD}}{f_{SW}} \quad (1.33)$$

Eficiencia de un convertidor DC/DC de capacitores conmutados

La eficiencia de un convertidor de energía se define como la potencia entregada a la carga, dividido la potencia tomada de la fuente. Dado que la potencia tomada de la carga se compone de la entregada a la carga y todas las pérdidas, la eficiencia para un convertidor DC/DC de capacitores conmutados se define según la ecuación 1.34.

$$\eta^P = \frac{P_{Load}}{P_{Load} + P_{Cond} + P_{CPar} + P_{SW} + P_{Logic}} \quad (1.34)$$

Para expresar la eficiencia en términos de la energía consumida en un período de conmutación basta con multiplicar y dividir la ecuación 1.34 por f_{SW} . De esta forma, la eficiencia expresada en términos de energía es la que se muestra en la ecuación 1.35.

$$\eta^E = \frac{E_{Load}}{E_{Load} + E_{Cond} + E_{CPar} + E_{SW} + E_{Logic}} \quad (1.35)$$

1.2.2. Regulación de la tensión de salida y sus implicancias en la eficiencia

Dado que con este tipo de circuitos se busca entregar a la carga una tensión constante, es necesario regular dicha tensión mediante un lazo de control. Como se puede apreciar de la figura 1.3, regular la tensión de salida es equivalente a lograr una caída de tensión constante en la resistencia R_{OUT} . Por lo tanto, para obtener una determinada tensión de salida se debe elegir la relación de conversión adecuada para luego variar algún/os parámetro/s de la resistencia de salida en función de la corriente de carga.

Capítulo 1. Introducción

Como se mencionó previamente, el valor de dicha resistencia se puede aproximar mediante la ecuación 1.4. A continuación se hace un análisis de los parámetros que definen tanto a R_{SSL} como a R_{FSL} para poder seleccionar el o los parámetros que se pueden usar para regular la tensión de salida (un análisis más profundo de estas resistencias equivalentes se puede encontrar en [13]). La resistencia de Fast Switching Limit R_{FSL} depende de la arquitectura del convertidor y de las resistencias de las llaves, mientras que la resistencia de Slow Switching Limit R_{SSL} depende de la arquitectura del convertidor, las capacidades que lo componen, y de la frecuencia de conmutación f_{SW} .

De todos estos parámetros, el único que se puede variar de forma continua y en tiempo real, es la frecuencia de conmutación f_{SW} . Por esta razón, en general se usa dicho parámetro para regular la tensión de salida y se trabaja en Slow Switching Limit. La resistencia de salida se puede aproximar según la ecuación 1.36. En la misma, se deja explícita la dependencia inversamente proporcional de R_{OUT} con f_{SW} .

$$R_{OUT} \simeq R_{SSL} = \frac{K_{SSL}}{f_{SW}} \quad (1.36)$$

La caída de tensión en la resistencia de salida será por lo tanto la que se muestra en la ecuación 1.37. De la misma se desprende que la regulación de la tensión de salida se logra variando la frecuencia de conmutación f_{SW} proporcional a la corriente de carga i_L

$$V_{R_{OUT}} = (V_{NL} - \overline{V_O}) = R_{SSL} \cdot i_L = \frac{K_{SSL}}{f_{SW}} \cdot i_L \quad (1.37)$$

La relación entre f_{SW} e i_L será la que se muestra en la ecuación 1.38 cuyos términos son todos constantes.

$$\frac{i_L}{f_{SW}} = \frac{(V_{NL} - \overline{V_O})}{K_{SSL}} = K_{Reg} \quad (1.38)$$

La relación lineal entre la corriente de carga y la frecuencia de conmutación tiene como corolario que la eficiencia del convertidor se mantiene constante dentro del rango de funcionamiento normal del mismo. Esto se puede ver al analizar la ecuación 1.34. Por un lado, de las ecuaciones 1.28, 1.30 y 1.32 se puede ver que P_{SW} , P_{CPar} y P_{Logic} tienen una dependencia lineal con la frecuencia de conmutación ⁴. Por otro lado, combinando las ecuaciones 1.25 y 1.38 se tiene que $P_{Cond} = (V_{NL} - \overline{V_O}) \cdot K_{Reg} \cdot f_{SW}$, y combinando las ecuaciones 1.23 y 1.38 se tiene que $P_{Load} = \overline{V_O} \cdot K_{Reg} \cdot f_{SW}$. De este análisis se desprende que en un convertidor regulado, todos los términos de la ecuación 1.34 son proporcionales a la frecuencia de conmutación f_{SW} . Por este motivo, dicha ecuación se puede describir como la

⁴Si bien P_{Logic} en general puede tener un término constante, el término que depende linealmente con la frecuencia de conmutación va a dominar a partir de una cierta frecuencia.

1.2. Consideraciones generales sobre convertidores DC/DC de capacitores conmutados

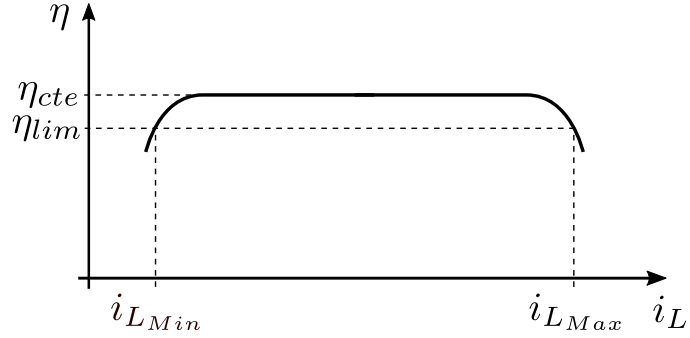


Figura 1.6: Ejemplo de gráfica de eficiencia en función de la corriente de carga i_L para un convertor regulado y trabajando en modo slow switching limit.

ecuación 1.39 en donde se puede ver que efectivamente si la tensión de salida es constante, todos los términos de dicha ecuación también lo serán.

$$\eta_{cte} = \frac{\overline{V_O} \cdot K_{Reg}}{\overline{V_O} \cdot K_{Reg} + (V_{NL} - \overline{V_O}) \cdot K_{Reg} + E_{CPar} + E_{SW} + E_{Logic}} \quad (1.39)$$

Las dos hipótesis principales realizadas para alcanzar la ecuación 1.39 son que el término independiente de f_{SW} de la ecuación 1.32 es despreciable frente a los otros términos del denominador de la ecuación 1.34, y que se está trabajando en modo Slow Switching Limit. Por un lado, cuando la potencia entregada a la carga es suficientemente chica y sigue decreciendo, se alcanzará un punto a partir del cual se deja de cumplir la primera hipótesis. Por lo tanto, a partir de ahí el término independiente de f_{SW} de la ecuación 1.32 se torna cada vez más significativo y la eficiencia comienza a decaer. Por otro lado, si la corriente de carga aumenta (y según la ecuación 1.38 también lo hace f_{SW}), se llegará a un punto donde la segunda hipótesis deja de ser válida y se entra en modo Fast Switching Limit. En este punto, la tensión de salida comenzará a caer por falta de regulación, por lo que la eficiencia también caerá. En la figura 1.6, se muestra una gráfica que ejemplifica la curva de la eficiencia en función de la corriente de carga i_L . En la misma, se aprecia una zona plana correspondiente a la eficiencia constante η_{cte} , además se aprecia como la curva decae a partir de las corrientes $i_{L_{Min}}$ e $i_{L_{Max}}$.

A continuación se hace un análisis sobre como abordar el punto $(i_{L_{Min}}, \eta_{lim})$. Como primer paso debemos definir la relación que existe entre el valor de la eficiencia en la zona plana de la curva η_{cte} y la eficiencia del punto en cuestión η_{lim} . Esta relación se define según la ecuación 1.40. El valor de este parámetro es arbitrario y dependerá de la tolerancia de cada aplicación a la pérdida de eficiencia.

$$K_{eff} = \frac{\eta_{lim}}{\eta_{cte}} \quad (1.40)$$

Por otro lado, la ecuación 1.39 la vamos a expresar como $\eta_{cte} = \frac{P_L}{P_L + P_{Losses}}$, donde P_{Losses} incluye todas las pérdidas del convertor a excepción del término

Capítulo 1. Introducción

independiente de f_{SW} de la ecuación 1.32. De dicha ecuación, podemos despejar la relación que existe entre la P_L y P_{Losses} lo que nos da la ecuación 1.41.

$$\frac{P_{Losses}}{P_L} = \frac{1 - \eta_{cte}}{\eta_{cte}} \quad (1.41)$$

La ecuación de la eficiencia que también considera el término independiente de f_{SW} de la ecuación 1.32 se puede expresar como se muestra en la ecuación 1.42 donde $P_{An} = I_{An} \cdot V_{DD}$ es dicho término.

$$\eta_{lim} = \frac{P_{Load}}{P_{Load} + P_{Losses} + P_{An}} \quad (1.42)$$

Luego, combinando las ecuaciones 1.40, 1.41 y 1.42, llegamos a la ecuación 1.43 que muestra la relación ente la potencia entregada a al carga P_{Load} (cuando la corriente es $i_{L_{Min}}$) y P_{An} en función de η_{cte} y K_{eff} .

$$\frac{P_{An}}{P_{Load}} = \left(\frac{1 - K_{eff}}{K_{eff}} \right) \cdot \frac{1}{\eta_{cte}} \quad (1.43)$$

Si seguimos trabajando sobre la ecuación 1.43, podemos obtener la relación que existe entre I_{An} y la potencia mínima entregada a la carga. Esto da como resultado la ecuación 1.44.

$$I_{An} = \frac{P_{L_{Min}}}{V_{DD}} \cdot \left(\frac{1 - K_{eff}}{K_{eff}} \right) \cdot \frac{1}{\eta_{cte}} \quad (1.44)$$

Esta ecuación puede ser usada de dos formas. Por un lado, si tenemos circuitos analógicos que consumen una cierta corriente I_{An} , la ecuación nos va a decir para cada relación de conversión y cada tensión de salida $\overline{V_O}$ cual es la mínima potencia que puedo entregar a la carga. Por otro lado, si tenemos como objetivo alcanzar una cierta potencia mínima entregada a la carga $P_{L_{Min}}$, esta ecuación nos va a decir cuánta corriente tenemos para polarizar los circuitos analógicos en caso de que los necesitemos.

1.2.3. Reciclado de carga

El funcionamiento normal de un convertor DC/DC de capacitores conmutados hace que se genere una carga y descarga sistemática de capacidades parásitas. Estos procesos de carga y descarga generan pérdidas de energía que de una forma u otra provienen de la fuente de alimentación. Como esta energía no llega a la carga (se disipa en la resistencia de las llaves) este fenómeno implica una disminución en la eficiencia como se puede ver en la ecuación 1.34. Cuando se habla de reciclado de carga se habla de usar parte de la energía que naturalmente se disipa en las llaves debido a estos procesos para darle una utilidad que permite mejorar la eficiencia del convertor. En particular, en lugar de “tirar” la carga de las capacidades parásitas que en un determinado momento se estan descargando, se reutilizan para cargar otras capacidades parásitas que necesitan ser cargadas.

Organización del documento

En esta tesis, se verá en el capítulo 2 el estudio de técnicas generales de reciclado de carga tanto para disminuir las pérdidas debido a las CPTBP (E_{CPar}), como para las pérdidas debido al manejo de las llaves (E_{SW}). En el capítulo 3 se presentan los resultados de simulación y medidas de un convertidor de arquitectura modular. Gracias a la regularidad de dicha arquitectura, la técnica de reciclado de carga de las CPTBP se implementa de una forma más sencilla. En el capítulo 4 se presentan dos circuitos usados para implementar el lazo de control en los que se aplican técnicas novedosas para reducir el consumo. En el capítulo 5 se hace un análisis del lazo de control aplicado al convertidor presentado en el capítulo 3. Por último, en el capítulo 6 se presentan las conclusiones y los trabajos a futuro.

Capítulo 2

Técnicas de reciclado de carga

Si se analizan los tipos de pérdidas presentados en la sección 1.2, se puede apreciar que solo las pérdidas de gate-drive y las debido a las capacidades parásitas de top/bottom-plate (CPTBP) pueden ser usadas para reciclar carga. Por un lado, las pérdidas de conducción son intrínsecas a la tensión de salida que deseamos obtener (Figura 1.3) por lo que difícilmente se pueda reciclar algo de carga. Por otro lado, dado que la lógica siempre se implementa con transistores mínimos, hacer un reciclado de carga no tiene sentido ya que cualquier medida que se tome tendrá un costo mayor que el ahorro obtenido. Sin embargo, tanto las pérdidas debido a las CPTBP como a las debido al manejo de las llaves, tiene capacidades suficientemente grandes como para justificar el uso de técnicas de reciclado de carga. En este capítulo se presentan técnicas de reciclado de carga (TRC) para ambos casos.

2.1. Técnica general de reciclado de carga para capacidades parásitas de top/bottom-plate

El contenido de esta sección refleja el contenido de la sección II de [14].

Las pérdidas debido a las CPTBP en un convertor DC/DC de capacitores conmutados provienen del cambio de posición de los condensadores principales en las transiciones de fase. Si bien las CPTBP son mucho menores que las capacidades principales, las variaciones de tensión a las cuales son sometidas en las transiciones de fase son significativas. A modo de ejemplo, en el convertor típico de relación de conversión $1/3$ mostrado en la figura 2.1, la variación de voltaje en una transición de fase son $\frac{2.V_{DD}}{3}$, $\frac{2.V_{DD}}{3}$, $\frac{V_{DD}}{3}$ and $\frac{V_{DD}}{3}$ para C_{T1} , C_{B1} , C_{T2} , C_{B2} respectivamente como se puede deducir de la figura 2.1d. Las pérdidas ($E_{1/3}$) asociadas a un ciclo completo (incluyendo las transiciones Fase1-Fase2 y Fase2-Fase1) es la presentada en la ecuación 2.1, donde se asume que: $C_{top} = C_{T1} = C_{T2}$, $C_{bottom} = C_{B1} = C_{B2}$, y $C_{t/b} = C_{top} + C_{bottom}$. La deducción para dicha ecuación se presenta en el apéndice A.1.

Capítulo 2. Técnicas de reciclado de carga

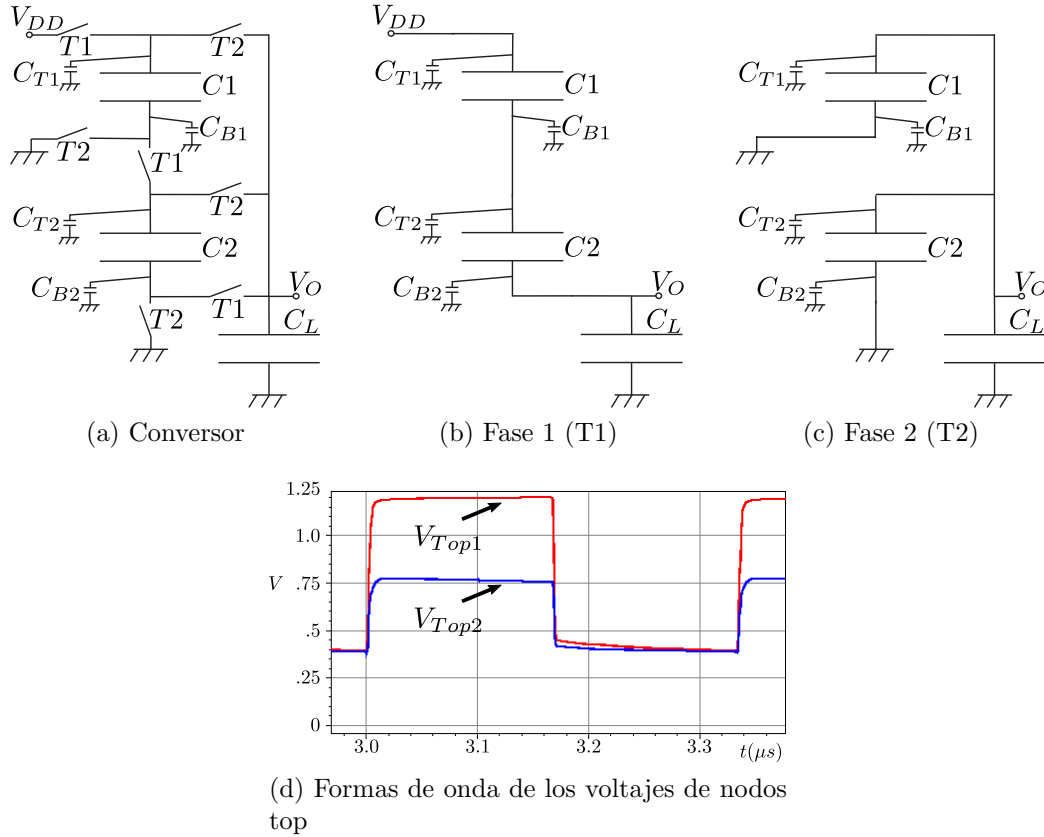


Figura 2.1: Conversor típico con relación de conversión 1/3.

$$E_{1/3} = \frac{5 \cdot C_{t/b} \cdot V_{DD}^2}{9} \quad (2.1)$$

Las pérdidas de energía se anotan con la letra E con un sufijo que indica el conversor al cual se hace referencia (ejemplo: 1/3 para el conversor que se considera en esta sección). La identificación del conversor será seguida de las letras RC si la TRC se ha aplicado. Para disminuir las pérdidas por CPTBP, en cada transición de fase es posible transferir energía desde las CPTBP que pierden energía a las que la ganan. Si bien en algunos conversores (como se mostrará en el capítulo 3) se presenta dicha situación (algunas CPTBP ganan energía mientras otras la pierden), en otras arquitecturas comúnmente usadas esta situación no se da y el concepto antes mencionado no puede ser aplicado. Por ejemplo, para el conversor mostrado en la figura 2.1 o bien todas las CPTBP pierden energía, o bien todas ganan. Por lo tanto el concepto de transferir energía desde las capacidades que deben perderla a las que deben ganarla, no se puede aplicar.

Para resolver dicho problema, una técnica conocida es la de usar un reservorio de energía como se presenta en [15] o como se analizará en la sección 2.2, lo cual

2.1. Técnica general de reciclado de carga para capacidades parásitas de top/bottom-plate

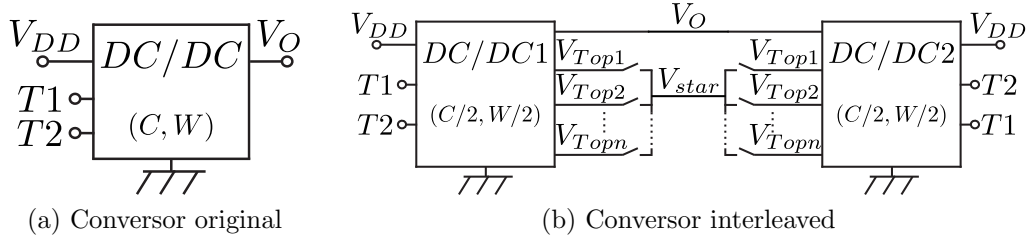


Figura 2.2: TRC para un conversor general.

tiene el costo de gastar área extra de silicio. Otra alternativa para tener una solución general, que haga aplicable la técnica independientemente de la arquitectura del conversor, es la técnica propuesta en la presente tesis. La misma consiste en usar dos conversores interleaved (“entrelazados”, con capacidades principales $C/2$ y ancho de llaves $W/2$) como se muestra en la figura 2.2b, en lugar de usar un conversor simple (con capacidades principales C y ancho de llaves W) como se muestra en la figura 2.2a.

Usar un conversor interleaved no solo tiene el beneficio de disminuir el ripple ([11] y [16]), sino que además resulta en un conversor con una simetría suficiente como para aplicar la TRC independientemente de la arquitectura original. En cada transición de fase, cada una de las CPTBP del conversor DC/DC 1 que está ganando (perdiendo) energía, tiene su análogo en el conversor DC/DC 2 que está perdiendo (ganando) energía.

Para implementar la TRC de las CPTBP todos las placas superiores de los capacitores principales ($C1$ y $C2$ en el conversor de la figura 2.1) deben ser conectadas a un nodo común (V_{star} en la figura 2.2b). De esta forma, usando una lógica dedicada para generar los pulsos necesarios puede ser implementada la mencionada técnica. Para el conversor mostrado en la figura 2.1, la implementación da como resultado el conversor interleaved de dos fases como el mostrado en la figura 2.3. Luego, en la figura 2.4 se muestra la implementación de la TRC para este conversor donde se puede ver que justo antes de comenzar el proceso de reciclado de carga, todos los capacitores principales están “flotando” y el voltaje de sus placas superiores ($V_{Top1.1}$, $V_{Top2.1}$, $V_{Top1.2}$ and $V_{Top2.2}$) referidos a tierra están determinados por la carga en las CPTBP. Las llaves $Sw11$, $Sw21$, $Sw12$, y $Sw22$ conectan todas las placas superiores de los condensadores principales al nodo V_{star} .

En la figura 2.5 se presentan los voltajes referidos a tierra correspondientes a las placas superiores de los cuatro capacitores principales. En la gráfica superior se muestran las dos fases completas ($T1$ y $T2$), donde se puede ver que en la primera fase ($T1$) el primer conversor interleaved está tomando energía de la fuente de alimentación ($V_{Top1.1} \simeq V_{DD}$, $V_{Top2.1} \simeq (2/3)V_{DD}$), y el segundo está entregando energía a la carga ($V_{Top1.2} \simeq V_{Top2.2} \simeq (1/3)V_{DD} \simeq V_o$). En la siguiente

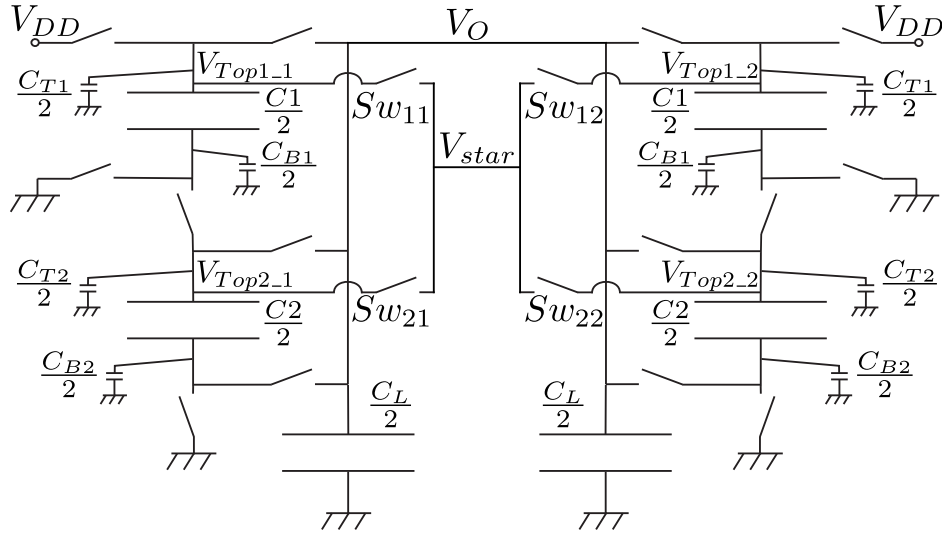


Figura 2.3: El convertor mostrado en la figura 2.1 con la implementación de la TRC.

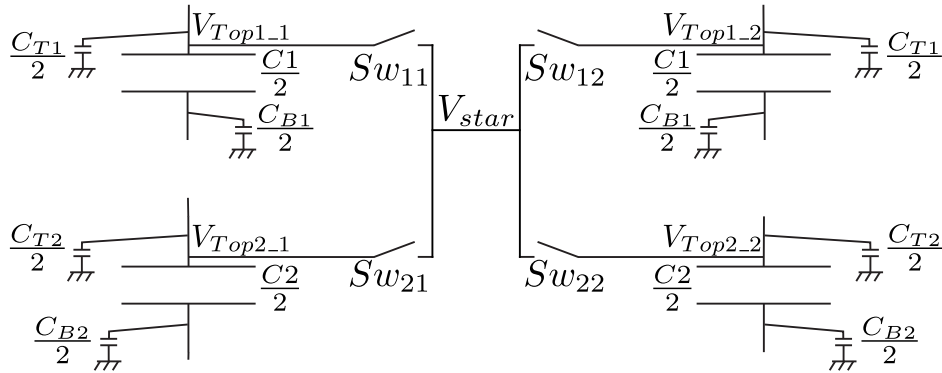


Figura 2.4: Convertor de relación de conversión 1/3 preparado para la aplicación de la TRC.

fase ($T2$) los roles se intercambian. En la parte inferior de la figura 2.5 se presenta un zoom de la transición entre las fases $T1$ y $T2$ ilustrando el intercambio de carga entre las CPTBP mediante el uso de tres pulsos ($P1$, $P2$, y $P3$) no mostrados en la figura. La tabla 2.1 muestra los pares de llaves $Sw11$, $Sw21$, $Sw12$ y $Sw22$ (mostrados en la figura 2.4) que se cierran en cada uno de estos pulsos.

En el primer pulso ($P1$) el intercambio de energía se da desde las CPTBP asociadas a $V_{Top2.1}$ hacia las asociadas a $V_{Top1.2}$, en el segundo pulso ($P2$) el intercambio se da desde las CPTBP asociadas a $V_{Top1.1}$ a las asociadas a $V_{Top1.2}$, y finalmente en el tercer pulso ($P3$) el intercambio se da desde las CPTBP asociadas a $V_{Top2.1}$ a las asociadas a $V_{Top2.2}$. La energía disipada en la transición de fase es la expresada en la ecuación 2.2. La deducción de dicha ecuación se puede apreciar en el apéndice A.1. Es importante resaltar que el reciclado de carga de

2.1. Técnica general de reciclado de carga para capacidades parásitas de top/bottom-plate

	$P1$	$P2$	$P3$
$Sw11$	ABIERTO	CERRADO	ABIERTO
$Sw12$	CERRADO	CERRADO	ABIERTO
$Sw21$	CERRADO	ABIERTO	CERRADO
$Sw22$	ABIERTO	ABIERTO	CERRADO

Tabla 2.1: Activación de las llaves que implementan la TRC, según los pulsos de control $P1$, $P2$ y $P3$.

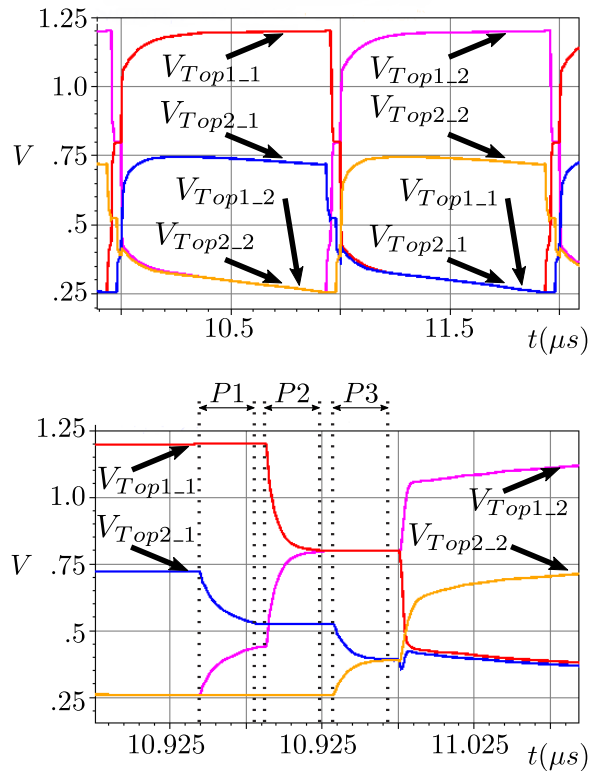


Figura 2.5: Formas de onda del convertor de relación de conversión 1/3.

las capacidades de bottom se da en conjunto con la de top. Esto es así porque la capacidad parásita de bottom está conectada en serie con el capacitor principal correspondiente el cual es mucho más grande. Por lo tanto, el capacitor principal actúa como un corto circuito en serie con la capacidad parásita de bottom durante el reciclado de carga (ver figura 2.4).

$$E_{1/3CR} = \frac{C_{t/b} \cdot V_{DD}^2}{4} \quad (2.2)$$

La ecuación 2.3 presenta la relación de pérdidas debido a las CPTBP para los

Capítulo 2. Técnicas de reciclado de carga

dos casos (aplicando y no aplicando la TRC), donde se aprecia que dichas pérdidas se reducen al 45 % cuando la TRC es aplicada. Aunque la ecuación 2.3 solo tiene en cuenta las pérdidas debido a cargar y descargar las CPTBP, como se verá más adelante, las pérdidas asociadas a la lógica y las llaves extra que implementan la TRC no tienen un impacto significativo y la eficiencia del convertor se mejorará.

$$S_{1/3} = \frac{E_{1/3CR}}{E_{1/3}} = \frac{9}{20} \quad (2.3)$$

Para mostrar la efectividad de la TRC, se implementó y se probó a nivel de simulaciones el convertor que se presenta en la figura 2.1. Las simulaciones fueron realizadas usando una tecnología “CMOS” de $130nm$, el valor de las capacidades $C1$, $C2$, y CL es de $580pF$. La tensión de alimentación usada es de $1,2V$, el rango de tensión de salida es de $0,25V - 0,39V$, y la máxima potencia entregado a la carga es de $240\mu W$. Todos los condensadores se construyeron a partir de transistores “NMOS” de triple pozo, y la lógica y las llaves implementadas con transistores MOS de bajo consumo. La figura 2.6 muestra la implementación de los capacitores principales y se resaltan las capacidades parásitas de top (C_T) y bottom (C_B). En este caso, la capacidad parásita de bottom es despreciable frente a la de top. El valor de la capacidad parásita de top está un poco por debajo del 10 % respecto de la capacidad principal. La eficiencia resultante (simulación del esquemático) en función del voltaje de salida se muestra en la figura 2.7. Esta eficiencia tiene en cuenta las pérdidas debido a la lógica (incluyendo la lógica auxiliar cuando la TRC es aplicada), las de gate-drive (incluyendo las llaves auxiliares cuando la TRC es aplicada), CPTBP y conducción. La lógica que genera los pulsos auxiliares fue generada a partir de un circuito similar al presentado en la sección 4.1. En la figura 2.7 se aprecian tres curvas: la primera corresponde al convertor original (“Original”), la segunda al convertor interleaved (“Interleaved”), y la tercera al convertor interleaved incluyendo la TRC (“InterleavedCR”). Como se puede apreciar de dichas curvas, usar un convertor interleaved mejora la eficiencia debido a la disminución del ripple pero no de forma significativa, esto se debe a que se necesitan más fases para obtener una mejora mayor [11]. Sin embargo, con un convertor interleaved de solo dos fases, se logra una mejora significativa en la eficiencia si se aplica la TRC propuesta. A modo de ejemplo, para un voltaje de salida de $V_o = 0,35V$, la mejora en la eficiencia tiene una mejora de siete puntos porcentuales que va desde el 67,5 % al 74,5 %.

2.2. Reciclado de carga del gate de las llaves

Como se menciona en la sección 1.2.1, otra de las pérdidas presentes en este tipo de convertidores son las debidas al manejo de las llaves. En general, las llaves usadas son significativamente grandes y cuentan con capacidades de gate que generan un consumo suficiente para degradar la eficiencia del convertor. Por ejemplo, en [9] para una potencia entregada a la carga de $100\mu W$ se logra una eficiencia de 76,3 %. Las pérdidas por manejo de las llaves en este caso genera una pérdida de

2.2. Reciclado de carga del gate de las llaves

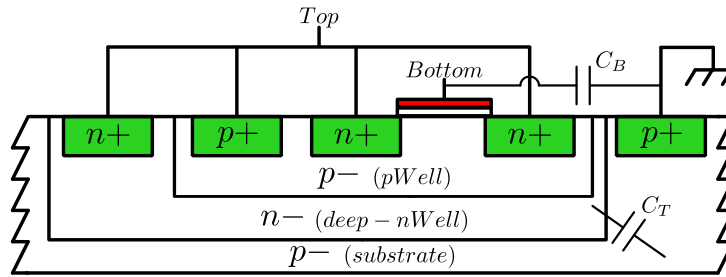


Figura 2.6: Implementación de los capacitores principales usando transistores *NMOS* de triple pozo.

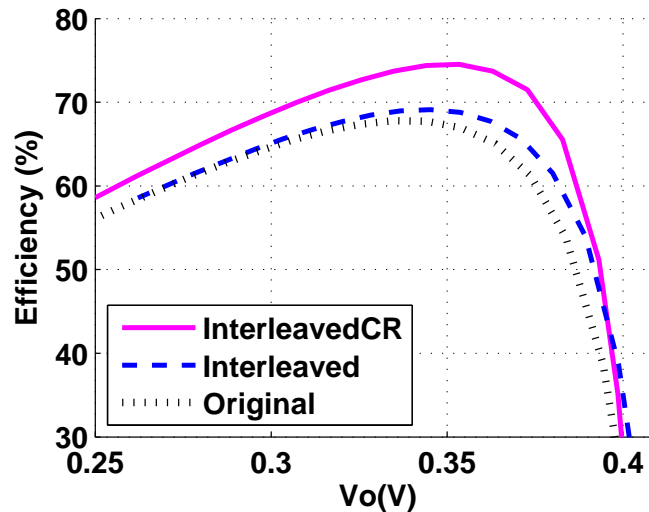


Figura 2.7: Resultados de simulación de eficiencia vs. voltaje de salida para el convertidor de relación de conversión 1/3.

eficiencia de 4%.

Por lo tanto, toda técnica que pueda ser usada para disminuir las pérdidas de este tipo tendrá un impacto favorable en términos de la eficiencia del convertidor. Una conocida técnica que permite mejorar la eficiencia de carga y descarga de una capacidad es la llamada “adiabatic switching” que consiste en cargar la capacidad a partir de una fuente de corriente constante y con un tiempo de carga T mucho mayor a la constante de tiempo τ ([17], [18]). Esto permite en un caso límite $\tau \ll T$ lograr pérdidas que se pueden considerar despreciables a costa de disminuir la frecuencia de carga y descarga de la capacidad en cuestión. El problema de este tipo de técnicas es que necesitan de inductores [18] (los cuales tienen factores de calidad bajos) y funcionan para una frecuencia fija y dependiente de la capacidad a manejar la cual en general tiene un valor con mucha incertidumbre.

Capítulo 2. Técnicas de reciclado de carga

En lugar de usar una fuente de corriente constante con los problemas que esto conlleva, otra forma de implementar la técnica de “adiabatic switching” es mediante la aplicación de una rampa de voltaje a la capacidad en cuestión. En términos prácticos, la implementación de una rampa de tensión con una eficiencia energética en su generación es muy difícil de lograr, porque siempre provendrá de una fuente de tensión constante. En cambio, lo que se implementa en forma casi equivalente es dar varios saltos pequeños de tensión hasta alcanzar la tensión objetivo, dicha técnica se denomina “stepwise charging”. A modo de ejemplo, en [19] se utiliza un convertor DC/DC de capacitores conmutados con múltiples tensiones de salida para emular dicha rampa. En [20] se utilizan un conjunto de condensadores auxiliares que toman y entregan energía según la capacidad en cuestión esta siendo cargada o descargada.

Esta última implementación (la que usa condensadores auxiliares) es posible solo en casos de carga y descarga cíclica que permitan asegurar la convergencia de las tensiones promedio de cada uno de los condensadores auxiliares, y tiene la ventaja de que no se necesita regulación en la tensión de ninguno nodo como se estudia en [21]. En este sentido, las llaves de un convertor DC/DC de capacitores conmutados son manejados cíclicamente. Por lo tanto, la capacidad del gate de dichos transistores serán cargadas y descargadas de forma cíclica también. De esta forma, la aplicación de la técnica de “stepwise charging” en el gate de las llaves de un convertor DC/DC de capacitores conmutados, usando condensadores auxiliares es apropiada. La figura 2.8 muestra un esquema del circuito donde la capacidad C_G representa la capacidad de una de las llaves a las cuales se quiere aplicar la técnica, $CAux_i$ representa el i -ésimo capacitor auxiliar, y SW_i la i -ésima llave auxiliar usada para conectar la capacidad en cuestión con los capacitores auxiliares. Nótese que si se tienen N capacitores auxiliares, se deben usar $N + 2$ llaves auxiliares ya que se debe tener la opción de conectar a fuente y tierra también.

En un contexto donde todas las capacidades C_G se cargan y descargan periódicamente usando el mismo conjunto de capacitores auxiliares es posible asegurar la convergencia de la tensión de cada uno de estos condensadores auxiliares como se estudia en [21] y [22]. Si se tienen N condensadores auxiliares, la tensión del i -ésimo convergerá a $V_i \simeq \frac{i \cdot V_{DD}}{N+1}$. En la figura 2.9 se muestra la tensión de la capacidad C_G en tres ciclos de carga y descarga para el caso $N = 3$.

En [23] se presenta la posibilidad de aplicar esta técnica al gate de las llaves de un convertor DC/DC. Sin embargo, este análisis solo tiene en cuenta el flujo de energía de carga y descarga de las capacidades de los gates; pero no se analiza la pertinencia de la técnica en un sentido integral teniendo en cuenta todas las pérdidas involucradas. En esta sección se presenta un análisis teórico integral del ahorro que es posible alcanzar aplicando esta técnica al proceso de carga y descarga de una capacidad teniendo en cuenta todas las pérdidas involucradas. Por otro lado, se presentan resultados de medidas para un convertor DC/DC de capacitores conmutados a cuyas llaves se aplica la técnica de “stepwise charging”.

2.2. Reciclado de carga del gate de las llaves

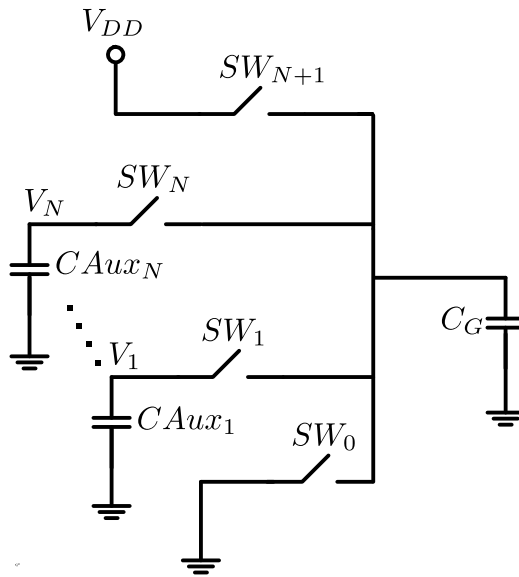


Figura 2.8: Stepwise charging.

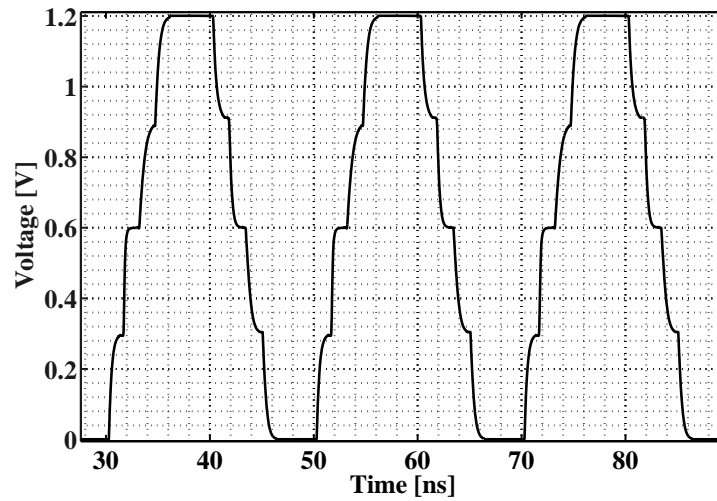


Figura 2.9: Forma de onda de stepwise charging para $N = 3$.

Capítulo 2. Técnicas de reciclado de carga

2.2.1. Análisis teórico de la técnica “stepwise charging”

Como toda técnica, su aplicación tiene un costo asociado debido a circuitos auxiliares. En este caso, se necesitan los capacitores auxiliares, las llaves que conectan C_G a los capacitores auxiliares fuente y tierra, y la lógica auxiliar que maneja el proceso de carga y descarga.

Un aspecto del sobre costo pagado por implementar la técnica es el área de silicio. Dado que el área en un convertor DC/DC de capacitores conmutados está largamente dominada por las capacidades principales del mismo, el overhead en área no es significativo y puede considerarse despreciable.

Por otro lado, se tiene un sobre costo en términos de consumo. Dicho sobre costo tiene una consecuencia mucho más importante que el área de silicio ya que directamente puede implicar que la aplicación de la técnica no tenga sentido. Si el consumo debido a los circuitos auxiliares es mayor que el ahorro entonces será mejor no aplicar la técnica. En esta sección se hace un análisis teórico que permite determinar en que casos es apropiado aplicar la técnica y el ahorro que se obtiene. Cuantos más condensadores auxiliares (y por lo tanto cuanto más chicos sean los saltos de tensión) mayor será el ahorro de energía en el proceso de carga y descarga. Sin embargo, también será mayor el consumo debido a las llaves auxiliares y a la lógica que los maneja. Por lo tanto, habrá un número óptimo de condensadores auxiliares que maximiza el ahorro de energía.

Como se mencionó anteriormente, el proceso de carga y descarga de las capacidades de gate de las llaves de un convertor DC/DC se realiza de forma cíclica. Por lo tanto, si se usan capacitores auxiliares mucho más grandes que cualquiera de las capacidades a las que se quiere aplicar la técnica, entonces se podrá considerar los voltajes V_i como aproximadamente constantes. Además, dichos voltajes van a converger naturalmente a la tensión deseada sin necesidad de regulación. Esta convergencia está asegurada precisamente por la periodicidad de la carga y descarga ([21]).

Otro punto importante a tener en cuenta es la frecuencia a la cual se debe dar el proceso de carga y descarga. Cuanto mayor sea la frecuencia a la cual hay que cargar y descargar C_G , menor deberán ser las resistencias de las llaves auxiliares, y por lo tanto mayor el ancho de los mismos y por lo tanto mayor la capacidad de los gates. Por todo esto, la frecuencia de carga y descarga debe ser tenida en cuenta también para realizar el análisis teórico.

Análisis de las pérdidas

Se tienen tres tipos de pérdidas en este escenario. Primero se tiene la energía (E_D) tomada desde la fuente para dar el último salto de tensión y alcanzar la tensión de alimentación V_{DD} por intermedio de la llave SW_{N+1} (ver figura 2.8), segundo el consumo debido al manejo de las llaves auxiliares, y tercero el consumo

2.2. Reciclado de carga del gate de las llaves

de la lógica que genera los pulsos para el manejo de las llaves auxiliares. Dado que existen muchas formas de implementar la lógica de control, en el análisis hecho en esta sección la misma no sera tenida en cuenta. Luego, en la siguiente sección se incluye el análisis que tiene en cuenta el consumo de la lógica que fue implementada.

La energía tomada desde la fuente para dar el último salto de tensión se puede calcular en función de que dicho salto vale $\frac{V_{DD}}{N+1}$. De esta forma la carga entregada por la fuente es $Q_{V_{DD}} = C_G \cdot \frac{V_{DD}}{N+1}$. Por lo tanto, la energía consumida es la que se muestra en la ecuación 2.4.

$$E_D(C_G, N) = C_G \cdot \frac{V_{DD}^2}{N+1} \quad (2.4)$$

Luego, la energía consumida para el manejo de las llaves es la mostrada en al ecuación 2.5. En esta ecuación la capacidad C_{SW} es la suma de las capacidades de las distintas llaves auxiliares tendiendo en cuenta la frecuencia de uso de cada una de ellas según se muestra en la ecuación 2.6. En la misma, las capacidades correspondientes a las llaves que conectan la capacidad C_G a los condensadores auxiliares están multiplicados por un factor 2 debido a que se activan tanto para la carga como para la descarga de C_G , sin embargo SW_0 solo se activa en el último paso del proceso de descarga y SW_{N+1} en el último paso del proceso de carga. Por esta razón no están afectados por dicho factor.

$$E_{SW}(C_G, N, f) = C_{SW} \cdot V_{DD}^2 \quad (2.5)$$

$$C_{SW} = C_{SW_0} + C_{SW_{N+1}} + 2 \cdot \sum_{i=1}^N C_{SW_i} \quad (2.6)$$

Un punto fundamental en este análisis es la estimación de la capacidad de las llaves C_{SW_i} la cual dependerá de la frecuencia f a la cual se quiere conmutar la capacidad C_G . Cuanto mayor sea dicha frecuencia, menor deberá ser al constante de tiempo τ de cada uno de los circuitos RC implementados por la capacidad C_G , las distintas capacidades auxiliares $CAux_i$ y las resistencias R_{SW_i} de sus correspondientes llaves SW_i . Por lo tanto, la resistencia de la llave correspondiente deberá ser menor, para lo cual el ancho W_{SW_i} deberá ser mayor, y en consecuencia C_{SW_i} será mayor. En este punto es importante aclarar que si bien las constantes de tiempo τ están determinadas por las capacidades $CAux_i$, C_G y por R_{SW_i} , dado que $CAux_i \gg C_G$ se tiene la siguiente aproximación:

$$\tau_i \simeq C_G \cdot R_{SW_i} \quad (2.7)$$

Si consideramos que queremos cargar y descargar la capacidad en cuestion a una frecuencia f , y asumimos que la mitad del período se usa para cargar y la otra para descargar dicha capacidad, entonces podemos decir que cada uno de los saltos que se dan se deben lograr en un tiempo máximo T_{Aux} dado por la ecuación 2.8 donde $T = \frac{1}{f}$

Capítulo 2. Técnicas de reciclado de carga

$$T_{Aux} = \frac{T}{2.(N + 1)} \quad (2.8)$$

Si consideramos que m es la cantidad de constantes de tiempo suficientes para alcanzar el régimen (generalmente $2 < \tau < 4$), entonces, se debe cumplir que $T_{Aux} > m.\tau_i$. Por lo tanto, usando que 2.7 s tiene que:

$$R_{SW_i} \leq \frac{1}{2.m.C_G.f.(N + 1)} \quad (2.9)$$

Para finalizar el diseño de los switchces se debe tener en cuenta la relación entre la resistencia que el mismo presenta y su ancho W_{SW_i} . Esta relación está dada por la ecuación 2.10, donde $K(V)$ es una constante que depende de la tecnología y la tensión que se aplica que en este caso es la tensión V_i de cada uno de los capacitores auxiliares.

$$W_{SW_i} = \frac{K(V)}{R_{SW_i}} \quad (2.10)$$

De esta forma, usando las ecuaciones 2.9 y 2.10 tenemos el valor del ancho:

$$W_{SW_i} = 2.m.C_G.f.(N + 1).K(V) \quad (2.11)$$

El calculo de la energía total se muestra en la ecuación 2.12.

$$E_{Tot}(C_G, N, f) = E_D(C_G, N) + E_{SW}(C_G, N, f) \quad (2.12)$$

Con el objetivo de validar la técnica se realizaron simulaciones eléctricas en una tecnología de $130nm$, con una capacidad a cargar y descargar $C_G = 178fF$, y una frecuencia de conmutación $f = 100MHz$. En la figura 2.10 se muestran los resultado del consumo de energía por ciclo en función de el número de capacitores auxiliares N , en la cual los puntos indicados con asteriscos corresponden a la simulación eléctrica y las curvas de líneas a las estimaciones a partir de la ecuación 2.12. Mirando la energía total ($ETotalEst$ y $ETotalSimu$) se puede ver que se tiene un número óptimo de condensadores auxiliares que en este caso es $N = 4$. Por otro lado, también se confirman la tendencia decreciente con N para la energía consumida en el último paso del proceso de carga de la capacidad C_G ($EDEst$ y $EDSimu$), y la tendencia creciente de la energía debido al manejo de las llaves auxiliares ($ESwEst$ y $ESwSimu$). Otro aspecto importante a destacar es el ahorro de energía obtenido en comparación con el caso $N = 0$. En este caso el ahorro de energía alcanza un valor cercano al 60%. No obstante, este valor decrecerá un poco al considerar al consumo de la lógica de control, lo que se hace a continuación.

Lógica de control implementada

Como se ha mencionado, la lógica de control para implementar la técnica de reciclado de carga puede ser implementada de muchas formas, razón por la cual su inclusión se dejo fuera del análisis básico para luego incluir el análisis con la lógica particular usada. En este caso se realizó una implementación que logra una

2.2. Reciclado de carga del gate de las llaves

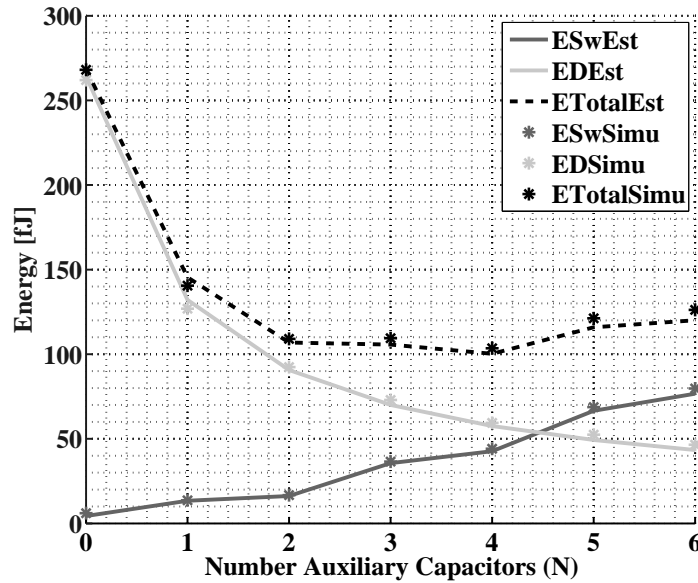


Figura 2.10: Consumo de energía para la simulación eléctrica y para la estimación teórica en función de el número de capacitores auxiliares (N).

interfaz transparente para el usuario de la llave. Esto quiere decir que se podría sacar una llave normal y sustituirla por una que implemente la técnica de reciclado de carga sin necesidad de saber la características de los circuitos auxiliares ni que pasa en el proceso de carga y descarga ni de contar con relojes auxiliares.

Para ello, asumiendo una llave implementada con una transmission gate, cuando se da un flanco de subida de la señal EN que habilita la llave se desencadena la serie de pulsos que permite cargar el gate del transistor $NMOS$ de la llave y/o descargar el gate del transistor $PMOS$. En el primer caso (transistor $NMOS$), estos pulsos son usados para manejar secuencialmente las llaves auxiliares $S_1..S_N$ para luego mantener la señal que habilita la llave S_{N+1} que conecta el gate a V_{DD} . Análogamente, la secuencia de pulsos se usa para manejar el transistor $PMOS$ de la llave en orden inverso $S_N..S_1$ para luego mantener la señal S_0 que conecta el gate del transistor a tierra.

Para generar las señales auxiliares, se uso un generador de pulsos de manera similar a los que se presentan en [24]. La figura 2.11 muestra un ejemplo de formas de onda para el caso $N = 2$. En la misma se ve que luego del flanco de subida (Time = 10ns) de la señal EN baja la señal $EN0$, se dan los pulsos de $EN1$ y $EN2$ (señales que habilitan las llaves SW_1 y SW_2 respectivamente), para luego subir y mantener la señal $EN3$. Después del flanco de bajada (Time = 20ns) la secuencia se da a la inversa, primero baja la señal $EN3$ para que luego vengan los pulsos $EN2$ y $EN1$, y por último sube la señal $EN0$ que mantiene alta hasta el

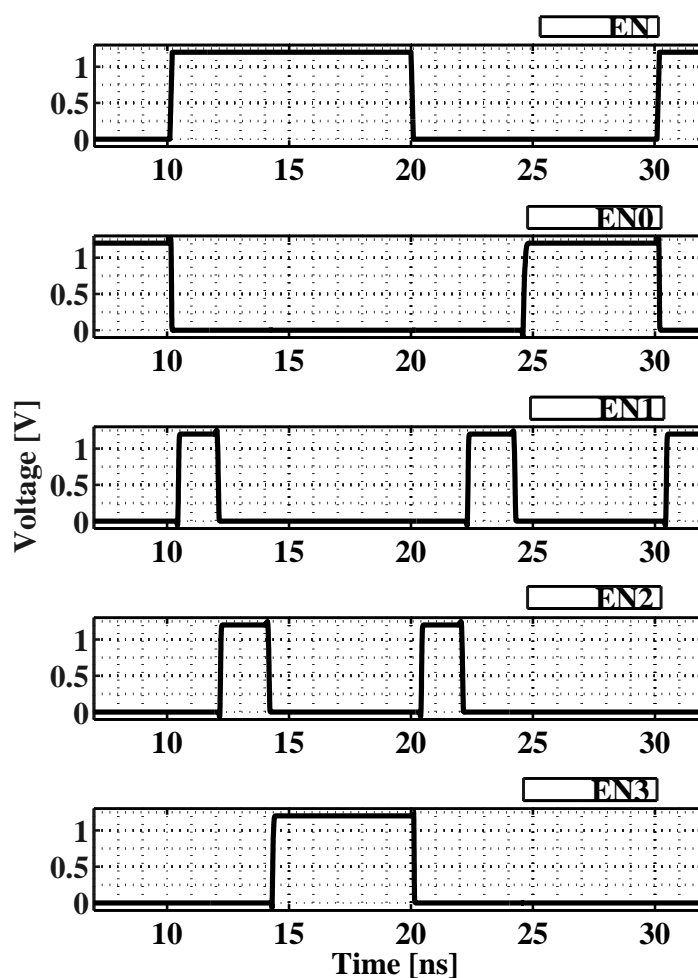


Figura 2.11: Secuencia de pulsos para el caso $N = 2$.

siguiente flanco de subida de la señal EN .

La generación de los pulsos se obtiene a partir de bloques como el de la figura 2.12. En dicho bloque la señal $PULSE$ permanece activa por el tiempo que dure la suma de los retardos de los dos primeros inversores. Luego, se tienen dos inversores extra para separar los pulsos en caso de concatenar varios de estos bloques para generar una secuencia de pulsos no solapados como los que se muestran en la figura 2.11.

Luego en la figura 2.13 se muestra el bloque base que implementa la lógica de control que genera las señales mostradas en la figura 2.11. Las señales $EN0$, $EN1$,

2.2. Reciclado de carga del gate de las llaves

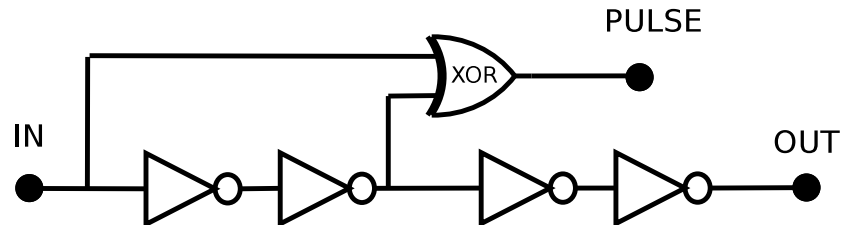


Figura 2.12: Bloque generador de pulsos (*GenPul*)

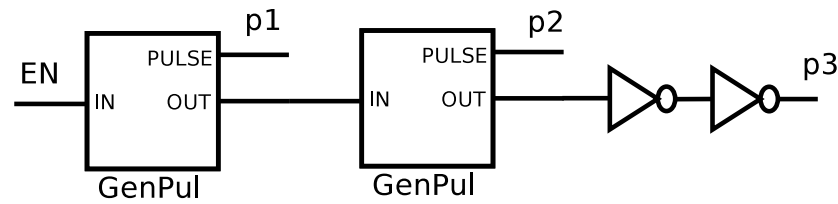


Figura 2.13: Bloque de control de la técnica de stepwise para $N = 2$.

$EN2$ y $EN3$ se generan implementando la lógica combinatoria que se muestra a continuación:

$$EN0 = \overline{p3 + EN}$$

$$EN1 = EN.p1 + \overline{EN}.p2$$

$$EN2 = EN.p2 + \overline{EN}.p1$$

$$EN3 = p3.EN$$

2.2.2. Límites de la técnica de stepwise charging

Los resultados presentados en esta sección son a nivel de simulación eléctrica de esquemáticos, implementados en una tecnología *CMOS* de $130m$ y usando una alimentación de $1,2V$.

Dependencia con la frecuencia de conmutación

La frecuencia de conmutación de carga y descarga de la capacidad C_G tiene un impacto directo sobre la técnica ya que su aumento implica la necesidad de disminuir las resistencias de las llaves, para lo cual hay que aumentar el ancho de las mismas (ecuación 2.11) y por ende aumentar su capacidad de gate. En esta sección se estudia el impacto de este parámetro sobre los resultados de aplicar la técnica. Dicho estudio se realiza tanto para el caso en que se tiene en cuenta la

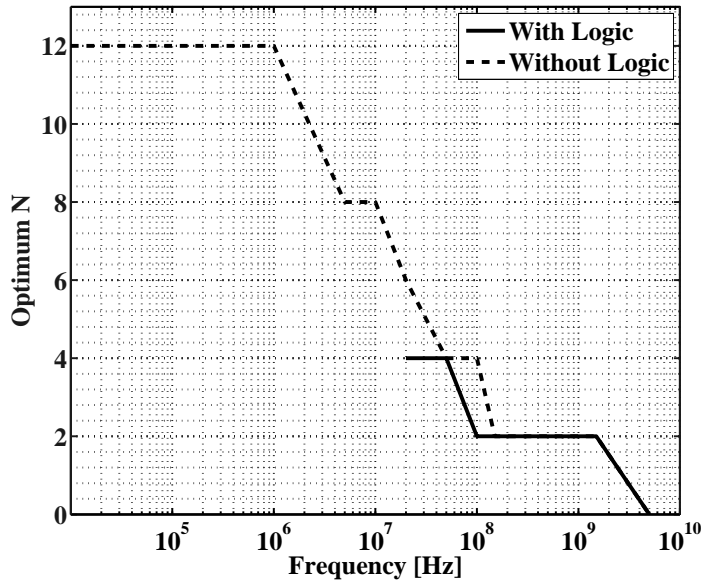


Figura 2.14: N óptimo vs frecuencia de conmutación para $C_G = 1400fF$.

lógica de control como para el caso en que no. En el caso de tener en cuenta la lógica de control se hace usando la implementación mostrada en la sección anterior.

La figura 2.14 muestra el número de capacitores auxiliares óptimo N en función de la frecuencia de conmutación para el caso $C_G = 1400fF$. Como se puede apreciar, cuanto mayor es la frecuencia de conmutación menor es el número óptimo de capacitores auxiliares. Luego de una frecuencia de algunos GHz se puede ver que la aplicación de la técnica no tiene sentido y el número óptimo N cae a cero. Esto se debe a que para esas frecuencias tan altas, el tamaño de las llaves auxiliares $SW_0..SW_{N+1}$ es tan grande que el gasto de energía E_{SW} debido a cargar y descargar sus capacidades de gate son superiores al ahorro logrado. Otro punto a destacar es que el número óptimo N siempre es par, esto se debe a que si se tiene un número impar de estos condensadores, uno de ellos estará a una tensión de $V_{DD}/2$ por lo que la llave auxiliar que conecte C_G a dicho condensador será muy grande ya que en ese caso ni el transistor $NMOS$ ni el $PMOS$ de la llave tienen un buen comportamiento. La línea punteada representa el N óptimo en el caso que no se considera el consumo de la lógica de control E_L , dicha curva es un límite superior que solo depende de la capacidad C_G , de la frecuencia de conmutación f , y de la tecnología. La línea continua indica el N óptimo teniendo en cuenta el consumo de la lógica, dicha curva además de depender de los tres parámetros antes mencionados dependerá de la implementación de dicha lógica.

La figura 2.15 muestra el ahorro de energía en función de la frecuencia de conmutación donde el ahorro de energía se define según la ecuación 2.13 y el N

2.2. Reciclado de carga del gate de las llaves

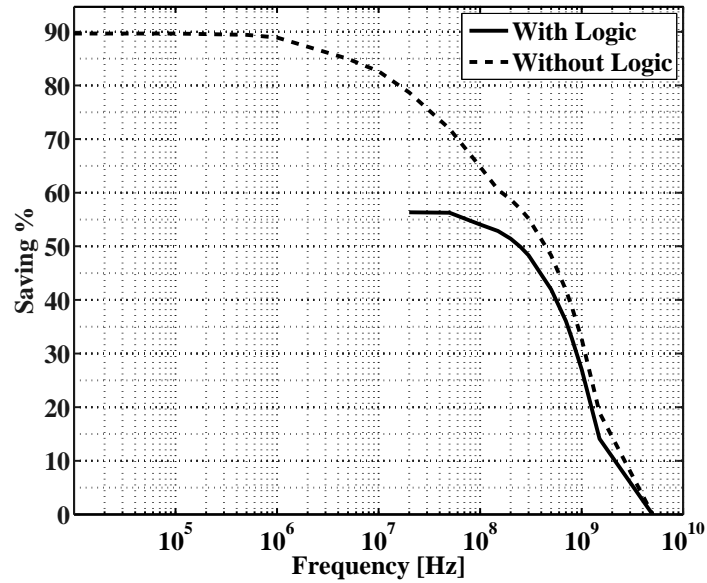


Figura 2.15: Ahorro de energía vs frecuencia de conmutación para $C_G = 1400fF$.

seleccionado para cada frecuencia fue el óptimo. En la misma se aprecia que para bajas frecuencias de conmutación el ahorro de energía se estabiliza en 90 %, esto se debe a que para frecuencias suficientemente bajas, las llaves auxiliares serán implementadas con transistores mínimos. Por lo tanto, seguir disminuyendo la frecuencia de conmutación no tendrá impacto sobre el ahorro porque el consumo de energía de las llaves auxiliares E_{SW} permanecerá constante.

$$S = 1 - \frac{E_{Tot}(C_G, N = N_{Optimo}, f)}{E_{Tot}(C_G, N = 0, f)} \quad (2.13)$$

Por último, cabe destacar que tanto en la figura 2.14 como en la figura 2.15 la gráfica que tiene en cuenta el consumo de la lógica solo llega hasta la frecuencia de conmutación $f = 20MHz$. Este fenómeno no es intrínseco a la técnica presentada, sino que por el contrario depende enteramente de la forma en que se implemento la lógica que genera los pulsos de control. Dicha implementación se explica por haber sido usada en una aplicación (que se presenta en la sección 2.2.3) donde este rango de frecuencias es adecuado y da transparencia al usuario de la llave a la que se aplica la técnica.

Dependencia con la capacidad C_G

En esta sección se hace el análisis de la técnica para una frecuencia de conmutación fija y variando la capacidad C_G . El valor de frecuencia seleccionado es $f = 100MHz$ porque es consistente con la aplicación que se presenta en la sección 2.2.3. Nuevamente los resultados se muestran tanto para el caso en que se incluye

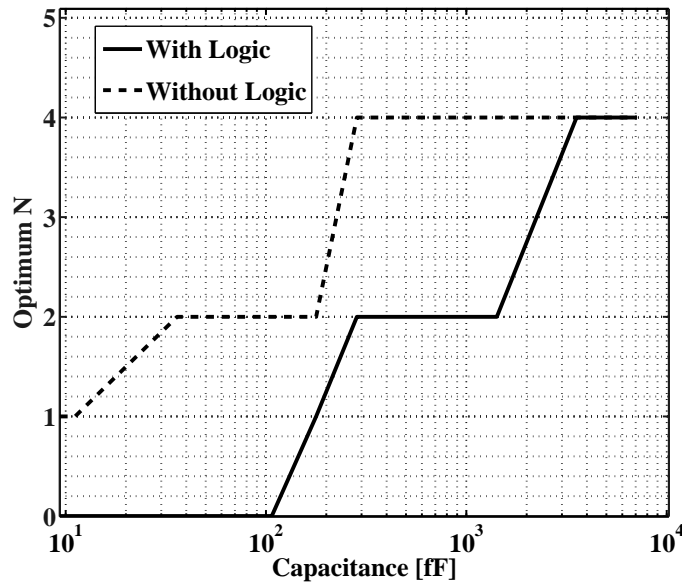


Figura 2.16: N óptimo vs C_G para $f = 100MHz$.

el consumo de la lógica E_L que implementa los pulsos de control como para el caso en que no se incluye.

En la figura 2.16 se muestra el valor del número óptimo de capacitores auxiliares N en función de la capacidad C_G . Como se puede apreciar en la misma, cuando la capacidad se hace chica el número óptimo de capacitores auxiliares disminuye también. Esto se debe a que al achicar C_G , según la ecuación 2.11 se achica el ancho de las llaves auxiliares $SW_0..SW_{N+1}$ y por ende el consumo de energía E_{SW} . Cuando estos llegan al mínimo permitido por la tecnología, la energía consumida por las llaves auxiliares se vuelve gradualmente constante. De esta forma, decreciendo la capacidad C_G se alcanza un punto donde aplicar la técnica no tiene sentido porque el consumo de las llaves auxiliares se hace superior al ahorro logrado. Incluyendo el consumo de la lógica que implementa los pulsos, E_L , el comportamiento es similar, aunque el punto a partir del cual la aplicación de la técnica no tiene sentido se corre para valores más altos de C_G

Por otro lado, en la figura 2.17 se aprecia el ahorro definido por la ecuación 2.13 en función de la capacidad C_G , donde para cada capacidad se utilizó el número óptimo de capacitores auxiliares que se desprenden de la figura 2.16. En este caso, se aprecia nuevamente que para valores chicos de capacidad C_G , el ahorro de energía decrece porque el mismo se hace comparable con las capacidades de gate asociadas a las llaves auxiliares y alcanzando un punto a partir del cual la aplicación de la técnica no tiene sentido. En el rango donde la ecuación 2.9 es válida, el ahorro de energía es constante lo cual se ve reflejado en la figura 2.17 a partir del valor

2.2. Reciclado de carga del gate de las llaves

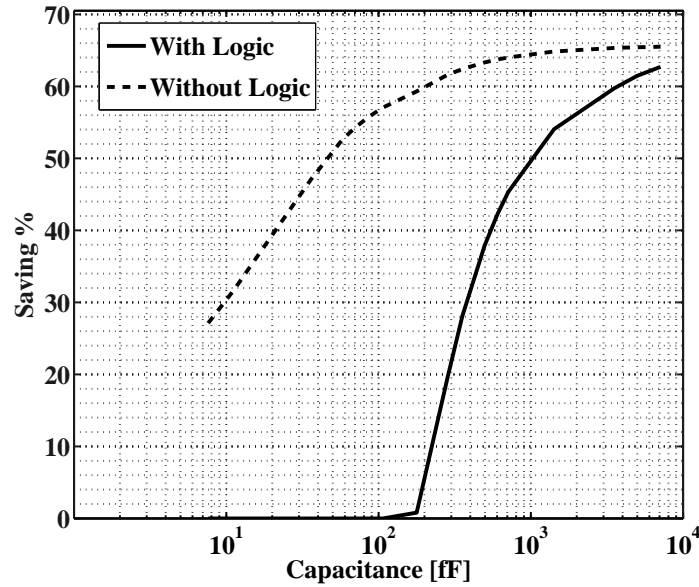


Figura 2.17: Ahorro de energía vs C_G para $f = 100MHz$.

de $C_G = 10^3 fF$ que la curva punteada se hace asintóticamente constante. El caso en que se tiene en cuenta el consumo de la lógica E_L tiene un comportamiento similar aunque desplazado.

2.2.3. Aplicación de la técnica “stepwise charging” a un convertidor DC/DC de capacitores conmutados

Con el objetivo de comprobar la utilidad de la técnica se envió a fabricar un convertidor DC/DC de capacitores conmutados que utiliza la técnica de reciclado de carga presentada en la sección 2.2 a las llaves de dicho convertidor. El circuito se fabricó en una tecnología de $130nm$ y se realizaron medidas para verificar la performance esperada. En la figura 2.18 se muestra una foto del die fabricado.

La arquitectura elegida de convertidor es la un down-converter de relación de conversión $1/3$ como el que se muestra en la figura 2.1a. La definición de las distintos tipos de pérdidas asociadas a un convertidor de este tipo son las que se presentaron en la sección 1.2, y la definición de eficiencia usada es la de la ecuación 1.34. En este sentido, el objetivo del convertidor fabricado es el de aplicar la técnica para lograr una disminución de las pérdidas E_{SW} y de esa forma mejorar la eficiencia de dicho convertidor.

El diseño de convertidor usado tiene una capacidad total de gate de aproximadamente $C_G = 1400fF$. Con el objetivo de garantizar que las llaves se enciendan correctamente, la frecuencia utilizada en la ecuación 2.11 a la hora de definir los

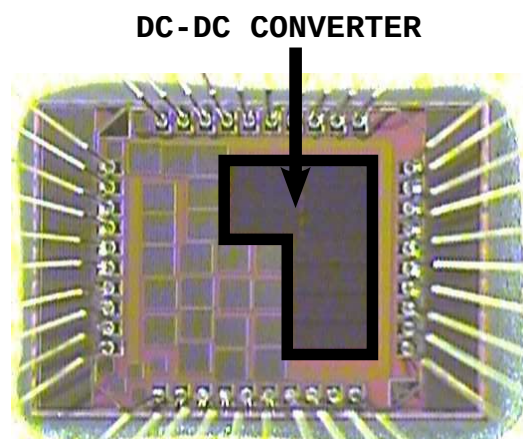


Figura 2.18: Chip fabricado para verificar la técnica de reciclado a partir del stepwise charging.

anchos de las llaves fue diez veces mayor que la del conversor (frecuencia de $T1$ y $T2$) lo cual equivale a $f = 100MHz$.

Para testear la performance del conversor fabricado se utilizaron dos fuentes de alimentación separadas, una para alimentar el conversor propiamente dicho (potencia P_i), y otra para alimentar las llaves, la lógica que implementa la técnica, y el generador de relojes no solapados que genera $T1$ y $T2$ a partir de un reloj externo (potencia P_{SW}). La suma de estas dos potencias, da la potencia total consumida por el conversor (P_{in}). La potencia entregada a la carga se puede calcular como $P_{Load} = V_O \cdot I_L$, donde V_O es la tensión de salida promedio e I_L es la corriente tomada por la carga.

En la figura 2.19 se puede ver la medida de eficiencia del conversor fabricado para ambos casos, cuando se aplica y cuando no se aplica la técnica. Como se aprecia se logra una mejora de 4% en la eficiencia del conversor cuando la técnica es aplicada.

La tabla 2.2 muestra las medidas de potencia para el caso de $I_L = 60\mu A$. Si se realiza la cuenta de la eficiencia para un caso y para otro da $\eta_{ConTecnica} = 72,8\%$ y $\eta_{SinTecnica} = 68,9\%$. En términos de ahorro en las pérdidas de las llaves, se logra un 29% que surge de hacer la cuenta $S = 1 - \frac{4,22}{5,96}$

La figura 2.20 muestra el ahorro obtenido en función de la corriente de carga. La diferencia entre el ahorro teórico esperado y el medido se puede explicar por dos grandes razones. Por un lado se tiene las capacidades parásitas del cableado. Estas capacidades parásitas afectan principalmente el consumo de la lógica necesaria para implementar la técnica. Por otro lado, en P_{SW} se incluye también el consumo del bloque que genera las dos fases sin solapamiento ($T1$ y $T2$) a partir de un reloj externo. Este es un término constante que aparece en los dos casos, con y sin

2.2. Reciclado de carga del gate de las llaves

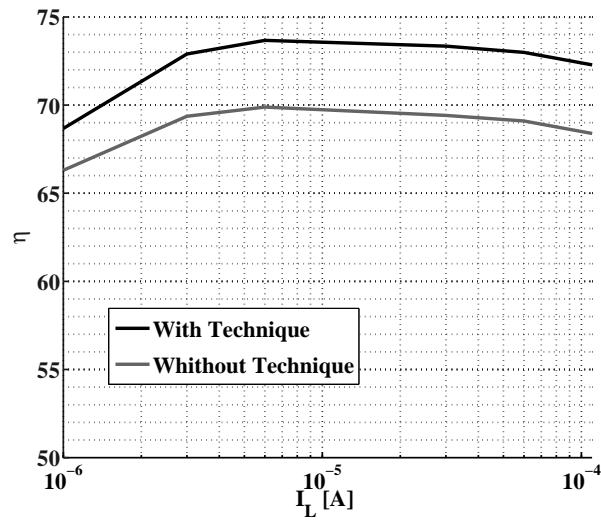


Figura 2.19: Eficiencia del convertidor fabricado aplicando la técnica de step wise charging.

	Con técnica	Sin técnica
P_i	$26.54\mu A$	$26.58\mu A$
P_{SW}	$4.22\mu A$	$5.96\mu A$
P_{in}	$30.76\mu A$	$32.54\mu A$
P_{Load}	$22.40\mu A$	$22.44\mu A$

Tabla 2.2: Potencias medidas para $I_L = 60\mu A$.

técnica, por lo que disminuye el porcentaje de ahorro también.

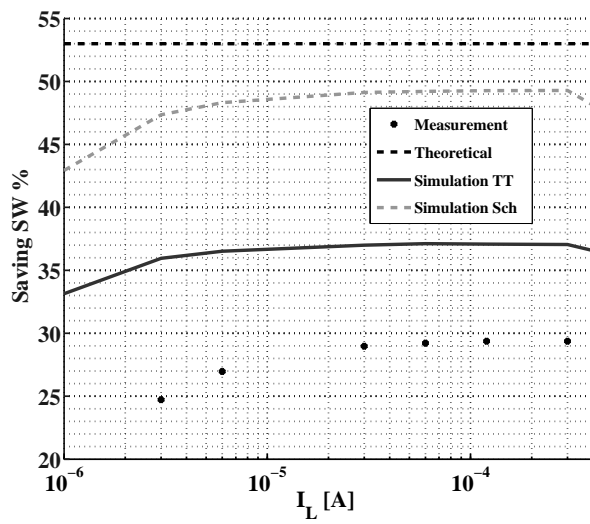


Figura 2.20: Ahorro en las pérdidas E_{SW} del convertor fabricado aplicando la técnica de step wise charging.

Capítulo 3

Conversor de arquitectura modular

El contenido de esta sección refleja el contenido de las secciones III y IV de [14].

En la literatura, se encuentran varios trabajos de convertidores DC/DC a capacitores conmutados totalmente integrados que cuentan con varias relaciones de conversión ([9], [10], [11]). Esta característica es buscada para poder cubrir a la salida del convertidor, la mayor parte posible del rango de tensiones que va desde la alimentación V_{DD} a tierra. La mayor parte de estos ejemplos logran dicha característica a partir de configuraciones ad-hoc para cada una de las relaciones de conversión. Esto tiene como consecuencia que la aplicación de alguna TRC a las CPTBP sin el uso de reservorios de energía se hace muy difícil. En la sección 2.1 se presentó una técnica general de reciclado de cargas, que consiste en la transformación de un convertidor cualquiera en dos convertidores entrelazados. En esta sección, se presenta la implementación de la TRC a una arquitectura modular. Esta modularidad no solo permite aplicar la TRC a las CPTBP de una forma muy simple, sino que además, permite tener el número de las relaciones de conversión deseado de forma muy sencilla.

La idea general para la arquitectura modular usada es la de un conjunto de condensadores conectados en serie entre la fuente de alimentación y tierra cuando el convertidor está tomando energía de la fuente. La relación de conversión es seleccionada según el nodo al cual se conecta la salida. Ese esquema usa un divisor capacitivo para generar la reducción de tensión a la salida del convertidor. La figura 3.1 muestra la idea para una serie de cuatro condensadores y una relación de conversión de $1/2$. Dado que para una determinada relación de conversión hay algunos nodos de la serie de capacitores que se encuentran flotando (V_{C1} y V_{C3} para el convertidor mostrado en la figura 3.1), es necesario cambiar la posición relativa de cada capacitor de la serie para evitar dicha situación, tal cual fue presentado en [25] y [26]. En la figura 3.2a se presenta un convertidor de cuatro capacitores. Esta arquitectura se construye usando cuatro instancias de una celda básica construida con un condensador y cuatro llaves como se muestra en 3.2a. La llave Sw_{T1} es usada para conectar la placa superior del capacitor a la fuente de alimentación, Sw_{T2} para conectar la placa superior al nodo de salida, Sw_{Gnd} conecta la placa inferior

Capítulo 3. Conversor de arquitectura modular

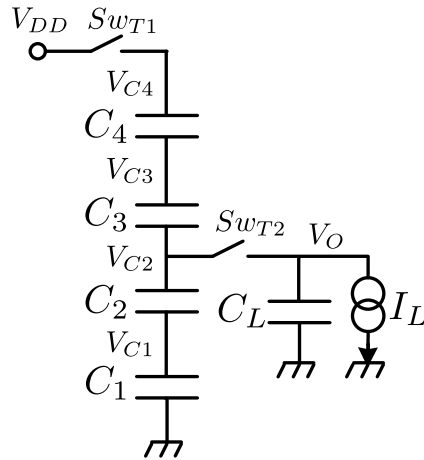


Figura 3.1: Idea básica para el conversor modular.

al nodo de tierra, y Sw_{Inter} se usa para abrir o cerrar la serie de condensadores en el nodo deseado.

Como la posición relativa de los distintos capacitores es modificada de forma ordenada y secuencial ($C3$ toma el lugar de $C4$, $C2$ toma el lugar de $C3$ y así sucesivamente), el cambio relativo de posición puede ser visto como una rotación de un anillo de capacitores que es abierto en un nodo a la vez. La figura 3.2b muestra el anillo abierto en el nodo que conecta $C1$ y $C4$, y en 3.2c el anillo está abierto en el nodo que conecta los capacitores $C3$ y $C4$. Esta arquitectura, si se la compara con algunas tradicionales, puede llevar a una impedancia de salida mayor para algunas relaciones de conversión (por ejemplo $1/2$). Sin embargo, esto es compensador al tratarse de una solución modular simple, que permite obtener varias relaciones de conversión como se requiere en la aplicación de técnicas con el escalado dinámico de frecuencia y voltaje

Existen varias formas de manejar la conexión del conversor a la fuente y a la carga además de la rotación del anillo. En las secciones 3.1 y 3.2 se presentan dos de estas formas para luego realizar la comparación de ambas.

3.1. Manejo del conversor modular con una fase

Manejar el conversor modular conectando la fuente de alimentación y la carga de forma simultánea (una sola fase) como fue propuesto en [25], resulta en una resistencia de salida baja, pero a costa de pérdidas de energía por CPTBP debido a que la rotación se hace más frecuente si se compara con el caso que se analiza en la siguiente sección. La figura 3.3 muestra el voltaje de salida (V_{out}) y los voltajes respectivos ($V_{c1}..V_{c4}$) de las placas superiores para el conversor mostrado en la

3.2. Manejo del convertor modular con dos fases

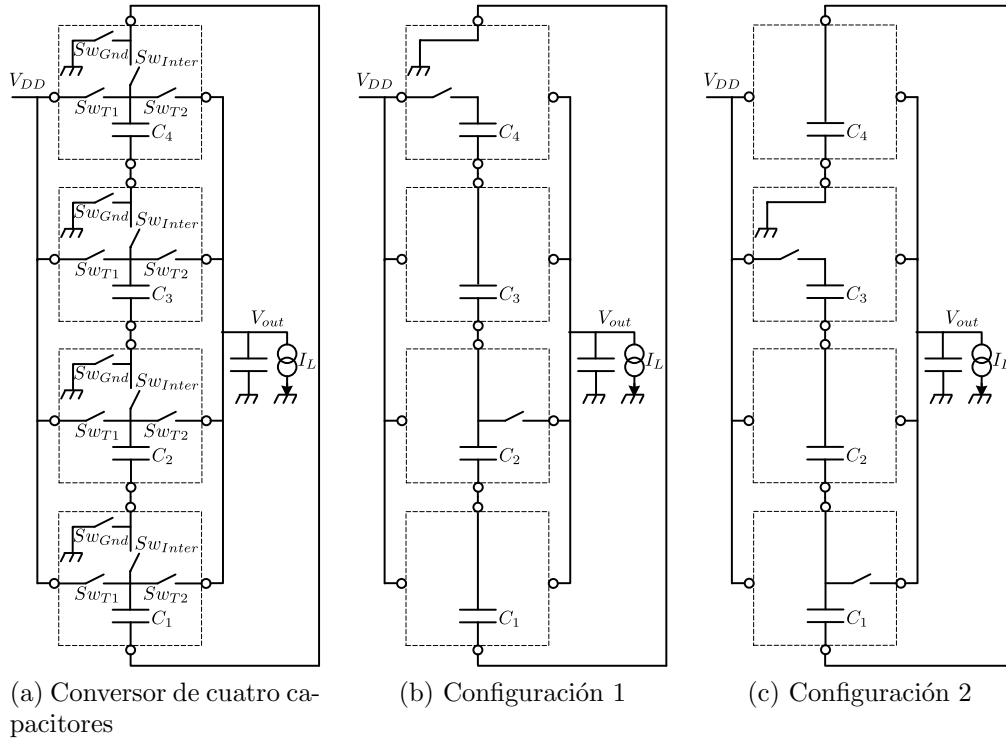


Figura 3.2: Convertor de cuatro capacitores y dos de sus configuraciones.

figura 3.2. En la misma se puede apreciar que la rotación es implementada luego de cada vez que el convertor se conecta a la fuente y a la carga.

3.2. Manejo del convertor modular con dos fases

Rotar el anillo con la frecuencia que se menciona en la sección 3.1 incrementa las pérdidas por CPTBP debido a que el anillo se rota luego de cada fase. Por lo tanto, rotar el anillo en la menor medida posible podría ser una forma de minimizar este tipo de pérdidas, incrementando así la eficiencia del convertor. En esta sección se propone el uso de dos fases ($T1$ y $T2$ desde ahora) usándolas alternadamente para conectar el convertor a la fuente de alimentación ($T1$) y la carga ($T2$) respectivamente. Para minimizar las pérdidas por CPTBP, es posible implementar las dos fases varias veces seguidas (N desde ahora) antes de rotar el anillo. La gráfica superior de la figura 3.4 muestra la forma de onda del voltaje de salida (V_{out}), y los voltajes ($V_{c1}..V_{c4}$) correspondientes a las cuatro placas superiores de los condensadores para el caso $N = 4$. La gráfica inferior se analizará más adelante. En [26] se presenta un análisis para la selección del valor más adecuado de N para un convertor similar. Las figuras 3.3 and 3.4 muestran un voltaje de ripple cercano al 5%, lo cual está acorde a los niveles de ripple permitidos en los reguladores usados en SOCs [27].

Capítulo 3. Conversor de arquitectura modular

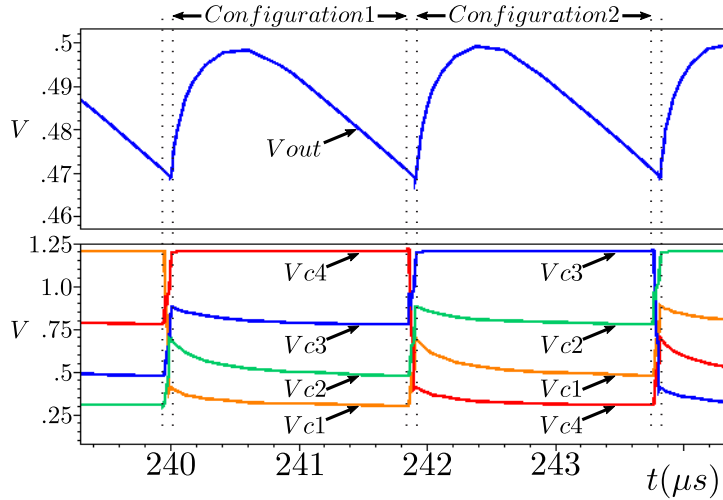


Figura 3.3: Formas de onda de simulaciones del voltaje de salida y del voltaje de las placas superiores para una fase ($I_L = 30\mu A$, $f_{SW} = 525kHz$, $ConvRatio = 1/2$).

3.3. Técnica de reciclado de carga aplicada al conversor modular

Como se puede apreciar en las figuras 3.3 y 3.4, cada rotación del anillo genera pérdidas debido a las CPTBP porque cada una de dichas capacidades cambian sus voltajes referidos a tierra. De las formas de onda mostradas en la gráfica inferior de la figura 3.3 y de la gráfica media de la figura 3.4 se puede ver que en cada rotación del anillo, el conjunto de CPTBP asociadas a uno de los condensadores (C_4 en este caso) están perdiendo energía, mientras el resto está ganándola. Asumiendo que la transición entre las configuraciones 1 y 2 en la figura 3.2 es implementada directamente abriendo y cerrando las llaves Sw_{Inter} y Sw_{Gnd} apropiados (esto es: sin aplicar ningún tipo de técnica de reciclado de carga) las pérdidas de energía están dadas por la ecuación 3.1, donde n es el número de capacitores del conversor ($n = 4$ en este caso), $C_{t/b} = C_{i_{t/b}} = C_{Ti} + C_{Bi}$ es la CPTBP asociada a cada uno de los condensadores del conversor, y V_{DD} la fuente de alimentación. Más detalles del desarrollo de la ecuación 3.1 se pueden encontrar en el apéndice A.2.

$$E_{Mod} = \frac{(n-1)}{n} \cdot \frac{C_{t/b} \cdot V_{DD}^2}{2} \quad (3.1)$$

Dado que la energía perdida cuando dos condensadores se conectan en paralelo es proporcional a la diferencia de voltaje inicial al cuadrado (ecuaciones A.1 y A.2 del apéndice A), en lugar de implementar el proceso de rotación del anillo de forma directa, la misma es implementada dando varios “saltos” más chicos de voltaje entregando energía proveniente de las CPTBP que están perdiendo energía a las que la están ganando, lo cual permite ahorrar parte de la energía. La figura 3.5a muestra la configuración del conversor (configuración 1 en la figura 3.2b) previo al

3.3. Técnica de reciclado de carga aplicada al convertor modular

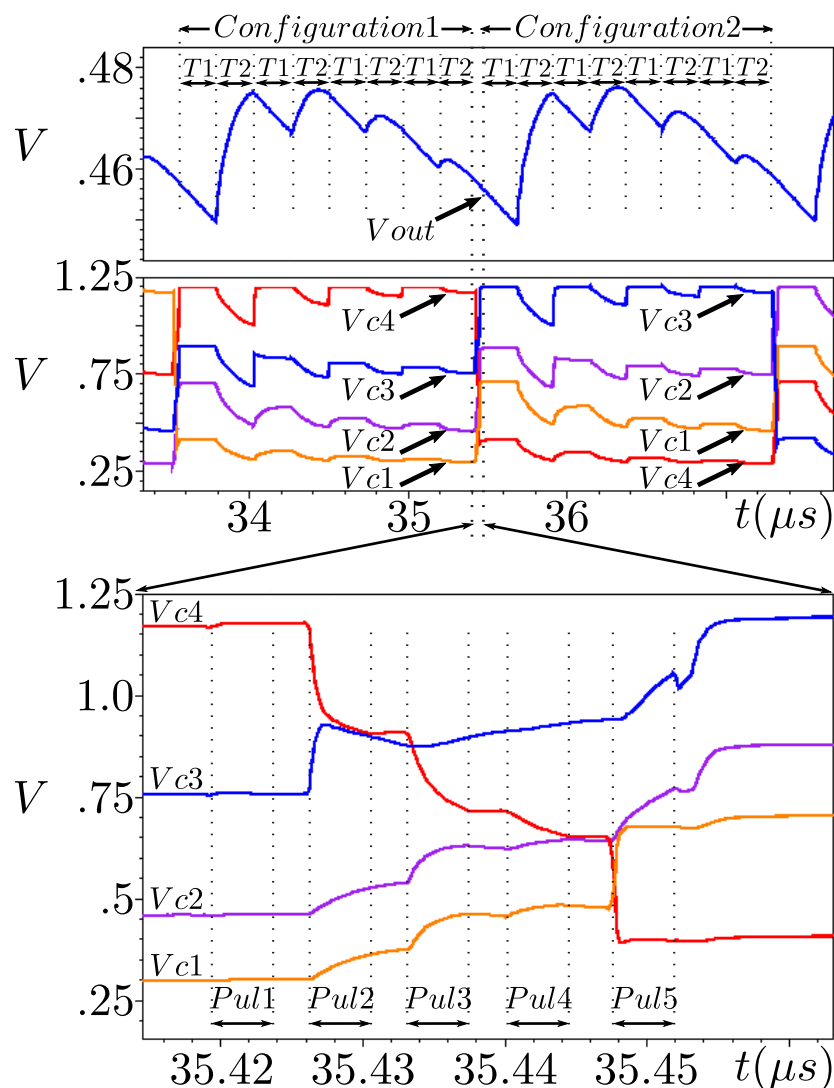


Figura 3.4: Formas de onda de simulaciones del voltaje de salida y del voltaje de las placas superiores para dos fases ($I_L = 30\mu A$, $f_{SW} = 2,1MHz$, $ConvRatio = 1/2$).

proceso de rotación. La figura 3.5b muestra como el convertor es preparado para la aplicación de la técnica de reciclado de carga lo cual se resume en los siguientes puntos:

- El capacitor cuyas CPTBP van a perder energía es aislado del resto de los capacitores.
- El resto de los capacitores se mantienen conectados en serie.
- Todos los condensadores deben quedar desconectados de tierra.

La figura 3.5c muestra el primer paso del proceso de rotación donde las placas

Capítulo 3. Conversor de arquitectura modular

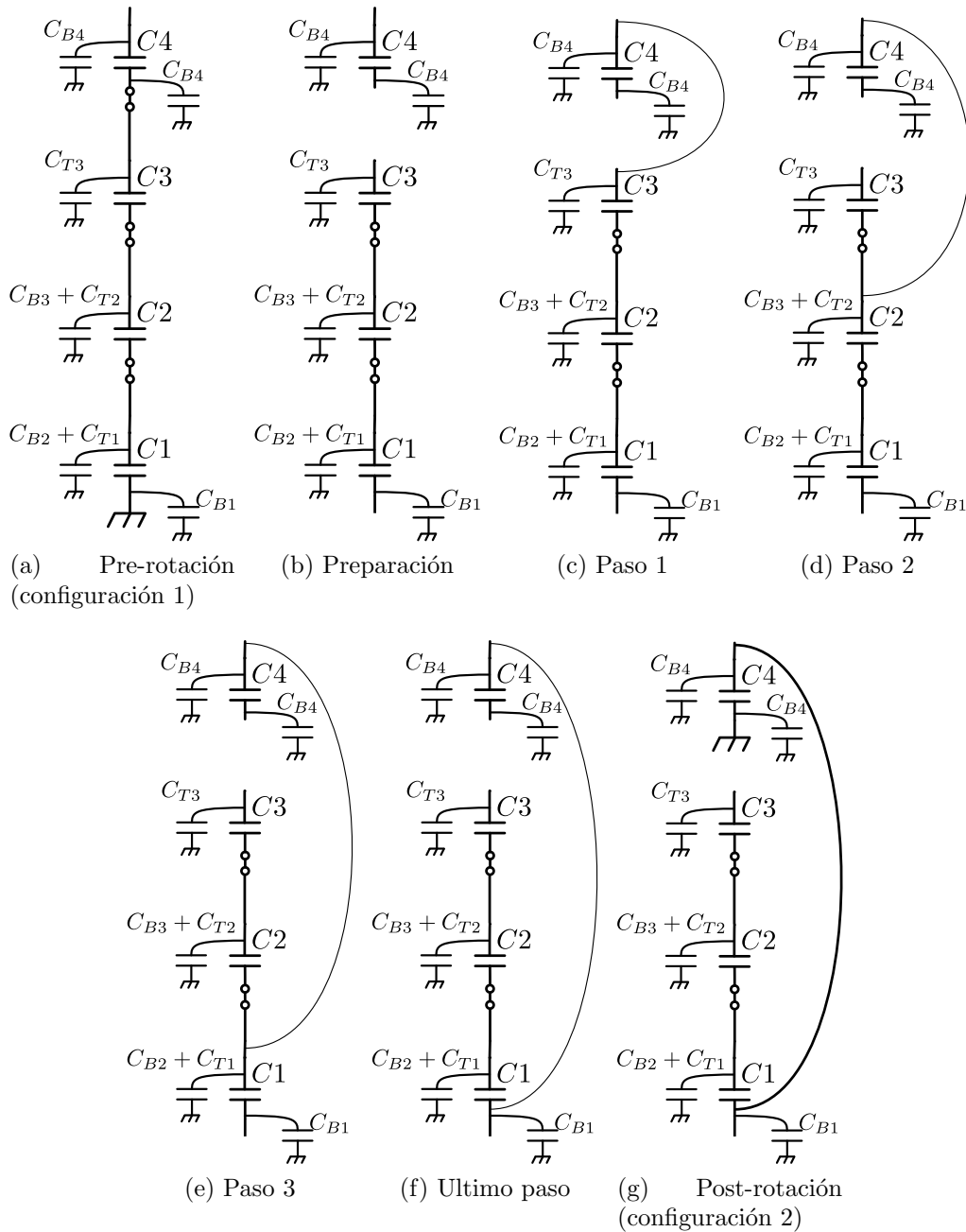


Figura 3.5: Técnica de reciclado de carga para el conversor modular.

3.3. Técnica de reciclado de carga aplicada al convertor modular

superiores de los capacitores $C4$ y $C3$ son cortocircuitadas para realizar la transferencia de energía desde $C4_{t/b}$ a $C3_{t/b} \cdot C1_{t/b}$. Luego de pasado el transitorio el voltaje de $C4_{t/b}$ ha decrecido mientras que el voltaje de $C3_{t/b} \cdot C1_{t/b}$ se ha incrementado. Este proceso es repetido hasta que la placa superior de $C4$ es conectado a la placa inferior de $C1$ (este último paso se muestra en la figura 3.5f). Luego, en la figura 3.5g se muestra el convertor luego de alcanzada la configuración 2. Para implementar la técnica antes mencionada, todas las placas superiores de los condensadores son conectadas a un nodo común por intermedio de un conjunto de llaves (similar a lo mostrado en la figura 2.2b). Este conjunto de llaves es manejado usando una serie de pulsos digitales en cada transición entre las configuraciones 1 y 2. Las formas de onda de los voltajes correspondientes a las placas superiores de los cuatro capacitores son mostrados en la gráfica inferior de la figura 3.4. Las formas de onda de los pulsos de control $Pul1$, $Pul2$, $Pul3$, $Pul4$ y $Pul5$ se muestran en la figura 3.6. Estas señales auxiliares de control y las fases principales $T1$ y $T2$ pueden ser implementadas de forma eficiente y sencilla mediante un oscilador de anillo como el presentado en [24]. Durante el primer pulso ($Pul1$) el circuito es preparado para aplicar la TRC (ver figura 3.5b) por lo que no hay intercambio de carga. Durante el segundo pulso ($Pul2$) las placas superiores de $C4$ y $C3$ son cortocircuitadas (ver figura 3.5c) con lo cual se da el primer intercambio de carga (notar que los voltajes de las placas superiores de $C4$ y $C3$ se hacen iguales). Durante el tercer pulso ($Pul3$) las placas superiores de $C4$ y $C2$ son cortocircuitadas (figura 3.5d). Luego, durante el cuarto pulso, las placas superiores de los capacitores $C4$ y $C1$ (figura 3.5e). En el quinto y último pulso, la placa superior de $C4$ es cortocircuitada con la placa inferior de $C1$ (figura 3.5f). Luego de este último pulso, todos los voltajes referidos a tierra de las placas superiores de los distintos condensadores alcanzaron valores cercanos a los que tendrán cuando el convertor sea conectado a la fuente de alimentación. Todo este proceso fue implementado sin tomar energía de la fuente de alimentación excepto por el requerido por la lógica que genera los pulsos y el manejo de los gates de las llaves auxiliares. Como se analiza en el apéndice A.2, la energía perdida en el proceso es la mostrada en la ecuación 3.2 donde n , $C_{t/b}$ y V_{DD}^2 son los mismos de la ecuación 3.1.

$$E_{ModCR} = \frac{(n-1)}{n^2} \cdot \frac{C_{t/b} \cdot V_{DD}^2}{2} \quad (3.2)$$

En la ecuación 3.3 se muestra la relación de pérdidas entre los dos casos (aplicando y no aplicando la TRC). A modo de ejemplo, en un convertor modular de cuatro capacitores como el presentado en este trabajo, se alcanza una reducción en las pérdidas por CPTBP de 75%. En esta ecuación, el consumo de energía debido a la lógica que genera los pulsos de control y el manejo del gate de las llaves auxiliares no son tenidos en cuenta. Sin embargo, como se verá más adelante esto no tiene un impacto significativo y la técnica permite mejorar la eficiencia del convertor.

$$S_{Mod} = \frac{E_{ModCR}}{E_{Mod}} = \frac{1}{n} \quad (3.3)$$

Desde el punto de vista de la complejidad del diseño y del layout, la TRC

Capítulo 3. Conversor de arquitectura modular

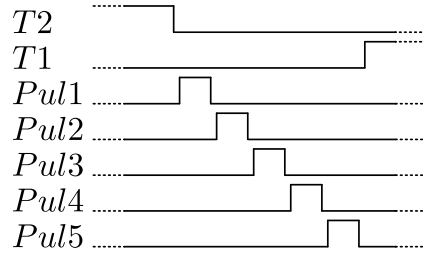


Figura 3.6: Forma de onda de los pulsos $Pul1..Pul5$.

Llave	$W_n(\mu m)$	$W_p(\mu m)$
Sw_{Inter}	175	350
Sw_{Gnd}	50	—
Sw_{T1}	—	50
Sw_{T2}	50	100
Sw_{Star}	50	100

Tabla 3.1: Tamaño de las llaves.

propuesta requiere un costo que puede considerarse despreciable. Por un lado, solo es necesario agregar unas pocas llaves auxiliares conectados en estrella. Por otro lado, es necesario generar los pulsos de control $Pul1..Pul5$, que puede ser implementados con facilidad en conjunto con las señales que definen las fases principales ($T1$ y $T2$) a partir del método presentado en [24].

3.4. Resultados de simulación del conversor modular

En esta sección se presentan resultados de simulación para un conversor como el que se muestra en la figura 3.2. Adicionalmente, usando una llave extra es posible saltar uno de los capacitores del conversor logrando un conversor de tres condensadores. El capacitor saltado se conecta en paralelo con el capacitor de carga CL . De esta forma, usando cuatro condensadores se pueden obtener seis relaciones de conversión: $1/4$, $1/2$, $3/4$ y $4/4$ cuando se usan los cuatro capacitores, y $1/3$ y $2/3$ cuando se usan tres. Las simulaciones fueron realizadas en una tecnología de $130nm$, el valor de los capacitores $C1..C4$ usados es de $210pF$ y el valor del capacitor de carga CL es de $764pF$. Todos los capacitores fueron implementados con transistores $NMOS$ de triple pozo, y la lógica y llaves fueron implementadas usando transistores “low power”. La tabla 3.1 muestra los tamaños de las llaves usadas, donde Sw_{Inter} , Sw_{Gnd} , Sw_{T1} , y Sw_{T2} son los mostrados en la figura 3.2a, y Sw_{Star} son las llaves usadas para conectar las placas superiores de $C1..C4$ a un nodo común V_{star} para implementar la técnica de reciclado de carga. Todos las llaves fueron implementadas usando largo mínimo ($L = 130nm$).

3.5. Resultados de medidas del conversor modular

La figura 3.7 muestra el resultados de las simulaciones para cinco relaciones de conversión (la relación de conversión de $3/4$ no funcionó correctamente por un error en la lógica) usando una y dos fases. Además, estos dos casos se simularon aplicando y no aplicando la TRC. La eficiencia presentada considera las pérdidas debido a la lógica (incluyendo la lógica auxiliar cuando la TRC es aplicada), gate-drive (incluyendo las llaves auxiliares cuando la TRC es aplicada), CPTBP y conducción. Estos resultados no incluyen el consumo del oscilador que genera las señales de la figura 3.6, ni el debido a circuitos que implementen el control del lazo cerrado. Como se puede ver, el manejo del conversor usando una sola fase permite obtener mejores resultados de eficiencia en comparación con el caso de dos fases. Por ejemplo, si ambos manejos (una y dos fases) del conversor son comparados (para ambos casos se aplica la técnica de reciclado de carga), para la relación de conversión de $1/2$ (V_o entre $0,4V$ y $0,55V$), el pico de eficiencia es de 75% para el caso de una fase y 70% para dos fases. Esta diferencia se desprende del hecho de que la impedancia de salida en el caso de usar un manejo de dos fases es mayor que en el caso del manejo con una fase, y lleva a incrementar las pérdidas por conducción. Esto se puede apreciar en las figuras 3.3 y 3.4. En la figura 3.3 (manejo con una fase) la tensión promedio con una corriente de carga de $30\mu A$ y una relación de conversión de $1/2$ es de $488mV$, lo que implica una resistencia de salida de 3733Ω . Por otro lado, en la figura 3.4 (manejo con dos fases) el voltaje promedio de salida en las mismas condiciones es de $466mV$ que significa una resistencia de salida de 4467Ω . La mayor impedancia de salida en el manejo con dos fases se debe a los siguientes efectos. Como primer punto, durante la primera fase $T1$ los condensadores del conversor no entregan energía a la carga (solo lo hace C_L). Segundo, durante $T2$ la capacitancia efectiva del anillo que entrega corriente a la carga es menor. Solo la serie de condensadores conectada entre la salida y tierra contribuye a dicha capacitancia.

3.5. Resultados de medidas del conversor modular

El conversor analizado en el presente capítulo fue fabricado y se realizaron medidas que se presentan en esta sección. El layout del conversor fabricado se muestra sobre el lado izquierdo de la figura 3.8. Sobre el lado derecho de dicha figura se muestra una foto del die aunque solo se ven los bloques de relleno de las capas superiores de metal. El set up utilizado para realizar las medidas se muestra en la figura 3.9. Se usaron dos conjuntos de siete llaves que se usan para seleccionar si las siete señales de control ($T1$, $T2$, $Pul1..Pul5$) usadas para manejar el conversor provienen de un CCO (Current Controlled Oscillator) [24] que fue integrado con el conversor, o por el contrario provienen de un circuito externo al die. El CCO implementa el control descrito en la sección 3.2 que usa dos fases ($T1$ y $T2$) y rota el anillo luego de cuatro secuencias ($N = 4$). Por otro lado, el control que se introdujo en la sección 3.1 de una sola fase fue generado externamente usando una FPGA. Además, ambas opciones (una y dos fases) se pueden implementar aplicando y sin aplicar la TRC. De esta forma, se pudieron realizar una comparación de medidas en cuatro casos: usando un manejo con una y dos fases, aplicando y

Capítulo 3. Conversor de arquitectura modular

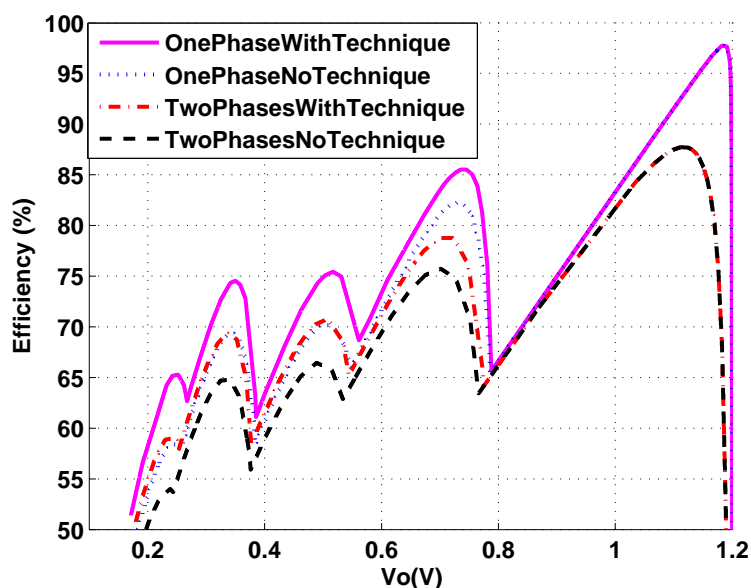


Figura 3.7: Resultados de simulación para las relaciones de conversión 1/4, 1/3, 1/2, 2/3, y 1 para una y dos fases, y aplicando y no aplicando la técnica de reciclado de carga.

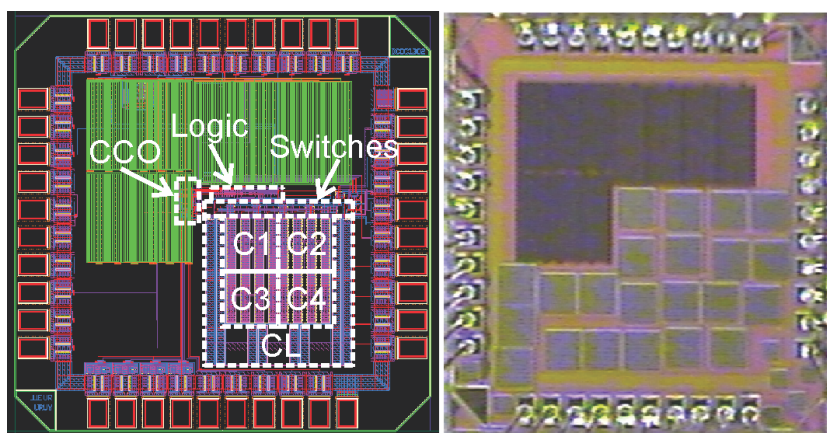


Figura 3.8: Layout y foto del die del conversor fabricado.

no aplicando la TRC.

El impacto en la eficiencia de posibles circuitos analógicos para implementar el lazo de control fue tenido en cuenta sumando al consumo un término constante de $200nW$ para todos los casos. Este valor está en el orden del requerido en otro trabajo [28]. A modo de ejemplo, un diseño basado en un comparador “Super Class A-B” (similar al presentado en [29]) puede cumplir los requerimientos de performance con estos niveles de consumo o incluso mucho menores. Con el objetivo de

3.6. Comparación con el estado del arte

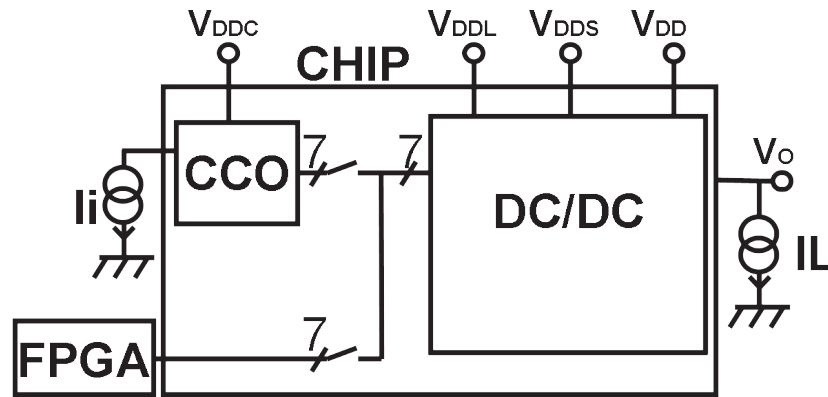


Figura 3.9: Set up usado para realizar las medidas.

hacer una comparación más realista, en ambas estrategias de control se incluyó el consumo del *CCO* como circuito digital para todos los casos. La figura 3.10 muestra los resultados de las medidas para los cuatro casos. Para realizar las medidas se usó una frecuencia de conmutación fija de 1MHz y se fue cambiando la corriente de carga en una configuración de lazo abierto. La figura 3.11 muestra la corriente de carga usada para las medidas. Para una tensión V_O de salida dada, la corriente de carga para el manejo con una sola fase es mayor en comparación con el manejo de dos fases. Esto se debe a la menor resistencia de salida que tiene el manejo con una sola fase como se discutió en la sección anterior. En el caso de la relación de conversión unitaria, el manejo con una sola fase alcanza una corriente mucho mayor debido a su impedancia de salida mucho menor, la cual se debe a que para esta relación de conversión esta determinada por la resistencia de las llaves. La figura 3.10 muestra que el control implementado con una sola fase es más eficiente que el uso de dos fases. Segundo, se puede apreciar que la TRC de las CPTBP permite un ahorro de energía que tiene un impacto de hasta cuatro puntos porcentuales en la eficiencia del convertidor. Esta mejora en la eficiencia se debe a una reducción de las pérdidas por CPTBP de hasta 70% respecto a su valor inicial (la reducción teórica de pérdidas es de 75%). Adicionalmente, estos resultados confirman la hipótesis de que las pérdidas debido a la lógica y llaves extra para aplicar la TRC, es suficientemente baja como para asegurar la efectividad de dicha técnica.

3.6. Comparación con el estado del arte

En esta sección se hace la comparación con el estado del arte de los resultados obtenidos a nivel de simulaciones para el convertidor que se presenta en la sección 2.1, y los resultados de medidas del convertidor presentado en el capítulo 3 usando una única fase como se describe en la sección 3.1. La tabla 3.2 resume esta comparación donde se puede ver que los resultados se presentan con y sin la aplicación de la TRC de las CPTBP.

Capítulo 3. Conversor de arquitectura modular

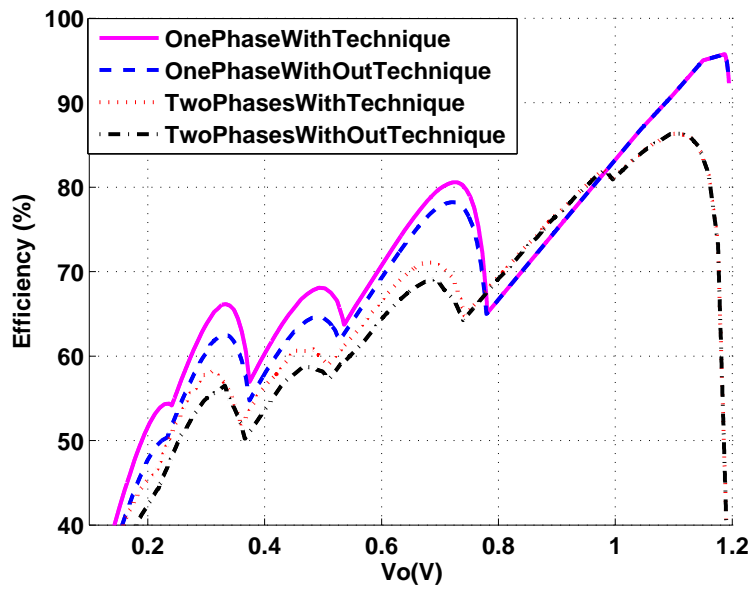


Figura 3.10: Resultados de medidas del conversor modular.

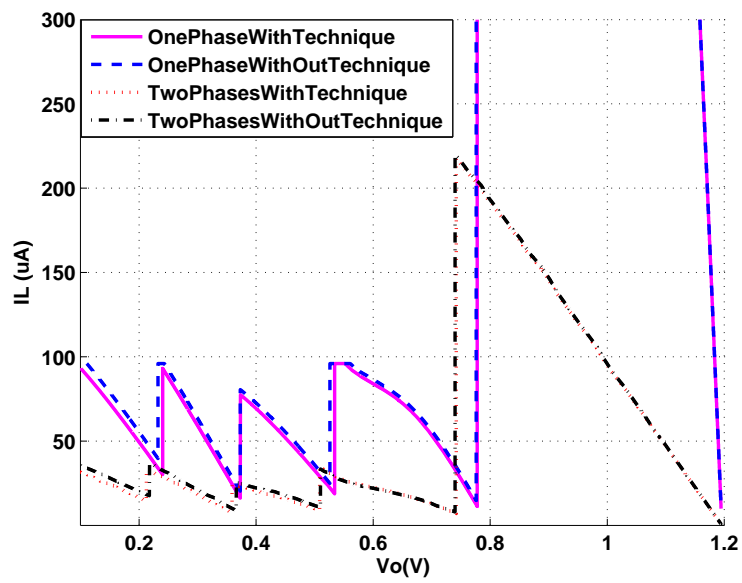


Figura 3.11: Corriente de carga usada para medidas de performance.

3.6. Comparación con el estado del arte

En términos de eficiencia, el convertor interleaved alcanza una eficiencia simulada de 74,5 %, mientras que las medidas del convertor modular muestran un pico de 80,6 %, en ambos casos si la TRC es aplicada. La aplicación de la TRC propuesta permite una mejora en la eficiencia de hasta 5,7 % y 4 % respectivamente. Solo [30] alcanza una eficiencia superior. Este trabajo utiliza el caso particular más simple de la técnica general de reciclado de carga propuesta. Sin embargo, para hacer una comparación realista en términos de eficiencia, debe tenerse en cuenta que [30] usa un condensador de carga externo de $33nF$ (imposible de integrar), que minimiza el ripple y en consecuencia disminuye las pérdidas por conducción. Adicionalmente, se puede apreciar que solo cuenta con una relación de conversión y que la tecnología que usa es más moderna. Estos resultados muestran que la aplicación de la TRC de las CPTBP permite alcanzar una eficiencia que mejora el estado del arte. Esto se logra manteniendo una gran cantidad de relaciones de conversión para el caso de convertor modular y extendiendo dicho beneficio a cualquier arquitectura si se analiza el convertor interleaved.

En cuanto a la comparación en área de silicio, [12] presenta tan solo $0,07mm^2$ pero usa un capacitor externo de $3,3nF$. De esta forma, si se integrara la capacidad de carga (asumiendo el área requerida proporcional a la capacidad) se llegaría a un área de $0,65mm^2$ lo cual es significativamente mayor. [30] presenta un área significativamente pequeña aunque usa un condensador externo imposible de integrar de $33nF$ como capacitor de carga.

La tecnología usada, la potencia máxima entregada a la carga y la frecuencia de conmutación son parámetros que está muy ligados. En ese sentido podemos ver que [27], [30], y [11] alcanzan potencias significativamente mayor que el resto de los trabajos. Eso se explica básicamente en términos de la tecnologías usadas (más modernas) y de la frecuencia de conmutación. Analizando este último parámetro, claramente se aprecia que los tres trabajos usan frecuencias en el orden de los cientos de MHz mientras el resto usa tecnologías menos modernas y frecuencias de conmutación que no superan los $17MHz$.

Capítulo 3. Conversor de arquitectura modular

Diseño	[27]	[12]	[30]	[10]	[9]	[11]	Este trabajo (Conversor interleaved)		Este trabajo (Conversor modular)(6)	
Tipo de análisis	Meas.	Meas.	Meas.	Meas.	Meas.	Meas.	Sims.		Meas.	
Tecnología (nm)	22(Trig)	65	32(SOI)	130	180	32(SOI)	130		130	
Área activa(mm ²) (7)	0,1	0,07	0,0034	0,52	0,57	0,378	0,316 (1)(2)		0,291 (1)	
Cap integrado (pF)	1600	400(3)	690(4)	350	2400	Not available	1740		1604	
Núm. rel. de conversión	4	1	1	3	5	3	1		6	
V _{OUT} (V)	0,5 – 1	0,5 – 0,3	0,84 – 0,6	1,1 – 0,3	1,1 – 0,3	1,15 – 0,5	0,4 – 0,25		1,1 – 0,2	
V _{DD} (V)	1,23	1,2 – 1	1,8	1,2	1,2	2	1,2		1,2	
Máx. pot. a la carga (μW)	36000	280	15600	230	1000	325000	240		2200	
Rango eficiencia (%) (5)	74 – 61	75,5 – 74	86 – 50	55 – 30	76 – 55	79,8 – 30	Tec.	No Tec.	Tec.	No Tec.
Δη (%) (8)	-6,6	-5,1	5,4	-25,6	-4,6	-0,8	74,5 – 57	68,8 – 54	80,6 – 51,5	78,2 – 47,5
Freq. máx (MHz)	250	17	200	6,5	15	800	-6,1		0	
							3		5	

(1) - Como el área esta dominada por los capacitores, el impacto en el área debido a la aplicación de la técnica de reciclado de carga de las CPTBP es despreciable.

(2) - Como este circuito no fue fabricado, el área fue estimada a partir de la capacidad total.

(3) - Usa un capacitor externo de 3,3nF como capacitor de carga.

(4) - Usa un capacitor externo de 33nF como capacitor de carga. Los autores declaran que este valor puede ser reducido o incluso eliminar esta capacidad.

(5) - No se incluye la relación de conversión unitaria.

(6) - Conversor modular con manejo de una fase.

(7) - Se incluyen todos los componentes del circuito internos al die.

(8) - Diferencia de eficiencia con el caso del conversor modular cuando la TRC de CPTBP es aplicada.

Tec. - Performance del conversor cuando se aplica la TRC de CPTBP.

No Tec. - Performance del conversor cuando no se aplica la TRC de CPTBP.

Tabla 3.2: Comparación con el estado del arte.

Capítulo 4

Circuitos para la implementación de convertidores DC/DC de ultra bajo consumo

En aplicaciones de ultra bajo consumo, los convertidores DC/DC de energía usados deben ser ellos mismos circuitos de ultra bajo consumo para no perder eficiencia a nivel global. Por esta razón, los distintos circuitos que componen dichos convertidores y hacen posible su funcionamiento deben ser diseñados con esta característica. En esta sección se proponen dos de estos circuitos, se hace un análisis de los mismos y se presentan resultados de simulaciones y medidas.

4.1. Oscilador de anillo y generador de pulsos de ultra bajo consumo

Como se menciona en [13], la regulación de la tensión de salida de un convertidor DC/DC de capacitores conmutados se logra variando la frecuencia de conmutación de forma proporcional con la corriente de carga. En general esto no se implementa midiendo directamente la corriente de carga sino que por el contrario se realiza indirectamente a partir de regular la tensión de salida. Para esto se compara de alguna forma la tensión de salida con una tensión de referencia y se modifica la frecuencia de conmutación en consecuencia. Por ejemplo, en [9] se utiliza un esquema del tipo “pulse frequency modulation”, en [10] se usa un esquema de control asíncrono que básicamente varía la frecuencia de conmutación promedio, en [27] se utiliza también la variación de la frecuencia como medio para regular la tensión de salida.

Por lo tanto, una opción como bloque a incluir en el lazo de control es el de un CCO (Current Controlled Oscillator)¹. Aplicaciones típicas de ultra bajo consumo

¹Esta sección se habla de CCO porque fue la implementación que se llevó adelante, pero se podría pasar a tener un VCO (Voltage controlled oscillator) usando un transistor extra.

Capítulo 4. Circuitos para la implementación de convertidores DC/DC de ultra bajo consumo

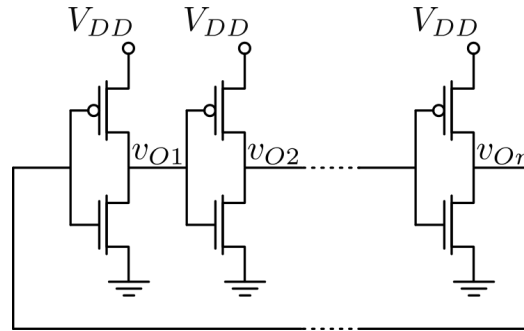


Figura 4.1: Oscilador de anillo básico.

como las mencionadas en la sección 1.1, en general pueden contar por ejemplo con un modo sleep y un modo activo, donde la diferencia de consumo entre un caso y otro puede llegar a ser de varios ordenes de magnitud en términos de corriente. Por lo tanto, el convertidor DC/DC que alimenta dicho sistema deberá ser capaz de variar su frecuencia de conmutación el mismo número de ordenes de magnitud con el objetivo de regular correctamente la tensión de salida. En consecuencia, si bien existen varias arquitecturas de CCOs, solo aquellas que cuenten con la posibilidad de tener una amplia variación en la frecuencia de oscilación y ser de ULP, serán aplicables en convertidores DC/DC de capacitores conmutados y de ULP.

Una arquitectura comúnmente usada para estos casos es la de osciladores de anillo. Las mismas consisten en conectar en anillo una cantidad impar de inversores CMOS como muestra la figura 4.1. Dicha configuración tiene una frecuencia de oscilación fija, determinada por la ecuación 4.1 donde τ es el retardo de un inversor, y n el número de inversores.

$$f_{Osc} = \frac{1}{2 \cdot n \cdot \tau} \quad (4.1)$$

Para lograr variar la frecuencia de oscilación y obtener un CCO se utilizan fuentes de corriente conectadas a fuente y tierra como se muestra en la figura 4.2 ([31] [32], [33], [34]). Con el objetivo de tener un CCO, estas fuentes de corriente se construyen a partir de espejos de corriente, copiando una corriente de referencia (i_{REF} en dicha figura). Luego, variando dicha corriente de referencia es posible variar la frecuencia de oscilación. En este caso, dicha frecuencia será aproximadamente la mostrada en la ecuación 4.2. En la misma V_{DD} es la tensión de alimentación, n el número de inversores en el anillo, i_{REF} es la corriente de referencia (el factor de copia de los espejos se asume unitario), y C_{Inv} es la capacidad de carga (en este caso es la capacidad de entrada de un inversor). Como muestra [24], la arquitectura mostrada en la figura 4.2 permite variar la frecuencia de oscilación en varios ordenes de magnitud lo cual le da el potencial para ser aplicado en convertidores de capacitores conmutados. Sin embargo, dicha arquitectura presenta problemas de consumo si se lo hace oscilar a bajas frecuencias, según se analiza a continuación.

4.1. Oscilador de anillo y generador de pulsos de ultra bajo consumo

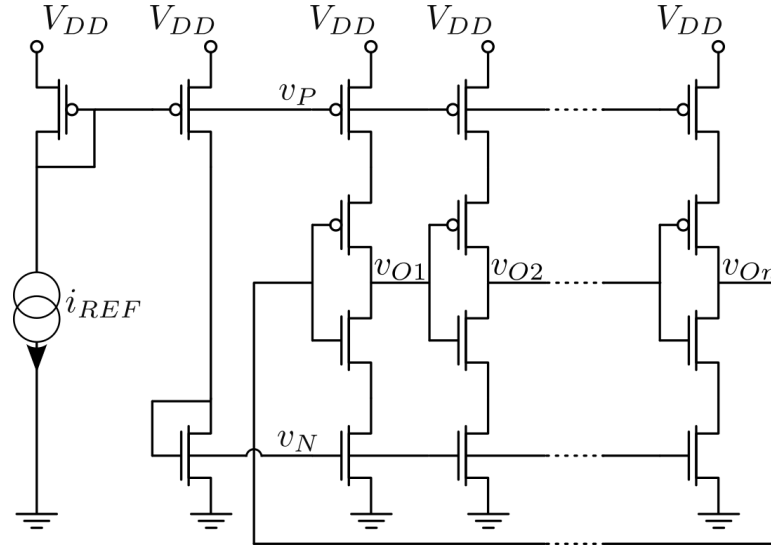


Figura 4.2: Oscilador de anillo de frecuencia variable.

$$f_{OscI_{Ref}} = \frac{i_{Ref}}{2 \cdot n \cdot C_{Inv} \cdot V_{DD}} \quad (4.2)$$

Para una compuerta CMOS, el consumo está compuesto por tres factores. Primero se tiene el consumo dinámico debido a la carga y descarga de las capacidades parásitas y es el que se muestra en la ecuación 4.3. En la misma f es la frecuencia promedio de conmutación de la entrada del inversor, C_L es la capacidad total equivalente de carga del inversor, incluyendo parásitos, y V_{DD} la tensión de alimentación.

$$P_{Dyn} = f \cdot C_L \cdot V_{DD}^2 \quad (4.3)$$

Segundo, se tiene el consumo debido a la corriente de camino directo o corriente de corto circuito. Éste se debe a que en la transición de la señal de entrada (tanto en 0-1 como en 1-0) ambos transistores se encuentran “encendidos” en el rango $V_I \in [V_{tn}, V_{DD} - V_{tp}]$, por lo que existe un camino directo entre la fuente de alimentación V_{DD} y tierra. La potencia consumida debido a la corriente de corto circuito se muestra en la ecuación 4.4. En este caso, I_{SC} va a depender de la tensión de alimentación V_{DD} , de la tecnología, de las dimensiones de los transistores, y por sobre todas las cosas del tiempo de transición de la señal de entrada.

$$P_{SC} = V_{DD} \cdot I_{SC} \quad (4.4)$$

El tercer factor de consumo se debe a las corrientes de fuga. Estas corrientes dependen principalmente de la tecnología, haciéndose más significativa para las nuevas tecnologías, y de la tensión de alimentación. Este consumo puede ser minimizado usando transistores para bajo consumo (Low Power) disponibles en las

Capítulo 4. Circuitos para la implementación de convertidores DC/DC de ultra bajo consumo

tecnologías mas nuevas.

Se puede ver que el consumo dinámico tiene características que se adecuan para su uso en un convertidor de capacitores conmutados de ultra bajo consumo. Esto se debe a que para bajas corrientes de carga la frecuencia de conmutación será menor que para altas corrientes de carga. De hecho, como se ha mencionado la frecuencia de conmutación variará proporcional a la corriente de carga en un convertidor correctamente regulado. Por lo tanto, cuanto menor sea la corriente de carga, menor será este consumo, lo cual logra no degradar la eficiencia del convertidor.

Sin embargo, las características del consumo por camino directo no son adecuadas para nuestro caso. Esto se debe a que las bajas frecuencias de conmutación se logran con rampas “lentas” en las distintos nodos del anillo. Por lo tanto vamos a tener un tiempo significativo de dicha señal en el rango $[V_{tn}, VDD - V_{tp}]$. Esto tiene como consecuencia que el consumo para bajas frecuencias tenderá a ser una constante como se muestra en [24]. Entonces, si se quiere aplicar la arquitectura de oscilador de anillo para implementar un CCO, el consumo por camino directo debe ser eliminado.

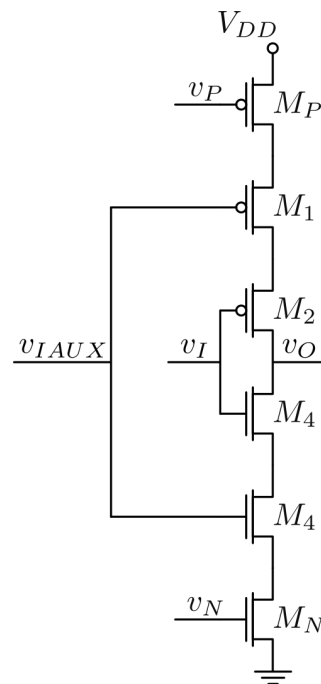
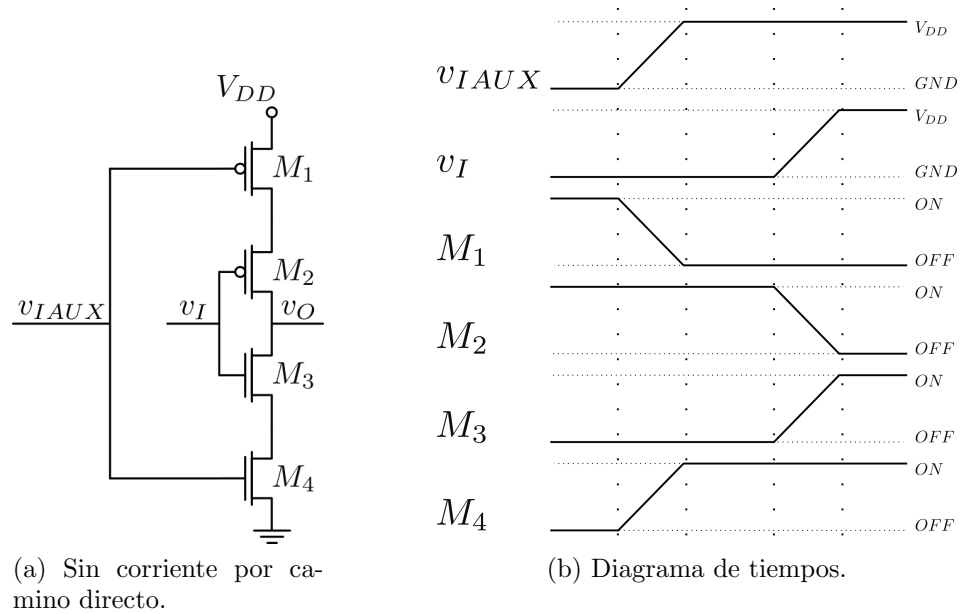
4.1.1. Arquitectura propuesta para el CCO

Para solucionar los problemas de consumo por camino directo, la arquitectura que se propone es la mostrada en la figura 4.3a. Para evitar la corriente de camino directo se agregan dos transistores (M_1 y M_4) cuyos gates se manejan a través de la señal v_{IAUX} . Dicha señal provendrá de otro nodo del anillo que cambie su valor de forma anticipada a la señal v_I . Esto permite tener un transistor cortado en todo momento evitando de esta forma la corriente por cortocircuito. En la figura 4.3b se presenta un diagrama de tiempos con la forma de onda de las señales v_I y v_{IAUX} (se muestra la transición 0-1 de dichas señales) y los estados de los transistores $M_1..M_4$. Como se aprecia en dicha figura, en la transición de la señal v_{IAUX} el transistor M_3 permanece cortado evitando la corriente de camino directo, mientras que en la transición de la señal v_I el transistor M_1 es el que evita dicha corriente. Luego, en la figura 4.3c se ve el bloque que incluye la eliminación del camino directo y las fuentes de corriente variable implementadas por los transistores M_N y M_P .

Un problema que presenta esta arquitectura se muestra en la figura 4.4 donde se puede ver que por ejemplo en el flanco de subida de la señal de salida, la corriente entregada a la capacidad de carga C_L no está compuesta solo por la corriente que entrega M_P , sino que las capacidades parásitas (representadas como C_P) contribuyen también con carga. Esto afecta significativamente el tiempo de subida y en consecuencia la frecuencia de conmutación.

La solución para este problema es pasar los transistores que implementan las fuentes de corrientes M_N y M_P conectándolos como se muestra en la figura 4.5. De

4.1. Oscilador de anillo y generador de pulsos de ultra bajo consumo



(c) Sin corriente por camino directo y con fuentes de corriente variable.

Figura 4.3: Arquitectura propuesta para el inversor del oscilador de anillo que evita corriente de camino directo.

Capítulo 4. Circuitos para la implementación de convertidores DC/DC de ultra bajo consumo

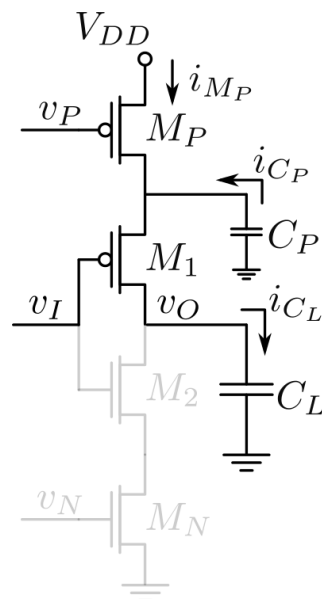


Figura 4.4: Inversor con pendiente variable convencional.

esta forma, la corriente proveniente de C_P es “frenada” por M_P , por lo que la corriente entregada a la capacidad de carga C_L estará determinada enteramente por el voltaje v_P . En la figura 4.6 se muestran las formas de onda de la tensión de salida de ambas configuraciones (configuraciones de las figuras 4.4 y 4.5). En la misma se aprecia que en el caso “convencional” el flanco de subida tiene dos pendientes: en la primera la corriente entregada a la carga C_P genera una pendiente bastante mayor que la correcta. Luego de que la tensión de C_P es alcanzada por la tensión de salida v_O , la pendiente decrece significativamente ya que está enteramente determinada por la corriente del transistor M_P . En la configuración propuesta se aprecia que la pendiente es constante ya que como se mencionó anteriormente la corriente está bien determinada por la tensión v_P .

En la figura 4.7a se muestra la configuración propuesta que incluye la técnica para eliminar la corriente de corto circuito y con las fuentes de corriente variable. En la figura 4.7b se aprecia el circuito que genera las tensiones v_N y v_P que permiten tener una pendiente variable. En dicha figura, la corriente i_{IN} entra al transistor M_{P1} que está conectado en configuración de diodo y en cuyo gate se genera la tensión v_P . Los transistores PMOS que están entre la source de M_{P1} y la alimentación V_{DD} cumplen la función de igualar la resistencia de source que tiene M_P en la figura 4.7a de forma de lograr una copia de corriente por el inversor propuesto lo más precisa posible. Luego, el transistor M_{P2} oficia de fuente de corriente copiando i_{IN} por esta rama para que el transistor M_{P2} que está conectado en configuración de diodo genere la tensión v_N en su gate. De esta forma, variando la corriente i_{IN} se logra variar la rampa en la salida v_O del circuito mostrado en la figura 4.7a. Usando un factor de copia unitario, se logra por M_P y M_N la corriente

4.1. Oscilador de anillo y generador de pulsos de ultra bajo consumo

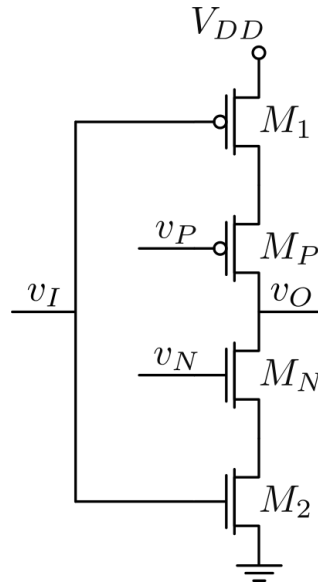


Figura 4.5: Inversor con pendiente variable propuesto.

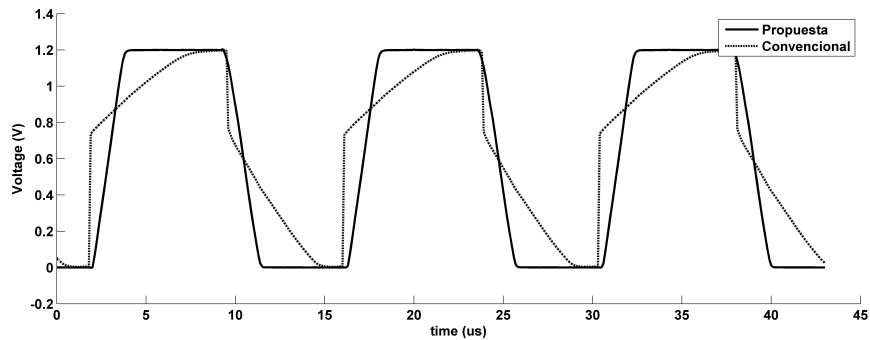


Figura 4.6: Forma de onda de la tensión de salida para las configuraciones de las figuras 4.4 y 4.5.

i_{IN} . Con el objetivo de ahorrar energía, es posible usar un factor de copia mayor a uno para lograr una determinada rampa en v_O con una corriente menor en i_{IN} .

Por ultimo, en la figura 4.8 se muestran los símbolos que se usarán para las distintas arquitecturas de inversores que se usan. En la figura 4.8a se muestra el símbolo para el inversor clásico como los que se muestran en la figura 4.1. En la figura 4.8b se muestra el inversor que elimina la corriente de corto circuito como el mostrado en la figura 4.3a. Luego, en la figura 4.8c se muestra el símbolo para el inversor con retardo variable como los mostrados en la figura 4.5. Por último, en la figura 4.8d se muestra el símbolo usado para el inversor con retardo variable y sin corriente de corto circuito como el que se muestra en la figura 4.7a.

Capítulo 4. Circuitos para la implementación de convertidores DC/DC de ultra bajo consumo

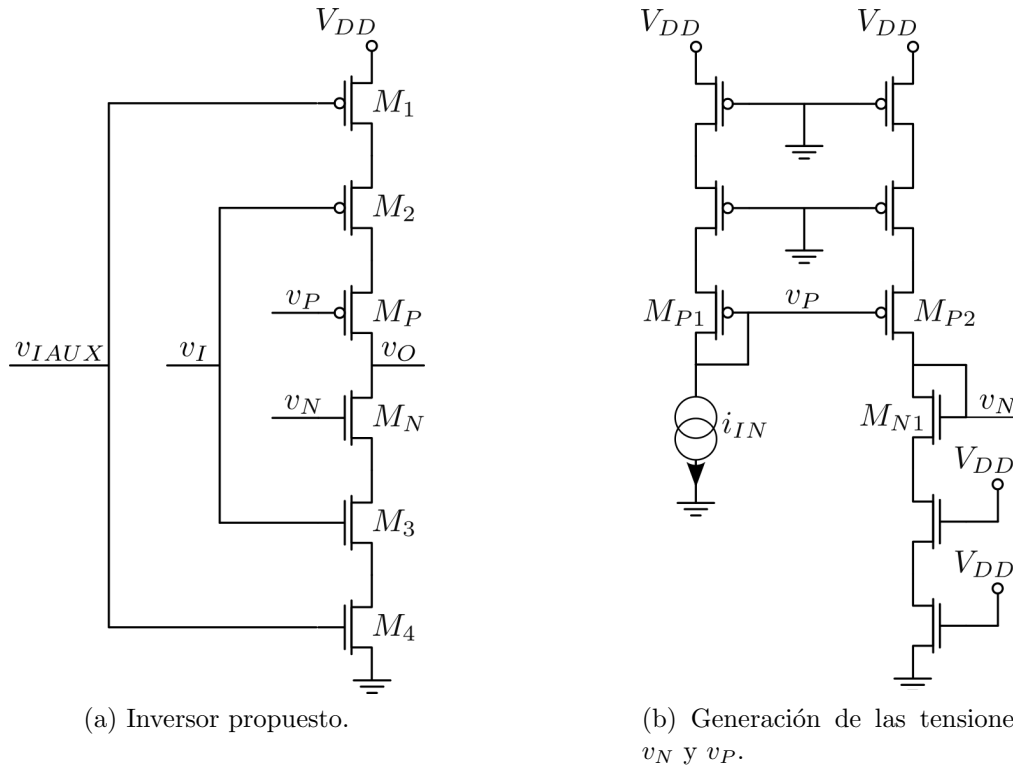
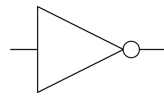


Figura 4.7: Arquitectura propuesta para el inversor de pendiente variable que evita corriente de camino directo.

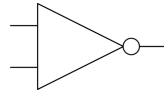
4.1.2. Generador de pulsos de ancho variable

Como se ha analizado en la sección 3, para lograr que el convesor mostrado en la figura 3.2 funcione correctamente y poder aplicar la técnica de reciclado de carga, es necesario contar con un conjunto de pulsos. De esos pulsos, algunos van a ser de ancho variable (los que se usan para manejar las fases $T1$ y $T2$), y otros de ancho fijo (los que se usan para implementar la técnica de reciclado de carga). Por lo tanto, a partir de los bloques mostrados en la figura 4.8 es posible implementar un CCO de frecuencia variables, y a partir de una compuerta XOR y dos señales distintas de dicho bloque es posible tener un pulso de ancho variable. Este bloque se muestra en la figura 4.9, donde se puede ver la presencia de los cuatro tipo de inversores presentados en la figura 4.8. Dado que la corriente de corto circuito solo se hace significativa en los casos en que la señal de entrada es una rampa lenta, no todos los inversores se implementan con la configuración que evita dicha corriente. Los primeros dos inversores son los que generan el retardo para que el pulso tenga ancho variable. Los siguientes cuatro se usan para regenerar la señal, y los últimos dos para generar un retardo y asegurar que los pulsos generados por dos bloques consecutivos no se solapen.

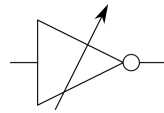
4.1. Oscilador de anillo y generador de pulsos de ultra bajo consumo



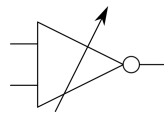
(a) Inversor básico.



(b) Inversor sin corriente de corto circuito.



(c) Inversor con retardo variable.



(d) Inversor con retardo variable y sin corriente de corto circuito.

Figura 4.8: Símbolos para los distintos inversores implementados.

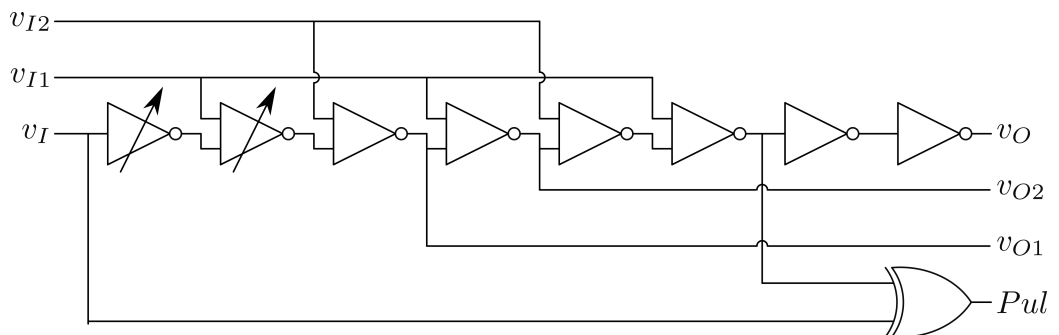


Figura 4.9: Generador de pulso de ancho variable.

Capítulo 4. Circuitos para la implementación de convertores DC/DC de ultra bajo consumo

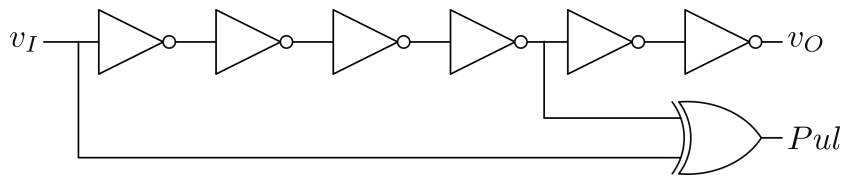


Figura 4.10: Generador de pulso de ancho fijo.

Por otro lado, para implementar la técnica de reciclado de carga es necesario contar con una serie de cinco pulsos cada vez que se rota el convertor. Esto se logra colocando en el anillo bloques similares a los mostrados en la figura 4.9 pero que generan pulsos de ancho constante. Este bloque está compuesto solo por inversores básicos como se muestra en la figura 4.10. En este caso, la técnica que elimina la corriente de camino directo no se aplica por que los tiempos de transición de cada señal del bloque son suficientemente cortos como para que domine la potencia de consumo dinámico.

De esta forma, concatenando varios bloques como los que se muestran en las figuras 4.9 y 4.10, se logra el oscilador de anillo que genera pulsos para manejar el convertor DC/DC que se muestra en la figura 3.2. En la figura 4.11 se muestra el CCO implementado donde se pueden identificar dos tipos de bloques que se corresponden con el generador de pulsos de ancho variables (*GenPulVar*) y de ancho fijo (*GenPulFijo*). Además se tiene un inversor extra que permite tener una cantidad impar de inversores en el anillo. Las tensiones v_N y v_P que aparecen en la figura 4.11 se generan a partir del circuito de la figura 4.7b.

4.1.3. Resultados de simulación

El CCO de la figura 4.11 fue implementado y se realizaron simulaciones a nivel eléctrico. La implementación se hizo en una tecnología de $130nm$, usando transistores del tipo “low power”. En la figura 4.12, se comparan la arquitectura propuesta para eliminar la corriente por camino directo (*SCD*), con la arquitectura que no elimina el camino directo (*CCD*). Para ello, en la opción *CCD* se eliminaron todos los transistores que se usaban para eliminar la corriente de camino directo. Como se puede apreciar en la misma, para altas frecuencias ambas configuraciones consumen básicamente lo mismo, e incluso la arquitectura *CCD* consume un poco menos por tener menos capacidades parásitas por estar compuesta por menos transistores. Esta diferencia es pequeña debido a que para altas frecuencias los tiempos de transición de todos los nodos del anillo son suficientemente cortos como para que el consumo por corriente de corto circuito sea despreciable frente al consumo dinámico. Sin embargo, para bajas frecuencias donde varios nodos del circuito tienen rampas lentas en sus tensiones, la configuración *CCD* aparece con un consumo constante.

Por otro lado, es importante verificar la relación que existe entre la potencia

4.2. Transconductor de ultra bajo consumo

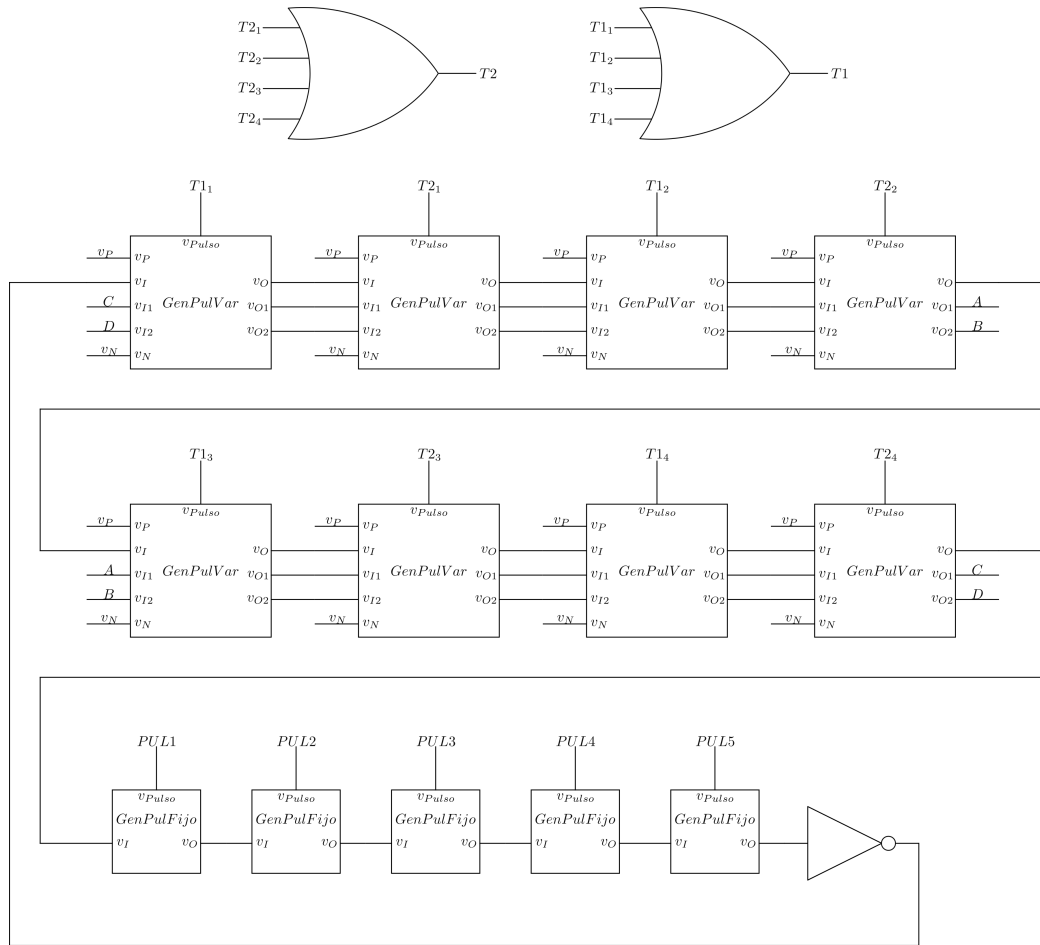


Figura 4.11: Oscilador de anillo implementado.

consumida por el bloque y la corriente de entrada de referencia. Esta relación debería ser lineal como lo indica la ecuación 4.2. La figura 4.12 muestra la simulación correspondiente donde se puede apreciar que efectivamente la relación es lineal entre ambos parámetros.

4.2. Transconductor de ultra bajo consumo

Muchos de los lazos de control presentados en la literatura utilizan un comparador manejado por reloj ([9], [10], [27]). Este tipo de configuraciones tienen la desventaja de que frente a un pico de corriente de carga, la reacción del lazo recién se hará efectiva en el siguiente flanco activo. Si la corriente de carga tiene un escalón de por ejemplo dos ordenes de magnitud, la reacción del conversor podría ser lenta y generar una caída excesiva en la tensión de salida. Por ejemplo, en [9] y [10] no se muestra como reacciona el sistema frente a un escalón creciente en la corriente de carga. En [27] se muestra la reacción del sistema frente a un es-

Capítulo 4. Circuitos para la implementación de convertidores DC/DC de ultra bajo consumo

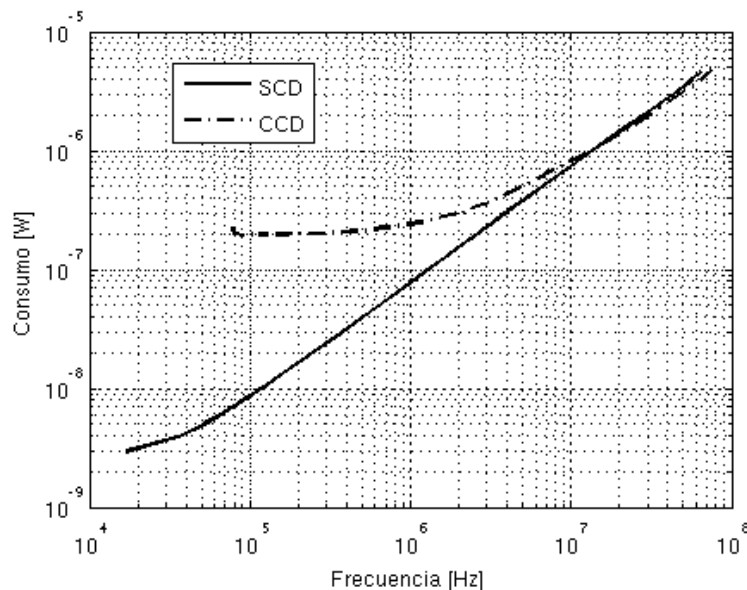


Figura 4.12: Consumo vs frecuencia para el CCO de la figura 4.11 con (SCD) y sin (CCD) la técnica propuesta de eliminación de la corriente por camino directo.

calón creciente pero para una corriente que tan solo se triplica. En [3] se presenta un System on a Chip (SOC) pero tampoco se muestra como reacciona el sistema frente a escalones de varios ordenes de magnitud en la corriente de carga. En [12] también se presenta un SOC y utiliza un mecanismo complejo para sacar el μC del modo sleep y llevarlo a modo activo.

Una de las razones por las que no se utilizan circuitos analógicos es para no degradar la eficiencia del convertidor con un término constante en el denominador de la ecuación 1.34. Este punto se transforma en crítico cuanto menor sea la potencia mínima que se quiere entregar a la carga. Sin embargo, si se logra implementar un circuito analógico con un consumo de potencia despreciable frente a la mínima entregada a la carga, entonces este término constante se podrá despreciar. En esta sección se presenta un transconductor con muy baja corriente de polarización pero alto slew-rate. Estas dos características le permiten ser usados en convertidores DC/DC de capacitores conmutados de ULP, sin degradar la eficiencia y permitiendo reaccionar rápidamente frente a un escalón creciente de la corriente de carga.

Este tipo de OTA, que tienen baja corriente de polarización pero son capaces de entregar grandes cantidades de corriente a la carga se encuentran en la literatura en dos formatos. Por un lado se tienen los que modifican de forma dinámica la corriente de polarización en función de la entrada. A modo de ejemplo, un conocido trabajo es [35], que presenta una arquitectura de un OTA con espejos auxiliares que permiten mejorar significativamente el slew-rate a partir de una corriente de polarización baja. Por otro lado, se tienen las arquitecturas que modifican de al-

4.2. Transconductor de ultra bajo consumo

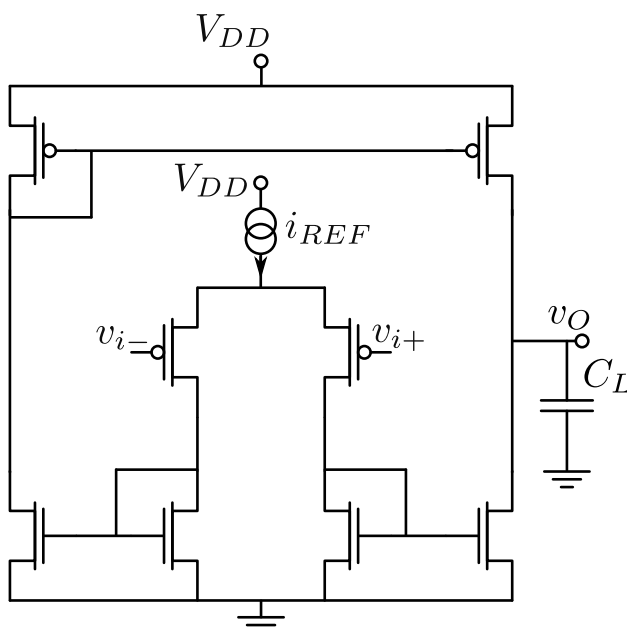


Figura 4.13: OTA básico.

guna forma el factor de copia de los espejos de corriente cuando el par diferencial de entrada se desbalancea. Por ejemplo, en [36] se presenta una configuración que usa resistencias para desacoplar de forma transitoria el gate del transistor que se conecta como diodo del que entrega la corriente de salida del espejo en cuestión. De esta forma se aumenta significativamente el factor de copia del espejo pero tan solo de forma transitoria y frente a un escalón en la entrada. En [37] se presentan tres estructuras que usan un transistor MOS en zona lineal para modificar al factor de copia del espejo y de esta forma aumentar la corriente de salida frente a un escalón en la entrada.

En [38] se presentan ejemplos donde se usan ambas técnicas (la que modifica la corriente de polarización y la que modifica el factor de copia de los espejos) para lograr lo que se denomina “Super Class AB CMOS OTA”.

La arquitectura que se propone se basa en la modificación del factor de copia de los espejos de corriente. En la figura 4.13 se muestra la estructura básica de un OTA. La idea de la arquitectura se basa en modificar el factor de copia de los dos espejos de corriente implementados con transistores *NMOS*. En la figura 4.14 se muestra un espejo de este tipo pero con las resistencias de source R_1 y R_2 que logran modificar al factor de copia del espejo. Si se cumple que $R_1 \gg R_2$ entonces el factor de copia K cumplirá que $K \gg 1$, si por el contrario $R_1 \ll R_2$ entonces se cumple que $K \ll 1$. Además, si $R_1 \simeq R_2$ entonces $K \simeq 1$.

En la figura 4.15 se muestra la implementación del espejo de la figura 4.14 pero con las resistencias R_1 y R_2 implementadas con los transistores M_{R1} y M_{R2}

Capítulo 4. Circuitos para la implementación de convertidores DC/DC de ultra bajo consumo

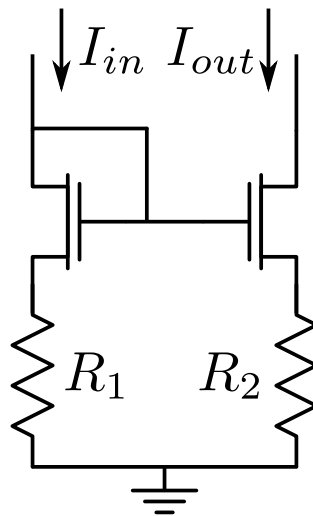


Figura 4.14: Espejo con resistencias de source.

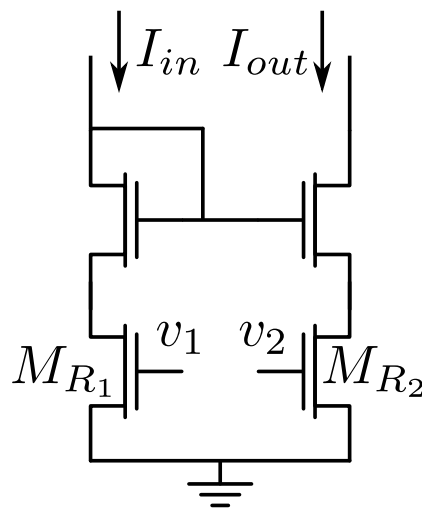


Figura 4.15: Espejo con resistencias de source implementadas con transistores.

trabajando en la zona lineal. De esta forma, modificando las tensiones v_1 y v_2 se puede cambiar el factor de copia del espejo.

En la figura 4.16 se muestra la estructura completa del OTA propuesto. La misma cambia los espejos tradicionales del OTA básico por espejos de corriente como los presentados en la figura 4.15. Los gates de los transistores M_{R12} y M_{R21} se conectan al nodo v_A , mientras que los gates de los transistores M_{R11} y M_{R22} se conectan al nodo v_B . De esta forma, si por ejemplo la tensión v_{i+} disminuye abruptamente, entonces se dará que $v_A \downarrow$ y $v_B \uparrow$. De esta forma, la resistencia asociada a los transistores M_{R12} y M_{R21} aumenta, y las asociadas a los transisto-

4.2. Transconductor de ultra bajo consumo

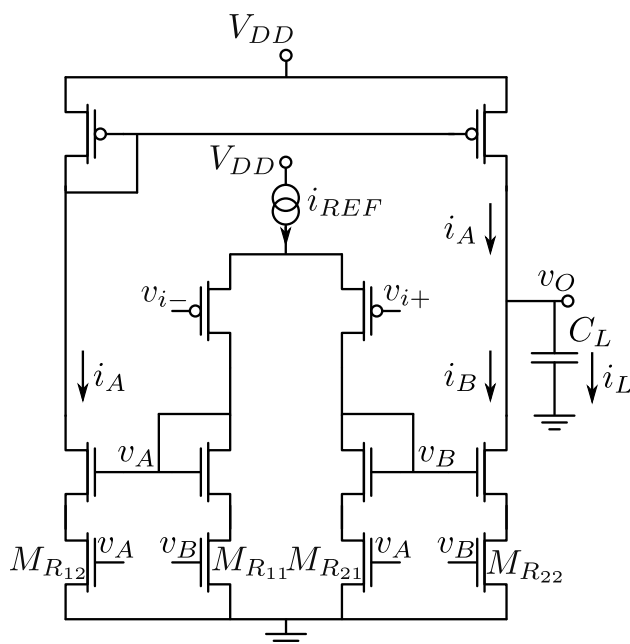


Figura 4.16: OTA propuesto.

res M_{R11} y M_{R22} disminuyen. En consecuencia, el factor de copia del espejo de la izquierda se hace menor a la unidad, mientras que el factor de copia del espejo de la derecha aumenta. Si la variación en v_{i+} es tal que el par diferencial de entrada queda totalmente desbalanceado se tendrá que $i_A \ll i_{REF}$ y $i_B \gg i_{REF}$, y por lo tanto $i_L = i_A - i_B \simeq -i_B$. Si por el contrario se tiene que $v_i = v_{i+} - v_{i-}$ es tal que el par diferencial esta trabajando dentro del modelo de pequeña señal, se tendrá que $v_A \simeq v_B$ y el factor de copia de los espejos es aproximadamente uno y el OTA propuesto se comporta de forma similar al OTA básico de la figura 4.13.

Esta arquitectura fue presentada en [29]. En [39] se analiza una arquitectura muy similar. Este trabajo fue presentado en paralelo al nuestro.

4.2.1. Resultados de simulación sobre el comparador

El OTA fabricado no fue medido por falta de tiempo pero se hicieron simulaciones post layout. En la figura 4.17 se muestran la corriente de salida en función de $v_i = v_{i+} - v_{i-}$. En la misma, se aprecia que en un rango de variación muy chico de la señal de entrada, se logra una corriente máxima de $1\mu A$ con una corriente de polarización de tan solo $2,5nA$. Dado que el OTA fabricado se usa para manejar el CCO que se describe en la sección 4.1 el cual tiene una corriente que siempre es saliente (espejo de corriente PMOS) no fue necesario implementar los transistores M_{R11} y M_{R12} del OTA de la figura 4.16.

Capítulo 4. Circuitos para la implementación de convertidores DC/DC de ultra bajo consumo

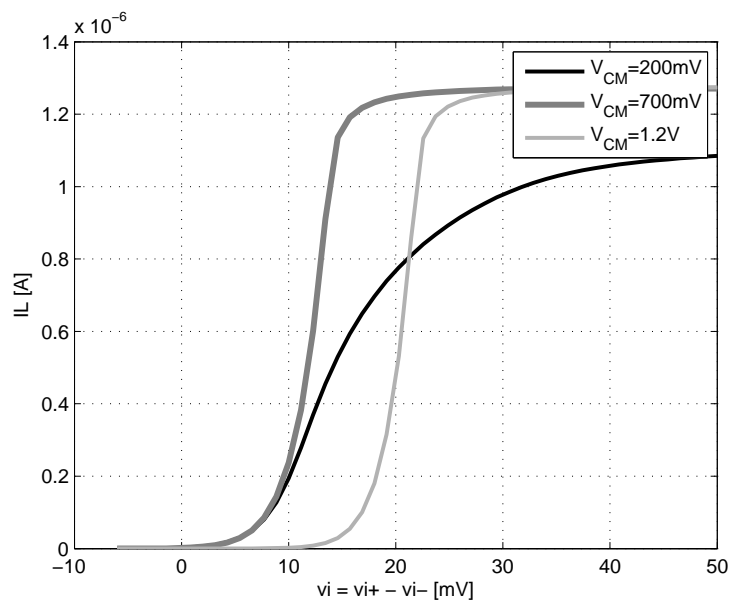


Figura 4.17: Corriente de salida vs tensión diferencial de entrada.

Capítulo 5

Regulación de la tensión de salida

En esta sección se describe el diseño del lazo de control utilizado para regular la tensión de salida del convertidor presentado en el capítulo 3. Se presenta el modelo del sistema, el lazo de control diseñado y simulaciones eléctricas que confirman su correcto funcionamiento.

Como se analizó en la sección 1.2, cuando se regula la tensión de salida del convertidor se obtiene una caída constante en la resistencia de salida R_{OUT} que se muestra en la figura 1.3. Para esto, se utiliza como variable de control la frecuencia de conmutación f_{SW} , y se trabaja en el modo de funcionamiento de Slow Switching Limit.

De la ecuación 1.37, se puede deducir que regular la tensión de salida trabajando en Slow Switching Limit, implica tener una frecuencia de conmutación proporcional a la corriente de carga i_L . Este último aspecto puede abordarse desde dos lugares diferentes: por un lado se podría directamente sensar la corriente de carga i_L y generar una frecuencia de conmutación proporcional. Sin embargo, este abordaje del asunto complica la definición de la tensión de salida, ya que la misma quedaría definida a partir de la constante de proporcionalidad K_{Reg} que relaciona la frecuencia f_{SW} y la corriente de carga i_L como muestra la ecuación 1.38. El valor de K_{Reg} para lograr una determinada tensión de salida objetivo V_O^{Obj} es el que se define en la ecuación 1.38, o el que se muestra en la ecuación 5.1 donde la dependencia de K_{Reg} con V_O^{Obj} se ha escrito de forma explícita. En definitiva, este control es del tipo lazo abierto por lo que no es apropiado, principalmente porque su aplicación implica conocer $K_{Reg}(V_O^{Obj})$ que depende de parámetros inciertos.

$$K_{Reg}(V_O^{Obj}) = \frac{(V_{NL} - V_O^{Obj})}{K_{SSL}} \quad (5.1)$$

Por otro lado, se puede regular la tensión de salida mediante un lazo cerrado de control con realimentación negativa. Es decir, que cuando la tensión de salida cae debido a un aumento de la corriente de carga, el lazo de control aumenta la frecuencia de conmutación f_{SW} disminuyendo así la resistencia de salida R_{OUT} ,

Capítulo 5. Regulación de la tensión de salida

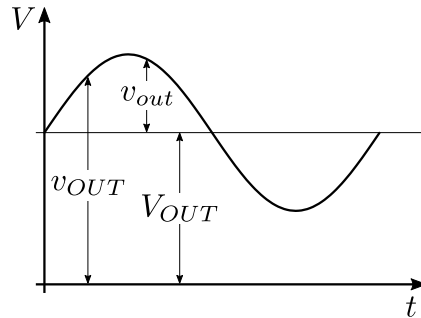


Figura 5.1: Notación para señales.

manteniendo constante la caída en la misma y en consecuencia la tensión de salida.

La notación para indicar las variables con las que se trabaja (frecuencia, voltaje, corriente, etc) es la que se indica a continuación

- v_{OUT} - es la variable total.
- V_{OUT} - es el promedio o componente DC de la variable total.
- v_{out} - diferencia entre la señal total v_{OUT} y la componente DC V_{OUT} .

A modo de ejemplo, si se utiliza esta convención para la tensión de salida nos queda que $v_{OUT} = V_{OUT} + v_{out}$. En la figura 5.1 se muestra este ejemplo en el caso de que la señal v_{out} es sinusoidal.

Para hacer los diferentes análisis en frecuencia se usará la transformada de Laplace usando la siguiente convención: $\mathcal{L}\{v_{out}(t)\}(s) = \bar{v}_{out}(s) = \bar{v}_{out}$, donde la frecuencia compleja “s” se omite por claridad.

En este capítulo se hace un análisis promediado, lo cual quiere decir que todos las señales consideradas (voltajes, corrientes, frecuencia, etc) no son instantáneos, sino que son un promedio a lo largo del tiempo. De esta forma la validez del modelo en términos de frecuencia debe ser comparado con la frecuencia de conmutación. Un criterio razonable es que las componentes de frecuencia de las señales analizadas que realmente tienen sentido son una fracción de la frecuencia de conmutación f_{SW} (por ejemplo $f_{SW}/10$).

5.1. Modelo lineal promediado en lazo abierto

Con el objetivo de diseñar el regulador que fija la tensión de salida se utiliza un modelo lineal promediado en pequeña señal que permite hacer un análisis de estabilidad para diferentes puntos de operación. La figura 5.2 muestra un esquema del sistema en lazo abierto que está compuesto por el CCO (oscilador controlado por corriente), el convertidor DC/DC, y la capacidad de carga C_L . A la salida del

5.1. Modelo lineal promediado en lazo abierto

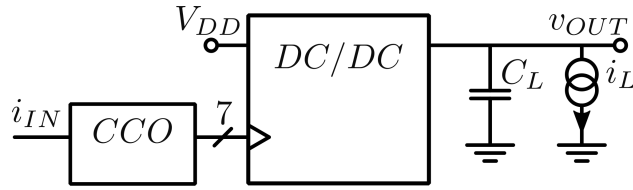


Figura 5.2: Lazo abierto.

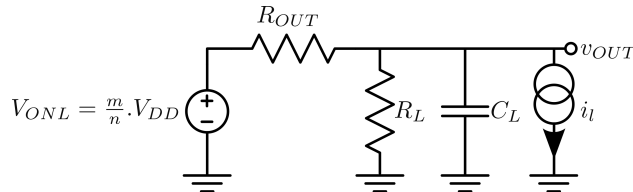


Figura 5.3: Modelo promediado del convertidor DC/DC .

CCO se tienen siete señales correspondientes a las fases ($T1$ y $T2$) y los cinco pulsos que implementan el reciclado de carga ($Pul1$, $Pul2$, .. $Pul5$).

5.1.1. Modelo lineal promediado del convertidor

El modelo promediado usado para describir el comportamiento del convertidor es el que se muestra en la figura 5.3. La resistencia R_L se define como la componente DC de la tensión promedio a la salida del convertidor V_{OUT} dividido por la componente DC de la corriente de carga I_L como muestra la ecuación 5.2. La fuente de corriente i_l representa las variaciones de la corriente de carga en torno al punto de operación y C_L la capacidad de carga.

$$R_L = \frac{V_{OUT}}{I_L} \quad (5.2)$$

Por otro lado, la fuente de tensión V_{ONL} y la resistencia R_{OUT} son los mismos que se describieron en la sección 1.2 y que se muestran en la figura 1.3

Es importante destacar que el convertidor DC/DC como bloque cuenta con dos entradas: la corriente de carga i_L y la frecuencia de conmutación f_{sw} . Para linealizar el sistema se lleva todo a un diagrama de estados. El primer paso es resolver el nodo de la salida como muestra la ecuación 5.3.

$$\dot{v}_{OUT} = \frac{V_{ONL} - v_{OUT}}{R_{OUT}(f_{SW}) \cdot C_L} - \frac{v_{OUT}}{R_L \cdot C_L} - \frac{i_L}{C_L} = g(f_{SW}, i_L, v_{OUT}) \quad (5.3)$$

Para obtener el modelo promediado lineal hay que linealizar la función $g(f_{sw}, i_L, v_{OUT})$ como indica la ecuación 5.4 donde $PO = (F_{SW}, I_L, V_{OUT})$ es el punto de operación. Además se tiene que $\Delta v_{OUT} = v_{OUT} - V_{OUT} = v_{out}$, $\Delta f_{SW} = f_{SW} - F_{SW} = f_{sw}$ y $\Delta i_L = i_L - I_L = i_l$.

Capítulo 5. Regulación de la tensión de salida

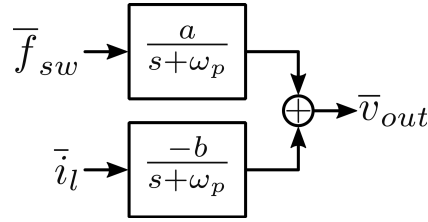


Figura 5.4: Modelo promediado en pequeña señal del convertor DC/DC .

$$g(f_{SW}, i_L, v_{OUT}) \simeq g(PO) + \left. \frac{\partial g}{\partial f_{SW}} \right|_{PO} \Delta f_{SW} + \left. \frac{\partial g}{\partial i_L} \right|_{PO} \Delta i_L + \left. \frac{\partial g}{\partial v_{OUT}} \right|_{PO} \Delta v_{OUT} \quad (5.4)$$

Resolviendo las derivadas parciales de $g(f_{SW}, i_L, v_{OUT})$ y evaluando en el punto de operación se llega a la ecuación 5.5.

$$\left. \begin{aligned} g(f_{SW}, i_L, v_{OUT}) &\simeq g_O + a \cdot f_{sw} - b \cdot i_l - \omega_P \cdot v_{out} \\ a &= \frac{V_{ONL} - v_{OUT}}{K_{SSL} \cdot C_L} \\ b &= \frac{1}{C_L} \\ \omega_P &= \frac{1}{C_L} \cdot \left(\frac{1}{R_{OUT}(F_{SW})} + \frac{1}{R_L} \right) \end{aligned} \right\} \quad (5.5)$$

Despejando el término $g(PO)$ hacia el lado izquierdo de la ecuación 5.4 nos queda $\dot{v}_{out} = g(f_{SW}, i_L, v_{OUT}) - g(PO)$. De esta forma llegamos a que la ecuación 5.5 se transforma en la ecuación 5.6.

$$\dot{v}_{out} \simeq a \cdot f_{sw} - b \cdot i_l - \omega_P \cdot v_{out} \quad (5.6)$$

Aplicando transformada de Laplace en ambos lados de la ecuación 5.6 agrupando en \bar{v}_{out} y despejando se llega a la ecuación 5.7 que modela el convertor DC/DC en el dominio de la frecuencia compleja s .

$$\bar{v}_{out} = \frac{a}{s + \omega_P} \cdot \bar{f}_{sw} - \frac{b}{s + \omega_P} \cdot \bar{i}_l \quad (5.7)$$

La figura 5.4 representa la ecuación 5.7 a nivel de bloques.

5.1.2. Modelo lineal promediado del CCO

En la sección anterior se desarrolló el modelo en pequeña señal del bloque DC/DC de la figura 5.2 (bloque mostrado en detalle en la figura 3.2). En esta sec-

5.1. Modelo lineal promediado en lazo abierto

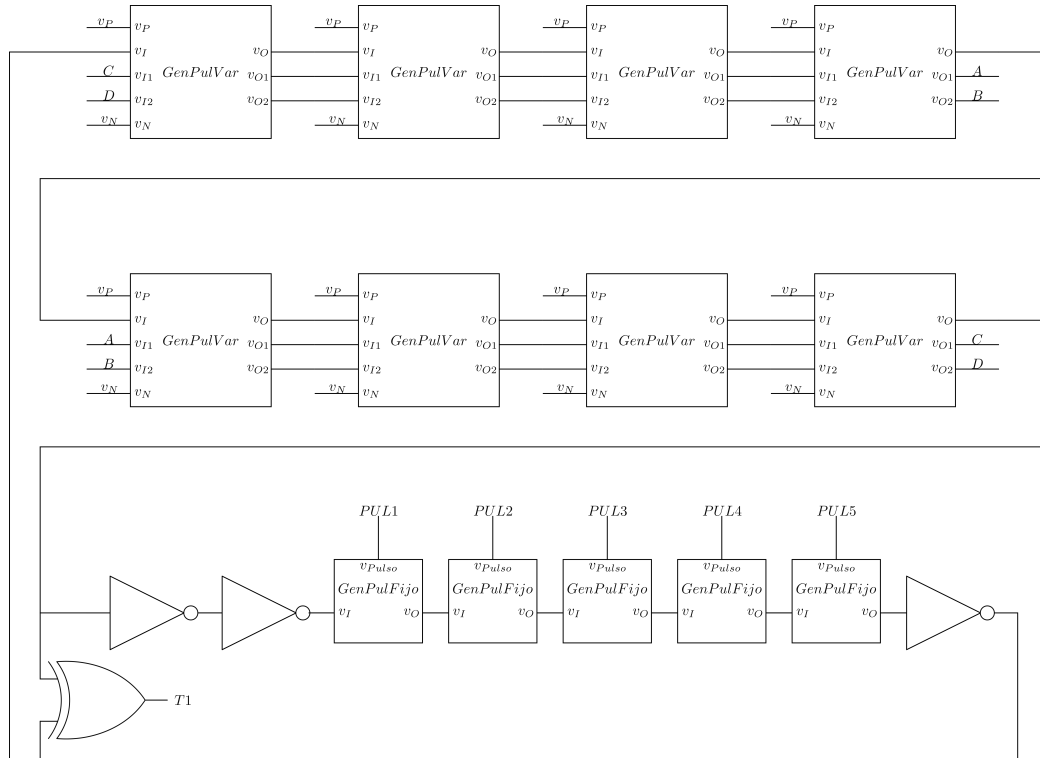


Figura 5.5: Circuito equivalente de la etapa de entrada del CCO.

ción se hará lo propio con el modelo en pequeña señal del bloque *CCO*. El *CCO* fabricado es el que se muestra en la figura 4.11, que implementa un manejo del convertor usando dos fases como se describe en la sección 3.2. Sin embargo, como se analiza en la sección 3.5, el manejo del convertor usando una sola fase como se describe en la sección 3.1 arroja mejores resultados en términos de eficiencia. Por lo tanto, a la hora de analizar el lazo de control, el *CCO* que se utilizó fue una modificación del fabricado con el objetivo de implementar un manejo con una sola fase. El *CCO* usado en este capítulo implementa el manejo de una sola fase, y es el que se muestra en la figura 5.5.

Para obtener la función de transferencia deseada es necesario analizar la etapa de entrada que se muestra en la figura 4.7b. Un modelo simplificado de este bloque se presenta en la figura 5.6 donde los transistores PMOS y NMOS cuyos gates estaban conectados a tierra y fuente respectivamente se han sustituido por resistencias (R_n y R_p) ya que trabajan en la zona lineal. Como se desprende de la figura 4.11, un gran número de gates son conectados a las tensiones v_N y v_P , las capacidades C_p y C_n de la figura 5.6 representan la suma de todas estas capacidades.

A la hora de desarrollar el modelo, se asumirá que la dependencia de la frecuencia de conmutación con v_N y v_P es proporcional, o lo que es lo mismo que

Capítulo 5. Regulación de la tensión de salida

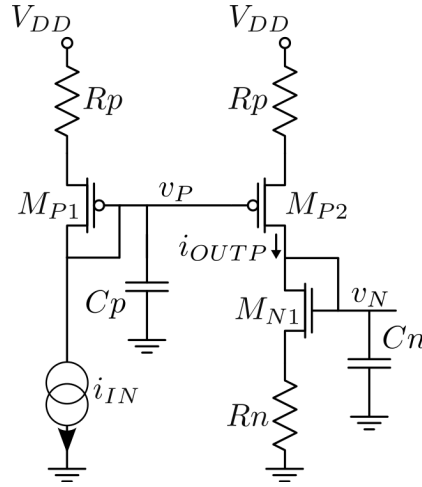


Figura 5.6: Circuito equivalente de la etapa de entrada del CCO.

no hay ninguna dinámica asociada. Esta hipótesis se basa en que una vez que las tensiones v_N y v_P alcanzan un valor determinado, la corriente que genera las rampas en los distintos puntos del CCO quedan determinadas, por lo que la frecuencia también lo estará. Si a esto le agregamos que el modelo es promediado, la hipótesis de proporcionalidad se hace más razonable aún. De esta forma, la relación entre la frecuencia de conmutación f_{sw} y dichas tensiones estará dada por la ecuación 5.8 donde M^* es una constante que depende del punto de operación. Es importante observar que en dicha ecuación la tensión v_p se usa con signo negativo. Esto se debe a que en un aumento de la corriente de entrada al CCO (i_{IN} en las figuras 5.2 y 5.6) aumenta v_N y disminuye v_P (ambas referidas a la tierra del circuito de la figura 5.6). En términos de las señales v_n y v_p , quiere decir que v_n estará en fase con la señal de corriente i_{in} mientras que v_p tendrá un desfase de 180° . En la figura 5.7 se presentan estas cuatro variables para el caso sinusoidal. La corriente i_{IN} se considera positiva cuando va de fuente a tierra como se muestra en la figura 5.6.

$$f_{sw} = (v_n - v_p) \cdot M^* \quad (5.8)$$

Si aplicamos transformada de Laplace a ambos lados de la ecuación 5.8 y dividimos por \bar{i}_{in} obtenemos la ecuación 5.9.

$$\frac{\bar{f}_{sw}}{\bar{i}_{in}} = \left(\frac{\bar{v}_n}{\bar{i}_{in}} - \frac{\bar{v}_p}{\bar{i}_{in}} \right) \cdot M^* = (H_N(s) - H_P(s)) \cdot M^* \quad (5.9)$$

Por lo tanto, la dinámica del sistema estará asociada a la dinámica de las transferencias $H_N(s)$ y $H_P(s)$ que relacionan las tensiones \bar{v}_n y \bar{v}_p con \bar{i}_{in} respectivamente. Para obtener dichas transferencias se usará el modelo en pequeña señal del espejo de entrada compuesto por los transistores M_{P1} y M_{P2} y las resistencias R_p . Este modelo se muestra en la figura 5.8 y está referido al cuerpo de los transistores.

5.1. Modelo lineal promediado en lazo abierto

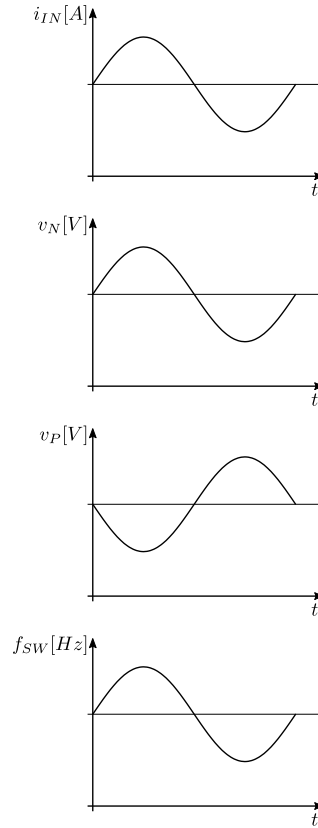


Figura 5.7: Dependencia de la frecuencia f_{sw} con v_n y v_p .

Si analizamos el modelo en pequeña señal del transistor M_{P1} que se muestra en la figura 5.8a tenemos las ecuaciones 5.10, 5.11, y 5.12.

$$\bar{v}_p = \frac{\bar{i}_{Cp}}{Cp \cdot s} \quad (5.10)$$

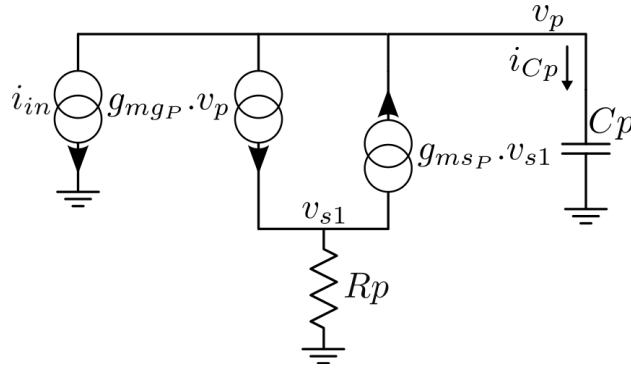
$$\bar{i}_{Cp} = -\bar{i}_{in} - g_{mgP} \cdot \bar{v}_p + g_{msP} \cdot \bar{v}_{s1} \quad (5.11)$$

$$\frac{\bar{v}_{s1}}{Rp} = -\bar{i}_{in} - \bar{i}_{Cp} \quad (5.12)$$

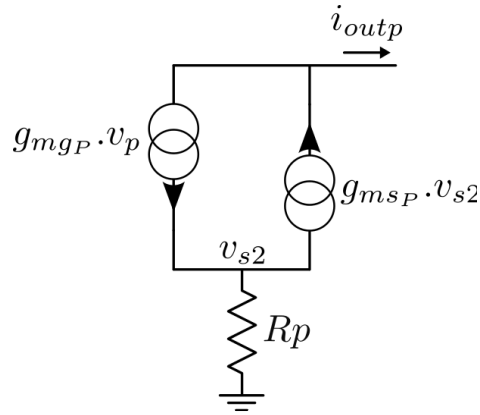
Combinando estas tres ecuaciones se puede obtener la transferencia $H_P(s)$ entre la corriente de entrada \bar{i}_{in} y la tensión \bar{v}_p como se muestra en la ecuación 5.13

$$\left. \begin{aligned} H_P(s) = \frac{\bar{v}_p}{\bar{i}_{in}} &= \frac{-1}{Cp \cdot s + \frac{g_{mgP}}{g_{msP} \cdot Rp + 1}} = \frac{-1/g'_{mP}}{\frac{Cp}{g'_{mP}} \cdot s + 1} \\ g'_{mP} &= \frac{g_{mgP}}{1 + g_{msP} \cdot Rp} \end{aligned} \right\} \quad (5.13)$$

Capítulo 5. Regulación de la tensión de salida



(a) Modelo en pequeña señal de M_{P1} .



(b) Modelo en pequeña señal de M_{P2} .

Figura 5.8: Modelo en pequeña señal del espejo de entrada.

Para hallar la transferencia $H_N(s)$ la vamos a expresar según se muestra en la ecuación 5.14 donde \bar{i}_{outp} es la corriente de salida del espejo compuesto por M_{P1} y M_{P2} (ver figura 5.6). Por lo tanto, debemos hallar las transferencias $H_{N1}(s)$ y $H_{N2}(s)$.

$$H_N(s) = \frac{\bar{v}_n}{\bar{i}_{in}} = \frac{\bar{i}_{outp}}{\bar{i}_{in}} \frac{\bar{v}_n}{\bar{i}_{outp}} = H_{N1}(s) \cdot H_{N2}(s) \quad (5.14)$$

Analizando el circuito en pequeña señal de la figura 5.8b tenemos las ecuaciones 5.15 y 5.16.

$$\bar{i}_{outp} = -g_{m_{gP}} \cdot \bar{v}_p + g_{m_{sP}} \cdot \bar{v}_{s2} \quad (5.15)$$

$$\frac{\bar{v}_{s2}}{R_p} = -\bar{i}_{outp} \quad (5.16)$$

Agrupando estas dos ecuaciones llegamos a la relación que existe entre \bar{v}_p e \bar{i}_{outp} como se muestra en la ecuación 5.17

5.1. Modelo lineal promediado en lazo abierto

$$\frac{\bar{i}_{outp}}{\bar{v}_p} = \frac{-g_{mgP}}{1 + g_{msP} \cdot Rp} = -g'_{mP} \quad (5.17)$$

Multiplicando las ecuaciones 5.13 y 5.17 se obtiene la ecuación 5.18 que nos da $H_{N1}(s)$.

$$H_{N1}(s) = \frac{\bar{i}_{outp}}{\bar{i}_{in}} = \frac{1}{\frac{Cp}{g'_{mP}} \cdot s + 1} \quad (5.18)$$

Para hallar $H_{N2}(s)$, mirando la figura 5.6 se puede apreciar que la relación entre \bar{v}_p e \bar{i}_{in} es semejante a la relación entre \bar{v}_n e \bar{i}_{outp} . Por lo tanto, usando la ecuación 5.13 y cambiando los parámetros a sus valores análogos, obtenemos la ecuación 5.19 que nos da $H_{N2}(s)$

$$\left. \begin{aligned} H_{N2}(s) &= \frac{\bar{v}_n}{\bar{i}_{outp}} = \frac{1}{Cn \cdot s + \frac{g_{mgN}}{g_{msN} \cdot Rn + 1}} = \frac{1/g'_{mN}}{\frac{Cn}{g'_{mN}} \cdot s + 1} \\ g'_{mN} &= \frac{g_{mgN}}{1 + g_{msN} \cdot Rn} \end{aligned} \right\} \quad (5.19)$$

De esta forma, combinando las ecuaciones 5.14, 5.18 y 5.19 llegamos a que $H_N(s)$ es la que se muestra en la ecuación 5.20.

$$H_N(s) = \frac{1/g'_{mN}}{\left(\frac{Cn}{g'_{mN}} \cdot s + 1\right) \left(\frac{Cp}{g'_{mP}} \cdot s + 1\right)} \quad (5.20)$$

Sustituyendo las ecuaciones 5.13 y 5.20 en la ecuación 5.9 llegamos a la ecuación 5.21.

$$\frac{\bar{f}_{sw}}{\bar{i}_{in}} = \left(\frac{1/g'_{mN}}{\left(\frac{Cn}{g'_{mN}} \cdot s + 1\right) \left(\frac{Cp}{g'_{mP}} \cdot s + 1\right)} + \frac{1/g'_{mP}}{\left(\frac{Cp}{g'_{mP}} \cdot s + 1\right)} \right) \cdot M^* \quad (5.21)$$

Asumiendo que $g'_{mN} = g'_{mP}$ se obtiene la ecuación 5.22.

$$\frac{\bar{f}_{sw}}{\bar{i}_{in}} = \left(\frac{\left(2 + \frac{Cn}{g'_{mN}} \cdot s\right)}{\left(1 + \frac{Cn}{g'_{mN}} \cdot s\right) \left(1 + \frac{Cp}{g'_{mP}} \cdot s\right)} \right) \cdot (1/g'_{mN}) \cdot M^* \quad (5.22)$$

Definiendo $\omega_p = g'_{mP}/Cp$, $\omega_n = g'_{mN}/Cn$ y $M = 2 \cdot (1/g'_{mN}) \cdot M^*$ llegamos a la ecuación 5.23.

$$\frac{\bar{f}_{sw}}{\bar{i}_{in}} = \left(\frac{\left(1 + \frac{s}{2\omega_n}\right)}{\left(1 + \frac{s}{\omega_n}\right)\left(1 + \frac{s}{\omega_p}\right)} \right) \cdot M \quad (5.23)$$

5.1.3. Validación del modelo

Para validar el modelo, se realizaron simulaciones eléctricas de respuesta al escalón en la corriente de entrada i_{in} y se compararon con la predicción del modelo.

Parámetros fijos

Las resistencias R_p y R_n son fijas, independientes de la corriente de polarización I_{IN} . A partir de simulaciones se obtuvieron los siguientes valores: $R_p = 40,5k\Omega$ y $R_n = 10,2k\Omega$. Debido a que el cálculo de C_p y C_n no es inmediato se decidió extraer mediante simulación la capacidad de gate de transistores tipo N y tipo P con $W = 160nm$ y $L = 2,4\mu m$ (tamaño de los transistores controlados M_N y M_P de la figura 4.7a). Multiplicando estos valores por la cantidad de transistores conectados a los nodos v_N y v_P se obtiene una buena aproximación de las capacidades deseadas. Finalmente los valores obtenidos fueron $C_p = 14,2fF$ y $C_n = 6,9fF$.

Parámetros de pequeña señal

A partir de simulaciones realizadas para diferentes corrientes se extrajeron los parámetros necesarios para el modelo de pequeña señal. Estos fueron g_{mg} y g_{ms} tanto para los transistores tipo P como para los tipo N y el valor de M a partir de cada corriente de polarización de entrada I_{IN} .

Comprobación del modelo

Con el fin de comprobar si el modelo obtenido es el correcto, se realizaron simulaciones eléctricas al CCO de la figura 5.2 (detalles de este bloque en la figura 4.11) introduciendo un escalón de corriente en la entrada y extrayendo las señales obtenidas. A partir de estas señales ($T1$ por ejemplo) se calculó la frecuencia de conmutación f_{sw} en función del tiempo, obteniendo así la respuesta al escalón del sistema. Utilizando el modelo desarrollado en la presente sección se usó una herramienta de cálculo numérico para comprar los resultados de la simulación eléctrica con los del modelo desarrollado. Esta comparación se realizó en un rango de corrientes de polarización I_{IN} que cubre varios órdenes de magnitud de la misma. Las figuras 5.9, 5.10 y 5.11 muestran la superposición entre la simulación eléctrica y numérica en función del tiempo para tres casos diferentes. Dichas figuras muestran que el modelo dinámico funciona muy bien para todo el rango de corrientes de entrada i_{IN} . La dispersión que se observa en la frecuencia proveniente de las simulaciones eléctricas se debe a que este parámetro no puede ser calculado de

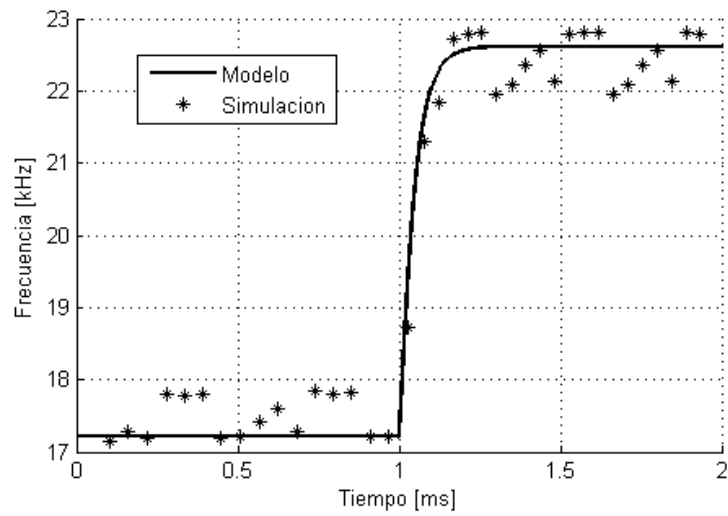


Figura 5.9: Escalón de entrada de 10 a 15 pA.

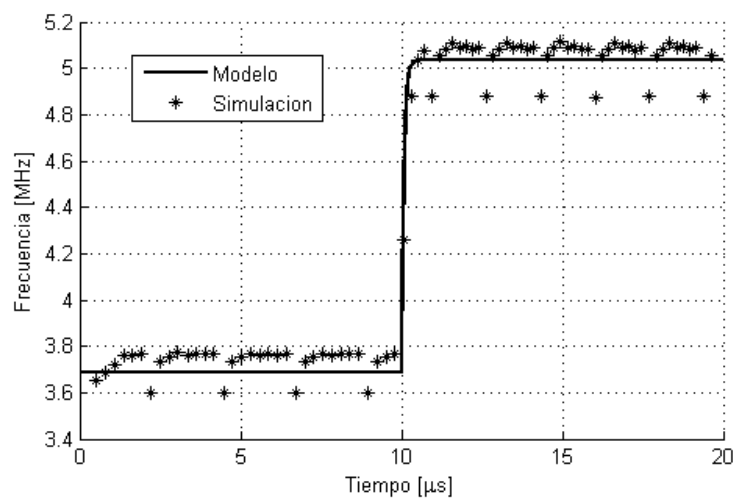


Figura 5.10: Escalón de entrada de 10 a 15 nA.

forma continua, sino que por el contrario es necesario hacerlo por ejemplo en cada flanco descendente de $T1$.

5.2. Lazos de control

En esta sección se muestran los lazos de control diseñados para regular la tensión de salida v_{OUT} . Se implementaron dos lazos de control, uno lineal que

Capítulo 5. Regulación de la tensión de salida

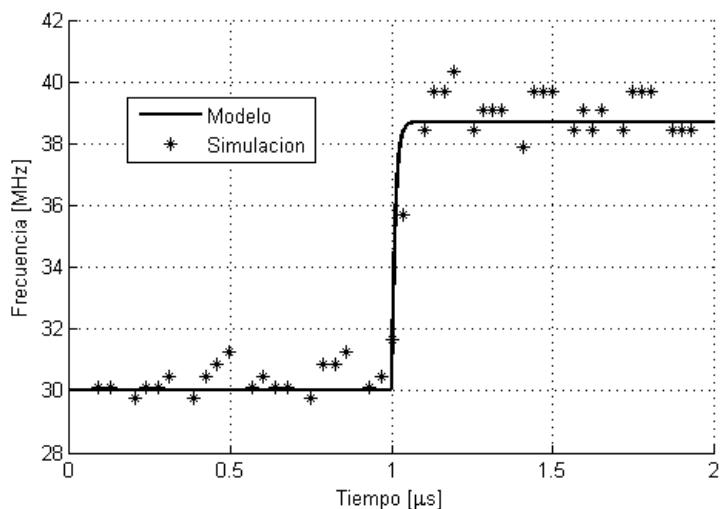


Figura 5.11: Escalón de entrada de 200 a 300 nA.

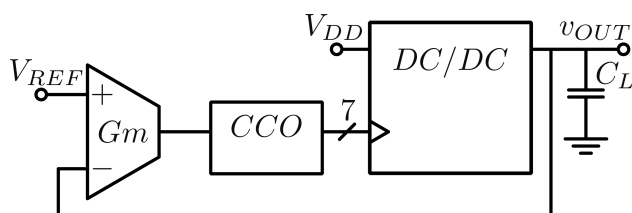


Figura 5.12: Lazo cerrado.

regula la tensión de salida bajo condiciones normales de funcionamiento. Y otro no lineal que se activa solo frente a escalones crecientes en la corriente de carga, suficientemente grandes como para provocar una caída demasiado grande en la tensión de salida y que ponga en riesgo el correcto funcionamiento de la carga.

5.2.1. Lazo lineal

Como se analiza en la sección 1.2, la variable más adecuada para regular la tensión de salida es la frecuencia de conmutación f_{SW} . Por lo tanto, el controlador (Gm en la figura 5.12) que regule la tensión v_{OUT} deberá manejar la corriente de entrada al CCO como se muestra en la figura 5.12. Dada la baja impedancia de la etapa de entrada del CCO el controlador usado tendrá características de transconductor, o lo que es lo mismo alta impedancia de salida.

Para el diseño del controlador se utilizan los modelos de pequeña señal desarrollados en la sección 5.1 y se abre el lazo de realimentación como se muestra en la figura 5.13. En la figura 5.14 se muestra el diagrama de bloques del CCO y

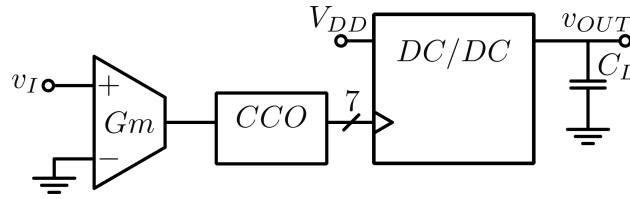


Figura 5.13: Lazo abierto.

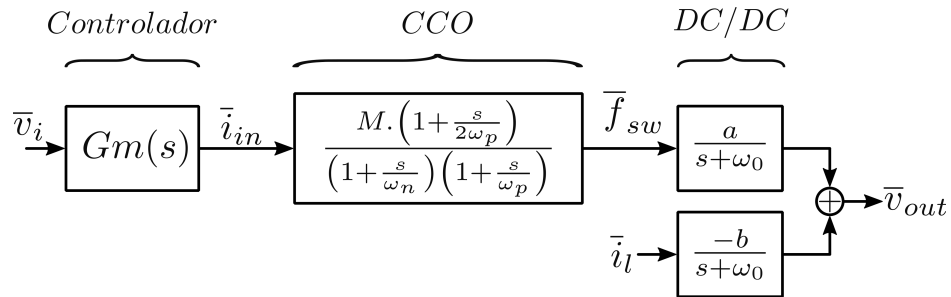


Figura 5.14: Lazo abierto lineal (transferencias).

del convertidor DC/DC con sus respectivas transferencias y el controlador a diseñar $Gm(s)$.

Para alcanzar un diseño de $Gm(s)$ se graficaron los polos del CCO y del convertidor DC/DC en función de la corriente de carga I_L . Como primer punto se selecciona la tensión de salida objetivo \bar{V}_O , en consecuencia queda determinada la relación de conversión que mejor eficiencia entrega y por tanto su V_{NL} . De la ecuación 1.38 se obtiene la constante que relaciona la corriente de carga I_L con la frecuencia de conmutación F_{SW} . En este punto, a partir de F_{SW} y la relación de conversión seleccionada se obtiene el punto de operación del convertidor DC/DC (ecuaciones 5.5 y 5.7). Como siguiente paso, se calculó la corriente de entrada I_{IN} al CCO con una función extraída de simulación que relaciona la frecuencia de conmutación F_{SW} con I_{IN} . A partir de I_{IN} queda definido el punto de operación y por tanto el modelo de pequeña señal del CCO (ecuación 5.23).

Las figura 5.15, 5.16, 5.17, y 5.18 muestran las gráficas con las singularidades, ganancia y margen de fase para las cuatro relaciones de conversión de interés (1/4, 1/3, 1/2 y 2/3 respectivamente). En las cuatro figuras se presentan cuatro gráficas en función de la corriente DC de carga I_L . En la gráfica superior se muestra la transresistencia que existe entre la tensión de salida \bar{v}_o y la corriente de entrada al CCO \bar{i}_{in} . En la siguiente gráfica se muestran las singularidades (polos y cero) del sistema completo (CCO y convertidor DC/DC). En la tercer gráfica se muestra la ganancia DC entre la tensión de salida \bar{v}_o y la tensión de entrada al controlador \bar{v}_{in} . En este punto es importante resaltar que para obtener dicha gráfica fue necesario estimar la ganancia DC del controlador ($Gm0$). Para obtener este valor

Capítulo 5. Regulación de la tensión de salida

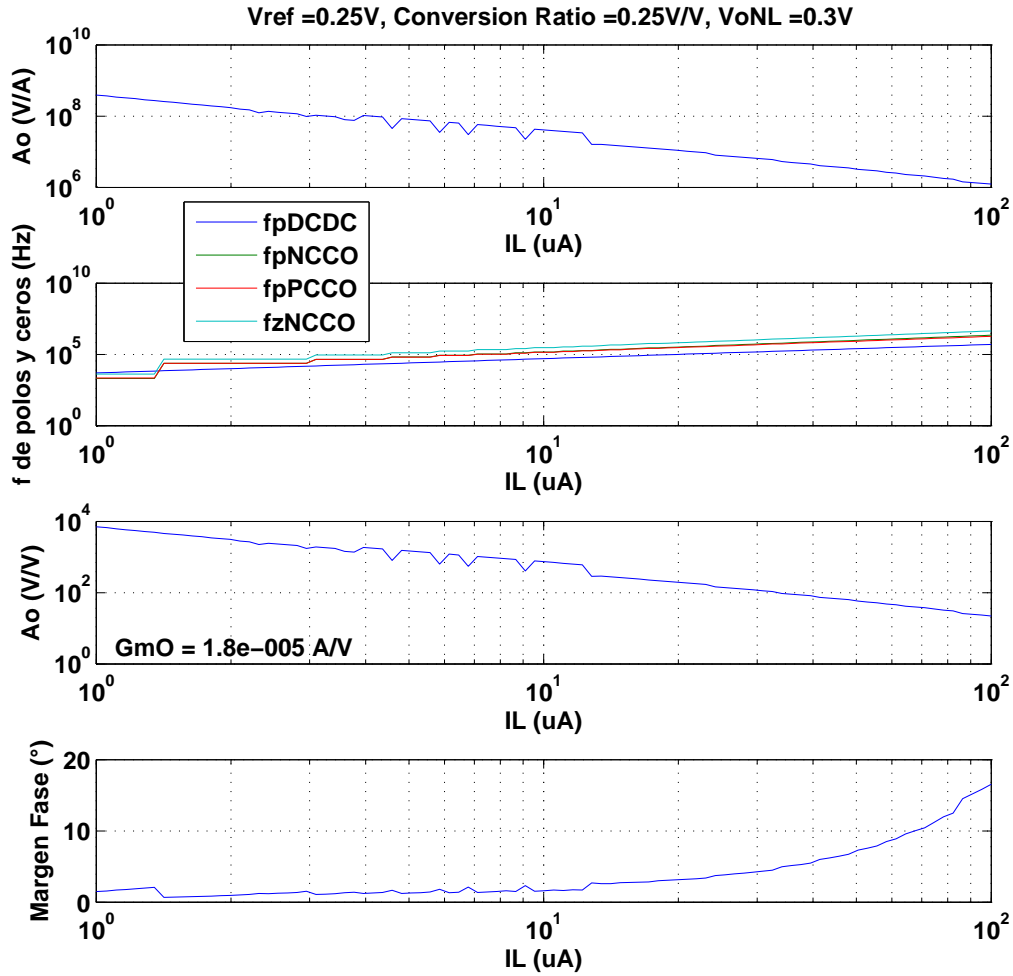


Figura 5.15: Polos, ceros y margen de fase en función de la corriente de carga ($V_{REF} = 0,25V$).

aproximado se asumió que el controlador Gm tiene una estructura del tipo par diferencial con carga activa como el que se muestra en la figura 5.19. En cada una de las figuras 5.15, 5.16, 5.17, y 5.18 se usaron diferentes ganancias DC, en función de la relación de conversión. $Gm0 = 18\mu A/V$ para la relación de conversión de $1/4$, $9\mu A/V$ para $1/3$, $5,4\mu A/V$ para $1/3$ y $1,8\mu A/V$ para $2/3$. Por último, en la gráfica inferior se presenta el margen de fase incluyendo $Gm0$ y asumiendo que el transconductor Gm no tiene dinámica.

Respecto de la transconductancia a baja frecuencia $Gm0$, usando los resultados presentados en [40], si asumimos que los transistores del par diferencial de entrada se diseñan para estar en la zona de inversión débil, podemos esperar un $gm/ID \simeq 25V^{-1}$. Por lo tanto, analizando la mayor de las transconductancias consideradas ($Gm0 = 18\mu A/V$) necesitamos una corriente de polarización para cada uno de los transistores del par diferencial de entrada de $ID = \frac{Gm0}{(gm/ID)} = 720nA$.

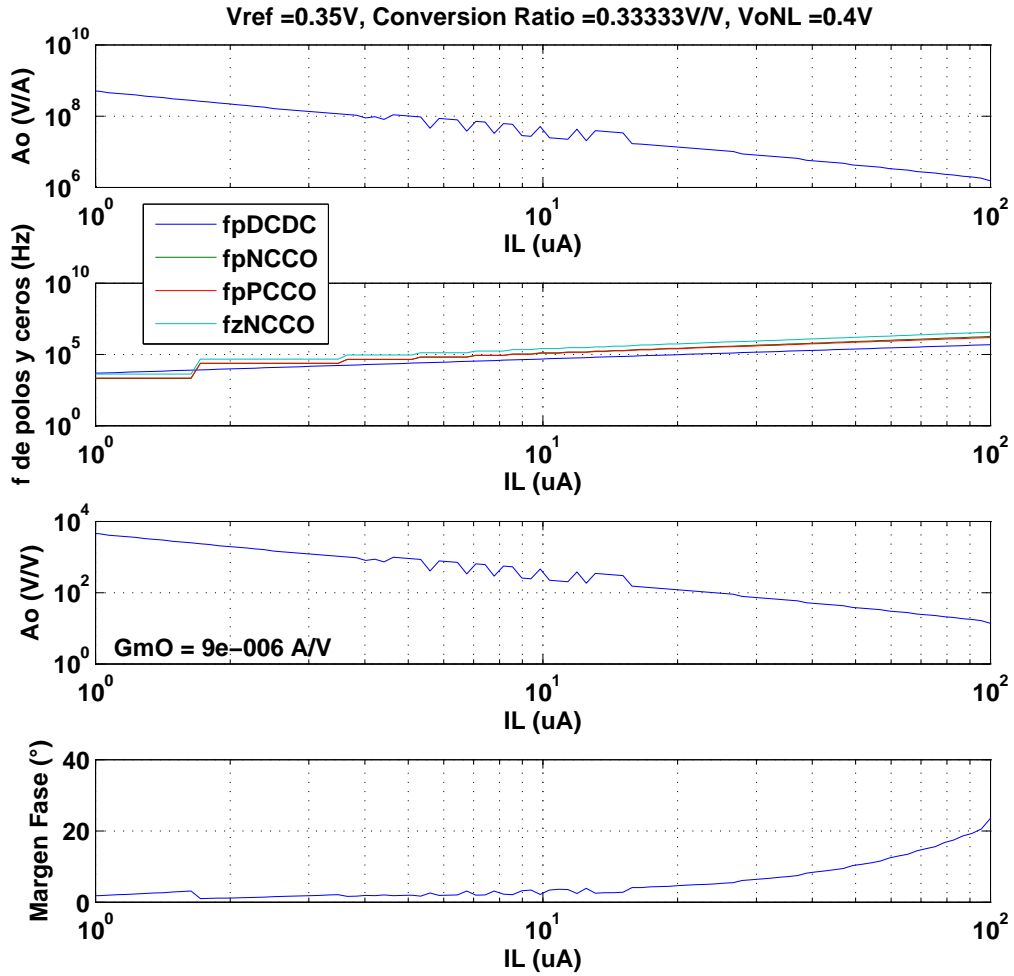


Figura 5.16: Polos, ceros y margen de fase en función de la corriente de carga ($V_{REF} = 0,35V$).

De esta forma, la corriente total necesaria para polarizar el transductor Gm es $I_{An} = 1,44\mu A$. Si usamos un $K_{eff} = 0,7$ y $\eta_{cte} = 0,7$ (como eficiencia promedio), según la ecuación 1.44 sabemos que la mínima potencia que se puede entregar a la carga es de $2,8\mu W$. En el otro extremo, considerando la transconductancia de $Gm0 = 1,8\mu A/V$, la máxima potencia entregada a la carga será de $280nW$.

Dado el amplio rango dentro del que se mueven las singularidades del sistema (varios órdenes de magnitud) entre los puntos de polarización extrema (máxima y mínima corrientes de carga), es muy difícil lograr un controlador basado en una compensación de cancelación de polos. Por lo tanto, se abordó el problema con una compensación agregando un polo dominante en la frecuencia de $1Hz$. En las figuras 5.20, 5.21 y 5.22 se presentan los diagramas de bode para tres puntos de polarización diferentes para las cuatro relaciones de conversión de interés incluyendo el sistema completo en lazo abierto (Compensador-CCO-Convertor DC/DC).

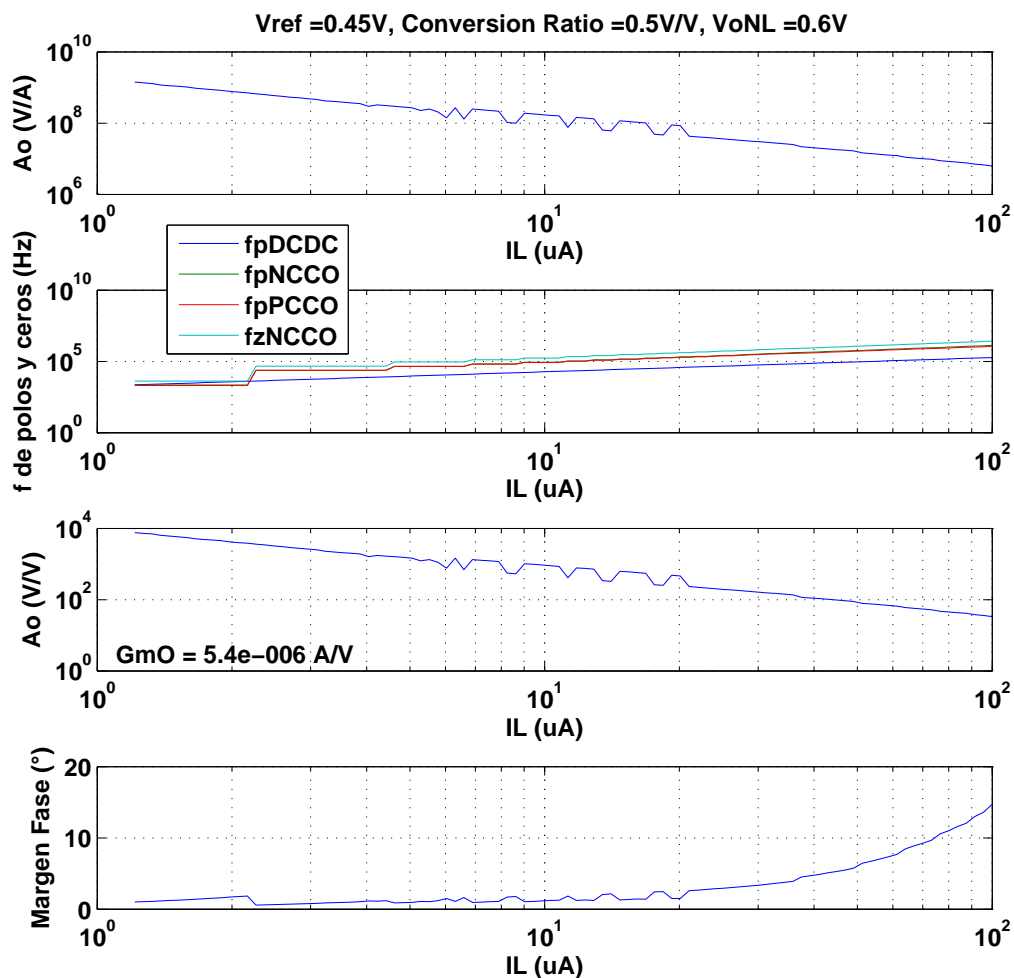


Figura 5.17: Polos, ceros y margen de fase en función de la corriente de carga ($V_{REF} = 0,45V$).

Esta compensación asegura un margen de fase razonable (45° aproximadamente) para el punto de polarización crítico que corresponde a la corriente de polarización mínima (figura 5.20). Por otro lado, en cuanto al error en régimen, el caso crítico se da en la máxima corriente de carga (figura 5.22) donde se puede ver que la ganancia total en lazo abierto está en el entorno de los $30dB$.

5.2.2. Lazo no lineal

Una aplicación típica de este tipo de convertidores es la de un microcontrolador permaneciendo un tiempo prolongado en modo de bajo consumo, para luego pasar a modo activo para realizar una tarea periódica ejecutada en un tiempo corto para luego volver al modo de bajo consumo. En este caso, al momento de pasar de modo bajo consumo a modo activo se tiene cambios en la corriente de consumo de por lo

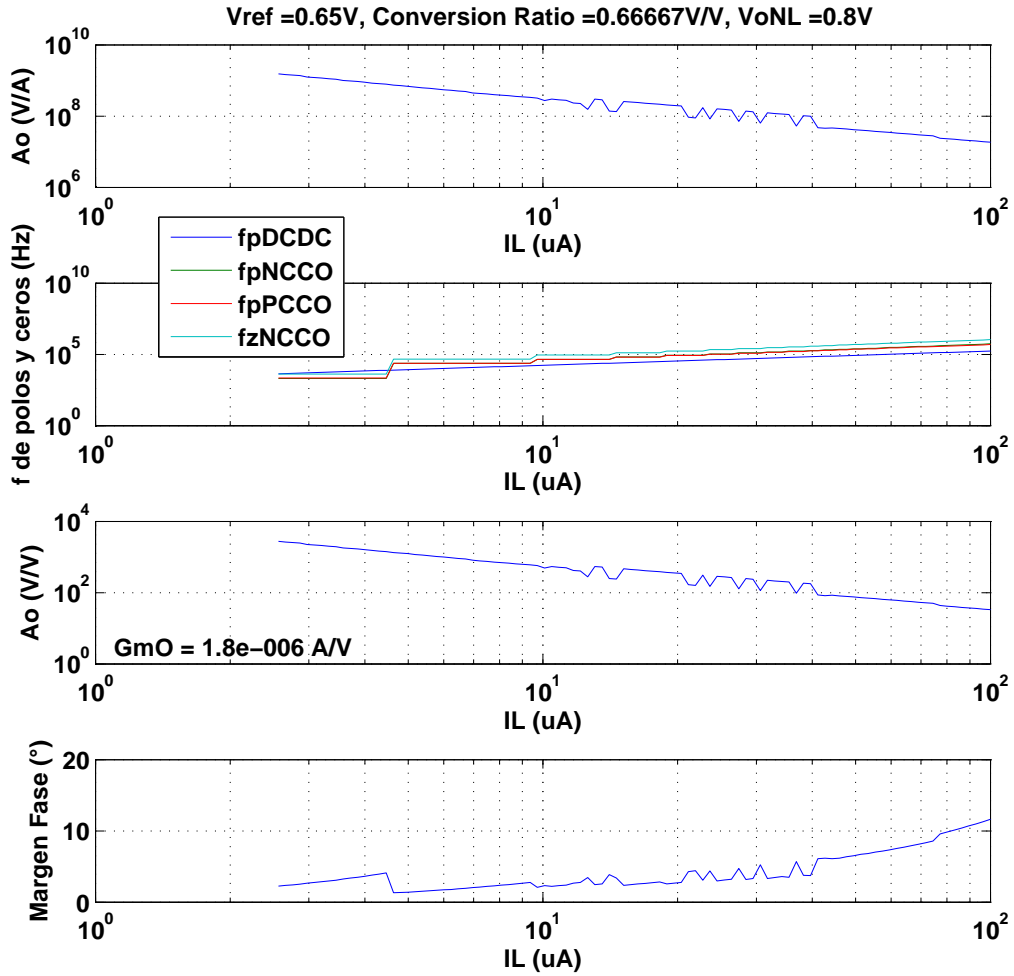


Figura 5.18: Polos, ceros y margen de fase en función de la corriente de carga ($V_{REF} = 0,65\text{V}$).

menos dos órdenes de magnitud. De esta forma, si el cambio abrupto ascendente de corriente es demasiado grande el lazo lineal de control podría no reaccionar a tiempo y la tensión de salida podría caer más de lo permitido por la carga. De esta forma el micro-controlador podría resetearse o ir a un estado desconocido. El diseño del controlador que se describió en la sección anterior si bien permite tener un lazo de control estable, también lo hace lento ya que la constante de tiempo impuesta (polo dominante) es del orden de un segundo, lo cual podría causar el problema antes descrito.

Para solucionar este problema, se implementó un lazo de control no lineal adicional que actúa cuando la tensión de salida cae por debajo de un umbral predefinido. Dicho lazo sensa la tensión de salida, la compara con el umbral predefinido (un ΔV por debajo de la tensión de referencia V_{REF}), y cuando la salida cae por debajo se saca una gran cantidad de corriente en el nodo de entrada del CCO de

Capítulo 5. Regulación de la tensión de salida

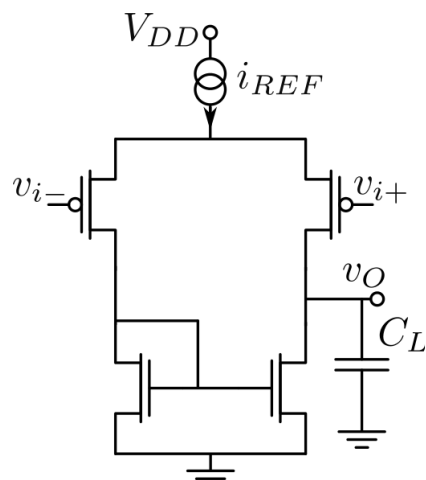


Figura 5.19: Par diferencial con carga activa.

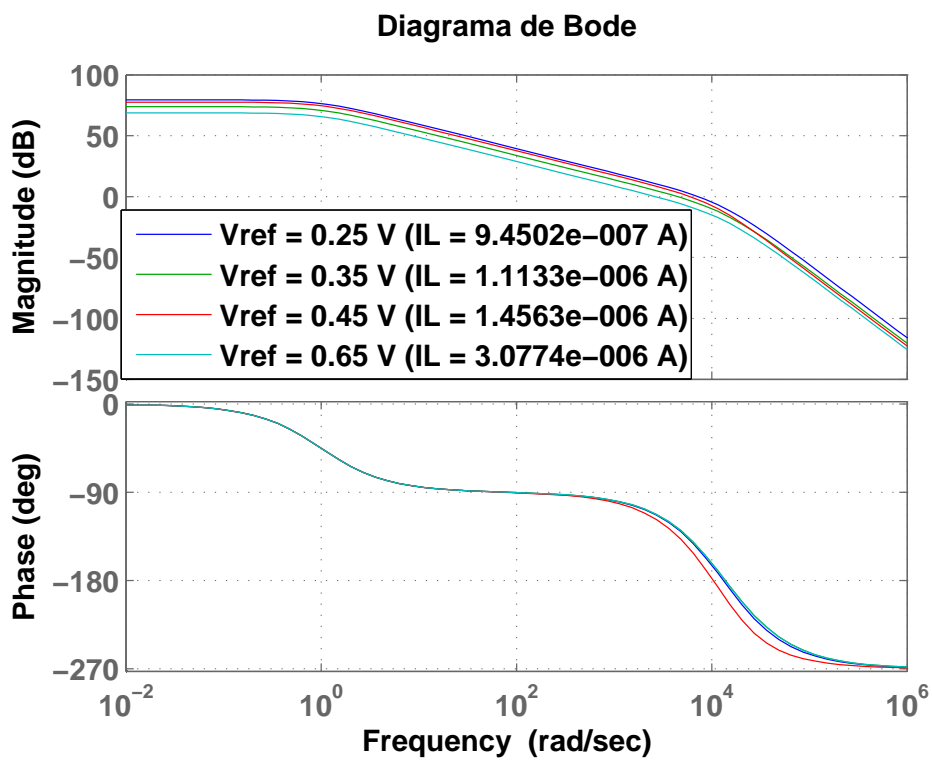


Figura 5.20: Diagramas de Bode para los cuatro niveles de conversión de interés ($I_L \simeq 1\mu A$).

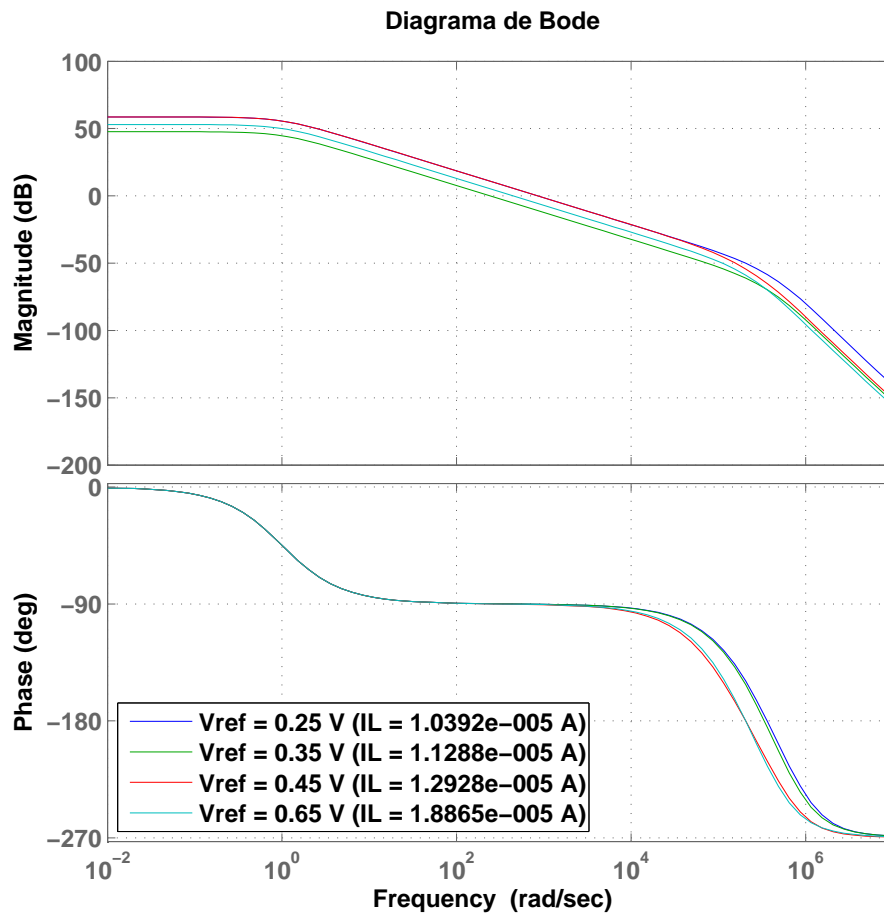


Figura 5.21: Diagramas de Bode para los cuatro niveles de conversión de interés ($I_L \simeq 10\mu A$).

forma de lograr una variación abrupta en la frecuencia de conmutación y por lo tanto un rápido aumento en la tensión de salida. La figura 5.23 muestra el lazo mencionado. Luego, en la figura 5.24 se muestra la respuesta del sistema frente a un escalón creciente en la corriente de carga que va de $1\mu A$ a $100\mu A$ a los $500ns$ (escalón no mostrado). En dicha figura, V_{Ref} es la tensión objetivo, V_{RefLow} es la tensión umbral que activa el lazo no lineal, V_G es la tensión en el gate del transistor M de la figura 5.23, V_{oGm} es la tensión de salida del transconductor G_m , y $/RiCCO/PLUS$ es la corriente de entrada al CCO . Como se aprecia en dicha figura el lazo no lineal permite reaccionar rápidamente permitiendo que la tensión de salida se recupere sin problemas. La tensión de salida cae por debajo de V_{RefLow} un poco antes de $502\mu s$. Enseguida la tensión V_G comienza a crecer rápidamente permitiendo el rápido aumento de la frecuencia de conmutación. En este caso, el comparador usado tiene la estructura del de la figura 4.16 y está polarizado con una corriente total de $20nA$.

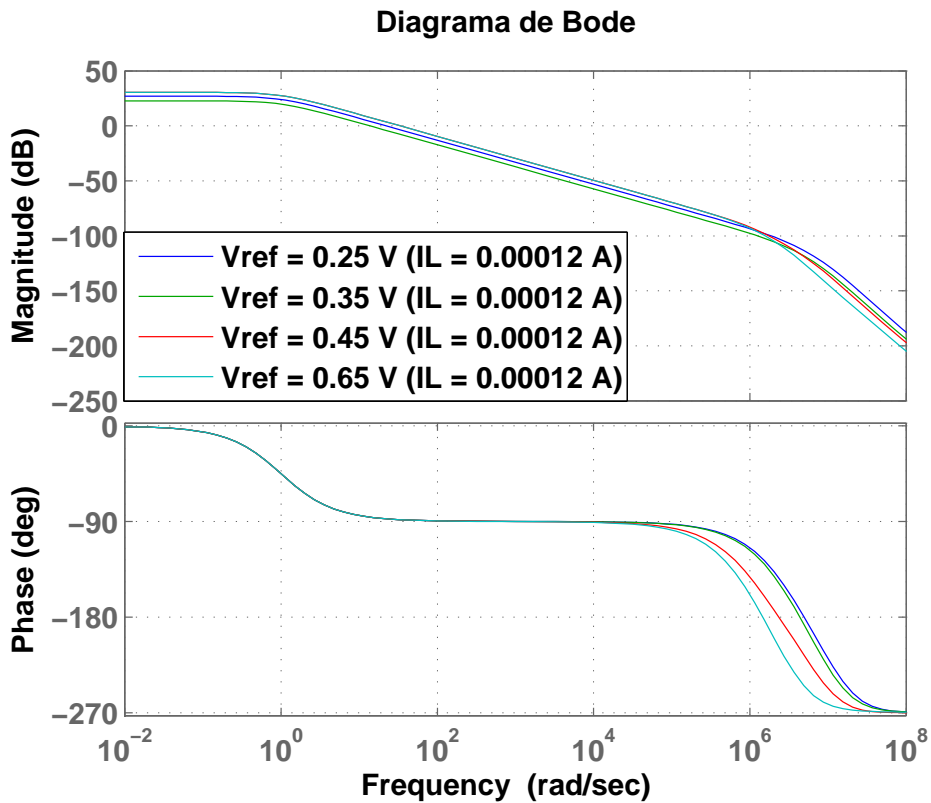


Figura 5.22: Diagramas de Bode para los cuatro niveles de conversión de interés ($I_L = 120\mu A$).

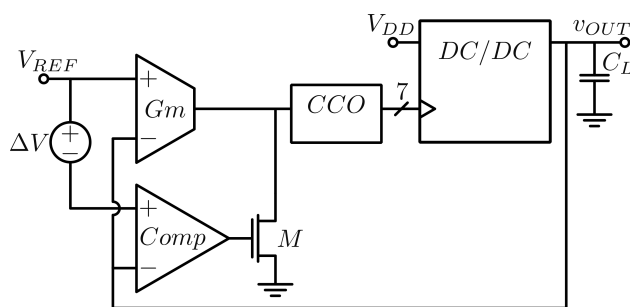
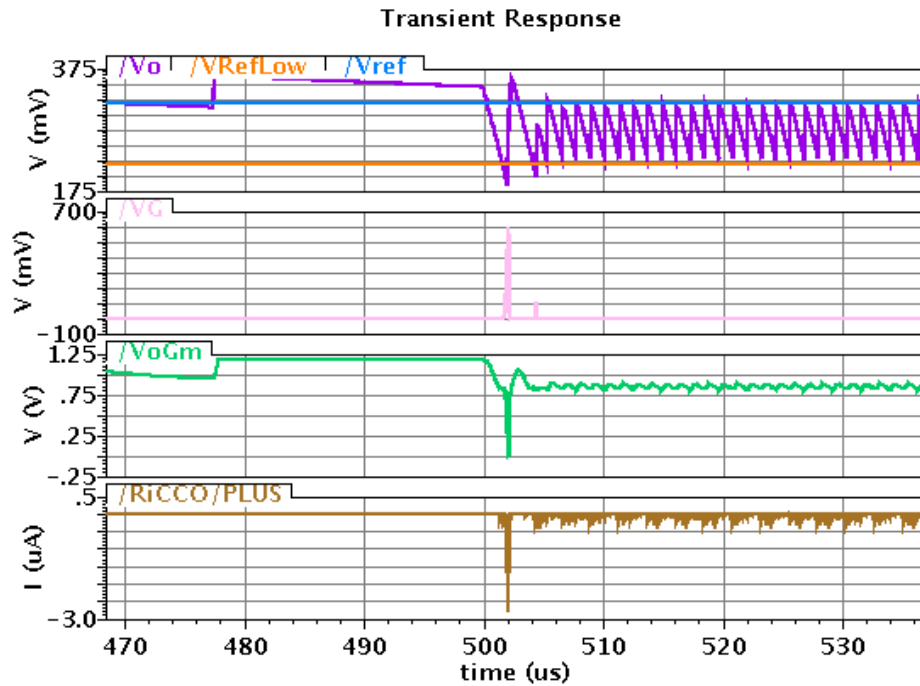
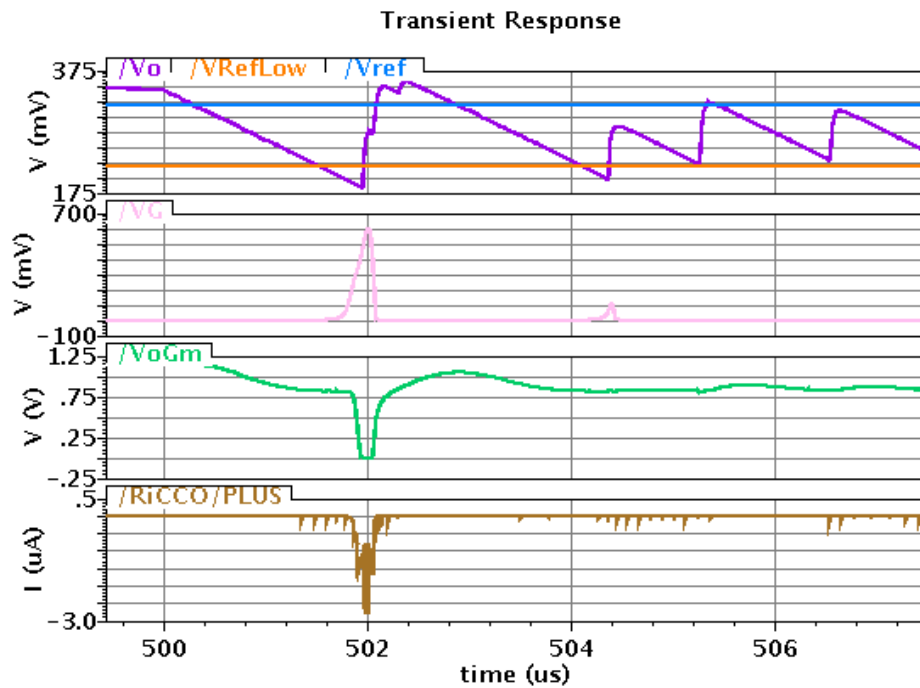


Figura 5.23: Lazos lineal y no lineal.

Si bien de la figura 5.24 se puede ver la efectividad del mecanismo a la hora de tener una reacción rápida en base a un consumo estático muy bajo, hay que realizar un análisis de estabilidad que permita al menos intuir si pueden o no existir oscilaciones. Para ello, se realizó un estudio utilizando la técnica de la función descriptiva. Esta herramienta se basa en separar el lazo de re alimentación en una



(a) Tensiones y corrientes involucradas.



(b) Zoom de la imagen superior.

Figura 5.24: Respuesta del lazo no lineal a un escalón de $1\mu A$ a $100\mu A$ en la corriente de carga para $t = 500\mu s$.

Capítulo 5. Regulación de la tensión de salida

parte lineal y una no lineal como se muestra en la figura 5.25 ([41]). Luego, en la figura 5.26 se presenta la adaptación del circuito de la figura 5.23 a dicha estructura. Como se aprecia en la misma, el controlador Gm , el convesor DC/DC, y el CCO componen la parte lineal del lazo $G(s)$, mientras que el comparador $Comp$ y el transistor M componen la parte no lineal Ψ .

En este punto, es importante destacar que la “parte lineal” del lazo $G(s)$ no es lineal, sino que se estudia a partir de una linealización de los componentes del circuito. Esto quiere decir que cuando se haga el análisis usando la función descriptiva es necesario decidir cuál es el punto de operación para el modelo en pequeña señal correspondiente. Si por ejemplo queremos ver que pasa frente a un escalón creciente en la corriente de carga que va de $1\mu A$ a $100\mu A$ se tienen los dos puntos de operación. En este sentido, parece razonable considerar el punto de operación final ($i_L = 100\mu A$ en el ejemplo considerado) ya que es en este punto donde eventualmente podrían existir las oscilaciones.

La condición para que existan posibles oscilaciones según la función descriptiva es la que se expresa en la ecuación 5.24. En la misma, $G(s)$ es la transferencia lineal que se muestra en la figura 5.25, $\Phi(a)$ es la función descriptiva de la no linealidad Ψ , y a es la amplitud de una eventual oscilación.

$$G(s) = -\frac{1}{\Phi(a)} \quad (5.24)$$

En este caso, la no linealidad Ψ se puede ver como la función signo ($sgn(t)$) más la unidad y multiplicada por una constante de proporcionalidad como muestra la ecuación 5.25.

$$\Psi(t) = K_{NL} \cdot (1 + sgn(t)) \quad (5.25)$$

De la ecuación anterior y a partir de resultados conocidos ([41]) se concluye que la función descriptiva es la que se indica en la ecuación 5.26. De las ecuaciones 5.24 y 5.26 podemos concluir que solo es posible la existencia de oscilaciones si la fase de la parte lineal del lazo $G(s)$ alcanza los -180° .

$$\Phi(a) = K_{NL} \cdot \frac{4}{a \cdot \pi} \quad (5.26)$$

De la figura 5.27a se muestra el diagrama de Bode del lazo cerrado lineal para el caso de máxima corriente de carga como se mencionó previamente. En dicha figura se puede apreciar que la fase de $G(s)$ se acerca de forma asintótica a -180° . Por lo tanto podemos concluir que no debemos esperar que aparezcan oscilaciones debido a este lazo no lineal. Adicionalmente, en la figura 5.27b se muestra el Bode del lazo cerrado lineal pero para el otro extremo en cuanto al punto de operación se refiere.

Se concluye a partir del análisis mediante la función descriptiva, que el lazo no lineal introducido para compensar grandes cambios en la corriente de carga no presenta problemas de estabilidad, en el sentido de no generar ciclos límite.

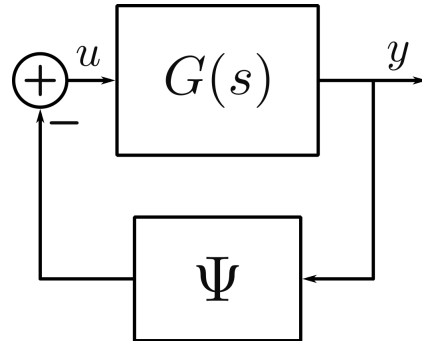


Figura 5.25: Diagrama de bloques para función descriptiva.

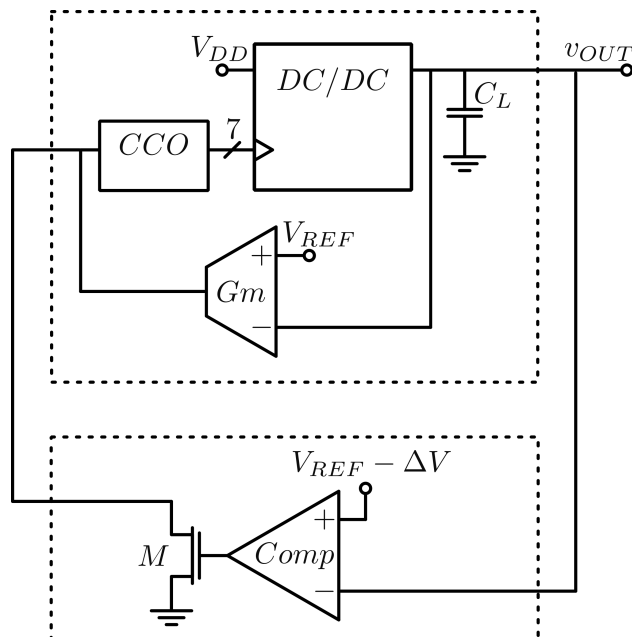
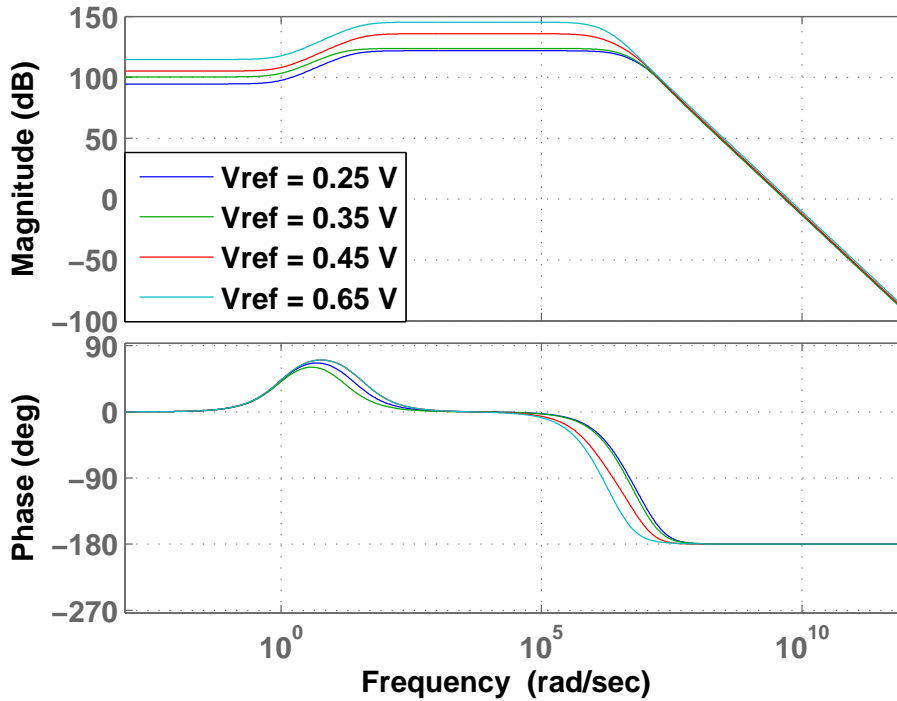
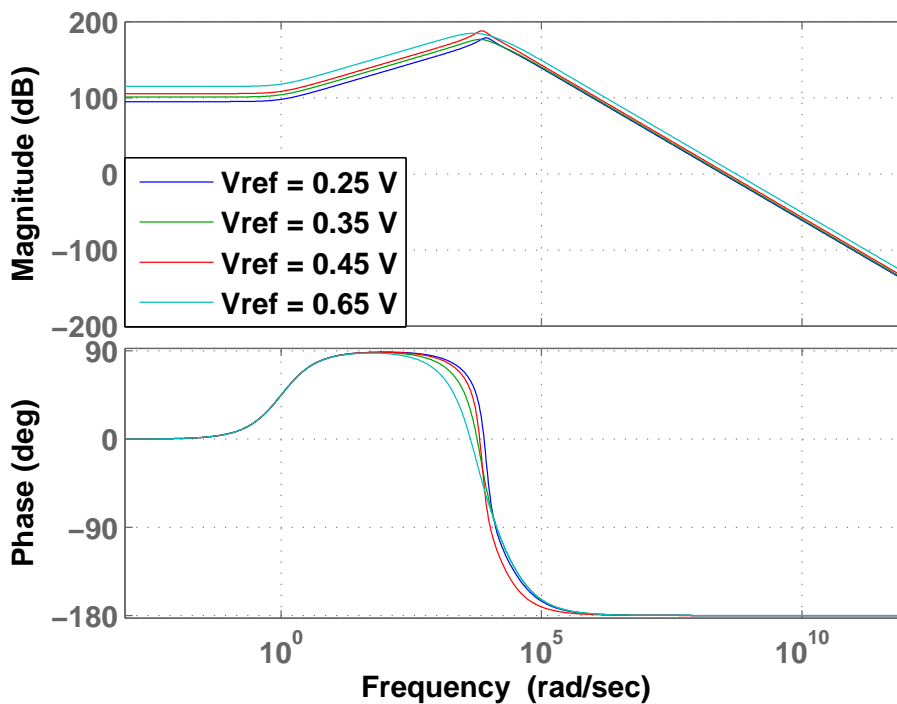


Figura 5.26: Diagrama de bloques para función descriptiva.

Capítulo 5. Regulación de la tensión de salida



(a) Bode para la corriente de carga $I_L = 120\mu A$.



(b) Bode para la corriente de carga $I_L \approx 1\mu A$.

94 Figura 5.27: Diagramas de bode del lazo cerrado $G(s) = \frac{CC0 * DCDC}{1 + Gm * CC0 * DCDC}$.

Capítulo 6

Conclusiones y trabajo a futuro

En este trabajo se hicieron contribuciones en el diseño de convertidores DC/DC totalmente integrados de capacitores conmutados para aplicaciones de ultra bajo consumo, pensadas para dispositivos alimentados con baterías. Dado que en este tipo de aplicaciones el ahorro de energía es un asunto crítico, se trabajó sobre la mejora de la eficiencia en la transferencia de energía de los convertidores DC/DC. Dicha mejora se abordó mediante la implementación de técnicas de reciclado de cargas. Además, se contribuyó en el diseño de arquitecturas de bloques auxiliares que permiten implementar el lazo de control que regula la tensión de salida de forma eficiente. A continuación se presentan los aportes realizados:

- **Propuesta de una técnica general de reciclado de carga de las capacidades parásitas de top/bottom plate-** Se propuso una técnica para el reciclado de carga de las capacidades parásitas de top/bottom plate, que tiene como principal característica que su aplicabilidad es independiente de la arquitectura del convertidor. Esto contrasta con todos los trabajos que hasta la fecha presentaban reciclado de carga en estas capacidades parásitas, ya que en todos los casos la técnica está atada a la arquitectura del convertidor. La técnica propuesta consiste en dividir el convertidor en dos convertidores entrelazados (intertwined), lo que asegura que independientemente de la arquitectura será posible implementar un reciclado de carga en cada cambio de fase. Esta técnica fue probada a nivel de simulación para un convertidor stepdown de arquitectura serie-paralelo con una relación de conversión 1/3. Gracias a dicha técnica se logró una mejora en la eficiencia de 7% alcanzando un pico de eficiencia de 74,5% a partir de un ahorro en las pérdidas por capacidades parásitas de top/bottom plate de 52%.
- **Implementación de la técnica de reciclado de carga en un convertidor modular permitiendo mejorar el estado del arte -** La técnica descrita en el párrafo anterior fue aplicada también a un convertidor modular con seis relaciones de conversión. En este caso, la modularidad permitió hacer una adaptación de la técnica que facilita su aplicación. Este convertidor fue fabricado en una tecnología de 130nm y las medidas realizadas arrojaron

Capítulo 6. Conclusiones y trabajo a futuro

que la técnica logró una mejora en la eficiencia de hasta 4% basado en una disminución de las pérdidas por CPTBP de 70%, lo cual logró una eficiencia máxima de 80,6%. Este valor mejora el estado del arte para este tipo de convertidores. Esta arquitectura modular en forma de anillo, permite obtener un diseño rápido logrando el número de relaciones de conversión deseado con poco esfuerzo.

- **Aplicación de la técnica de step wise charging al gate de las llaves -** Adicionalmente, se analizó la aplicación de la técnica de step wise charging a las capacidades de gate de las llaves de un convertidor para comprobar la utilidad de la técnica para ser usada en este tipo de casos. La misma se aplicó a un convertidor particular y los resultados de las medidas arrojaron resultados positivos en cuanto al ahorro de energía en las llaves y en la mejora de la eficiencia del convertidor.
- **Oscilador de anillo con eliminación de corriente por camino directo -** Se presentó un oscilador de anillo controlado por corriente (*CCO*) que funciona como base para generar las fases no solapadas y los pulsos que implementan la técnica de reciclado de carga. Este bloque tiene como principal novedad la eliminación de la corriente de camino directo. Esto tiene como consecuencia que el consumo de dicho bloque es proporcional a la frecuencia de conmutación, lo cual es clave para no degradar la eficiencia del convertidor. Esto se torna particularmente importante para bajas corrientes de carga (bajas frecuencias de conmutación), ya que en estos casos es donde la arquitectura tradicional de oscilador de anillo tiene un consumo constante respecto de la frecuencia.
- **Arquitectura novedosa para comparadores de ultra bajo consumo -** Por otro lado, se propuso un comparador de ultra bajo consumo que es capaz de entregar una gran corriente a la salida a partir de una corriente de reposo mucho menor. Esto se logra cambiando la relación de copia de los espejos en función de las necesidades de la carga. Para ello, se usaron transistores funcionando en zona lineal para oficiar como resistencias de source. De esta forma, manejando la tensión en el gate de dichos transistores se puede modificar sustancialmente las distintas resistencias de source y así el factor de copia de los espejos. Esta configuración permitió entregar una corriente máxima de $1\mu A$ a la carga, utilizando una corriente de reposo de $2,5nA$.
- **Lazo de control de ultra bajo consumo -** Se diseñó un lazo de control para regular la tensión de salida basado en el oscilador de anillo diseñado y un controlador de orden uno. Dado que con un sistema de estas características no fue posible manejar el compromiso que existe entre velocidad de respuesta y consumo estático, se utilizó el comparador propuesto para

responder rápidamente frente a escalones crecientes de la corriente de carga. De esta forma, si el lazo de control implementado no responde correctamente, la tensión de salida caerá por debajo de un cierto umbral y el comparador actuará sacando una gran cantidad de corriente de la entrada del *CCO* lo que logra aumentar rápidamente la frecuencia de conmutación y la tensión de salida. Esta estructura regula la tensión de salida respondiendo a escalones crecientes de corriente y consumiendo una corriente de polarización muy baja (del orden de las centenas de nA). De esta forma, se puede llegar a entregar muy bajas potencias a la carga, del orden de los μW manteniendo buenos niveles de eficiencia en el convertidor.

6.1. Trabajos a futuro

La técnica general de reciclado de carga para las CPTBP presentada en la sección 2.1 fue confirmada en un convertidor de relación de conversión de 1/3 a nivel de simulaciones eléctricas. Por lo tanto, un trabajo que sería bueno realizar a futuro es el de fabricar dicho convertidor aplicando la técnica correspondiente para reafirmar los resultados a nivel de medidas.

Con respecto al generador de pulsos de ancho variable, el mismo no permite llegar a frecuencias más bajas debido al solapamiento de las tensiones de rampa lentas. Un punto que sería muy oportuno atacar es buscar alternativas o variaciones de la arquitectura propuesta para lograr mejorar más aún la performance en este sentido.

Con respecto al convertidor presentado en el capítulo 3 hay varios puntos a mejorar que se listan a continuación:

- Sería muy apropiado implementar de forma integrada el control de una sola fase.
- El uso de un condensador de carga C_L no parece adecuado para nuestro propósito ya que es una capacidad que no está siendo usada para transferir energía desde la fuente a la carga. Por el contrario, parece más adecuado usar un convertidor interleaved de al menos tres fases usando toda la capacidad disponible para ello. Este punto tiene varios aspectos que mejoran la performance en términos generales. Por un lado, la constante K_{SSL} de la ecuación 1.36 va a disminuir por ser inversamente proporcional a las capacidades usadas. De esta forma, para una misma caída de tensión en la resistencia R_{OUT} (ecuación 1.37) y una misma corriente de carga i_L se requiere una menor frecuencia de conmutación f_{SW} . De esta forma vamos a estar mejorando la eficiencia.

Adicionalmente, la eliminación de C_L (o su disminución a capacidades parásitas) tiene como consecuencia una mejora en la respuesta en frecuencia del sistema. De la ecuación 5.5 vemos que el polo impuesto por el convertidor

Capítulo 6. Conclusiones y trabajo a futuro

DC/DC es inversamente proporcional a C_L por lo que dejarlo minimizado a capacidades parásitas (al menos dos órdenes de magnitud menos que el C_L fabricado) va mejorar significativamente la respuesta en frecuencia del sistema.

Un tema que no se ha abordado de forma sistemática en la literatura es el de alcanzar potencias mínimas entregadas a la carga por debajo de $1\mu A$. A modo de ejemplo, en [6] se encara este aspecto usando un conversor DC/DC con dos modalidades de funcionamiento que le permiten llegar a una eficiencia de 60 % para una potencia entregada a la carga de $100nW$. Sin embargo, este enfoque deja un gap en la eficiencia entre los $450nW$ y los $730nW$ en donde se alcanza una eficiencia muy baja (cercana al 30 %). En el caso de [42] reportan medidas por el rango de 5 – 500nW pero con un pico de eficiencia de 56 %.

El encare a partir de un oscilador de anillo como el desarrollado en este trabajo tiene el potencial de poder alcanzar estas potencias entregadas a la carga y al mismo tiempo lograr potencias máximas que superen las decenas o incluso centenas de μW . Por lo tanto, continuar profundizando en el desarrollo de osciladores de anillo como los presentados en la sección 4.1 manteniendo la linealidad entre la frecuencia de conmutación y el consumo aparecen como un buen camino a seguir. Esto permitiría bajar la potencia mínima entregada a la carga sacrificando lo menos posible el resto de los aspectos del sistema.

6.2. Lista de publicaciones asociadas a la tesis

6.2.1. Artículos en revistas

P. Castro Lisboa, P. Pérez-Nicoli, F. Veirano and F. Silveira, “General Top/Bottom-Plate Charge Recycling Technique for Integrated Switched Capacitor DC-DC Converters,” in *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 63, no. 4, pp. 470-481, April 2016.

P. Pérez-Nicoli, F. Veirano, P. Castro Lisboa, F. Silveira, “Low-Power Operational Transconductance Amplifier with Slew-Rate Enhancement Based on Non-Linear Current Mirror”, *Analog Integrated Circuits and Signal Processing, Springer*. Trabajo invitado sometido a revisión.

6.2.2. Artículos en conferencias

P. Pérez-Nicoli, F. Veirano, P. C. Lisboa and F. Silveira, “High slew-rate OTA with low quiescent current based on non-linear current mirror” *Circuits & Systems (LASCAS), 2015 IEEE 6th Latin American Symposium on*, Montevideo, 2015, pp. 1-4.

6.3. Lista de publicaciones no directamente asociadas a la tesis

F. Veirano, P. Pérez, S. Besio, P. Castro and F. Silveira, “Ultra low power pulse generator based on a ring oscillator with direct path current avoidance,” *Circuits and Systems (LASCAS), 2013 IEEE Fourth Latin American Symposium on*, Cusco, 2013, pp. 1-4.

G. Eirea, P. Castro Lisboa, F. Silveira, “Modelado de un Conversor DC/DC Completamente Integrado con Condensadores Conmutados”, *IBERCHIP*, Cusco, Feb. 27 2013-March 1 2013.

P. Castro, F. Silveira and G. Eirea, “Modular architecture for Ultra Low Power Switched-Capacitor DC-DC Converters,” *Circuits and Systems (MWSCAS), 2012 IEEE 55th International Midwest Symposium on*, Boise, 2012, pp. 1036-1039.

6.3. Lista de publicaciones no directamente asociadas a la tesis

6.3.1. Artículos en revistas

J. Oreggioni, P. Castro Lisboa, F. Silveira, “Relaxing the maximum dc input amplitude vs. consumption trade-off in differential-input band-pass biquad filters”, *International Journal of Circuit Theory and Applications*, Wiley, 2016.

P. Pérez-Nicoli, P. Castro Lisboa, F. Veirano, F. Silveira, “A series-parallel switched capacitor step-up DC-DC converter and its gate-control circuits for over the supply rail switches”, *Analog Integrated Circuits and Signal Processing*, Springer, 2015, vol. 85, no 1, p. 37-45.

6.3.2. Artículos en conferencias

F. Silveira, J. Oreggioni and P. Castro-Lisboa, “Constraints and design approaches in analog ICs for implantable medical devices,” *VLSI Design, Automation and Test (VLSI-DAT), 2015 International Symposium on*, Hsinchu, 2015, pp. 1-4.

P. Pérez-Nicoli, P. Castro and F. Silveira, “A series-parallel switched capacitor step-up DC-DC converter and its gate-control circuits for over the supply rail switches,” *Circuits and Systems (LASCAS), 2014 IEEE 5th Latin American Symposium on*, Santiago, 2014, pp. 1-4.

Apéndice A

Análisis de las pérdidas debido a las CPTBP

Primero consideraremos las pérdidas de energía cuando dos capacitores (C_a y C_b) con voltajes iniciales diferentes se conectan en paralelo. Los voltajes iniciales son V_{a_i} y V_{b_i} para C_a y C_b respectivamente, y ΔV es la diferencia inicial de voltaje como se resume en la ecuación A.1. La energía perdida debido a esta conexión en paralelo es la mostrada por la ecuación A.2, y el voltaje final luego del transitorio es el mostrado por la ecuación A.3. Las ecuaciones A.1, A.2 y A.3 serán usada para realizar el análisis de las pérdidas debido a las CPTBP.

$$\left. \begin{array}{l} V_{a_i} = V_i \\ V_{b_i} = V_i - \Delta V \end{array} \right\} \text{Initial Conditions} \quad (\text{A.1})$$

$$E_{Lost} = \frac{C_a \cdot C_b \cdot \Delta V^2}{2 \cdot (C_a + C_b)} \quad (\text{A.2})$$

$$V_f = V_i - \frac{C_b}{(C_a + C_b)} \cdot \Delta V \quad (\text{A.3})$$

El caso particular cuando un capacitor es conectado en paralelo con tierra, la fuente de alimentación, o un capacitor mucho mas grande, puede considerarse tomando por ejemplo $C_b \rightarrow \infty$ lo cual se transforma en la ecuación A.4.

$$E_{Lost} = \frac{C_a \cdot \Delta V^2}{2} \quad (\text{A.4})$$

Para analizar el impacto de las pérdidas debido a las CPTBP se supondrá que las capacidades principales son mucho mayores que las CPTBP. En una transición entre fases se tiene una red de capacitores principales con CPTBP como por ejemplo en la figura 3.5b. Si los capacitores principales son considerados como cortocircuitos (por ser mucho mayores que las CPTBP), la capacidad equivalente entre cualquiera de los nodos y tierra será una suma de CPTBP. Por ejemplo, en la figura 3.5b para los cuatro nodos de la serie formada por $C1$, $C2$, y $C3$ la capacidad equivalente es la suma de todas las CPTBP (C_{B1} , C_{T1} , C_{B2} , C_{T2} , C_{B3} y C_{T3}). Se asume que

Apéndice A. Análisis de las pérdidas debido a las CPTBP

$C_{t/b} = C_T + C_B$ y que $C_{i_{t/b}} = C_{Ti} + C_{Bi}$ donde i es el índice correspondiente al capacitor principal.

A.1. Análisis para el convertor 1/3

Analizar las pérdidas por las CPTBP para el convertor mostrado en la figura 2.1 implica calcular la energía disipada en las dos transiciones de fase. Se puede ver que en las transiciones de fases C_{T1} y C_{B1} tienen variaciones de voltaje de $\Delta V_1^{T1 \rightarrow T2} = -\Delta V_1^{T2 \rightarrow T1} = \frac{2}{3}.V_{DD}$, y C_{T2} y C_{B2} tienen variaciones de voltaje de $\Delta V_2^{T2 \rightarrow T1} = -\Delta V_2^{T1 \rightarrow T2} = \frac{1}{3}.V_{DD}$. Considerando que las CPTBP tienen estas variaciones de tensión debido a que se conectan a tierra, la fuente de alimentación, o un capacitor mucho mas grande, la ecuación A.4 puede ser aplicada por lo que la energía disipada en cada transición es la que se muestra en la ecuación A.5.

$$E_{1/3}^{T1 \rightarrow T2} = E_{1/3}^{T2 \rightarrow T1} = \frac{5.C_{t/b}.V_{DD}^2}{18} \quad (A.5)$$

Sumando las pérdidas en ambas transiciones, se puede concluir que las pérdidas totales en un ciclo debido a las CPTBP son las que se muestran en la ecuación A.6.

$$E_{1/3} = E_{1/3}^{T1 \rightarrow T2} + E_{1/3}^{T2 \rightarrow T1} = \frac{5.C_{t/b}.V_{DD}^2}{9} \quad (A.6)$$

Ahora consideraremos las pérdidas de energía cuando la técnica general propuesta de reciclado de carga se aplica al convertor de 1/3. Considerando las transiciones descritas en la figura 2.5, durante el primer pulso ($P1$) el intercambio de carga se da entre las CPTBP asociadas a $C2$ de el primer medio-convertor ($VTop2_1$) y las asociadas al capacitor $C1$ del segundo medio-convertor ($VTop1_2$). El voltaje inicial de $VTop2_1$ y $VTop1_2$ son $VTop2_1iP1 = (2/3).V_{DD}$ y $VTop1_2iP1 = (1/3).V_{DD}$ respectivamente. De esta forma, para aplicar la ecuación A.2 se puede ver que la diferencia de voltaje inicial es de $\Delta V = \frac{1}{3}.V_{DD}$ y $Ca = Cb = C_{t/b}/2$ debido a que cada convertor es la mitad del original. De esta forma, aplicando la ecuación A.2 el resultado de la energía disipada durante el pulso $P1$ es $EP1_{Lost} = \frac{C_{t/b}.V_{DD}^2}{36}$, y el voltaje final para $VTop2_1$ y $VTop1_2$ es $VfP1 = (1/2).V_{DD}$.

Durante el segundo pulso ($P2$) el intercambio de carga se da entre las CPTBP asociadas a $C1$ del primer medio-convertor ($VTop1_1$) y las asociadas a $C1$ del segundo medio-convertor ($VTop1_2$). El voltaje inicial para $VTop1_1$ y $VTop1_2$ son, respectivamente $VTop1_1iP2 = V_{DD}$ y $VTop1_2iP2 = VfP1 = (1/2).V_{DD}$. Nuevamente, usando las ecuaciones A.2 y A.3, se tiene que la energía disipada durante el pulso $P2$ es $EP2_{Lost} = \frac{C_{t/b}.V_{DD}^2}{16}$ y el voltaje final $VfP2 = (3/4).V_{DD}$.

De forma similar, se puede calcular la energía disipada en el tercer pulso ($P3$) durante el cual el intercambio de carga ocurre entre las CPTBP asociadas a $C2$

A.2. Análisis para el conversor modular

de el primer medio-conversor ($VTop2.1$) y las asociadas a $C2$ del segundo medio-conversor ($VTop2.2$). En este caso, la energía disipada es $EP3_{Lost} = \frac{C_{t/b} \cdot V_{DD}^2}{144}$ y el voltaje final para los capacitores involucrados es $VfP3 = (5/12) \cdot V_{DD}$.

Finalmente, es necesario calcular la energía disipada en el comienzo de la siguiente fase ($T2$) cuando cada nodo adquiere su correspondiente voltaje (V_{DD} para $VTop1.2$, $(2/3) \cdot V_{DD}$ para $VTop2.2$, etc). Si la diferencia de voltaje final es considerada para cada CPTBP y las pérdidas individuales se suman, las pérdidas totales de energía para este último paso dan $ELastStep_{Lost} = \frac{11 \cdot C_{t/b} \cdot V_{DD}^2}{72}$.

De esta forma, sumando las pérdidas correspondientes a los tres pulsos y al paso final, el total de energía disipada en una transición de fase si la técnica de reciclado de carga es aplicada es la que se muestra en la ecuación A.7

$$E_{1/3CR} = \frac{C_{t/b} \cdot V_{DD}^2}{4} \quad (A.7)$$

A.2. Análisis para el conversor modular

En esta sección se analizan las pérdida debidas a las CPTBP para el caso del conversor modular presentado en el capítulo 3. Este análisis se realiza para el caso en que la técnica de reciclado de carga no se aplica y para el caso en que si.

A.2.1. Análisis sin aplicar la técnica de reciclado de carga

En esta sección se analizan las pérdidas debido a las CPTBP para el caso en que la rotación del anillo se realiza de forma directa. Se consideran la transición entre las configuraciones de las figuras 3.5a y 3.5b, y luego el pasaje directo a la configuración de la figura 3.5g. El primer paso se logra abriendo la llave que conectan la placa superior de $C3$ con la placa inferior de $C4$, y la llave que conecta la placa inferior de $C1$ a tierra. El segundo paso se logra cerrando la llave que conecta la placa inferior de $C1$ con la placa superior de $C4$, y la llave que conecta la placa inferior de $C4$ a tierra. Durante este proceso, las CPTBP asociadas a $C4$ tiene una variación de tensión $\Delta V_{Cn} = -V_{DD} \cdot \frac{n-1}{n}$ (esto es para el caso general con n capacitores, en el caso considerado se tiene $n = 4$), y el resto de las CPTBP tienen una variación de voltaje de $\Delta V_{Ci} = V_{DD} \cdot \frac{1}{n}$ con $i = 1..(n-1)$. De esta forma, las pérdidas debido al proceso de rotación del anillo asociadas a $C4$ se pueden calcular suando la ecuación A.4 con $Ca = C_{t/b}$ y $\Delta V = \Delta V_{Cn} = -V_{DD} \cdot \frac{n-1}{n}$:

$$E_{Mod}^{Cn} = \frac{1}{2} \cdot C_{t/b} \cdot \left(\frac{n-1}{n} \right)^2 \cdot V_{DD}^2 \quad (A.8)$$

Para el resto de las CPTBP las pérdidas pueden ser calculadas usando nuevamente la ecuación A.4, pero en esta ocasión se tiene que $Ca = (n-1) \cdot C_{t/b}$ y $\Delta V_{Cn} = V_{DD} \cdot \frac{1}{n}$. De esta forma, las pérdidas debido al resto de las CPTBP se muestran en la ecuación A.9.

Apéndice A. Análisis de las pérdidas debido a las CPTBP

$$E_{Mod}^{Ci} = \frac{1}{2} \cdot C_{t/b} \cdot (n-1) \cdot \left(\frac{V_{DD}}{n} \right)^2 \quad (\text{A.9})$$

Por lo tanto, las pérdidas totales debido al proceso de rotación del anillo se puede calcular sumando las ecuaciones A.8 y A.9 lo cual se muestra en la ecuación A.10.

$$E_{Mod} = \frac{(n-1)}{n} \cdot \frac{C_{t/b} \cdot V_{DD}^2}{2} \quad (\text{A.10})$$

A.2.2. Análisis aplicando la técnica de reciclado de carga

En este caso, los pasos que implementan la técnica del reciclado de carga son los que se muestran en la figura 3.5. El primero de estos pasos (pasar de la configuración de la figura 3.5a a la mostrada en la figura 3.5b) es el mismo que cuando no se aplica la técnica de reciclado de carga. Luego, la placa superior de $C4$ se cortocircuita de forma secuencial con las placas superiores de $C3$, $C4$, y así hasta alcanzar la placa inferior de $C1$ (figuras 3.5c y 3.5f). De esta forma, se da un intercambio de carga entre las CPTBP asociadas a $C4$ y el resto de las CPTBP. En cada uno de estos pasos, la diferencia de voltaje inicial es $\Delta V = V_{DD} \cdot \frac{1}{n}$ y las capacidades equivalentes son $Ca = C_{t/b}$ y $Cb = (n-1) \cdot C_{t/b}$. Luego, usando la ecuación A.2 y multiplicando por los n pasos del proceso, se tiene las pérdidas debido a las CPTBP en el proceso de rotación del anillo. El resultado se muestra en la ecuación A.11.

$$E_{ModCR} = \frac{(n-1)}{n^2} \cdot \frac{C_{t/b} \cdot V_{DD}^2}{2} \quad (\text{A.11})$$

Referencias

- [1] L. Yuan and G. Qu, "Analysis of energy reduction on dynamic voltage scaling-enabled systems," *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 24, pp. 1827–1837, Dec 2005.
- [2] K. Craig, Y. Shakhsher, S. Arrabi, S. Khanna, J. Lach, and B. Calhoun, "A 32 b 90 nm processor implementing panoptic dvs achieving energy efficient operation from sub-threshold to high performance," *Solid-State Circuits, IEEE Journal of*, vol. 49, pp. 545–552, Feb 2014.
- [3] J. Kwong, Y. K. Ramadass, N. Verma, and A. P. Chandrakasan, "A 65 nm sub- v_t microcontroller with integrated sram and switched capacitor dc-dc converter," *IEEE Journal of Solid-State Circuits*, vol. 44, pp. 115–126, Jan 2009.
- [4] M. Sinangil, N. Verma, and A. Chandrakasan, "A reconfigurable 8t ultra-dynamic voltage scalable (u-dvs) sram in 65 nm cmos," *Solid-State Circuits, IEEE Journal of*, vol. 44, pp. 3163–3173, Nov 2009.
- [5] M. Zangeneh and A. Joshi, "Designing tunable subthreshold logic circuits using adaptive feedback equalization," *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 24, pp. 884–896, March 2016.
- [6] J. D. Vos, D. Flandre, and D. Bol, "A dual-mode dc/dc converter for ultra-low-voltage microcontrollers," in *Subthreshold Microelectronics Conference (SubVT), 2012 IEEE*, pp. 1–3, Oct 2012.
- [7] S. Kudva, S. Chaubey, and R. Harjani, "High power-density, hybrid inductive/capacitive converter with area reuse for multi-domain dvs," in *Custom Integrated Circuits Conference (CICC), 2014 IEEE Proceedings of the*, pp. 1–4, Sept 2014.
- [8] G. Villar-Pique, H. Bergveld, and E. Alarcon, "Survey and benchmark of fully integrated switching power converters: Switched-capacitor versus inductive approach," *Power Electronics, IEEE Transactions on*, vol. 28, pp. 4156–4167, Sept 2013.
- [9] Y. Ramadass and A. Chandrakasan, "Voltage scalable switched capacitor dc-dc converter for ultra-low-power on-chip applications," in *Power Electronics Specialists Conference, 2007. PESC 2007. IEEE*, pp. 2353–2359, June 2007.

Referencias

- [10] O. Al-Terkawi Hasib, M. Sawan, and Y. Savaria, "A low-power asynchronous step-down dc-dc converter for implantable devices," *Biomedical Circuits and Systems, IEEE Transactions on*, vol. 5, pp. 292–301, June 2011.
- [11] H.-P. Le, S. Sanders, and E. Alon, "Design techniques for fully integrated switched-capacitor dc-dc converters," *Solid-State Circuits, IEEE Journal of*, vol. 46, pp. 2120–2131, Sept 2011.
- [12] D. Bol, J. De Vos, C. Hocquet, F. Botman, F. Durvaux, S. Boyd, D. Flandre, and J. Legat, "Sleepwalker: A 25-mhz 0.4-v sub- mm^2 $7\text{-}\mu\text{w}/\text{mhz}$ microcontroller in 65-nm lp/gp cmos for low-carbon wireless sensor nodes," *Solid-State Circuits, IEEE Journal of*, vol. 48, pp. 20–32, Jan 2013.
- [13] M. Seeman, *A Design Methodology for Switched-Capacitor DC-DC Converters*. PhD thesis, Berkeley University of California, Department of Electrical Engineering and Computer Science, 2009.
- [14] P. Castro-Lisboa, P. Pérez-Nicoli, F. Veirano, and F. Silveira, "General top/bottom-plate charge recycling technique for integrated switched capacitor dc-dc converters," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 63, pp. 470–481, April 2016.
- [15] T. Tong, X. Zhang, W. Kim, D. Brooks, and G.-Y. Wei, "A fully integrated battery-connected switched-capacitor 4:1 voltage regulator with 70% peak efficiency using bottom-plate charge recycling," in *Custom Integrated Circuits Conference (CICC), 2013 IEEE*, pp. 1–4, Sept 2013.
- [16] T. Van Breussegem and M. Steyaert, *CMOS Integrated Capacitive DC-DC Converters*. Springer, 2013.
- [17] J. Flak and V. Porra, "A cmos adiabatic bus-driver," in *European Conference on Circuit Theory and Design*, August 2001.
- [18] W. C. Athas, J. G. Koller, and L. J. Svensson, "An energy-efficient cmos line driver using adiabatic switching," in *VLSI, 1994. Design Automation of High Performance VLSI Systems. GLSV'94, Proceedings., Fourth Great Lakes Symposium on*, pp. 196–199, IEEE, 1994.
- [19] D. Chernichenko, A. Kushnerov, and S. Ben-Yaakov, "Adiabatic charging of capacitors by switched capacitor converters with multiple target voltages," in *Electrical Electronics Engineers in Israel (IEEEI), 2012 IEEE 27th Convention of*, pp. 1–4, Nov 2012.
- [20] L. Svensson, W. Athas, and J. Koller, "System and method for power-efficient charging and discharging of a capacitive load from a single source," Jan. 25 2011. US Patent RE42,066.
- [21] S. Nakata, R. Honda, H. Makino, S. Mutoh, M. Miyama, and Y. Matsuda, "General stability of stepwise waveform of an adiabatic charge recycling circuit with any circuit topology," *Circuits and Systems I: Regular Papers, IEEE Transactions on*, vol. 59, pp. 2301–2314, Oct 2012.

- [22] L. Svensson *et al.*, “Adiabatic charging without inductors,” 1994.
- [23] P. Hazucha, S. Moon, G. Schrom, T. Karnik, and V. De, “Stepwise drivers for dc/dc converters,” July 1 2008. US Patent 7,394,298.
- [24] F. Veirano, P. Perez, S. Besio, P. Castro, and F. Silveira, “Ultra low power pulse generator based on a ring oscillator with direct path current avoidance,” in *Circuits and Systems (LASCAS), 2013 IEEE Fourth Latin American Symposium on*, pp. 1–4, Feb 2013.
- [25] N. Hara, I. Oota, F. Ueno, I. Harada, and T. Inoue, “Programmable ring-type switched-capacitor dc–dc converters,” *Electronics and Communications in Japan (Part II: Electronics)*, vol. 82, no. 11, pp. 14–27, 1999.
- [26] P. Castro, F. Silveira, and G. Eirea, “Modular architecture for ultra low power switched-capacitor DC-DC converters,” in *Circuits and Systems (MWSCAS), 2012 IEEE 55th International Midwest Symposium on*, pp. 1036–1039, 2012.
- [27] R. Jain, B. Geuskens, S. Kim, M. Khellah, J. Kulkarni, J. Tschanz, and V. De, “A 0.45v fully-integrated distributed switched capacitor dc-dc converter with high density mim capacitor in 22 nm tri-gate cmos,” *Solid-State Circuits, IEEE Journal of*, vol. 49, pp. 917–927, April 2014.
- [28] Y.-C. Shih and B. Otis, “An inductorless dc-dc converter for energy harvesting with a 1.2- μW bandgap-referenced output controller,” *Circuits and Systems II: Express Briefs, IEEE Transactions on*, vol. 58, pp. 832–836, Dec 2011.
- [29] P. Perez-Nicoli, F. Veirano, P. Castro Lisboa, and F. Silveira, “High slew-rate ota with low quiescent current based on non-linear current mirror,” in *Circuits Systems (LASCAS), 2015 IEEE 6th Latin American Symposium on*, pp. 1–4, Feb 2015.
- [30] T. Andersen, F. Krismer, J. Kolar, T. Toifl, C. Menolfi, L. Kull, T. Morf, M. Kossel, M. Brandli, P. Buchmann, and P. Francese, “A 4,6W/mm² power density 86 % efficiency on-chip switched capacitor dc-dc converter in 32 nm soi cmos,” in *Applied Power Electronics Conference and Exposition (APEC), 2013 Twenty-Eighth Annual IEEE*, pp. 692–699, March 2013.
- [31] N. Retdian, S. Takagi, and N. Fujii, “Voltage controlled ring oscillator with wide tuning range and fast voltage swing,” *Proceedings. IEEE Asia-Pacific Conference on ASIC*, no. 4, pp. 1–4, 2002.
- [32] X. Zhao, R. Chebli, and M. Sawan, “A wide tuning range voltage-controlled ring oscillator dedicated to ultrasound transmitter,” in *Microelectronics, 2004. ICM 2004 Proceedings. The 16th International Conference on*, pp. 313–316, Dec 2004.
- [33] N. Gupta, “Voltage-Controlled Ring Oscillator for Low Phase Noise Application,” *International Journal of Computer Applications*, vol. 14, no. 5, pp. 23–27, 2011.

Referencias

- [34] V. Michal, “On the low-power design, stability improvement and frequency estimation of the CMOS ring oscillator,” *Radioelektronika, 2012, 22nd International Conference*, pp. 1–4, 2012.
- [35] M. Degrauwe, J. Rijmenants, E. Vittoz, and H. De Man, “Cmos adaptive biasing amplifier,” in *Solid State Circuits Conference, 1981. ESSCIRC '81. 7th European*, pp. 44–46, Sept 1981.
- [36] J. Ramirez-Angulo and M. Holmes, “Simple technique using local cmfb to enhance slew rate and bandwidth of one-stage cmos op-amps,” *Electronics Letters*, vol. 38, pp. 1409–1411, Nov 2002.
- [37] J. Galan, A. Lopez-Martin, R. Carvajal, J. Ramirez-Angulo, and C. Rubia-Marcos, “Super class-ab otas with adaptive biasing and dynamic output current scaling,” *Circuits and Systems I: Regular Papers, IEEE Transactions on*, vol. 54, pp. 449–457, March 2007.
- [38] A. Lopez-Martin, S. Baswa, J. Ramirez-Angulo, and R. Carvajal, “Low-voltage super class ab cmos ota cells with very high slew rate and power efficiency,” *Solid-State Circuits, IEEE Journal of*, vol. 40, pp. 1068–1077, May 2005.
- [39] S. Sutula, M. Dei, L. Terés, and F. Serra-Graells, “Class-ab single-stage opamp for low-power switched-capacitor circuits,” in *2015 IEEE International Symposium on Circuits and Systems (ISCAS)*, pp. 2081–2084, May 2015.
- [40] F. Silveira, D. Flandre, and P. G. A. Jespers, “A gm/id based methodology for the design of cmos analog circuits and its application to the synthesis of a silicon-on-insulator micropower ota,” *IEEE Journal of Solid-State Circuits*, vol. 31, pp. 1314–1319, Sep 1996.
- [41] H. K. Khalil, *Nonlinear Systems*. Englewood Cliffs, NJ: Prentice-Hall, 3rd ed., 2002.
- [42] M. Wieckowski, G. K. Chen, M. Seok, D. Blaauw, and D. Sylvester, “A hybrid dc-dc converter for sub-microwatt sub-1v implantable applications,” in *VLSI Circuits, 2009 Symposium on*, pp. 166–167, June 2009.

Índice de tablas

2.1. Activación de las llaves que implementan la TRC, según los pulsos de control $P1$, $P2$ y $P3$	23
2.2. Potencias medidas para $I_L = 60\mu A$	39
3.1. Tamaño de las llaves.	48
3.2. Comparación con el estado del arte.	54

Índice de figuras

1.1. Conversor DC/DC lineal.	3
1.2. Conversor típico con relación de conversión 1/3.	6
1.3. Modelo promediado lineal de un conversor DC/DC de capacitores conmutados.	7
1.4. Llaves usadas en convertidores DC/DC de capacitores conmutados. .	10
1.5. Capacitor NMOS de triple pozo con sus capacidades parásitas. . .	12
1.6. Ejemplo de gráfica de eficiencia en función de la corriente de carga i_L para un conversor regulado y trabajando en modo slow switching limit.	15
2.1. Conversor típico con relación de conversión 1/3.	20
2.2. TRC para un conversor general.	21
2.3. El conversor mostrado en la figura 2.1 con la implementación de la TRC.	22
2.4. Conversor de relación de conversión 1/3 preparado para la aplicación de la TRC.	22
2.5. Formas de onda del conversor de relación de conversión 1/3.	23
2.6. Implementación de los capacitores principales usando transistores <i>NMOS</i> de triple pozo.	25
2.7. Resultados de simulación de eficiencia vs. voltaje de salida para el conversor de relación de conversión 1/3.	25
2.8. Stepwise charging.	27
2.9. Forma de onda de stepwise charging para $N = 3$	27
2.10. Consumo de energía para la simulación eléctrica y para la estimación teórica en función de el número de capacitores auxiliares (N). . . .	31
2.11. Secuencia de pulsos para el caso $N = 2$	32
2.12. Bloque generador de pulsos (<i>GenPul</i>)	33
2.13. Bloque de control de la técnica de stepwise para $N = 2$	33
2.14. N óptimo vs frecuencia de conmutación para $C_G = 1400fF$	34
2.15. Ahorro de energía vs frecuencia de conmutación para $C_G = 1400fF$. .	35
2.16. N óptimo vs C_G para $f = 100MHz$	36
2.17. Ahorro de energía vs C_G para $f = 100MHz$	37
2.18. Chip fabricado para verificar la técnica de reciclado a partir del stepwise charging.	38

Índice de figuras

2.19. Eficiencia del conversor fabricado aplicando la técnica de step wise charging.	39
2.20. Ahorro en las pérdidas E_{SW} del conversor fabricado aplicando la técnica de step wise charging.	40
3.1. Idea básica para el conversor modular.	42
3.2. Conversor de cuatro capacitores y dos de sus configuraciones. . . .	43
3.3. Formas de onda de simulaciones del voltaje de salida y del voltaje de las placas superiores para una fase ($IL = 30\mu A$, $f_{SW} = 525kHz$, $ConvRatio = 1/2$).	44
3.4. Formas de onda de simulaciones del voltaje de salida y del voltaje de las placas superiores para dos fases ($IL = 30\mu A$, $f_{SW} = 2,1MHz$, $ConvRatio = 1/2$).	45
3.5. Técnica de reciclado de carga para el conversor modular.	46
3.6. Forma de onda de los pulsos $Pul1..Pul5$	48
3.7. Resultados de simulación para las relaciones de conversión 1/4, 1/3, 1/2, 2/3, y 1 para una y dos fases, y aplicando y no aplicando la técnica de reciclado de carga.	50
3.8. Layout y foto del die del conversor fabricado.	50
3.9. Set up usado para realizar las medidas.	51
3.10. Resultados de medidas del conversor modular.	52
3.11. Corriente de carga usada para medidas de performance.	52
4.1. Oscilador de anillo básico.	56
4.2. Oscilador de anillo de frecuencia variable.	57
4.3. Arquitectura propuesta para el inversor del oscilador de anillo que evita corriente de camino directo.	59
4.4. Inversor con pendiente variable convencional.	60
4.5. Inversor con pendiente variable propuesto.	61
4.6. Forma de onda de la tensión de salida para las configuraciones de las figuras 4.4 y 4.5.	61
4.7. Arquitectura propuesta para el inversor de pendiente variable que evita corriente de camino directo.	62
4.8. Símbolos para los distintos inversores implementados.	63
4.9. Generador de pulso de ancho variable.	63
4.10. Generador de pulso de ancho fijo.	64
4.11. Oscilador de anillo implementado.	65
4.12. Consumo vs frecuencia para el CCO de la figura 4.11 con (SCD) y sin (CCD) la técnica propuesta de eliminación de la corriente por camino directo.	66
4.13. OTA básico.	67
4.14. Espejo con resistencias de source.	68
4.15. Espejo con resistencias de source implementadas con transistores. . .	68
4.16. OTA propuesto.	69
4.17. Corriente de salida vs tensión diferencial de entrada.	70

5.1. Notación para señales.	72
5.2. Lazo abierto.	73
5.3. Modelo promediado del convertor DC/DC	73
5.4. Modelo promediado en pequeña señal del convertor DC/DC	74
5.5. Circuito equivalente de la etapa de entrada del CCO.	75
5.6. Circuito equivalente de la etapa de entrada del CCO.	76
5.7. Dependencia de la frecuencia f_{sw} con v_n y v_p	77
5.8. Modelo en pequeña señal del espejo de entrada.	78
5.9. Escalón de entrada de 10 a 15 μA	81
5.10. Escalón de entrada de 10 a 15 nA	81
5.11. Escalón de entrada de 200 a 300 nA	82
5.12. Lazo cerrado.	82
5.13. Lazo abierto.	83
5.14. Lazo abierto lineal (transferencias).	83
5.15. Polos, ceros y margen de fase en función de la corriente de carga ($V_{REF} = 0,25V$).	84
5.16. Polos, ceros y margen de fase en función de la corriente de carga ($V_{REF} = 0,35V$).	85
5.17. Polos, ceros y margen de fase en función de la corriente de carga ($V_{REF} = 0,45V$).	86
5.18. Polos, ceros y margen de fase en función de la corriente de carga ($V_{REF} = 0,65V$).	87
5.19. Par diferencial con carga activa.	88
5.20. Diagramas de Bode para los cuatro niveles de conversión de interés ($I_L \simeq 1\mu A$).	88
5.21. Diagramas de Bode para los cuatro niveles de conversión de interés ($I_L \simeq 10\mu A$).	89
5.22. Diagramas de Bode para los cuatro niveles de conversión de interés ($I_L = 120\mu A$).	90
5.23. Lazos lineal y no lineal.	90
5.24. Respuesta del lazo no lineal a un escalón de $1\mu A$ a $100\mu A$ en la corriente de carga para $t = 500\mu s$	91
5.25. Diagrama de bloques para función descriptiva.	93
5.26. Diagrama de bloques para función descriptiva.	93
5.27. Diagramas de bode del lazo cerrado $G(s) = \frac{CC0 * DCDC}{1 + Gm * CC0 * DCDC}$	94

Compilado el viernes 3 febrero, 2017.
<http://iie.fing.edu.uy/>