

# 博士論文

## 生体情報計測機能をもった 高機能RFIDタグ専用集積回路の研究

— 論文概要 —

山川俊貴

平成20年3月25日  
大学院自然科学研究科  
システム情報科学専攻

本研究では RFID タグの医療や創薬分野への応用を目的として、マウスやヒトの心拍信号を検出する機能をもった高機能 RFID タグの開発を行っている。

はじめに、心拍検出機能をもった高機能 RFID タグの2つの具体的な応用について概要とブロック構成を述べ、要求される仕様や所望の回路特性を明示している。

次に本論文では、無線給電で動作する受動型高機能 RFID タグ用の高効率 AC-DC 変換電源回路を提案している。プリント基板上に実装した提案回路はリップルを 1.1%以下に低減し 90%以上の効率で最大  $310\mu\text{W}$  の電力を供給できることが実験によりわかっている。また、回路の負荷に対する出力電圧を詳細に表す理論式を導出し、シミュレーション結果、実験結果と比較する。類似する研究との比較検討も行い、提案回路の長所と有効性について議論している。

RFID タグを識別するために、そのタグ固有の ID コードが必要であるが、提案する RFID タグではこの ID コード生成のための回路に割ける面積が小さいため可能な限りの回路の小面積化が必要である。そこで、本論文では低消費電力で占有面積が小さい ID コード生成 CMOS 論理回路を提案している。試作 IC チップに実装した提案回路の実験において、 $418\mu\text{W}$  の消費電力で所望の 64 ビットの ID コードを生成できることを確認している。

生体信号のようなアナログ信号を処理するアナログ回路を RFID タグに実装するためには、製造偏差や温度変動による素子特性の変化や、電源電圧変動に対しても所望の回路特性を実現する必要がある。そこで、製造偏差や温度変動、電源電圧変動に対しても頑健な心拍パルス検出回路を提案している。IC に実装した提案回路は電源電圧範囲  $2\text{V}\sim 3\text{V}$  において消費電力  $700\mu\text{W}$  で動作し、そのチップ占有面積は  $330\mu\text{m} \times 440\mu\text{m}$  ( $0.145\text{mm}^2$ ) で集積化されている。また、計測対象の個体差や計測位置のずれなどが原因で、センサで得られる心拍信号のパルス高が変化することが想定できる。このような状況でも適切に心拍パルスを検出できるように、RFID タグに実装後もタグからのデジタル信号によって心拍判定レベルを設定可能な回路を提案し、シミュレーションで動作を確認している。さらに、得られた結果を類似する先行研究と比較し、提案回路の長所と有効性を解説している。

DOCTORAL DISSERTATION

**Research on the Circuit Design of the LSI for An  
RFID Tag for Biomedical Signal Measurement**

Synopsis

**Toshitaka Yamakawa**

March 25, 2008

In this paper, two smart RFID tags which can detect the heartbeat signal for medical applications are proposed. Brief description of the RFID tag for implanting into a mouse in order to observe its heart rate, and of the RFID tag for patching onto a baby in order to prevent SIDS (Sudden Infant Death Syndrome) are shown.

A novel low-ripple high-PCE diode charge-pump type AC-DC converter based on the Cockcroft-Walton diode multiplier is proposed. The power supply must have high power conversion efficiency (PCE) since the smart RFID tag dissipates relatively high power. A novel technique to reduce the AC-DC conversion ripple is adopted with maintaining the high PCE. The fabricated PCB (Printed Circuit Board) of the proposed circuit supplies the power of  $310\mu\text{W}$  with reducing the ripple to less than 1.1%, and its PCE is more than 90%. The proposed circuit topology and the principle of operation are explained and treated theoretically by using quasi-equivalent small-signal models. The theoretical results were in good agreement with HSPICE simulation results and the measured results.

Digital ID codes must be generated to identify the tag. However, since other circuit blocks must be equipped on the proposed RFID tag in order to achieve the medical measuring functions, the chip area of the ID-code generation circuit must be minimized. The low-power small-area ID-code generation circuit which generates 64bits ID code is proposed in this paper. The ID-code generation circuit is fabricated on IC and successfully generates the prescribed 64 bits ID code with dissipated power of  $418\mu\text{W}$ .

On an RFID tag, the analog circuits which treat analog signal such as the biomedical signal, the circuit characteristics must be independent from fabrication tolerances, temperature variations, and supply voltage deviations. The proposed heartbeat detection circuit features robustness to the device tolerances and temperature variations thanks to its auto-bias technique and its switched-capacitor auto offset canceling technique. The fabricated IC of the proposed circuit works the supply voltage range of  $2\text{V}\sim 3\text{V}$ , dissipates less than  $700\mu\text{W}$ , and occupies the chip area of  $330\mu\text{m} \times 440\mu\text{m}$  ( $0.145\text{mm}^2$ ). The user-programmable SSTL (Signal Suppression Threshold Level) is designed in order to control the SSTL by wirelessly transmitted digital signal even in after the implementation on an RFID tag. The results are compared with other works, and the advantages of the proposed circuit are clarified.

生体情報計測機能をもった  
高機能RFIDタグ専用集積回路の研究

山川俊貴

# 目次

<b>第1章 序論</b>	<b>1</b>
<b>第2章 システム概要</b>	<b>5</b>
2.1. マウスの心拍を検出する高機能受動RFIDタグ	5
2.2. ヒトの心電R-R間隔を検出する高機能能動RFIDタグ	7
<b>第3章 AC-DC変換電源回路</b>	<b>11</b>
3.1. 導入	11
3.2. 低リップルチャージポンプ型AC-DC変換回路	14
3.2.1. 回路構成	14
3.2.2. 瞬時等価回路による理論解析	17
3.2.3. HSPICEによる回路シミュレーション	21
3.3. 提案回路のプリント基板実装とその実験結果	25
3.3.1. 実装レイアウト	25
3.3.2. 実験結果	26
3.4. 先行研究との比較検討	31
3.5. 結論	32
<b>第4章 IDコード生成回路</b>	<b>33</b>
4.1. 導入	33
4.2. 構成	34
4.2.1. 初期化用単発パルス発生回路(リセット回路)	35
4.2.2. シフトレジスタ	36
4.2.3. バイナリカウンタ	38
4.2.4. 電力マネージメント機構	40
4.3. 実験結果	42
4.4. 結論	44
<b>第5章 心拍パルス検出回路</b>	<b>45</b>
5.1. 導入	45
5.2. 提案回路	47

5.2.1. 設計指針と必要事項	47
5.2.2. 回路構成と理論解析	48
5.3. シミュレーション	54
5.3.1. バイアス電圧 $V_Q$ の生成	54
5.3.2. $V_Q$ 変化時の $V_{SD3}$	56
5.3.3. DC オフセット/低周波ノイズ $V_{OS}$ の抽出	56
5.3.4. 入力範囲と動作周波数	56
5.3.5. 心拍検出と消費電力	57
5.4. 実験結果	60
5.4.1. $V_Q$ の測定	60
5.4.2. $V_{SD3}$ の測定	61
5.4.3. 実際のマウスの心音信号からの心拍パルスの検出	61
5.5. 他の研究との比較	64
5.6. 占有面積の改善	66
5.6.1. 回路構成	66
5.6.2. レイアウト設計と占有面積	67
5.6.3. 実験	68
5.7. 可変 SSTL の設計	71
5.8. 結論	73
<b>第 6 章 高機能 RFID タグ試作基板</b>	<b>75</b>
6.1. 基板の構成と試作	75
6.2. 実験	78
6.3. 結論	80
<b>第 7 章 結論</b>	<b>81</b>
<b>謝 辞</b>	<b>84</b>
<b>参考文献</b>	<b>85</b>
<b>付録 A 電子情報通信学会英文論文誌 C 分冊投稿論文</b>	<b>90</b>
<b>付録 B 電子情報通信学会英文論文誌 A 分冊アナログ回路技術特集号投稿論文</b>	<b>100</b>

## 第1章 序論

今日, RFID タグの需要は日々高まってきており, それに伴い用途も多様化している. 例えば, 食品や製品のトレーサビリティ(Traceability) や, 物流管理, セキュリティシステムなどがよく知られている. RFID タグが開発された当初は, 上記のような個体識別 (ID: Identification) のみを行う機能をもつタグが主流であったが, 今日では上記のような機能に加え, タグにセンサを搭載し温度や加速度, 生体信号等をリアルタイムで観測する高機能な RFID タグが開発され, 一部実用化されている.

一方, 近年病気の原因・発症のメカニズムの解析および新薬の開発などを目的とした遺伝子の機能解析が盛んに行われている. その中で, マウスは4万個近い遺伝子を持ち, その95%以上が人間の遺伝子と共通すると考えられているため, マウスの遺伝子機能を解析することで人間の遺伝子の機能解明につながると期待されている. また, マウスは平均寿命が約800日と短く世代交代が早いため, 遺伝子を改変することが後世代に及ぼす影響を確認することもできるため, 遺伝子改変マウス(ノックアウトマウス)の需要が日々高まっている. しかし, 現時点においては, 体長が数cmしかないマウスの生体信号を測定するのは容易ではなく, 非拘束状態における測定はなおさら難しいとされており, またこの測定には人件費や設備費等の多大なコストが生じてしまう. したがって, 低コストでかつ信頼性の高い生体信号の測定法の開発が強く求められている.

他方, 人間の心拍計測においても非侵襲的, 非拘束的で継続的に心拍を計測する技術が日々発展し続けている. しかし, 今日における人間の心拍信号の測定機器は, そのほとんどがデジタル信号処理を用いたものであり小型化に適していない. 特に, 乳幼児突然死症候群 (SIDS: Sudden Infant Death Syndrome) の予防には継続的に心拍と呼吸を計測, 解析することが有効であると言われていたが, 現在の心拍測定法は3つの電極を装着しそれらの電位の差分を増幅して心電を測定する2極誘導法が一般的であり, 電極間をつなぐケーブルによって被測定者が拘束されることになるため, 乳幼児などにとっては依然負担が大きいものである. し

たがって、RFID 技術を応用し小型かつ非拘束的な心拍測定システムを開発することで、非拘束で複数の被測定者の同時多点生体信号計測が可能なシステムとして応用できる。

このような社会的背景から、当研究室では生体信号計測機能をもった2種類の高機能RFIDタグの開発を行っている。一つは遺伝子改変マウスの心拍数の計測および個体識別を行える生体埋め込み用超小型RFIDタグ、もう一つはSIDSの予防を目的とし心電R波を検出する機能をもった生体貼り付け型の高機能RFIDタグである。第2章では、これらの現在開発中である2つのシステムについて概形図およびブロック図を示し、システムの概形と動作原理について説明する。これらのシステムを開発するに至った背景と従来技術の問題点とその解決法についても言及する。提案システムを構成するための具体的な仕様についても明示し、要素回路の設計コンセプトを簡単に解説する。

第3章では、無線で供給された電力をそれぞれの要素回路へ電源電圧として供給する無線給電用AC-DC変換電源回路について述べる。提案回路はタグの小型化・長寿命化のために電池を内蔵せず、電力を非接触での電磁誘導により供給する受動型RFIDタグへの応用を目的としており、13.56MHzの交流電磁誘導によって二次側のコイルに発生した交流誘起起電圧を直流電圧へと高効率で変換し、さらにこのAC-DC変換の際に生じる高周波リップルを低減して、個々の回路へと電源電圧を供給する機能をもっている。この回路について瞬時等価回路を用いた理論解析を行い回路特性を示す理論式を導出し、さらに回路の疑似小信号等価モデルを用いて提案するリップル低減機能の有効性を解説する。この回路の動作をシミュレーションにて確認し、導出した理論式の整合性について評価する。提案回路をプリント基板上に実装し実験を行い理論解析およびシミュレーションの結果と比較している。また、類似した研究との比較検討を行い、提案回路の長所、有効性について解説する。

第4章では、64ビットのIDコードを生成するIDコード生成CMOS論理回路について詳細に述べる。提案システムの埋め込みを想定している遺伝子改変マウスは、数万～数百万匹のマウスから個体識別を行わなければならない。また、タグが生体埋め込みのため使い捨てであることを考慮すると、数億以上のIDコードの割り当てが必要になると考えられる。そこで、本システムでは64ビットのIDコードをタグに付している。これにより約 $10^{19}$ 匹のマウスを識別可能になっている。さらに提案回路

は、計測・信号処理した心拍信号にIDコードをヘッダとして付した信号パケットとして送信するための出力信号切替機能と信号パケット長を決定するタイマー機能も有している。さらに各ブロックにおいても、8ビットシフトレジスタを用いた64ビットシフトレジスタの構成などに代表されるような低消費電力化・小面積化のテクニックを用いている。この提案回路の動作をシミュレーションで確認し、また試作ICチップの実験を行って回路の動作を確認した。

第5章では、微小マイクロホンや圧力センサ、ECG電極センサ等から得られる低振幅・低周波ノイズを伴うマウスの心音センサー信号から心拍情報(特に心電R波)をもつ高レベルのスパイクパルス信号のみを比較抽出する低電圧アナログCMOS集積回路を提案している。提案回路は、集積化した際に生じるデバイスの製造偏差、温度変化、経年変化、また、センサーの性能に依存するセンサー信号のオフセット電圧を集積回路内部で自己補償する機能をもっている点が特長である。また、提案手法の有効性をシミュレーションおよび試作ICチップの実験を用いて確認している。これらの結果と類似する先行研究とを比較し、提案回路の長所と有効性を解説する。加えて、さらなる低消費電力化・小面積化した回路を設計、IC実装し実験を行った。被測定対象の個体差やセンサの取り付け位置の差異などにより、センサから得られる心拍信号やノイズのパルス高が変化することも考えられる。このような状況でも正確に心拍パルスのみを検出できるよう、心拍信号とそれ以外のノイズ信号とを判別するための心拍判定レベル(信号抽出しきいレベル, SSTL: Signal Suppression Threshold Level)をRFIDタグ実装後においても外部から設定可能な可変SSTL設定回路を提案し、その動作をシミュレーションで確認した。

なお、これらの回路シミュレーションにはSynopsys社HSPICE回路シミュレータを、ICのレイアウト設計にはCadence社Virtuoso Layout Editorを用いている。これらの設計は $0.35\mu\text{m}$  2-poly 4-metal CMOSプロセス、 $0.18\mu\text{m}$  2-poly 4-metal CMOSプロセス、および $0.25\mu\text{m}$  2-poly 5-metal CMOSプロセスでの実装を想定し行った。ただし、AC-DC変換電源回路についてはICの耐圧の問題と、高周波素子を使用するためにプリント基板実装を想定した設計・シミュレーションを行っている。

第6では、IDコード生成回路と心拍検出回路を実装したICを用いて、提案する心拍信号を検出する機能をもった高機能RFIDタグをプリント

基板に実装し, 実際に電極センサを人体に装着し実験を行い, 提案手法の有効性を確認した.

最後に, 第7章は以上を総括した結論である.

## 第2章 システム概要

本章では, 本研究にて提案する回路を実装する生体信号検出用高機能RFIDタグの概要と基本的な構成について述べる.

### 2.1. マウスの心拍を検出する高機能受動RFIDタグ

従来マウスの心拍数等の生体信号を測定するためには, 測定者がマウスをケージより取り出し専用の機器をマウスの尾の付け根に装着し測定する方法が主流である. しかし, この方法では生体信号の常時かつ継続的な観測は不可能であり, またマウスに大きなストレスを与えるため正常な心拍信号を測定することは難しい. さらに, 遺伝子改変マウス等を使った実験においては統計学上十分なデータを得るために多くの標本数を要することが多く, 測定における人的コストも非常に高い.

そこで, 継続的かつ低コストな生体信号測定手法として, 遺伝子改変マウスの体内への埋め込みを目的とした, 心拍信号測定用高機能受動RFIDタグを提案する [1, 2, 3, 4]. 提案するRFIDタグの概略図を図2.1に, タグ内部の回路ブロック図を図2.2に示す. 提案するRFIDタグは体長5~10cm程度の遺伝子改変マウスへの埋め込みを目的としており, マウスへの悪影響を低減するため可能な限り小型化する必要がある. したがって本研究においては, センサを含めタグを構成する要素ブロックを直径2mm×長さ6mmのカプセル形の容器に封入することを最終目標としている.

また, 体内への埋め込み/取り出しを頻回に行うことは難しいため, タグはマウスの寿命以上に長寿命である必要がある. さらに, 現在利用可能な最小の電池でも半径が5mm以上あり, これを用いた場合上記に示した目標の寸法で実現するのは不可能である. そこで本研究においては, コイルの電磁的結合による交流電磁誘導を用いた無線給電方式(受動RFIDタグ, Passive RFID tag)を採用する.

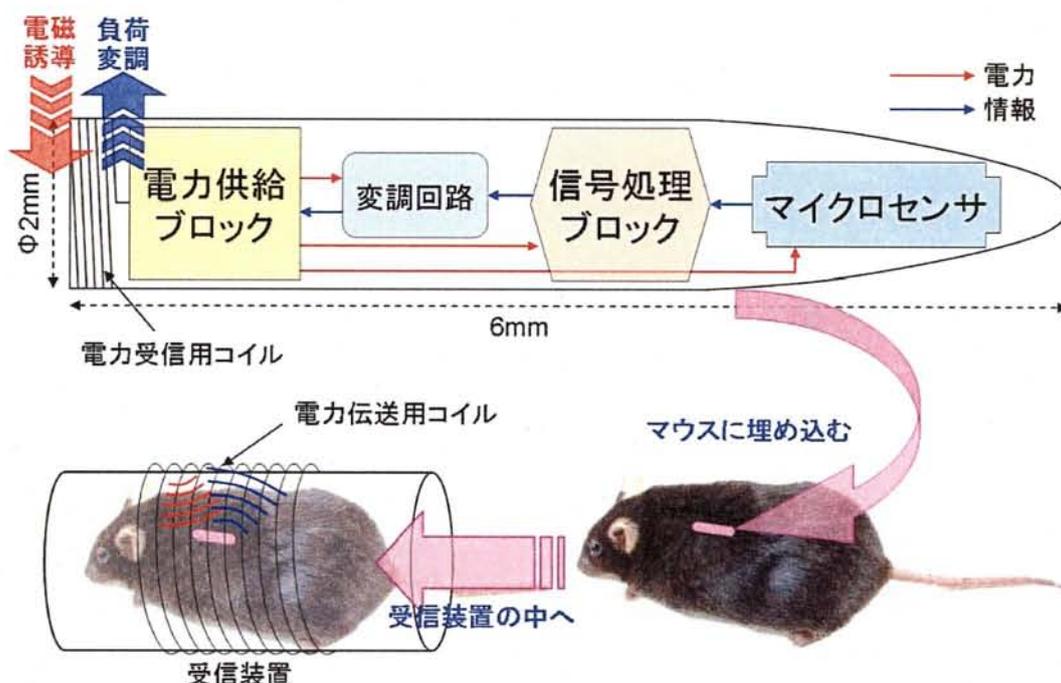


図 2.1 マウス用スマート RFID タグ概略図

以下に提案する高機能受動 RFID タグの具体的な動作原理を説明する。まず、リーダ側のコイルに 13.56MHz の交流電圧を印加し、図 2.1 下部に示す受信装置内に一様な磁界を発生させる。この受信装置はマウスの体高に合った大きさの筒状で、加えて内部の色をマウスが巣の色と錯覚する赤、茶、黒などとし、マウスが進んで内部に入りやすいような構成にしている。

タグを埋め込んだマウスが受信装置内の一様磁界中に入ると、受信装置の電力伝送用コイル(1次側)とタグの電力受信用コイル(2次側)が電磁的に結合し、電力受信用コイルの両端に交流誘導起電力が得られる。こうして得られた交流電圧を図 2.2 中の AC-DC 変換電源回路で回路の電源に適した直流電圧に変換し供給することでタグが起動する。

タグが起動すると、信号処理ブロック内の ID コード生成回路にてカウンタがカウントを開始し、同時に ID コードが生成され負荷変調回路へと送られる。この ID コードは 0/1 の 2 値からなる 64 ビットのマウスを識別するための符号であり、ID コード生成回路内部のメモリに蓄えられ

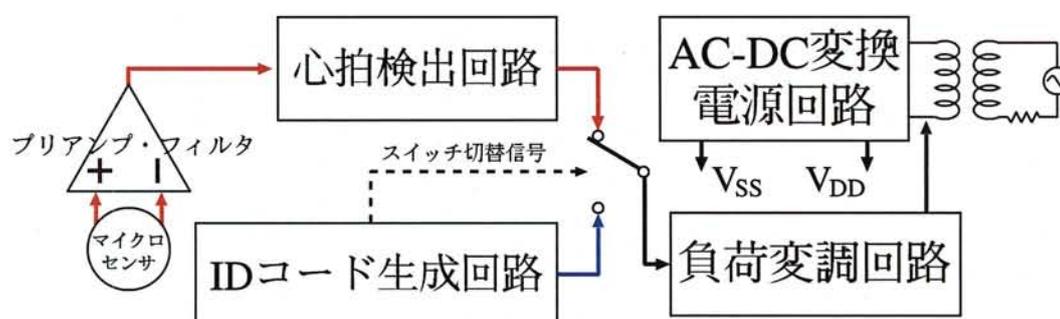


図 2.2 マウス用スマート RFID タグブロック図

ている。この ID コードの送信が終了すると、カウンタによりスイッチが切り替えられ心拍検出回路から心拍信号が負荷変調回路へと送られる。

センサの出力信号は計装プリアンプによって 60~80dB 電圧増幅され心拍検出回路に入力される。この心拍検出回路は、入力信号の予測不可能なオフセット・ノイズを除去し、また製造偏差や温度変動による回路特性の変化を自動的に補償し、センサ信号から心拍パルスを抽出する機能をもたせている。

負荷変調回路においては、入力信号に応じて電力受信用コイル (2 次側) と並列に接続される負荷をスイッチングする。これにより、電力伝送用コイル (1 次側) からみた 2 次側のインピーダンスが変化するため、1 次側コイルのインピーダンスを測定することでタグが送信する情報を観測することができる。なお、この情報伝送方式を負荷変調方式という。

このようにして、64 ビットの ID コードと心拍情報を電磁結合を用いて無線で送信することで、埋め込んだマウスの個体識別と心拍の継続的観測を行う。本論文では、図 2.2 中の AC-DC 変換電源回路、心拍検出回路、ID コード生成回路について詳細を述べる。

## 2.2. ヒトの心電 R-R 間隔を検出する高機能能動 RFID タグ

乳幼児突然死症候群 (SIDS: Sudden Infant Death Syndrome) は、乳幼児が睡眠中などの安静時に突然死亡する病気で、日本では平成 17 年度にお

ける0歳児の死因の第3位となっている [5]. しかし, その発症の原因は未だ特定されておらず予測は困難である. そのため, 現在考えられている根本的な予防措置としては, 乳幼児の心拍や呼吸等を継続的にモニタリングして心停止や呼吸停止をいち早く察知し, 死亡や重度の機能障害に陥る前に蘇生するという方法しかない [6].

また, 心室収縮の開始を示すR波とよばれる心電信号 (ECG) の間隔 (R-R間隔) を長期的に測定・解析することにより, 心不全等の直接心臓に起因する病気はもとより, クモ膜下出血などの脳疾患の予後予測も可能であることがわかっている [7].

しかし, 従来の心電測定方法は手・足・胸などの3点以上の部位に電極を装着しそれらの電位差より心電波形を導出する3点電位法 (2極誘導法) が主流であり, 測定用の電極とそれらを機器につなぐケーブルにより被測定者は拘束を強いられてしまう.

このような拘束的な測定法に代わる心拍/心電測定方法として遠隔的に心拍信号を測定する方法も研究されているが (具体的には第5章導入部で紹介する), 機器が高価な上に小型化も困難であるため, 一般家庭への普及は極めて難しい. 心電の常時観測を目的とした携帯型心電計 (ホルター心電計等) が医療機器メーカーなどから発売されているが, 被測定者自身による測定作業の必要性や拘束度の高さなどから, 乳幼児の常時観測には適していない. さらに, 部品寸法や計測精度の点からこれ以上の小型化は困難であるため, 乳幼児に常時装着して心電を継続的にモニタリングするという用途には向かないと考えられる.

これらのことから, 一般に普及し得るほど安価で, 疾病の予後予測を目的とした常時装着・測定が可能な心電測定解析システムが開発されれば, SIDSによる乳幼児の死亡を直接防ぐことができ, さらに心臓疾患やクモ膜下出血などの予後予測システムとしても運用することができると考える.

そこで本研究では, 上に挙げた問題を解決する手法として図2.3のような心電R波測定機能をもったRFIDタグを提案する. 提案する高機能RFIDタグは3つの電極センサ, 信号処理回路を内蔵したIC, アンテナ, および電池からなり, 乳幼児用のオムツなどのゴムバンド部に装着可能であるように伸縮性素材のバンド上に実装する.

提案する高機能RFIDタグ専用LSI (図2.3でICと表記) の回路ブロック図を図2.4に示す. 実際にこの高機能RFIDタグを病室で使用する場合,

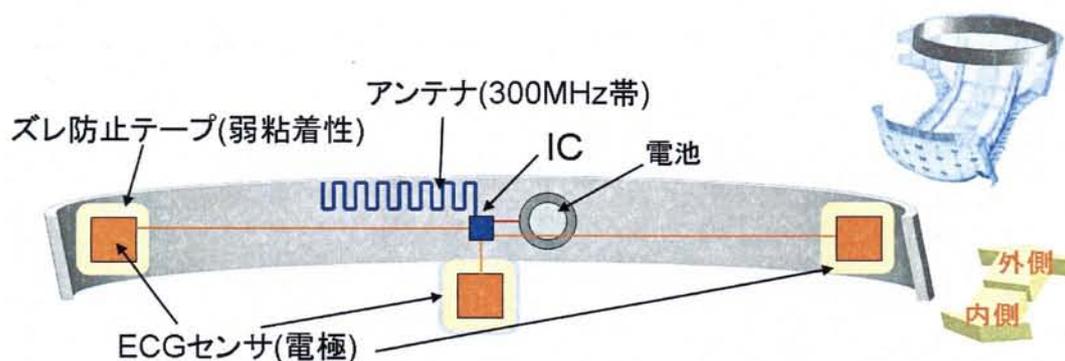


図 2.3 ヒト用スマート RFID タグ概略図

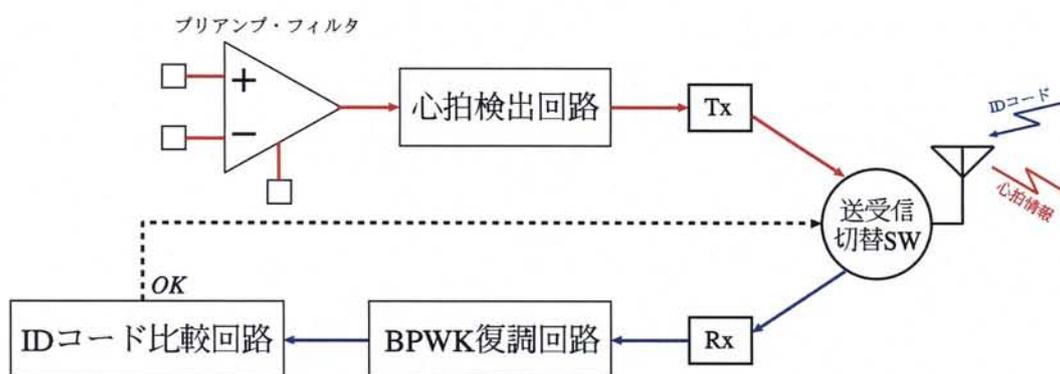


図 2.4 ヒト用スマート RFID タグブロック図

病室には複数の被測定者がおり1つのリーダ(受信装置)の受信範囲内に複数のタグが存在することが想定される。このような状況で複数のタグからリーダへ同時に情報が無線で送信された場合、情報が混信してしまい正確な心拍情報やIDコードを受信することは不可能である。そこで提案する高機能 RFID タグにおいては、タグからの衝突防止策(アンチコリジョン: Anti-collision)としてリーダより受信範囲内にある全てのタグに対しIDコードを送信し、タグ内のIDコード比較回路においてタグのメモリに蓄えられたIDコードと比較して一致した場合のみ心拍信号を送り返すという手法をとっている。

アンテナで受信した信号は Rx(レシーバ:受信) モジュールを通り搬送波から変調波である BPWK(Binary Pulse Width Keying:2 値パルス幅変調) 信号が復調され, さらに BPWK 復調回路によって通常の 2 値の ID コードを時間波形に変換したデジタル信号へと復調される. この ID コード信号とタグのメモリ内に蓄えられた ID コードが ID コード比較回路において比較され一致した場合, OK 信号により送受信切替スイッチが切替えられ, 同時に心拍検出回路が電源へと接続され起動する. その後, 電極センサの電位差から得られた ECG 信号が計装プリアンプにより差動増幅され, 簡単な 1 次フィルタでノイズ除去される. その増幅された信号から心拍検出回路で心電 R 波を抽出し, その情報を Tx(トランシーバ:送信) モジュールへと送られる. この Tx モジュールは OOK 変調回路 [8, 9, 10, 11] と E 級パワーアンプ [12] によって構成されており, OOK 変調回路において 2 値の振幅変調 (搬送波帯域:303.8MHz) を行った後パワーアンプで電力を増幅してアンテナを介してリーダへと情報が送信される.

これらのタグ内の全てのブロックが動作するための電力は小型ボタン電池から供給される.

本論文では, 図 2.4 中の心拍検出回路, Tx・Rx モジュール, 電極センサ, センサ用計装プリアンプ・フィルタ, について詳細を述べる.

## 第3章 AC-DC変換電源回路

### 3.1. 導入

無線で供給される電力で動作する受動型RFIDタグにおいて、タグの受電(2次側)コイルに発生する交流誘導起電力を回路の電源電圧に適した直流電圧に変換する必要がある。一般的な受動型RFIDタグにおいては、単純な半波整流回路や全波整流回路などが用いられることが多いが、これらの回路は電力変換効率(PCE: Power Conversion Efficiency)が低いことから、タグ上の消費電力が大きいシステムには適用できない。

一方、先行研究においてはこのPCE改善手法としてRFID用AC-DC変換電源回路にCockcroft-Walton型ダイオードチャージポンプ回路を用いているものも開発されているが、このCockcroft-Walton型ダイオードチャージポンプ回路はAC-DC変換を行う際に、出力する直流電圧に下式(3.1)で示されるような電圧リップル $V_R$ が乗じられるという問題が生じてしまう。( $f_{in}$ :入力周波数,  $R_L$ :回路に接続された負荷,  $C_{out}$ :出力キャパシタ)

$$V_R = \frac{V_{out}}{f_{in} R_L C_{out}} \quad (3.1)$$

単純なIDコード生成機能のみをもつデジタル回路を搭載した一般的なRFIDタグにおいては、このようなAC-DC変換リップルが回路の動作に大きく影響することはないが、提案システムのようなアナログ回路を搭載した高機能RFIDタグにおいては、リップルによる電源電圧の変動は搭載するアナログ回路の動作に大きな影響を及ぼし、場合によっては深刻な動作エラーを引き起こし兼ねない。(本研究における電源電圧の変動範囲は心拍パルス検出回路の動作電源電圧範囲によって制限されている)

高電力変換効率でAC-DC変換リップルの問題を解決する手法として、アクティブ全波整流回路[13]が開発されているが、従来の全波整流回路と比べてリップル低減率が不十分である。

式(3.1)より、リップルを低減する手法として入力信号の周波数 $f_{in}$ を上げるという手法も考えられるが、RFIDタグの無線給電においては電波

法によって使用できる周波数が制限されているため、本応用には適していない。また、同様に式(3.1)より出力キャパシタ  $C_{out}$  を大きくするという手法によってもリップルを低減することは可能であると推測できるが、RFID タグという用途上、占有面積の観点から使用可能なキャパシタの値も制限されるため、現実的なリップル低減手法であるとは言えない。

低面積・高効率でリップル低減を行う手法として、自動電流制御法 [14] という手法が開発されている。この回路は出力電圧に生じるリップルをモニタリングし、リップルを低減するようチャージポンプ回路に流れる電流を自動的に制御する手法を用いているが、その制御法としてフィードバック制御を用いているため 600kHz 以上の周波数では使えない。

従来は、電圧レギュレータ(定電圧回路)を用いてリップル低減を行う手法も用いられている。しかし、提案する RFID タグの無線給電において発生するリップルは 13.56MHz 帯であり、従来の電圧レギュレータ回路はこのような高周波では動作することができないため、このような高周波のリップルは整流回路自体で低減する必要があると考えられる。

数 10MHz 帯において高リップル低減率を達成するために Dickson チャージポンプを基にした対称構造による低リップル電圧 3 倍器 [15] も提案されているが、この回路は EEPROM の消去/書き込みに用いられているものであるため、出力インピーダンスが大きく PCE も非常に低い。加えて、リップルを 20% まで低減するために 8 段もの構成が必要であり占有面積が非常に大きい ( $565\mu\text{m} \times 825\mu\text{m}$ )。

したがって本研究では、13.56MHz で動作する受動 RFID タグ用高効率低リップル Cockcroft-Walton 型 AC-DC 変換電源回路 [1, 2, 3, 16, 17, 18, 19, 20] を提案する。この回路は本研究で提案する無線給電型スマート RFID タグに応用可能にするために高い電力変換効率 (PCE) で AC-DC 変換を行うよう設計されている。また、リップルを大幅に低減するために、リーダーとタグがコイルによって電磁結合する電磁給電システムに適したプッシュプル方式を採用している。

第 2 節では、提案回路の瞬時等価回路について理論的に解析し、また HSPICE によるシミュレーション結果について述べる。提案回路の回路構成と動作原理についても解説し理論的考察を述べる。Infineon Technologies 社提供の BAT15-099 ショットキーダイオードの素子パラメータを用いた HSPICE シミュレーション結果についても示し、理論解析の結果と比較し理論の整合性について検討する。

提案回路のプリント基板 (PCB) 実装とその実験について第 3 節で述べる。回路の動作と性能について実験結果より評価し, 第 2 節の理論解析およびシミュレーション結果と比較する。

第 4 節においては, 他の類似研究との比較を行い提案手法の有効性を述べ, また CMOS プロセスでの実装についても考察する。

これらの結果を第 5 節においてまとめ, 本章の総評とする。

## 3.2. 低リップルチャージポンプ型 AC-DC 変換回路

### 3.2.1. 回路構成

図 3.1 に電力受信用 2 次コイルと Cockcroft-Walton ダイオードチャージポンプ型 AC-DC 変換回路からなる AC-DC 変換電源回路の回路図を示す。提案回路は Cockcroft-Walton 昇圧回路を 2 段並列に接続した構成であり、

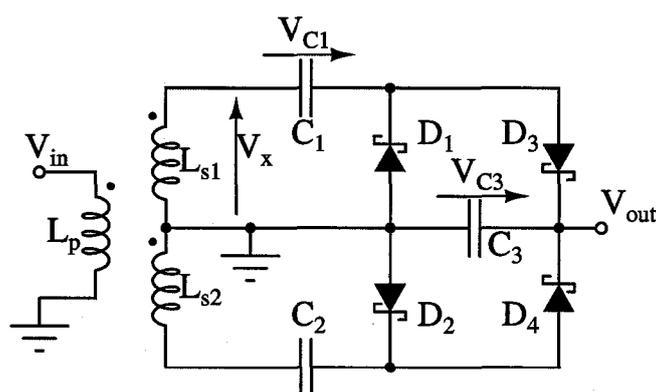


図 3.1 提案回路

入力信号には受電コイルによって得られる逆相の入力電圧を想定している。このような逆相の入力電圧を得るために受電コイルにはプリント基板技術で集積したマイクロ結合コイルを用い、コイルの螺旋状のパターンをそれぞれ逆向きにすることで  $180^\circ$  の位相分割を実現している。

回路の消費電力を低減し、また数 10MHz の周波数帯域幅において高い電力変換効率を得るために、Infineon 社の BAT15-099 ショットキーダイオードを提案回路の構成に用いた。素子の詳細なパラメータは HSPICE シミュレーションの節において示す。

図 3.2 に提案回路の等価回路を示す。図 3.1 中で、 $L_s$ ,  $R_{hf}$ ,  $C_p$ , および  $R_{leak}$  は受信用 2 次コイルの等価回路を模擬しており、それぞれ 2 次コイルの直列インダクタンス、直列抵抗、寄生容量、および漏れ抵抗を表している。 $V_m$  は 1 次ソレノイドコイルとの間の電磁結合によって得られた誘導起電力を模擬しており、 $C_L$  と  $R_L$  は負荷容量と負荷抵抗を表している。

図 3.3, 図 3.4 は図 3.1 の回路の上段部において  $V_x$  がそれぞれ負のとき

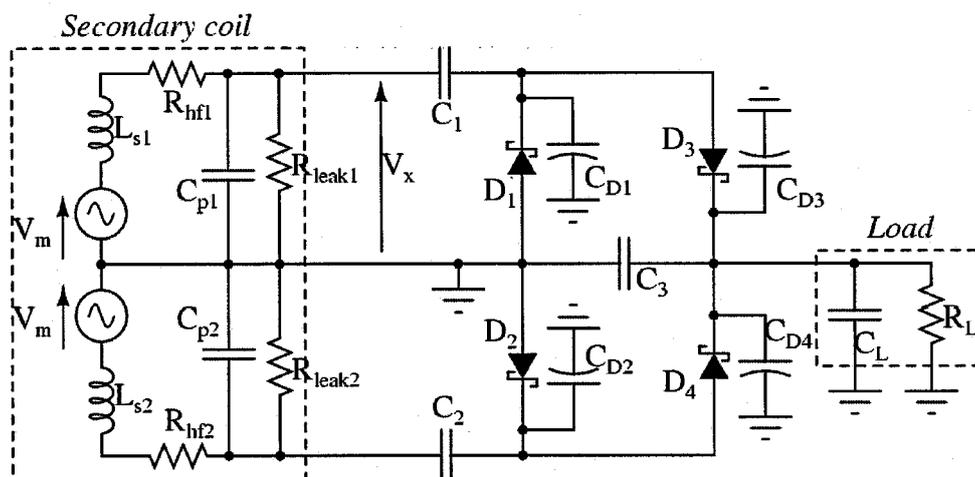


図 3.2 図 3.1 の回路の等価回路

と正のときの回路の動作を示している。このとき、出力電圧  $V_{out}(=V_{C3} = 2(V_{xm} - V_D))$  は理想的には図 3.5 のように得られる。ここで  $V_{xm}$  は  $V_x$  の振幅、 $V_D$  はダイオードの順方向 ON 電圧を表す。  $V_{out}$  におけるリップル電圧は主として負荷への放電電流によって生じるものである。それぞれ逆相の入力信号をもったチャージポンプ回路を図 3.2 のように 2 段並列に接続し、各段で逆相のリップルを発生させ打ち消し合わせることで上記のリップルを低減している。

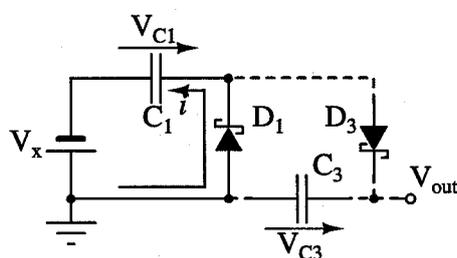


図 3.3  $V_x$  が負のときの図 3.1 上部の回路の等価回路

ここで、提案するリップル低減手法において  $180^\circ$  位相が異なる入力電圧を得ることが非常に重要であり、製造偏差等の影響によって受電用 2 次

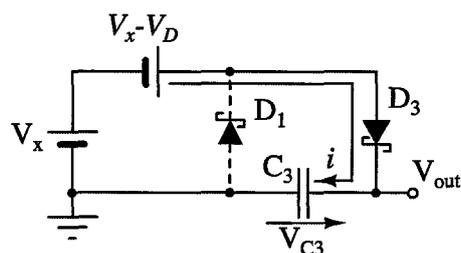


図 3.4  $V_x$  が正のときの図 3.1 上部の回路の等価回路

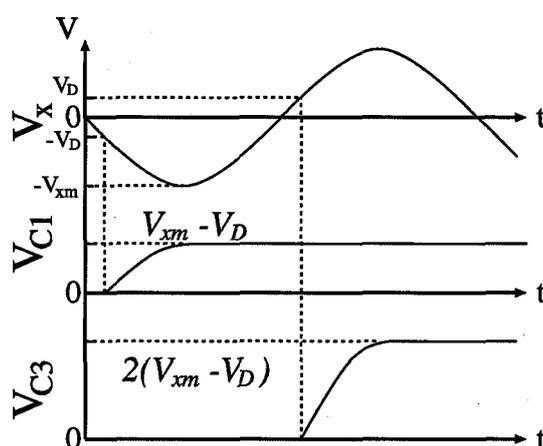


図 3.5  $V_x$ ,  $V_{C1}$ ,  $V_{C3}$  の理想的な電圧波形 (無負荷,  $C_1$ ,  $C_3$  の初期電荷:0)

コイルの特性が変化した場合、リップル低減率の低下を招く恐れがある。そこで、本手法では受電用2次コイルを基板技術によって図3.6のように基板平面上にパターン実装している。こうすることにより、コイル自体のインダクタンス等のパラメータは製造偏差の影響を受け変化し得るものの、図中のインダクタ1-インダクタ2間の誤差は低減することができるので、提案回路のリップル低減機能を損なわれない。

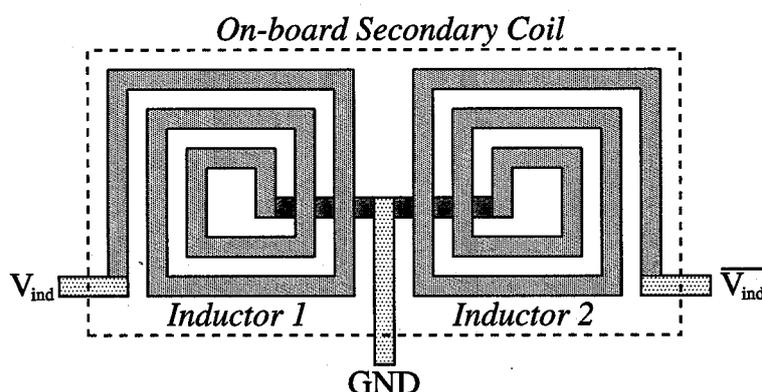


図 3.6 受電用 2 次コイルの実装概念図

### 3.2.2. 瞬時等価回路による理論解析

本節では、定常状態における提案回路の動作について理論解析を行い、またそれをもとにした回路の設計手法を示す。

まず、図 3.1 の回路の上段部分のみについて考える。 $C_{D1}$ - $C_{D4}$  は提案回路を CMOS プロセスに実装した場合に生じるダイオード ( $D_1$ - $D_4$ ) のウェルと基板 (GND) 間の寄生容量を示している。ここで、ショットキーダイオードは多数キャリア素子であり、そのアノード-カソード間の寄生容量は  $C_1$ - $C_3$  に比べて十分に小さいため、本稿ではショットキーダイオードのアノード-カソード間の寄生容量は無視している。また、本稿では理論解析は 2 次コイル以降の部分についてのみなされており、図 3.2 中の破線枠で囲まれた部分は考慮されていない。

$V_x$  が正の最大値 ( $= V_{xm}$ ) をとるときの提案する AC-DC 変換電源回路の瞬時等価回路図を図 3.7 に示す。ここで、図 3.7 中の  $C_T$  は下式によって定義される。

$$C_T \triangleq C_3 + C_{D3} + C_L \quad (3.2)$$

同図中の  $\Delta Q$  と  $\Delta Q_{D1}$  は、 $D_1$  が OFF で  $D_3$  が ON のときにそれぞれ  $C_T$  と  $C_{D1}$  に流れ込む電荷の変化量を表している。また、 $V_D$  は前節同様ダイオードの ON 電圧である。 $D_{on}$  と  $D_{off}$  がそれぞれ  $D_3$  の ON 状態と OFF 状

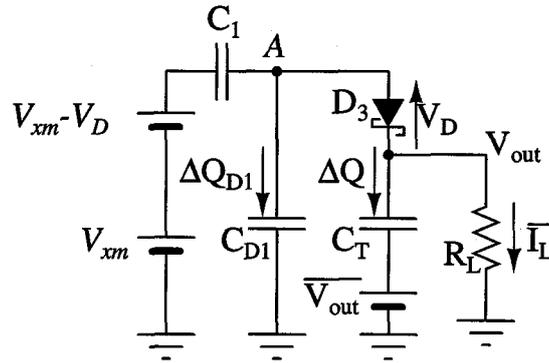


図 3.7  $V_x$  が正の最大値をとるときの提案回路の瞬時等価回路

態のデューティ比とすると,  $D_{on}$  と  $D_{off}$  は次の条件を満たす.

$$D_{on} + D_{off} = 1 \quad (3.3)$$

HSPICE シミュレーションによると, 出力電圧  $V_{out}$  の負荷電流による電圧変動が小さいとき,  $D_3$  に流れる電流はほぼ三角波状であり,  $D_3$  の ON 状態の持続時間は OFF 状態の持続時間より非常に小さいことがわかっていいる. したがって, 回路が定常状態のとき, キルヒホッフの法則より図 3.7 について次の式が成り立つ.

$$2V_x - V_D = \frac{1}{C_1} (2\Delta Q + \Delta Q_{D1} + \bar{I}_L D_{on} T) + V_D + \frac{\Delta Q}{C_T} + \bar{V}_{out} \quad (3.4)$$

ここで,  $T$  は  $T = 2\pi/\omega = 1/f$  であり,  $\omega$  は電磁誘導によって 2 次コイルに得られた交流電圧の角周波数である. 式 (3.4) で,  $\bar{V}_{out}$  と  $\bar{I}_L$  はそれぞれ平均出力電圧と平均出力電流を表しており, 負荷抵抗値が  $R_L$  であるとき下記のような関係をもつ.

$$\bar{I}_L = \frac{\bar{V}_{out}}{R_L} \quad (3.5)$$

加えて,  $D_3$  が ON 状態から OFF 状態に遷移するとき, 図 3.7 中の端子 A の電位は  $-V_D$  から  $\bar{V}_{out} + \frac{\Delta Q}{C_T} + V_D$  へと変化するため,  $C_{D1}$  に移動する電荷  $\Delta Q_{D1}$  は次の式のように表される.

$$\Delta Q_{D1} = C_{D1} \left[ \left( \bar{V}_{out} + \frac{\Delta Q}{C_T} + V_D \right) - (-V_D) \right] \quad (3.6)$$

さらに,  $\bar{I}_L$  と  $\Delta Q$  の間には次のような関係が成り立つ.

$$2\Delta Q = D_{off} T \bar{I}_L \quad (3.7)$$

よって, これらの式より平均出力電圧  $V_{out}$  は次の式のようにになる.

$$\bar{V}_{out} = \frac{2V_x - 2V_D \left(1 + \frac{C_{D1}}{C_1}\right)}{1 + \frac{C_{D1}}{C_1} + \frac{1}{2C_1 R_L f} \left(2 + D_{off} \frac{C_1 + C_{D1}}{C_T}\right)} \quad (3.8)$$

図 3.8 に図 3.7 の回路の疑似小信号等価モデルの概念図を示す. 図にお

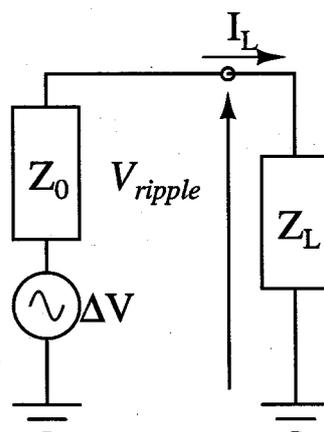


図 3.8 図 3.7 の回路の疑似小信号等価モデル

いて,  $Z_0$  はチャージポンプ回路上段部 (もしくは下段部) の等価出力インピーダンス,  $\Delta V$  は出力端子における開回路リプル電圧であり,  $Z_L$  は負荷の等価インピーダンスである. これらの値は疑似等価近似が適用される場合のみ有効である. このとき, 出力リプル  $V_{ripple}$  は次の式で表される.

$$V_{ripple} = \frac{\Delta V}{1 + \frac{Z_0}{Z_L}} \quad (3.9)$$

上段部のみでなく回路全体を考える場合も同様に図 3.9 のような疑似小信号等価モデルが得られる.  $\Delta V'$  および  $\Delta V''$  はそれぞれ図 3.1 中の 0 上段チャージポンプ回路と下段チャージポンプ回路の開回路リプルを表

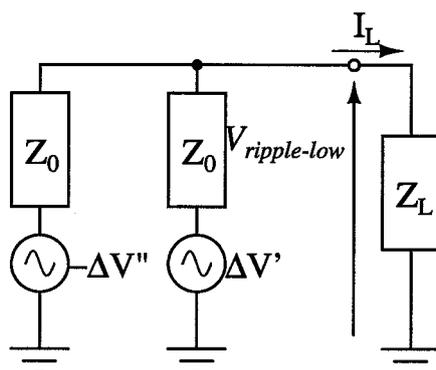


図 3.9 図 3.7 の回路の擬似小信号等価モデル

している. 式 (3.9) と同様に, 低リップル AC-DC 変換電源回路の出力リップル  $V_{\text{ripple-low}}$  は

$$V_{\text{ripple-low}} = \frac{\frac{\Delta V' - \Delta V''}{2}}{1 + \frac{Z_0}{2Z_L}} \quad (3.10)$$

として得ることができる.

式 (3.9) と式 (3.10) を比較すると, 低リップル AC-DC 変換電源回路においては上段チャージポンプ回路におけるリップル ( $\Delta V'$ ) と下段チャージポンプ回路におけるリップル ( $\Delta V''$ ) が打ち消し合い出力端子におけるリップル電圧が低減されることがわかる. この条件下において, 図 3.1 の低リップル AC-DC 変換電源回路の平均出力電圧  $V_{\text{out-low}}$  は下式のように導出できる.

$$\overline{V_{\text{out-low}}} = \frac{2V_x - 2V_D(1 + \frac{C_{D1}}{C_1})}{1 + \frac{C_{D1}}{C_1} + \frac{1}{4C_1 R_L f}(2 + D_{\text{off}} \frac{C_1 + C_{D1}}{C_T})} \quad (3.11)$$

ここで,  $C_T$  は下記のように定義される.

$$C_T \triangleq C_3 + C_{D3} + \frac{C_L}{2} \quad (3.12)$$

さらに, 提案回路の出力電力は

$$P_{\text{out}} = \overline{V_{\text{out-low}}} \overline{I_L} = \frac{\overline{V_{\text{out-low}}}^2}{R_L} \quad (3.13)$$

として表すことができる. 従来は回路をより高出力電力化するためには入力信号の周波数  $f$  もしくは出力キャパシタ  $C_3$  をより大きな値にす

ることが有効であると考えられていたが、これらと同様に初段キャパシタ  $C_1 = C_2$  を大きくすることも有効である。

### 3.2.3. HSPICE による回路シミュレーション

提案回路の動作と性能を Infineon 社 [21] 提供の BAT15-099 ショットキーダイオードモデルを用いた HSPICE シミュレーションにおいて確認した。素子値と BAT15-099 の素子パラメータを表 3.1 と表 3.2 に示す。

表 3.1 シミュレーションで使した素子値

$C_1, C_2$	22pF
$C_3$	68pF
$R_{hf1}, R_{hf2}$	470m $\Omega$
$R_{leak1}, R_{leak2}$	528 $\Omega$
$C_{p1}, C_{p2}$	300fF

表 3.2 BAT15-099 の素子パラメータ

Forward ON voltage $V_D$	0.224V
Breakdown voltage $V_B$	4.2V
ON resistance $R_{ON}$	5 $\Omega$
OFF resistance $R_{OFF}$	15M $\Omega$
Junction capacitance $C_j$	138.5fF
Available frequency	12GHz

$4V_{p-p}$  の正弦波入力信号  $V_x$  の周波数を 1MHz から 100MHz まで変化させたときの平均出力電圧  $\overline{V_{out-low}}$  とリップルの peak-to-peak 電圧  $V_{ripple}$  を図 3.10 に示す。

図 3.11 に 13.56MHz の入力正弦波信号の振幅を変化させたときの  $\overline{V_{out}}$  と  $V_{ripple}$  を示す。ショットキーダイオードのブレイクダウン電圧  $V_B$  が 4.2V で順方向 ON 電圧  $V_D$  が 0.2V であるため、 $\overline{V_{out-low}}$  は約 4.0V で飽和している。

$C_3$  における電圧変動、すなわち出力端子における電圧リップルは、主としてダイオードのリーク電流と負荷電流によって生じるものである。図

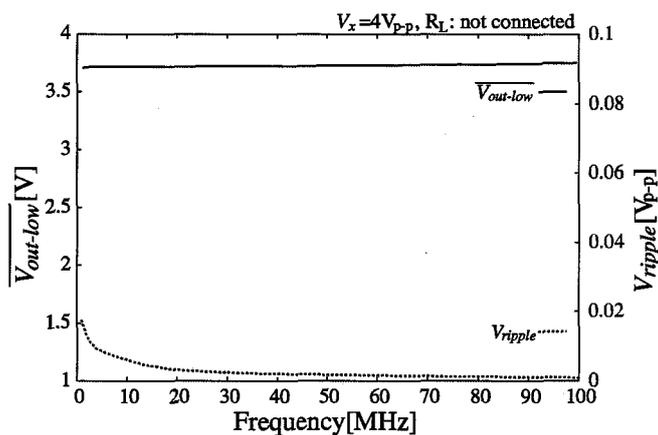


図 3.10 入力信号の周波数に対する  $\overline{V_{out-low}}$  と  $V_{ripple}$

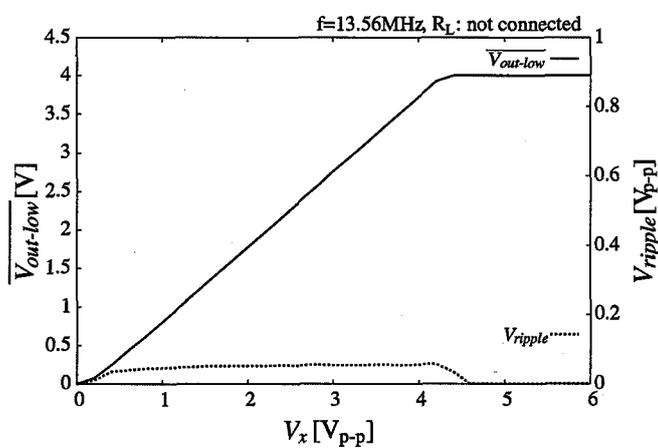


図 3.11 入力電圧  $V_x$ (peak-to-peak 値) 対  $\overline{V_{out-low}}$ ,  $V_{ripple}$  特性

3.10, 図 3.11 のシミュレーションにおいては, ダイオードのリーク電流に起因するリップルのみを測定するために, 負荷は接続していない。

負荷抵抗  $R_L$  が変化したときの  $\overline{V_{out-low}}$  と  $V_{ripple}$  について, 式 (3.11) より導出した理論値および HSPICE によるシミュレーション結果を図 3.12 に示す。  $R_L \geq 500k\Omega$  において, 出力電圧  $\overline{V_{out-low}}$  は  $R_L$  に対しほぼ一定である。

ここで, 図 3.12 中の  $\overline{V_{out-low}}$  の理論値は,  $C_1 = C_2, C_{D1} \simeq C_{D2}, C_{D1} \ll C_1,$

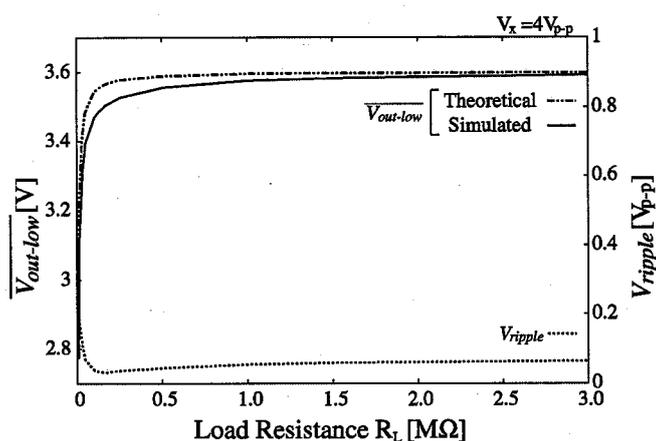


図 3.12 負荷抵抗  $R_L$  対  $\overline{V_{out-low}}$ ,  $V_{ripple}$

$C_1 \ll C'_T$ , および  $D_{off} \simeq 1$  であると仮定したときの式 (3.11) より得た値である。図 3.12 より, 5.7%以上の精度で  $\overline{V_{out-low}}$  のシミュレーション値と理論値が一致していることがわかる。

負荷抵抗に対する提案回路の電力変換効率 PCE と出力電圧におけるリップル含有率を図 3.13 に示す。ここで, PCE は平均出力電力を平均入力電力で割った値 ( $P_{out}/P_{in}$ ) で定義され, またリップル含有率は  $V_{ripple}$  を  $\overline{V_{out-low}}$  で割った値である。ここで, 最大 PCE は 90.2% であり, また最大出力電力はリップル含有率 2.3% 以下において  $367\mu\text{W}$  であった。

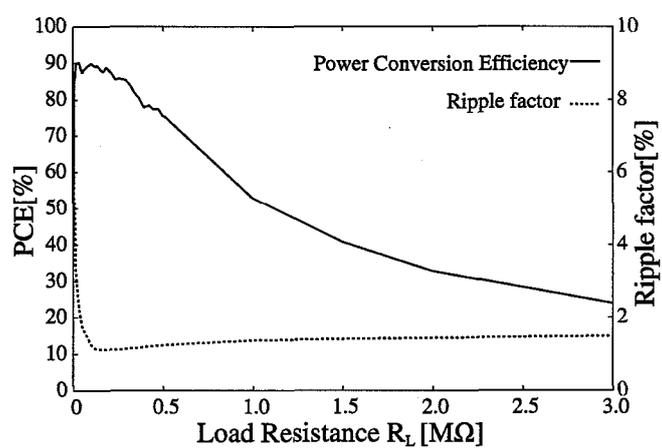


図 3.13  $R_L$  対電力変換効率 PCE, リプル含有率

### 3.3. 提案回路のプリント基板実装とその実験結果

#### 3.3.1. 実装レイアウト

ショットキーダイオードの実装にはメタル-半導体基板間に非常に薄い酸化膜層を必要とするため、通常のCMOSプロセス上で素子間の整合性が高いショットキーダイオードを実装することは非常に困難である。したがって、一般的なCMOSプロセスに実装したショットキーダイオードの特性は、素子間に大きなばらつきが生じてしまう。しかし、提案回路は各段において発生するリップルの位相が $180^\circ$ 異なることを利用しリップルを打ち消し合わせて低減する手法をとっているため、素子間の整合性の低下は直接的にリップル低減率を低下させてしまう。そのため、提案回路のリップル低減手法を最大限活用するためには、提案回路の構成には整合のとれたダイオードを使用する必要がある。

上記の理由から、図3.1の提案回路の2次コイルを除いた部分(図3.14参照)をBAT15-099ショットキーダイオードとチップキャパシタを用いてプリント基板上に実装した。なお、図3.14に示すとおりBAT15-099は2つのショットキーダイオードを備えている。

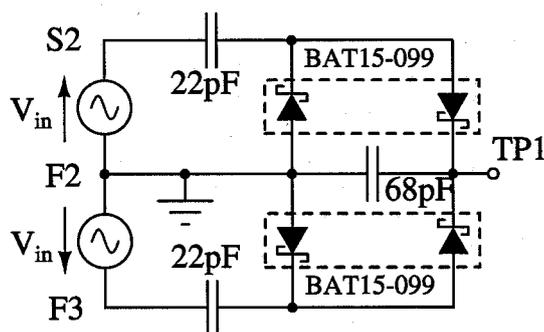


図 3.14 実装したプリント基板の回路レイアウト

実装したプリント基板の写真を図3.15に示す。このプリント基板は4層構造からなり、そのうち一層はメタルを一面に張ったGND層として

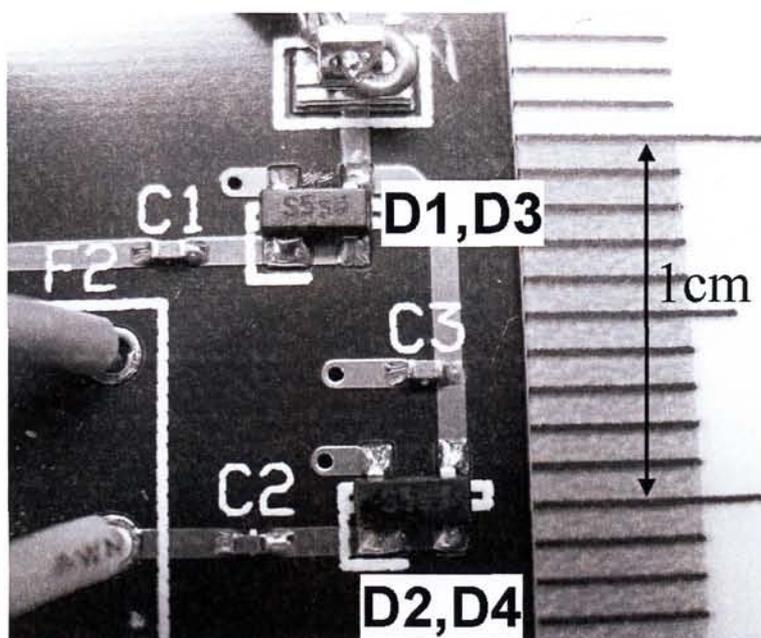


図 3.15 提案回路を実装したプリント基板の写真

### 3.3.2. 実験結果

本実験において、入力信号は任意波形発生器 YOKOGAWA AG4100 を用いて生成し、また測定にはデジタルオシロスコープ DL1540 を用いた。

図 3.16 に入力信号の周波数を 1MHz から 10MHz まで変化させたときの  $V_{\text{out-low}}$  と  $V_{\text{ripple}}$  を示す。ここで、それぞれ無負荷時、 $1\text{M}\Omega$  負荷時において測定し、また入力信号の振幅は  $2\text{V}$  ( $4\text{V}_{\text{p-p}}$ ) である。図 3.16 において、55MHz-70MHz においてデータが欠落しているが、これは、基板が共振したことにより入力インピーダンスが著しく低下し、任意波形発生器において所望の入力電圧が得られず測定できなかったものである。この現象は GND 層および配線レイアウトに起因するものと推測できるため、55MHz-70MHz で提案回路を使用する場合はプリント基板レイアウトの再設計が必要である。図 3.17(上: $V_{\text{in}}$ , 下: $V_{\text{out}}$ ) にも示すとおり、図 3.14 の回路は 13.56MHz で振幅 2V の交流信号をリップルを含まない DC3.4V に変換することができた。本実験において、入力信号周波数が 50MHz 以上においてはリップルの peak-to-peak 値が無視できないほど大きくなっているが、

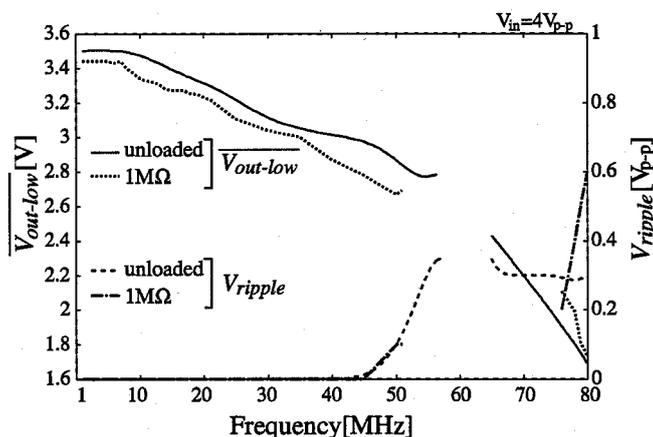


図 3.16 図 3.14 の PCB で実際に測定した入力周波数対  $\overline{V_{out-low}}$ ,  $V_{ripple}$  特性

リップル周波数が入力信号の周波数と等しいことから、このリップルは入力信号が GND 層にもれ込んだものであると考えられる。この問題は GND 層と入力端子との間の寄生容量を低減するレイアウトを行うことにより解消されることが考えられる。

図 3.18 に負荷抵抗を  $5k\Omega$  から  $15k\Omega$  に変化させたときの  $\overline{V_{out-low}}$  と  $V_{ripple}$  を示す (入力周波数  $f:13.56\text{MHz}$ )。負荷が  $15k\Omega$  以下のとき、図 3.19 に見られるとおりリップルが非常に大きくなってきている。リップルの周波数が入力信号の第 2 次高調波と等しいことから、このリップルは提案回路の上段部、下段部それぞれで発生するリップルの波形が非対称となり、リップルの打ち消し合いが不完全になってしまったため生じたものである。ここで、各段におけるリップルの立ち上がり時間はダイオードの ON 抵抗に依存し、立ち下がり時間は負荷抵抗に依存する。そのため  $R_L$  が増加するとともにリップルの振幅も大きくなる。

リップル含有率 1.1% 以下において、最大出力電力は  $R_L = 30k\Omega$ ,  $V_{out-low} = 3.05\text{V}$  のとき  $310\mu\text{W}$  であった (負荷電流: 約  $110\mu\text{A}$ )。負荷が  $510k\Omega$  以上のとき、この回路はリップルを十分に低減した  $3.3\text{V}$  の直流電圧を出力することができた。

$V_{in} = 4V_{p-p}@13.56\text{MHz}$ ,  $R_L = 30k\Omega$  のとき、式 (3.11) から導出した理論値とシミュレーション結果および実験結果は、それぞれ  $3.41\text{V}$ ,  $3.32\text{V}$ , および

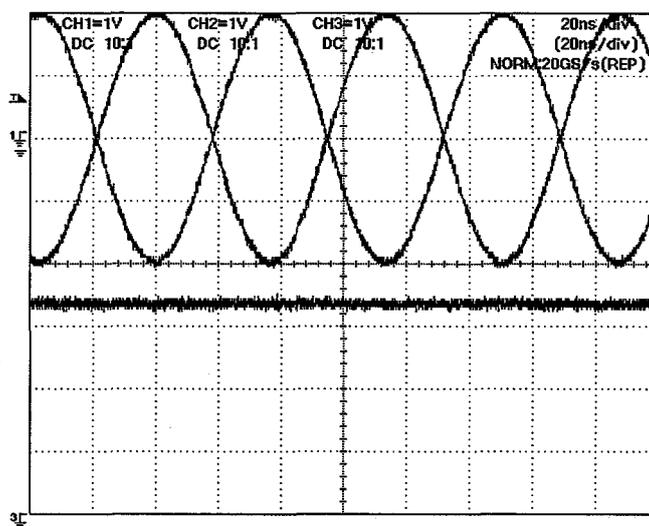


図 3.17  $V_m$  と  $V_{out}$  のオシロスコープ画像 (無負荷,  $V_{in}$ :  $4V_{p-p}$ @13.56MHz)

3.05Vであった. 図 3.20 に示すとおり, リプルは  $20mV_{p-p}$  以下にまで低減されている. なお, 図 3.20 の下部トレースの測定レンジは  $10mV/dev$  としている.

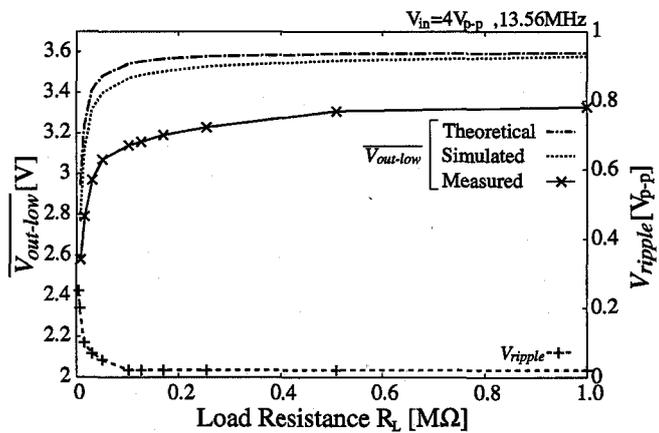


図 3.18 負荷抵抗対  $\overline{V_{out-low}}$ ,  $V_{ripple}$  特性

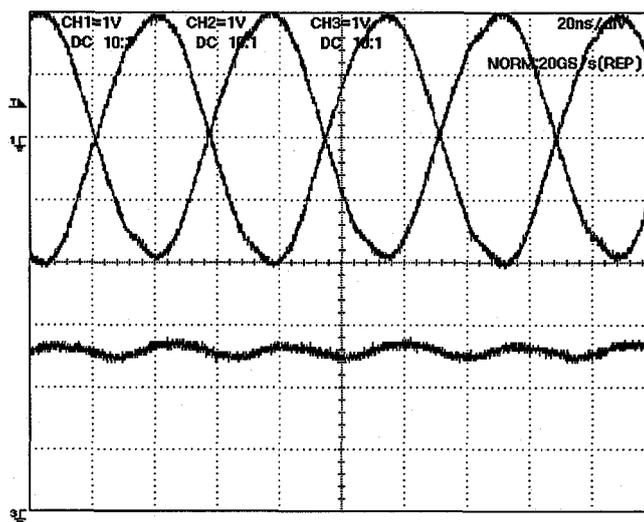


図 3.19  $V_m$  と  $V_{out}$  のオシロスコープ画像 ( $R_L=7.5k\Omega$ ,  $4V_{p-p}@13.56MHz$ )

$V_{in}$ :

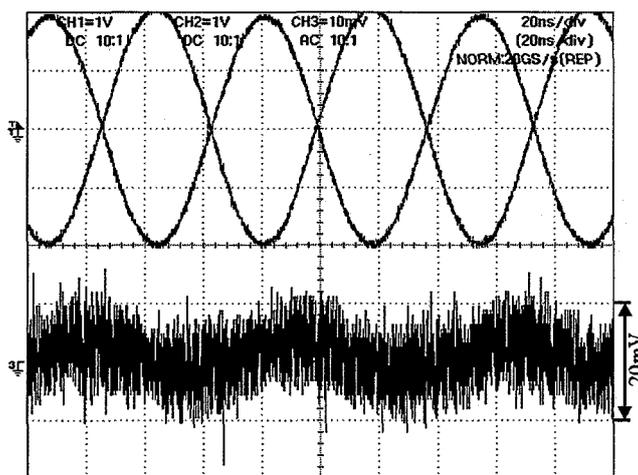


図 3.20  $V_m$  と  $V_{out}$  のオシロスコープ画像 ( $R_L=1M\Omega$ ,  $V_{in}: 4V_{p-p}@13.56MHz$ )

### 3.4. 先行研究との比較検討

表 3.3 他の AC-DC 変換回路との比較

Property	This work	Kim <i>et al.</i> [14]	Bedeschi <i>et al.</i> [15]	Balachandran <i>et al.</i> [22]	Lam <i>et al.</i> [13]
Core rectifier	Cockcroft-Walton multiplier	Dickson charge pump	Dickson charge pump	Cockcroft-Walton multiplier	original (full-wave rectifier based)
Implementation	on-board	on-chip	on-chip	on-chip	on-chip
Dissipative elements	4 Schottky diodes	more than 40 MOSFETs	96 MOSFETs + 24 inverters	12 Schottky diodes	40 MOSFETs
PCE	90%	70%	NA †	NA	87%
Ripple factor	1.1%	0.75%	0.30%	13.6%	9.3%
$V_{ripple}$	<20mV <sub>p-p</sub>	≤33.8mV <sub>p-p</sub>	≤16mV <sub>p-p</sub>	<0.3V <sub>p-p</sub>	<0.3V <sub>p-p</sub>
Frequency	1-50MHz ††	400-600kHz	15.6MHz	900MHz	13.56MHz
Input amplitude	2V	3.3V	1.8V	1.8V	3.5V
$V_{out}$	3.4V	4.5V	5.5V	2.2V	3.2V
Max. output power (Output capacitor)	310μW (68pF)	135mW (330nF)	1.99mW (200pF)	110μW (250pF)	5.76mW (200pF)

† NA: not available †† Target frequency is 13.56MHz

表 3.3 において、提案回路と他の類似した研究について比較を行う。

文献 [14] の AC-DC 変換回路は、高出力電圧かつ低リップルが要求される USB-OTG(On-The-Go) への応用のために設計されたものである。高い出力電圧を得るために非常に大きい容量 (330nF) のオフチップキャパシタが用いられている。リップルを十分低減する目的で自動昇圧電圧制御法が用いられているため、回路を構成する素子数が非常に多く、そのため電力変換効率 PCE も 70% 程度である。また、同様の理由で動作周波数が低い。

文献 [15] の AC-DC 変換回路は EEPROM の消去/書き換え用の回路として設計されたものであり、8 段対称構造によるリップル低減機構を用いることにより非常に低いリップル含有率を得ることができている。このリップル低減機構は、コンセプトとしては提案回路のリップル低減法と非常に近いものであるが、回路中に飽和領域で動作する MOSFET の数が非常に多く消費電力が比較的に高くなってしまっており、PCE も低い値である。さらに、180° 位相が異なる入力信号を得るために基板実装マイクロ結合コイルを用いているという点で提案回路に新規性があり、高効率化・高周波化に適していると言える。

一方、[13] と [22] の回路は RFID タグの電源回路として設計されたものであり、用途としては提案回路に非常に近いものである。しかし、十分なリップル低減がなされておらず一般的な全波整流回路と同程度のリプ

ル含有率であるため、提案回路が目的とするような生体信号計測機能をもったRFIDタグの電源回路への応用には向いていない。

表 3.3 に示すとおり、提案回路の長所としては、高い電力変換効率PCE、少ない構成素子、そして低いリップル含有率が挙げられる。加えて、より大きい  $C_1$ 、 $C_2$  を使用することでさらなる高出力電力を得ることができる。基板実装であるため占有面積が大きい、 $3\text{mm}\times 12\text{mm}$  の領域内に実装可能であり、一般的な受動型RFIDタグの要求仕様を十分に満たすことができると考える。センサ等を搭載する高機能RFIDタグの動作には数十～数百ミリワットの電力を必要とすることが予想されることから、提案する電源回路の実装はオフチップであることが望ましい。

ショットキーダイオードの代わりに文献 [13, 15] にあるようなダイオード接続のMOSFETやMOSFETスイッチを用いることによって、完全CMOS版の提案回路を  $0.35\mu\text{m}$  もしくは  $0.25\mu\text{m}$  CMOS プロセスにおいて実装することが可能であり、オンチップキャパシタのみを使用しても  $13.56\text{MHz}$  で数ミリワット程度の出力電圧を得ることができると考えられる。

### 3.5. 結論

本章では、生体信号を計測する高機能受動RFIDタグの電源回路への応用を目的とした低リップルで高効率のCockcroft-Walton型AC-DC変換電源回路を提案した。提案回路の原理と動作を示す理論式が示され、それらの正確性がシミュレーションによって確認された。また、プリント基板に実装した提案回路の実験結果により提案回路の動作と本章で示された理論の有効性が確認された。提案回路は  $4V_{p-p}$  の入力交流電圧において、リップルが非常に小さい  $3.3V$  の直流電圧をほぼ一定に  $510k\Omega$  以上の負荷へと供給することができる。最大出力電力は負荷  $30k\Omega$  で出力電圧  $3.05V$  のとき  $310\mu\text{W}$  であった。章中で示された理論式、シミュレーション結果、および実験結果は優れた精度の一致をみることができた。

## 第4章 IDコード生成回路

### 4.1. 導入

提案システムの埋め込みを想定している遺伝子改変マウスは、数万～数百万匹のマウスから個体識別を行わなければならない。また、タグが生体埋め込みのため使い捨てであることを考慮すると、数億以上のIDコードの割り当てが必要になると考えられる。そこで、本システムでは64ビットのIDコードをタグに付している。これにより約 $10^{19}$ 匹のマウスを識別可能になっている。

さらに、提案する高機能RFIDタグにおいては、IDコードと心拍信号からなる信号パケットを送信する必要があるため、上記のIDコードを生成する機能に加え、IDコードの出力完了後に出力を心拍信号へと切替える機能と、信号パケットを所望の時間出力した後タグの機能をリセットし再度信号パケットの出力を繰り返すタイマー機能が必要である。なお、本システムにおいては心拍信号の出力時間を約2秒間に設定している。このような機能は従来のRFIDタグには実装されていない上に、提案するRFIDタグ内には他の回路(心拍検出回路, Txモジュール等)も実装されるため提案回路がタグ内で占められる面積は従来のRFIDタグより小さい。

また、タグが信号パケットを送る一周期(約2秒間)において、ほとんどの時間で心拍信号の出力を行っており、IDコードが出力されている時間は非常に短い。タグ全体の低消費電力化のためにも、また一周期の積算電力量の低減のためにも、心拍信号出力時はタイマー機能の実現に不要なブロックは停止させる電力マネージメント機構が必要である。

そこで本章においては、IDコードをヘッダビットとする心拍パルス信号のパケットを生成する機能をもった低消費電力・小面積のCMOSデジタル集積回路を実現することを目標としている。

## 4.2. 構成

提案する ID コード生成回路 [1, 2, 3, 4] は, 各タグ毎に割り振られたマウスの個体を識別する 64 ビットの ID コードを生成し, また信号処理ブロックの出力信号を切替える ID コード/生体信号バス切替えスイッチを制御する機能を有している. この ID コード生成回路の回路図を図 4.1 に示す.

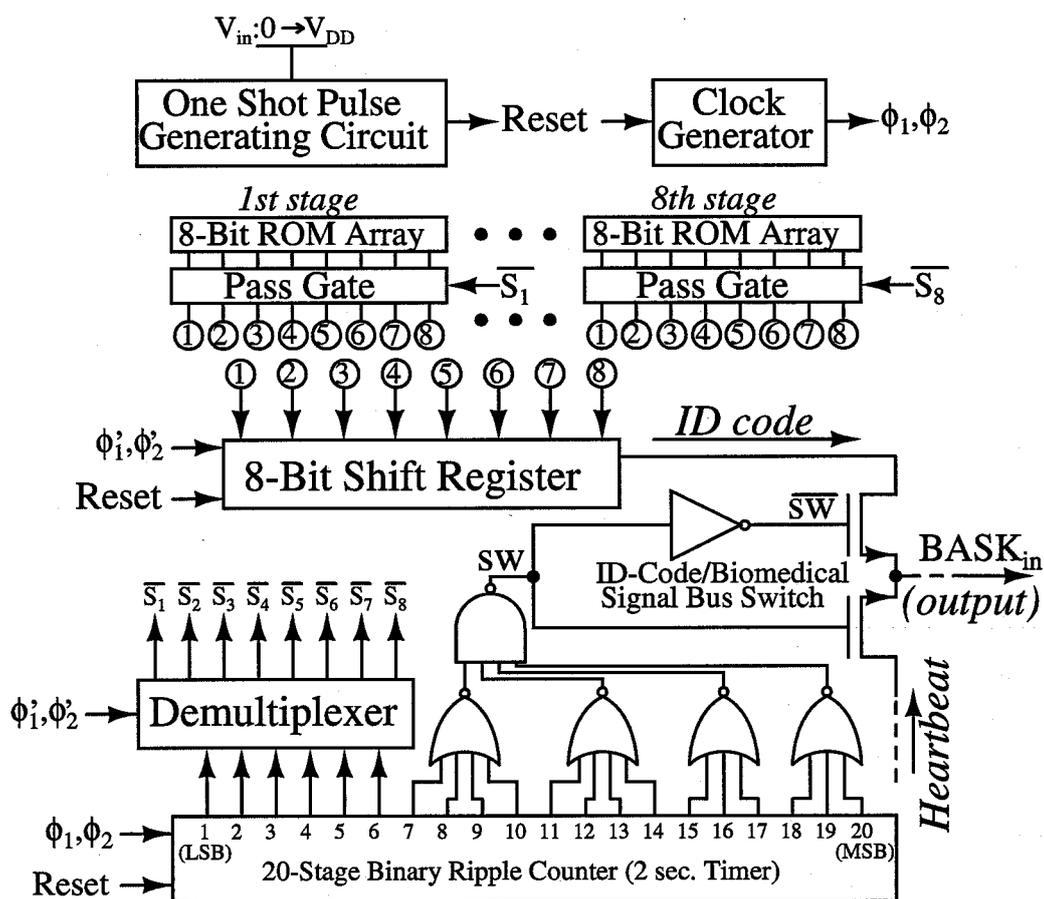


図 4.1 ID コード (個体識別符号) 生成 CMOS 論理回路

提案回路は主に CMOS 論理回路を基本要素としており, 8 ビット  $\times$  8 段の 64 ビット ROM, 8 ビットシフトレジスタ, 20 ビットバイナリカウンタ (2 秒タイマー), デマルチプレクサ, クロック発生回路, 初期化用単発パルス発生回路, ID コード/生体信号バス切替えスイッチ, 電力マネージメントブロックから構成されている.

本回路においては、64ビットヒューズROMに蓄えられたIDコード情報を8ビットシフトレジスタで読み込むために、バイナリカウンタとデマルチプレクサによってROM-シフトレジスタ間の接続を切り換えて、1段目の8ビットROM、2段目の8ビットROMと順次シフトレジスタに読み込んでゆくという機構を用いている。

図4.1において、 $\phi_1$ 、 $\phi_2$ はクロック発生回路において生成された位相が $180^\circ$ 異なる重なり合わないクロック信号だが、 $\phi_1$ 、 $\phi_2$ は電力マネジメントブロックの出力クロック信号である。この信号と電力マネジメント機能の動作原理については、後の電力マネジメント機構の節において述べる。

#### 4.2.1. 初期化用単発パルス発生回路(リセット回路)

提案する高機能RFIDタグは、基本的にスリープモードにあり、電力が外部から供給されたとき(マウス用)、もしくは外部から送信されたIDコードが内部のものと一致したとき(ヒト用)に、タグが起動する。この場合、回路の初期状態は不確定であり、このまま電源電圧 $V_{DD}$ が供給されると誤動作をしてしまう恐れがある。したがって、十分な電源電圧が供給されると同時にリセット信号をIDコード生成回路へと送信し、回路を初期化する機構が必要となる。そこで、電源電圧 $V_{DD}$ の立ち上がりをトリガした電圧を単発パルス発生回路へと入力し、それにより電源電圧が立ち上がると同時にリセット信号である単発パルスを発生し、個体識別符号生成回路へと入力する機構を用いている。初期化用単発パルス発生回路を図4.2に示す。

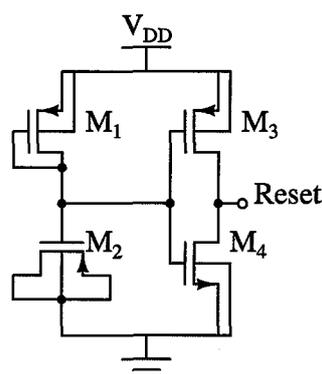


図 4.2 初期化用単発パルス発生回路

提案回路はダイオード接続のP型MOSFET( $M_1$ )とMOSキャパシタ( $M_2$ )からなるRC遅延回路と $M_3$ ,  $M_4$ からなるCMOSインバータにより構成されている。まず、電力供給が開始され電源電圧 $V_{DD}$ が立ち上がると、RC遅延回路においては立ち上がりが遅延されておりインバータの入力電圧はLowであるため、 $V_{DD}$ の立ち上がりに従ってCMOSインバータの出力(Reset)も立ち上がる。その後、RC遅延回路によって遅延された $V_{DD}$ の立ち上がりがインバータの入力段に表れインバータのしきい電圧を超えるとReset信号はLowとなる。このようにして、電源電圧 $V_{DD}$ の立ち上がりによって単発パルス(Reset信号)が発生される。

なお、この単発パルスのパルス幅はRC遅延回路の時定数とCMOSインバータのしきい電圧によって設定されるが、このパルス幅は後述のシフトレジスタやカウンターのラッチ部の寄生容量に蓄積された初期電荷を放電するのに十分な時間である必要がある。したがって、提案回路ではシフトレジスタとカウンターのレイアウト設計に依存する配線容量等も考慮し、このパルス幅を数マイクロ秒程度に設定している。

#### 4.2.2. シフトレジスタ

ROMに蓄えられた情報(IDコード)を二値の電圧信号に変換するために、本システムではスタティックシフトレジスタが用いられている。図4.3にスタティック1ビットシフトレジスタの構造を示す。図4.3から分かるように、提案するシフトレジスタはCMOSインバータを基本要素とした簡素な構造となっている。このスタティック1ビットシフトレジスタを

直列に8段接続することによって、8ビットシフトレジスタを実現している。ここで、図4.3中の $\phi_1$ 、 $\phi_2$ は位相が $180^\circ$ 異なる重なり合わないクロック信号である。

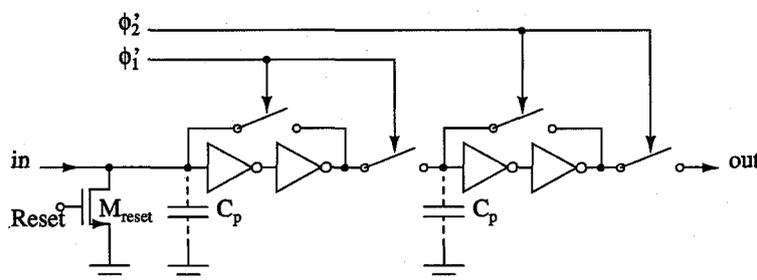


図 4.3 スタティック1ビットシフトレジスタ(1クロック遅延回路)

まず、タグが起動し電源が供給されると Reset 信号により  $M_{reset}$  が ON となり、入力段の寄生容量  $C_p$  に保持された初期電荷が放電されインバータ2段とスイッチで構成されるラッチ部が初期化される。その後、 $\phi_1$  が High になるまでの間 ROM の情報が一段目のラッチに読み込まれ、 $\phi_1$  が High になるとラッチが ON するため ROM との接続が断たれても読み込まれた値がラッチに保持される。これと同時に保持された値は次段のラッチ部で読み込まれ、 $\phi_1$  が Low、 $\phi_2$  が High となって前段のラッチ部との接続が断たれても値が保持され、出力端子 out へと出力される。このように値を読み込む動作とその値を保持し出力する動作とを交互に繰り返すことによって、入力端子 in より入力された ROM に蓄えられた値は1クロック ( $2\mu s$ ) だけ遅延され出力端子 out に出力される。

このように ROM からの入力を1クロック遅延させるシフトレジスタを図4.4のように8段並列に接続することで8ビットシフトレジスタを構成する。

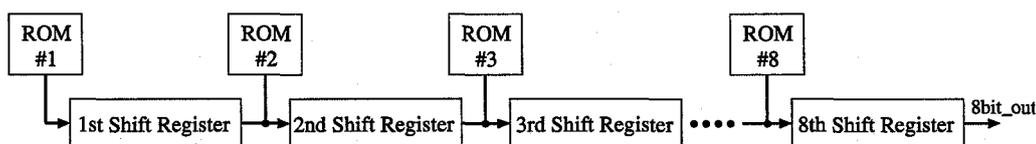


図 4.4 8ビットシフトレジスタ接続ブロック図

ROM からの入力は各段で1クロックずつ遅延されるため、出力端子

8bit\_out には ROM #8 のデータ, ROM #7 のデータと順次出力されてゆき, 最終的に ROM #1 に蓄えられたデータは 8 クロック分遅延されて出力される. このような機構を用いることによって 8 ビットの ROM に並列に蓄えられたデジタルデータが時間的に連続な電圧波形となって出力することができる.

なお, このシフトレジスタで採用しているスタティック方式の他にダイナミック方式がある. これらの両方式はシフトレジスタ内のラッチ部で値を保持する方式が主として異なっており, 論理回路で値を保持するスタティック方式に対しダイナミック方式はキャパシタ等の容量性負荷に蓄電することで値を保持するもので, シフトレジスタを構成する場合はダイナミック方式の方が低消費電力である. しかし, 提案システムにおいてはシフトレジスタでは最大 128 マイクロ秒, カウンタでは最大 2 秒の間ラッチで値を保持する必要がある, ダイナミック方式では容量性負荷からのリーク電流により長時間の値の保持が難しく試作 IC の実験段階で回路の動作に不具合が生じた. そのため, 提案する ID コード生成回路ではシフトレジスタおよびカウンタにスタティック方式を採用している.

### 4.2.3. バイナリカウンタ

スタティック 1 ビットバイナリカウンタを図 4.5 に示す. これは, 図 4.3 で示したシフトレジスタを基本とした構造となっている.  $\phi_2$  クロックをカウントパルスとし, クロックの立ち上がりで出力の値が反転する T フリップフロップ回路のような動作をする. この 1 ビットバイナリカウンタを直列に 20 段接続し, 前段の出力を次段の  $\phi_1$  クロック, 前段の出力を反転したものを  $\phi_2$  クロックとして用いることで, 20 ビット非同期バイナリカウンタを実現している.

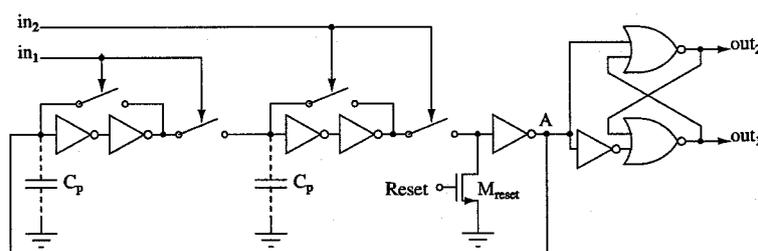


図 4.5 スタティック 1 ビット バイナリ カウンタ

1 段目のカウンタにおいて入力信号  $in_1$ ,  $in_2$  はそれぞれ  $\phi_1$ ,  $\phi_2$  である。この 1 段目のカウンタにおいて、タグが起動し Reset 信号によりカウンタがリセットされると、回路初段のラッチ部には High が入力される。  $in_1(=\phi_1)$  が High になると次段のラッチ部に値が読み込まれ、  $in_2(=\phi_2)$  が High になりラッチから High が出力されることで点 A の電位は Low になる。その後同様の動作を繰り返し再び  $in_2(=\phi_2)$  が High になることで点 A の電位は反転し High となる。このように、  $in_2$  の立ち上がり時に出力電圧が反転するため、点 A の電位は  $in_2$  の 2 倍の周期をもつクロック信号となる。このようにして得られた入力信号の 2 倍の周期をもつクロック信号を点 A 後段の回路により位相が  $180^\circ$  異なる重なり合わないクロック信号に変換し ( $out_1$ ,  $out_2$ )、次段の入力信号とする。

なお、点 A の後段に接続された位相が  $180^\circ$  異なる重なり合わないクロック信号を生成する回路は、一般的には図中の NOR ゲートの後段にインバータを挿入しその遅延によってクロックの重なり合わないデッドタイムを調整するが、提案回路においては NOR ゲート後段の寄生容量のみで数ナノ秒程度の遅延があり、十分なデッドタイムが得られていることからインバータは挿入していない。

こうして 1 段目のカウンタではマスタークロック  $\phi_1$ ,  $\phi_2$  の 2 倍の周期のクロックを出力、2 段目ではさらにその 2 倍の周期のクロックを出力と繰り返してゆくことで、20 段目のカウンタの出力にはマスタークロックの  $2^{20}$  倍の周期をもつクロック信号を得ることができる。ここでマスタークロックの周波数は 500kHz となるよう設計しており、そのクロック信号の周期は 2 マイクロ秒であるため、20 段カウンタの出力クロックの周期はその  $2^{20}$  倍の 2.097152 秒となる。このようにして 20 段バイナリリプルカウンタを約 2 秒間をカウントするタイマーとして動作させている。

なお、カウンタ7段目から20段目までの出力の論理演算を図4.1に示すように行い、それにより得られた信号で出力切替えスイッチを駆動することで、2秒間のうち始めのIDコードのビット長 ( $2\mu\text{s} \times 2^6$ ) の時間だけIDコードが出力され、残りの時間心拍信号が出力される。

#### 4.2.4. 電力マネージメント機構

図4.6に提案するIDコード生成回路が採用する電力マネージメント機構の回路図を示す。

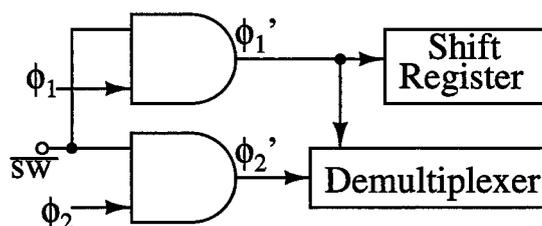


図 4.6 電力マネージメント機構

図中の  $\phi_1$ ,  $\phi_2$  はクロック発生回路で生成した  $180^\circ$  位相が異なる重なり合わないクロック信号であり、 $\overline{\text{sw}}$  は出力切替え信号 (IDコード出力時:High, 心拍信号出力時:Low) である。

この回路は  $\overline{\text{sw}}$  信号が High のとき、すなわち IDコード出力時は正常にそれぞれ  $\phi_1$ ,  $\phi_2$  を  $\phi_1'$ ,  $\phi_2'$  に出力するが、 $\overline{\text{sw}}$  信号が Low のときは  $\phi_1'$ ,  $\phi_2'$  ともに Low (0V) を出力する。ここで、後段のシフトレジスタおよびデマルチプレクサは CMOS インバータを基にした論理回路により構成されているため、論理値が変化する際のインバータの貫通電流による電力消費が主である。そこで、提案する電力マネージメント機構ではシフトレジスタおよびデマルチプレクサの動作が不要な間はクロック信号の入力を停止し貫通電流による電力消費をなくすことで電力マネージメントを行っている。

従来技術においては回路への電力供給を遮断し電力マネージメントを行う手法もとられていることがあるが、提案する IDコード生成回路においてこの手法を用いると、タグの次回起動時にシフトレジスタの初期状態が適切にリセットされず動作に不具合が生じるためこの手法は

採用していない。

0.35 $\mu\text{m}$  CMOSプロセスでの実装を想定したHSPICEシミュレーションにおいては、提案するパワーマネージメント機構の採用によりタグの一稼働周期(2秒)における平均消費電力が675 $\mu\text{W}$ から418 $\mu\text{W}$ に(40%)、積算電力量が1.14mJから0.88mJに(23%)低減された。

なお、提案するIDコード生成回路の主たる電力消費は20段バイナリリプルカウンタ(2秒タイマー)で生じているが、この回路はタグの稼働時間および出力信号の切替えを制御しているブロックであり、電力マネージメントのために停止することはできない。しかし、カウンタのカウンタが次段に移行した後のカウンタについては部分的に停止し消費電力を低減することが可能であるため、回路のさらなる低消費電力化のためにはこのようなカウンタのカウンタに応じた部分制御による電力マネージメント手法の導入が有効であると考えられる。

### 4.3. 実験結果

提案するIDコード生成回路を $0.25\mu\text{m}$  2-poly 5-metal CMOSプロセスを用いて実装した. コア領域のチップ占有面積は, タテ $180\mu\text{m}$  × ヨコ $1000\mu\text{m}$ であった. 図4.7に試作したチップの顕微鏡写真を示す.

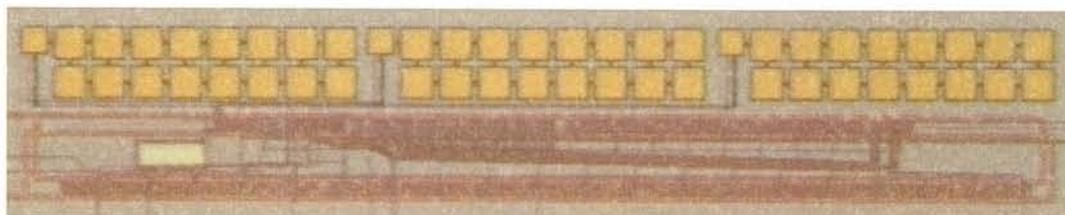


図 4.7 IDコード生成回路のチップ写真

無線給電を想定し, 電源電圧が $0\text{V}$ から $3\text{V}$ まで立ち上がったときの出力電圧を図4.8に示す.

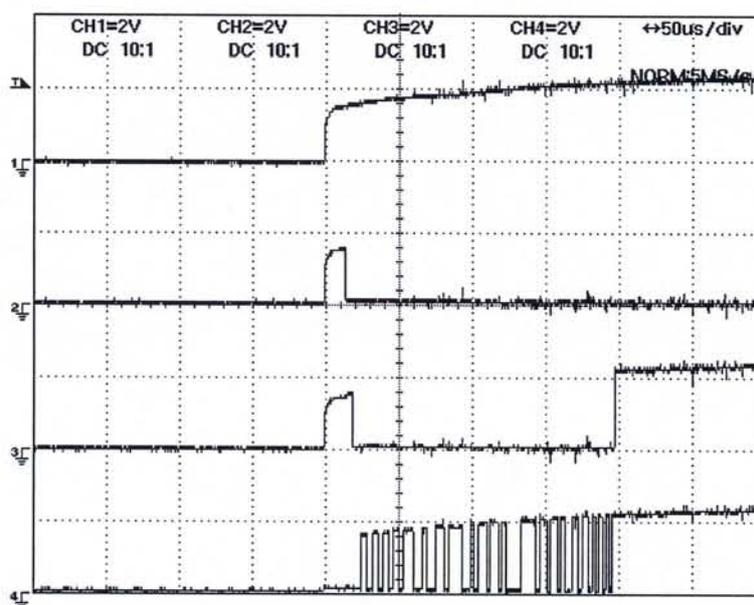


図 4.8 電源電圧立ち上がり時の出力電圧

なお, 図においてCH1は電源電圧, CH2は単発パルス発生回路の出力

電圧 Reset, CH3 は出力信号切替スイッチの制御信号 SW, CH4 は出力信号である。ここで、図中の電源電圧の表示に表れているように、電源電圧を立ち上げる際に使用したスイッチの機構により電源電圧が定常状態になるまでに非常に時間を要しているため、リセット信号のパルス幅が設計より長くなっているが、実際に RFID タグに実装した際には電源電圧は数十ナノ秒～数マイクロ秒程度で定常状態に達することが予想されるため、このような問題は生じないと考えられる。

回路が定常状態で動作しているときの出力電圧を図 4.9 に示す。

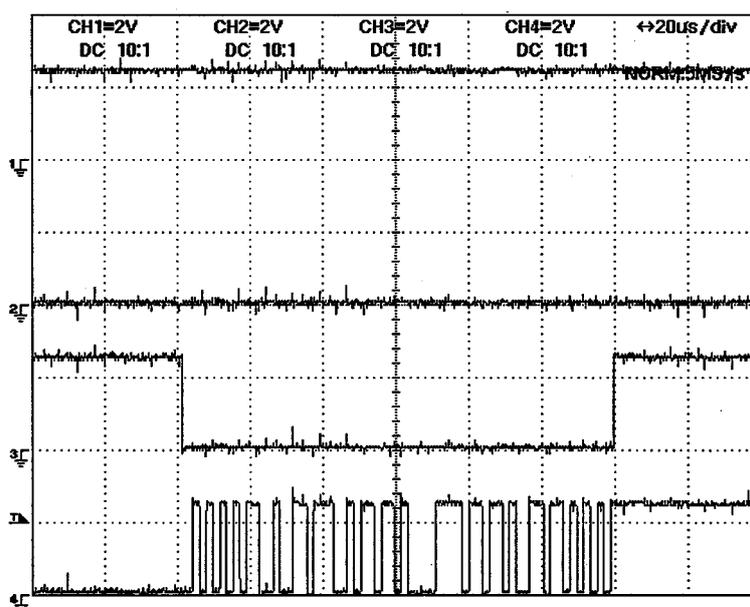


図 4.9 定常状態における出力電圧

なお、図 4.8 と同様に CH1 は電源電圧, CH2 は単発パルス発生回路の出力電圧 Reset, CH3 は出力信号切替スイッチの制御信号 SW, CH4 は出力信号である。設計した 64 ビットの ID コード「10101010 11001001 10111001 01101101 00110110 10101010」が正常に出力されていることが確認できた。

また、ID コード生成回路全体の消費電力は  $418\mu\text{W}$  であった。一般的な RFID タグの消費電力が  $50\sim 150\mu\text{W}$  程度であることから考えると提案回路の消費電力は非常に大きいですが、電力マネージメントの節で述べたとおり提案回路の電力消費は大部分が 20 段カウンタ部でなされており、これによる消費電力の増加は提案する RFID タグが一般的な RFID タグに

はない付加的な機能をもっていることに起因するものである。

#### 4.4. 結論

本章では、タグを識別するための64ビットのIDコードを生成するIDコード生成CMOS論理回路を提案した。提案回路はフューズメモリが保持する64ビットの情報を時間的に連続なデジタル信号に変換する機能と、心拍信号とIDコードを切り替える出力信号切替スイッチを制御する機能、およびタグの起動時に回路を初期化するリセット機能をもっている。これらの機能を低消費電力・小面積で実現するために全ての構成ブロックはアナログ設計・解析され、また各ブロックにおいても特別な低消費電力・小面積設計が採用されている。この提案回路を試作ICチップに実装し動作を確認した。

## 第5章 心拍パルス検出回路

### 5.1. 導入

今日の医療用心電モニタは、そのほとんどがデジタル信号処理を用いて心拍やその他の生体信号を計測している。しかし、それらのような機器はRFIDタグに実装するには回路規模が大き過ぎるため、提案システムのような心拍計測システムへの応用には向いていない。近年、非侵襲的かつ遠隔的に生体信号を計測する方法として、X線の後方散乱イメージングを用いる手法[23]やレーダーで遠隔計測する(RVSM: Rader Vital Signs Monitor)システム[24]が開発されている。しかし、これらのように高度な技術を使って心拍を計測する機器は、コストも高く機器の大型化も避けられないため、やはりRFIDタグシステムへの応用には向いていない。提案システムが目指すような高機能RFIDタグにおいては、システムの小型化が必要不可欠なのである。

一方、心拍信号検出システムの小型化を含めたオンチップでの生体信号処理技術の研究開発が行われている。だが、フィルタやマイクロプロセッサの占有面積が非常に大きい[25]ため、RFIDタグへの実装には回路規模が大き過ぎる。

上に示したようなシステムと比較すると、高機能なRFIDタグを用いて生体信号を計測する手法は、生体信号計測機器の小型化の解決策となりうると考えられる。このシステムでは、タグはセンサと単純な信号処理回路からなり、ポストプロセッサを内蔵し観測用インターフェースをもつリーダへと無線で生体信号を送信する。このようにして、無線での個体識別および生体信号の遠隔観測が小規模なシステムを、人間や動物に埋め込み/着用可能な小型で軽量のセンサタグを用いることによって実現することができるのである。すでにこのようなRFID技術を応用した遠隔センサが、温度センサ[26]や生体電位センサ[27]などの用途のために開発されている。

そこで、本章では非接触(無線)心拍計測システム用のCMOSプロセスに実装可能な心拍パルス検出回路[1, 2, 3, 4, 28, 29, 30]を提案する。以下

に提案回路において解決すべき技術課題を挙げる。

1. 米粒サイズの RFID タグ用 IC チップに実装可能である必要があるため、回路構成は単純かつコンパクトでなければならない。
2. 要素回路の動作のために適切なバイアス電圧が IC 内で生成される必要があり、その電圧は予測不可能な DC オフセットや低周波ドリフトが除去された心拍信号と併せて適切に信号処理されなければならない。
3. 無線給電で動作するパッシブ RFID タグへの応用が可能であるように、回路はある程度の電源電圧範囲で動作し、かつ無線給電によって供給可能な電力で動作する必要がある。
4. 心拍パルスとフロアノイズを分離するために設定された判定レベルは、製造偏差や温度変動に対しロバストでなければならない。
5. RFID タグ IC 内の ASK(または FSK, PSK) 変調回路によって変調できるように、心拍パルスは位置パルスの系列として出力される必要がある。

第2節では、設計コンセプトと必要事項、および回路構成について述べる。提案する心拍検出回路が示され、動作原理の説明および回路の理論的解析を行う。

HSPICE によるシミュレーション結果を第3節に示し、第2節において行った理論解析の結果との比較照合も行う。

第4節では、提案回路の試作 IC の実装と実験結果について述べる。さらに、それらの結果をもとに製造偏差や温度変動に対する提案手法の有効性について議論する。

第5節で提案回路と他の研究との比較を行い、第6節においては占有面積のさらなる改善法について提案し、その手法を組み込んだ改良型心拍パルス検出回路の実験結果を示す。

第7節では提案回路を RFID タグに実装後も心拍判定レベルを外部から調節できる回路を提案し、そのシミュレーション結果を示す。

第8節で本章の結論を述べ、提案する心拍パルス検出回路に関する研究の総括とする。

## 5.2. 提案回路

### 5.2.1. 設計指針と必要事項

実際にマウスに取り付けられたマイクロホンセンサから得られる出力波形  $V_{\text{sen}}$  を図 5.1 に示す. これは, マウスの腹部に実際に感度が  $-33\text{dB}@100\text{Hz}$ -

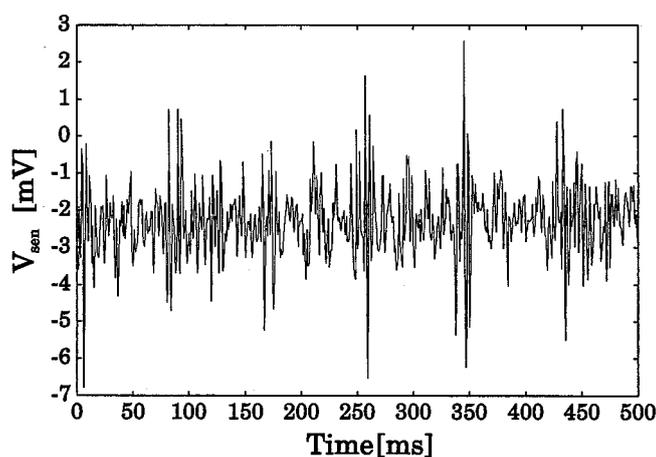


図 5.1 マイクロホンセンサの出力信号

10kHz のコンデンサマイクを埋め込んで測定したものである. この信号にはスパイク状の心拍パルス信号と共に広帯域ノイズや DC オフセット, 低周波ノイズなども混入している. 提案回路の最も十様な目的は心拍数や R-R 間隔を計測するために, 心拍パルスが発生した正確な時間を抽出する [33] ことにある.

表 5.1 は上記のように測定された場合の典型的なマウスの心拍波形データである.

このセンサ出力波形  $V_{\text{sen}}$  において, DC オフセットはセンサやプリアンプの製造偏差, 温度特性によっても変動するため, その値を事前に予測することは不可能である. 加えて, 低周波ドリフトはマウスの体内における呼吸音やその他のノイズに起因するものであり, タグの埋め込み位置に依存するので, その値は DC オフセットと同様に予測不可能である. これらのような予測不可能なオフセットやドリフト電圧も心拍パルスを検出する過程において除去しなければならない.

表 5.1  $V_{sen}$  の典型的な波形データ

Signal parameter	Value
Pulse height of heartbeat spike pulse in $V_{sen}$	3~5mV
Pulse width of heartbeat pulse at heart rate of 9~15Hz	5~10ms
DC offset/LF noise floor level	-3.5~-1mV

広帯域ノイズを圧縮し心拍パルスを抽出するために、本研究では単純なCMOSインバータによって構成されるコンパレータを用いている。しかし、このコンパレータのしきい値は製造偏差や温度変動によってあらかじめ設計した値からずれてしまう場合がある。本システムにおいては、RFIDタグの外部から制御電圧を与えることは不可能であるため、上記のようなずれは回路内部においては自動的に補償しなければならない。そこで本研究では、素子のマッチングを利用した、新しい信号自動バイアス技術を提案する。同設計、同寸法、同レイアウトの回路がコンパレータと同IC上で近くに配置され、その回路から得られる信号により上記のような誤差が回路内で自動的に補償される。

マウスに埋め込むシステムにおいては、その寸法はマウスへの負荷を低減するために $2\text{mm}\phi\times 6\text{mm}$ 内に収めなければならないため、全ての回路は可能なかぎり小型化する必要がある。加えて、数ミリワット程度の電力しか供給できない無線給電方式を採用しているため、提案回路の消費電力は $1\text{mW}$ 以下でなければならない。

### 5.2.2. 回路構成と理論解析

図5.2に提案する心拍パルス検出回路の回路図を示す。この回路は大きく4つのブロックに分けられ、 $V_Q$ 発生回路、減算回路、オフセット電圧除去回路、3段コンパレータから成る。入力信号およびその端子は図中 $V_{sig}$ であり、また出力信号およびその端子は $V_{out}$ である。

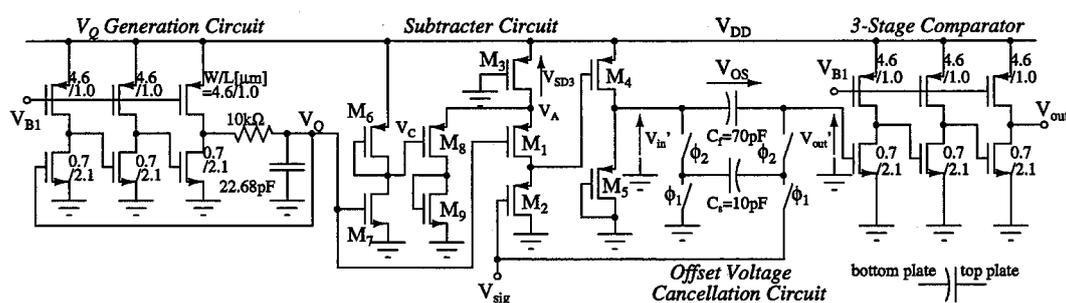


図 5.2 心拍パルス検出回路

### 3 段コンパレータ

動作原理の解説の都合上、まず最終段の3段コンパレータについて述べる。心拍パルスのみを抽出するために、提案回路においては簡単なMOSインバータ3段によって構成されるコンパレータが用いられている。提案システムの用途は心拍の常時観測を目的とした心拍数またはR-R間隔の計測であるため、心拍パルスが発生する正確な時間さえ検出できればよい。ここで、コンパレータのしきい電圧はMOSFETの寸法とバイアス電圧 $V_{B1}$ によって設定されるが、これらの値は製造偏差や温度変化によって変動してしまうことがある。その結果、これらのずれによってコンパレータのしきい値に致命的な誤差が生じてしまうため、自動補償が必要となるのである。この解決策として、信号自動バイアス技術を下記に提案する。

#### $V_Q$ 発生回路

適切な信号バイアスを行うために、図5.2中の $V_Q$ 発生回路[31]においてバイアス電圧 $V_Q$ が自動的に生成される。この回路は3段コンパレータとRC低域通過フィルタ(LPF)によって構成されている。ここで、RCフィルタはMOSインバータ3段をフィードバック接続したために生じる回路の発振を抑制するために挿入されており、この $V_Q$ 発生回路は3段コンパレータのレプリカとして動作するように設計されている。この回路構成により、 $V_Q$ の値はコンパレータの直流入出力特性と $V_{input} = V_{output}$ 直線の交点によって与えられる。(図5.3参照)

$V_Q$  発生回路中の3段インバータとコンパレータの3段インバータは特性が高い精度でマッチングしているため、製造偏差や温度変化の影響化においても生成された  $V_Q$  とコンパレータのしきい値  $V_{th,comp}$  は常にほぼ等しくなる。ここで、高精度の特性マッチングを実現するために、 $V_Q$  発生回路は3段コンパレータと同じ素子寸法かつ同じレイアウトによって同じチップ上に実装しなければならない。

### 減算回路

図 5.2 中の減算回路 [32] において、 $M_3$  を除く全ての素子が飽和領域で動作するとき、出力信号  $V'_{in}$  は下式のように表される。

$$V'_{in} = V_Q + V_{SD3} - V_{sig} \quad (5.1)$$

なお、 $V_{SD3}$  は  $M_3$  のソース-ドレイン間電圧であり、また  $V_{sig}$  は増幅されたセンサ出力信号である。 $M_1$  と  $M_3$  が飽和領域で動作するとき、 $M_3$  のドレ

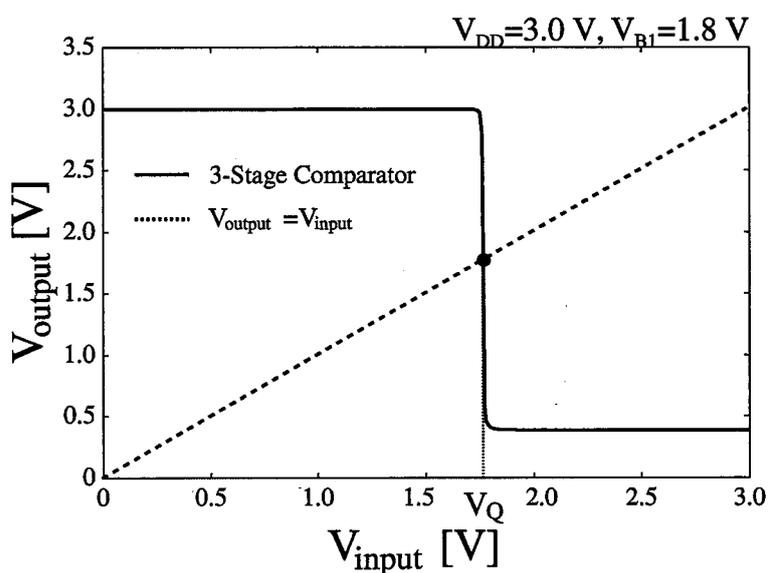


図 5.3 バイアス電圧  $V_Q$  の発生原理

イン電流は式 (5.2) によって表される.

$$I_{D3} = K_1(V_A - V_Q - |V_{thp}|)^2 + K_8(V_A - V_C - |V_{thp}|)^2 \quad (5.2)$$

本節において,  $K_i$  は MOSFET  $M_i$  のトランスコンダクタンス,  $V_{thn}$  および  $V_{thp}$  はそれぞれ nMOSFET と pMOSFET のしきい電圧であると定義する. 提案回路においては,  $V_Q$  に対し常に一定の  $V_{SD3}$  を実現するために  $I_{D3}$  も一定でなければならない. そこで, 式 (5.2) の両辺を全微分した式より式 (5.3) の条件が得られる.

$$K_1(V_A - V_Q - |V_{thp}|)dV_Q + K_8(V_A - V_C - |V_{thp}|)dV_C = 0 \quad (5.3)$$

一方, 図 5.2 中の  $V_C$  の電位は次の式により与えられる.

$$V_C = -\sqrt{\frac{K_7}{K_6}}(V_Q - V_{thn}) + V_{DD} - |V_{thp}| \quad (5.4)$$

したがって, 両辺を  $V_Q$  で全微分すると, 式 (5.5) のようになる.

$$dV_C = -\sqrt{\frac{K_7}{K_6}}dV_Q \quad (5.5)$$

式 (5.3) と式 (5.5) より,  $V_Q$  に対し一定の  $V_{SD3}$  を得るための条件が下式 (5.6) のように得られる.

$$\frac{K_1}{K_8}\sqrt{\frac{K_6}{K_7}} = \frac{V_A - V_C - |V_{thp}|}{V_A - V_Q - |V_{thp}|} \quad (5.6)$$

式 (5.6) を満たし  $V_{SD3} = 100\text{mV}$  となるように, 減算回路を構成する MOSFET は表 5.2 の素子寸法を用いて設計した.

### オフセット電圧除去回路

オフセット電圧除去回路は簡単な1次のスイッチトキャパシタフィルタから成っている. 入力端子  $V_{sig}$  に対しては1次のLPFとして動作する.  $V_{sig}$  が  $V_{sig} = V_{signal} + V_{OS}$  と表せるとき ( $V_{signal}$ :オフセットを除去した心拍信号,  $V_{OS}$ :低周波ドリフト成分を含むオフセット電圧), この  $V_{OS}$  が図 5.2 中のキャパシタ  $C_f$  上に抽出される. このSCフィルタにおいて, 等価抵抗値  $R$

表 5.2 減算回路の素子寸法

M <sub>1,2,4,5</sub>	W/L = 0.7 $\mu$ m/2.0 $\mu$ m
M <sub>3</sub>	W/L = 10.0 $\mu$ m/10.0 $\mu$ m
M <sub>6</sub>	W/L = 14.0 $\mu$ m/4.0 $\mu$ m
M <sub>7</sub>	W/L = 5.0 $\mu$ m/10.5 $\mu$ m
M <sub>8</sub>	W/L = 11.0 $\mu$ m/10.0 $\mu$ m
M <sub>9</sub>	W/L = 1.0 $\mu$ m/22.0 $\mu$ m

は  $R = 1/(f_\phi C_s)$  で与えられる。ここで、 $f_\phi$  は 2 相の重なり合わないクロック信号  $\phi_1, \phi_2$  のクロック周波数である。

オンチップのスイッチやキャパシタの寄生キャパシタンスを無視したとき、この LPF の 3dB カットオフ周波数  $f_c$  は各キャパシタの容量比を用いて下式のように表される。

$$f_c = \frac{f_\phi C_s}{2\pi C_f} \quad (5.7)$$

しかし、このスイッチトキャパシタフィルタは寄生容量に不感ではないため、 $C_s$  および  $C_f$  の実装にはポリ-ポリキャパシタを用いるのが望ましい。寄生キャパシタンスによって入力端子  $V'_{in}$  の信号に対して  $V'_{out}$  の信号が減衰してしまうという問題が生じる恐れがあるが、これは大きめの  $C_f$  および  $C_s$  を用い、またキャパシタの上部電極および下部電極の接続を注意して選択することによりほぼ無視できる。

$V_{OS}$  フィルタ特性とキャパシタによるチップの占有面積を考慮し、1kHz の  $f_\phi$  のもと  $f_c$  を 22.7Hz として設計した。この SC フィルタは  $V'_{in}$  端子に対しては 1 次の高域通過フィルタ (HPF) として動作すること。なお SC フィルタでのエイリアシングを避けるため、入力信号  $V_{sig}$  は 500Hz (=  $f_\phi/2$ ) 以下に帯域制限しなければならない。

上記の定義より、式 (5.1) は下式のように書き換えられる。

$$\begin{aligned} V'_{in} &= V_Q + V_{SD3} - V_{sig} \\ &= V_Q + V_{SD3} - V_{signal} - V_{OS} \end{aligned} \quad (5.8)$$

$C_f$  上に蓄えられた  $V_{OS}$  が式 (5.8) の右辺に加えられるため、出力電圧  $V'_{out}$

は

$$V'_{out} = V_Q + V_{SD3} - V_{signal} \quad (5.9)$$

となる。このようにして、心拍信号  $V_{signal}$  のバイアスオフセットが  $V_Q + V_{SD3}$  にセットされる。

このようなLPFを用いたHPFを用いて信号処理を行うことで、製造偏差・温度変動による特性の変化を補償するための自動直流バイアス電圧  $V_Q$  を除去することなく、入力信号のオフセット/低周波ドリフト電圧を除去することができるのである。

こうして得られた信号は3段コンパレータに入力され、 $V_Q + V_{SD3} - V_{signal} > V_{th,comp}$  の場合は Low(=0V) が出力され、 $V_Q + V_{SD3} - V_{signal} < V_{th,comp}$  の場合は High(= $V_{DD}$ ) が出力される。ここで  $V_Q$  発生回路における条件により  $V_Q = V_{th,comp}$  であるため、この条件は  $V_{signal} < V_{SD3}$  の場合は Low、 $V_{signal} > V_{SD3}$  の場合は High と書き換えることができる。そのため、 $V_{SD3}$  はコンパレータの信号圧縮しきい値 (SSTL: Signal Suppression Threshold Level) を決定しているとも言える。このようにして、オフセット/低周波ドリフト電圧(= $V_{OS}$ )を除いた心拍信号(= $V_{signal}$ )のパルス高が  $V_{SD3}$  を超える場合のみ3段コンパレータにおいて心拍パルスとして抽出されるのである。

### 5.3. シミュレーション

0.35 $\mu\text{m}$  2-poly 4-metal CMOS プロセスを想定したレベル 49 CMOS デバイスモデルを用いて HSPICE シミュレーションを行った。ここで、電源電圧には 3V を用いた。配線による寄生容量, 寄生抵抗, パッドの寄生容量, および n ウェル-基板間容量をレイアウトより算出し, 等価キャパシタ/レジスタとして回路に挿入している。

図 5.4 に入力信号  $V_{\text{sig}}$  の波形を示す。この信号は,  $V_{\text{sen}}$  を 34dB ゲインで

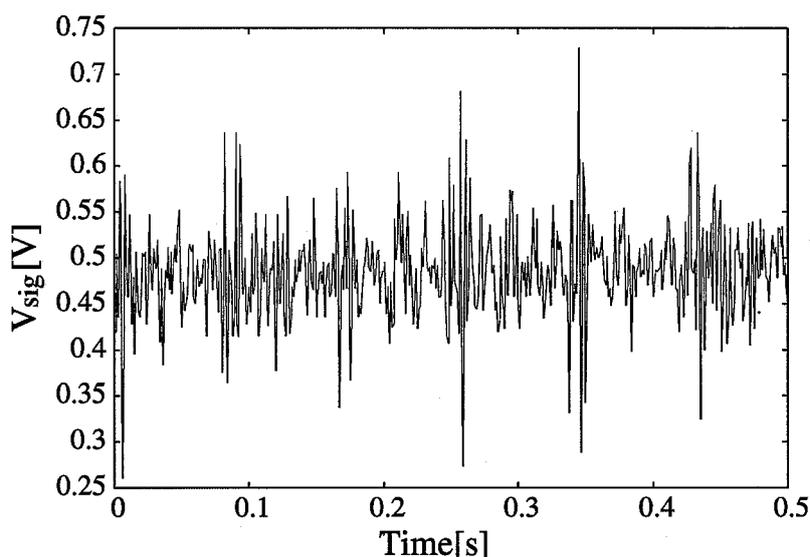


図 5.4 図 5.2 の入力信号  $V_{\text{sig}}$

増幅し 0.6V のオフセットを加えたものであり, 500Hz 以下に帯域制限されている。HSPICE シミュレーションにおいては,  $V_{\text{sig}}$  は理想電圧制御電圧源によって与えられている。

#### 5.3.1. バイアス電圧 $V_Q$ の生成

本節では, 発生した  $V_Q$  の値における製造偏差と温度変化の影響について HSPICE シミュレーションで確認する。  $V_Q$  発生回路において生成された  $V_Q$  と 3 段コンパレータのしきい電圧  $V_{\text{th,comp}}$  について表 5.3 比較を行った。 IC 製作者より与えられた素子値の乱数分布を用いてモンテ

カルロ解析を試行数10回で行った。このモンテカルロ解析用分布モデルは、ゲート酸化膜厚  $T_{ox}$ 、しきい電圧  $V_{th}$ 、チャンネル長  $L$  とチャンネル幅  $W$ 、ソース/ドレイン拡散領域のシート抵抗値  $R_{sh}$  について考慮されている。

表 5.3 製造偏差の影響化における  $V_Q$  と  $V_{th,comp}$  の一致

run	$V_Q$ [V]	$V_{th,comp}$ [V]
1	1.763	1.765
2	1.998	1.995
3	1.957	1.955
4	1.816	1.814
5	2.172	2.172
6	1.912	1.914
7	1.852	1.854
8	1.941	1.943
9	1.850	1.853
10	1.826	1.826

表 5.4 に異なる温度条件化でシミュレーションを行った場合の  $V_Q$  および  $V_{th,comp}$  の値を示す。

表 5.4  $V_Q$  と  $V_{th,comp}$  の温度特性

Temperature[°C]	$V_Q$ [V]	$V_{th,comp}$ [V]
30	1.877	1.874
35	1.894	1.894
40	1.911	1.914
45	1.928	1.925

表 5.3 および表 5.4 の結果より、製造偏差や温度変動の影響化においてもコンパレータのしきい電圧  $V_{th,comp}$  のずれに対して  $V_Q$  が常に追従

しほぼ等しくなっていることがわかる。なお、 $V_Q$  および  $V_{th,comp}$  の値は 1.7~2.2V の範囲で設定可能である。

### 5.3.2. $V_Q$ 変化時の $V_{SD3}$

図 5.5 に  $V_Q$  対  $V_{SD3}$  特性を示す。この図より、製造偏差等によって  $V_Q$  が

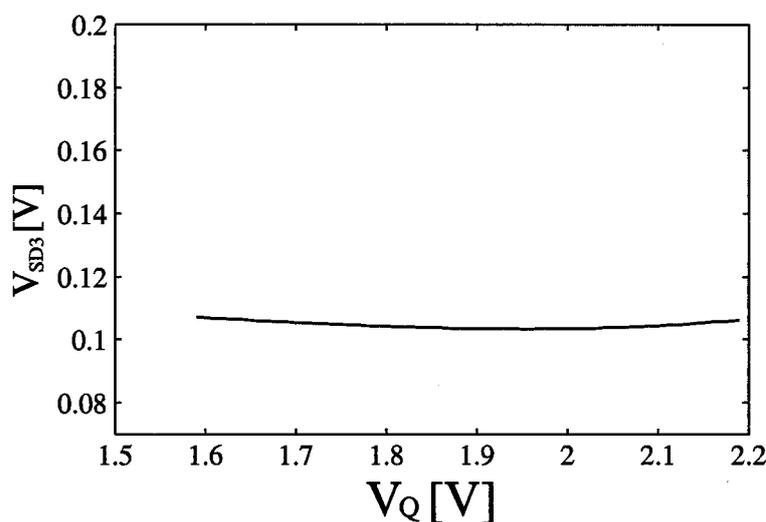


図 5.5  $V_Q$  の値が変動したときの  $V_{SD3}$

1.6~2.2V の範囲で変化した場合でも、ほぼ常に一定の信号圧縮しきいレベル  $V_{SD3}$  が得られることがわかった。

### 5.3.3. DC オフセット/低周波ノイズ $V_{OS}$ の抽出

図 5.6 にオフセット除去回路において  $C_f$  上に蓄えられたオフセット/低周波ノイズ電圧  $V_{OS}$  の電圧波形を示す。図のように、DC オフセットと低周波ノイズ、および 20Hz 以下のリップルが  $V_{sig}$  から抽出されている。

### 5.3.4. 入力範囲と動作周波数

減算回路のシミュレーションにおいて、動作可能な  $V_{sig}$  の範囲は 0~1.25V であった。一方、オフセット電圧除去回路においては、入力信号  $V_{sig}$  の範

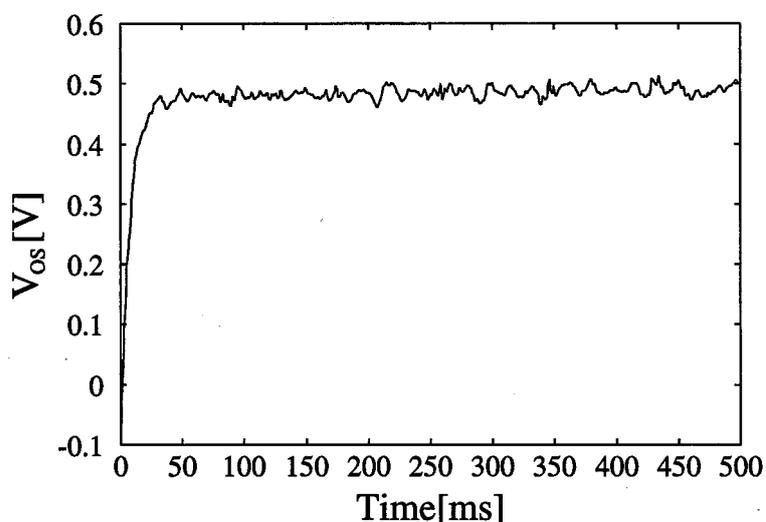


図 5.6  $C_f$  に蓄えられた  $V_{0s}$  波形

囲は回路中で使用されている CMOS アナログスイッチの線形動作範囲内に制限される (下式参照).

$$|V_{thp}| < V_{sig} < V_{DD} - V_{thn} \quad (5.10)$$

したがって,  $V_{sen}$  を  $V_{sig}$  に増幅するプリアンプにおいては, 上記の条件を満たすようにゲインとオフセットを設定しなければならない.

オフセット電圧除去回路を構成するスイッチトキャパシタ回路について,  $V_{sig}$  の周波数帯域幅はエイリアシング歪を防ぐためにナイキスト周波数 ( $= f_{\phi}/2 = 500Hz$ ) 以下に制限しなければならない. MATLAB によるシミュレーションで上記の帯域制限が生体の心拍パルス検出になんら影響を及ぼさないことを確認している.

3段コンパレータについては, 入力信号の動作帯域幅は 38MHz であった.

### 5.3.5. 心拍検出と消費電力

増幅されたセンサ信号  $V_{sig}$  から提案回路を用いて抽出した心拍パルスを図 5.7 に示す.

ここで,  $V'_{out}$  が 3 段コンパレータのしきい電圧  $V_{th,comp}$  より低い場合のみ, 出力電圧が High となる. この条件は  $V_{signal} > V_{SD3}$  と等価であり, こ

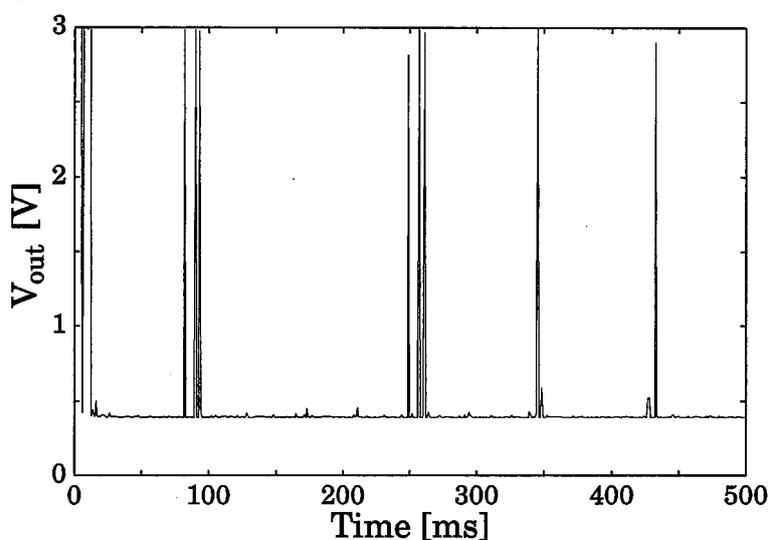


図 5.7 検出した心拍信号

れが  $V_{SD3}$  が  $V_{\text{signal}}$  の信号圧縮しきいレベル, つまり心拍判定レベルである所以である.

図 5.8 に  $V_{DD}$  が変化したときの心拍検出率 (正答率) を示す. なお, 心拍検出率は現在想定している測定周期の間に「心拍を正しく検出した回数」を「出力パルス数」で割ったもので定義されている. 図中において,  $V_{DD}$  が 2.9V 以下においては心拍検出率が 80% 以下に低下している. これは  $V_{SD3}$  が  $V_{DD}$  に依存するためであると考えられる.  $M_3$  のゲート電圧を  $(V_{DD} - nV_D)$  となるようなダイオードストリング回路により与えることで, この電源電圧依存性は低減されることが考えられる. ( $n$ : ストリング中のダイオード数,  $V_D$ : ダイオードドロップ電圧)

表 5.5 にモンテカルロ解析を試行回数 30 回でシミュレーションした際の心拍検出率を示す.

回路全体の平均消費電力は  $700\mu\text{W}$  で瞬時最大消費電力は  $800\mu\text{W}$  だった.  $V_Q$  発生回路と 3 段コンパレータを構成するインバータを全て CMOS インバータで構成することで,  $V_{\text{th,comp}}$  を調整できなくなるが 26% の消費電力削減が可能であると考えられる.

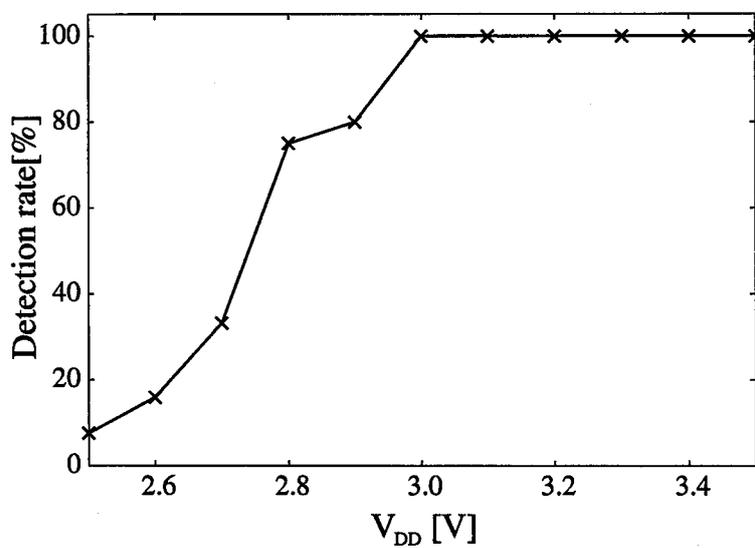


図 5.8 V<sub>DD</sub> の変動に対する心拍検出率

表 5.5 製造偏差による心拍検出率の変化

run	Detection rate[%]
1~4, 6~16, 18, 20~30	100
5, 17	87.5
19	88.9

## 5.4. 実験結果

提案する心拍検出回路を  $0.35\mu\text{m}$  2-poly 4-metal CMOS プロセスで実装した。実装した提案回路の顕微鏡写真を図 5.9 回路の占有面積は  $330\mu\text{m}\times$

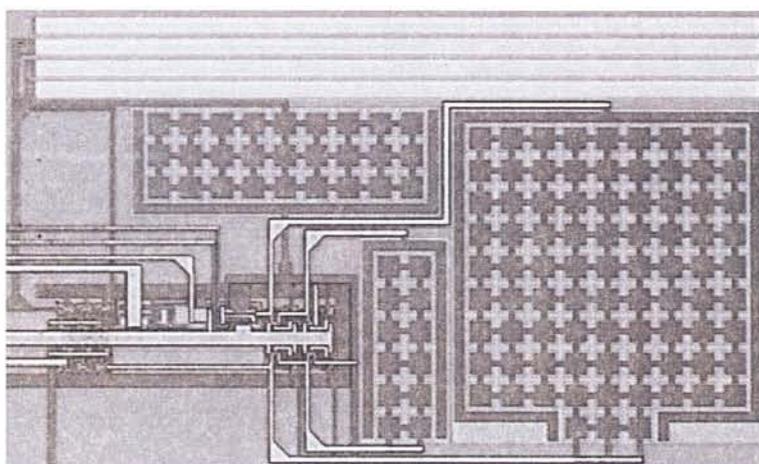


図 5.9 実装した提案回路の顕微鏡写真

$553\mu\text{m}$  ( $0.182\text{mm}^2$ ) だった。

本節においては、特に別途記述がない場合は電源電圧を  $3\text{V}$  とし、またバイアス電圧  $V_{\text{BI}}$  を  $1.8\text{V}$  としている。  $\phi_1$  および  $\phi_2$  には  $3\text{V}$ ,  $1\text{kHz}$  の重なりあわない 2 相のクロックを用いている。

なお、この試作においては使用可能な IC ピン数の制限のため、IC 内での提案回路の電源と提案回路の各ブロックの特性試験用回路の電源とを共通としたため、提案回路単体の消費電力を実験において計測することができなかった。

### 5.4.1. $V_Q$ の測定

同じ回路構成、素子寸法、レイアウトを用いて 10 個の IC に提案回路を実装した。測定した自動バイアス電圧  $V_Q$  を表 5.6 に示す。

表 5.6 測定した  $V_Q$  の値

Lot number	$V_Q$ [V]
#1	1.84
#2	1.80
#3	1.81
#4	1.81
#5	1.83
#6	1.81
#7	1.83
#8	1.80
#9	1.79
#10	1.81

#### 5.4.2. $V_{SD3}$ の測定

10個のICにおいて $V_Q$ が変化したときの測定した $V_{SD3}$ の値を図5.10に示す。図5.10より、設計値0.1Vについて0.02Vの精度で心拍判定レベル $V_{SD3}$ を設定できている。図5.4に示すように入力信号において心拍パルスとノイズとの電圧差が0.12V以上あるため、上記の結果は $V_Q$ に大きなばらつきが生じた際も適切な心拍判定レベルを設定できることを証明するものである。

#### 5.4.3. 実際のマウスの心音信号からの心拍パルスの検出

実装した提案回路で実際に検出した心拍パルス信号を図5.11の上部に示す。図5.11の下部に示す波形は、図5.4のデータをもとに任意波形発生器を用いて発生させた入力信号である。この出力信号 $V_{out}$ をFFT解析した結果11kHzであり、シミュレーション結果と一致した。

さらに、オフセット電圧除去回路において除去可能な $V_{OS}$ の範囲は0.3~0.7Vであった。

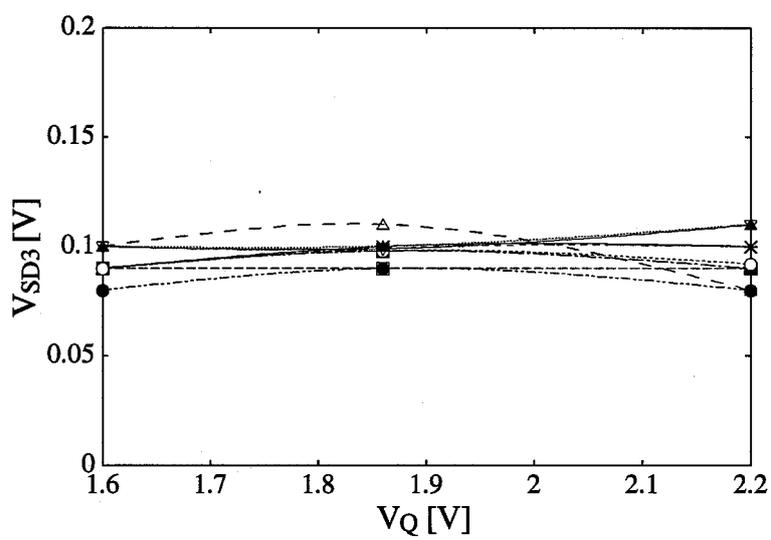


図 5.10  $V_Q$  に対する  $V_{SD3}$  の測定値

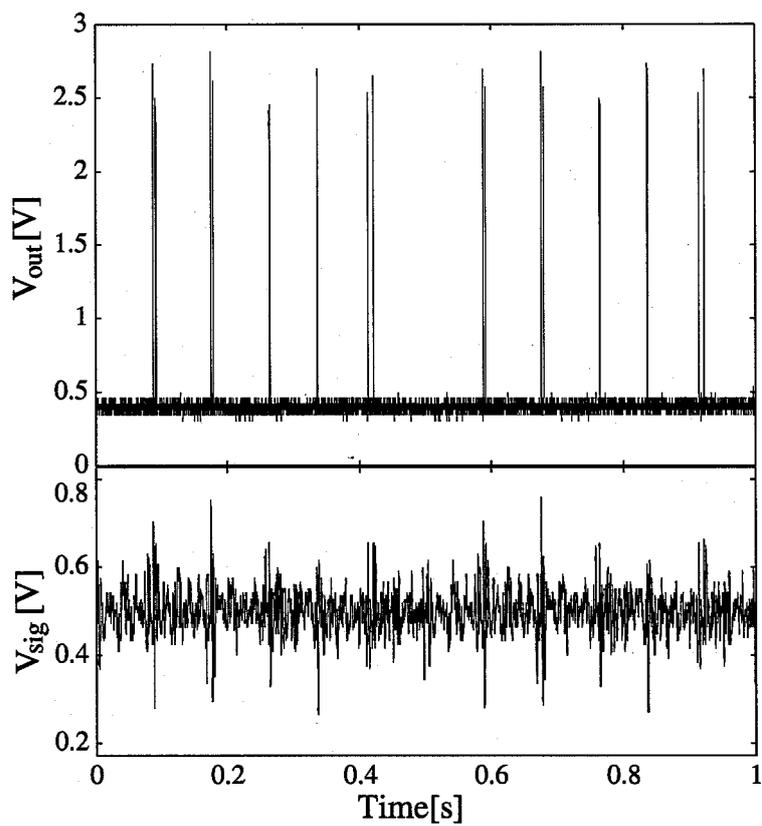


図 5.11 入力電圧  $V_{sig}$  と測定した出力電圧  $V_{out}$

## 5.5. 他の研究との比較

表 5.7 において他の研究との比較を行う。表よりわかるとおり、提案回路は他の研究と比べて比較的消費電力が大きい反面、その長所は非常に小さいチップ面積にある。提案回路における消費電力の増大は強反転領域で動作する MOS デバイスによるものである。しかし、提案する高機能 RFID タグは数ミリワットの消費電力を想定しており、本章にて提案する心拍パルス検出回路の消費電力は提案システムの仕様を十分満たすものである。

表 5.7 他の心拍数検出システムとの比較

Property	This work	Gerosa <i>et al.</i> [34]	Lentola <i>et al.</i> [35]	Ruha <i>et al.</i> [36]
Supply voltage	2.6-3.3V	1.8-2.8V	2.0-2.8V	2.0-3.3V
Chip area	0.18mm <sup>2</sup>	2.2mm <sup>2</sup>	1.9mm <sup>2</sup>	NA
Power	0.7mW	3.8 $\mu$ W	2.52 $\mu$ W	0.1mW
Sensor(s)	Mic./Pressure/Elec.	Electrodes	Electrodes	Electrodes
Sensitivity to device tolerance/temperature	very low	NA	NA	NA

NA: not available

文献 [34] の回路は弱反転領域で動作する低消費電力のログドメイン増幅器を用いることにより回路全体の低消費電力化を実現している。しかし、この回路では 3 次のデルタ-シグマ ( $\Sigma\Delta$ ) 変換回路を用いているため非常に大きな面積を占有してしまう。また、弱反転領域で動作する MOS デバイスを使用していることから、製造偏差や温度変動にも影響を非常に受け安い。

文献 [35] の回路については、プリアンプや 3 次 SC 帯域通過フィルタ (BPF) コンパレータなどの回路を構成する全ての MOS デバイスが弱反転領域で動作していることにより、非常に低い消費電力で動作することを特徴としている。

文献 [36] の回路は低ノイズプリアンプ、SC 帯域フィルタ (BPF)、最大値・最小値回路、コンパレータ、RC 発振器など多くのブロックで構成されている。弱反転領域で動作する MOSFET を用いて低消費電力化を図っているが、その構成ブロックが多いため消費電力も比較的が大きくなってしまっている。

上記で述べたとおり, 他の回路は低消費電力化を実現するために弱反転領域で動作する MOS デバイスを用いている. しかし, 弱反転領域動作の MOS デバイスは低消費電力である反面, 製造偏差の影響を受けやすく素子のミスマッチも多い上, 温度依存性も非常に高いため, 回路全体の特性もこれらの影響を非常に受けやすくなっている.

提案回路の長所, 利点として最も特徴的なものは, 製造偏差や温度変動に対する耐性である. これは他の研究では全く考慮されていない一方, 提案システムの実現には必要不可欠な技術なのである. 加えて提案する心拍検出回路は, 心拍を示す位置パルスを検出することで心拍が起こった正確な時間を検出するという非常に特徴的な原理をとっている. この検出された情報は ID コードと共に無線によりリーダーへと送信されるものであり, 提案回路の機能, 回路構成は小型で生体に埋め込む, または貼り付けて使用するような生体信号測定用 RFID タグという用途に非常に適していると言える.

## 5.6. 占有面積の改善

図 5.9 の顕微鏡写真からもわかるとおり, 提案回路のチップレイアウトの大部分を占めるのがオフセット除去回路と  $V_Q$  発生回路に用いられているキャパシタである. 一般的にもキャパシタの削減はチップ占有面積の大幅な縮小, すなわち改善につながる. そこで本節では, 提案回路の占有面積縮小法としてループ内に発振抑止フィルタを必要としない  $V_Q$  発生回路を提案し, それを組み込んだ心拍検出回路の実験結果を示す.

### 5.6.1. 回路構成

当初, 3 段コンパレータを  $V_Q$  発生回路において正確にモデルし発生する  $V_Q$  を  $V_{th,comp}$  に可能な限り近づけるためには, コンパレータの回路構成を正確に模擬したものでなければならぬと考えていた. そのため, 3 段コンパレータの回路構成を維持しつつバイアス電圧を発生させるために, 3 段コンパレータをフィードバック接続していた. しかし, ゲインが 2 以上あるインバータを奇数段フィードバック接続することにより回路が発振してしまう. その回路の発振を抑止するために 1 次の RC フィルタを挿入している. この RC フィルタを構成する抵抗とキャパシタが IC 上で非常に大きな面積を占有してしまうのである.

そこで, 発振抑止フィルタを必要としない  $V_Q$  発生回路の回路図を図 5.12 に示す. 提案回路は当初 3 段使用していたコンパレータを構成する

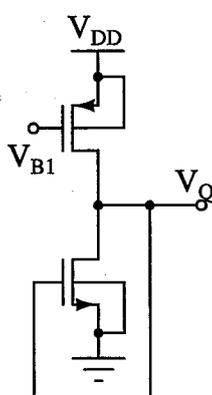


図 5.12 占有面積を縮小した  $V_Q$  発生回路

インバータを1段のみ使用したもので、1段とすることでバルクハウゼンの発振条件を満たさなくなるためフィードバック接続によっても発振しなくなり、発振抑止フィルタを必要としなくなる。

図 5.13 に改良型  $V_Q$  発生回路のバイアス電圧  $V_Q$  発生原理を示す。図か

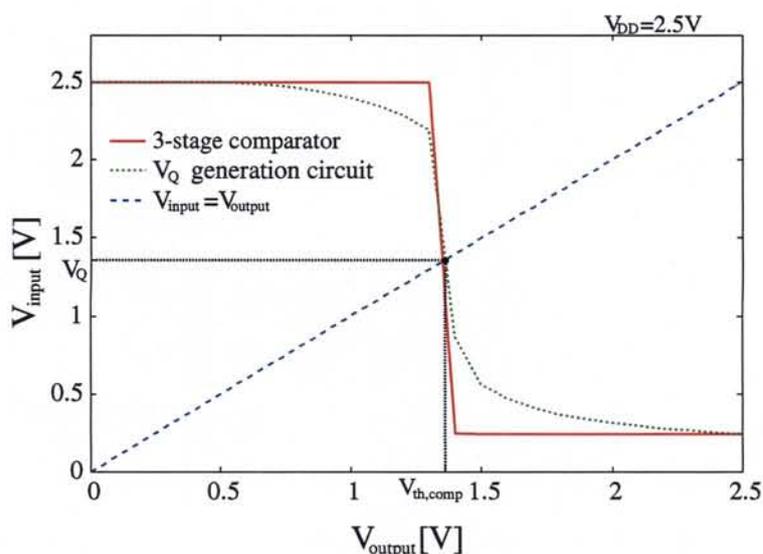


図 5.13 改良型  $V_Q$  発生回路の  $V_Q$  発生原理

らもわかるとおり、当初の  $V_Q$  発生回路の特性と異なり、改良型回路の特性には3段コンパレータの特性との間に若干の差異があるが、両特性ともに製造偏差や温度変化によってほぼ同じ値だけずれるため、 $V_Q$  と  $V_{th,comp}$  は常にほぼ等しいと考えられる。

### 5.6.2. レイアウト設計と占有面積

改善型  $V_Q$  発生回路を用いて構成した場合の心拍検出回路の回路図を図 5.14 に示す。

この回路を  $0.25\mu\text{m}$  2-poly 5-metal CMOS プロセスにおいて実装した。実装した改良型心拍検出回路の顕微鏡写真を図 5.15 に示す。提案回路のチップ占有面積は  $330\mu\text{m} \times 440\mu\text{m}$  ( $0.145\text{mm}^2$ ) であり、以前の回路から 22%改善することができた。

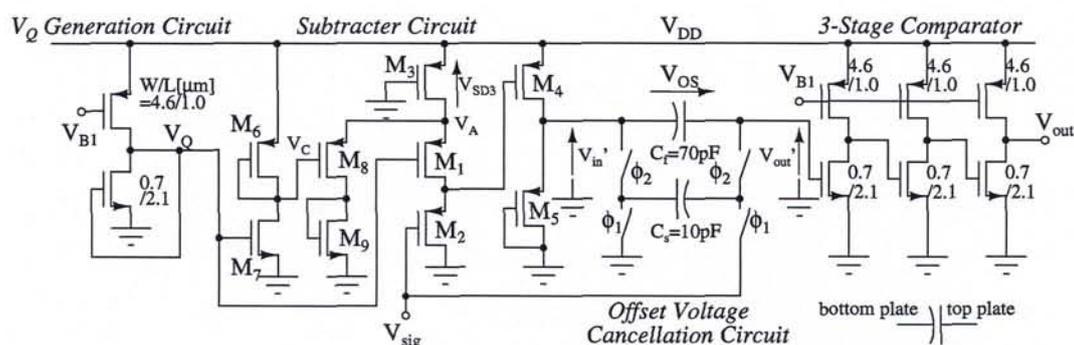


図 5.14 改良型心拍検出回路

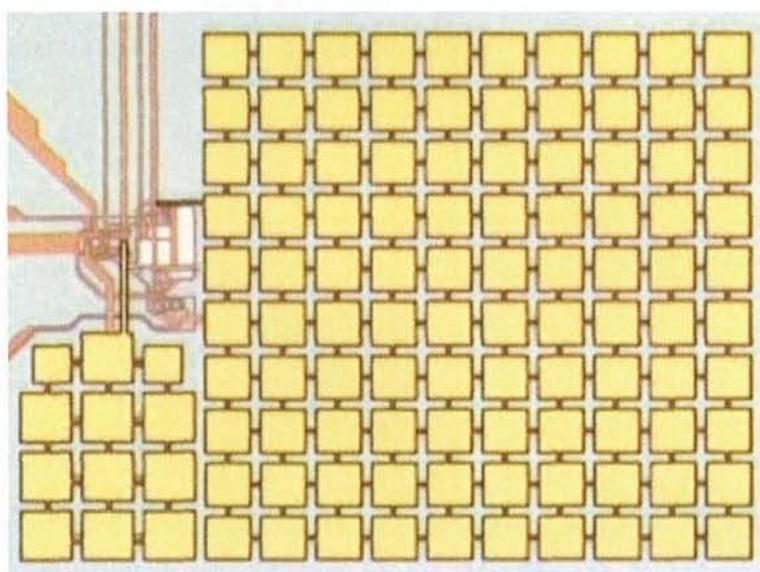


図 5.15 改良型心拍検出回路の顕微鏡写真

### 5.6.3. 実験

電源電圧 2.5V のときの測定した  $V_Q$  の値を表 5.8 に示す。

なお、出力信号にオフセット電圧除去回路からクロックフィードスルーが混入していたため、それらを除くためにカットオフ周波数が 500kHz の LPF をフィルタボックスで構成し出力端子  $V_{out}$  に接続した。このクロックフィードスルーは  $0.35\mu\text{m}$  プロセス使用時には発生していなかったものだが、レイアウトの改善に伴いコンパレータ入力段における寄生容量

表 5.8 改良型心拍検出回路において測定した  $V_Q$  値

Chip number	$V_Q$ [V]
#1	1.44
#2	1.47
#3	1.47
#4	1.50
#5	1.45
#6	1.50
#7	1.49
#8	1.49

$V_{DD} = 2.5V$

が低下したため、クロックフィードスルーによる電圧変動が  $V_{SD3}$  を超えてしまったため出力されたものである。このクロックフィードスルーは CMOS アナログスイッチを構成する MOSFET が動作するタイミングの調整やダミースイッチの使用、コンパレータ入力段における寄生容量を増大するレイアウトを行うなど、面積を占有しない方法で除去することができる。

図 5.16 の上段に任意波形発生器を用いて生成した入力信号  $V_{sig}$  を、下段にの出力信号  $\hat{V}_{out}$  を示す。なお、ここで  $\hat{V}_{out}$  は LPF を構成するフィルタボックスの出力信号である。

表 5.9 に提案回路の設計仕様および実験条件を示す。表 5.9 の条件にお

表 5.9 改良型心拍検出回路の設計仕様と実験条件

Supply voltage $V_{DD}$	2.5V
Bias voltage $V_{B1}$	1.35V
Input signal $V_{sig}$	$50V_{sen} + 0.6[V]$
Switching frequency of $\phi_1, \phi_2$	1kHz

いて設計した改良型心拍パルス検出回路は、電源電圧範囲 2.0~3.0V にお

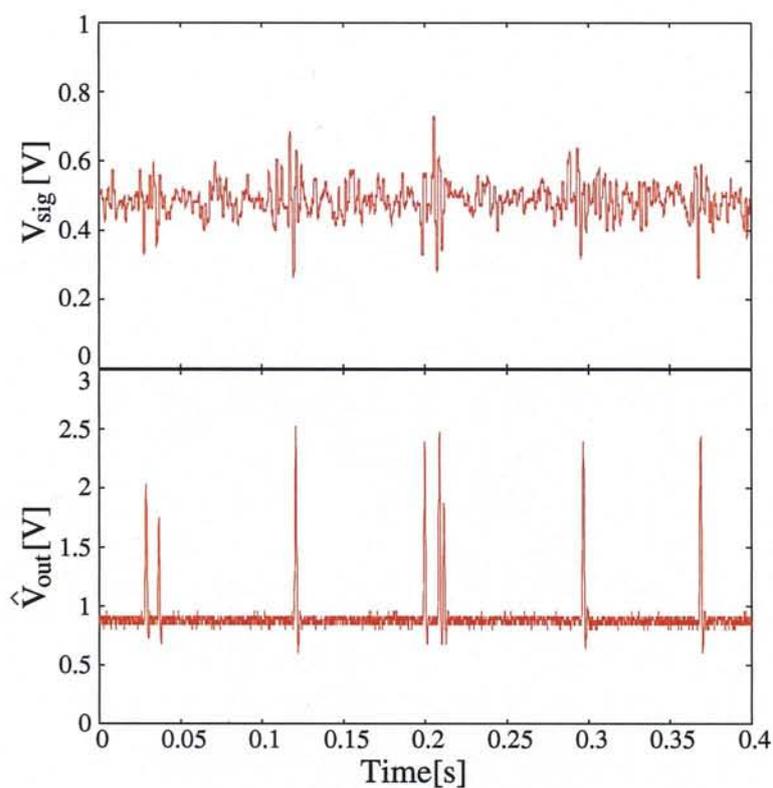


図 5.16 入力信号  $V_{sig}$  と測定した出力信号  $\hat{V}_{out}$

いて心拍検出率 100%で心拍パルスを検出することができた。

この試作ICの実験においては、試作IC計測用基板においてICに実装された全ての回路の電源が基板の  $V_{DD}$  層に接続されており電源電圧端子が全て共通となってしまったため、提案する小面積型心拍検出回路の消費電力を実験で測定することはできなかった。

## 5.7. 可変SSTLの設計

心拍信号とフロアノイズを3段コンパレータで分離するために、心拍判定レベルSSTL(Signal Suppression Threshold Level)を減算回路において設定している。パルス高がSSTLより大きい場合は心拍パルスとして検出し、それ以外の場合は信号をゼロに圧縮する。このSSTL、すなわち $V_{SD3}$ は、減算回路の $M_3$ のドレイン電流を一定の値に維持することで、 $M_3$ のソース-ドレイン間電圧として一定の値を得られるよう設計されている。

しかし、人間の心電波形などにおいてはR波と同様にT波も比較的高い振幅をとる場合がある。このような場合でも正確に心電R波を回路で検出しR-R間隔を測定するためには、SSTLを実装後でもユーザが適宜設定しR波とT波の両方が検出されるのを防ぐ必要がある。しかし、回路はRFIDタグ上に実装されるので、バイアス電圧等で直接制御することはできない。RFIDタグ上でもSSTLをユーザ・プログラマブルな回路を提案する生体信号計測用RFIDタグに実装することで、より柔軟で正確な心拍計測が可能になると考えられる。

RFIDタグに実装後もSSTLを調整可能な心拍判定レベル設定回路の回路図を図5.17に示す。提案回路はフィードバック接続された差動増幅

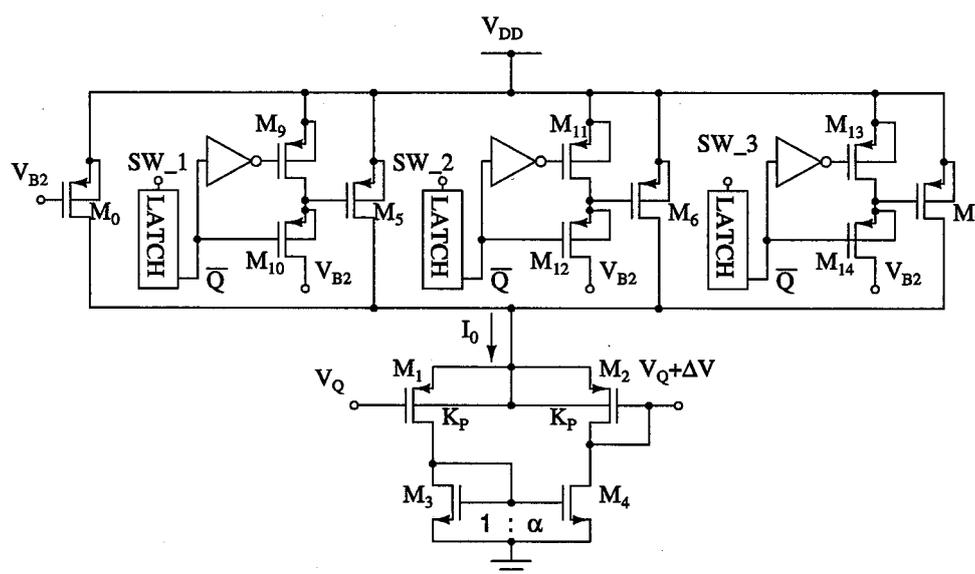


図 5.17 SSTL を調節可能な心拍判定レベル設定回路

器と3つのデジタル信号によって制御される可変テール電流源からなる。可変テール電流源回路によって供給される電流を図5.17のように $I_0$ と定義すると、提案回路によって設定される心拍判定レベル(SSTL) $\Delta V$ は差動対に流れる電流の比から下式のように導出できる。

$$\begin{aligned}\Delta V &\cong \sqrt{\frac{I_0}{K_p(1+\alpha)}} - \sqrt{\frac{\alpha I_0}{K_p(1+\alpha)}} \\ &= \sqrt{\frac{I_0}{K_p} \frac{1-\sqrt{\alpha}}{\sqrt{1+\alpha}}}\end{aligned}\quad (5.11)$$

$\Delta V$ が $\sqrt{I_0}$ に比例することから、可変テール電流源回路においてテール電流 $I_0$ を制御することで異なる $\Delta V$ を設定可能であることがわかる。この可変テール電流源の構成はDAC(Digital to Analog Converter)中のデジタル制御電流源の構成と同様のものである。入力信号SW\_1~SW\_3が1(High)のときはその端子によって制御される電流源(それぞれ $M_5 \sim M_7$ )がオフとなり、0(Low)のときは電流源のMOSFETのゲート端子がバイアス電圧 $V_{B2}$ へと接続され事前に設計された電流が流れる。こうしてラッチ回路(SRAM)への入力信号であるSW\_1~SW\_3の3ビットのデジタル信号によってテール電流 $I_0$ を調整し、可変心拍判定レベル $\Delta V$ を制御することができる。なお、自動バイアス電圧 $V_Q$ は差動対 $M_1, M_2$ が飽和領域で動作する値に設定する必要がある。

入力信号に対する $\Delta V$ の値についてHSPICEシミュレーションを行った結果を表5.10に示す。

表 5.10  $\Delta V$  のシミュレーション結果

Case No.	SW_1	SW_2	SW_3	$\Delta V$ [mV]
1	1	1	1	59.9
2	0	1	1	67.2
3	0	0	1	73.3
4	0	0	0	112.3

図5.18に $\Delta V$ の $V_Q$ 依存性に関するシミュレーション結果を示す。 $V_Q$ に対して若干の傾きがみられるが、これは $M_0$ と $M_5 \sim M_7$ のチャネル長変調

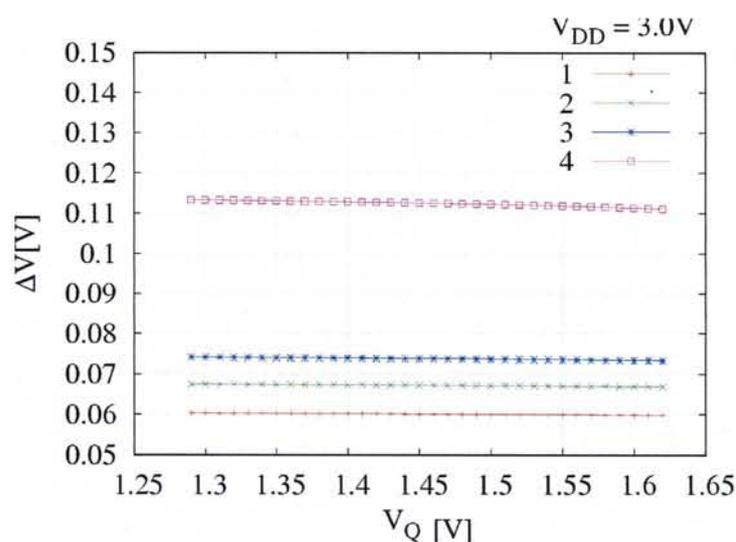


図 5.18 各入力信号における  $\Delta V$  の  $V_Q$  依存性

効果によるものであり, 素子寸法の調整によって改善可能であると考えられる.

$V_Q$  対  $\Delta V$  特性の温度特性についてシミュレーションを行ったものを図 5.19 に示す.  $\Delta V$  の温度特性は約  $0.64\%$  であった.

また, ダイオードストリング等を用いて  $V_{DD} - V_{B2}$  が一定となるような  $V_{B2}$  を得ることによって,  $V_{DD}$  および  $V_{B2}$  の両方に対して安定した  $\Delta V$  を得ることができる.

## 5.8. 結論

本章では, 生体信号測定用 RFID タグに実装可能で, マイクロセンサより得られた信号を増幅した入力信号から心拍が起こった正確な時間を検出する機能をもった, 製造偏差や温度変化, 電源電圧変動に対しても特性がロバストな心拍パルス検出 CMOS 回路を提案した. この回路をチップに実装し, 回路の顕微鏡写真と実験結果も示している. 他の研究との比較検討の結果, 提案回路は消費電力は比較的大きいものの, その占有面積の小ささと製造偏差, 電源電圧や温度の変動に対する特性の安定性に関して他の研究に対して非常に先進的であることを示した.

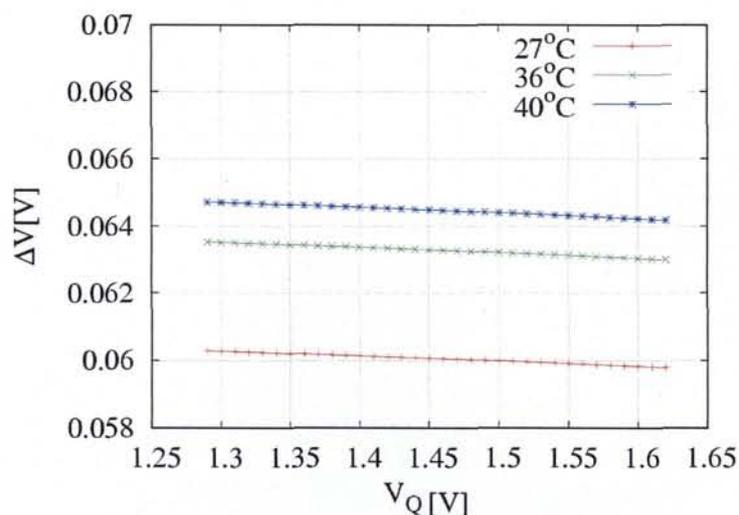


図 5.19  $\Delta V$  の  $V_Q$  依存性の温度特性

また, 占有面積のさらなる改善のための改良型回路も提案し, ICに実装した回路の実験結果を示した. さらに, 実際の測定現場においても心拍判定レベルを調節可能にした可変 SSTL 設定回路を設計し, そのシミュレーション結果により提案手法の有効性を確認した.

ここで, 3段コンパレータの初段の nMOSFET にしきい電圧可変素子である FG-MOSFET[37, 38, 39] を用いることで, 3段コンパレータのしきい電圧  $V_{th,comp}$  も可変になると考えられる. ただし, この素子は提案回路の実装を想定している  $0.35\mu\text{m}$ ,  $0.25\mu\text{m}$  プロセスでは動作保証されておらず, その HSPICE 用デバイスモデルが提供されていないため, この素子を提案回路に導入するためには上記プロセス用の FG-MOSFET デバイスモデルの開発が必要不可欠であると考えられる.

## 第6章 高機能RFIDタグ試作基板

本論文において提案した要素回路をシステムとして統合して実装した場合の個体識別・心拍測定技術としての有効性を確認するために、IDコード生成回路と心拍検出回路を搭載したIC、生体信号増幅用プリアンプ・フィルタ回路、心電計測用電極センサ、送受信モジュールを同一基板上に実装した試作基板を作製し実験を行った。

### 6.1. 基板の構成と試作

図 6.1 に高機能 RFID タグをプリント基板上に実装した試作基板のブロック図を示す。

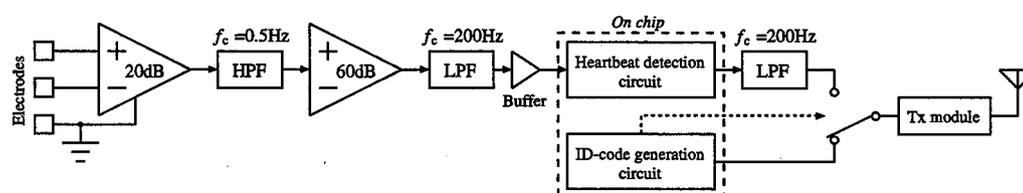


図 6.1 高機能 RFID タグ試作基板

基板は両面実装とし、表には試作 IC と Tx モジュールおよびアンテナを、裏には基板実装回路とボタン電池用電池ボックスを配置している。また、ボタン電池を補助するために単 3 電池用電池ボックスも接続する。

また、IC に実装した心拍検出回路と ID コード生成回路以外の回路を構成するために使用した実装部品を表 6.1 に示す。

ここで、Rx モジュールの最大通信速度は 115.2kbps であるが、ASK 変調信号である ID コードの内部クロックは 500kHz であり ID コードの 1 ビットの時間幅が 20 マイクロ秒であり Rx モジュールの入力信号許容周波数範囲を超えるため、ID コード生成回路の内部クロックを 32 分周し 15.625kHz としている。

さらに、試作基板に実装した IC の内部クロックを 180° 位相が異なる重

表 6.1 試作基板に使用した実装部品

Circuit	Components
20dB Amp.	INA118/SO (Gain ctrl.: potentiometer ST-2A)
RC HPF $f_c = 0.5\text{Hz}$	R: 470k $\Omega$ , C: 0.68 $\mu\text{F}$
60dB Amp.	OPA2237/SO, R: 510k $\Omega$ , 510 $\Omega$
RC LPF $f_c = 200\text{Hz}$	R: 82k $\Omega$ , C: 10nF
Buffer	OPA2237/SO
Lowpass Sallen & Key filter $f_c = 200\text{Hz}$	R: 82k $\Omega \times 2$ , C: 10nF $\times 2$ , OPA2237/SO (as a buffer)
Signal bus switch	ADG823
Rx module	CDC-TR-02A (303.825MHz)
Frequency divider	ADG823
Clock phase adjuster	TC74HC02, TC74HC04

なり合わないクロック信号に変換する回路に動作不良が生じていたため、試作基板に TC74HC02, TC74HC04 からなるクロック位相調節器を付け加えた。

また、アンテナには他グループが開発した面実装アンテナを使用している。

図 6.2, 6.3 に試作した高機能 RFID タグ基板の写真を示す。表 6.1 に示す全ての素子を実装した試作基板を約 4cm $\times$ 10cm 程度で実現できた(補助電池ボックス, 電極センサは含めず)。

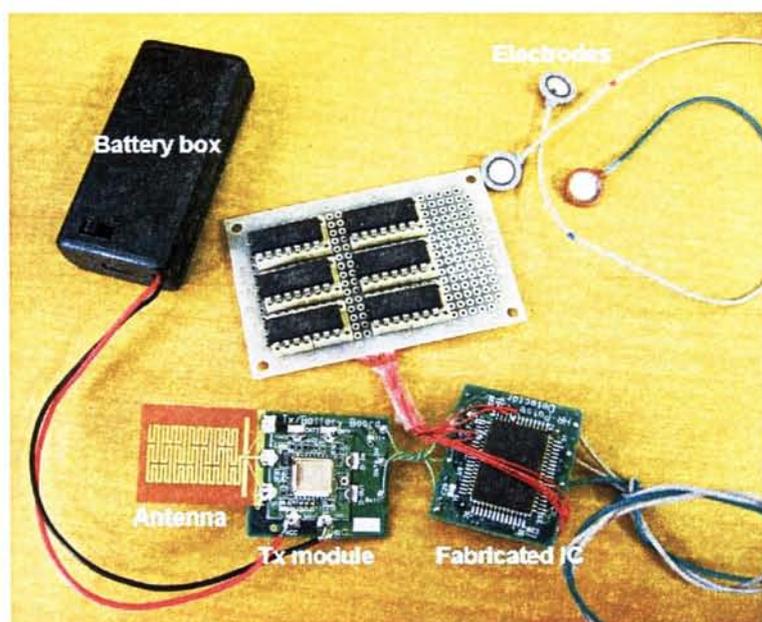


図 6.2 高機能RFID タグ試作基板全体写真

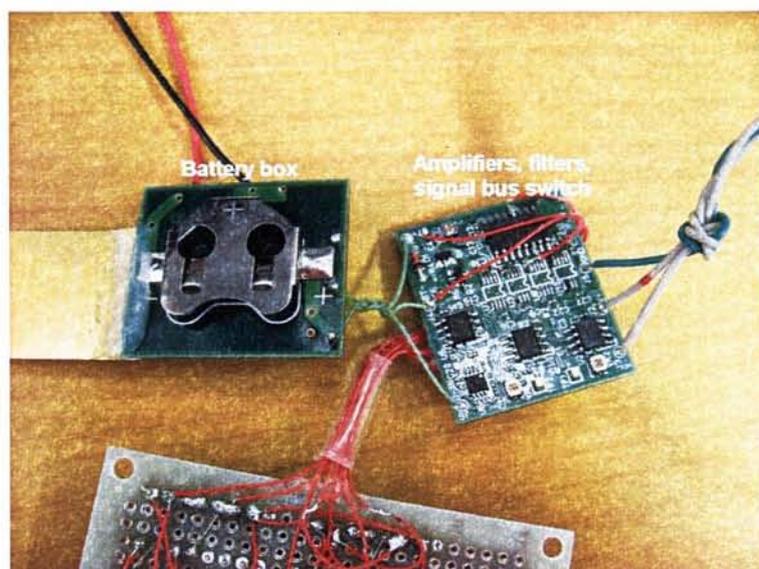


図 6.3 高機能RFID タグ試作基板裏面写真

## 6.2. 実験

システムとしての動作を確認するために試作した基板の実験を行った。心電測定用電極センサを図6.4のように装着し、電源には単3電池を2個使用した。



図 6.4 心電測定用電極センサ装着位置

なお、この実験では正極を左胸部に、負極を右胸部に、GND電極を人差指に装着した。

図6.5に信号切替えスイッチの出力信号を計測した際のオシロスコープの表示図を示す。

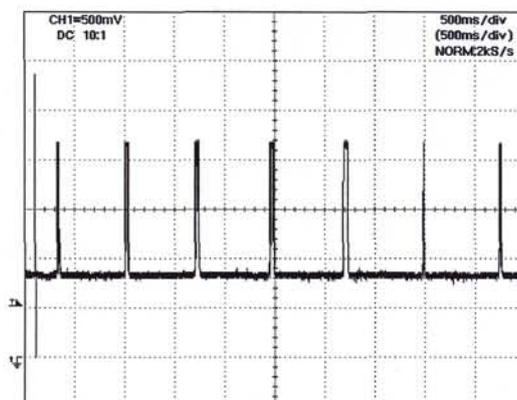


図 6.5 信号切替えスイッチ出力信号

図6.5において、トレースの冒頭部分に出力されている0Vから3V近

くまで立ち上がっているパルスが64ビットのIDコードであり, それ以外のパルスが心拍信号である. このIDコードを拡大して表示したものを図6.6に示す.

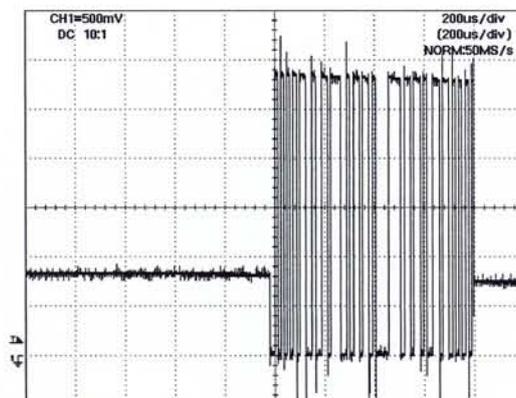


図 6.6 IDコード拡大図

Txモジュールの出力信号(アンテナへの入力信号)を高周波オシロスコープで測定したものを図6.7に示す.

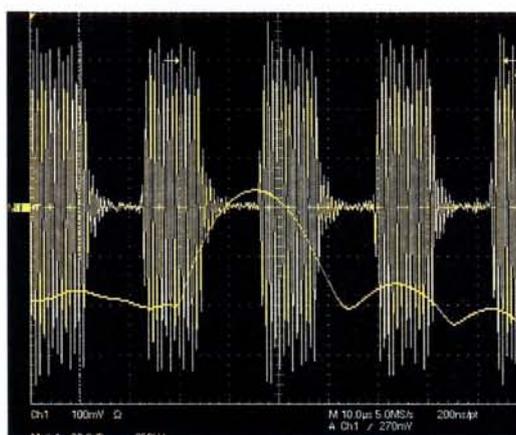


図 6.7 Txモジュールの出力信号(ASK変調)

IDコードの冒頭部分(10101010)<sub>2</sub>が変調信号として振幅変調されていることがわかる. なお, この図において出力信号に重なるようにして表示されている波形は搬送波のスペクトル(FFT解析結果)であり, この第1次高調波は約303MHzを示していた.

### 6.3. 結論

IDコード生成回路と心拍検出回路を搭載したICを用いて、提案する高機能RFIDタグの機能を実現する試作基板を作製し、実験を行った。心電測定用電極センサを実際に人体に装着し、計測した信号からこの試作基板を用いて心電R波信号を抽出できることが確認できた。また、このようにして検出した心電R波信号をIDコードをヘッダとする信号パッケージにして出力できることを確認した。これらの機能を実現するために基板に実装された全ての回路は単3電池2本によって供給される電力で動作した。

この試作においては、センサ信号増幅用プリアンプ、フィルタ、Txモジュール等を実装部品にて構成しているため基板の大きさが4cm×10cm程度となったが、これらの回路をIDコード生成回路、心拍検出回路も含めIC内に実装することによって小型化・低消費電力化が可能であり、アンテナと電池ボックスによって占有される大きさ(約3cm×5cm)程度で高機能RFIDタグを実現できると考えられる。

## 第7章 結論

本論文では、生体信号を計測する機能をもった高機能 RFID タグ専用 LSI について述べた。

まず、第2章において提案する2種類の高機能 RFID タグの用途と開発の動機を述べ、それらの RFID タグを構成するシステムの概要と動作原理について説明した。また、一部要素回路の具体的な仕様についても文中において明示した。

第3章では無線給電によって動作するパッシブ型高機能 RFID タグの電源回路への応用を目的とした、高効率・低リップル AC-DC 変換電源回路について述べた。提案回路の開発の背景と目的、大まかな仕様を冒頭部分において示し、従来技術で実現不可能な具体的な理由等を述べた。また、Cockcroft-Walton 型チャージポンプをもとにした提案回路の構成を示し、その動作を詳細に表す理論式を導出した。従来のチャージポンプ回路の理論式では詳細に表されていない負荷に対する出力減衰特性も、この理論式によって詳細にモデリングできることをシミュレーション結果との比較によって証明した。また、提案回路のプリント基板実装についても述べ、その実験結果とシミュレーション結果、理論値との比較検討も行った。これら全ての結果がシステムが要求する仕様を満たすことを示し、さらに先行研究との比較検討も行った。

タグを識別するための ID コードを生成する CMOS 論理回路について第4章で述べた。提案システムに実装するためには、従来回路より大幅なチップ占有面性の縮小が必要であったため、その画期的な解決策と有効性を示している。起動時に毎回リセットが必要であるという RFID タグ特有の問題を解決するリセット回路についても説明し、回路全体の電力マネジメント法についても解説している。提案回路を  $0.25\mu\text{m}$  CMOS プロセスで試作した IC の実験結果より、設定した 64 ビットの ID コード信号が正しく生成されていることを確認した。

第5章においては、増幅されたセンサ信号から心拍信号(特に R 波成分)を検出する心拍パルス検出回路について述べた。冒頭部分において遠隔的心拍測定法に関する研究の現状について文献を引用して述べ、提

案手法の必要性や利点を述べるとともに、高機能RFIDタグへ実装するための具体的な要求についても明示した。さらに、設計コンセプトと回路の具体的な仕様についても述べ、回路設計に際しての方針と注意点についても明らかにした。所望の動作をする提案回路の動作原理の概念を解説し、またその動作を理論的に解析した。さらに、素子寸法等の具体的な設計条件についても理論的に導出した。このようにして設計された回路のシミュレーション結果および実験結果を示し、提案手法および回路の設計条件と理論解析の有効性を証明した。ここまでで得られた結果を他の研究と比較し、提案回路の長所と先行研究のなかでの本研究の位置づけを明確にした。また、チップ占有面積の改善策についても提案し、レイアウト設計と実験結果よりその有効性を証明した。加えて、実装後でも心拍判定レベルを設定可能な可変SSTL設定回路も提案し、提案回路にプログラマビリティ、すなわち柔軟性を持たせることができることをシミュレーションにおいて確認した。

第6章では、IDコード生成回路と心拍検出回路を実装したICを用いて、提案する心拍信号を検出する機能をもった高機能RFIDタグをプリント基板に実装し、実際に電極センサを人体に装着し実験を行い、提案手法の有効性を確認した。提案する高機能RFIDタグの機能を実現する試作基板は4cm×10cm程度で実現でき、単3電池を2個直列に接続した電源により動作することを確認した。

提案システムの小型・低消費電力化のためにはTx・Rx回路のCMOS実装が最も有効な手段であると考えられる。しかし、この実現にはCMOSプロセスで動作する300MHzという高周波帯域における変復調回路と、アンテナ駆動用パワーアンプの設計が必要である。これらの回路の設計には、一般的なアナログ回路シミュレーションのみでは不十分であり、高周波回路設計の専門的な知識、素子や実装レイアウトの電磁解析シミュレーション、ICパッケージや測定機器による寄生容量の解析なども行わなければならない。提案する高機能RFIDタグの最終的なシステム・オン・チップ化に際しては、上記事項を考慮にいった設計と、それらを実行可能なシミュレータや実験機器・シールド環境などの整備が必要不可欠であると考えられる。

提案システムの実用化に際しては、提案する心拍パルス検出回路を用いたR-R間隔計測法の有効性を証明する必要がある。そのためには、実際に心拍パルス検出回路を用いてR-R間隔を統計学的に十分な数の被

測定者について計測し、従来の医用計測技術以上の有効性を示さなければならぬ。

また、現時点での提案システムの製造コストは数十万円～数百万円と非常に高価で一般に普及し得るほど安価であるとは決して言えない。製造コストを下げるためには全システムのオンチップ化が重要である。しかしそれには、電源回路の耐圧、高周波回路を実装可能な微細プロセス(低耐圧)、マイクロアンテナのCMOSプロセス実装などに挙げられる問題の解決が必要不可欠であると考えられる。

## 謝 辞

本研究の機会を与えて下さり、研究の遂行と本論文の執筆のみにとどまらず公私にわたって懇切丁寧なる御指導と御助言を賜った井上高宏教授ならびに常田明夫准教授に謹んで感謝の意を表します。回路システム研究室にて学んだ6年間において、先生方の御指導なくしては今の私はなかったと存じます。先生方の御指導の下本研究室の一員として学び、研究を遂行できたことは光栄の至りです。加えて、国内・国際学会の参加渡航費や共同研究企業との研究打ち合わせのための出張費など、金銭的にも多大なる援助を賜ったことにも、重ねて御礼申し上げます。研究指導委員会委員としての的確な御指導を頂いた村山伸樹教授、西本昌彦教授、中村有水教授にも感謝致します。

また、本研究プロジェクトにおいて共に研究を遂行し、私生活においても多くの苦楽を共にした回路システム研究室の仲間達の協力なくしては、本論文の研究成果を得ることはできませんでした。お世話になった回路システム研究室の学生、卒業生の皆様に厚く御礼申し上げます。

最後に、私を愛情深く育て長きにわたる学生生活において経済的・精神的に多大なる援助をしてくれた父烈、母玉枝と、いつも私のストレスのはけ口になってくれた弟剛史、苦しい研究生活を傍で支え続けてくれた妻知美に深く感謝します。

## 参考文献

- [1] T. Yamakawa, T. Inoue, S. Hino, E. Ichihara, Y. Takamune, S. Eto, T. Takenaka, J. Chiyonaga, A. Tsuneda, "A circuit design of a smart RF ID tag for heartbeat signal extraction", *The 2004 47th Midwest Symposium on Circuits and Systems Proceedings*, Vol.3, pp.iii-307-310, 2004.
- [2] T. Yamakawa, T. Inoue, S. Eto, T. Takenaka, J. Chiyonaga, and A. Tsuneda, "A smart RF ID tag circuit for mouse's heartbeat signal extraction", *Proceedings of The 2004 IEEJ International Analog VLSI Workshop*, pp.227-232, 2004.
- [3] T. Yamakawa, T. Inoue, S. Eto, J. Chiyonaga, T. Takenaka, T. Umeda, A. Tsuneda, "An advanced design of a smart RF ID tag circuit for heartbeat signal extraction", *Proceedings of The 2005 IEEJ International Analog VLSI Workshop*, CD-ROM, Paper ID: 24, pp.1-6, 2005.
- [4] T. Yamakawa, T. Inoue, A. Nakajima, T. Yonezawa, A. Tsuneda, "A circuit design of ID-code and heartbeat signal processing blocks of a smart RFID tag for mice", *Proceedings of The 2006 IEEE International Symposium on Circuits and Systems*, pp.2569-2752, 2006.
- [5] 厚生労働省, "人口能動統計 性・年齢別にみた死因順位," 平成 17 年度人口能動調査, 2007.
- [6] 坂上正道 他 厚生労働省研究班, "乳幼児突然死症候群 (SIDS) に関するガイドライン," 厚生労働省, 2005.
- [7] T. Igasaki, N. Murayama, J. Maehara, "Estimations of prognosis for SAH patients in the ICU using R-R interval fluctuation analysis," *Proceedings of the International Federation for Medical and Biological Engineering*, Vol.7, pp.137-140, 2004.
- [8] 井上高宏, 常田明夫, 山川俊貴, 尾園弘和, "CMOS リング発信器型 ASK 変調回路の設計に関する一考察", 電気関係学会九州支部第 56 回連合大会講演論文集, 06-1A-10, p.1, 2003.

- [9] 井上高宏, 常田明夫, 山川俊貴, 尾園弘和, “CMOS リング発信器型 ASK 変調器の一設計とその解析”, 電気学会電子回路研究会資料, ECT-03-103, pp.57-60, 2003.
- [10] 井上高宏, 常田明夫, 山川俊貴, 尾園弘和, “CMOS リング発信器型 ASK 変調回路の一構成とその解析”, 第 18 回熊本県産学官技術交流会資料, p.532, 2004.
- [11] 竹中智哉, 馬庭志織, 山川俊貴, 井上高宏, 常田明夫, “電圧ならびに電流モードリング発信器の構成とその RF デジタル変調器への応用”, 電気学会電子回路研究会資料, ECT-05-16, pp.19-24, 2005.
- [12] 齋藤景子, 井上高宏, 山川俊貴, 常田明夫, “スマート RFID タグ IC 用 E 級パワーアンプの一設計と考察”, 電気関係学会九州支部第 58 回連合大会講演論文集, 14-1P-10, p.1, 2005.
- [13] Yat-Hei Lam, Wing-Hung Ki, Chi-Ying Tsu, “Integrated low-loss CMOS active rectifier for wirelessly powered devices,” *IEEE Trans. on Circuit and Systems II*, Vol.53, No.4, pp.1378-1382, 2006.
- [14] Sung-Eun Kim, Seong-Jun Song, Jim Kyung Kim, Sunyoung Kim, Jae-Youl Lee, Hoi-Jun Yoo, “A small ripple regulated charge pump with automatic pumping control schemes,” *Proc. ESSCIRC 2004*, pp.383-386, Sept. 2004.
- [15] F. Bedeschi, C. Boffine, E. Bonizzoni, O. Khouri, G. Pollaccia, C. Resta, G. Rorelli, “A low-ripple voltage tripler,” *Proc. ISCAS 2006*, pp.2753-2756, 2006.
- [16] 江藤慎一郎, 井上高宏, 山川俊貴, 竹中智哉, 茂谷俊昭, 常田明夫, “低リップルダイオードチャージポンプ型 AC-DC 変換回路を用いた集積化可能な定電圧電源回路の一設計”, 電気関係学会九州支部第 57 回連合大会講演論文集, 07-2P-24, p.1, 2004.
- [17] 宋春奇, 井上高宏, 山川俊貴, 常田明夫, “生体情報計測 RFID ゴマ粒チップ搭載用小電力電源回路の一設計”, 電気学会電子回路研究会資料, ECT-06-90, pp.1-6, 2006.

- [18] 山川俊貴, 井上高宏, 宋春奇, 常田明夫, “10MHz 帯用低リップル昇圧型 AC-DC 変換電源回路の試作と実験”, 電気学会電子回路研究会資料, ECT-07-53, pp.1-4, 2007.
- [19] C. Song, T. Inoue, S. Eto, T. Yamakawa, A. Tsuneda, “Design of an integrated CMOS power supply for wireless power feeding to a smart RFID tag”, *Proceedings of The 2006 IEEJ International Analog VLSI Workshop*, CD-ROM, paper ID: P06009, pp.1-6, 2006.
- [20] T. Yamakawa, T. Inoue, A. Tsuneda, “Design and experiments of a novel low-ripple Cockcroft-Walton AC-to-DC converter for a coil coupled passive RFID tag”, *IEICE Transaction on Fundamentals: Special Section on Analog Circuit Techniques and Related Topics*, Vol. E91-A, No.2, pp.513-520, 2008.
- [21] Infineon Technologies AG (<http://www.infineon.com/>).
- [22] G. K. Balachandran, R. E. Barnett, “A 110nA voltage regulator system with dynamic bandwidth boosting for RFID systems,” *IEEE J. of Solid-State Circuits*, Vol.41, No.9, pp.2019-2028, 2006.
- [23] M.D. Herr, J.J. McInerney, D.G. Lamser, G.L. Copenhaver, “A flying spot X-ray system for Compton backscatter imaging,” *IEEE Transactions on Medical Imaging*, Vol.13, No.3, pp.461-469, 1994.
- [24] J. Geisheimer, D.F. Greneker III, “A non-contact lie detector using radar vital signs monitor (RVSM) technology”, *IEEE Aerospace and Electronic Systems Magazine*, Vol.16, No.8, pp.10-14, 2001.
- [25] A. Ruha, S. Sallinen, S. Nissila, “A real-time microprocessor QRS detector system with a 1-ms timing accuracy for the measurement of ambulatory HRV”, *IEEE Transactions on Biomedical Engineering*, Vol.44, No.3, pp.159-167, 1997.
- [26] K. Opasjumruskit, T. Thanthipwan, O. Sathusen, P. Sirinamarattana, P. Gadmanee, E. Pootarapan, N. Wongkomet, A. Thanachayanont, M. Tham-sirianunt, “Self-powered wireless temperature sensors exploit RFID technology”, *IEEE Pervasive Computing*, Vol.5, No.1, pp.54-61, 2006.

- [27] P. Mohseni, K. Najafi, S.J. Eliades, Xiaoqin Wang, "Wireless multichannel biopotential recording using an integrated FM telemetry circuit", *IEEE Transactions on Rehabilitation Engineering*, Vol.13, No.3, pp.263-271, 2005.
- [28] T. Yamakawa, T. Inoue, M. Harada, A. Tsuneda, "Design of a CMOS heartbeat spike-pulse detection circuit integrable in an RFID tag for heart rate signal sensing", *IEICE Transaction on Electronics*, 電子情報通信学会, Vol.E90-C, No.6, pp.1336-1343, 2007.
- [29] 山川俊貴, 井上高宏, 原田真行, 常田明夫, "スマート RFID タグ用心拍パルス検出 CMOS 回路の設計と実験", "電気関係学会九州支部第 60 回連合大会講演論文集", 06-1A-11, p.1, 2007.
- [30] T. Yamakawa, T. Inoue, M. Harada, A. Tsuneda, "The measurement and improvement of a CMOS heartbeat spike-pulse detection circuit for a smart RFID tag", *Proceedings of The 2007 IEEJ International Analog VLSI Workshop*, pp.46-50, 2007.
- [31] 梅田武史, 井上高宏, 山川俊貴, 原田真行, 常田明夫, "スマート RFID タグ用心拍検出回路における直流動作点", 電気学会電子回路研究会資料, ECT-05-69, pp.1-6, 2005.
- [32] 井上高宏, 原田真行, 山川俊貴, 常田明夫, "スマート RFID チップ用 CMOS 心拍パルス検出回路のコンパレータ判定レベル発生回路の一提案", 電気関係学会九州支部第 59 回連合大会講演論文集, 07-2P-18, p.1, 2006.
- [33] Metin Akay, *Nonlinear biomedical signal processing Vol. II*, IEEE press, 2001.
- [34] A. Gerosa, A. Neviani, "A  $1.8\mu\text{W}$  sigma-delta modulator for 8-bit digitization of cardiac signals in implantable pacemakers operation down to  $1.8\text{V}$ ", *IEEE Transactions on Circuit and Systems II: Analog and Digital Signal Processing*, Vol.52, No.2, pp.71-76, 2005.
- [35] L. Lentola, A. Mozzi, A. Neviani, A. Baschiroto, "A  $1\text{-}\mu\text{A}$  front-end for pacemaker atrial sensing channels with early sensing capability", *IEEE Transactions on Circuits and Systems II: Analog Digital Signal Processing*, Vol.50, No.8, pp.397-403, 2003.

- [36] A. Ruha, J. Kostamovaara, S. Säynäjäkangas, "A micropower analog-digital heart rate detector chip", *Analog Integrated Circuits and Signal Processing*, Vol. 5, No.2, pp.147-168, 1994.
- [37] 井上高宏, 常田明夫, 山川俊貴, "FG-MOSFETのリフレッシュ形  $V_{th}$  オートチューニング法", 第17回熊本県産学官技術交流会資料, p.504, 2003.
- [38] 井上高宏, 常田明夫, 市原栄蔵, 山川俊貴, "浮遊ゲート上の初期電荷に依らないFG-MOSFETのみかけのしきい電圧の電子的固定手法とその解析", 電気学会電子回路研究会資料, ECT-03-102, pp.51-55, 2003.
- [39] T. Inoue, E. Ichihara, T. Yamakawa, A. Tsuneda, "A realization of a common-source FG-MOSFET with a simple electric  $V_{th}$  adjustment almost irrelevant to the amount of the prestored charge on the floating gate", *IEICE Transaction on Fundamentals*, Vol.E87-A, No.3, pp.753-756, 2004.

**付録 A 電子情報通信学会英文論文  
誌 C 分冊投稿論文**

**付録B 電子情報通信学会英文論文  
誌A分冊アナログ回路技術  
特集号投稿論文**