



**Escuela Superior
de Ingeniería y Tecnología**
Universidad de La Laguna

Trabajo de Fin de Grado

Construcción de un amplificador en clase D y evaluación de sus prestaciones

Grado en Ingeniería Electrónica Industrial y
Automática

Año académico: 2019/2020

Autor: Alejandro Díaz González

Tutor: Francisco Javier Llopis Cánovas

Índice

Resumen	7
Palabras clave	7
Abstract	8
Keywords	8
1. Introducción	9
1.1. Etapa de salida clase A	10
1.2. Etapa de salida clase B	12
1.3. Etapa de salida clase AB	13
1.4. Etapa de salida clase C	15
1.5. Etapa de salida clase D	15
2. Marco teórico	18
2.1. Conversión de señal lineal a señal discreta	18
2.1.1. Modulación Sigma-Delta	18
2.1.2. Modulación PWM	19
2.2. Etapa de conmutación	21
2.2.1. Configuración de medio puente	21
2.2.2. Configuración de puente completo	22
2.2.3. <i>Dead time</i>	23
2.2.4. MOSFET de enriquecimiento de canal N	23
2.2.4.1. Regiones de funcionamiento	23
2.2.4.2. Componentes parásitos	26
2.2.4.3. Procedimiento de encendido	28
2.2.4.4. Procedimiento de apagado	29
2.2.4.5. Parámetros que afectan a las pérdidas del amplificador	30
2.2.4.6. MOSFET canal N vs MOSFET canal P.	32
2.3. Filtro rector	32
2.4. Altavoz	32
3. Diseño del circuito y selección de componentes	34
3.1. Regulador de tensión LM7812	34
3.2. Generador de señales PWM complementarias TL494	34
3.2.1. Regulador interno	35
3.2.2. Oscilador	35



3.2.3.	Modos de funcionamiento y transistores de salida	36
3.3.	MOSFET IRF540	36
3.3.1.	Recta de carga y punto de operación	36
3.4.	Gate driver y generador de dead time IR2110	38
3.4.1.	Diseño del circuito <i>bootstrap</i>	40
3.4.1.1.	Condensador Bootstrap	40
3.4.1.2.	Selección del diodo <i>bootstrap</i>	42
3.4.1.3.	Consideraciones de diseño recomendadas por el fabricante	42
3.4.2.	Resistencia de puerta y diodo antiparalelo	42
3.5.	Filtro reconstructor	42
3.5.1.	Cálculo de los valores de la bobina y el condensador	43
3.5.2.	Función de transferencia.	43
4.	Simulaciones y resultados	45
4.1.	Regulador de tensión LM7812C	45
4.2.	Componente TL494	46
4.3.	IR2110 y MOSFET	49
4.3.1.	Red de <i>snubber</i>	54
4.4.	Filtro reconstructor	58
4.4.1.	Efectos de la distorsión	60
4.5.	Mediciones	62
4.5.1.	Rendimiento	62
4.5.1.1.	Potencia disipada y estudio de la implementación de un disipador de calor	65
4.5.1.2.	Rendimiento con distintos valores de $R_{DS(on)}$	66
4.5.2.	THD	67
5.	Diseño de la PCB	68
5.1.	<i>Footprints</i>	68
6.	Presupuesto	71
6.1.	Coste de los componentes	71
6.2.	Coste del material	72
6.3.	Coste de la mano de obra	72
6.4.	Coste total	72
7.	Conclusions and possible improvements	73
8.	Bibliografía	74
9.	Anexos	76



I. Esquemático del circuito	76
II. Fotolitos del diseño de PCB (Capa de soldadura, plano de ensamblaje, plano de serigrafía, cara de máscara de soldadura y plano de taladrado respectivamente)	78
III. Documentación del diseño (Componentes, longitud de pistas, lista de pistas y taladros respectivamente)	84
IV. Hojas de características de los componentes LM7812, TL494, IR2110, IRF540, condensador Bootstrap y diodo Bootstrap 1N4148	97



Índice de figuras

FIGURA 1. FORMAS DE ONDA DE CORRIENTE DE COLECTOR, ÁNGULOS DE CONDUCCIÓN Y EFICIENCIA DE LAS DISTINTAS ETAPAS DE SALIDA. FUENTE: REFERENCIA [2].	9
FIGURA 2. (A) AMPLIFICADOR EN EMISOR COMÚN COMO ETAPA DE SALIDA CLASE A. RECTA DE CARGA Y VARIACIONES DE i_C Y v_{CE} EN TORNO AL PUNTO DE TRABAJO [2, 3]. (B) SEGUIDOR DE EMISOR COMO ETAPA CLASE A: EN ESTE CASO LA CARGA SE ACOPLA CAPACITIVAMENTE	10
FIGURA 3. ETAPA DE SALIDA CON SEGUIDOR POR EMISOR Y CARACTERÍSTICA VTC [4].	11
FIGURA 4. (A) ETAPA DE SALIDA CLASE B: FORMAS DE ONDA EN LOS DOS SEMICICLOS. (B) RECTA DE CARGA Y VARIACIONES DE i_{C1} Y v_{CE1} [2,3].	12
FIGURA 5. VTC DE LA ETAPA DE SALIDA CLASE B [1].	13
FIGURA 6. ETAPA DE SALIDA CLASE AB. LOS TRANSISTORES SE POLARIZAN EN REGIÓN ACTIVA CON LOS DIODOS D1 Y D2.	14
FIGURA 7. VTC DE LA ETAPA DE SALIDA CLASE AB [1].	14
FIGURA 8. CIRCUITO Y POLARIZACIÓN DE LA ETAPA DE SALIDA CLASE C [2].	15
FIGURA 9. GENERACIÓN DE LA SEÑAL PWM [9].	16
FIGURA 10. ESQUEMAS PARA LA CONDUCCIÓN DE LOS INTERRUPTORES [8]. (A) CONFIGURACIÓN EN MEDIO PUENTE. (B) CONFIGURACIÓN EN PUENTE COMPLETO.	16
FIGURA 11. DIAGRAMA DE BLOQUES DE LAS ETAPAS DE SALIDA CLASE D [10].	17
FIGURA 12. ESTRUCTURA DEL CIRCUITO MODULADOR SIGMA-DELTA [12].	18
FIGURA 13. SEÑAL PWM GENERADA CON UN M_F MUY ELEVADO [9].	19
FIGURA 14. ESPECTRO DE UNA SEÑAL PWM CON $M_A < 1$ Y $M_F > 9$ [9].	20
FIGURA 15. COMPORTAMIENTO DE LA SEÑAL PWM EN FUNCIÓN DE M_A [9].	21
FIGURA 16. (A) CIRCUITO EN CONFIGURACIÓN DE MEDIO PUENTE. (B) CIRCUITO EN CONFIGURACIÓN DE MEDIO PUENTE ASIMÉTRICO [13].	22
FIGURA 17. CIRCUITO EN CONFIGURACIÓN DE PUENTE COMPLETO [13].	22
FIGURA 18. TIEMPO MUERTO ENTRE DOS SEÑALES PWM.	23
FIGURA 19. ESTRUCTURA INTERNA DEL MOSFET DE ENRIQUECIMIENTO DE CANAL N [15].	24
FIGURA 20. REGIÓN DE CORTE [15].	24
FIGURA 21. REGIÓN ÓHMICA [15].	25
FIGURA 22. REGIÓN DE SATURACIÓN [15].	26
FIGURA 23. MODELO DE CONMUTACIÓN DEL MOSFET [16].	26
FIGURA 24. ESQUEMA DEL CIRCUITO DE CONMUTACIÓN EN EL ENCENDIDO [16].	28
FIGURA 25. SEÑALES DEL PROCEDIMIENTO EN EL ENCENDIDO DEL MOSFET [16].	28
FIGURA 26. ESQUEMA DEL CIRCUITO DE CONMUTACIÓN EN EL APAGADO [16].	29
FIGURA 27. SEÑALES DEL PROCEDIMIENTO EN EL APAGADO DEL MOSFET [16].	30
FIGURA 28. ORIGEN DE LAS PÉRDIDAS DE CONDUCCIÓN Y DE CONMUTACIÓN DE LOS MOSFET [13].	31
FIGURA 29. FILTRO BUTTERWORTH DE SEGUNDO ORDEN [7].	32
FIGURA 30. (A) CONDENSADOR DE POLIPROPILENO. (FUENTE: HTTPS://WWW.SONYMAG.ES) (B) BOBINA CON NÚCLEO DE HIERRO (FUENTE: HTTPS://WWW.MAGMATTEC.COM.BR).	32
FIGURA 31. RED DE ZOBEL (R_z Y C_z).	33
FIGURA 32. REGULADOR DE TENSIÓN LM7812.	34
FIGURA 33. DIAGRAMA DE BLOQUES DEL CIRCUITO INTEGRADO TL494.	35
FIGURA 34. CURVA CARACTERÍSTICA DEL TRANSISTOR MOSFET IRF540.	36
FIGURA 35. CIRCUITO CON EL MOSFET IRF540.	37
FIGURA 36. REPRESENTACIÓN DE LA CURVA CARACTERÍSTICA DEL MOSFET Y SU RECTA DE CARGA.	37
FIGURA 37. (A) INTERSECCIÓN DE LA CURVA CARACTERÍSTICA DEL MOSFET Y SU RECTA DE CARGA (B) VALORES DE TENSIÓN Y CORRIENTE DE DRENADOR A SU SALIDA CUANDO SE ENCUENTRA EN CONDUCCIÓN.	38
FIGURA 38. DIAGRAMA DE BLOQUES DEL COMPONENTE IR2110.	39
FIGURA 39. ESQUEMA DEL CIRCUITO BOOTSTRAP [24].	39
FIGURA 40. COEFICIENTES PARA EL CÁLCULO DE LOS COMPONENTES DEL FILTRO DE BUTTERWORTH [26].	43
FIGURA 41. FILTRO DE BUTTERWORTH CON LAS IMPEDANCIAS QUE LO COMPONEN.	44
FIGURA 42. ESQUEMÁTICO DE SIMULACIÓN DEL REGULADOR LM7812.	45
FIGURA 43. RESULTADO DE LA SIMULACIÓN A LA SALIDA DEL REGULADOR LM7812.	45
FIGURA 44. VISUALIZACIÓN EN EL OSCILOSCOPIO DE LA SALIDA DEL REGULADOR LM7812.	46



FIGURA 45. ESQUEMÁTICO PARA LA SIMULACIÓN DEL FUNCIONAMIENTO DEL C.I. TL494.	46
FIGURA 46. SIMULACIÓN DE UNA SEÑAL SENOIDAL DE 10 KHZ Y $V_p = 1,2V$ Y LA SEÑAL EN DIENTE DE SIERRA DEL C. I. TL494.	47
FIGURA 47. SIMULACIÓN DE LA SEÑAL COMPLEMENTADA (PARTE SUPERIOR) Y LA SEÑAL ORIGINAL (PARTE INFERIOR) COMO RESULTADO DE LA COMPARACIÓN.	47
FIGURA 48. SIMULACIÓN DEL ESPECTRO EN FRECUENCIA DE LA SEÑAL PWM ORIGINAL.	47
FIGURA 49. VISUALIZACIÓN EN EL OSCILOSCOPIO DE LA SEÑAL SENOIDAL DE 10 KHZ Y $V_p = 3 V$, Y LA SEÑAL EN DIENTE DE SIERRA DEL C. I. TL494.	48
FIGURA 50. VISUALIZACIÓN EN EL OSCILOSCOPIO DE LA SEÑAL PWM Y SU COMPLEMENTARIA.	48
FIGURA 51. VISUALIZACIÓN EN EL OSCILOSCOPIO DE LA SEÑAL PWM Y SU COMPLEMENTARIA (EN UNA ESCALA AMPLIADA).	48
FIGURA 52. AUSENCIA DEL TIEMPO MUERTO EN LA SIMULACIÓN.	49
FIGURA 53. VISUALIZACIÓN EN EL OSCILOSCOPIO DE LA AUSENCIA DEL TIEMPO MUERTO.	49
FIGURA 54. CIRCUITO PARA LA SIMULACIÓN DEL FUNCIONAMIENTO C.I. IR2110.	50
FIGURA 55. SIMULACIÓN DE LAS SEÑALES HO (TRAZO ROJO) Y LO (TRAZO AZUL) DEL INTEGRADO IR2110.	50
FIGURA 56. TENSIÓN EN LOS TERMINALES HO (TRAZO ROJO) Y Vs (TRAZO AZUL).	51
FIGURA 57. CAÍDAS DE VOLTAJE ENTRE PUERTA Y FUENTE DEL MOSFET SUPERIOR (TRAZO ROJO) Y DEL MOSFET INFERIOR (TRAZO AZUL).	51
FIGURA 58. TENSIÓN EN EL TERMINAL Vs (TRAZO AZUL) Y LO (TRAZO ROJO).	52
FIGURA 59. VISUALIZACIÓN EN EL OSCILOSCOPIO DE LAS SEÑALES HO (TRAZO AMARILLO) Y LO (TRAZO AZUL) DEL CIRCUITO INTEGRADO IR2110.	52
FIGURA 60. TENSIÓN DE PUERTA MOSFET INFERIOR.	53
FIGURA 61. TENSIÓN DE PUERTA (TRAZO AMARILLO) Y TENSIÓN DE LA FUENTE (TRAZO AZUL) DEL MOSFET SUPERIOR.	53
FIGURA 62. CAÍDA DE TENSIÓN ENTRE PUERTA Y FUENTE DEL MOSFET SUPERIOR.	53
FIGURA 63. VISUALIZACIÓN EN EL OSCILOSCOPIO DEL TIEMPO MUERTO ENTRE LAS SEÑALES HO (TRAZO AMARILLO) Y LO (TRAZO AZUL).	54
FIGURA 64. CONFIGURACIÓN DE LA RED DE SNUBBER EN TOPOLOGÍAS DE MEDIO PUENTE ASIMÉTRICO [28].	54
FIGURA 65. MEDICIÓN DEL PERÍODO DE LA OSCILACIÓN EN EL TERMINAL HO.	55
FIGURA 66. ESQUEMÁTICO DE LA SIMULACIÓN PARA EL ANÁLISIS DE LOS COMPONENTES PARÁSITOS DEL MOSFET.	56
FIGURA 67. OSCILACIÓN RESULTANTE DE LA SIMULACIÓN DE LOS COMPONENTES PARÁSITOS DEL MOSFET.	57
FIGURA 68. COMPARACIÓN ENTRE LAS FORMAS DE ONDA CON Y SIN LAS REDES SNUBBER. TRAZO AZUL: $R = 39 \Omega$ Y $10 nF$. TRAZO ROJO: $R = 68 \Omega$ Y $5,6 nF$. TRAZO VERDE: SIN SNUBBER.	57
FIGURA 69. COMPARACIÓN DE LA RESPUESTA EN FRECUENCIA DEL CIRCUITO SIN SNUBBER (TRAZO VERDE) Y CON SNUBBER (TRAZO AZUL).	58
FIGURA 70. VISUALIZACIÓN EN EL OSCILOSCOPIO DE LA REDUCCIÓN DE LA OSCILACIÓN MEDIANTE LA IMPLEMENTACIÓN DE LA RED SNUBBER.	58
FIGURA 71. SIMULACIÓN DEL DIAGRAMA DE BODE DEL FILTRO RECONSTRUCTOR.	59
FIGURA 72. DIAGRAMA DE BODE DEL FILTRO RECONSTRUCTOR PARA UNA CARGA DE 100Ω	59
FIGURA 73. SALIDA DEL FILTRO (TRAZO AMARILLO) Y SU ESPECTRO DE FRECUENCIAS (TRAZO MORADO).	60
FIGURA 74. COMPARACIÓN ENTRE LA SEÑAL SENOIDAL DE ENTRADA (TRAZO AZUL) Y DE SALIDA (TRAZO AMARILLO).	60
FIGURA 75. SEÑAL DE ENTRADA (TRAZO AZUL), SEÑAL TRIANGULAR (TRAZO ROJO) Y SEÑAL PWM GENERADA DEBIDA A LA SOBREMULACIÓN (TRAZO VERDE).	61
FIGURA 76. SEÑAL ANTES DEL FILTRADO (TRAZO VERDE) Y UNA VEZ FILTRADO (TRAZO ROJO).	61
FIGURA 77. COMPARACIÓN DEL ESPECTRO EN FRECUENCIAS DE UNA SEÑAL SIN SOBREMULACIÓN (ARRIBA) Y SOBREMULADA (ABAJO)	62
FIGURA 78. ESQUEMÁTICO DE SIMULACIÓN PARA LA MEDICIÓN DE LA CAÍDA DE TENSIÓN DE LA RESISTENCIA DE LA FUENTE.	63
FIGURA 79. VALOR MEDIO DE LA CAÍDA DE TENSIÓN EN LA RESISTENCIA DE LA FUENTE ($M_A = 0,8$ Y $F_{IN} = 10kHz$).	63
FIGURA 80. ESQUEMÁTICO DE SIMULACIÓN PARA LA MEDICIÓN DE LA CAÍDA DE TENSIÓN DE LA RESISTENCIA EN SERIE CON LA CARGA.	64
FIGURA 81. VALOR RMS DE LA CAÍDA DE TENSIÓN EN LA RESISTENCIA EN SERIE CON LA CARGA.	64
FIGURA 82. VALOR RMS DE LA CAÍDA DE TENSIÓN EN LA SALIDA.	65



FIGURA 83. RENDIMIENTO DEL AMPLIFICADOR PARA DISTINTOS MOSFET CON VALORES DE $R_{DS(on)}$ DIFERENTES.. 67

Resumen

Este trabajo de fin de grado aborda el diseño y la construcción de una etapa de salida clase D. El circuito diseñado, con una estructura relativamente sencilla, se puede utilizar para analizar los diferentes bloques que lo integran en prácticas de laboratorio.

Se ha usado el circuito integrado TL494 para la generación de la señal PWM a una frecuencia en torno a los 250 kHz. Los pulsos de la señal PWM se aplican al circuito integrado IR2110, que es capaz de activar los transistores de salida (MOSFET de canal n) de la forma más segura, rápida y eficiente posible. Para evitar la posibilidad de que lleguen a conducir simultáneamente (lo que provocaría el cortocircuito entre los buses de continua) el circuito introduce un tiempo de retardo (lo que se conoce como *dead time* o tiempo muerto).

Se ha usado un filtro LC pasa bajas con respuesta de tipo Butterworth para reconstruir la señal y reproducirla adecuadamente en la carga.

Palabras clave

- Amplificador
- Modulación por ancho de pulso
- Controlador de puerta
- Tiempo muerto
- Transistor MOSFET
- Filtro reconstructor



Abstract

This Undergraduate Thesis addresses the design and building of a Class D output stage. The designed circuit, with a relatively simple structure, can be used to analyze its different building blocks in laboratory experiments.

The TL494 integrated circuit has been used for the generation of the PWM signal at a frequency around 250 kHz. PWM pulses are applied to the IR2110 integrated circuit, which is capable of driving output transistors (n-channel MOSFETs) as safely, quickly and efficiently as possible. To avoid the possibility of simultaneous driving (which would cause the short circuit between DC buses) the circuit introduces a delay time (known as dead time)

A low pass LC filter with Butterworth response is used to reconstruct the signal and reproduce it properly in the load.

Keywords

- Amplifier
- Pulse width modulation
- Gate driver
- Dead time
- MOSFET transistor
- Reconstructive filter



1. Introducción

Las etapas de salida, o también llamadas amplificadores de potencia, son sistemas que convierten la señal de entrada en otra señal con mayor amplitud en voltaje y corriente en función de la ganancia que presenten.

Estos circuitos se clasifican en función de la forma de onda de corriente del colector (o de drenador en el caso de los MOSFET) del transistor de salida cuando se aplica una señal de entrada como se muestra en la Figura 1. Suponemos que la componente de señal es una onda senoidal.

Las etapas en las cuales los transistores se polarizan con una corriente de colector o drenador mayor que la amplitud de la corriente de la señal, se denominan **etapas clase A**. Los transistores presentan un ángulo de conducción de 360° , pues conducen durante todo el ciclo de la señal de entrada [1,2].

En cambio, si los transistores se polarizan con una corriente nula, la etapa de salida se denomina **etapa clase B**. De esta manera, un transistor conduce únicamente durante la mitad del ciclo de la señal de entrada, por lo que se obtiene un ángulo de conducción de 180° [1,2].

Un tipo de etapa a medio camino entre las anteriormente nombradas es la llamada **etapa clase AB**. En este caso, los transistores se polarizan con una corriente mucho más pequeña que la corriente de pico de la señal senoidal y, por tanto, conducen durante un intervalo ligeramente mayor de medio ciclo. Por consiguiente, el ángulo de conducción resultante está comprendido entre valores mayores que 180° y mucho menores que 360° [1].

También están las llamadas **etapas de clase C** en los cuales el ángulo de conducción que presenta es menor que 180° debido a que el transistor conduce durante un intervalo más corto que el de un semiciclo. La forma de la señal de la corriente del colector es una señal periódica pulsatoria [1].

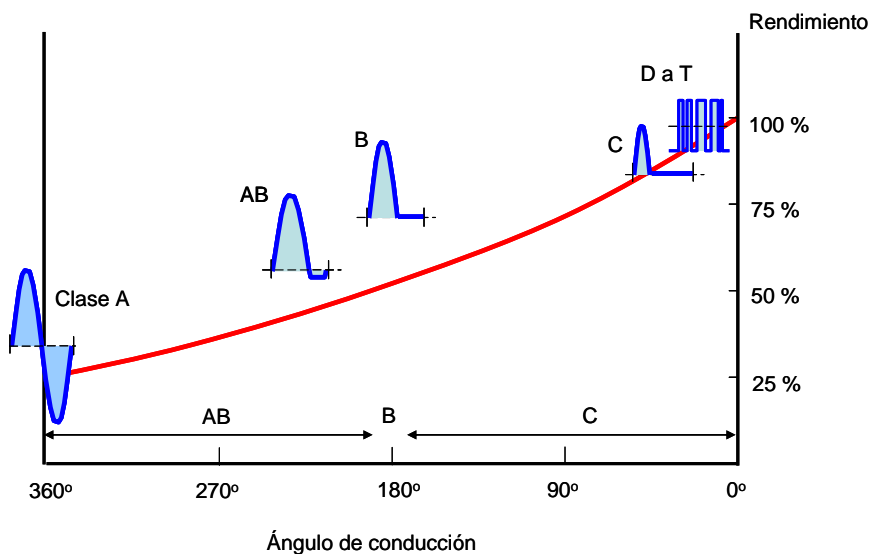


Figura 1. Formas de onda de corriente de colector, ángulos de conducción y eficiencia de las distintas etapas de salida. Fuente: referencia [2].



1.1. Etapa de salida clase A

En las etapas de clase A los transistores pueden permanecer en la región activa en todo momento [1]. Por ejemplo, en la figura 2.a se representa un amplificador en emisor común con degeneración de emisor. El divisor R_1 - R_2 permite polarizar la base de forma que la señal de entrada se superpone a la tensión de la base y se reproduce con mayor amplitud en la salida. Con la resistencia R_E se consigue estabilizar el punto de trabajo frente a cambios de temperatura o de la beta del transistor. En la misma figura se representan las máximas excursiones de señal que pueden presentar la corriente de colector y la tensión colector-emisor, que se dan cuando el punto de operación es el punto medio de la recta de carga. Cuando la variación de i_C en torno al punto Q (la componente alterna) es máxima, también es máxima la amplitud de la componente alterna de la salida [3]. Se observa que las amplitudes de las señales están limitadas por el paso a corte o a saturación del transistor.

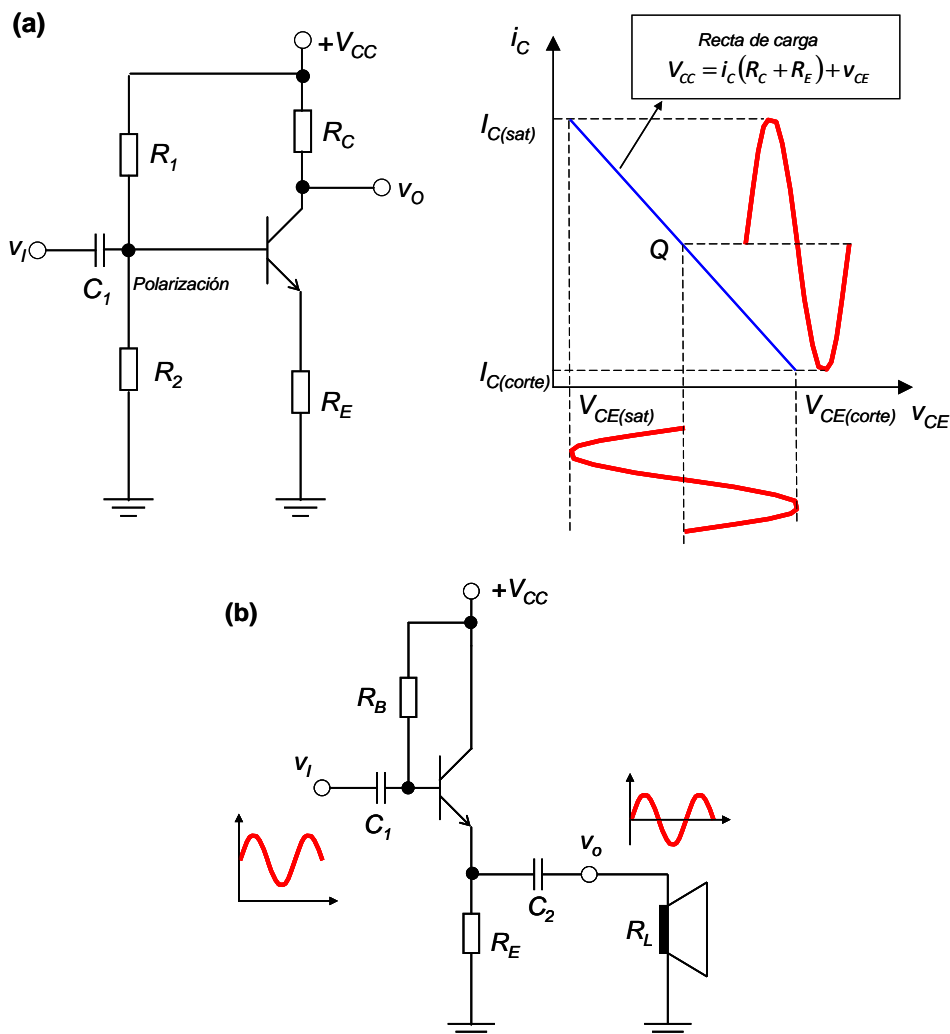


Figura 2. (a) Amplificador en emisor común como etapa de salida clase A. Recta de carga y variaciones de i_C y v_{CE} en torno al punto de trabajo [2, 3]. (b) Seguidor de emisor como etapa clase A: en este caso la carga se acopla capacitivamente.



Este circuito puede diseñarse para obtener una ganancia de tensión igual aproximadamente a $A_v = -R_C/R_E$. Si consideramos la resistencia de colector R_C como resistencia de carga, la ganancia de corriente se expresa como $A_i = A_v R_C/R_C$, siendo $R_i = R_1 || R_2 || [(1+\beta)R_E]$ la resistencia de entrada (β es la ganancia de corriente del transistor). Por tanto, las ganancias de tensión y corriente se ven afectadas por el valor de la resistencia de carga además de las resistencias del circuito. Pero si se emplea un altavoz de resistencia R_L como carga, en este circuito habría que acoplarlo en la salida a través de un condensador. A frecuencias medias tendríamos $A_v = -(R_C || R_L)/R_E$. Pero aparece un problema, y es que la ganancia se reduce drásticamente si $R_L \ll R_C$. Con valores de R_L del orden de 8Ω o 4Ω (valores típicos en los altavoces comerciales) nos veríamos forzados a elegir valores bastante menores para R_C y R_E , lo que complica el diseño.

Si se conecta un condensador de desacoplo entre el emisor y tierra la ganancia aumenta considerablemente: $A_v = -(R_C || R_L)/r_{\pi}$, siendo r_{π} la resistencia de pequeña señal entre base y emisor. Pero entonces, en condiciones de máxima señal, la forma de onda de la salida aparece distorsionada debido a que i_C varía exponencialmente con la tensión base-emisor, V_{BE} [1].

Las etapas en colector común (o seguidores de emisor), en cambio, pueden presentar una ganancia cercana a la unidad, pero con la ventaja de su baja impedancia de salida. En la figura 2.b se representa un seguidor de emisor con la carga (en este caso un altavoz) acoplada capacitivamente

Pero en una etapa clase A, parte de la potencia que entrega la fuente de alimentación la disipa el transistor incluso en ausencia de señal en la entrada. Esto es un inconveniente ya que afecta muy negativamente al rendimiento del circuito. En el mejor de los casos, el rendimiento puede alcanzar el 25% [1].

Por otro lado, aunque su rendimiento sea bajo, una etapa clase A puede presentar muy poca distorsión debido a su linealidad. Esto se ve más claro si consideramos la etapa con seguidor por emisor (con la carga directamente acoplada) de la figura 3. Se ha empleado una fuente de tensión adicional, V_{BB} , para polarizar la base. Ajustando la tensión de forma que $V_{BB} = V_{CC}/2 + V_{BE}$, siendo V_{BE} la tensión continua base-emisor, la tensión de salida tiene un nivel de continua igual a $V_{CC}/2$. Puede comprobarse que con $v_g = 0$, el transistor disipa la mitad de la potencia entregada por la fuente V_{CC} .

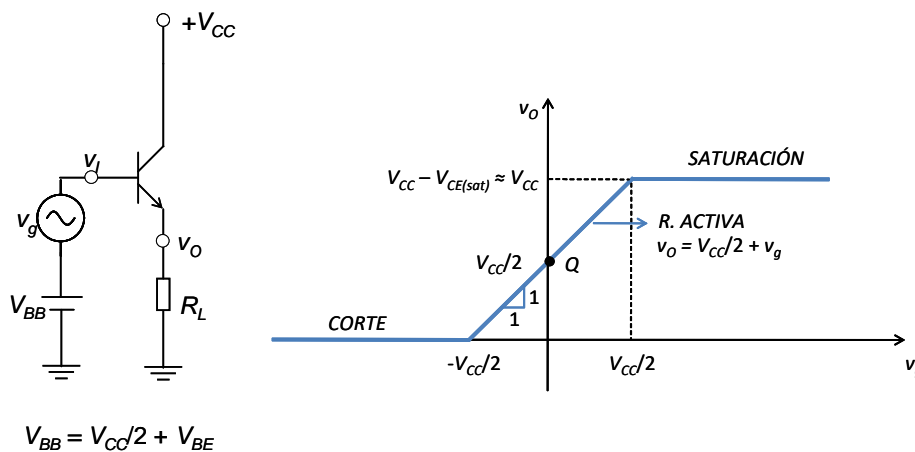


Figura 3. Etapa de salida con seguidor por emisor y característica VTC [4].



En la misma figura se ha trazado la característica de transferencia en tensión o VTC (iniciales de *Voltage Characteristic Transfer*). Si la amplitud del semiciclo positivo de la señal del generador v_g aumenta aproximándose a $+V_{CC}$, el transistor entraría en saturación, limitándose la señal de salida. Y si durante el semiciclo negativo se acerca a 0 V, no pasaría corriente a través de la carga y el transistor entraría en la zona de corte. Pero cuando el transistor opera en la región activa, la tensión de salida se expresa como $v_o = V_{CC}/2 + v_g$: es decir, la parte alterna de la entrada se transmite a la salida sin distorsión. Puede comprobarse que el rendimiento máximo que puede alcanzar esta etapa es del 25% [4]. A estos resultados se llega suponiendo que la tensión base-emisor no se modifica respecto al valor de continua, V_{BE} , al aplicar la señal v_g .

1.2. Etapa de salida clase B

En las etapas de salida clase B los transistores están polarizados en la región de corte y solo conducen si se aplican señales de amplitud suficiente a la base [1].

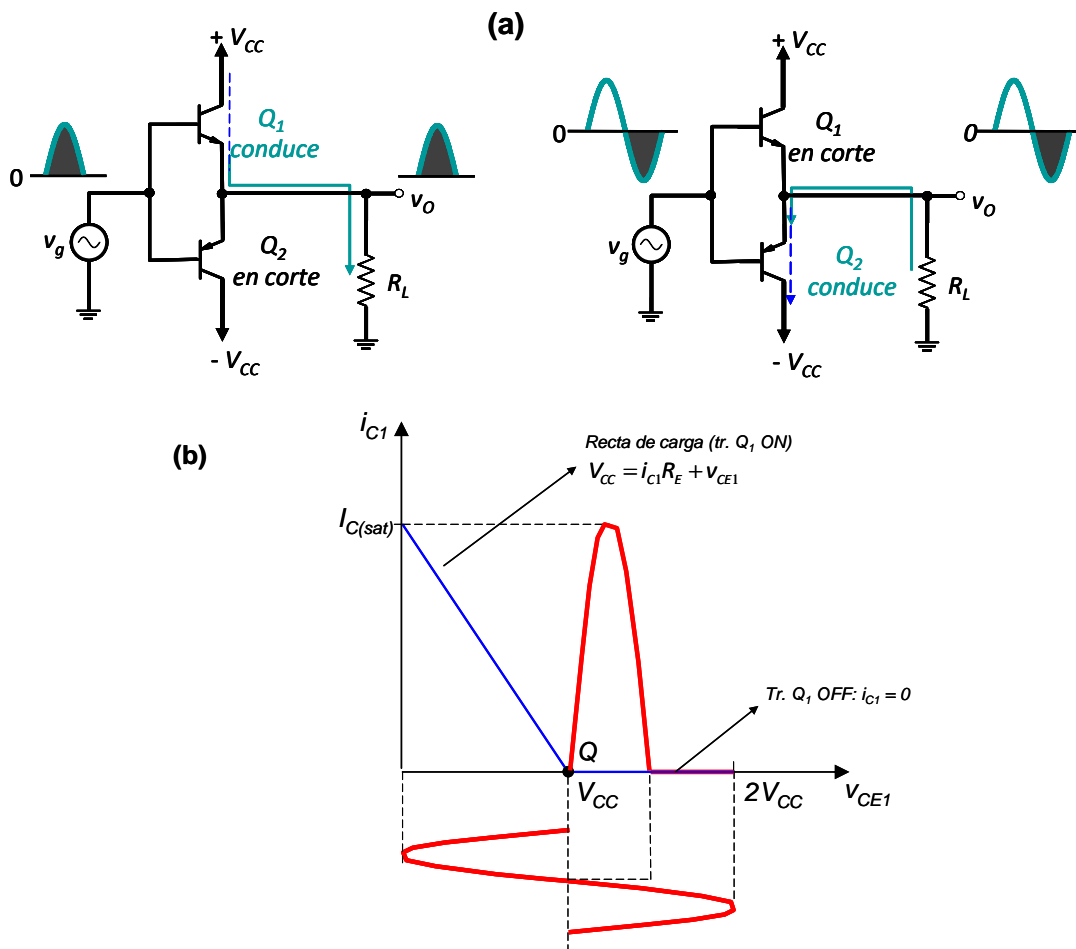


Figura 4. (a) Etapa de salida clase B: formas de onda en los dos semiciclos. (b) Recta de carga y variaciones de i_{C1} y v_{CE1} [2,3].

En la figura 4.a se muestra un circuito formado por un par de transistores NPN y PNP polarizados en la región de corte, por lo que en ausencia de la señal de entrada ninguno de los transistores conduce, al contrario de la etapa clase A. Los transistores, además, están conectados como seguidores de emisor.



Cuando se aplica una señal de entrada tal que en el semiciclo positivo llega a 0,5 V o toma valores superiores, el transistor NPN conduce mientras que el otro transistor permanece en corte. Cuando en el semiciclo negativo alcanza los -0,5 V o valores inferiores, ocurre lo contrario [1].

Durante el semiciclo positivo, la corriente circula por la carga desde el emisor de Q_1 , y durante el semiciclo negativo, la corriente entra en el emisor de Q_2 (figura 4.a). A este modo de funcionamiento se le denomina *push-pull* (literalmente, empujar y tirar). En la figura 4.b se han representado las formas de onda de i_{C1} y v_{CE1} en los dos semiciclos. El punto de trabajo de Q_1 tiene las coordenadas $(V_{CC}, 0)$. Se puede hacer una representación análoga en el caso del transistor Q_2 . La corriente i_{C1} puede alcanzar el valor $I_{C(sat)} = V_{CC}/R_L$ (suponiendo $V_{CE(sat)} = 0$). Durante el semiciclo negativo la tensión colector-emisor puede alcanzar como valor máximo $2V_{CC}$ si Q_2 entra en saturación.

Debido a que la señal de entrada tiene que llegar a un valor suficiente para activar los transistores, se produce la llamada *distorsión de cruce*. En el cruce por cero de la señal de entrada, la señal de salida se mantiene a 0 V un cierto tiempo y no se reproduce fielmente.

La VTC de esta etapa se puede visualizar en la Figura 5.

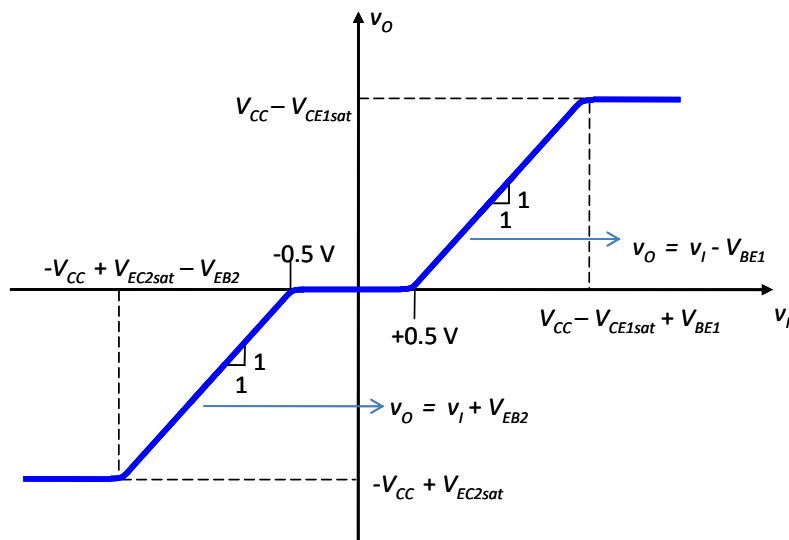


Figura 5. VTC de la etapa de salida clase B [1].

Idealmente, el rendimiento máximo para este tipo de etapas es del 78,5%. [1,4,5]

1.3. Etapa de salida clase AB

La etapa de salida clase AB se caracteriza por suprimir la distorsión de cruce de la etapa de salida clase B añadiendo un circuito que polarice a los transistores de salida con unas corrientes de polarización bajas, pero suficientes para que su punto de trabajo esté en la región lineal pero próxima a la región de corte. [1,4]

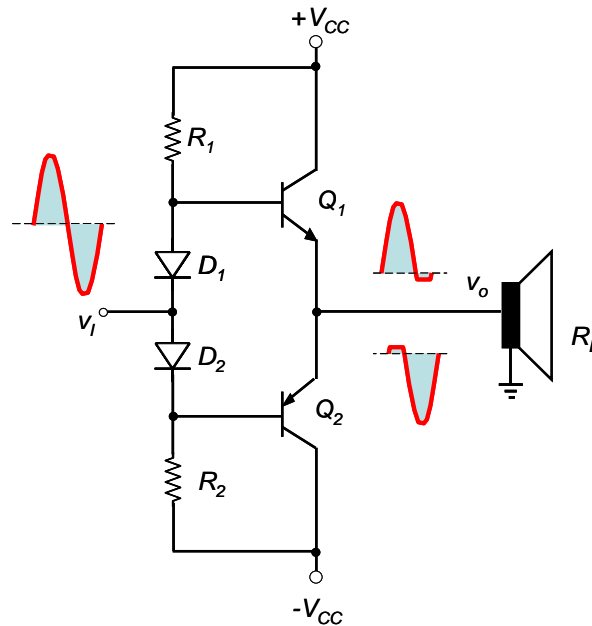


Figura 6. Etapa de salida clase AB. Los transistores se polarizan en región activa con los diodos D_1 y D_2 .

En ausencia de señal de entrada, ambos transistores conducen debido a las caídas de tensión en los diodos D_1 y D_2 que hacen que los transistores se encuentren polarizados en la región activa con una corriente de colector baja. Cuando se aplica una señal de entrada, la corriente por la carga se debe principalmente a uno de los transistores mientras que el otro permanece muy cerca del corte.

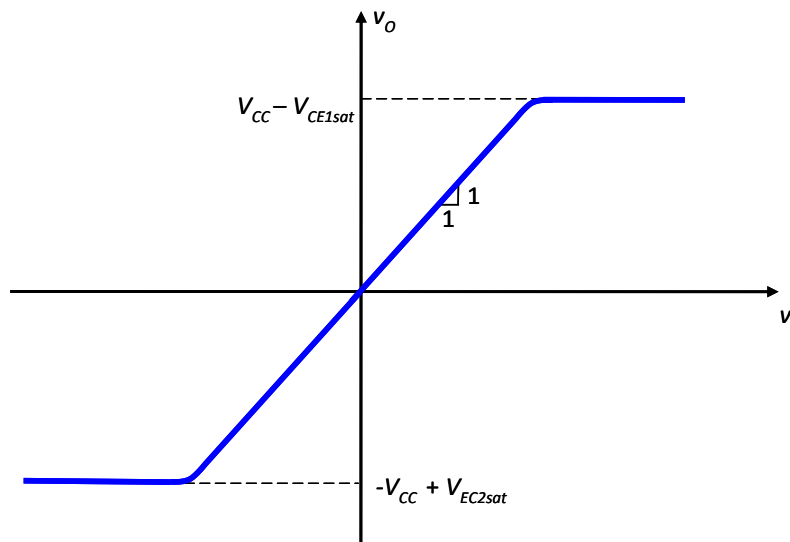


Figura 7. VTC de la etapa de salida clase AB [1].

Si la caída de tensión de D_1 y D_2 coincide con la de los diodos emisores de los BJT, la tensión de salida es una réplica de la entrada, como ocurre en un seguidor por emisor. La etapa se satura a los mismos niveles que el montaje *push-pull*. De esta forma el circuito se comporta casi igual que la etapa de clase B, pero sin la distorsión de cruce (figura 7).



El rendimiento de este circuito es inferior a la de la etapa de clase B por los efectos disipativos debidos a las corrientes de polarización o las pérdidas en el circuito de polarización de las bases. Además, se pueden conectar resistencias en los emisores para mejorar la estabilidad térmica, lo que aumenta las pérdidas.

En la práctica, el rendimiento puede alcanzar valores en torno al 50% [6]

1.4. Etapa de salida clase C

Las etapas clase C se emplean como amplificadores de potencia de radiofrecuencia (RF), y encuentran aplicación en la transmisión de señales de radio, televisión o telefonía móvil.

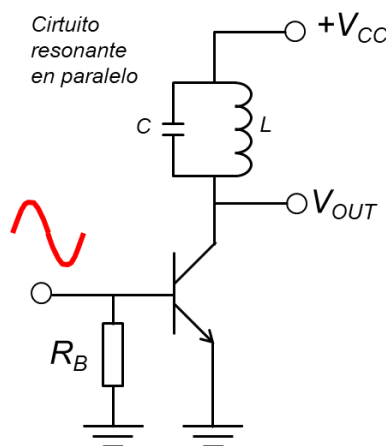


Figura 8. Circuito y polarización de la etapa de salida clase C [2].

En el circuito de la figura 8 el transistor conduce en un intervalo inferior a un semiciclo porque la base está despolarizada. Como resultado la corriente de colector consiste en un tren de pulsos periódicos. Haciendo pasar la corriente a través de un circuito LC paralelo, sintonizado a la frecuencia de la señal de entrada, se obtiene una tensión de salida proporcional a la amplitud de la componente fundamental de dicha corriente. El circuito LC actúa por tanto como un filtro pasa-banda.

Idealmente, el máximo rendimiento de este tipo de amplificadores es del 100% [1,7].

1.5. Etapa de salida clase D

A diferencia de las etapas de salida de clase A, B y AB mencionadas anteriormente, las etapas de salida clase D presentan unas pérdidas menores, teóricamente nulas, ya que se utilizan transistores de potencia que actúan como interruptores conmutando entre los estados de encendido y apagado. Para que esto se produzca, la señal de entrada se transforma en una serie de pulsos que controlan la conmutación de los interruptores. Habitualmente se utiliza la modulación por ancho de pulso (PWM). [8]

Para generar la señal PWM, la señal de entrada se compara con una onda triangular cuya frecuencia va a corresponder a la frecuencia de la señal PWM, que suele ser de al menos 10 veces mayor a la frecuencia más alta que pueda contener la señal de entrada [8]. Esta comparación se realiza mediante un comparador.

Como se observa en la Figura 9, cada vez que la señal de entrada v_{in} es superior a la señal triangular v_{tri} , la salida será $V+$. En cambio, si la señal de entrada es inferior, la



salida tomará el valor V^- . Con esto se consigue una onda formada por una serie de pulsos cuyo ancho de cada uno de ellos es proporcional al valor instantáneo correspondiente de la señal de entrada v_{in} .

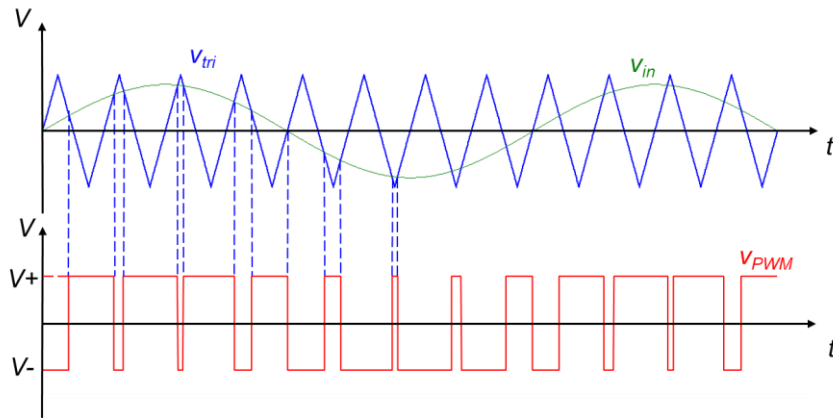


Figura 9. Generación de la señal PWM [9].

La señal de audio puede recuperarse pasando la señal PWM a través de un filtro pasa bajas cuya frecuencia de corte se encuentre por encima de la frecuencia más alta de la señal de audio.

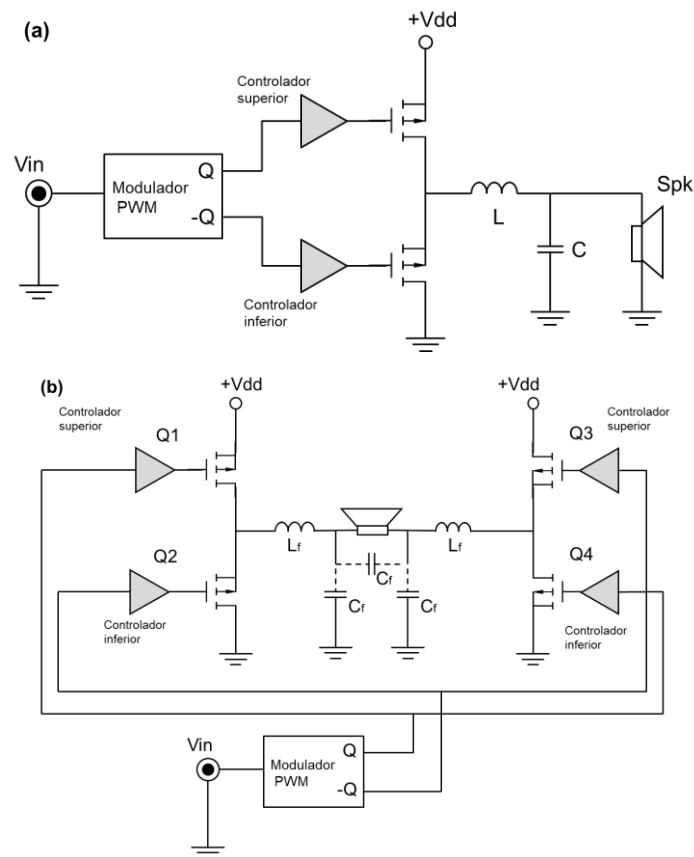


Figura 10. Esquemas para la conducción de los interruptores [8]. (a) Configuración en medio puente. (b) Configuración en puente completo.



Una vez obtenida la señal PWM, hay dos formas de utilizarla para llevar a conducción los interruptores encargados de la conmutación mostrados en la Figura 10. En la figura 10.a se muestra la topología en medio puente en la cual los transistores conectan alternativamente el nodo de salida a V_{DD} y tierra consiguiendo que la señal PWM pase a un nivel de voltaje mayor. Por otro lado, en la figura 10.b, se duplica el nivel de tensión conectando alternativamente el nodo de salida entre V_{DD} y $-V_{DD}$. A esta configuración se le conoce como topología en puente completo. Cabe destacar que a la señal PWM generada se debe introducir un tiempo de retardo entre ellas o también denominado *dead time* con el fin de evitar que los interruptores se activen de manera simultánea.

Estas etapas presentan un rendimiento ideal del 100% debido a la conmutación de los interruptores. Cuando éstos están encendidos, la corriente que los atraviesa es máxima, pero el voltaje es nulo; y cuando están apagados, ocurre lo contrario. En ambos casos la potencia disipada es idealmente nula.

Esto en la práctica no es así. Los transistores de potencia presentan resistencias finitas de encendido, lo que se conoce como pérdidas por conducción. Además, cada vez que conmutan estos interruptores, los condensadores de puerta se cargan y descargan, generando más pérdidas. Todas estas fuentes de disipación de energía hacen que el rendimiento varíe entre el 85% y el 95% [8].

La estructura de este tipo de amplificador de potencia tiene la forma que se muestra en la Figura 11.

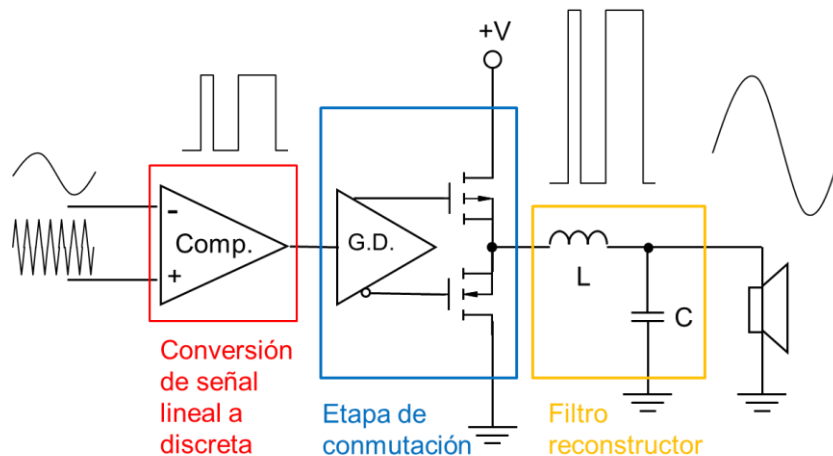


Figura 11. Diagrama de bloques de las etapas de salida clase D [10].



2. Marco teórico

El funcionamiento de la etapa de salida clase D se dividirá en apartados siguiendo el diagrama de bloques de la Figura 11.

2.1. Conversión de señal lineal a señal discreta

Para las etapas de salida clase D, existen diferentes técnicas de modulación las cuales se corresponden a la modulación Sigma-Delta y a la modulación por ancho de pulso o *Pulse Width Modulation* (PWM).

2.1.1. Modulación Sigma-Delta

La modulación Sigma-Delta se caracteriza por ofrecer una alta resolución a frecuencias bajas [11], cosa que no sucede a frecuencias altas por el elevado tiempo de conversión, lo que lo hace ideal para aplicaciones de audio.

Su estructura básica consta de un modulador delta junto con un filtro digital y diezmado como se puede observar en la Figura 12.

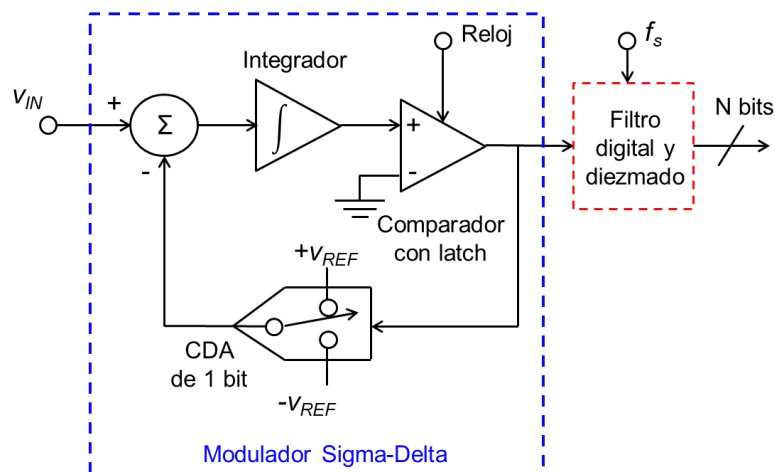


Figura 12. Estructura del circuito modulador Sigma-Delta [12].

Su funcionamiento es el siguiente: el modulador Sigma-Delta determina el error entre la señal de entrada y la señal de salida del convertor digital analógico (CDA) de 1 bit. Como el CDA únicamente puede entregar dos valores, uno positivo u otro negativo, en función del signo de la señal que resulta de la diferencia en la entrada del integrador, a su salida se obtendrá una recta con pendiente positiva o negativa.

Luego, esta rampa se aplica al comparador con *latch* que suministra un bit por cada flanco de reloj en función de si la salida del integrador supera o no un determinado valor umbral, por lo que la señal de salida consistirá en una serie de ceros y unos.

Finalmente, esta señal se hace pasar a través de un filtro digital, con el fin de obtener su valor promedio, y del diezmado, que se basa en seleccionar una de cada X muestras de salida del filtro digital. Muestrear de esa manera implica que se muestrea a un ritmo X veces inferior, por lo que el filtro debe suprimir todas las frecuencias superiores a la mitad de la frecuencia de los datos de salida del convertor, actuando como un filtro *antialiasing* [11].



2.1.2. Modulación PWM

La modulación por ancho de pulso se basa en la generación de pulsos de una frecuencia determinada y en la variación de la relación entre el tiempo en que la señal se encuentra en estado activo y el período de la misma, es decir, el ciclo de trabajo. En el caso de los amplificadores clase D, esta señal se obtiene a partir de la comparación de la señal de entrada (v_{in}) y una señal triangular de frecuencia fija (v_{tri}) la cual estará comprendida entre los valores de tensión V_+ y V_- como se observó en la Figura 9.

El espectro de la señal PWM se caracteriza por sus índices de modulación en amplitud y en frecuencia:

$$m_a = \frac{V_{in(pico)}}{V_{tri(pico)}}, \quad (1)$$

$$m_f = \frac{f_{tri}}{f_{in}}, \quad (2)$$

donde:

- m_a es el índice de modulación en amplitud.
- $V_{in(pico)}$ corresponde al voltaje pico de la señal senoidal.
- $V_{tri(pico)}$ corresponde al voltaje pico de la señal triangular.
- m_f es el índice de modulación en frecuencia.
- f_{tri} corresponde a la frecuencia de la señal triangular.
- f_{in} corresponde a la frecuencia de la señal senoidal.

Se mencionan a continuación algunas propiedades de la señal PWM.

1. La amplitud del armónico fundamental de la tensión de salida es m_a veces la mitad de la tensión de entrada [9].

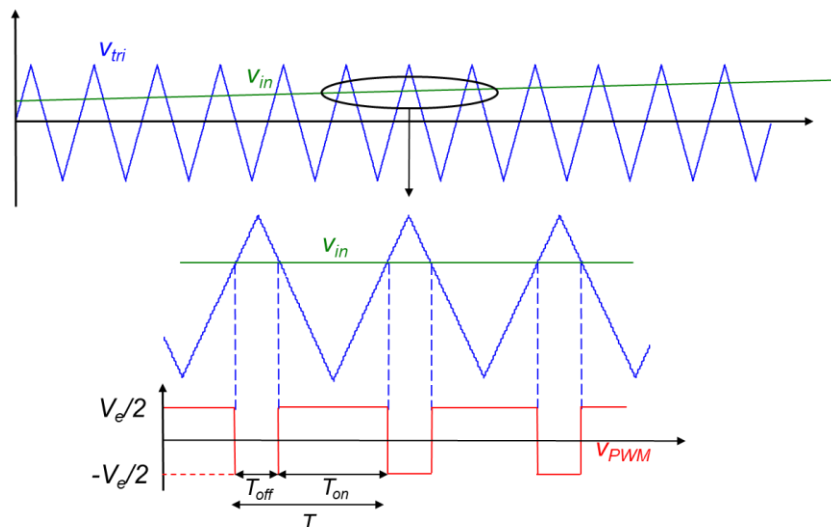


Figura 13. Señal PWM generada con un m_f muy elevado [9].

Suponiendo que la frecuencia de la señal triangular f_{tri} es mucho mayor que la frecuencia de la señal de entrada f_{in} , es decir, si m_f tiene un valor elevado, se puede



considerar que la tensión PWM es constante en cada ciclo como se observa en la Figura 13. Se puede establecer el valor medio de la tensión PWM para un ciclo como:

$$V_{PWM} = \frac{V_{in}}{V_{tri}} \cdot \frac{V_e}{2}, \quad (3)$$

donde V_e es la amplitud pico a pico de la señal PWM.

Por lo tanto, si se asume que la amplitud de la señal de entrada es constante e inferior a la amplitud de la señal triangular ($m_a < 1$), el único parámetro que varía de un ciclo a otro es la amplitud de la señal moduladora, con lo que se puede reescribir la ecuación inicial de manera que el valor del primer armónico de la tensión de salida toma como valor:

$$V_1 = \frac{V_{in}}{V_{tri}} \text{sen}(\omega t) \frac{V_e}{2} = m_a \text{sen}(\omega t) \frac{V_e}{2} \quad (4)$$

Por lo que se puede concluir que, para una PWM senoidal, la amplitud de la componente de la frecuencia fundamental del voltaje PWM varía de forma lineal con valores de m_a inferiores a 1.

2. Los armónicos de la señal PWM aparecen como bandas laterales centradas en torno a la frecuencia de conmutación y en sus múltiplos ($m_f, 2m_f, 3m_f$) siempre que m_a esté comprendido entre 0 y 1 y $m_f > 9$ [9].

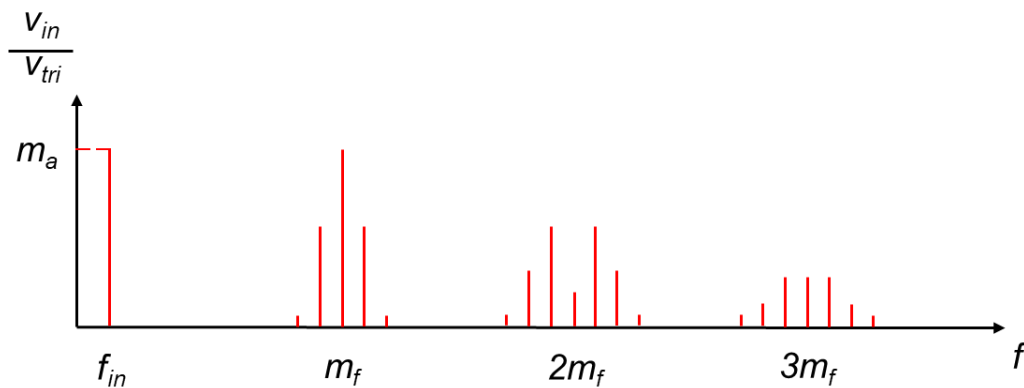


Figura 14. Espectro de una señal PWM con $m_a < 1$ y $m_f > 9$ [9].

En general, la amplitud de los distintos armónicos es prácticamente independiente del parámetro m_f , y éste solamente indica la frecuencia a la que aparecen, por lo que puede expresarse la frecuencia de los distintos armónicos de la siguiente manera:

$$f_h = (jm_f \pm k) f_{in}, \quad (5)$$

siendo f_h la frecuencia del armónico de orden h correspondiente a la banda lateral k -ésima para j veces el índice de modulación m_f .

Para valores impares de j , únicamente existen armónicos para valores pares de k . Por otro lado, para valores pares de j , los armónicos solo existen para valores impares de k [9].



3. El parámetro m_f debe ser un entero impar ya que se obtendría una simetría impar además de una simetría de media onda. Por tanto, en la tensión PWM únicamente aparecerán armónicos de orden impar y desaparecerían los armónicos de orden par [9]. Esta regla es usada de cara al diseño de inversores DC-AC, pero en las etapas de audio de clase D no se tiene en cuenta debido a que la frecuencia de la señal de entrada no es constante.

Cabe destacar que, para índices de modulación $m_a > 1$, se produce el efecto de la **sobremodulación**. En esta situación la amplitud del armónico fundamental aumenta, pero con un mayor número de armónicos en la salida en frecuencias menores. Además, la amplitud de la componente fundamental no varía linealmente y si se aumentase m_a hasta llegar al valor de $4/\pi$, la señal PWM degeneraría en una onda cuadrada.

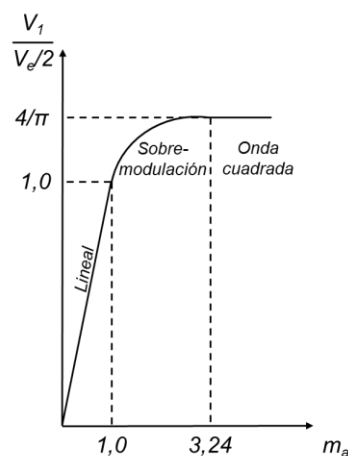


Figura 15. Comportamiento de la señal PWM en función de m_a [9].

2.2. Etapa de conmutación

En los siguientes apartados se introducen las dos configuraciones empleadas en las etapas de conmutación.

2.2.1. Configuración de medio puente

Esta configuración se caracteriza por ser la más sencilla: se compone por dos fuentes de tensión en serie y de dos interruptores controlados. También existe la denominada configuración en medio puente asimétrica que consta únicamente de una fuente de alimentación.

Su funcionamiento se basa en hacer conmutar dos interruptores con dos señales de control complementarias, de forma que cada uno esté cerrado en la mitad de un período, es decir, que uno de ellos trabaje mientras que el otro esté apagado. Cuando sólo uno de ellos está activo, el voltaje a través de la carga es la mitad del valor de la tensión de alimentación. Por el contrario, si se activa únicamente el otro conmutador, el voltaje será el mismo, pero con valor negativo o con valor cero, en el caso de la configuración asimétrica [13].

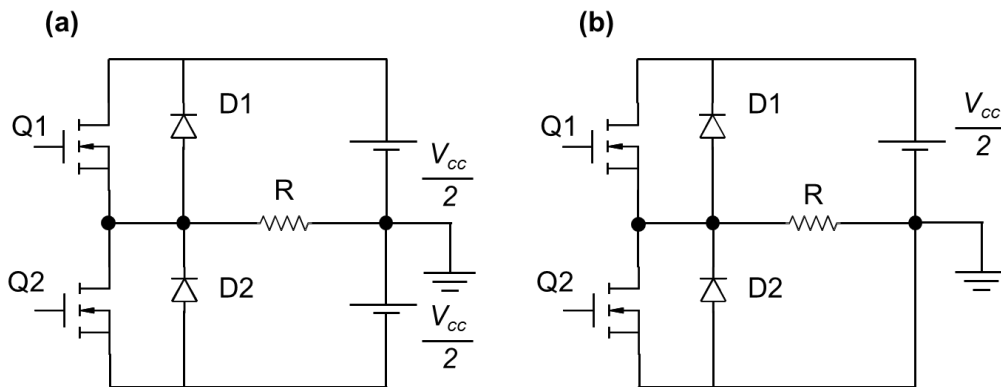


Figura 16. (a) Circuito en configuración de medio puente. (b) Circuito en configuración de medio puente asimétrico [13].

2.2.2. Configuración de puente completo

En este caso, la estructura del puente completo incluye dos interruptores más. Vamos a explicar a continuación su funcionamiento. Al activar los transistores Q_1 y Q_2 a la vez, el voltaje V_{CC} aparece a través de la carga. Si se apagan estos conmutadores y se activan Q_3 y Q_4 de forma simultánea, el voltaje a través de la carga se invierte y da como resultado el valor $-V_{CC}$.

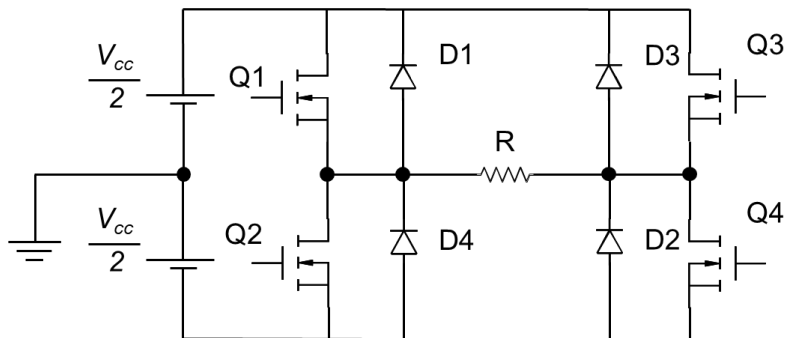


Figura 17. Circuito en configuración de puente completo [13].

Ambas configuraciones tienen sus ventajas e inconvenientes. La topología de medio puente es la más sencilla y con menor número de componentes mientras que la configuración de puente completo es más compleja ya que está compuesto por dos amplificadores de medio puente y, por ende, es más cara. Lo mejor que otorga esta última topología es que su salida diferencial puede cancelar la componente en continua, disminuir la distorsión y ofrecer una gran cantidad de potencia a la salida del amplificador.

El problema que se encuentra en las configuraciones de medio puente es que se produce el efecto *bus pumping* debido a los picos de corriente de los transitorios en la bobina del filtro reconstructor. Estos picos se realimentan hacia la fuente de alimentación a través de los transistores de salida provocando distorsión y creando una situación comprometida para los elementos del circuito. Este efecto resulta más severo a frecuencias bajas, pero se pueden conectar condensadores de desacoplo para suavizar este efecto. Este problema no se presenta en la topología de puente completo ya que la energía devuelta a la fuente de alimentación desde un lado de la rama de conmutación se consumirá en el otro lado de la rama.



En este proyecto se ha optado por implementar la configuración de medio puente asimétrico por su sencillez. Además, cabe destacar que el objetivo de este proyecto es implementar una etapa clase D con aplicaciones didácticas, por lo que no se busca un amplificador con que maneje grandes cantidades de potencia.

2.2.3. Dead time

Como se ha explicado, los interruptores deben recibir dos señales de control (PWM) complementarias, pero además se debe diseñar de tal manera que en ningún momento ambos interruptores se activen de forma simultánea. Para ello, se debe introducir el denominado **dead time o tiempo muerto** de forma que la transición entre los estados de conmutación se retrase. Este tiempo de transición debe ser corto, en la escala de los nanosegundos, ya que es la contribución más significativa de la no linealidad que puede tener el circuito, pero tampoco demasiado, ya que, si los conmutadores del lado alto y bajo se encienden simultáneamente, la fuente de alimentación se cortocircuitará y comenzará a fluir una gran cantidad de corriente, lo que provocará la destrucción del dispositivo [14].

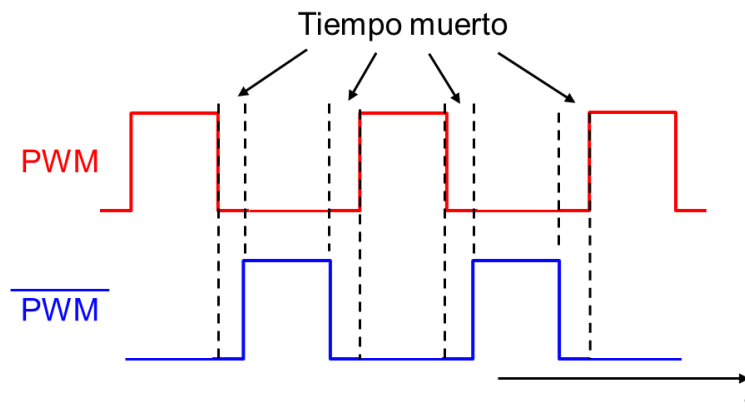


Figura 18. Tiempo muerto entre dos señales PWM.

2.2.4. MOSFET de enriquecimiento de canal N

Los encargados de la conmutación son los transistores de potencia MOSFET. Estos dispositivos tienen como finalidad regular una corriente que circulará de drenador a fuente controlada mediante la variación de tensión entre puerta y fuente.

Estos transistores poseen cuatro terminales: drenador, puerta, fuente (o surtidor) y sustrato, pero este último en la mayoría de los casos, está unido internamente a la fuente.

2.2.4.1. Regiones de funcionamiento

Su funcionamiento físico se basa en que, al aplicar una tensión positiva a la puerta, se induce un canal de tipo n entre el drenador y la fuente debido a la atracción de los electrones hacia la región situada bajo la puerta. Por tanto, al aplicar esta tensión, una corriente (controlada en función de la tensión aplicada en la puerta) pasará a través del canal [15].

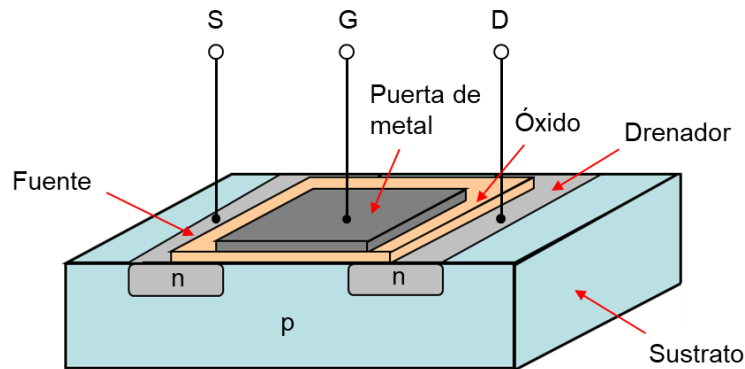


Figura 19. Estructura interna del MOSFET de enriquecimiento de canal N [15].

Estos MOSFET pueden funcionar en tres modos de operación distintos:

- **Región de corte**

En esta situación no fluye corriente a través del MOSFET debido a que no se aplica tensión positiva a la puerta o el voltaje que se aplica es inferior a la tensión umbral, aunque se aplique voltaje al drenador. Debido a esto, habrá concentraciones independientes de tipo n en el drenador y en el surtidor, estarán aisladas entre sí, ya que los electrones no se sentirán atraídos por la puerta y, por tanto, no se creará ningún canal.

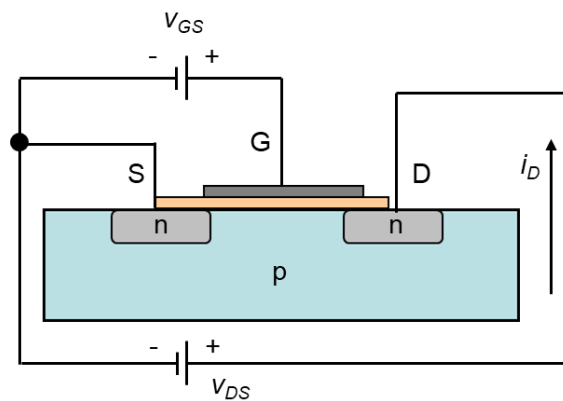


Figura 20. Región de corte [15].

Hasta que no se aplique una tensión positiva a la puerta mayor que la tensión umbral propia del dispositivo, el transistor seguirá en la región de corte y se cumplirá lo siguiente:

$$i_D = 0 \quad \text{si } v_{GS} \leq V_{to} \quad (6)$$

- **Región óhmica**

Una vez que la tensión entre puerta y fuente es superior a la tensión umbral, se genera un campo eléctrico que repele los huecos (concentraciones de tipo p) bajo la puerta y atrae a los electrones, lo que permite que puedan desplazarse a través de la unión fuente-sustrato. Por lo que, al aplicar un voltaje entre drenador y fuente, la corriente fluirá hacia la fuente a través del canal que se genera.

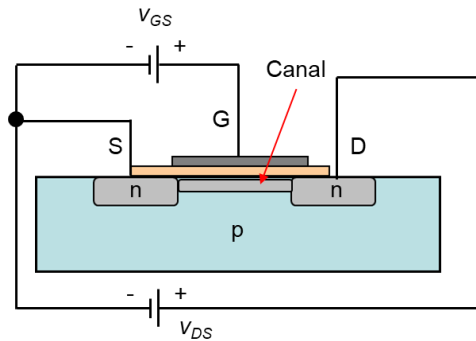


Figura 21. Región óhmica [15].

Cabe destacar que, al aplicar una tensión continua entre puerta y fuente, habrá una capacidad la cual conducirá corriente hasta que el condensador se cargue. Este tiempo es muy breve ya que la capacidad y la constante de tiempo son muy pequeñas. Sin embargo, si en vez de una tensión continua se aplica una tensión pulsante como en las etapas de clase D, sí habrá consumo de corriente en los cambios de tensión ya que el condensador se carga y se descarga. Cuanta mayor frecuencia haya entre los cambios de tensión, mayor será el consumo de corriente, por lo que es un aspecto a tener en cuenta en cuanto a las pérdidas debidas a los transistores.

Además, en esta región el transistor se comporta como una resistencia ubicada entre el drenador y fuente la cual disminuye su valor a medida que aumenta la tensión entre puerta y surtidor.

El transistor NMOS opera en la región óhmica cuando [15]:

$$v_{DS} < v_{GS} - V_{to} \quad y \quad v_{GS} \geq V_{to}, \quad (7)$$

donde la corriente de drenador viene dada por:

$$i_D = K[2(v_{GS} - V_{to})v_{DS} - v_{DS}^2], \quad (8)$$

en la que:

$$K = \frac{W}{L} \cdot \frac{KP}{2} \quad (9)$$

En la ecuación 9, W es la anchura del canal y L su longitud. KP es un parámetro propio del dispositivo cuyo valor típico en los dispositivos de enriquecimiento de canal n es de $50 \mu A/V^2$ [15].

- Región de saturación

En el momento en el que la tensión entre puerta y drenador sea igual a la tensión umbral del dispositivo ya sea debido al aumento del voltaje en el drenador o al disminuir la tensión de puerta, la profundidad del canal del drenador se hace cero. En estas condiciones, si se aumenta la tensión entre drenador y fuente, la corriente que atraviesa el transistor se mantiene constante.

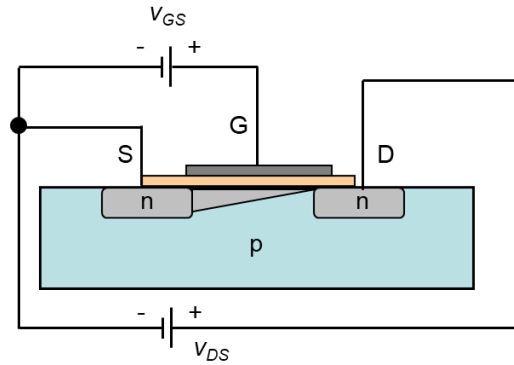


Figura 22. Región de saturación [15].

Por lo tanto, decimos que el transistor NMOS opera en la región de saturación cuando:

$$V_{DS} \geq V_{GS} - V_{to} \quad \text{y} \quad V_{GS} \geq V_{to}, \quad (10)$$

donde la corriente de drenador viene dada por:

$$i_D = K(V_{GS} - V_{to})^2 \quad (11)$$

Cabe destacar que en esta región se disipa más potencia que en la región óhmica, sobre todo si se trabaja con intensidades y voltajes grandes, lo que podría afectar al rendimiento del circuito.

En los amplificadores clase D, los MOSFET generalmente operan en las regiones de corte y óhmica alternadamente, disipando poca energía. El tiempo de conmutación y la resistencia interna de los transistores son parámetros importantes a tener en cuenta a la hora del diseño del amplificador, ya que éstos afectan al rendimiento del circuito y, por lo tanto, se debe buscar componentes cuyos parámetros mencionados tengan valores muy pequeños para garantizar la fiabilidad de la etapa de salida.

2.2.4.2. Componentes parásitos

En la figura 23 se representa el modelo de conmutación de un MOSFET de potencia, mostrándose los componentes parásitos. Hay que tener en cuenta que en este tipo de MOSFET el canal se forma verticalmente (para conocer más detalles acerca de su estructura se puede consultar la referencia 16).

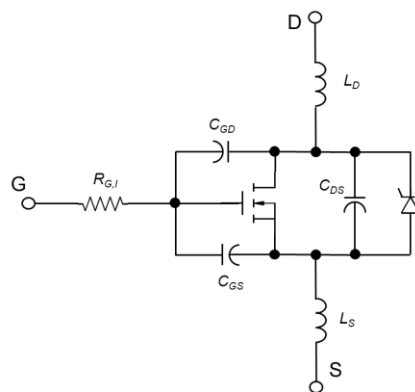


Figura 23. Modelo de conmutación del MOSFET [16].



El rendimiento, en cuanto a la conmutación de los MOSFET, depende de la velocidad con la que cambia el voltaje a través de los condensadores que se muestran en la Figura 23. Estos elementos se denominan condensadores parásitos y se deben tener en cuenta cuando se realizan aplicaciones de alta frecuencia.

Las capacidades puerta-fuente y puerta-drenador son inherentes al transistor. Estas capacidades se introducen para dar cuenta de la interacción entre la puerta y la carga de inversión del canal cerca de los terminales de fuente y drenador. A estas capacidades hay que añadir las *capacidades de solapamiento*, que se introducen porque en los dispositivos reales el óxido de puerta se solapa con los contactos de drenador y fuente (véase Figura 19) [8]. Otros elementos parásitos se describen en la referencia 19, en particular el diodo parásito que se forma entre drenador y sustrato en las estructuras del canal vertical. La capacidad C_{DS} del modelo es la capacidad de la unión del diodo parásito.

Los valores de capacidades de cada condensador no se dan directamente en las fichas técnicas de los transistores, sino se dan de forma indirecta a través de los valores de los condensadores C_{ISS} , C_{RSS} y C_{OSS} y pueden ser calculados como:

$$C_{GD} = C_{RSS} \quad (12)$$

$$C_{GS} = C_{ISS} - C_{RSS} \quad (13)$$

$$C_{DS} = C_{OSS} - C_{RSS} \quad (14)$$

Un aspecto a tener en cuenta es que, al encontrarse el condensador C_{GD} entre la entrada y la salida del dispositivo, su valor efectivo puede ser mayor dependiendo del voltaje V_{DS} en aplicaciones de conmutación. Este fenómeno se denomina efecto Miller y se expresa de la siguiente manera:

$$C_{GD,eqv} = (1 + g_{fs}R_L)C_{GD} \quad (15)$$

Entre el encendido y el apagado del MOSFET, se entra en modo de funcionamiento lineal como se ha explicado anteriormente donde la corriente de drenador está determinada por el voltaje V_{GS} . La transconductancia (g_{fs}) es la relación de pequeña señal entre estos parámetros:

$$g_{fs} = \frac{dI_D}{dV_{GS}} \quad (16)$$

En consecuencia, la corriente máxima del MOSFET en la región lineal es:

$$I_D = (V_{GS} - V_{th})g_{fs} \quad (17)$$

Reorganizando esta ecuación, se puede aproximar el valor de la meseta (*plateau*) de Miller de la siguiente manera:



$$V_{GS,Miller} = V_{th} + \frac{I_D}{g_{fs}} \quad (18)$$

Otro parámetro que se muestra en la Figura 23 es la resistencia de malla de puerta $R_{G,I}$. Esta resistencia parásita, al encontrarse entre el controlador y el condensador de entrada, limita los tiempos de conmutación y la inmunidad frente a la dv/dt del transistor [16]. Este componente se introduce en el modelo por la limitación a la distribución de señal en la puerta cuando se emplean contactos de polisilicio. Su valor no se especifica en las fichas técnicas. Sin embargo, en la referencia 19 se dan indicaciones para su medida experimental.

Además, aparecen también dos inductancias parásitas, una en la fuente (L_S) y otra en el drenador (L_D) las cuales dependen principalmente del tipo de encapsulado del transistor y su efecto se muestra en el rendimiento de conmutación, las cuales exhiben restricciones significativas.

2.2.4.3. Procedimiento de encendido

Este procedimiento se divide en cuatro intervalos como se muestra en la Figura 25.

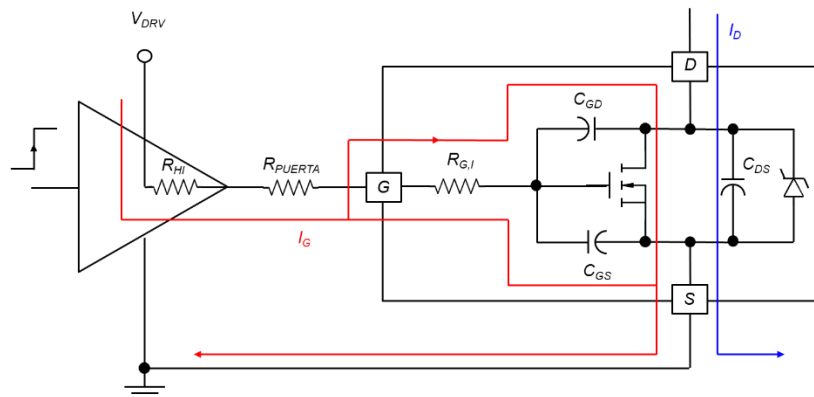


Figura 24. Esquema del circuito de conmutación en el encendido [16].

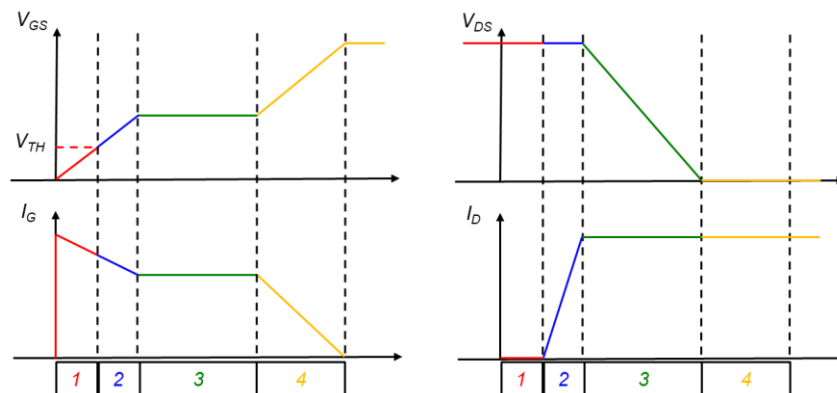


Figura 25. Señales del procedimiento en el encendido del MOSFET [16].

1. Al principio, se carga el condensador de entrada de 0 V al valor umbral de V_{th} . La mayor parte de la corriente de puerta está cargando el condensador C_{GS} mientras una pequeña corriente fluye a través del condensador C_{GD} . Este



- intervalo de tiempo se denomina retardo de encendido debido a que la corriente I_D y el voltaje V_{DS} permanecen sin cambios.
2. Una vez alcanzado el voltaje umbral, la tensión V_{GS} aumenta hasta alcanzar el nivel de $V_{GS, Miller}$, lo que corresponde a la región lineal del transistor (la corriente I_D es proporcional a la tensión V_{GS}). La corriente I_G sigue fluyendo a través de los condensadores C_{GS} y C_{GD} mientras que V_{GS} aumenta. Por otro lado, la corriente I_D aumenta mientras que V_{DS} permanece sin cambios. Esta tensión no disminuirá hasta que toda la corriente se transfiera al MOSFET y el diodo se apague por completo con el fin de bloquear el voltaje inverso.
 3. En este período, la tensión V_{DS} cae mientras V_{GS} se mantiene constante en la región conocida como meseta (*plateau*) de Miller. Toda la corriente I_G disponible se desvía para descargar el condensador C_{GD} para facilitar el cambio de voltaje de forma rápida a través de los terminales de drenador y fuente. La corriente I_D permanece constante debido a la limitación de la fuente de corriente.
 4. Finalmente, se cargan los condensadores C_{GS} y C_{GD} logrando que V_{GS} llegue a su valor final (V_{DRV}). Por ello, la corriente I_G se divide ahora entre los dos condensadores. Mientras se cargan, la corriente I_D continúa siendo constante y V_{DS} disminuye ligeramente a medida que se reduce la resistencia $R_{DS(on)}$ del dispositivo.

En esta última etapa, su finalidad es mejorar el canal que se genera en el transistor mediante la aplicación de un voltaje V_{GS} más alto. La amplitud final de esta tensión determina la resistencia máxima del dispositivo durante el encendido.

2.2.4.4. Procedimiento de apagado

Como en el anterior apartado, el procedimiento de apagado también se puede definir en cuatro intervalos como se muestra en la Figura 27.

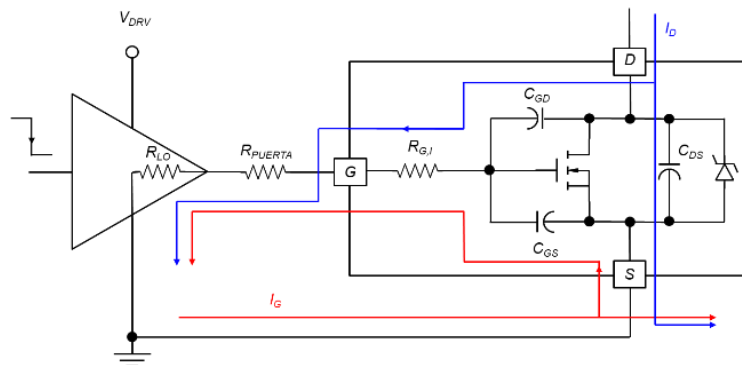


Figura 26. Esquema del circuito de conmutación en el apagado [16].

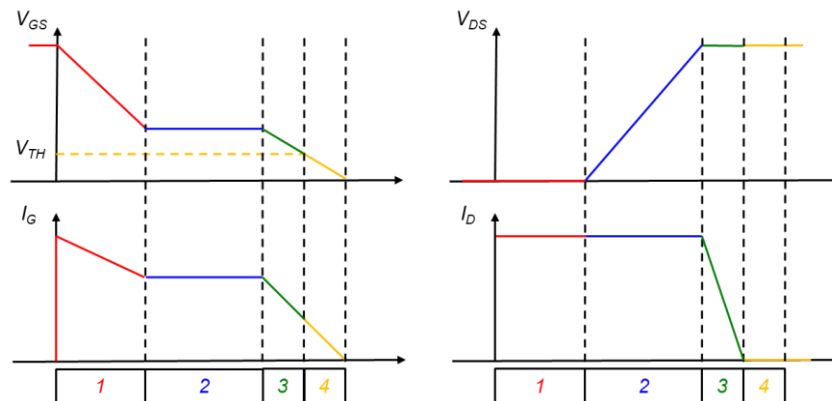


Figura 27. Señales del procedimiento en el apagado del MOSFET [16].

1. Inicialmente, el condensador C_{GS} se descarga desde su valor inicial hasta llegar al nivel de tensión de $V_{GS, Miller}$. Mientras, la corriente I_G fluye a través de los demás condensadores del MOSFET. La corriente I_D permanece constante y la tensión V_{DS} aumenta muy ligeramente. A este período se le conoce como retraso de apagado debido a la descarga del condensador C_{GS} .
2. Una vez que la tensión de puerta llega al nivel de $V_{GS, Miller}$, el voltaje V_{DS} aumenta a razón de $I_D \cdot R_{DS(on)}$ hasta llegar al nivel de $V_{DS(off)}$. Mientras, la corriente I_G toma el valor de la corriente de carga del condensador C_{GD} ya que el voltaje V_{GS} es constante.
3. En este intervalo se enciende el diodo, lo que proporciona un camino alternativo a la corriente de carga. La tensión V_{GS} cae a V_{th} . La gran parte de la corriente I_G sale del condensador C_{GS} debido a que el condensador C_{GD} se encuentra prácticamente cargado. En esta situación, el transistor se encuentra en funcionamiento lineal haciendo que la corriente I_D disminuya debido a la disminución del voltaje V_{DS} . Mientras tanto, el voltaje $V_{DS(off)}$ permanece constante debido al encendido del diodo.
4. Finalmente, se descargan completamente los condensadores de entrada y la tensión V_{GS} alcanza el valor de 0 V.

Cabe destacar que tanto para el procedimiento de encendido y de apagado, las longitudes de los intervalos dependen de los valores de las capacidades de los condensadores parásitos, el cambio de tensión requerido a través de ellos y el valor de la corriente de puerta.

2.2.4.5. Parámetros que afectan a las pérdidas del amplificador

El rendimiento del amplificador está determinado por las pérdidas de los MOSFET. Estas pérdidas son debidas a la conducción, conmutación y la carga de puerta de los MOSFET.

Las pérdidas de conducción son debidas a la resistencia estática de encendido entre drenador y fuente $R_{DS(on)}$ y a la corriente de drenador. Además, un dato a tener en cuenta es que esta resistencia aumenta a medida que se eleva la temperatura, por lo que se debe de estudiar la posibilidad de incorporar un disipador de calor si la potencia disipada por el dispositivo provoca un aumento de temperatura en él [17]. Este tipo de pérdidas se determinan a partir de la siguiente relación:



$$P_{Cond.} = (I_{D,RMS})^2 \cdot R_{DS(on)} \quad (19)$$

Por lo tanto, una menor resistencia de encendido provoca que haya menores pérdidas de conducción del MOSFET.

Por otro lado, las pérdidas por conmutación se deben a la transición del encendido y el apagado de los MOSFET y se calculan a partir de la siguiente relación [17]:

$$P_{conm.} = C_{OSS} \cdot V_D^2 \cdot f_{PWM} \quad (20)$$

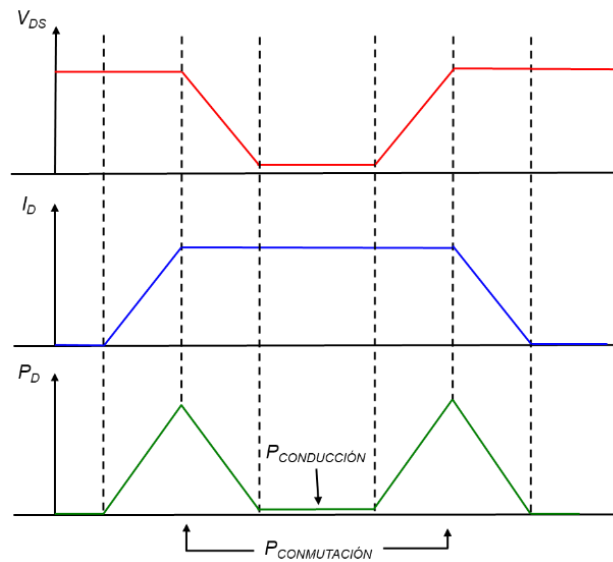


Figura 28. Origen de las pérdidas de conducción y de conmutación de los MOSFET [13].

Por último, la carga y descarga de los condensadores parásitos del MOSFET también generan pérdidas. El parámetro protagonista en este tipo de pérdidas es la carga de puerta Q_g , que corresponde a la carga requerida por la puerta para encender totalmente al MOSFET y, por tanto, está relacionada con la velocidad del dispositivo [17]. Las pérdidas debidas a este parámetro se determinan a partir de:

$$P_{gd} = Q_g \cdot V_{GS} \cdot f_{PWM} \quad (21)$$

Por lo tanto, una carga de puerta menor disminuiría estas pérdidas y además aumentaría la velocidad del dispositivo.

Cabe destacar un parámetro ligado a las pérdidas que genera estos dispositivos y es la temperatura máxima de la unión $T_{j,max}$. Este valor se relaciona con el tamaño del disipador de calor que se debe utilizar, ya que si los MOSFET poseen valores grandes de $T_{j,max}$ esto se traduce en que pueden manipular pérdidas de potencia más altas y, por tanto, se reduce el tamaño de este disipador.



2.2.4.6. MOSFET canal N vs MOSFET canal P.

En algunos diseños de amplificadores clase D, aparecen MOSFET de canal N y otro de canal P. Este tipo de diseño es peor en cuanto al rendimiento en lugar de que si se colocase dos transistores de canal N, ya que los MOSFET de canal P suelen ser más lentos y poseen una resistencia interna más alta, lo que se traduce en un aumento de las pérdidas debidas al interruptor.

2.3. Filtro reconstructor

Para reconstruir la señal de entrada amplificada, se debe implementar un filtro pasa bajas cuya misión sea eliminar los armónicos no deseados de alta frecuencia generados en la modulación.

Se debe diseñar un filtro cuya respuesta sea lo más plana posible hasta la frecuencia de corte [18]. Por ello, se implementará un filtro de Butterworth de segundo orden cuya respuesta disminuye a razón de 40 dB por década por encima de esta frecuencia.

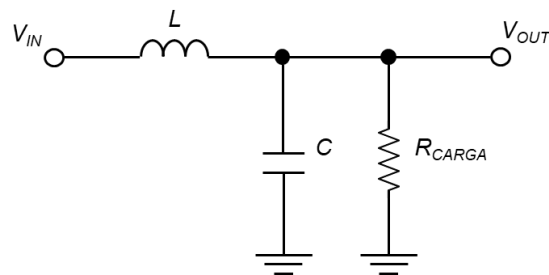


Figura 29. Filtro Butterworth de segundo orden [7].

Los elementos del filtro de segundo orden lo componen una bobina, un condensador y la carga a colocar. Con estos elementos se debe tener en cuenta que, para el caso del condensador, se debe buscar uno que introduzca poca distorsión y presente pocas pérdidas como los de polipropileno [19]; y para el caso de la bobina, el núcleo empleado debe generar pérdidas muy bajas y su curva de magnetización debe ser lineal con el fin de garantizar la fidelidad de la reproducción del audio, como el núcleo de polvo de hierro [20].

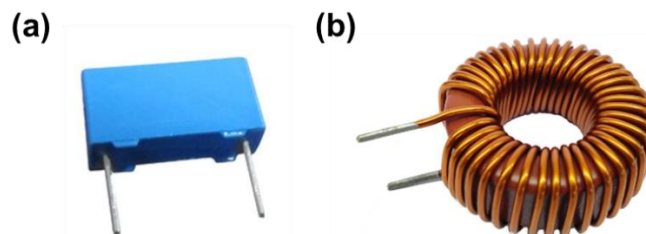


Figura 30. (a) Condensador de polipropileno. (fuente: <https://www.sonymag.es>) (b) Bobina con núcleo de hierro (fuente: <https://www.magmattec.com.br>).

2.4. Altavoz

El altavoz es el responsable de reproducir la señal filtrada generada en el filtro reconstructor mediante la conversión de la señal eléctrica a mecánica a través del movimiento de la bobina debido a la creación de un campo magnético creado alrededor del alambre. Debido a esto, la bobina es repelida o atraída hacia un imán fijo con forma



de anillo, lo que hace que se generen fuerzas que hacen mover la estructura móvil del altavoz que es la que transmite el sonido al aire [21].

La impedancia de un altavoz tiene parte resistiva y parte inductiva debido a las vueltas de la bobina, por lo que su circuito equivalente sería la conexión en serie de una resistencia y una bobina. El efecto de la parte inductiva del altavoz generalmente es conveniente cancelarlo debido a que afecta a la calidad del sonido [22], por lo que se inserta la denominada red de Zobel. De esta forma, el conjunto presenta una impedancia puramente resistiva.

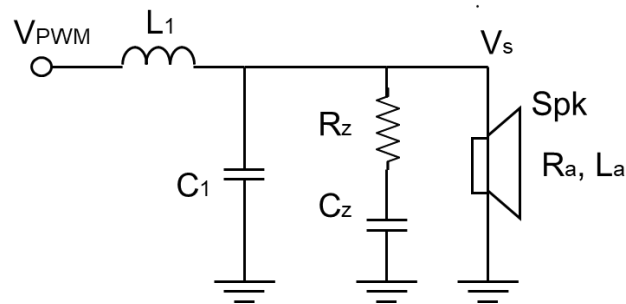


Figura 31. Red de Zobel (R_z y C_z).



3. Diseño del circuito y selección de componentes

Como ya se comentó, el diseño del circuito no tiene una finalidad comercial, es decir, no se busca un amplificador que entregue una gran cantidad de potencia sino una etapa de salida que posea el mayor rendimiento posible además de tener una menor cantidad de distorsión armónica (THD). También se desea que el circuito sea compacto, con el menor número de componentes posible y ahorrar en fuentes de alimentación, intentando conseguir que con solo una fuente baste para hacerlo funcionar.

Por lo tanto, el circuito será diseñado usando la configuración de medio puente asimétrico, alimentado por una fuente de 20 V. El bloque lógico del circuito se alimentará con una tensión de 12 V. Además, será diseñado para altavoces cuya resistencia tenga un valor de 8 Ω .

3.1. Regulador de tensión LM7812

Se ha decidido que la alimentación lógica se suministre con una tensión de 12 V. La mejor opción para ahorrar en fuentes de alimentación es utilizar un regulador de tensión que a su salida entregue esos 12 V mientras que a su terminal de entrada se le aplique la tensión de la fuente externa.

El fabricante recomienda conectar dos condensadores, uno de 0,33 μF en la entrada y otro en la salida de 0,1 μF como se muestra en la Figura 32.

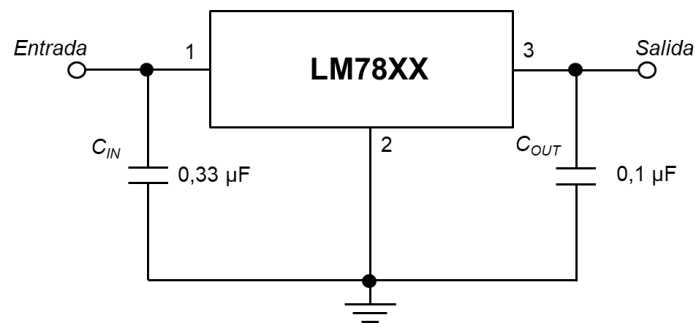


Figura 32. Regulador de tensión LM7812.

3.2. Generador de señales PWM complementarias TL494

Inicialmente se planteó la idea de generar las señales PWM complementarias con dos comparadores teniendo como entradas la señal de audio y una señal triangular, la cual habría que generar con otro circuito externo. Pero resultaba más simple utilizar el circuito integrado TL494 el cual es capaz de comparar la señal de entrada con una señal triangular que el propio dispositivo genera con una frecuencia que se puede fijar seleccionando los valores de una resistencia y un condensador. Además, es capaz de producir a su salida dos señales PWM complementarias.

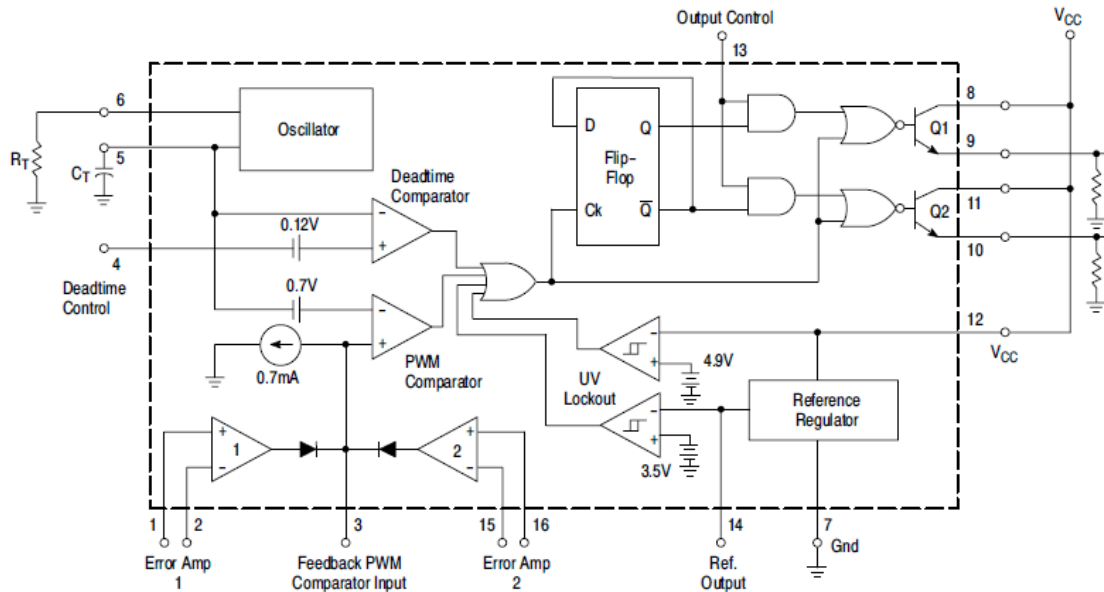


Figura 33. Diagrama de bloques del circuito integrado TL494.

3.2.1. Regulador interno

El circuito integrado posee un regulador de referencia interno de 5 V cuya salida corresponde al pin 14 referenciado a tierra (terminal 7). Este regulador suministrará los 5 V si al pin 12 (alimentación C. I.) se alimenta como mínimo con una tensión de 7 V.

Este regulador es el encargado de alimentar al control de salida, al flip-flop interno, el oscilador y a los distintos comparadores.

3.2.2. Oscilador

El oscilador que incorpora este componente genera una onda de forma de diente de sierra y su frecuencia viene determinada por el valor de la capacidad y la resistencia conectados en los pines 5 y 6, respectivamente:

$$f = \frac{1}{R_T \cdot C_T} \quad (22)$$

La frecuencia recomendada para la señal triangular, en la práctica, es de unos 300 kHz [23] pero como en la hoja de características se indica que este valor es el valor máximo de la frecuencia que puede ofrecer el oscilador, se ha decidido reducirlo ligeramente a 250 kHz, por lo que, fijando un valor de C_T de 1 nF, se puede hallar R_T :

$$R_T = \frac{1}{f \cdot C_T} = \frac{1}{250 \text{ kHz} \cdot 1 \text{ nF}} = 4000 \Omega$$

Se elige una resistencia cuyo valor comercial es 3900 Ω , por lo que la frecuencia del oscilador quedaría de la siguiente forma:

$$f = \frac{1}{R_T \cdot C_T} = \frac{1}{3900 \Omega \cdot 1 \text{ nF}} = 256,4 \text{ kHz}$$

Cabe destacar que la amplitud de la onda en diente de sierra la fija el C. I. y no es posible cambiar su valor. Esta señal está comprendida entre 0 V y 3,3 V por lo que es



necesario añadir a la señal de entrada un valor de continua de 1,65 V de manera que se pueda comparar adecuadamente con la señal en diente de sierra.

Lo que se hizo fue aprovechar la tensión que suministra el regulador interno de 5 V añadiendo un potenciómetro que actúe como divisor de tensión con el fin de regular así el nivel de continua de la tensión de entrada. Esta señal deberá conectarse al terminal 4 para poder realizar la comparación.

3.2.3. Modos de funcionamiento y transistores de salida

Este C. I. puede funcionar de dos modos distintos dependiendo de si el pin 13 está conectado a la alimentación de 5 V o a tierra.

Si está alimentado a 5 V, funcionará en modo *push-pull*, es decir, cada pulso de la señal PWM generada se mostrará en la salida de ambos transistores de forma secuencial a Q_1 y Q_2 (alternativamente). En cambio, si el terminal se lleva a tierra, funcionará en modo *single-ended* en el cual se mostrará la señal PWM de forma paralela en ambos transistores. En nuestro caso, nos interesa más este último.

Para obtener las señales complementadas un transistor debe funcionar en configuración de emisor común, y el otro en configuración de seguidor por emisor.

Además, el dispositivo cuenta con amplificadores de error y de retroalimentación, pero para el diseño de nuestro circuito no se usarán. Los amplificadores se inutilizan llevando a tierra sus terminales 1 y 16 mientras que los terminales 2 y 15 se alimentan a la tensión de referencia de 5 V, según indica el fabricante. El pin 3 que corresponde al de retroalimentación se conecta a tierra.

3.3. MOSFET IRF540

El MOSFET elegido fue el IRF540, por su disponibilidad, su baja resistencia de encendido $R_{DS(on)}$, carga de puerta Q_g y su velocidad de conmutación.

3.3.1. Recta de carga y punto de operación

El punto de operación puede localizarse trazando la recta de carga del circuito sobre la curva característica del transistor. Nuestra intención es mostrar que cuando el MOSFET opera en la región óhmica el valor de la resistencia va a estar determinado por la tensión puerta-fuente.

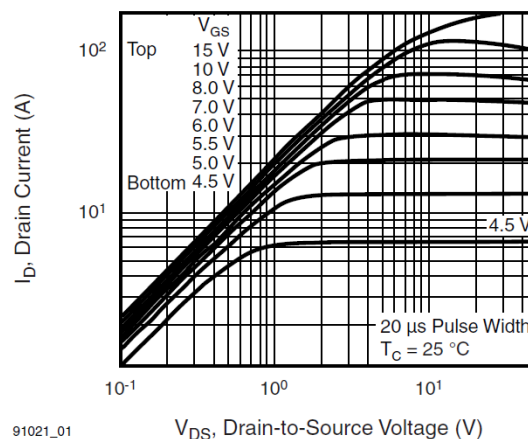


Figura 34. Curva característica del transistor MOSFET IRF540.



Se puede realizar una estimación de la resistencia de canal mediante simulación analizando el funcionamiento del MOSFET de la figura 35, el cual se encontrará en las regiones de corte y óhmica de manera alternada.

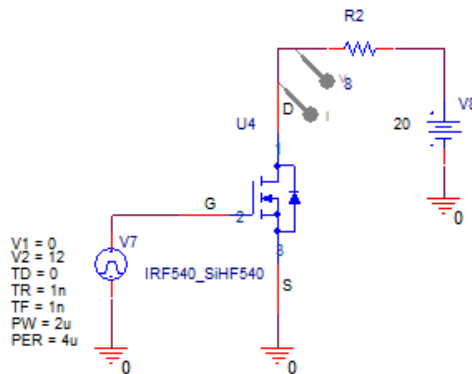


Figura 35. Circuito con el MOSFET IRF540.

Su punto de funcionamiento cuando se encuentra en la región de corte es (20 V, 0 A), lo que quiere decir que su tensión en el drenador es de 20 V mientras que no fluye corriente a través de él. Pero cuando se encuentra en la región óhmica esto cambia, y para hallar su punto de funcionamiento primero se debe hallar su recta de carga que, teniendo en cuenta que se usa la topología de medio puente asimétrico, se puede deducir que:

$$I_D = \frac{V_D - V_{DS}}{R_{LOAD}} = \frac{20 - V_{DS}}{8} \quad (23)$$

El valor de $R_{DS(on)}$ disminuirá si aumentamos V_{GS} . Esta recta se superpone a la curva y se obtiene el punto de operación en la intersección de la curva correspondiente a la caída V_{GS} que en este caso es de 12 V.

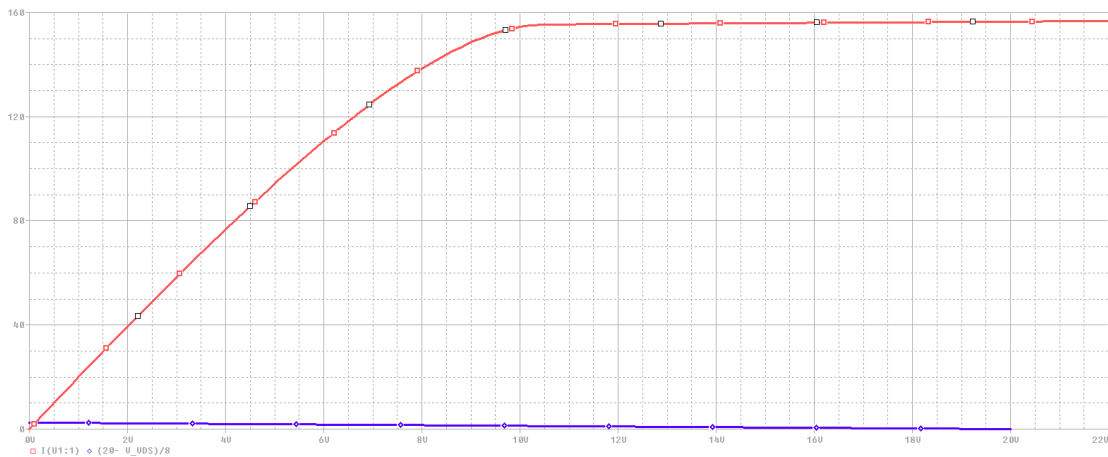


Figura 36. Representación de la curva característica del MOSFET y su recta de carga.

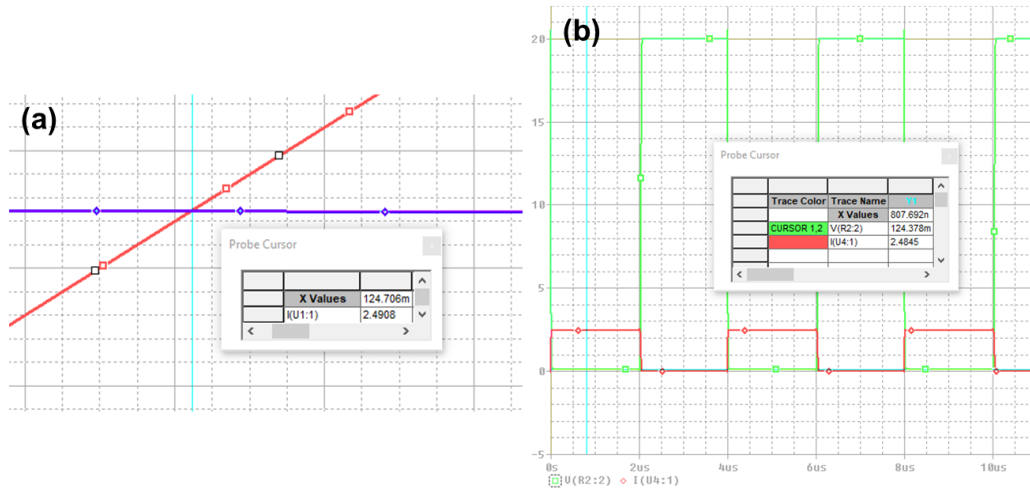


Figura 37. (a) Intersección de la curva característica del MOSFET y su recta de carga (b) Valores de tensión y corriente de drenador a su salida cuando se encuentra en conducción.

Como se observa, el punto de operación es (124,706 mV, 2,4908 A), lo que quiere decir que cuando se aplica una tensión V_{GS} de 12 V, fluye una corriente de 2,4908 A mientras que la caída de tensión entre drenador y surtidor es de 124,706 mV.

Con estos datos, se puede hallar la resistencia de encendido $R_{DS(on)}$:

$$R_{DS(on)} = \frac{V_{DS}}{I_D} = \frac{124,706 \text{ mV}}{2,4908 \text{ A}} = 0,05 \Omega$$

Este parámetro resulta determinante en las pérdidas de conducción, evidentemente.

3.4. Gate driver y generador de dead time IR2110

El circuito integrado IR2110 es un driver de MOSFET de alta velocidad cuyos canales son flotantes, de alto voltaje, pudiendo operar hasta los 500 V mediante el método Bootstrap. Además, cuenta con la función de generar un tiempo muerto de 10 ns entre las señales PWM que entran al dispositivo y con la funcionalidad de *level-shifter*, que consiste en elevar la tensión de entrada al nivel de voltaje de operación del circuito Bootstrap, pero esta última función no se usará en nuestro diseño debido a que los niveles de tensión de la señal PWM ya se encuentran a dicho nivel.

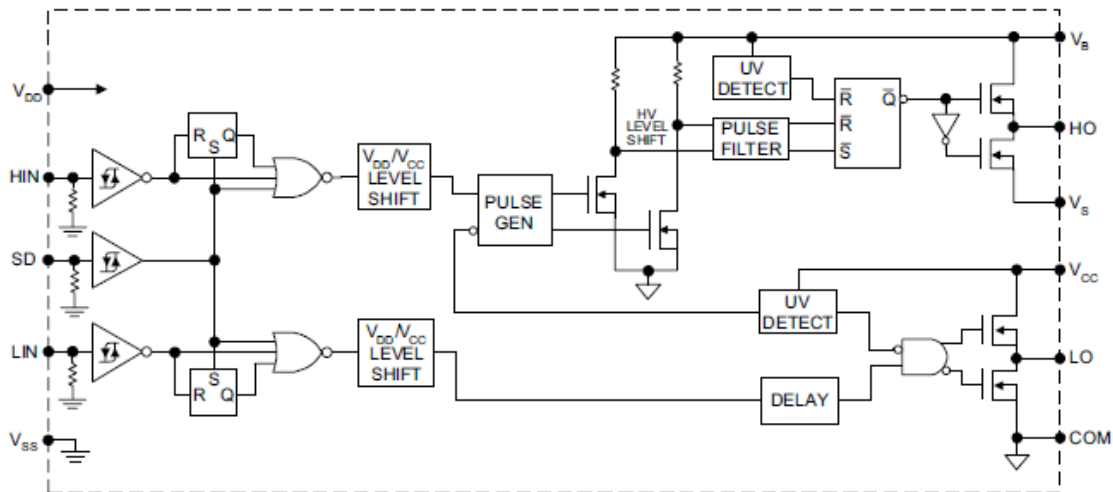


Figura 38. Diagrama de bloques del componente IR2110.

Al integrado le entran las señales PWM complementarias entrando por los terminales *HIN* y *LIN*. Cabe destacar que la tensión V_{DD} , que corresponde a la tensión lógica del integrado, debe coincidir con el nivel de tensión de las señales PWM cuando estén en alta. Es decir, en este caso, la tensión V_{DD} será de 12 V. Además, el componente posee la función de suspender su funcionamiento mediante la activación del terminal *SD* cuando es conectado a una tensión V_{DD} . Mientras que este pin esté conectado a tierra, el integrado realizará su función sin interrupciones.

En cuanto a las salidas del dispositivo, *LO* corresponde a la señal PWM en nivel bajo, la cual estará comprendida entre V_{CC} (que también tendrá el valor de 12 V) y *COM*, cuyo terminal estará conectado a tierra y, por tanto, tomará un valor de 0 V.

Los terminales *HO*, *VB* y *VS* se relacionan con el circuito de *bootstrap*.

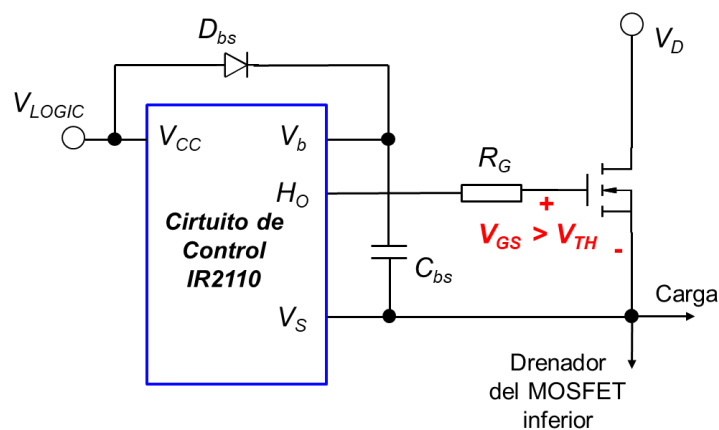


Figura 39. Esquema del circuito bootstrap [24].

El circuito *bootstrap* está compuesto por un diodo y un condensador como se muestra en la Figura 39. Su principio de funcionamiento consiste en que cuando el MOSFET superior se encuentra apagado y el inferior se encuentra en conducción (es decir, V_S a tierra), el condensador se carga a través del diodo de la fuente V_{CC} proporcionando una fuente V_{BS} para el interruptor superior cuando el interruptor inferior se encuentra apagado. Esta fuente se denomina fuente flotada.



Este método es simple y barato, pero su principal limitación es el tiempo de encendido ya que se requiere recargar el condensador *bootstrap*.

Este integrado, además, incluye protección contra caídas de tensión para la fuente flotante con el fin de que el MOSFET no llegue a operar en un modo de alta disipación de potencia.

3.4.1. Diseño del circuito *bootstrap*

Hay cinco factores que influyen en la alimentación de la caída de tensión V_{BS} [24] y son:

1. La carga de la puerta necesaria para activar el MOSFET
2. I_{qbs} (corriente de reposo para el circuito del lado alto)
3. Corrientes del *level shifter* del controlador C. I.
4. Corriente de fuga puerta-fuente del MOSFET
5. Corriente de fuga del condensador *bootstrap* (sólo si el condensador *bootstrap* es electrolítico).

Cabe destacar que inicialmente se decidió emplear un condensador electrolítico como condensador de *bootstrap* y el diodo 1N4148 debido a su disponibilidad, por lo que se tendrán en cuenta a la hora de la realización de los cálculos.

Además, la tensión de alimentación V_{CC} necesita estar en un intervalo de 10 V a 20 V para asegurar el funcionamiento del transistor MOSFET. En nuestro caso, V_{CC} toma un valor de 12 V suministrado por el regulador de tensión LM7812.

3.4.1.1. Condensador Bootstrap

La carga mínima asociada a este condensador viene dada por la siguiente ecuación:

$$Q_{bs} > 2Q_g + \frac{I_{qbs(max)}}{f} + Q_{Is} + \frac{I_{Cbs(Leak)}}{f} \quad (24)$$

Estos datos se muestran en la siguiente tabla:

Símbolo	Nombre	Valor	Obtención
Q_g	Carga de puerta del mosfet del lado alto	72 nC	Datasheet del MOSFET IRF540
$I_{qbs(max)}$	Corriente de reposo para el MOSFET de lado alto	230 μ A	Datasheet del componente IR2110
f	Frecuencia de operación	256,4 kHz	Frecuencia de la señal triangular
Q_{Is}	Carga del level shift necesaria por ciclo	5 nC	Datasheet del componente IR2110
$I_{Cbs(Leak)}$	Corriente de fuga del condensador bootstrap	3 μ A	Datasheet del condensador electrolítico

Tabla 1. Datos para el cálculo de la carga mínima del condensador *bootstrap*



Por lo tanto, la carga mínima tiene un valor de:

$$Q_{bs} > 2 \cdot 72 \text{ nC} + \frac{230 \mu\text{A}}{256,4 \text{ kHz}} + 5 \text{ nC} + \frac{3 \mu\text{A}}{256,4 \text{ kHz}}$$

$$Q_{bs} > 149,91 \text{ nC}$$

El condensador de *bootstrap* C_{bs} debe ser capaz de alimentar esta carga y retener completamente el voltaje, para evitar que la tensión caiga por debajo del voltaje de bloqueo V_{BSUV} y por consiguiente la salida *HO* deje de funcionar. Se recomienda que la carga en el condensador C_{bs} debe de ser un mínimo de dos veces superior del valor calculado [24].

La capacidad mínima del condensador de *bootstrap* se calcula mediante la siguiente ecuación:

$$C_{bs} > \frac{2Q_{bs}}{V_{cc} - V_f - V_{LS} - V_{Min}} \quad (25)$$

Estos datos se muestran en la siguiente tabla 2.

Símbolo	Nombre	Valor	Obtención
Q_{bs}	Carga mínima del condensador bootstrap	149,91 nC	Cálculo anterior
V_{cc}	Tensión de alimentación	12 V	Decisión de diseño
V_f	Caída de tensión del diodo de bootstrap	1 V	Datasheet del diodo 1N4148
V_{LS}	Caída de tensión en el cuerpo del diodo del MOSFET	2,5 V	Datasheet del MOSFET IRF540
$V_{Min} (V_{BSUV+})$	Tensión mínima entre Vb y Vs	7,5 V	Datasheet del componente IR2110

Tabla 2. Datos para el cálculo de la capacidad mínima del condensador bootstrap.

Con estos datos, el condensador debe tener una capacidad mínima de:

$$C_{bs} > \frac{2 \cdot 149,91 \text{ nC}}{12 \text{ V} - 1 \text{ V} - 2,5 \text{ V} - 7,5 \text{ V}}$$

$$C_{bs} > 299,82 \text{ nC}$$

El valor obtenido es el mínimo necesario, pero como un condensador de baja capacidad puede llevar a una sobrecarga y por consiguiente dañar el controlador C. I., el fabricante recomienda multiplicar por 15 el valor obtenido para así reducir el riesgo por sobrecarga, por lo que finalmente, el valor del condensador es:

$$C_{bs} = 4,4973 \mu\text{F}$$

Aproximándola a un valor comercial, toma el valor de:

$$C_{bs} = 4,7 \mu\text{F}$$



3.4.1.2. Selección del diodo *bootstrap*

Este componente tiene que ser capaz de bloquear la tensión de alimentación de potencia cuando el MOSFET superior entra en conducción. El diodo debe poseer un tiempo de recuperación corto para reducir al mínimo la cantidad de carga realimentada desde el condensador de *bootstrap* a la fuente V_{CC} [24].

Las características que debe poseer el diodo Bootstrap son:

- V_{RRM} = Voltaje del bus de potencia (V_{bus})= 20 V
- $t_{rr(max)}$ = 100 ns
- $I_F = Q_{bs} \cdot f = 149,91 \text{ nC} \cdot 256,4 \text{ kHz} = 38,4 \text{ mA}$

Como se indica en el datasheet del diodo 1N4148 (anexo IV) se cumplen todas las condiciones.

3.4.1.3. Consideraciones de diseño recomendadas por el fabricante

- El condensador *bootstrap* deberá conectarse lo más cerca posible de los pines del componente IR2110.
- Si se emplea un condensador electrolítico, como en este caso, deberá tener baja ESR (resistencia serie equivalente) para proporcionar un buen desacoplo local. Se ha decidido utilizar un condensador cerámico de 100 nF.
- Conectar un segundo condensador con baja ESR entre los terminales V_{CC} y COM. Se recomienda un valor de al menos 10 veces mayor que C_{BS} , por lo que se utilizará un condensador de tántalo de 47 μF .
- Se recomienda conectar un par de condensadores, uno cerámico y otro electrolítico, entre los pines V_{DD} y V_{SS} con el fin de desacoplar el ruido en la fuente de alimentación lógica del IR2110. Los valores sugeridos por el fabricante son: un condensador electrolítico de 10 μF y uno cerámico de 0,1 μF .

3.4.2. Resistencia de puerta y diodo antiparalelo

A la puerta de cada MOSFET se conecta una resistencia de un valor pequeño, en este caso se ha decidido emplear una de 10 Ω . Esta resistencia ayuda a amortiguar la oscilación producida por la capacidad parásita entre puerta y drenador y la inductancia del drenador, ya que forman un circuito de carga y descarga que ralentiza la transición al encendido del MOSFET, provocándose fuertes oscilaciones en la puerta. Con esto se logra una conmutación más rápida [25].

Además, se ha decidido conectar un diodo antiparalelo a la resistencia de puerta con el fin de descargar los condensadores de entrada de manera más rápida, proporcionando tiempos de conmutación cortos y, por tanto, menores pérdidas de conmutación. Este diodo únicamente funciona cuando la corriente de la puerta se encuentra alrededor de los 150 mA (usando los diodos 1N4148) [16].

3.5. Filtro reconstructor

Cabe destacar que, en la entrada del filtro reconstructor, se conectará un condensador de 1000 μF con el fin de eliminar la componente continua de la señal PWM producida por la etapa de potencia.

Como ya se dijo anteriormente, se va a implementar un filtro pasa bajas de segundo orden compuesto por un condensador y una bobina cuya frecuencia de corte se corresponda a un valor ligeramente superior a la máxima frecuencia audible por el ser humano. El valor elegido ha sido 26 kHz.



3.5.1. Cálculo de los valores de la bobina y el condensador

Para el diseño de este filtro se han utilizado los coeficientes mostrados en la Figura 40.

Orden	C1	L2	C3	L4	C5	L6	C7	L8	C9	L10
1	1									
2	1,41422	0,70711								
3	1,5	1,33333	0,5							
4	1,53074	1,57716	1,08239	0,38268						
5	1,54509	1,69443	1,38196	0,89443	0,30902					
6	1,55292	1,75931	1,55291	1,20163	0,75787	0,25882				
7	1,55765	1,79883	1,65883	1,39717	1,05496	0,65597	0,22521			
8	1,56073	1,82464	1,72874	1,52832	1,25882	0,93705	0,57755	0,19509		
9	1,56284	1,84241	1,77719	1,62019	1,40373	1,14076	0,84136	0,51555	0,17365	
10	1,56435	1,85516	1,81211	1,68689	1,51	1,29209	1,04062	0,76263	0,46538	0,15643
Rs = 0	L1'	C2'	L3'	C4'	L5'	C6'	L7'	C8'	L9'	C10'

Figura 40. Coeficientes para el cálculo de los componentes del filtro de Butterworth [26].

Como nuestro filtro es de orden 2, los coeficientes seleccionados son:

$$L_1' = 1,41422 \quad C_2' = 0,70711 \quad (26)$$

Estos valores se dan para una frecuencia de corte de 1 Hz y para una resistencia de carga de 1 Ω , por lo que hay que escalarlos haciendo uso de las siguientes ecuaciones:

$$L = \frac{RL'}{2\pi f_c} \quad C = \frac{C'}{2\pi f_c R} \quad (27)$$

Donde L' y C' son los coeficientes normalizados seleccionados (Figura 40).

Con una frecuencia de corte de 26 kHz y una carga de 8 Ω , los valores de la inductancia y la capacidad del filtro serán:

$$L = \frac{8 \Omega \cdot 1,41422}{2\pi \cdot 26000 \text{ Hz}} = 69,25 \mu\text{H}$$

$$C = \frac{0,70711}{2\pi \cdot 26000 \text{ Hz} \cdot 8 \Omega} = 541,06 \text{ nF}$$

Aproximando estos resultados a valores normalizados:

$$L = 69,25 \mu\text{H} \approx 70 \mu\text{H}$$

$$C = 541,06 \text{ nF} \approx 560 \text{ nF}$$

Por lo que la frecuencia de corte tendría como valor:

$$f_c = \frac{1}{2\pi\sqrt{LC}} = \frac{1}{2\pi\sqrt{70 \mu\text{H} \times 560 \text{ nF}}} = 25,42 \text{ kHz}$$

3.5.2. Función de transferencia.

La función de transferencia es la relación entre la tensión de salida y la tensión de entrada. Como se muestra en la Figura 41, la impedancia del condensador y la carga aparecen en paralelo. A continuación, mostramos cómo se determina.

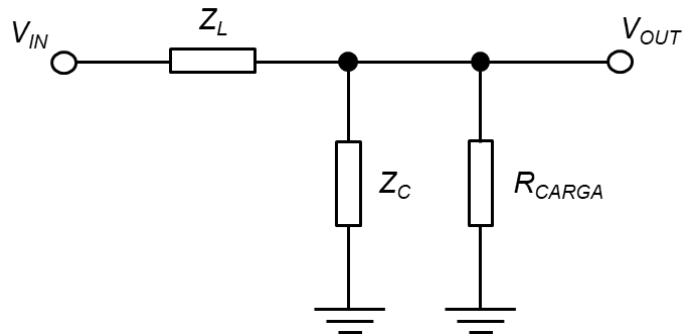


Figura 41. Filtro de Butterworth con las impedancias que lo componen.

$$Z_C = \frac{1}{Cs} \quad (28)$$

$$Z_L = Ls \quad (29)$$

$$Z_{RC} = \frac{1}{Cs} \parallel R = \frac{R}{RCs+1} \quad (30)$$

Por lo tanto, la función de transferencia se determina como:

$$\frac{V_o}{V_{in}} = H = \frac{Z_{RC}}{Z_{RC} + Z_L} \quad (31)$$

$$H(s) = \frac{\frac{R}{RCs+1}}{\frac{R}{RCs+1} + Ls} = \frac{R}{LRCs^2 + Ls + R} \quad (32)$$

Sustituyendo los valores de la carga, inductancia y capacidad:

$$H(s) = \frac{8}{3,136 \cdot 10^{-10} s^2 + 7 \cdot 10^{-5} s + 8}$$



4. Simulaciones y resultados

Las simulaciones mostradas en este apartado han sido obtenidas por separado con distintos simuladores. Esto es debido a que algunos modelos de componentes no realizaban su función o daban errores al simular en uno y se comportaban mejor en otros.

Además, en cuanto a los resultados obtenidos en el laboratorio, hay que comentar que no se pudieron obtener todas las imágenes que se hubiesen deseado ni tampoco se pudieron determinar parámetros significativos del circuito como potencia, ruido, corrientes, entre otros, debido a la suspensión de las clases presenciales por motivo de la situación de pandemia debida al Covid-19.

4.1. Regulador de tensión LM7812C

Este componente se ha simulado en Pspice: el circuito se muestra en la Figura 42.

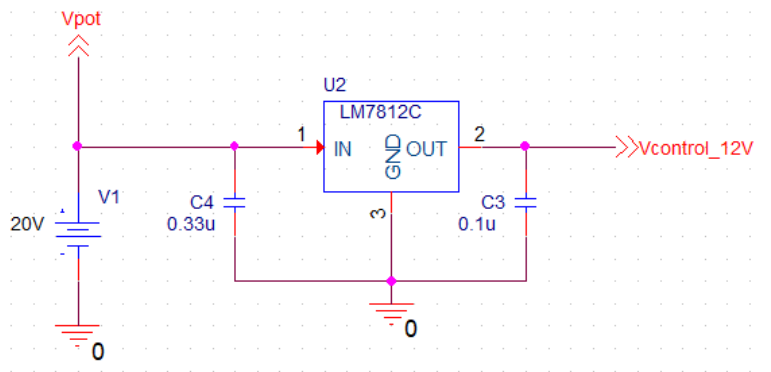


Figura 42. Esquemático de simulación del regulador LM7812.

Se ha podido comprobar tanto en simulación como en la práctica que la tensión de salida se ajusta a lo previsto. Los resultados se muestran en las figuras 43 y 44.

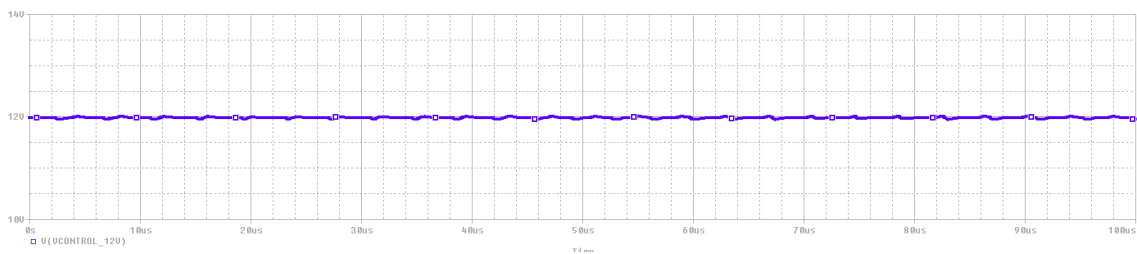


Figura 43. Resultado de la simulación a la salida del regulador LM7812.

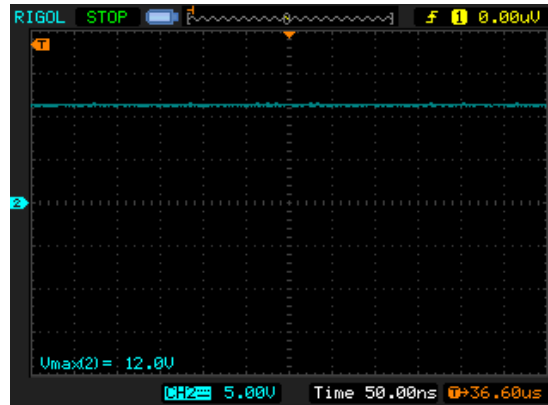


Figura 44. Visualización en el osciloscopio de la salida del regulador LM7812.

A la salida se podía apreciar ruido, pero en la escala de los nanovoltios, con una amplitud insignificante.

4.2. Componente TL494

El funcionamiento de este componente también se ha simulado en PSpice y su esquemático se muestra en la Figura 45.

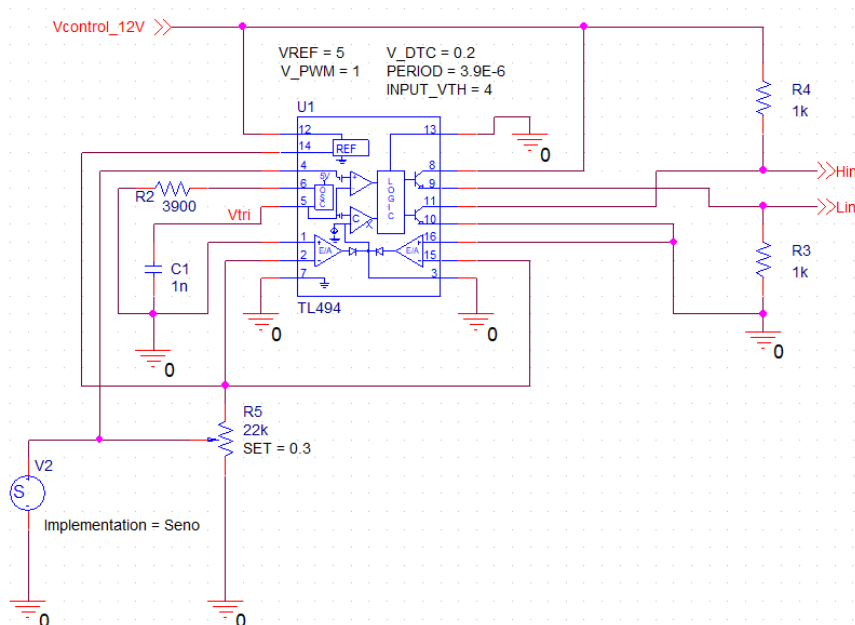


Figura 45. Esquemático para la simulación del funcionamiento del C.I. TL494.

Como ya se ha comentado, este componente desempeña la función de comparador entre las señales que se muestran en la Figura 46.

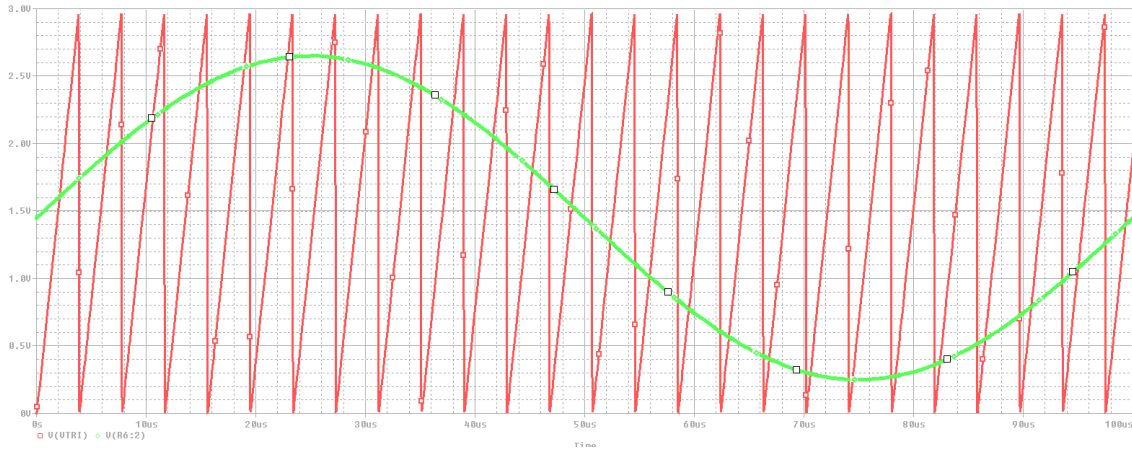


Figura 46. Simulación de una señal senoidal de 10 kHz y $V_p = 1,2V$ y la señal en diente de sierra del C. I. TL494.

El resultado de esta comparación y su señal complementaria se muestran en la Figura 47, además del espectro en frecuencias de la señal original, mostrado en la Figura 48.

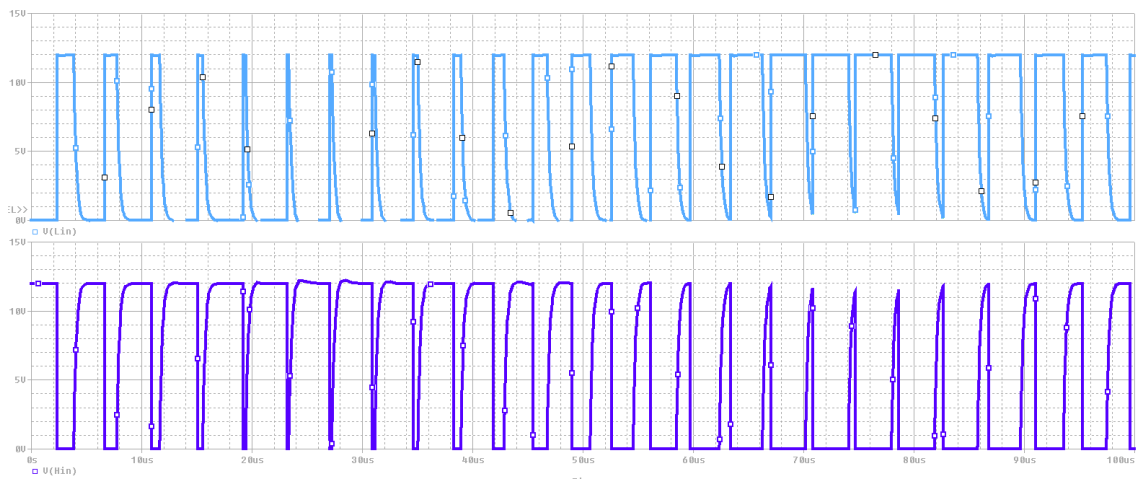


Figura 47. Simulación de la señal complementada (parte superior) y la señal original (parte inferior) como resultado de la comparación.

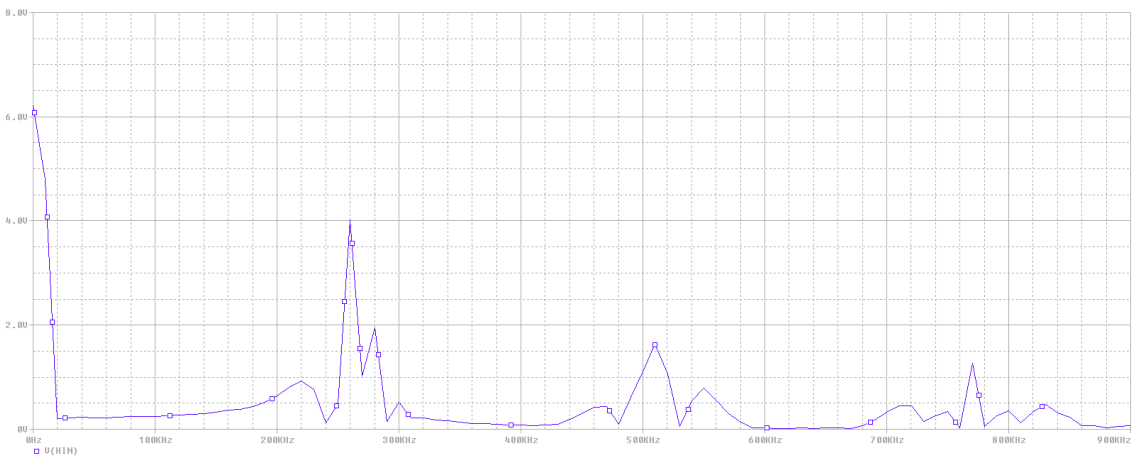


Figura 48. Simulación del espectro en frecuencia de la señal PWM original.



A frecuencias más altas, se observan picos a frecuencias múltiplos de la frecuencia de la señal de diente de sierra con dos bandas laterales, que corresponden a los armónicos de la señal PWM, centrados en esta frecuencia.

En la práctica, se obtuvieron los resultados mostrados en las figuras 49, 50 y 51.



Figura 49. Visualización en el osciloscopio de la señal senoidal de 10 kHz y $V_p = 3$ V, y la señal en diente de sierra del C. I. TL494.

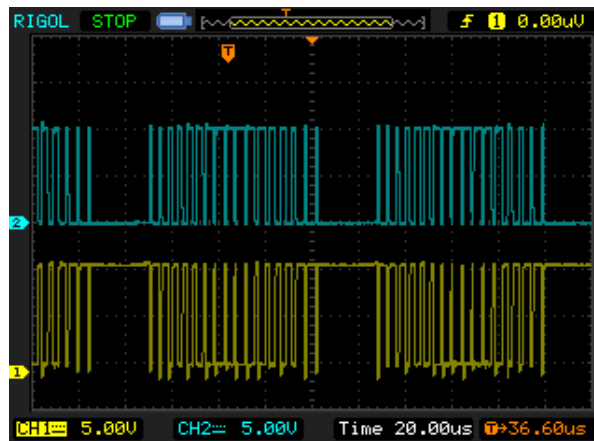


Figura 50. Visualización en el osciloscopio de la señal PWM y su complementaria.

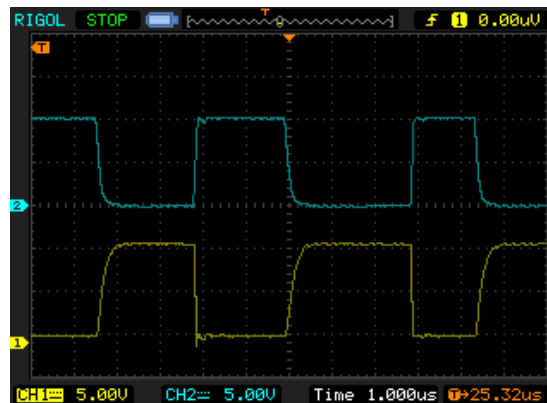


Figura 51. Visualización en el osciloscopio de la señal PWM y su complementaria (en una escala ampliada).



Además, tanto en la simulación como en la práctica, se pudo observar que no se introducía el tiempo muerto en las señales PWM (figuras 52 y 53).

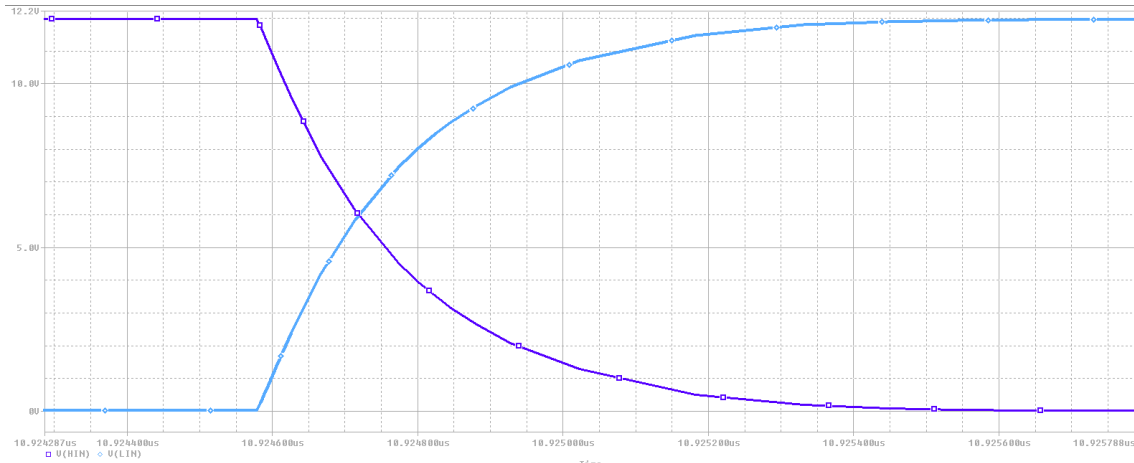


Figura 52. Ausencia del tiempo muerto en la simulación.

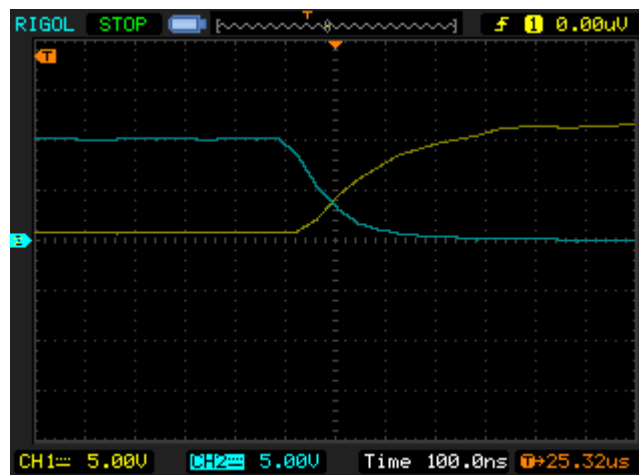


Figura 53. Visualización en el osciloscopio de la ausencia del tiempo muerto.

4.3. IR2110 y MOSFET

Han aparecido problemas al utilizar el modelo de simulación del componente IR2110 ya que se aleja de la realidad debido a que presenta limitaciones a la hora de alimentar el bloque lógico del componente, pudiendo únicamente alimentar al integrado hasta 5 V mientras que en la realidad se puede trabajar hasta con unos 25 V aproximadamente. Esto implica que las señales de entrada PWM que entren al integrado en la simulación estén comprendidas entre 0 V y 5 V, el nivel de tensión de la alimentación lógica V_{DD} .

Además, no introduce el tiempo muerto que se especifica en su datasheet, por lo que la simulación únicamente ha servido para visualizar el funcionamiento del integrado, observándose las tensiones en cada nodo del circuito.

Su esquemático se muestra en la Figura 54.

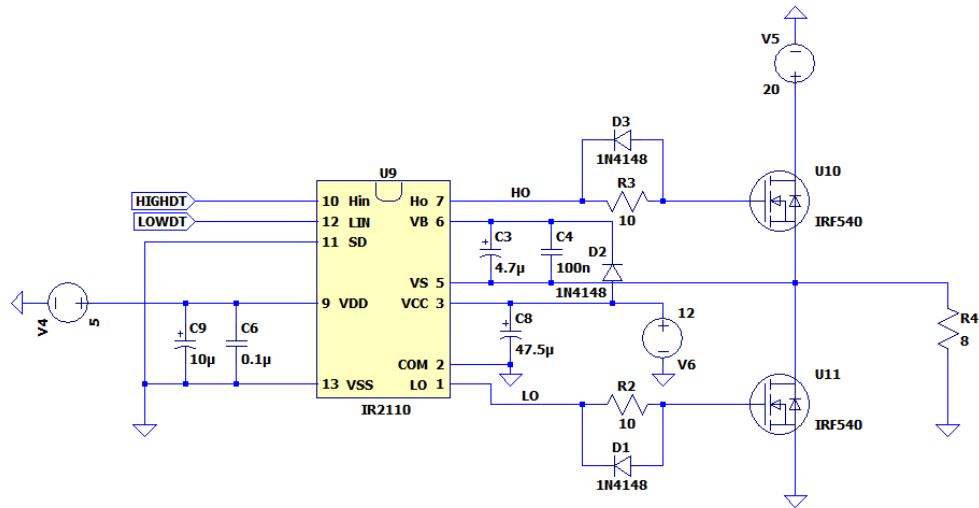


Figura 54. Circuito para la simulación del funcionamiento C.I. IR2110.

Las salidas *HO* y *LO* obtenidas en la simulación se muestran en la Figura 55.

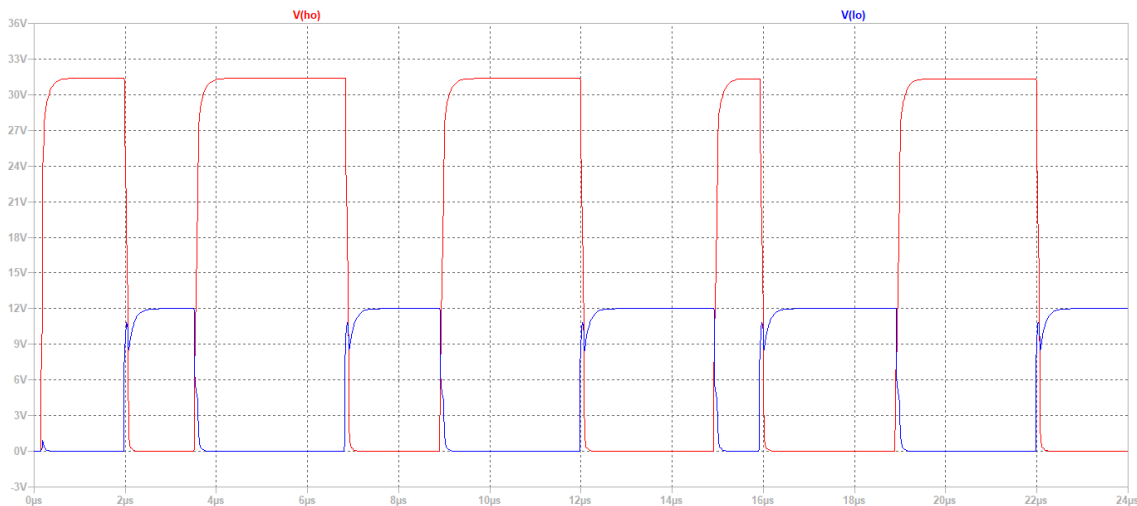


Figura 55. Simulación de las señales *HO* (trazo rojo) y *LO* (trazo azul) del integrado IR2110.

La caída de tensión entre puerta y fuente de ambos MOSFET debe de tener un valor de 12 V para activarse. La señal *LO* toma como valores 0 V o 12 V debido a que la tensión en la fuente es 0 V, por lo que la tensión en la puerta coincide con la caída entre puerta y fuente. Por otro lado, la señal *HO* está comprendida entre 0 V y 32 V ya que la tensión en el surtidor tiene la misma forma que esta señal, pero tomando los valores de 0 V y 20 V, por lo que su diferencia, que coincide con la caída de tensión entre puerta y fuente del MOSFET superior, se encuentra entre 0 V y 12 V.

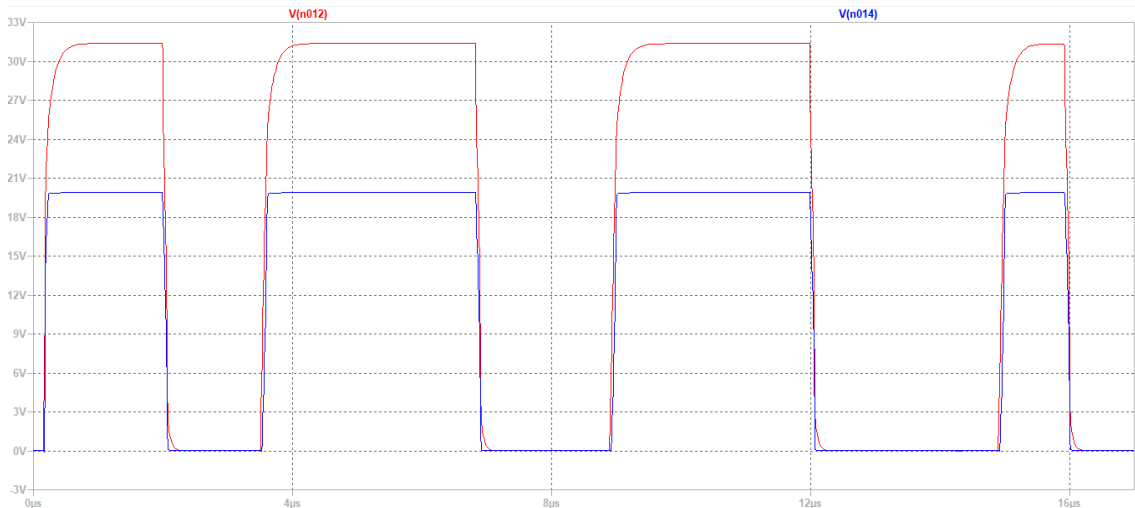


Figura 56. Tensión en los terminales HO (trazo rojo) y Vs (trazo azul).

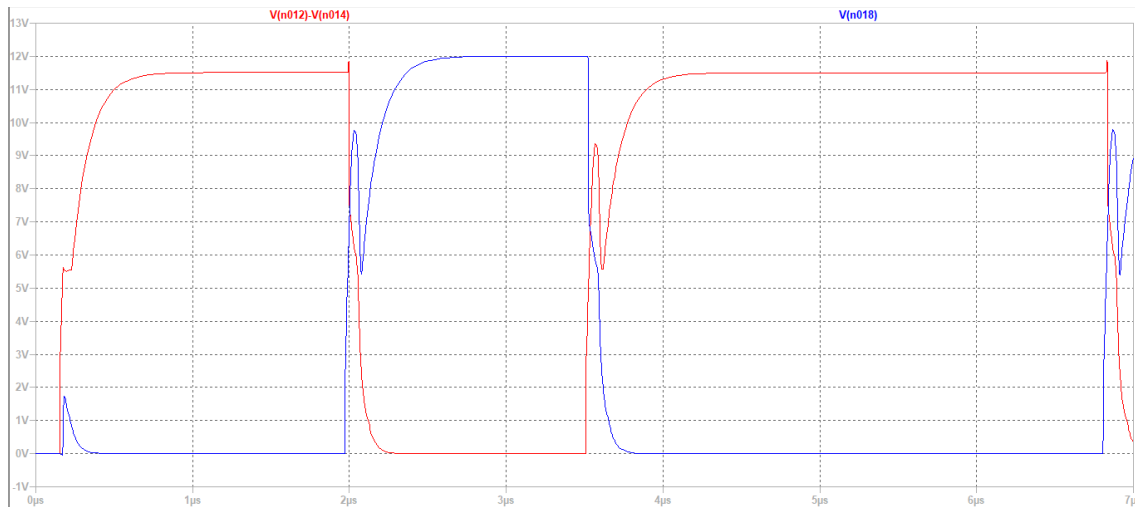


Figura 57. Caídas de voltaje entre puerta y fuente del MOSFET superior (trazo rojo) y del MOSFET inferior (trazo azul).

Como se observa en la Figura 57, las transiciones de ambas señales aparecen deformadas, además de que no se aprecia el tiempo muerto debido al mal funcionamiento del modelo de simulación del componente (como ya se comentó).

Además, en la Figura 58 se observa que la tensión del drenador del MOSFET inferior, que coincide con la del terminal Vs, se encuentra en alta cuando este MOSFET no conduce.

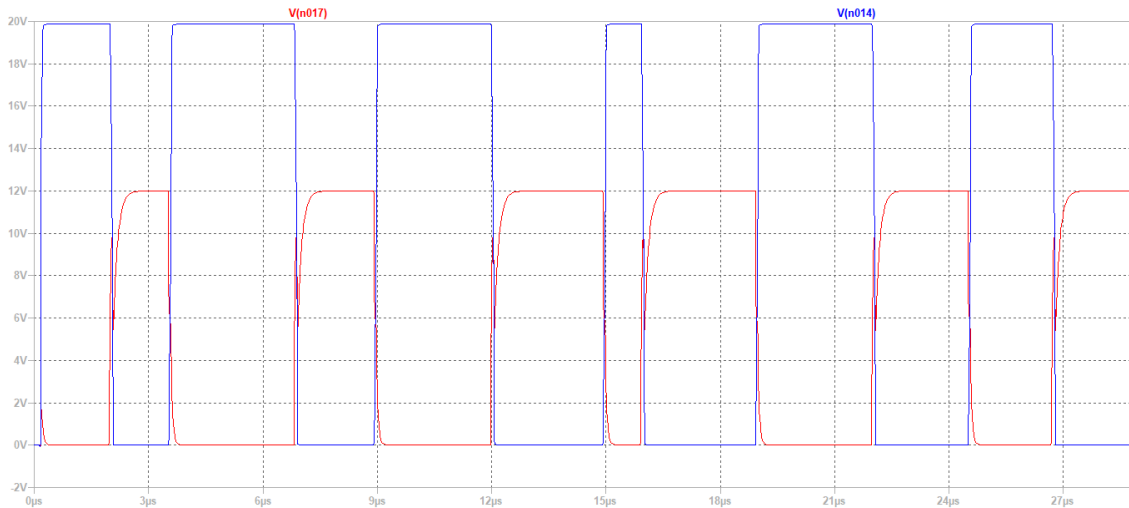


Figura 58. Tensión en el terminal Vs (trazo azul) y LO (trazo rojo).

Por otro lado, en la práctica se observaron los resultados mostrados en la figura 59.

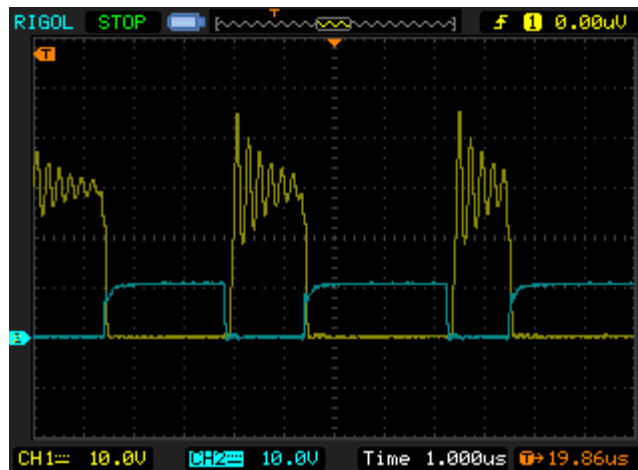


Figura 59. Visualización en el osciloscopio de las señales HO (trazo amarillo) y LO (trazo azul) del circuito integrado IR2110.

Como se observa en la Figura 59, la señal del terminal LO concuerda con la obtenida en la simulación, mientras que en la señal HO aparece una oscilación en el nivel alto. Esto es debido a los efectos de los componentes parásitos del MOSFET. La forma de amortiguar esta señal se explicará más adelante al hablar de las redes *snubber*.

El tiempo muerto entre las señales correspondientes a las caídas V_{GS} no se pudo observar en el osciloscopio ya que para obtener la caída V_{GS} del MOSFET superior hay que restar las señales de la puerta y la fuente. Aun así, se comparó las señales HO y LO pudiéndose observar la separación de las mismas, aunque esta no sería la mejor forma de visualizarlo.

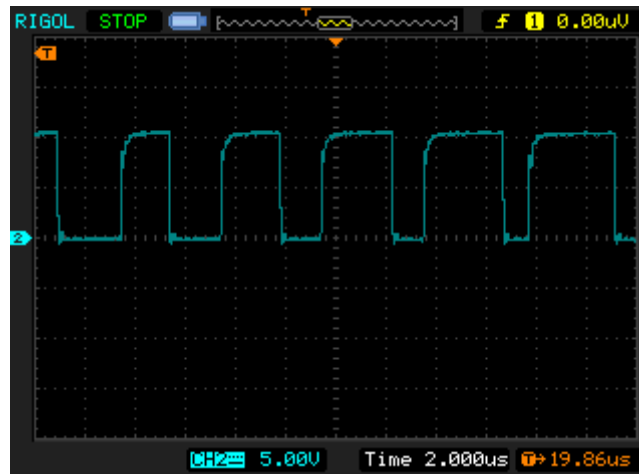


Figura 60. Tensión de puerta MOSFET inferior.



Figura 61. Tensión de puerta (trazo amarillo) y tensión de la fuente (trazo azul) del MOSFET superior.

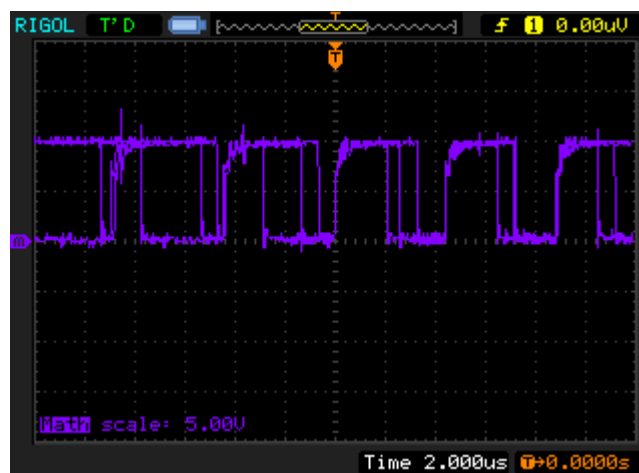


Figura 62. Caída de tensión entre puerta y fuente del MOSFET superior.

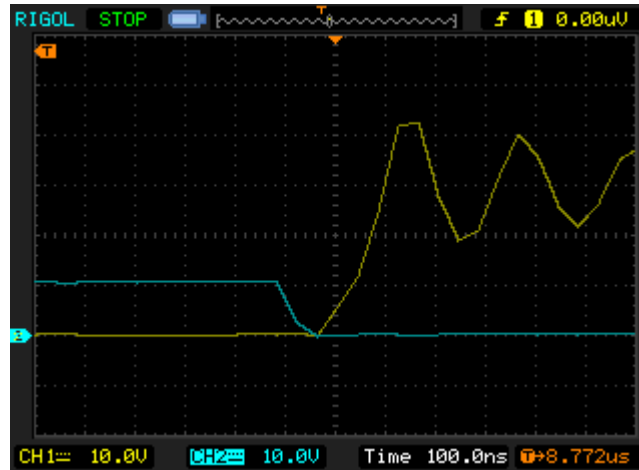


Figura 63. Visualización en el osciloscopio del tiempo muerto entre las señales HO (trazo amarillo) y LO (trazo azul).

4.3.1. Red de snubber

Como se comentó, en la Figura 59 se observa la aparición de una oscilación en la señal de HO. Esto es debido a los componentes parásitos del MOSFET y se soluciona mediante la incorporación de una red de *snubber* la cual absorbe la energía de los elementos reactivos del circuito, limitando el estrés que soporta el transistor y pudiendo reducir además las pérdidas por conmutación [27].

Las redes *snubber* presentan varias configuraciones, pero para este proyecto se usará la configuración que incorpora una resistencia y un condensador.

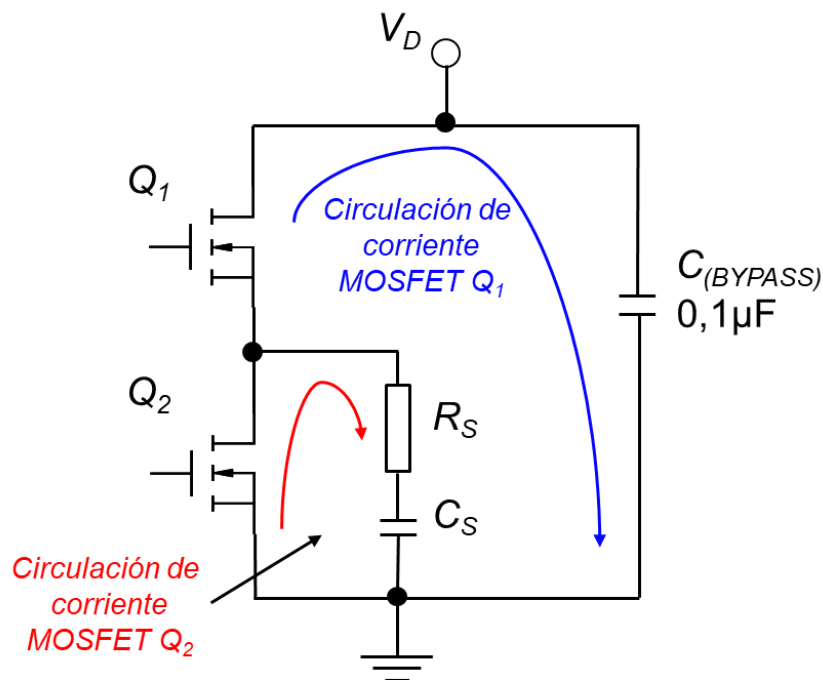


Figura 64. Configuración de la red de snubber en topologías de medio puente asimétrico [28].

Para su diseño, se debe hallar primero la frecuencia de oscilación y la inductancia y la capacidad parásita del MOSFET.

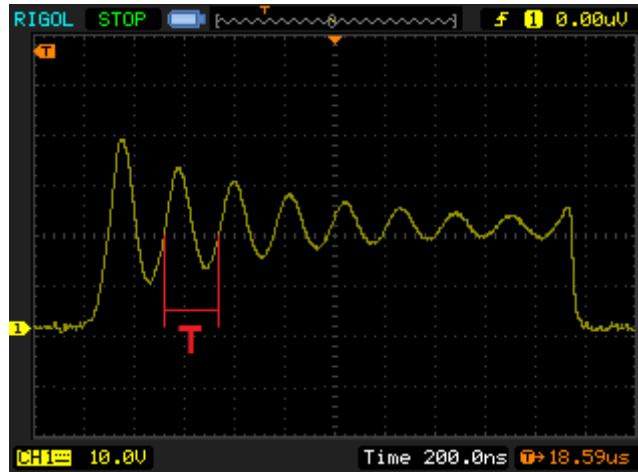


Figura 65. Medición del período de la oscilación en el terminal HO.

Como se observa en la Figura 65, se midió el período para calcular la frecuencia mediante su inversa:

$$T \approx 220ns \rightarrow f = \frac{1}{220 ns} = 4,545 MHz$$

En cuanto a la capacidad parásita, ésta se corresponde al parámetro C_{OSS} que se encuentra en la hoja de datos del MOSFET:

$$C_{OSS} = C_p = 560 pF$$

Una vez obtenidos estos parámetros, se puede hallar la inductancia parásita mediante la siguiente ecuación:

$$L_P = \frac{1}{4\pi^2 C_p f_{osc}^2} \quad (33)$$

$$L_P = \frac{1}{4\pi^2 \times 560pF \times (4,545MHz)^2} = 2,19 \mu H$$

Y la resistencia de *snubber*:

$$R_S = \sqrt{\frac{L_p}{C_p}} \quad (34)$$

$$R_S = \sqrt{\frac{2,19 \mu H}{560 pF}} = 62,53 \Omega$$

Para la selección del condensador, primero se elige una frecuencia de corte, la cual se recomienda que sea aproximadamente 10 veces menor que la frecuencia de oscilación con el fin de que sea fuertemente atenuada y no afectar a la forma de onda [27].



$$C_s = \frac{10}{2\pi R_S f_P} \quad (35)$$

$$C_s = \frac{10}{2\pi \times 62,53\Omega \times 4,545\text{MHz}} = 5,6 \text{ nF}$$

Estos valores se deben aproximar a valores comerciales teniendo en cuenta que la constante de tiempo debe permanecer constante: se han elegido 68 Ω y 5,6 nF.

Además, para reducir aún más el pico de tensión, se puede disminuir el valor de la resistencia manteniendo el valor de la constante de tiempo [27]. Por tanto, se han elegido los valores de los componentes *snubber* de 39 Ω y 10 nF.

$$\tau = RC = 62,53 \Omega \times 5,6 \text{ nF} = 3,5 \times 10^{-7}$$

$$\tau = RC = 68 \Omega \times 5,6 \text{ nF} = 3,8 \times 10^{-7}$$

$$\tau = RC = 39 \Omega \times 10 \text{ nF} = 3,9 \times 10^{-7}$$

Como se observa en los anteriores cálculos, la constante de tiempo no varía tanto, por lo que los componentes elegidos son correctos.

Antes de la implementación en el circuito, se ha realizado una simulación con los componentes parásitos para observar la oscilación y el cambio que experimenta al añadir la red de *snubber*. El esquemático se muestra en la Figura 66.

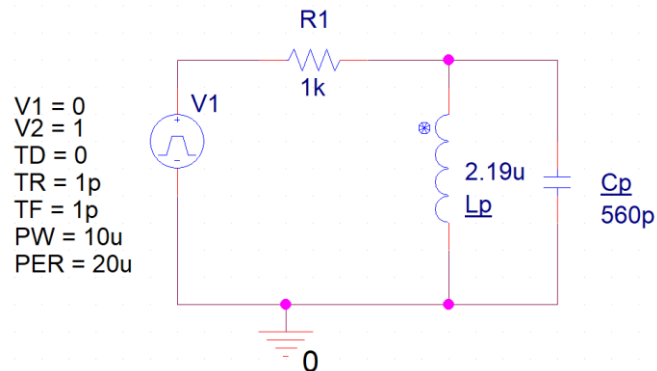


Figura 66. Esquemático de la simulación para el análisis de los componentes parásitos del MOSFET.

La oscilación que resulta en la Figura 67 es similar a lo que se observó en el osciloscopio.

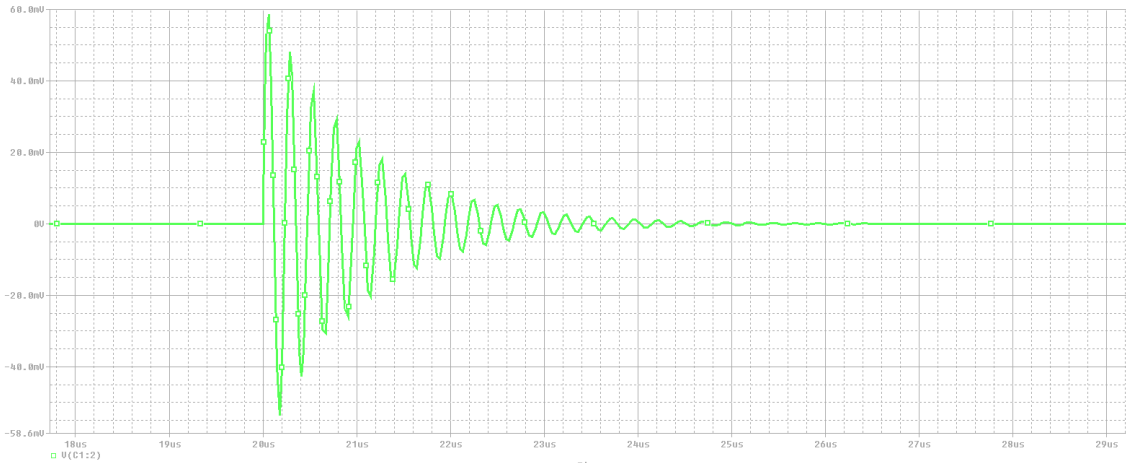


Figura 67. Oscilación resultante de la simulación de los componentes parásitos del MOSFET.

Realizando la simulación implementando las redes *snubber* calculadas, se ha observado que con la configuración de $39\ \Omega$ y $10\ \text{nF}$, la oscilación se amortiguaba más y el pico de tensión era menor como se observa en la Figura 68, por lo que se ha escogido estos valores para la implementación en el circuito.

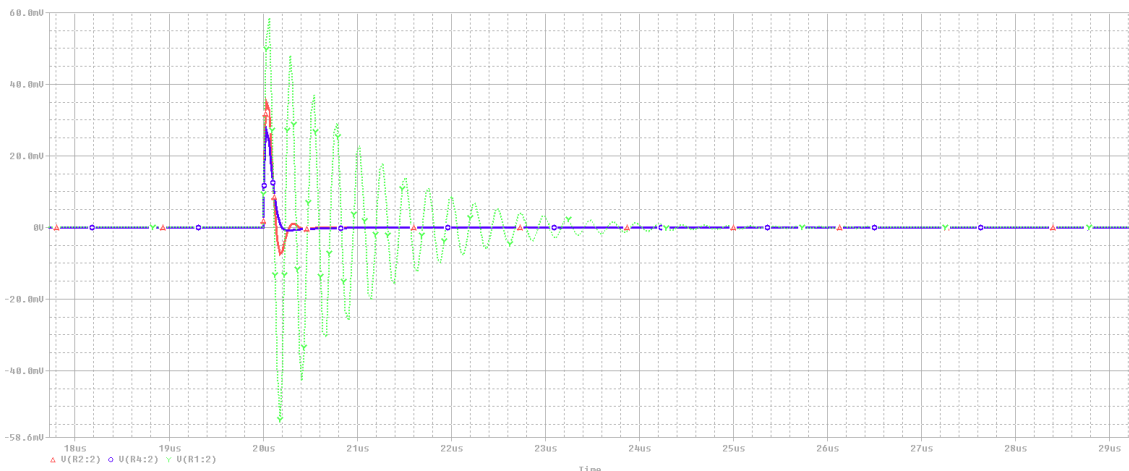


Figura 68. Comparación entre las formas de onda con y sin las redes *snubber*. Trazo azul: $R = 39\ \Omega$ y $10\ \text{nF}$. Trazo rojo: $R = 68\ \Omega$ y $5,6\ \text{nF}$. Trazo verde: sin *snubber*.

Comparando los espectros en frecuencias del circuito con los componentes parásitos y con la red de *snubber* se observa que, para el espectro del circuito sin *snubber*, aparece un pico en la frecuencia que se desea eliminar. En el espectro con la red de *snubber* se atenúa de forma significativa ese pico (figura 69).

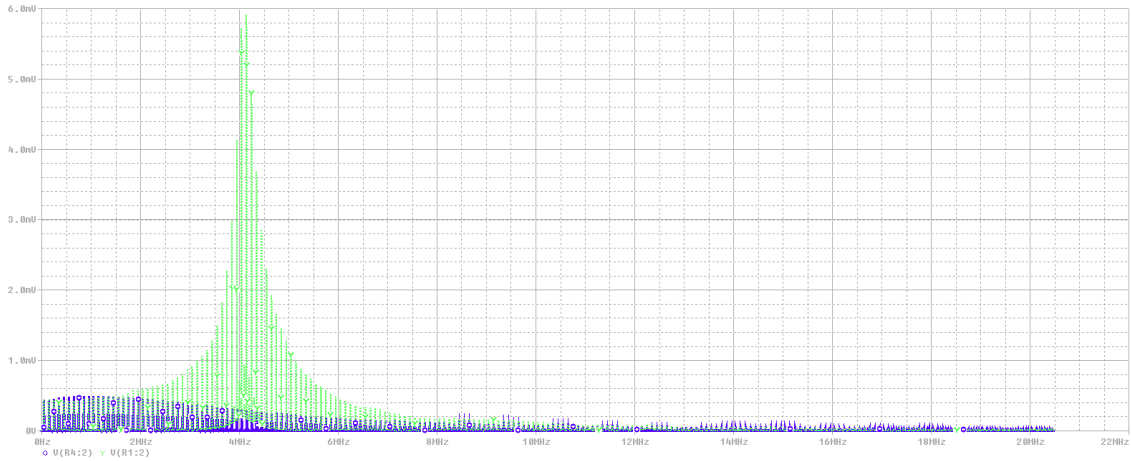


Figura 69. Comparación de la respuesta en frecuencia del circuito sin snubber (trazo verde) y con snubber (trazo azul).

Una vez implementado en el circuito, se observó que la oscilación se había reducido (figura 70).

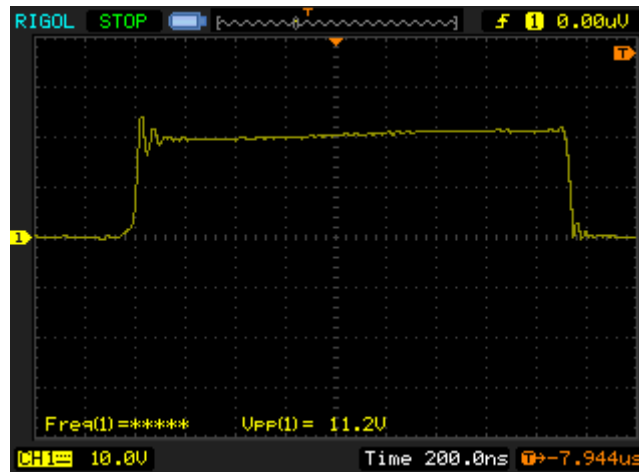


Figura 70. Visualización en el osciloscopio de la reducción de la oscilación mediante la implementación de la red snubber.

4.4. Filtro reconstructor

Se pudo obtener en el entorno LTSpice el diagrama de Bode del filtro: la ganancia y la fase en la Figura 71.

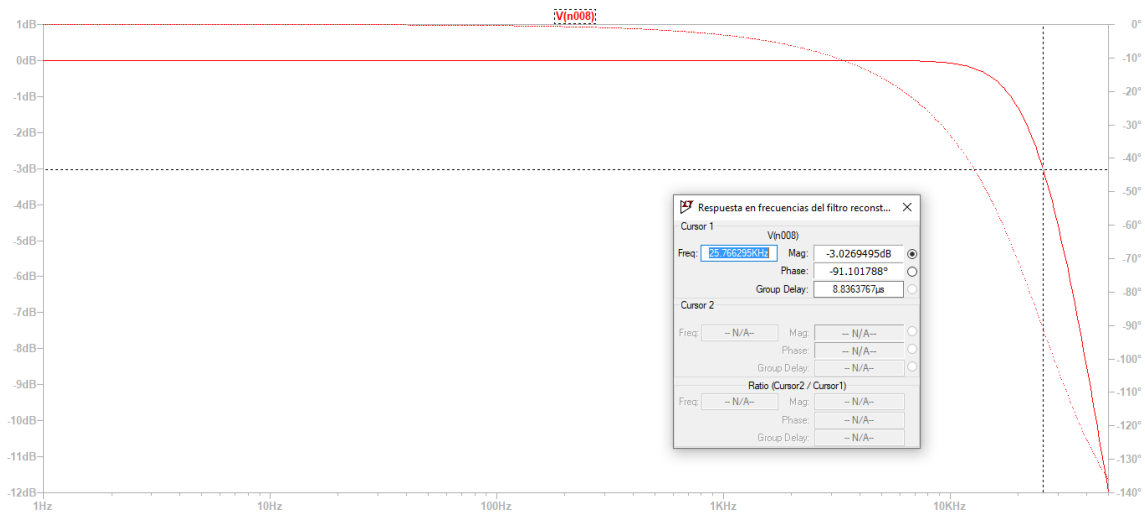


Figura 71. Simulación del Diagrama de Bode del filtro reconstructor.

En el laboratorio, en lugar de emplear una resistencia de 8Ω , se decidió inicialmente, utilizar una carga de 100Ω (5 W) con el fin de reducir la corriente que pudiera fluir por ella y así evitar que la placa protoboard soportase altas corrientes. En consecuencia, el filtro calculado no servía para esta situación por lo que se diseñó otra configuración teniendo en cuenta los valores de inductancia y capacidad disponibles en el laboratorio, con la idea de visualizar simplemente la señal de salida. Los valores de la inductancia y la capacidad que se obtuvieron fueron $860 \mu\text{H}$ y 39nF respectivamente, para una frecuencia de corte de 26kHz .

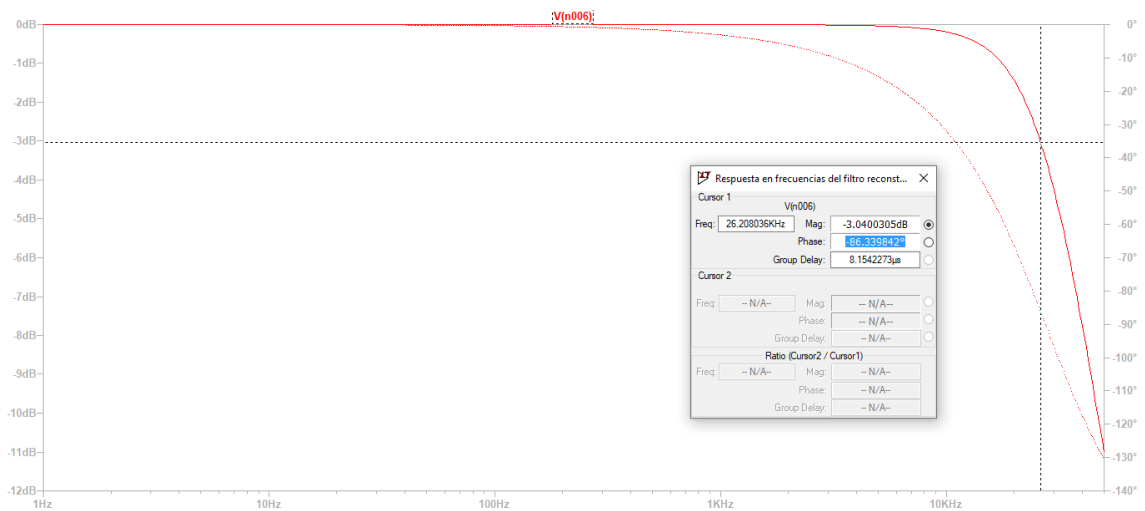


Figura 72. Diagrama de Bode del filtro reconstructor para una carga de 100Ω .

Se implementó en el circuito: los resultados se muestran en la figura 73.

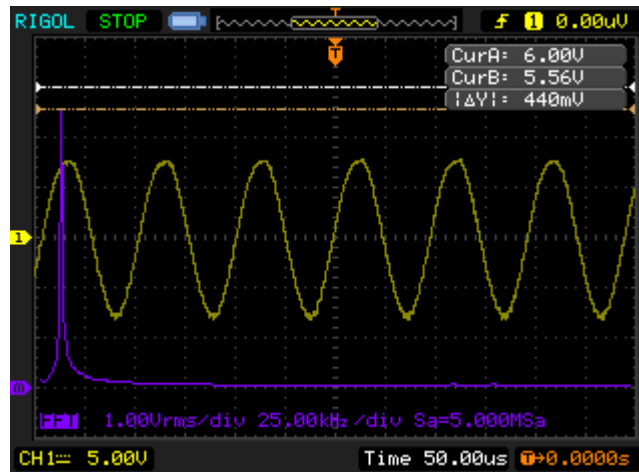


Figura 73. Salida del filtro (trazo amarillo) y su espectro de frecuencias (trazo morado).

Se observó (figura 73) una señal senoidal con una amplitud de 7,5 Vp cuya componente fundamental se encontraba a 10kHz (la frecuencia de la señal de entrada) con un valor de 5,56 V.

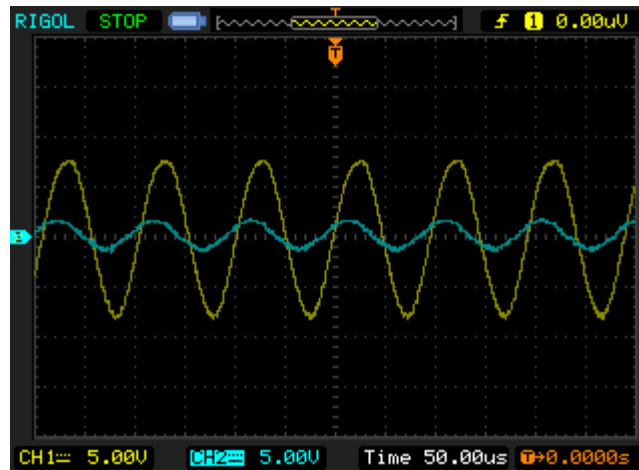


Figura 74. Comparación entre la señal senoidal de entrada (trazo azul) y de salida (trazo amarillo).

Comparando la señal de salida con la de la entrada, se observó que ésta se amplificaba sin ningún tipo de problema.

4.4.1. Efectos de la distorsión

Realizando pruebas y visualizando la señal de salida se observó que, al aumentar la amplitud de la señal de entrada de manera significativa, la señal de salida empezaba a recortarse. Esto ocurre porque la señal de entrada se encuentra fuera del rango de amplitud de la señal triangular y por ello la modulación PWM no se genera de manera correcta.

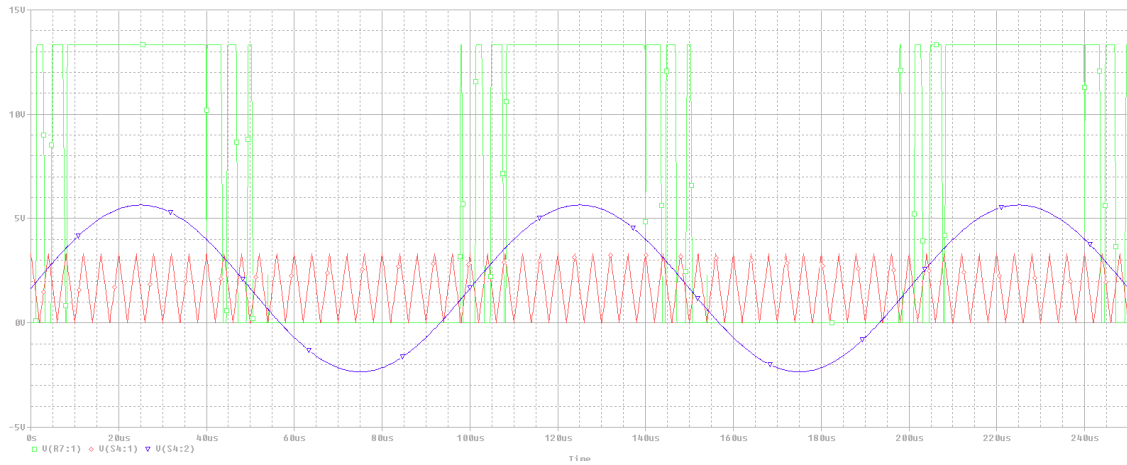


Figura 75. Señal de entrada (trazo azul), señal triangular (trazo rojo) y señal PWM generada debida a la sobremodulación (trazo verde).

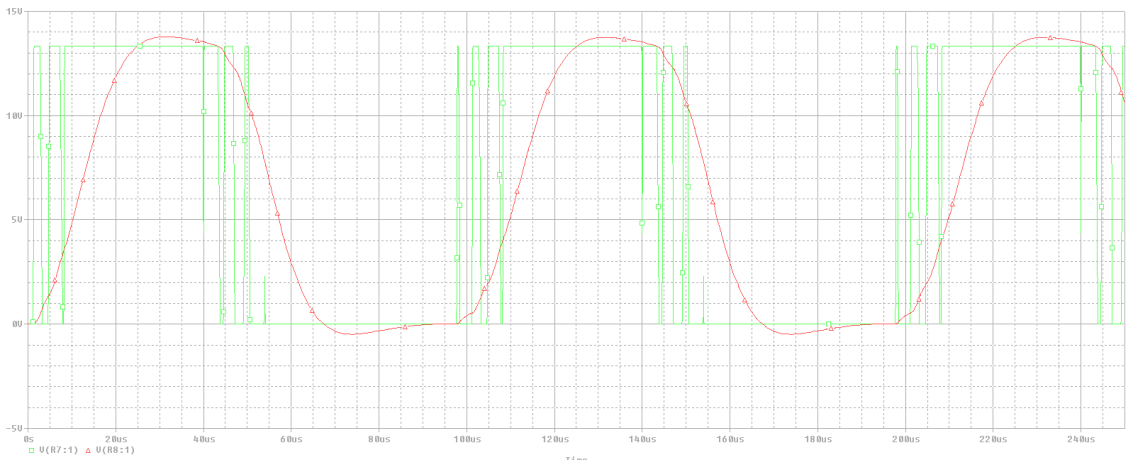


Figura 76. Señal antes del filtrado (trazo verde) y una vez filtrado (trazo rojo).

El efecto de recorte en la señal de salida, como se observa en la Figura 76 se denomina *clipping* en la bibliografía en inglés. Observando el espectro en frecuencia de la señal filtrada, es decir, filtrando los armónicos correspondientes a la señal triangular, se observa que al producirse *clipping* aparecen armónicos a frecuencia bajas, muy cerca de la componente fundamental de la señal.

En la Figura 77 se comparan dos señales que han sido filtradas, una modulada y dentro del rango de amplitud de la señal triangular y otra fuera de ese rango.

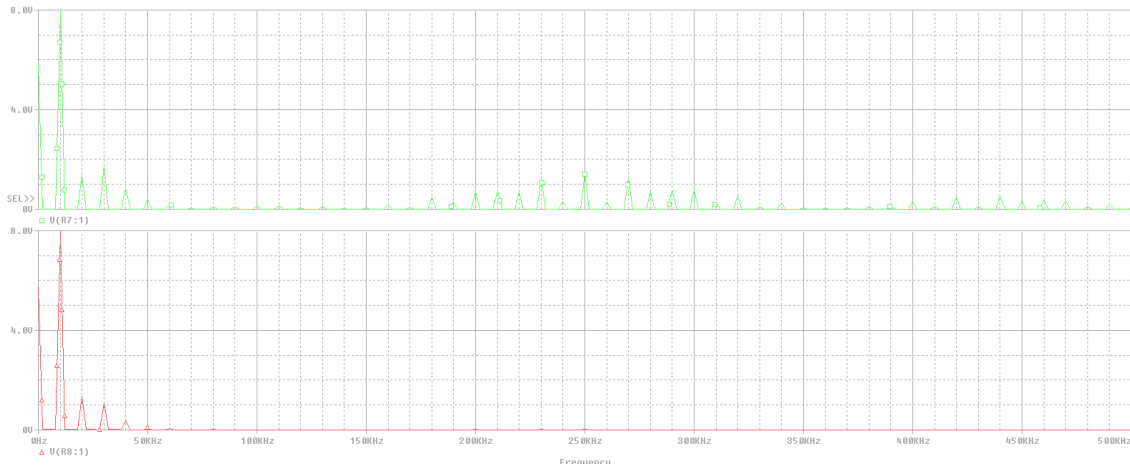


Figura 77. Comparación del espectro en frecuencias de una señal sin sobremodular (arriba) y sobremodulada (abajo)

4.5. Mediciones

Las mediciones no se pudieron realizar de forma práctica debido a la situación de pandemia, pero en este apartado se explicarán los métodos que se hubieran aplicado y los resultados obtenidos en la simulación.

Para estas mediciones se utilizarían un multímetro *true-RMS* y un osciloscopio.

4.5.1. Rendimiento

El rendimiento es la relación entre la potencia que se entrega a la carga y la potencia de entrada (la proporcionada por la fuente de alimentación):

$$\eta = \frac{P_{OUT}}{P_{IN}} = \frac{I_{OUT(RMS)} \cdot V_{OUT(RMS)}}{I_{IN(med)} \cdot V_{IN(med)}} \quad (36)$$

Al conectar el condensador de acoplo a la carga para eliminar la componente continua, la simulación con LTSpice ha resultado problemática ya que, después de analizar los resultados, no se visualizaba una onda simétrica en la carga y los valores obtenidos para el rendimiento no eran coherentes, por lo que se ha decidido realizar los cálculos prescindiendo de este condensador. Este hecho no provoca en la simulación cambios en los valores del rendimiento ya que la única función del condensador es el desplazamiento del nivel de la señal de salida y por tanto no disipa potencia.

Para calcular la potencia proporcionada por la fuente, se inserta una resistencia con un valor muy bajo (por ejemplo, $0,01\Omega$), o resistencia *shunt*, y que pueda soportar potencias elevadas. Al emplear esta resistencia, se produce una caída de voltaje en ella, por lo que se debe ajustar la tensión de alimentación para establecer el voltaje deseado y así poder calcular con mayor precisión la corriente aplicando la ley de Ohm.

$$I_{IN(med)} = \frac{V_{R(med)}}{R} \quad (37)$$

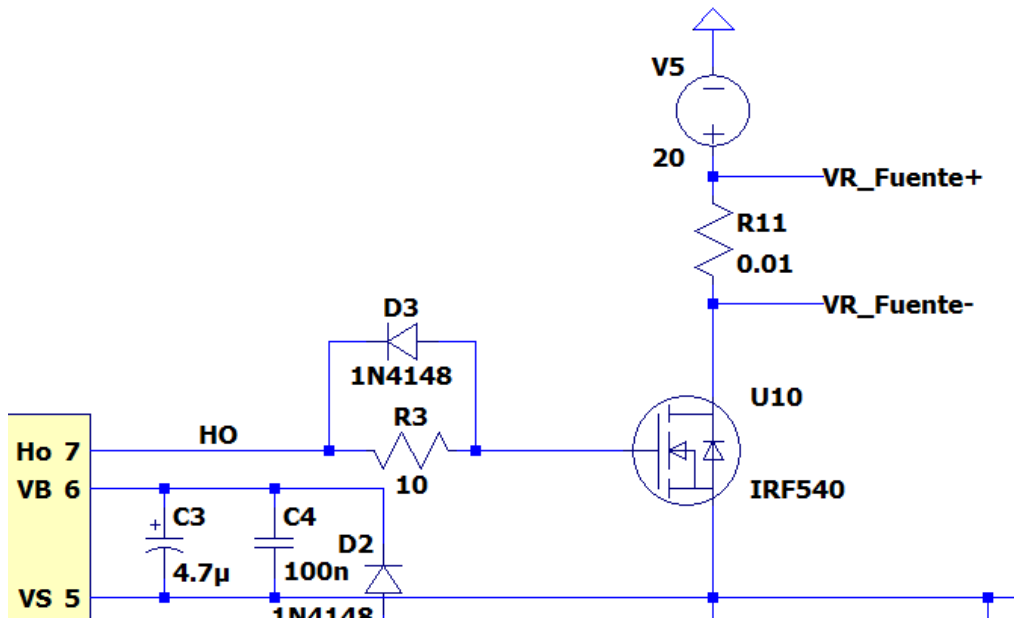


Figura 78. Esquemático de simulación para la medición de la caída de tensión de la resistencia de la fuente.

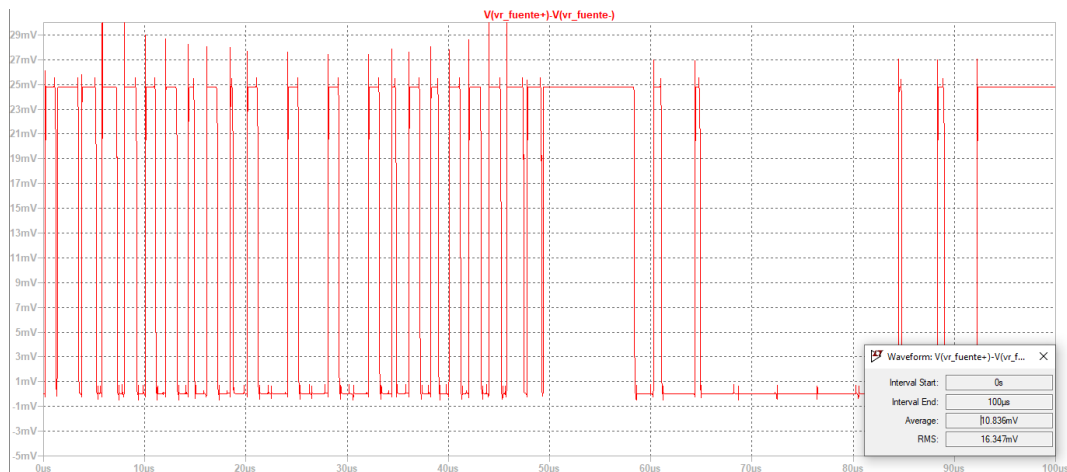


Figura 79. Valor medio de la caída de tensión en la resistencia de la fuente ($m_a = 0,8$ y $f_{IN} = 10\text{kHz}$).

$$I_{IN(med)} = \frac{10,836\text{mV}}{0,01\Omega} = 1,0836\text{A}$$

En cuanto a la potencia entregada a la carga, se calcula usando el altavoz como carga en ausencia del filtro reconstructor ya que la inductancia que posee el altavoz ayuda a proporcionar la alta eficiencia de la etapa de salida, en cambio una carga resistiva no proporciona valores precisos de eficiencia. Además, se conecta una resistencia en serie con la carga y se calcula la corriente que fluye a través de la carga como en el caso anterior mientras que la tensión se mide en toda la carga incluyendo el altavoz y la resistencia. No se debe realizar los cálculos de potencia en función de la impedancia ya que ésta varía con la frecuencia [29].

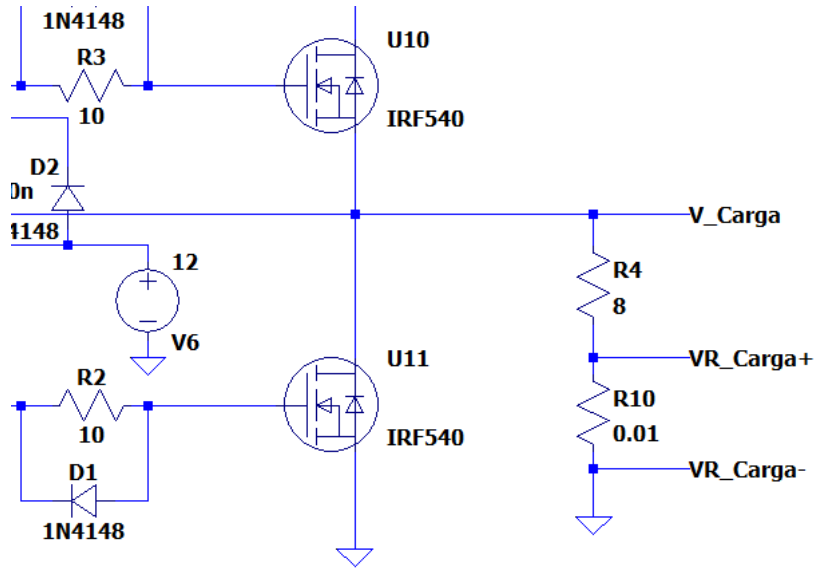


Figura 80. Esquemático de simulación para la medición de la caída de tensión de la resistencia en serie con la carga.

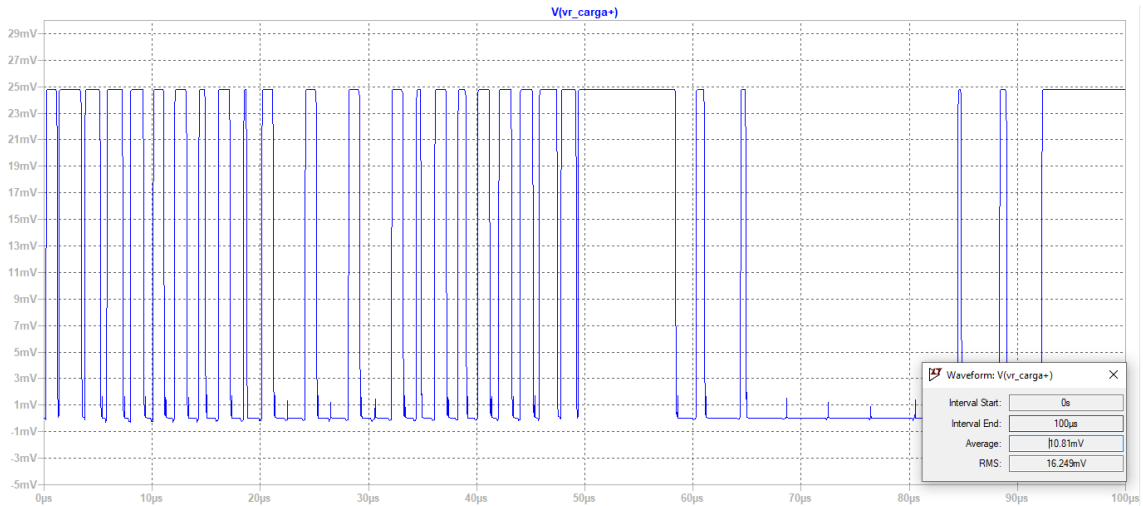


Figura 81. Valor RMS de la caída de tensión en la resistencia en serie con la carga.

$$I_{OUT(RMS)} = \frac{V_{R(RMS)}}{R} = \frac{16,249mV}{0,01\Omega} = 1,6249A$$

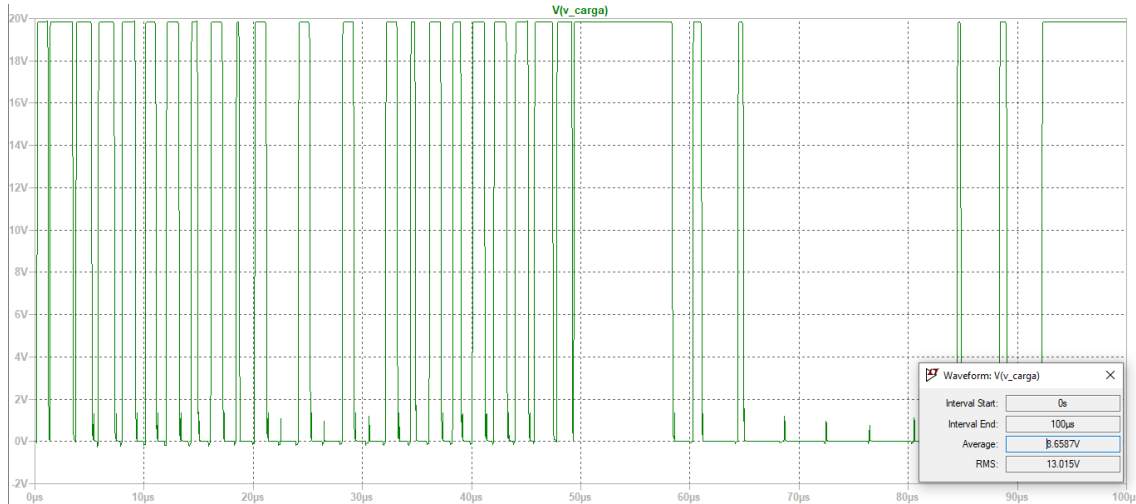


Figura 82. Valor RMS de la caída de tensión en la salida.

$$V_{OUT(RMS)} = 13,015V$$

$$\eta = \frac{P_{OUT}}{P_{IN}} = \frac{13,015V \times 1,6249A}{20V \times 1,0836A} = \frac{21,15W}{21,67W} = 97,6\%$$

Este proceso se ha realizado para un intervalo de frecuencias dentro del rango audible del ser humano y los resultados se muestran en la tabla 3.

m_a	f_{IN} [Hz]	V_{IN} [V]	I_{IN} (med) [A]	V_{OUT} (RMS) [V]	I_{OUT} (RMS) [A]	P_{IN} [W]	P_{OUT} [W]	η
0,8	1000	20	1,0865	13,033	1,6272	21,73	21,2073	97,59%
0,8	2500	20	1,0951	13,087	1,6338	21,902	21,3815	97,62%
0,8	5000	20	1,0908	13,06	1,6304	21,816	21,2930	97,60%
0,8	7500	20	1,0711	12,929	1,6142	21,422	20,8699	97,42%
0,8	10000	20	1,0836	13,015	1,625	21,672	21,1494	97,59%
0,8	12500	20	1,0837	13,006	1,6237	21,674	21,1178	97,43%
0,8	15000	20	1,0924	13,034	1,6273	21,848	21,2102	97,08%
0,8	17500	20	1,0985	13,095	1,6348	21,97	21,4077	97,44%
0,8	20000	20	1,048	12,775	1,5949	20,96	20,3748	97,21%

Tabla 3. Rendimiento del amplificador para un rango de frecuencias considerado.

4.5.1.1. Potencia disipada y estudio de la implementación de un disipador de calor

Cuando los MOSFET son atravesados por una corriente eléctrica, parte de la energía eléctrica aplicada se transforma en calor debido al efecto Joule, es decir, se convierte en energía térmica. Esta energía térmica generada en el interior del componente semiconductor provocará un aumento de su temperatura.

Además, si la temperatura generada en el interior del componente supera el valor máximo permitido por el fabricante, se producirá la fusión térmica del mismo y por tanto la destrucción de este.

Así pues, habrá que facilitar la evacuación de esa energía térmica dentro del componente mediante un disipador de calor con el fin de evitar el aumento en exceso



de su temperatura interna. De esta forma se consigue alargar la vida útil del componente semiconductor o evitar que se produzca su destrucción.

La potencia disipada por el amplificador se puede calcular mediante la diferencia entre la potencia entregada a la carga y la potencia suministrada por la fuente.

$$P_D = P_{IN} - P_{OUT} \quad (38)$$

A la hora de elegir el disipador consideramos las pérdidas más altas en todo el rango de frecuencias. Observando la Tabla 3, estas pérdidas se dan a la frecuencia de 15kHz.

$$P_D = 21,848W - 21,210W = 638mW$$

Esas pérdidas se corresponden principalmente con los MOSFET y, como no se sabe con claridad cómo asociarlas a cada transistor, se supondrá para los cálculos que la potencia disipada total del amplificador es igual a la potencia disipada de cada componente.

En primer lugar, se debe comprobar si con esta potencia se genera una temperatura igual o superior a la máxima que soportan los MOSFET. Esta temperatura, especificada en las fichas técnicas de los transistores, toma un valor de 175 °C. Aplicaremos un coeficiente de seguridad de 0,5, pasando a ser 87,5 °C. También se especifican las resistencias térmicas unión-ambiente (62 °C/W) y unión-encapsulado (1 °C/W).

Con estos datos, se comprueba si se genera una temperatura mayor a la máxima cuando las pérdidas toman un valor de 638 mW a temperatura ambiente (25 °C):

$$T_j = P_D \times (\theta_{JA} + \theta_{JC}) + T_a \quad (39)$$

$$T_j = 638mW \times (62 \text{ } ^\circ\text{C}/\text{W} + 1 \text{ } ^\circ\text{C}/\text{W}) + 25^\circ\text{C}$$

$$T_j = 65,194^\circ\text{C} < T_{j,max} = 87,5^\circ\text{C}$$

Como la temperatura que se genera en esta situación es menor a la máxima, no se requiere el disipador de calor. En cualquier caso, el disipador lo podemos emplear para proteger los MOSFET si se producen errores accidentales al verificar el circuito y llegan a circular corrientes grandes por los mismos.

4.5.1.2. Rendimiento con distintos valores de $R_{DS(on)}$

Como se comentó en el apartado 2.2.4.5, el parámetro $R_{DS(on)}$ es un factor muy importante de cara al rendimiento del amplificador. Para demostrarlo, se ha escogido dos MOSFET con distintas resistencias de encendido y se han simulado los circuitos correspondientes: se han empleado los componentes IRF610, con una resistencia de encendido de 1,5 Ω ; y el componente IRF820, con una resistencia de encendido de 3 Ω .

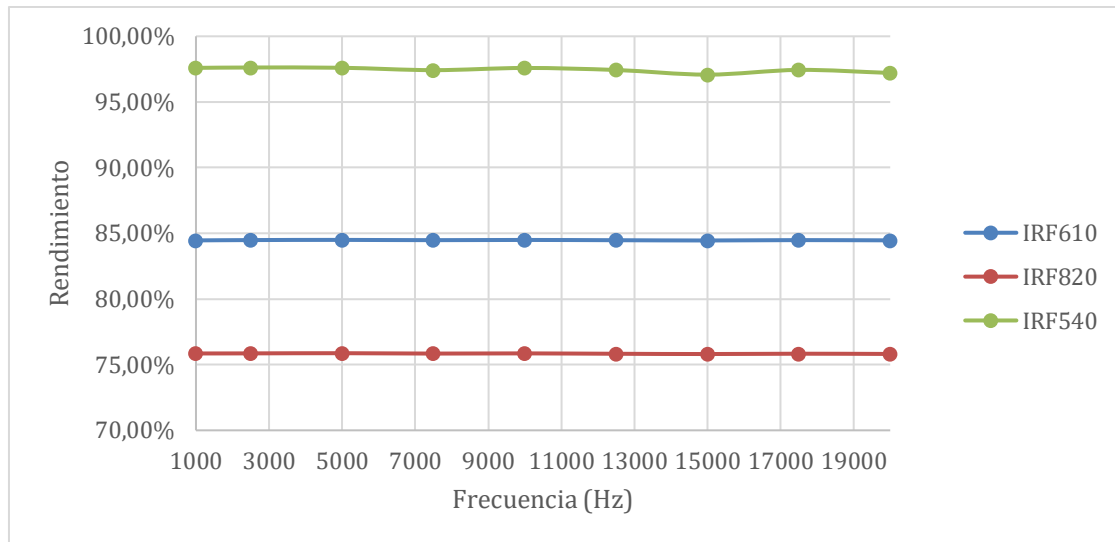


Figura 83. Rendimiento del amplificador para distintos MOSFET con valores de $R_{DS(on)}$ diferentes.

4.5.2. THD

A la señal de salida se le añaden los armónicos de frecuencia, lo que se conoce como *distorsión armónica total* (THD, de las iniciales en inglés), la cual se define como:

$$THD = \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + \dots + V_N^2}}{V} \quad (40),$$

donde:

- V_N corresponde al voltaje rms del N -ésimo armónico
- V corresponde al voltaje total rms

Como para el caso del rendimiento, se calcula el THD para distintas frecuencias de la señal de entrada y observando el espectro de frecuencias de la señal de salida. Este efecto ya se observó cuando se introducía sobremodulación en el amplificador, pero no se realizaron las medidas oportunas en los casos en que la señal se reproducía adecuadamente antes del comienzo del período de alarma.



5. Diseño de la PCB

Se ha creado la placa correspondiente al circuito de la etapa de salida clase D descrito en el presente proyecto en el programa OrCAD y consta de las siguientes características:

1. La PCB creada se corresponde a una placa monocapa, únicamente posee una capa de pista (BOTTOM) cuyas dimensiones son de 118mm de largo y 85mm de ancho.
2. Posee una capa de cobre correspondiente al nodo de tierra
3. El ancho de pistas está comprendido entre 0'4mm y 1mm
4. Los taladros son de 0'8mm, 1'3mm y 3mm.

Los fotolitos necesarios para la fabricación de la PCB se encuentran en el anexo II.

5.1. *Footprints*

En las siguientes tablas se muestran las características de los *footprints* para cada componente que se ha utilizado:

Condensadores								
Referencia	Componente	Función	Valor	Largo [mm]	Ancho [mm]	Diámetro [mm]	Separación pines [mm]	Diámetro del taladro [mm]
C1	Condensador cerámico	Desacoplo TL494	100nF	7,12	2,54	-	5,08	0,8
C2	Condensador electrolítico	Desacoplo regulador (IN)	330nF	-	-	5,08	2,54	0,8
C3	Condensador cerámico	Desacoplo regulador (OUT)	100nF	7,12	2,54	-	5,08	0,8
C4	Condensador de poliéster	Frecuencia oscilador	1nF	7,12	2,54	-	5,08	0,8
C5	Condensador cerámico	Desacoplo fuente 20V	100nF	7,12	2,54	-	5,08	0,8
C6	Condensador electrolítico	Bootstrap IR2110	4,7µF	-	-	4,44	2,54	0,8
C7	Condensador cerámico	Desacoplo Bootstrap IR2110	100nF	7,12	2,54	-	5,08	0,8
C8	Condensador electrolítico	Cancelación componente en DC	1000µF	-	-	16,51	7,62	0,8
C9	Condensador electrolítico	Recomendación fabricante IR2110 (Vdd)	10µF	-	-	10,16	5,08	0,8
C10	Condensador tántalo	Recomendación fabricante IR2110 (Vcc)	47µF	-	-	8,89	5,08	0,8
C11	Condensador cerámico	Recomendación fabricante IR2110 (Vdd)	100nF	7,12	-	-	5,08	0,8
C12	Condensador polipropileno	Filtrado	560nF	18,415	11,43	-	15,24	0,8
C13	Condensador poliéster	Snubber	10nF	7,12	2,54	-	5,08	0,8

Resistencias							
Referencia	Componente	Función	Valor	Largo [mm]	Ancho [mm]	Separación pines [mm]	Diámetro del taladro [mm]
R1	Resistencia	Salida PWM	1kΩ	9,66	2,04	7,62	0,8
R2	Potenciometro	Nivel de continua señal de entrada	20kΩ	10,19	5,28	2,57	0,8
R3	Resistencia	Frecuencia oscilador	3,9kΩ	9,66	2,04	7,62	0,8
R4	Resistencia	Salida PWM invertida	1kΩ	9,66	2,04	7,62	0,8
R5	Resistencia	Puerta MOSFET	10Ω	9,66	2,04	7,62	0,8
R6	Resistencia	Snubber	39Ω	9,66	2,04	7,62	0,8
R7	Resistencia	Puerta MOSFET	10Ω	9,66	2,04	7,62	0,8

Diodos						
Referencia	Componente	Función	Largo [mm]	Ancho [mm]	Separación pines [mm]	Diámetro del taladro [mm]
D1	Diodo 1N4148	Antiparalelo MOSFET	13,47	2,54	11,42	0,8
D2	Diodo 1N4148	Bootstrap IR2110	13,47	2,54	11,42	0,8
D3	Diodo 1N4148	Antiparalelo MOSFET	13,47	2,54	11,42	0,8

Bobina							
Referencia	Componente	Función	Valor	Largo [mm]	Ancho [mm]	Separación pines [mm]	Diámetro del taladro [mm]
L1	Bobina	Filtrado	70µH	21,59	11,43	7,62	0,8

MOSFET y Regulador de tensión						
Referencia	Componente	Función	Largo [mm]	Ancho [mm]	Separación pines [mm]	Diámetro del taladro [mm]
M1	MOSFET IRF540	Conmutación etapa de potencia	10,66	5,84	2,54	1,3
M2	MOSFET IRF540	Conmutación etapa de potencia	10,66	5,84	2,54	1,3
U2	LM7812	Regulador de tensión	10,66	5,72	2,54	1,3

Conectores						
Referencia	Componente	Función	Largo [mm]	Ancho [mm]	Separación pines [mm]	Diámetro del taladro [mm]
J1	Conector	Fuente de alimentación	10,7	8,22	5,16	1,3
J2	Conector	Señal de entrada	10,7	8,22	5,16	1,3
J3	Conector	Señal de salida	10,7	8,22	5,16	1,3

C. I. IR2110 y TL494							
Referencia	Componente	Función	Largo [mm]	Ancho [mm]	Separación pines horizontal [mm]	Separación pines vertical [mm]	Diámetro del taladro [mm]
U1	TL494	Generador PWM	20,5	10,34	2,54	7,62	0,8
U3	IR2110	Controlador de puerta	19,86	10,34	2,54	7,62	0,8

Taladro			
Referencia	Componente	Función	Diámetro del taladro [mm]
H11	Taladro	Sujeción	3
H12	Taladro	Sujeción	3
H13	Taladro	Sujeción	3
H14	Taladro	Sujeción	3



6. Presupuesto

6.1. Coste de los componentes

Componentes				
Descripción	Cantidad	Distribuidor	Precio/unidad	Precio
Condensador electrolítico 330nF	1	DigiKey	0,10 €	0,10 €
Condensador electrolítico 1000µF	1	DigiKey	2,18 €	2,18 €
Condensador electrolítico 10µF	1	DigiKey	0,71 €	0,71 €
Condensador electrolítico 4,7µF	1	DigiKey	0,20 €	0,20 €
Condensador cerámico 100nF	5	DigiKey	0,33 €	1,65 €
Condensador de poliéster 1nF	1	DigiKey	0,60 €	0,60 €
Condensador de polipropileno 560nF	1	RS	0,79 €	0,79 €
Condensador de tantaló 47µF	1	DigiKey	3,35 €	3,35 €
Condensador de poliéster 10nF	1	DigiKey	0,62 €	0,62 €
Bobina 70µH	1	DigiKey	2,90 €	2,90 €
Resistencia 1kΩ	2	TvNalber	0,05 €	0,10 €
Resistencia 3,9kΩ	1	TvNalber	0,05 €	0,05 €
Resistencia 10Ω	2	TvNalber	0,05 €	0,10 €
Resistencia 39Ω	1	TvNalber	0,05 €	0,05 €
Potenciómetro 20kΩ	1	TvNalber	1,00 €	1,00 €
Diodo 1N4148	3	TvNalber	0,05 €	0,15 €
MOSFET IRF540	2	TvNalber	2,20 €	4,40 €
Regulador de tensión LM7812	1	TvNalber	0,67 €	0,67 €
Circuito integrado TL494	1	TvNalber	0,96 €	0,96 €
Circuito integrado IR2110	1	TvNalber	3,36 €	3,36 €
Conector de 2 bornes	3	TvNalber	0,30 €	0,90 €
Precio total componentes				24,84 €



6.2. Coste del material

Material			
Descripción	Cantidad	Precio/unidad	Precio
Placa protoboard	1	17,90 €	17,90 €
Placa fibra de vidrio 1 cara 100x160mm	1	5,81 €	5,81 €
Alcohol	1	3,00 €	3,00 €
Barniz fotosensible	1	24,08 €	24,08 €
Ácido clorhídrico (HCl 30% concentrado)	1	6,55 €	6,55 €
Agua oxigenada (110 volúmenes)	1	8,50 €	8,50 €
Amoniaco	1	7,66 €	7,66 €
Estaño	1	3,00 €	3,00 €
Pasta de soldar	1	8,50 €	8,50 €
Spray protector	1	7,42 €	7,42 €
Precio total material			92,42 €

6.3. Coste de la mano de obra

Mano de obra			
Descripción	Tiempo	Precio/hora	Precio
Búsqueda de información	72	10,00 €	720,00 €
Diseño y análisis	80	20,00 €	1.600,00 €
Simulaciones	12	10,00 €	120,00 €
Fabricación	10	15,00 €	150,00 €
Pruebas	14	12,00 €	168,00 €
Documentación	48	8,00 €	384,00 €
Precio total mano de obra			3.142,00 €

6.4. Coste total

Total	
Descripción	Precio
Componentes	24,84 €
Material	92,42 €
Mano de obra	3.142,00 €
Precio total	3.259,26 €



7. Conclusions and possible improvements

In this Undergraduate Thesis the design and implementation of a Class D amplifier has been carried out. The goals have been accomplished, except for the building of the circuit due to the lockdown after the outbreak of the coronavirus epidemic. The complete characteristics of the circuit could not be fully analyzed by physical means due the aforementioned situation.

Despite this drawback, one of the main goals was the visualization of the amplification of the input signal. This goal has been successfully met in the laboratory before the beginning of coronavirus lockdown period. As it has been shown previously, the circuit works properly on a protoboard, although many authors advise against the assembly of these amplifiers in this manner due to the high currents flowing to the elements devices that integrate the power stage.

As mentioned before, one of the main features of these amplifiers is their high performance. The simulation has shown that the selected configuration can reach efficiency values greater than 95% thanks to the proper choice of components, especially those responsible for switching, which are the low on resistance MOSFET.

The amplifier can be further improved if we compare it to commercial circuits. Next we mention some improvements:

1. The replacement of the half-bridge with its full-bridge counterpart can reduce distortion and increase the power delivered to the load.
2. The design a feedback loop to improve the linearization of the output stage and to increase the spectrum of signals to be processed [23].
3. The design short-circuit protection that disable the operation of the IR2110 controller when a large amount of current is sensed at the output.



8. Bibliografía

- [1] A. S. Sedra, K. C. Smith, *Circuitos microelectrónicos*, 4ª edición. México: Oxford University Press, 1999.
- [2] “Tutoriales de electrónica básica” [Online]. Disponible en: <http://tutorialesdeelectronica basica.blogspot.com/2018/06/clases-de-amplificador-y-la.html>.
- [3] Robert L. Boylestad, Louis Nashelsky: *Fundamentos de electrónica*, 4ª edición. Prentice Hall, 1997.
- [4] G. A. Ruiz Robredo, *Electrónica básica para ingenieros*. Universidad de Cantabria, 2009.
- [5] Jorge Pleite Guerra, Ricardo Vergaz Benito y Jose M. Ruiz de Marcos, *Electrónica analógica para ingenieros*. McGraw-Hill, 2009.
- [6] “Altavoz online” [Online]. Disponible en: <https://altavoz.online/amplificador-clase-ab/>
- [7] Alberto Paul Malvino, *Principios de Electrónica*, 6ª edición. Madrid: McGraw-Hill, 2000.
- [8] A. S. Sedra, K. C. Smith, *Circuitos microelectrónicos*, 7ª edición. Nueva York: Oxford University Press.
- [9] Ned Mohan, Tore M. Undeland y William P. Robbins, *Power Electronics: Converters, Applications and Design*, 3ª edición. John Wiley & Sons, 2002.
- [10] «Wikipedia,» [Online]. Disponible en: https://es.wikipedia.org/wiki/Amplificador_Clase_D. [Último acceso: 26 Marzo 2020].
- [11] Oswaldo B. González Hernández, Sergio E. Hernández Alonso y Silvestre Rodríguez Pérez, *Instrumentación electrónica*. Santa Cruz de Tenerife: Oswaldo B. González, 2013.
- [12] Walt Kester, “ADC Architectures III: Sigma-Delta ADC Basics”. *Analog Devices*, 2009.
- [13] Muhammad H. Rashid, *Electrónica de Potencia: circuitos, dispositivos y aplicaciones*. México: Prentice Hall Hispanoamericana, 1995.
- [14] International Rectifier, Appl. Note AN-1071, pp. 6-12.
- [15] Hambley Allan R., *Electrónica*, 2ª edición. Pearson, 2001.
- [16] Texas Instruments, Appl. Note “Fundamentals of MOSFET and IGBT Gate Driver Circuits”, pp. 5-15.
- [17] International Rectifier, Appl. Note AN-1070, pp.4-11.
- [18] «Wikipedia,» [Online]. Disponible en: https://es.wikipedia.org/wiki/Filtro_de_Butterworth. [Último acceso: 14 Marzo 2020].
- [19] International Rectifier, Appl. Note “Class D Amplifier Design Basics II” pp.11-57.
- [20] «Magmattec,» [Online]. Disponible en: <https://www.magmattec.com.br/es/materiais-magneticos-e-aplicacoes-es/inductores-toroidales-cual-es-el-material-mas-indicado-para-cada-aplicacion>. [Último acceso: 14 Marzo 2020].



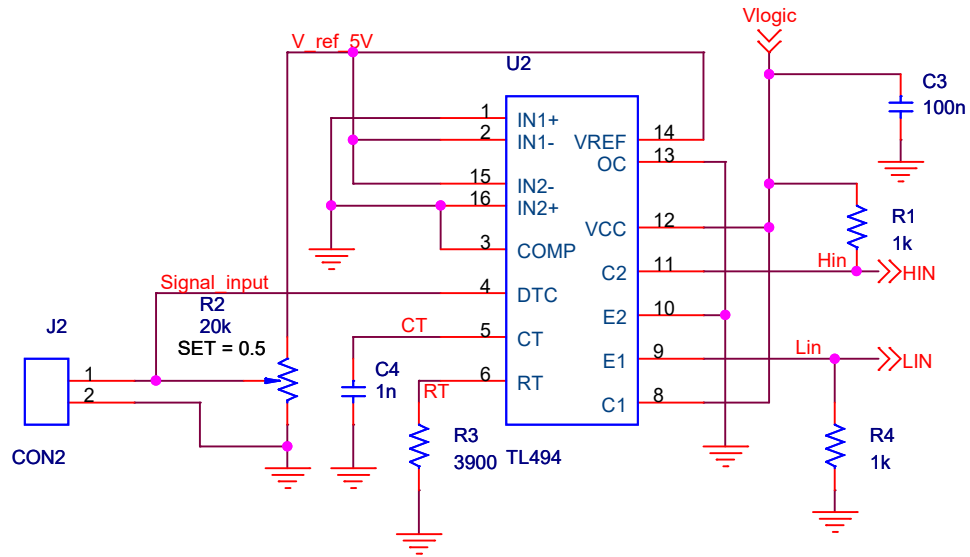
- [21] «PCPAUDIO,» [Online]. Disponible en: https://www.pcpaudio.com/pcpfiles/doc_altavoces/analisis_altavoces/driver.html. [Último acceso: 2020 Marzo 14].
- [22] «Electrónica Tecnología En Línea,» [Online]. Disponible en: <http://www.inteligentes.online/Home-Audio/Altavoces-y-Subwoofers/%C2%BFC%C3%B3mo-afecta-el-altavoz-de-un-amplificador-Inductancia-.html>. [Último acceso: 14 Marzo 2020].
- [23] W. Marshall Leach, *Electroacoustics and Audio Amplifier Design*, 3ª edición. Kendall Hunt Pub Co, 2003.
- [24] International Rectifier, Appl. Note DT 98-2a, pp. 2-5.
- [25] «Link's hideout,» 31 Agosto 2006. [Online]. Disponible en: <http://linkshideout.blogspot.com/2006/08/necesitan-resistencias-las-puertas-de.html>. [Último acceso: 21 Abril 2020].
- [26] Steve Winder, *Analog and Digital Filter Design*, 2ª edición. Newnes, 2002.
- [27] Juan I. Morales, “Análisis de Topologías de Redes Snubber para Transistores de Potencia en Fuentes Conmutadas”. Universidad Tecnológica Nacional, Facultad Regional Córdoba.
- [28] Texas Instruments, Appl. Note SLOA201, pp. 1-2.
- [29] Texas Instruments, Appl. Note SLOA068A, pp. 18-20.



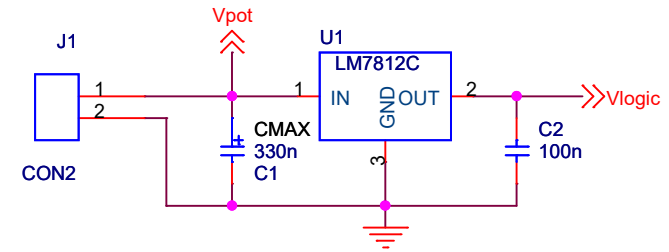
9. Anexos

I. Esquemático del circuito

Generación de la señal PWM

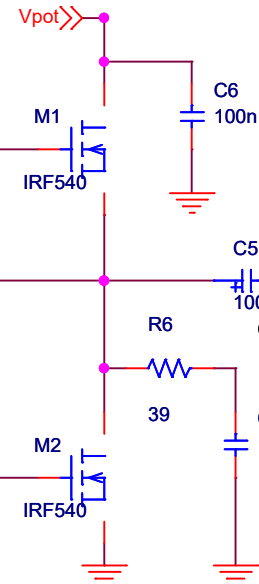
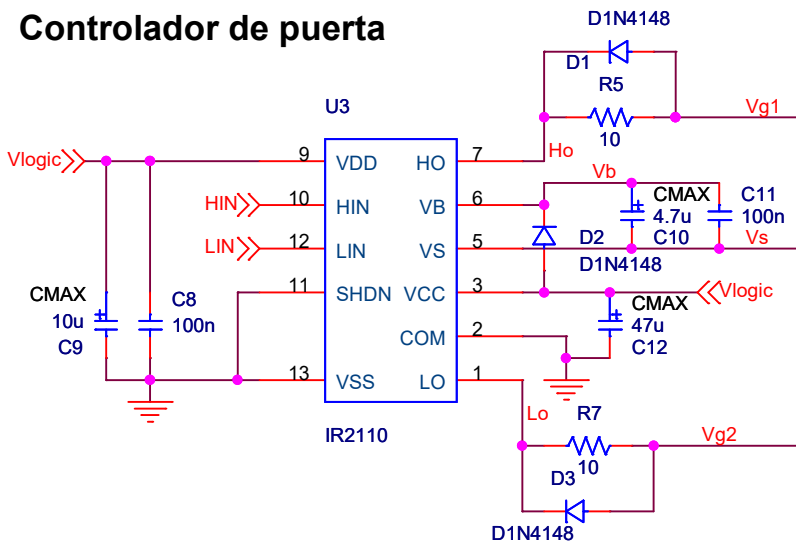


Alimentación

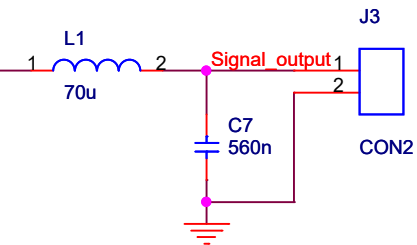


Etapas de conmutación

Controlador de puerta



Filtro reconstructor



Title

Etapas de salida clase D

Size
A

Document Number
Trabajo Fin de Grado 2020 / Alejandro Diaz Gonzalez

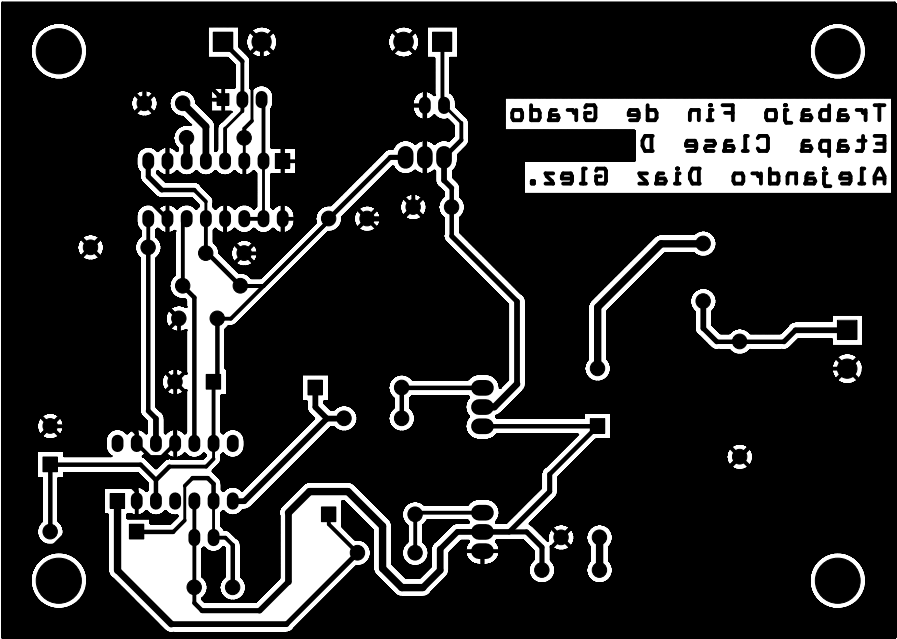
Rev

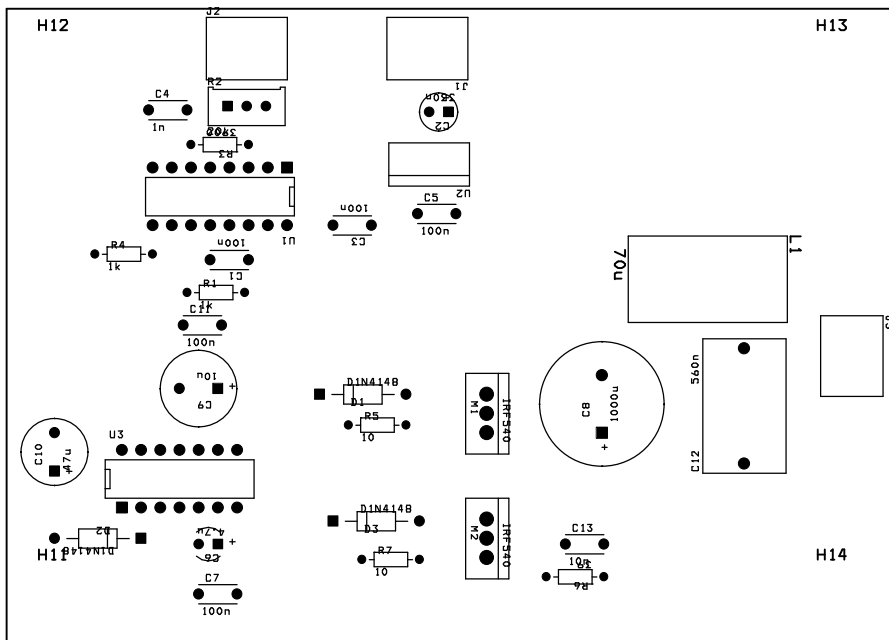
Date: Wednesday, July 01, 2020

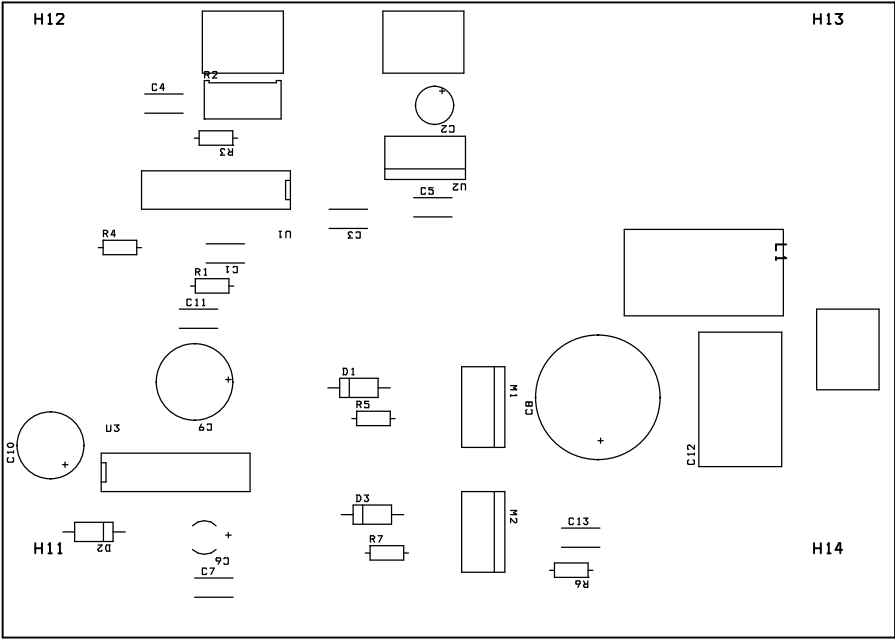
Sheet 1 of 1

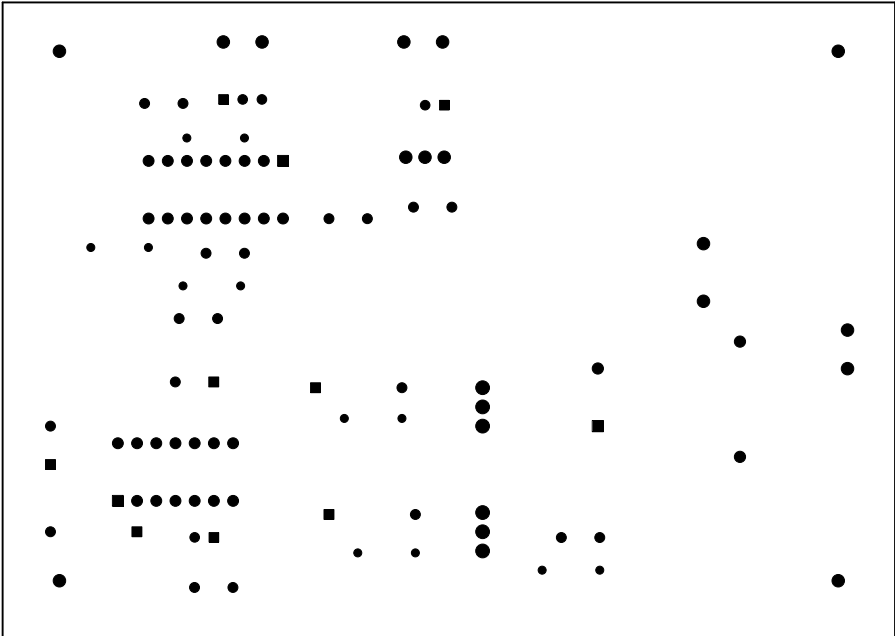


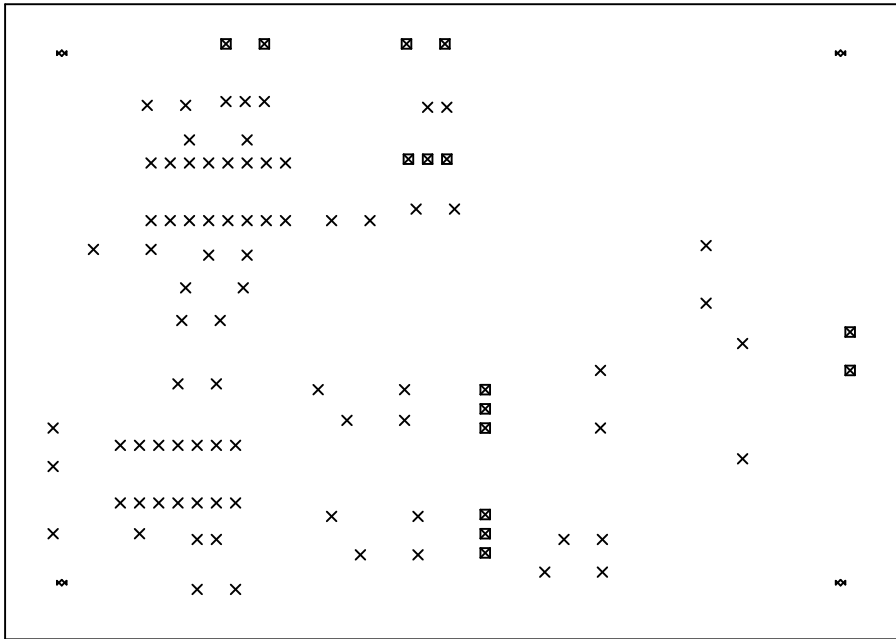
II. Fotolitos del diseño de PCB (Capa de soldadura, plano de ensamblaje, plano de serigrafía, cara de máscara de soldadura y plano de taladrado respectivamente)











DRILL CHART				
SYM	DIAM	TOL	QTY	NOTE
x	0.800 mm		79	
☒	1.300 mm		15	
☐	3.000 mm		4	
TOTAL			98	



III. Documentación del diseño (Componentes, longitud de pistas, lista de pistas y taladros respectivamente)

* *

* Component List (Generic) *

* *

* C:\ORCAD_DATA\TFG\TFG-1.MAX *

* Thu Jul 02 14:31:42 2020 *

* *

REF DES	VALUE	PACKAGE	FOOTPRINT	X LOC	Y LOC	ROTATION
C1	100n	C	RAD/CK05	32.00 mm	50.80 mm	180
C2	330n	C_ELECT	CPCYL/D.200/LS.100/.031	58.42 mm	70.36 mm	180
C3	100n	C	RAD/CK05	48.26 mm	55.37 mm	180
C4	1n	C	RAD/CK05	18.80 mm	70.61 mm	0
C5	100n	C	RAD/CK05	54.36 mm	56.90 mm	0
C6	4.7u	C_ELECT	CPCYL/D.175/LS.100/.031	27.94 mm	13.21 mm	180
C7	100n	C	RAD/CK05	25.40 mm	6.60 mm	0
C8	1000u	C_ELECT	CPCYL/D.650/LS.300/.040	78.74 mm	27.94 mm	90
C9	10u	C_ELECT	CPCYL/D.400/LS.200/.034	27.94 mm	33.78 mm	180
C10	47u	C_ELECT	CPCYL/D.350/LS.200/.034	6.35 mm	22.86 mm	90
C11	100n	C	RAD/CK05	23.37 mm	42.16 mm	0

C12	560n	C	RAD/.725X.450/LS.600/.040	97.54 mm	23.88 mm	90
C13	10n	C	RAD/CK05	73.91 mm	13.21 mm	0
D1	D1N4148	1N4148	DAX2/DO35	52.83 mm	33.02 mm	0
D2	D1N4148	1N4148	DAX2/DO35	6.35 mm	13.97 mm	180
D3	D1N4148	1N4148	DAX2/DO35	54.61 mm	16.26 mm	0
H11			TALADRO	7.50 mm	7.50 mm	0
H12			TALADRO	7.50 mm	77.50 mm	0
H13			TALADRO	110.50 mm	77.50 mm	0
H14			TALADRO	110.50 mm	7.50 mm	0
J1	CON2	CON2	CONECTOR	58.19 mm	78.74 mm	180
J2	CON2	CON2	CONECTOR	29.21 mm	78.74 mm	0
J3	CON2	CON2	CONECTOR	111.76 mm	40.64 mm	270
L1	70u	L	BOBINA	92.71 mm	52.07 mm	270
M1	IRF540	IRF540	TO220AB	63.50 mm	33.02 mm	270
M2	IRF540	IRF540	TO220AB	63.50 mm	16.51 mm	270
R1	1k	R	AX/RC05	23.88 mm	46.48 mm	0
R2	20k	POT	POT	29.21 mm	71.12 mm	0
R3	3900	R	AX/RC05	32.00 mm	66.04 mm	180
R4	1k	R	AX/RC05	11.68 mm	51.56 mm	0
R5	10	R	AX/RC05	45.21 mm	28.96 mm	0
R6	39	R	AX/RC05	78.99 mm	8.89 mm	180
R7	10	R	AX/RC05	46.99 mm	11.18 mm	0

U1	TL494	TL494_1	TL494	37.08 mm	62.99 mm	180
U2	LM7812C	LM7812C	REGULADOR	58.42 mm	63.50 mm	180
U3	IR2110	IR2110_0	IR2110	15.24 mm	18.03 mm	0


```

*****
*
* NET LENGTH DATA REPORT
*
* C:\ORCAD_DATA\TFG\TFG-1.MAX
* Thu Jul 02 14:31:42 2020
*
*****

```

NETNAME	ROUTED LENGTH	UNROUTED LENGTH	VIAS	CONNECTIONS	PERCENTAGE
CT	9 mm	0 mm	0	1	1.32
BOT	9 mm				
GND	455 mm	1 mm	0	28	36.84
BOT	455 mm				
HIN	31 mm	0 mm	0	2	2.63
BOT	31 mm				
HO	24 mm	0 mm	0	2	2.63
BOT	24 mm				
LIN	30 mm	0 mm	0	2	2.63
BOT	30 mm				
LO	54 mm	0 mm	0	2	2.63
BOT	54 mm				

N26333

26 mm 0 mm 0 1 1.32

BOT 26 mm

N33495

4 mm 0 mm 0 1 1.32

BOT 4 mm

RT

3 mm 0 mm 0 1 1.32

BOT 3 mm

SIGNAL_INPUT

18 mm 0 mm 0 2 2.63

BOT 18 mm

SIGNAL_OUTPUT

24 mm 0 mm 0 2 2.63

BOT 24 mm

VB

32 mm 0 mm 0 3 3.95

BOT 32 mm

VG1

15 mm 0 mm 0 2 2.63

BOT 15 mm

VG2

14 mm 0 mm 0 2 2.63

BOT 14 mm

VLOGIC

115 mm 0 mm 0 12 15.79

BOT 115 mm

VPOT

57 mm 0 mm 0 4 5.26

BOT 57 mm

VS

123 mm 0 mm 0 6 7.89

BOT 123 mm

V_REF_5V

18 mm 0 mm 0 3 3.95

BOT 18 mm

TOTALS: 1052 mm 1 mm 0 76 100.00

BOT 1052 mm

```

*****
*
* Net List (Generic)
*
* C:\ORCAD_DATA\TFG\TFG-1.MAX
* Thu Jul 02 14:31:42 2020
*
*****

```

NET NAME	PIN LIST
CT	C4.2 U1.5
GND	C1.1 C2.N C3.1 C4.1 C5.1 C9.N C10.N C11.1 C12.1 C13.1 J1.2 J2.2 J3.2 M2.3 R2.1 R3.1 R4.1 U1.1 U1.3 U1.7 U1.10 U1.13 U1.16 U2.3 U3.2 U3.11 U3.13
HIN	R1.1 U1.11 U3.10
HO	D1.2 R5.1 U3.7
LIN	R4.2 U1.9 U3.12
LO	D3.2 R7.1 U3.1
N26333	C8.N L1.1
N33495	C13.2 R6.1
RT	R3.2 U1.6
SIGNAL_INPUT	J2.1 R2.2 U1.4
SIGNAL_OUTPUT	C12.2 J3.1 L1.2
VB	C6.P C7.2 D2.2 U3.6
VG1	D1.1 M1.1 R5.2
VG2	D3.1 M2.1 R7.2
VLOGIC	C1.2 C3.2 C9.P C10.P C11.2 D2.1 R1.2 U1.8 U1.12 U2.2 U3.3 U3.9

VPOT

C2.P C5.2 J1.1 M1.2 U2.1

VS

C6.N C7.1 C8.P M1.3 M2.2 R6.2 U3.5

V_REF_5V

R2.3 U1.2 U1.14 U1.15

```

*****
*
* DRILL LIST REPORT
*
* C:\ORCAD_DATA\TFG\TFG-1.MAX
* Thu Jul 02 14:31:42 2020
*
*****

```

COMMENTS	DRILL	TOOL	XCOORD	YCOORD
THRUHOLES				
	0.80 mm	1	6.35 mm	13.97 mm
	0.80 mm	1	6.35 mm	22.86 mm
	0.80 mm	1	6.35 mm	27.94 mm
	0.80 mm	1	11.68 mm	51.56 mm
	0.80 mm	1	15.24 mm	18.03 mm
	0.80 mm	1	15.24 mm	25.65 mm
	0.80 mm	1	17.78 mm	13.97 mm
	0.80 mm	1	17.78 mm	18.03 mm
	0.80 mm	1	17.78 mm	25.65 mm
	0.80 mm	1	18.80 mm	70.61 mm
	0.80 mm	1	19.30 mm	51.56 mm
	0.80 mm	1	19.30 mm	55.37 mm
	0.80 mm	1	19.30 mm	62.99 mm
	0.80 mm	1	20.32 mm	18.03 mm
	0.80 mm	1	20.32 mm	25.65 mm
	0.80 mm	1	21.84 mm	55.37 mm
	0.80 mm	1	21.84 mm	62.99 mm
	0.80 mm	1	22.86 mm	18.03 mm
	0.80 mm	1	22.86 mm	25.65 mm
	0.80 mm	1	22.86 mm	33.78 mm
	0.80 mm	1	23.37 mm	42.16 mm
	0.80 mm	1	23.88 mm	46.48 mm
	0.80 mm	1	23.88 mm	70.61 mm
	0.80 mm	1	24.38 mm	55.37 mm

0.80 mm 1	24.38 mm	62.99 mm
0.80 mm 1	24.38 mm	66.04 mm
0.80 mm 1	25.40 mm	6.60 mm
0.80 mm 1	25.40 mm	13.21 mm
0.80 mm 1	25.40 mm	18.03 mm
0.80 mm 1	25.40 mm	25.65 mm
0.80 mm 1	26.92 mm	50.80 mm
0.80 mm 1	26.92 mm	55.37 mm
0.80 mm 1	26.92 mm	62.99 mm
0.80 mm 1	27.94 mm	13.21 mm
0.80 mm 1	27.94 mm	18.03 mm
0.80 mm 1	27.94 mm	25.65 mm
0.80 mm 1	27.94 mm	33.78 mm
0.80 mm 1	28.45 mm	42.16 mm
0.80 mm 1	29.21 mm	71.12 mm
0.80 mm 1	29.46 mm	55.37 mm
0.80 mm 1	29.46 mm	62.99 mm
0.80 mm 1	30.48 mm	6.60 mm
0.80 mm 1	30.48 mm	18.03 mm
0.80 mm 1	30.48 mm	25.65 mm
0.80 mm 1	31.50 mm	46.48 mm
0.80 mm 1	31.75 mm	71.12 mm
0.80 mm 1	32.00 mm	50.80 mm
0.80 mm 1	32.00 mm	55.37 mm
0.80 mm 1	32.00 mm	62.99 mm
0.80 mm 1	32.00 mm	66.04 mm
0.80 mm 1	34.29 mm	71.12 mm
0.80 mm 1	34.54 mm	55.37 mm
0.80 mm 1	34.54 mm	62.99 mm

0.80 mm 1	37.08 mm	55.37 mm
0.80 mm 1	37.08 mm	62.99 mm
0.80 mm 1	41.40 mm	33.02 mm
0.80 mm 1	43.18 mm	55.37 mm
0.80 mm 1	43.18 mm	16.26 mm
0.80 mm 1	45.21 mm	28.96 mm
0.80 mm 1	46.99 mm	11.18 mm
0.80 mm 1	48.26 mm	55.37 mm
0.80 mm 1	52.83 mm	28.96 mm
0.80 mm 1	52.83 mm	33.02 mm
0.80 mm 1	54.36 mm	56.90 mm
0.80 mm 1	54.61 mm	11.18 mm
0.80 mm 1	54.61 mm	16.26 mm
0.80 mm 1	55.88 mm	70.36 mm
0.80 mm 1	58.42 mm	70.36 mm
0.80 mm 1	59.44 mm	56.90 mm
0.80 mm 1	71.37 mm	8.89 mm
0.80 mm 1	73.91 mm	13.21 mm
0.80 mm 1	78.74 mm	27.94 mm
0.80 mm 1	78.74 mm	35.56 mm
0.80 mm 1	78.99 mm	8.89 mm
0.80 mm 1	78.99 mm	13.21 mm
0.80 mm 1	92.71 mm	44.45 mm
0.80 mm 1	92.71 mm	52.07 mm
0.80 mm 1	97.54 mm	23.88 mm
0.80 mm 1	97.54 mm	39.12 mm
1.30 mm 2	29.21 mm	78.74 mm
1.30 mm 2	34.31 mm	78.74 mm
1.30 mm 2	53.09 mm	78.74 mm
1.30 mm 2	53.34 mm	63.50 mm

1.30 mm 2	55.88 mm	63.50 mm
1.30 mm 2	58.19 mm	78.74 mm
1.30 mm 2	58.42 mm	63.50 mm
1.30 mm 2	63.50 mm	11.43 mm
1.30 mm 2	63.50 mm	13.97 mm
1.30 mm 2	63.50 mm	16.51 mm
1.30 mm 2	63.50 mm	27.94 mm
1.30 mm 2	63.50 mm	30.48 mm
1.30 mm 2	63.50 mm	33.02 mm
1.30 mm 2	111.76 mm	35.54 mm
1.30 mm 2	111.76 mm	40.64 mm
3.00 mm 3	7.50 mm	7.50 mm
3.00 mm 3	7.50 mm	77.50 mm
3.00 mm 3	110.50 mm	7.50 mm
3.00 mm 3	110.50 mm	77.50 mm



IV. Hojas de características de los componentes LM7812, TL494, IR2110, IRF540, condensador Bootstrap y diodo Bootstrap 1N4148

isc Three Terminal Positive Voltage Regulator

LM7812

FEATURES

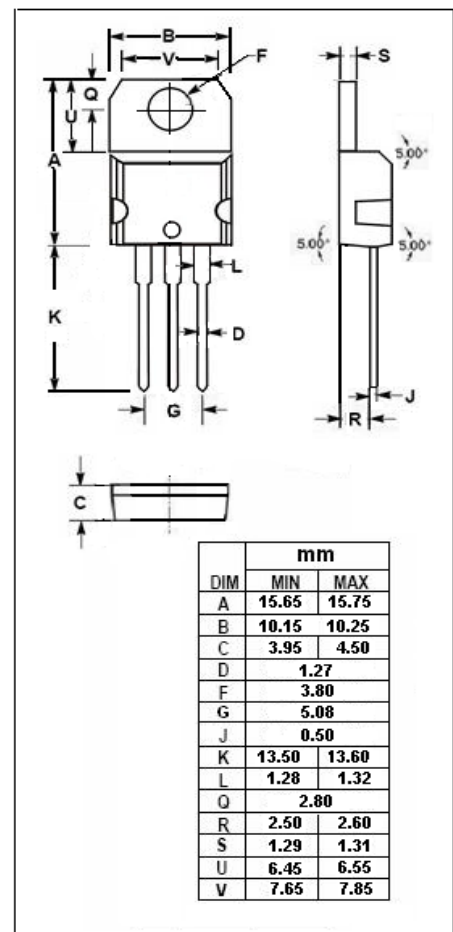
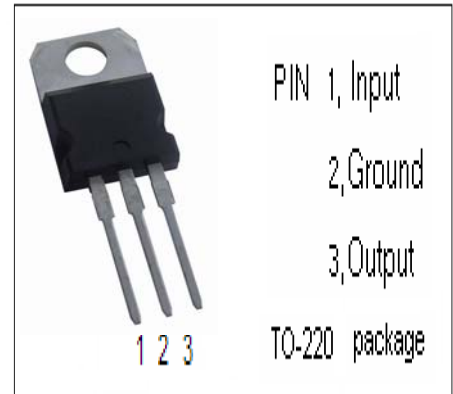
- Output current in excess of 1.5A
- Output voltage of 12V
- Internal thermal overload protection
- Output transition Safe-Area compensation

ABSOLUTE MAXIMUM RATINGS(T_a=25°C)

SYMBOL	PARAMETER	RATING	UNIT
V _i	DC input voltage	35	V
I _o	Output current	internally limited	
P _{tot}	Power dissipation	internally limited	
T _{OP}	Operating junction temperature	0~150	°C
T _{stg}	Storage temperature	-55~150	°C

THERMAL CHARACTERISTICS

SYMBOL	PARAMETER	MAX	UNIT
R _{th j-c}	Thermal Resistance, Junction to Case	3	°C/W
R _{th j-a}	Thermal Resistance, Junction to Ambient	50	°C/W



isc Three Terminal Positive Voltage Regulator**LM7812****• ELECTRICAL CHARACTERISTICS**

$T_j=25^{\circ}\text{C}$ ($V_i=19\text{V}$, $I_o=0.5\text{A}$, $C_i=0.33\ \mu\text{F}$, $C_o=0.1\ \mu\text{F}$ unless otherwise specified)

SYMBOL	PARAMETER	CONDITIONS	MIN	MAX	UNIT
V_o	Output Voltage	$V_{in}=19\text{V}$; $I_o=500\text{mA}$	11.75	12.25	V
ΔV_v	Line Regulation	$14.8\text{V}\leq V_{in}\leq 30\text{V}$; $I_o=500\text{mA}$		120	mV
ΔV_i	Load Regulation	$5.0\text{mA}\leq I_o\leq 1.0\text{A}$; $V_{in}=19\text{V}$		100	mV
I_b	Quiescent Current	$V_{in}=19\text{V}$; $I_o=1\text{A}$		6.0	mA
Δ_{b1}	Quiescent Current Change	$5.0\text{mA}\leq I_o\leq 1.0\text{A}$; $V_{in}=19\text{V}$		0.5	mA
Δ_{b2}	Quiescent Current Change	$15\text{V}\leq V_{in}\leq 30\text{V}$; $I_o=500\text{mA}$		0.8	mA

TL494, NCV494

SWITCHMODE™ Pulse Width Modulation Control Circuit

The TL494 is a fixed frequency, pulse width modulation control circuit designed primarily for SWITCHMODE power supply control.

Features

- Complete Pulse Width Modulation Control Circuitry
- On-Chip Oscillator with Master or Slave Operation
- On-Chip Error Amplifiers
- On-Chip 5.0 V Reference
- Adjustable Deadtime Control
- Uncommitted Output Transistors Rated to 500 mA Source or Sink
- Output Control for Push-Pull or Single-Ended Operation
- Undervoltage Lockout
- NCV Prefix for Automotive and Other Applications Requiring Site and Control Changes
- Pb-Free Packages are Available*

MAXIMUM RATINGS (Full operating ambient temperature range applies, unless otherwise noted.)

Rating	Symbol	Value	Unit
Power Supply Voltage	V_{CC}	42	V
Collector Output Voltage	V_{C1} , V_{C2}	42	V
Collector Output Current (Each transistor) (Note 1)	I_{C1} , I_{C2}	500	mA
Amplifier Input Voltage Range	V_{IR}	-0.3 to +42	V
Power Dissipation @ $T_A \leq 45^\circ\text{C}$	P_D	1000	mW
Thermal Resistance, Junction-to-Ambient	$R_{\theta JA}$	80	$^\circ\text{C/W}$
Operating Junction Temperature	T_J	125	$^\circ\text{C}$
Storage Temperature Range	T_{stg}	-55 to +125	$^\circ\text{C}$
Operating Ambient Temperature Range	T_A	-40 to +125 0 to +70 -40 to +85 -40 to +125	$^\circ\text{C}$
Derating Ambient Temperature	T_A	45	$^\circ\text{C}$

Maximum ratings are those values beyond which device damage can occur. Maximum ratings applied to the device are individual stress limit values (not normal operating conditions) and are not valid simultaneously. If these limits are exceeded, device functional operation is not implied, damage may occur and reliability may be affected.

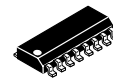
1. Maximum thermal limits must be observed.



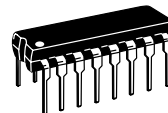
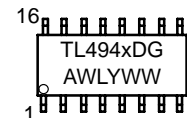
ON Semiconductor®

<http://onsemi.com>

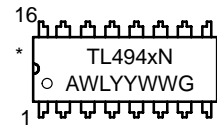
MARKING DIAGRAMS



**SOIC-16
D SUFFIX
CASE 751B**



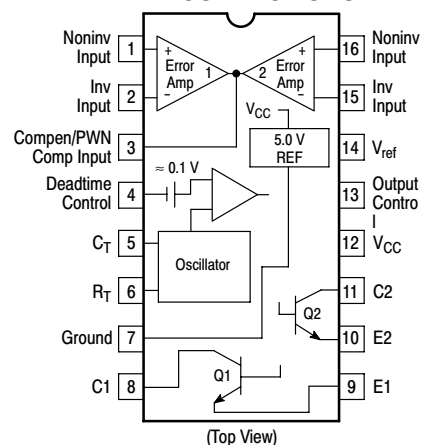
**PDIP-16
N SUFFIX
CASE 648**



x = B, C or I
A = Assembly Location
WL = Wafer Lot
YY, Y = Year
WW, W = Work Week
G = Pb-Free Package

*This marking diagram also applies to NCV494.

PIN CONNECTIONS



ORDERING INFORMATION

See detailed ordering and shipping information in the package dimensions section on page 4 of this data sheet.

TL494, NCV494

RECOMMENDED OPERATING CONDITIONS

Characteristics	Symbol	Min	Typ	Max	Unit
Power Supply Voltage	V_{CC}	7.0	15	40	V
Collector Output Voltage	V_{C1}, V_{C2}	–	30	40	V
Collector Output Current (Each transistor)	I_{C1}, I_{C2}	–	–	200	mA
Amplified Input Voltage	V_{in}	–0.3	–	$V_{CC} - 2.0$	V
Current Into Feedback Terminal	I_{fb}	–	–	0.3	mA
Reference Output Current	I_{ref}	–	–	10	mA
Timing Resistor	R_T	1.8	30	500	k Ω
Timing Capacitor	C_T	0.0047	0.001	10	μ F
Oscillator Frequency	f_{osc}	1.0	40	200	kHz

ELECTRICAL CHARACTERISTICS ($V_{CC} = 15$ V, $C_T = 0.01$ μ F, $R_T = 12$ k Ω , unless otherwise noted.)

For typical values $T_A = 25^\circ\text{C}$, for min/max values T_A is the operating ambient temperature range that applies, unless otherwise noted.

Characteristics	Symbol	Min	Typ	Max	Unit
-----------------	--------	-----	-----	-----	------

REFERENCE SECTION

Reference Voltage ($I_O = 1.0$ mA)	V_{ref}	4.75	5.0	5.25	V
Line Regulation ($V_{CC} = 7.0$ V to 40 V)	Reg_{line}	–	2.0	25	mV
Load Regulation ($I_O = 1.0$ mA to 10 mA)	Reg_{load}	–	3.0	15	mV
Short Circuit Output Current ($V_{ref} = 0$ V)	I_{SC}	15	35	75	mA

OUTPUT SECTION

Collector Off–State Current ($V_{CC} = 40$ V, $V_{CE} = 40$ V)	$I_{C(off)}$	–	2.0	100	μ A
Emitter Off–State Current $V_{CC} = 40$ V, $V_C = 40$ V, $V_E = 0$ V)	$I_{E(off)}$	–	–	–100	μ A
Collector–Emitter Saturation Voltage (Note 2) Common–Emitter ($V_E = 0$ V, $I_C = 200$ mA) Emitter–Follower ($V_C = 15$ V, $I_E = -200$ mA)	$V_{sat(C)}$ $V_{sat(E)}$	– –	1.1 1.5	1.3 2.5	V
Output Control Pin Current Low State ($V_{OC} \leq 0.4$ V) High State ($V_{OC} = V_{ref}$)	I_{OCL} I_{OCH}	– –	10 0.2	– 3.5	μ A mA
Output Voltage Rise Time Common–Emitter (See Figure 12) Emitter–Follower (See Figure 13)	t_r	– –	100 100	200 200	ns
Output Voltage Fall Time Common–Emitter (See Figure 12) Emitter–Follower (See Figure 13)	t_f	– –	25 40	100 100	ns

- Low duty cycle pulse techniques are used during test to maintain junction temperature as close to ambient temperature as possible.

TL494, NCV494

ELECTRICAL CHARACTERISTICS ($V_{CC} = 15\text{ V}$, $C_T = 0.01\ \mu\text{F}$, $R_T = 12\ \text{k}\Omega$, unless otherwise noted.)

For typical values $T_A = 25^\circ\text{C}$, for min/max values T_A is the operating ambient temperature range that applies, unless otherwise noted.

Characteristics	Symbol	Min	Typ	Max	Unit
-----------------	--------	-----	-----	-----	------

ERROR AMPLIFIER SECTION

Input Offset Voltage ($V_{O(Pin\ 3)} = 2.5\ \text{V}$)	V_{IO}	–	2.0	10	mV
Input Offset Current ($V_{O(Pin\ 3)} = 2.5\ \text{V}$)	I_{IO}	–	5.0	250	nA
Input Bias Current ($V_{O(Pin\ 3)} = 2.5\ \text{V}$)	I_{IB}	–	–0.1	–1.0	μA
Input Common Mode Voltage Range ($V_{CC} = 40\ \text{V}$, $T_A = 25^\circ\text{C}$)	V_{ICR}	–0.3 to $V_{CC}-2.0$			V
Open Loop Voltage Gain ($\Delta V_{O} = 3.0\ \text{V}$, $V_{O} = 0.5\ \text{V}$ to $3.5\ \text{V}$, $R_L = 2.0\ \text{k}\Omega$)	A_{VOL}	70	95	–	dB
Unity-Gain Crossover Frequency ($V_{O} = 0.5\ \text{V}$ to $3.5\ \text{V}$, $R_L = 2.0\ \text{k}\Omega$)	f_{C-}	–	350	–	kHz
Phase Margin at Unity-Gain ($V_{O} = 0.5\ \text{V}$ to $3.5\ \text{V}$, $R_L = 2.0\ \text{k}\Omega$)	ϕ_m	–	65	–	deg.
Common Mode Rejection Ratio ($V_{CC} = 40\ \text{V}$)	CMRR	65	90	–	dB
Power Supply Rejection Ratio ($\Delta V_{CC} = 33\ \text{V}$, $V_{O} = 2.5\ \text{V}$, $R_L = 2.0\ \text{k}\Omega$)	PSRR	–	100	–	dB
Output Sink Current ($V_{O(Pin\ 3)} = 0.7\ \text{V}$)	I_{O-}	0.3	0.7	–	mA
Output Source Current ($V_{O(Pin\ 3)} = 3.5\ \text{V}$)	I_{O+}	2.0	–4.0	–	mA

PWM COMPARATOR SECTION (Test Circuit Figure 11)

Input Threshold Voltage (Zero Duty Cycle)	V_{TH}	–	2.5	4.5	V
Input Sink Current ($V_{(Pin\ 3)} = 0.7\ \text{V}$)	I_{I-}	0.3	0.7	–	mA

DEADTIME CONTROL SECTION (Test Circuit Figure 11)

Input Bias Current (Pin 4) ($V_{Pin\ 4} = 0\ \text{V}$ to $5.25\ \text{V}$)	$I_{IB(DT)}$	–	–2.0	–10	μA
Maximum Duty Cycle, Each Output, Push-Pull Mode ($V_{Pin\ 4} = 0\ \text{V}$, $C_T = 0.01\ \mu\text{F}$, $R_T = 12\ \text{k}\Omega$) ($V_{Pin\ 4} = 0\ \text{V}$, $C_T = 0.001\ \mu\text{F}$, $R_T = 30\ \text{k}\Omega$)	DC_{max}	45 –	48 45	50 50	%
Input Threshold Voltage (Pin 4) (Zero Duty Cycle) (Maximum Duty Cycle)	V_{th}	– 0	2.8 –	3.3 –	V

OSCILLATOR SECTION

Frequency ($C_T = 0.001\ \mu\text{F}$, $R_T = 30\ \text{k}\Omega$)	f_{osc}	–	40	–	kHz
Standard Deviation of Frequency* ($C_T = 0.001\ \mu\text{F}$, $R_T = 30\ \text{k}\Omega$)	$\sigma_{f_{osc}}$	–	3.0	–	%
Frequency Change with Voltage ($V_{CC} = 7.0\ \text{V}$ to $40\ \text{V}$, $T_A = 25^\circ\text{C}$)	$\Delta f_{osc}(\Delta V)$	–	0.1	–	%
Frequency Change with Temperature ($\Delta T_A = T_{low}$ to T_{high}) ($C_T = 0.01\ \mu\text{F}$, $R_T = 12\ \text{k}\Omega$)	$\Delta f_{osc}(\Delta T)$	–	–	12	%

UNDERVOLTAGE LOCKOUT SECTION

Turn-On Threshold (V_{CC} increasing, $I_{ref} = 1.0\ \text{mA}$)	V_{th}	5.5	6.43	7.0	V
---	----------	-----	------	-----	---

TOTAL DEVICE

Standby Supply Current (Pin 6 at V_{ref} , All other inputs and outputs open) ($V_{CC} = 15\ \text{V}$) ($V_{CC} = 40\ \text{V}$)	I_{CC}	– –	5.5 7.0	10 15	mA
Average Supply Current ($C_T = 0.01\ \mu\text{F}$, $R_T = 12\ \text{k}\Omega$, $V_{(Pin\ 4)} = 2.0\ \text{V}$) ($V_{CC} = 15\ \text{V}$) (See Figure 12)		–	7.0	–	mA

* Standard deviation is a measure of the statistical distribution about the mean as derived from the formula, $\sigma = \sqrt{\frac{\sum_{n=1}^N (X_n - \bar{X})^2}{N - 1}}$

TL494, NCV494

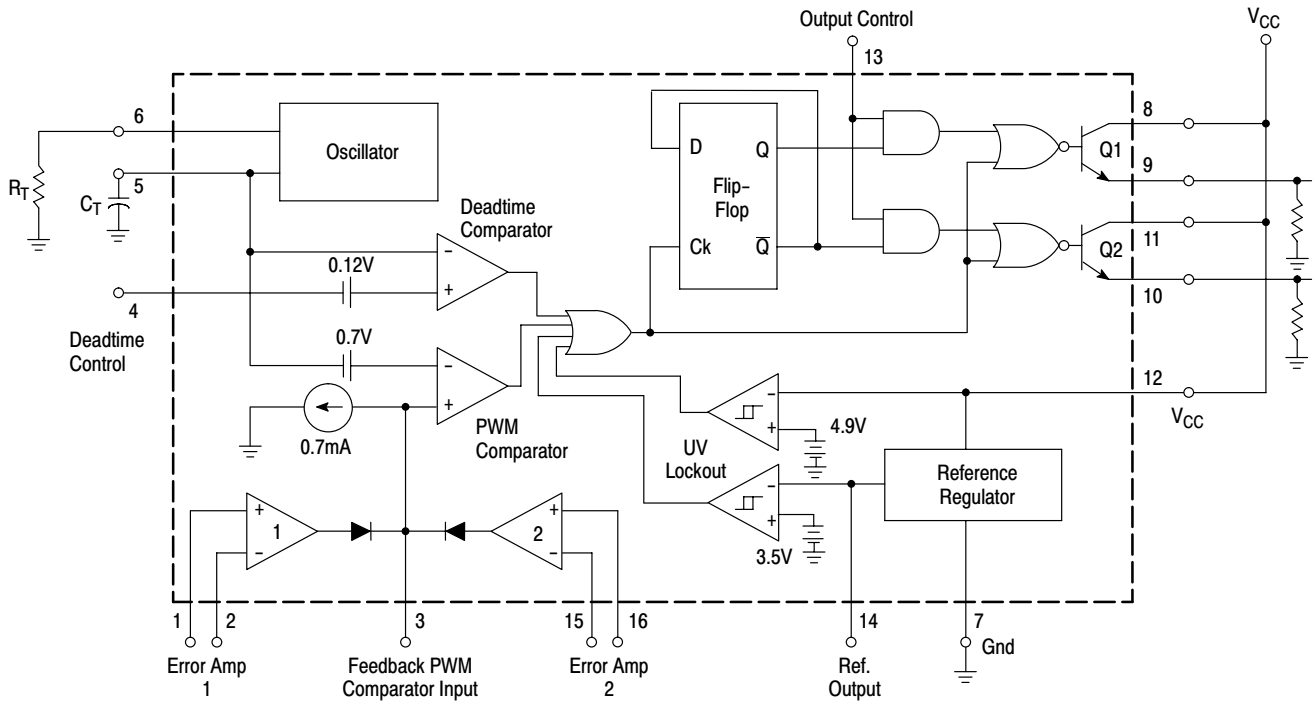
ORDERING INFORMATION

Device	Package	Shipping†
TL494BD	SOIC-16	48 Units / Rail
TL494BDG	SOIC-16 (Pb-Free)	48 Units / Rail
TL494BDR2	SOIC-16	2500 Tape & Reel
TL494BDR2G	SOIC-16 (Pb-Free)	2500 Tape & Reel
TL494CD	SOIC-16	48 Units / Rail
TL494CDG	SOIC-16 (Pb-Free)	48 Units / Rail
TL494CDR2	SOIC-16	2500 Tape & Reel
TL494CDR2G	SOIC-16 (Pb-Free)	2500 Tape & Reel
TL494CN	PDIP-16	25 Units / Rail
TL494CNG	PDIP-16 (Pb-Free)	25 Units / Rail
TL494IN	PDIP-16	25 Units / Rail
TL494ING	PDIP-16 (Pb-Free)	25 Units / Rail
NCV494BDR2*	SOIC-16	2500 Tape & Reel
NCV494BDR2G*	SOIC-16 (Pb-Free)	2500 Tape & Reel

†For information on tape and reel specifications, including part orientation and tape sizes, please refer to our Tape and Reel Packaging Specifications Brochure, BRD8011/D.

*NCV494: $T_{low} = -40^{\circ}\text{C}$, $T_{high} = +125^{\circ}\text{C}$. Guaranteed by design. NCV prefix is for automotive and other applications requiring site and change control.

TL494, NCV494



This device contains 46 active transistors.

Figure 1. Representative Block Diagram

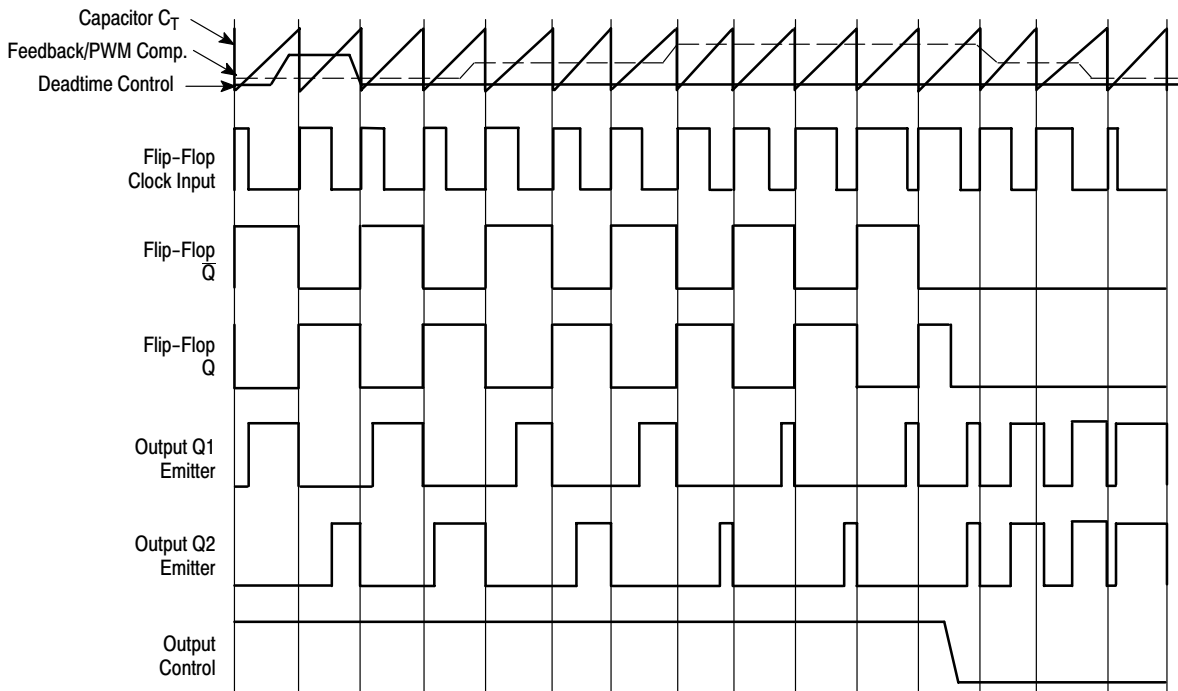


Figure 2. Timing Diagram

APPLICATIONS INFORMATION

Description

The TL494 is a fixed-frequency pulse width modulation control circuit, incorporating the primary building blocks required for the control of a switching power supply. (See Figure 1.) An internal-linear sawtooth oscillator is frequency-programmable by two external components, R_T and C_T . The approximate oscillator frequency is determined by:

$$f_{osc} \approx \frac{1.1}{R_T \cdot C_T}$$

For more information refer to Figure 3.

Output pulse width modulation is accomplished by comparison of the positive sawtooth waveform across capacitor C_T to either of two control signals. The NOR gates, which drive output transistors Q1 and Q2, are enabled only when the flip-flop clock-input line is in its low state. This happens only during that portion of time when the sawtooth voltage is greater than the control signals. Therefore, an increase in control-signal amplitude causes a corresponding linear decrease of output pulse width. (Refer to the Timing Diagram shown in Figure 2.)

The control signals are external inputs that can be fed into the deadtime control, the error amplifier inputs, or the feedback input. The deadtime control comparator has an effective 120 mV input offset which limits the minimum output deadtime to approximately the first 4% of the sawtooth-cycle time. This would result in a maximum duty cycle on a given output of 96% with the output control grounded, and 48% with it connected to the reference line. Additional deadtime may be imposed on the output by setting the deadtime-control input to a fixed voltage, ranging between 0 V to 3.3 V.

Functional Table

Input/Output Controls	Output Function	$\frac{f_{out}}{f_{osc}} =$
Grounded	Single-ended PWM @ Q1 and Q2	1.0
@ V_{ref}	Push-pull Operation	0.5

The pulse width modulator comparator provides a means for the error amplifiers to adjust the output pulse width from the maximum percent on-time, established by the deadtime control input, down to zero, as the voltage at the feedback pin varies from 0.5 V to 3.5 V. Both error amplifiers have a

common mode input range from -0.3 V to ($V_{CC} - 2V$), and may be used to sense power-supply output voltage and current. The error-amplifier outputs are active high and are ORed together at the noninverting input of the pulse-width modulator comparator. With this configuration, the amplifier that demands minimum output on time, dominates control of the loop.

When capacitor C_T is discharged, a positive pulse is generated on the output of the deadtime comparator, which clocks the pulse-steering flip-flop and inhibits the output transistors, Q1 and Q2. With the output-control connected to the reference line, the pulse-steering flip-flop directs the modulated pulses to each of the two output transistors alternately for push-pull operation. The output frequency is equal to half that of the oscillator. Output drive can also be taken from Q1 or Q2, when single-ended operation with a maximum on-time of less than 50% is required. This is desirable when the output transformer has a ringback winding with a catch diode used for snubbing. When higher output-drive currents are required for single-ended operation, Q1 and Q2 may be connected in parallel, and the output-mode pin must be tied to ground to disable the flip-flop. The output frequency will now be equal to that of the oscillator.

The TL494 has an internal 5.0 V reference capable of sourcing up to 10 mA of load current for external bias circuits. The reference has an internal accuracy of $\pm 5.0\%$ with a typical thermal drift of less than 50 mV over an operating temperature range of 0° to 70°C.

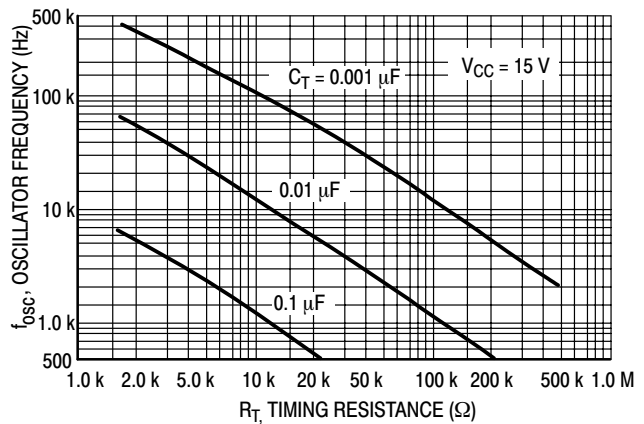


Figure 3. Oscillator Frequency versus Timing Resistance

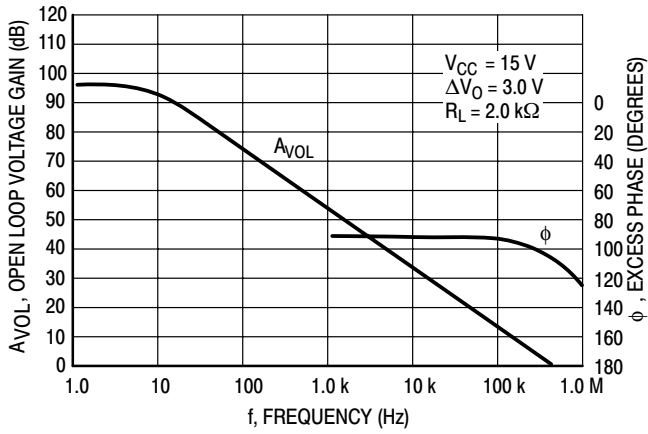


Figure 4. Open Loop Voltage Gain and Phase versus Frequency

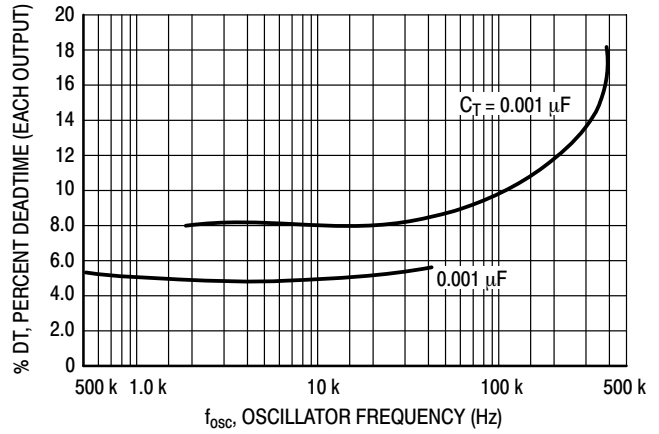


Figure 5. Percent Deadtime versus Oscillator Frequency

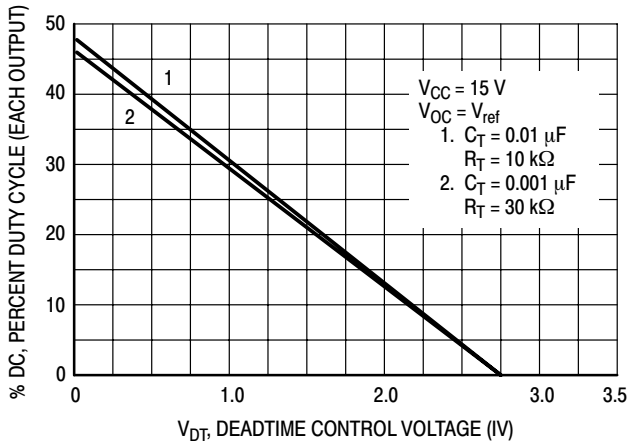


Figure 6. Percent Duty Cycle versus Deadtime Control Voltage

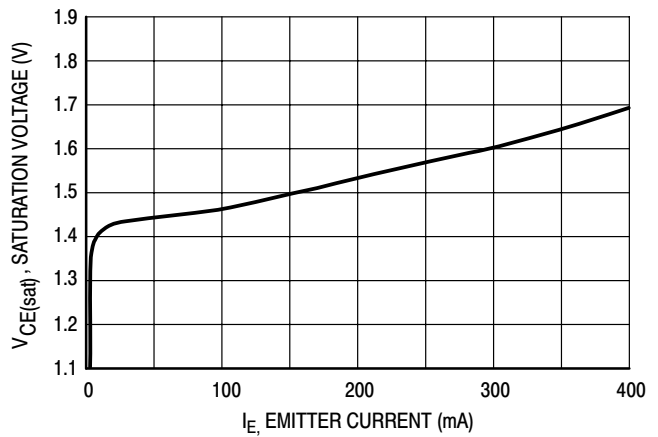


Figure 7. Emitter-Follower Configuration Output Saturation Voltage versus Emitter Current

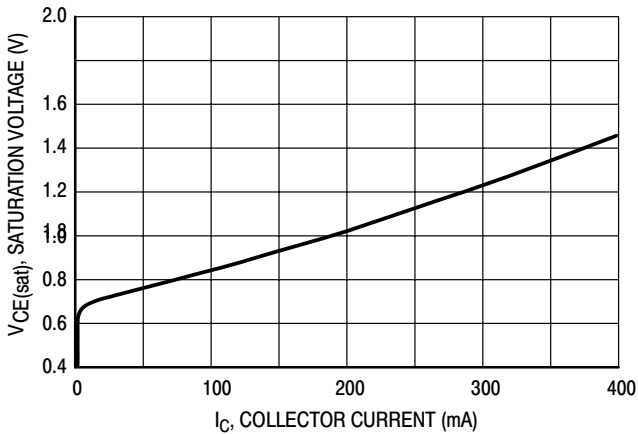


Figure 8. Common-Emitter Configuration Output Saturation Voltage versus Collector Current

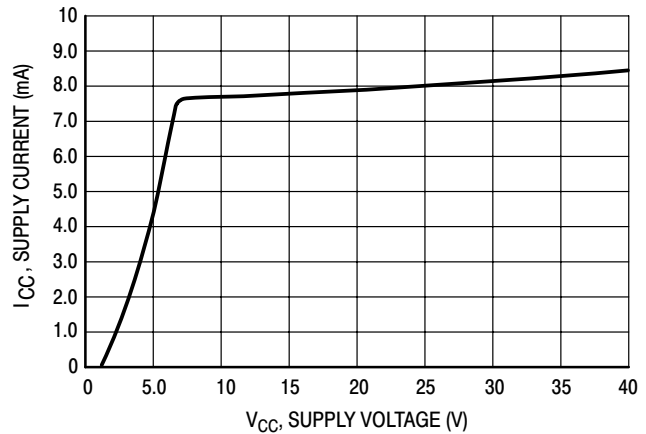


Figure 9. Standby Supply Current versus Supply Voltage

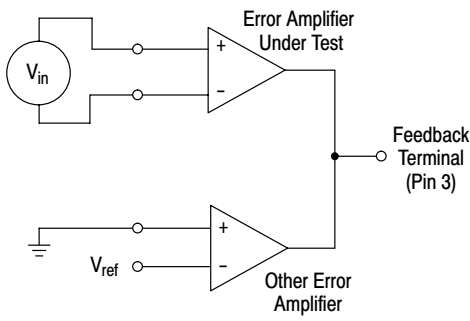


Figure 10. Error-Amplifier Characteristics

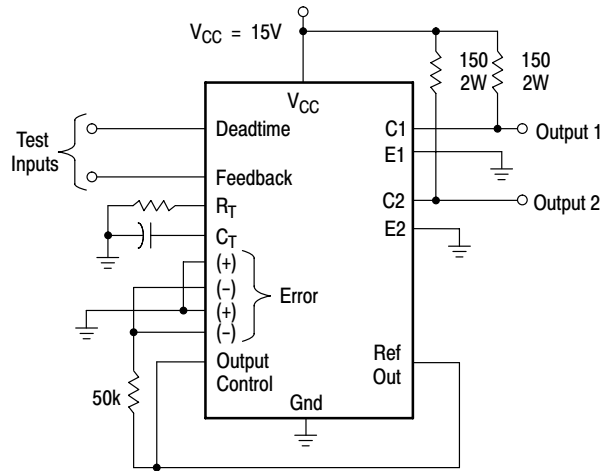


Figure 11. Deadtime and Feedback Control Circuit

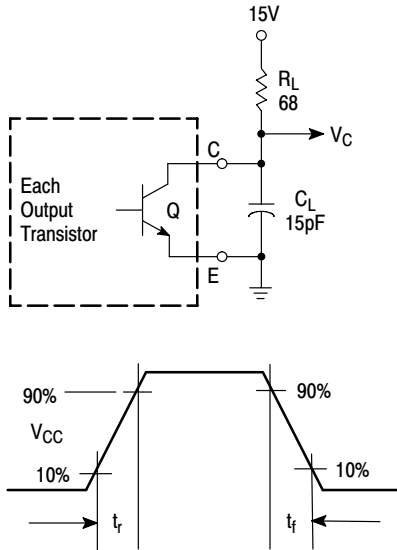


Figure 12. Common-Emitter Configuration Test Circuit and Waveform

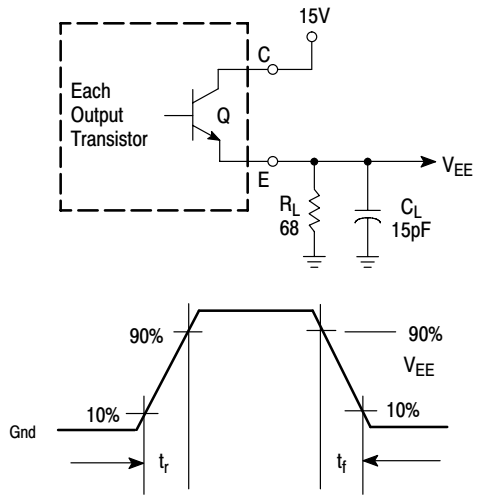


Figure 13. Emitter-Follower Configuration Test Circuit and Waveform

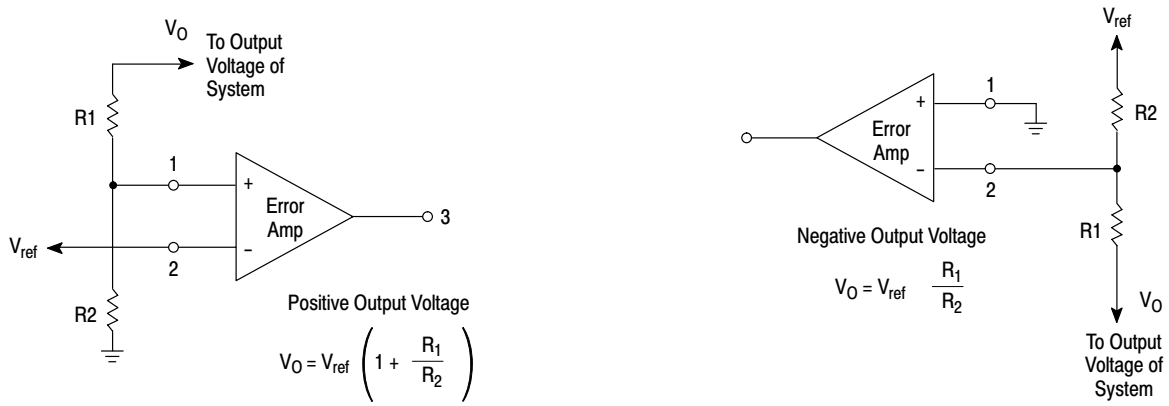
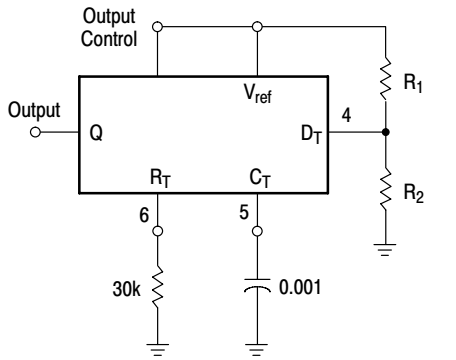


Figure 14. Error-Amplifier Sensing Techniques



$$\text{Max. \% on Time, each output} \approx 45 - \left(\frac{80}{1 + \frac{R_1}{R_2}} \right)$$

Figure 15. Deadtime Control Circuit

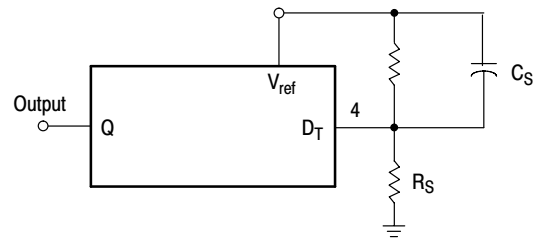


Figure 16. Soft-Start Circuit

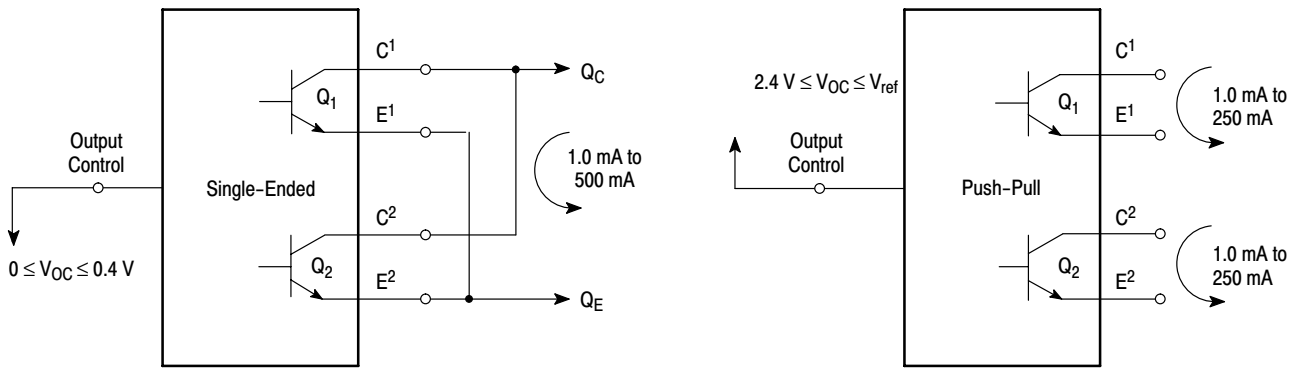


Figure 17. Output Connections for Single-Ended and Push-Pull Configurations

TL494, NCV494

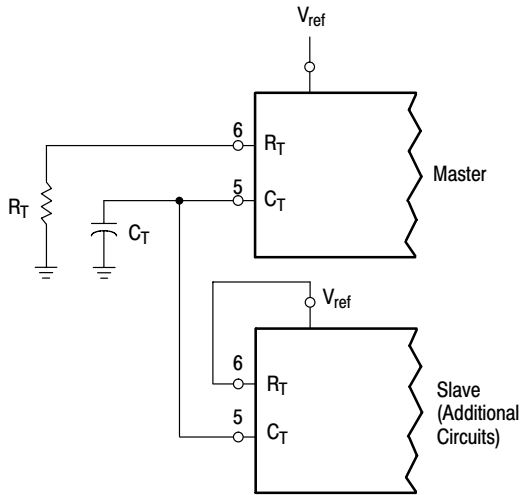


Figure 18. Slaving Two or More Control Circuits

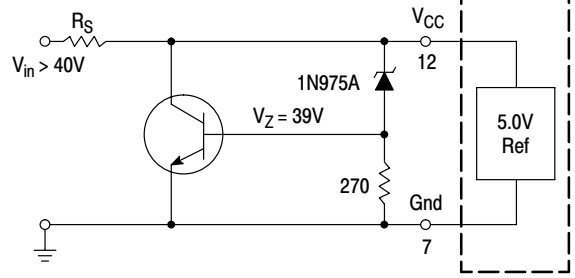


Figure 19. Operation with $V_{in} > 40\text{ V}$ Using External Zener

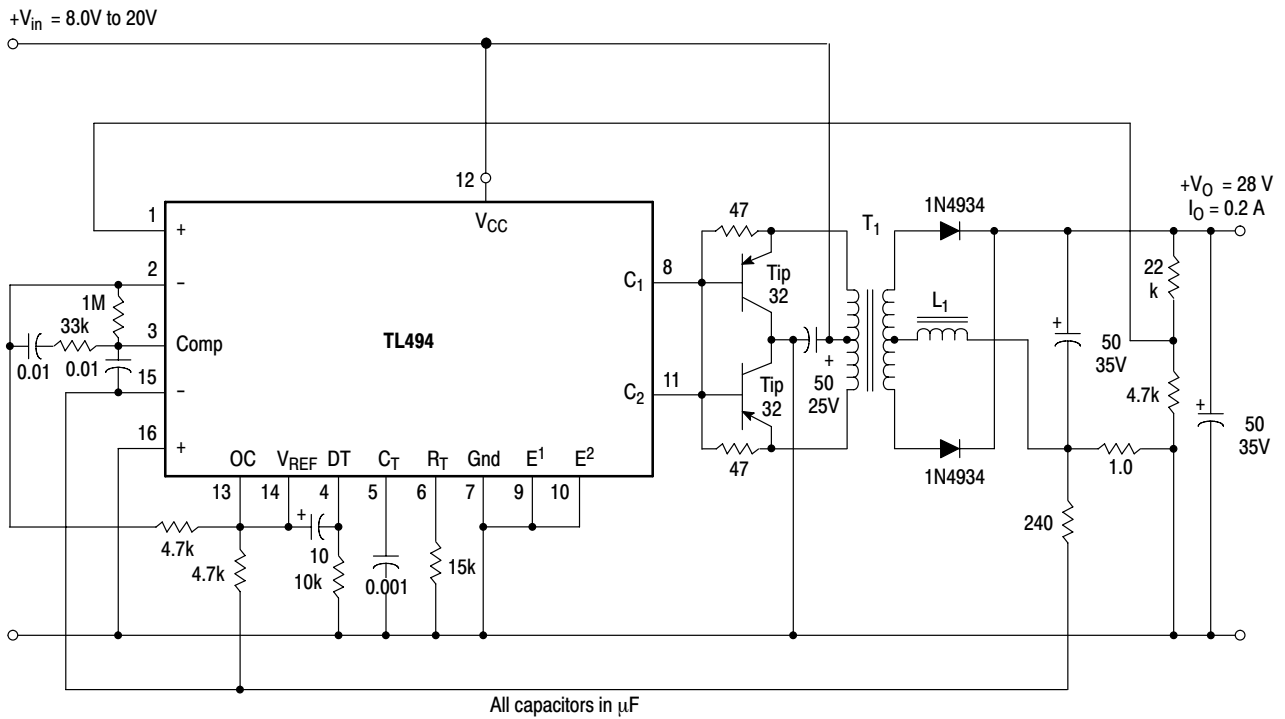


Figure 20. Pulse Width Modulated Push-Pull Converter

Test	Conditions	Results
Line Regulation	$V_{in} = 10\text{ V to } 40\text{ V}$	14 mV 0.28%
Load Regulation	$V_{in} = 28\text{ V}, I_O = 1.0\text{ mA to } 1.0\text{ A}$	3.0 mV 0.06%
Output Ripple	$V_{in} = 28\text{ V}, I_O = 1.0\text{ A}$	65 mV pp P.A.R.D.
Short Circuit Current	$V_{in} = 28\text{ V}, R_L = 0.1\ \Omega$	1.6 A
Efficiency	$V_{in} = 28\text{ V}, I_O = 1.0\text{ A}$	71%

L1 - 3.5 mH @ 0.3 A
 T1 - Primary: 20T C.T. #28 AWG
 Secondary: 120T C.T. #36 AWG
 Core: Ferroxcube 1408P-L00-3CB

TL494, NCV494

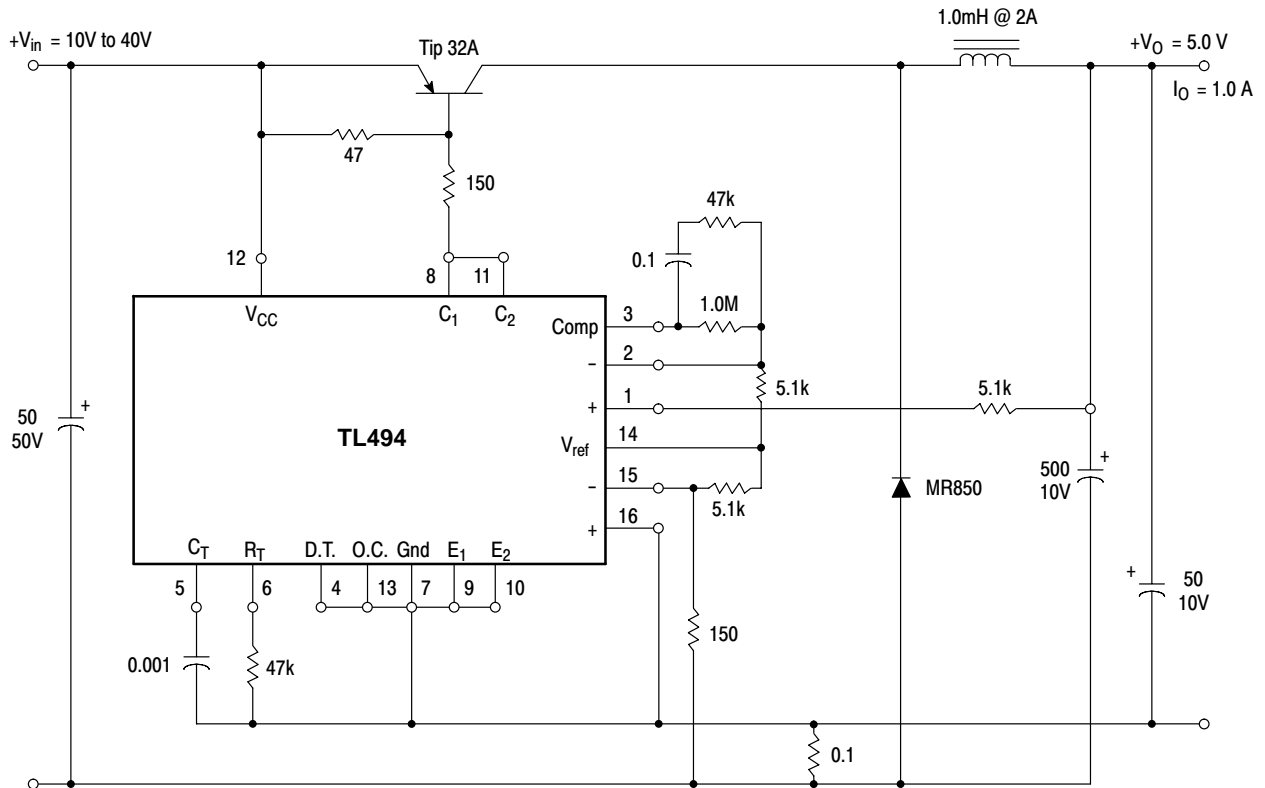


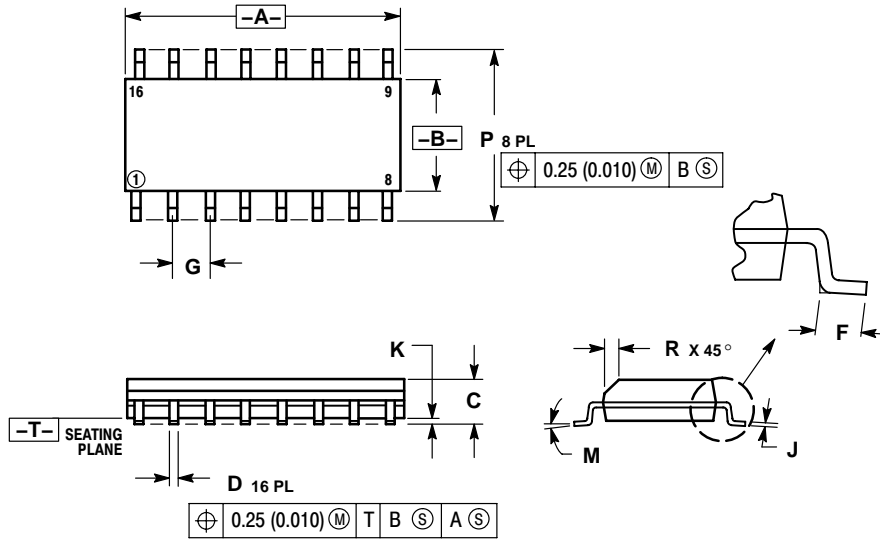
Figure 21. Pulse Width Modulated Step-Down Converter

Test	Conditions	Results
Line Regulation	$V_{in} = 8.0V \text{ to } 40V$	3.0 mV 0.01%
Load Regulation	$V_{in} = 12.6V, I_O = 0.2mA \text{ to } 200mA$	5.0 mV 0.02%
Output Ripple	$V_{in} = 12.6V, I_O = 200mA$	40 mV pp P.A.R.D.
Short Circuit Current	$V_{in} = 12.6V, R_L = 0.1\Omega$	250 mA
Efficiency	$V_{in} = 12.6V, I_O = 200mA$	72%

TL494, NCV494

PACKAGE DIMENSIONS

SOIC-16
D SUFFIX
CASE 751B-05
ISSUE J



NOTES:

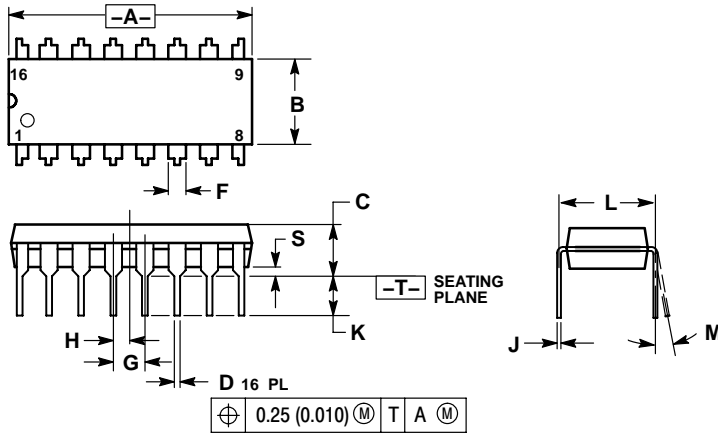
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: MILLIMETER.
3. DIMENSIONS A AND B DO NOT INCLUDE MOLD PROTRUSION.
4. MAXIMUM MOLD PROTRUSION 0.15 (0.006) PER SIDE.
5. DIMENSION D DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.127 (0.005) TOTAL IN EXCESS OF THE D DIMENSION AT MAXIMUM MATERIAL CONDITION.

DIM	MILLIMETERS		INCHES	
	MIN	MAX	MIN	MAX
A	9.80	10.00	0.386	0.393
B	3.80	4.00	0.150	0.157
C	1.35	1.75	0.054	0.068
D	0.35	0.49	0.014	0.019
F	0.40	1.25	0.016	0.049
G	1.27 BSC		0.050 BSC	
J	0.19	0.25	0.008	0.009
K	0.10	0.25	0.004	0.009
M	0°	7°	0°	7°
P	5.80	6.20	0.229	0.244
R	0.25	0.50	0.010	0.019

TL494, NCV494

PACKAGE DIMENSIONS

PDIP-16
N SUFFIX
CASE 648-08
ISSUE T




NOTES:

1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: INCH.
3. DIMENSION L TO CENTER OF LEADS WHEN FORMED PARALLEL.
4. DIMENSION B DOES NOT INCLUDE MOLD FLASH.
5. ROUNDED CORNERS OPTIONAL.

DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.740	0.770	18.80	19.55
B	0.250	0.270	6.35	6.85
C	0.145	0.175	3.69	4.44
D	0.015	0.021	0.39	0.53
F	0.040	0.70	1.02	1.77
G	0.100 BSC		2.54 BSC	
H	0.050 BSC		1.27 BSC	
J	0.008	0.015	0.21	0.38
K	0.110	0.130	2.80	3.30
L	0.295	0.305	7.50	7.74
M	0°	10°	0°	10°
S	0.020	0.040	0.51	1.01

TL494, NCV494

SWITCHMODE is a trademark of Semiconductor Components Industries, LLC.

ON Semiconductor and  are registered trademarks of Semiconductor Components Industries, LLC (SCILLC). SCILLC reserves the right to make changes without further notice to any products herein. SCILLC makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does SCILLC assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. "Typical" parameters which may be provided in SCILLC data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. SCILLC does not convey any license under its patent rights nor the rights of others. SCILLC products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the SCILLC product could create a situation where personal injury or death may occur. Should Buyer purchase or use SCILLC products for any such unintended or unauthorized application, Buyer shall indemnify and hold SCILLC and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that SCILLC was negligent regarding the design or manufacture of the part. SCILLC is an Equal Opportunity/Affirmative Action Employer. This literature is subject to all applicable copyright laws and is not for resale in any manner.

PUBLICATION ORDERING INFORMATION

LITERATURE FULFILLMENT:

Literature Distribution Center for ON Semiconductor
P.O. Box 61312, Phoenix, Arizona 85082-1312 USA
Phone: 480-829-7710 or 800-344-3860 Toll Free USA/Canada
Fax: 480-829-7709 or 800-344-3867 Toll Free USA/Canada
Email: orderlit@onsemi.com

N. American Technical Support: 800-282-9855 Toll Free
USA/Canada

Japan: ON Semiconductor, Japan Customer Focus Center
2-9-1 Kamimeguro, Meguro-ku, Tokyo, Japan 153-0051
Phone: 81-3-5773-3850

ON Semiconductor Website: <http://onsemi.com>

Order Literature: <http://www.onsemi.com/litorder>

For additional information, please contact your
local Sales Representative.

IR2110(S)PbF/IR2113(S)PbF

HIGH AND LOW SIDE DRIVER

Features

- Floating channel designed for bootstrap operation
 Fully operational to +500V or +600V
 Tolerant to negative transient voltage
 dV/dt immune
- Gate drive supply range from 10 to 20V
- Undervoltage lockout for both channels
- 3.3V logic compatible
 Separate logic supply range from 3.3V to 20V
 Logic and power ground $\pm 5V$ offset
- CMOS Schmitt-triggered inputs with pull-down
- Cycle by cycle edge-triggered shutdown logic
- Matched propagation delay for both channels
- Outputs in phase with inputs

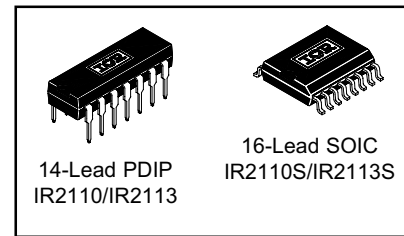
Product Summary

V_{OFFSET} (IR2110)	500V max.
(IR2113)	600V max.
$I_{\text{O}+/-}$	2A / 2A
V_{OUT}	10 - 20V
$t_{\text{on/off}}$ (typ.)	120 & 94 ns
Delay Matching (IR2110)	10 ns max.
(IR2113)	20ns max.

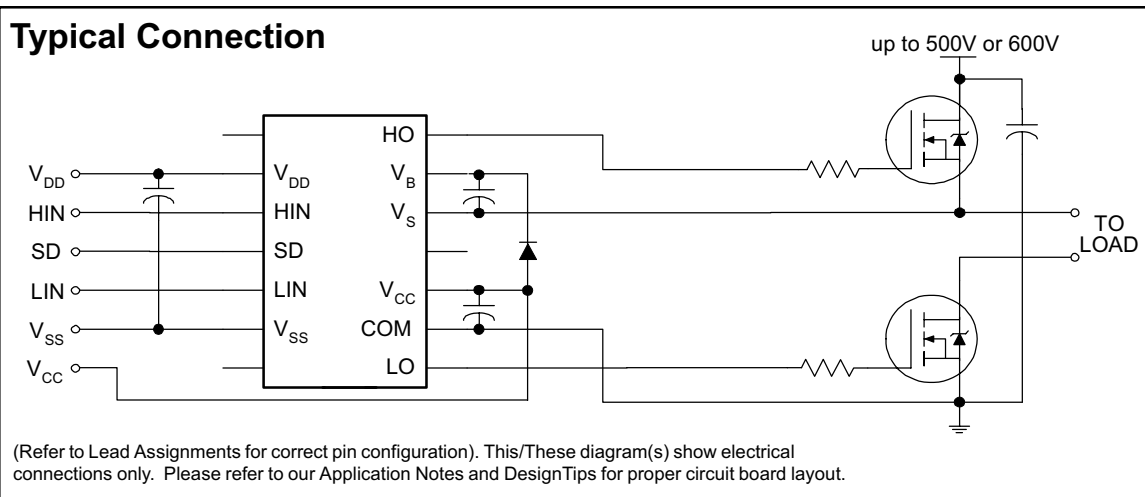
Description

The IR2110/IR2113 are high voltage, high speed power MOSFET and IGBT drivers with independent high and low side referenced output channels. Proprietary HVIC and latch immune CMOS technologies enable ruggedized monolithic construction. Logic inputs are compatible with standard CMOS or LSTTL output, down to 3.3V logic. The output drivers feature a high pulse current buffer stage designed for minimum driver cross-conduction. Propagation delays are matched to simplify use in high frequency applications. The floating channel can be used to drive an N-channel power MOSFET or IGBT in the high side configuration which operates up to 500 or 600 volts.

Packages



Typical Connection



Absolute Maximum Ratings

Absolute maximum ratings indicate sustained limits beyond which damage to the device may occur. All voltage parameters are absolute voltages referenced to COM. The thermal resistance and power dissipation ratings are measured under board mounted and still air conditions. Additional information is shown in Figures 28 through 35.

Symbol	Definition	Min.	Max.	Units	
V _B	High side floating supply voltage (IR2110)	-0.3	525	V	
	(IR2113)	-0.3	625		
V _S	High side floating supply offset voltage	V _B - 25	V _B + 0.3		
V _{HO}	High side floating output voltage	V _S - 0.3	V _B + 0.3		
V _{CC}	Low side fixed supply voltage	-0.3	25		
V _{LO}	Low side output voltage	-0.3	V _{CC} + 0.3		
V _{DD}	Logic supply voltage	-0.3	V _{SS} + 25		
V _{SS}	Logic supply offset voltage	V _{CC} - 25	V _{CC} + 0.3		
V _{IN}	Logic input voltage (HIN, LIN & SD)	V _{SS} - 0.3	V _{DD} + 0.3		
dV _S /dt	Allowable offset supply voltage transient (figure 2)	—	50	V/ns	
P _D	Package power dissipation @ T _A ≤ +25°C	(14 lead DIP)	—	1.6	W
		(16 lead SOIC)	—	1.25	
R _{THJA}	Thermal resistance, junction to ambient	(14 lead DIP)	—	75	°C/W
		(16 lead SOIC)	—	100	
T _J	Junction temperature	—	150	°C	
T _S	Storage temperature	-55	150		
T _L	Lead temperature (soldering, 10 seconds)	—	300		

Recommended Operating Conditions

The input/output logic timing diagram is shown in figure 1. For proper operation the device should be used within the recommended conditions. The V_S and V_{SS} offset ratings are tested with all supplies biased at 15V differential. Typical ratings at other bias conditions are shown in figures 36 and 37.

Symbol	Definition	Min.	Max.	Units
V _B	High side floating supply absolute voltage	V _S + 10	V _S + 20	V
V _S	High side floating supply offset voltage (IR2110)	Note 1	500	
	(IR2113)	Note 1	600	
V _{HO}	High side floating output voltage	V _S	V _B	
V _{CC}	Low side fixed supply voltage	10	20	
V _{LO}	Low side output voltage	0	V _{CC}	
V _{DD}	Logic supply voltage	V _{SS} + 3	V _{SS} + 20	
V _{SS}	Logic supply offset voltage	-5 (Note 2)	5	
V _{IN}	Logic input voltage (HIN, LIN & SD)	V _{SS}	V _{DD}	
T _A	Ambient temperature	-40	125	°C

Note 1: Logic operational for V_S of -4 to +500V. Logic state held for V_S of -4V to -V_{BS}. (Please refer to the Design Tip DT97-3 for more details).

Note 2: When V_{DD} < 5V, the minimum V_{SS} offset is limited to -V_{DD}.

Dynamic Electrical Characteristics

V_{BIAS} (V_{CC} , V_{BS} , V_{DD}) = 15V, C_L = 1000 pF, T_A = 25°C and V_{SS} = COM unless otherwise specified. The dynamic electrical characteristics are measured using the test circuit shown in Figure 3.

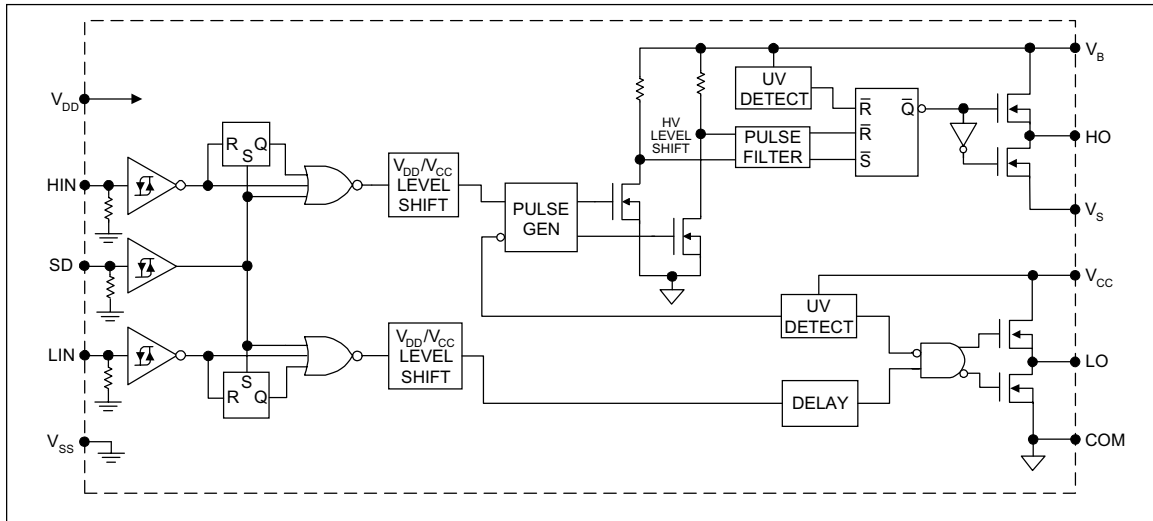
Symbol	Definition	Figure	Min.	Typ.	Max.	Units	Test Conditions
t_{on}	Turn-on propagation delay	7	—	120	150	ns	$V_S = 0V$
t_{off}	Turn-off propagation delay	8	—	94	125		$V_S = 500V/600V$
t_{sd}	Shutdown propagation delay	9	—	110	140		$V_S = 500V/600V$
t_r	Turn-on rise time	10	—	25	35		
t_f	Turn-off fall time	11	—	17	25		
MT	Delay matching, HS & LS turn-on/off	(IR2110) (IR2113)	—	—	—		10 20

Static Electrical Characteristics

V_{BIAS} (V_{CC} , V_{BS} , V_{DD}) = 15V, T_A = 25°C and V_{SS} = COM unless otherwise specified. The V_{IN} , V_{TH} and I_{IN} parameters are referenced to V_{SS} and are applicable to all three logic input leads: HIN, LIN and SD. The V_O and I_O parameters are referenced to COM and are applicable to the respective output leads: HO or LO.

Symbol	Definition	Figure	Min.	Typ.	Max.	Units	Test Conditions
V_{IH}	Logic "1" input voltage	12	9.5	—	—	V	
V_{IL}	Logic "0" input voltage	13	—	—	6.0		
V_{OH}	High level output voltage, $V_{BIAS} - V_O$	14	—	—	1.2		$I_O = 0A$
V_{OL}	Low level output voltage, V_O	15	—	—	0.1		$I_O = 0A$
I_{LK}	Offset supply leakage current	16	—	—	50	μA	$V_B = V_S = 500V/600V$
I_{QBS}	Quiescent V_{BS} supply current	17	—	125	230		$V_{IN} = 0V$ or V_{DD}
I_{QCC}	Quiescent V_{CC} supply current	18	—	180	340		$V_{IN} = 0V$ or V_{DD}
I_{QDD}	Quiescent V_{DD} supply current	19	—	15	30		$V_{IN} = 0V$ or V_{DD}
I_{IN+}	Logic "1" input bias current	20	—	20	40		$V_{IN} = V_{DD}$
I_{IN-}	Logic "0" input bias current	21	—	—	1.0	$V_{IN} = 0V$	
V_{BSUV+}	V_{BS} supply undervoltage positive going threshold	22	7.5	8.6	9.7	V	
V_{BSUV-}	V_{BS} supply undervoltage negative going threshold	23	7.0	8.2	9.4		
V_{CCUV+}	V_{CC} supply undervoltage positive going threshold	24	7.4	8.5	9.6		
V_{CCUV-}	V_{CC} supply undervoltage negative going threshold	25	7.0	8.2	9.4		
I_{O+}	Output high short circuit pulsed current	26	2.0	2.5	—	A	$V_O = 0V$, $V_{IN} = V_{DD}$ $PW \leq 10 \mu s$
I_{O-}	Output low short circuit pulsed current	27	2.0	2.5	—		$V_O = 15V$, $V_{IN} = 0V$ $PW \leq 10 \mu s$

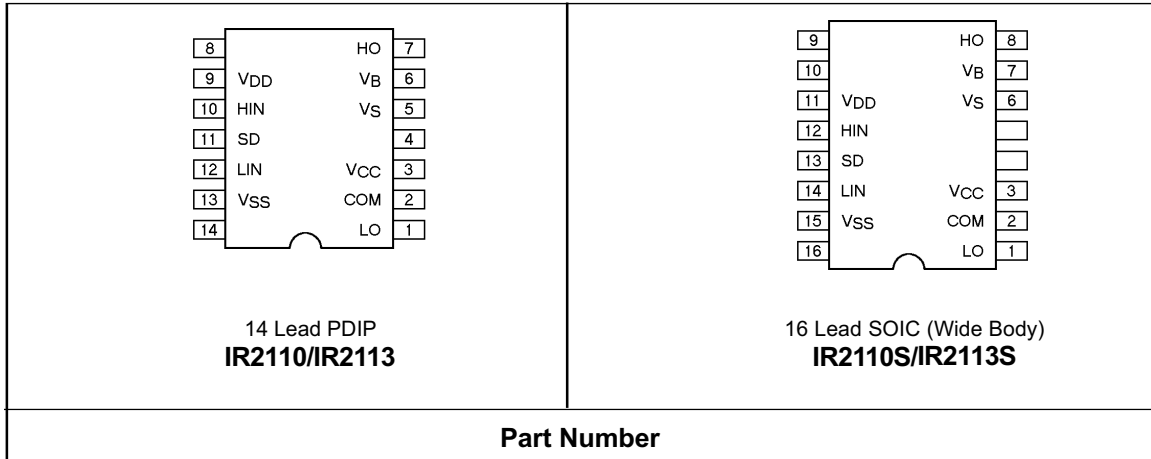
Functional Block Diagram



Lead Definitions

Symbol	Description
V _{DD}	Logic supply
HIN	Logic input for high side gate driver output (HO), in phase
SD	Logic input for shutdown
LIN	Logic input for low side gate driver output (LO), in phase
V _{SS}	Logic ground
V _B	High side floating supply
HO	High side gate drive output
V _S	High side floating supply return
V _{CC}	Low side supply
LO	Low side gate drive output
COM	Low side return

Lead Assignments



IR2110(S)PbF/IR2113(S)PbF

International
IR Rectifier

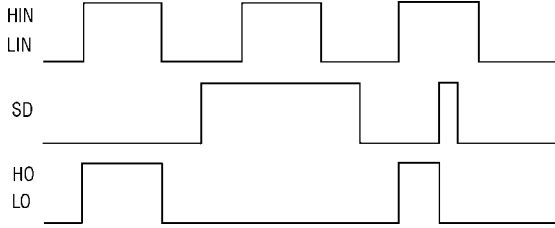


Figure 1. Input/Output Timing Diagram

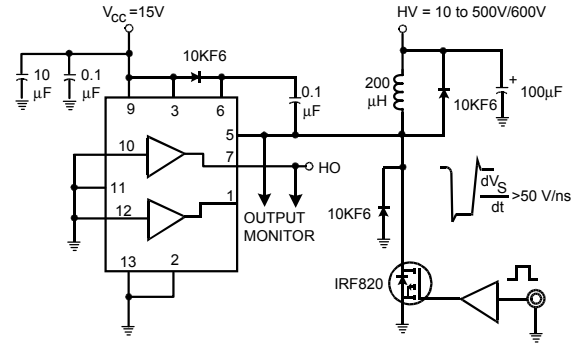


Figure 2. Floating Supply Voltage Transient Test Circuit

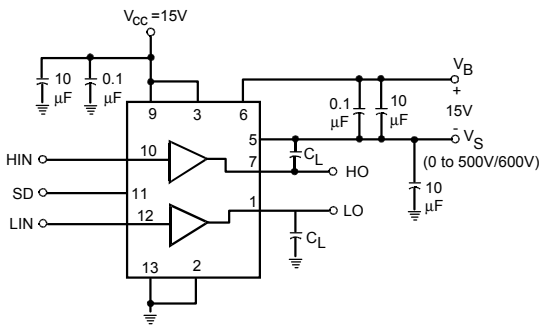


Figure 3. Switching Time Test Circuit

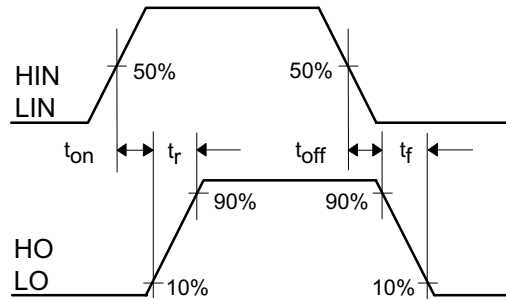


Figure 4. Switching Time Waveform Definition

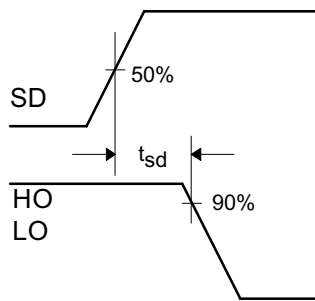


Figure 5. Shutdown Waveform Definitions

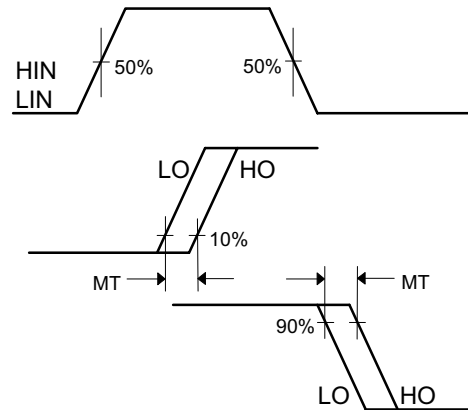


Figure 6. Delay Matching Waveform Definitions

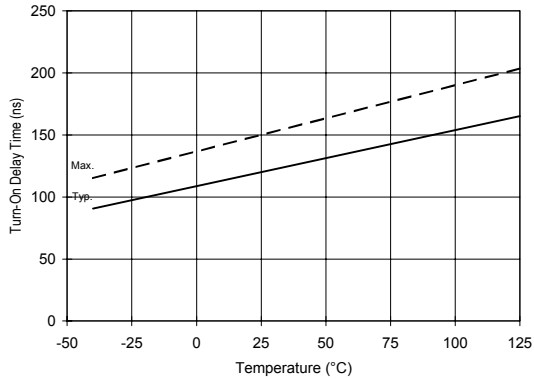


Figure 7A. Turn-On Time vs. Temperature

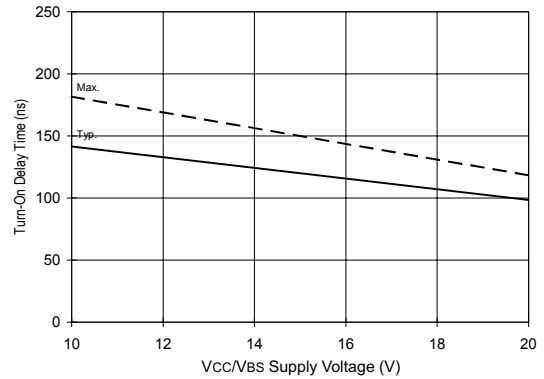


Figure 7B. Turn-On Time vs. Vcc/Vbs Supply Voltage

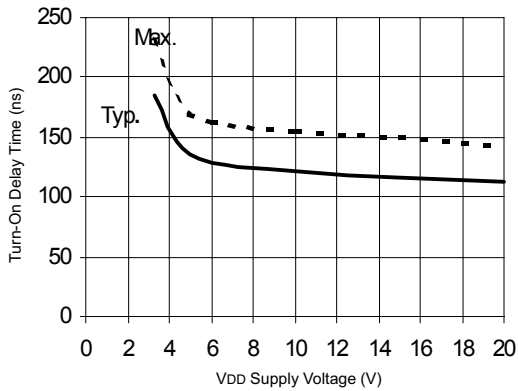


Figure 7C. Turn-On Time vs. VDD Supply Voltage

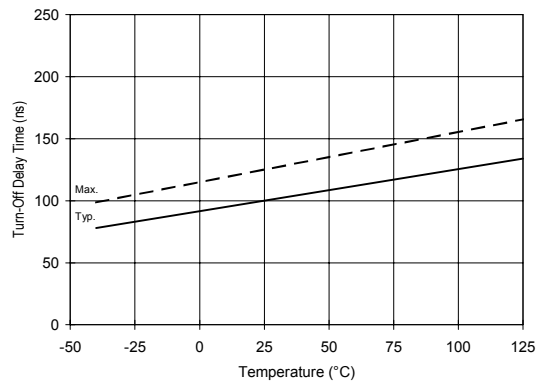


Figure 8A. Turn-Off Time vs. Temperature

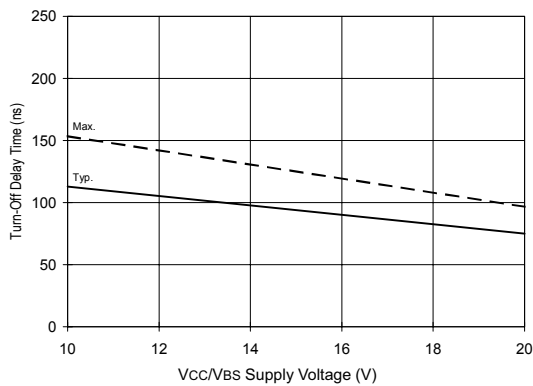


Figure 8B. Turn-Off Time vs. Vcc/Vbs Supply Voltage

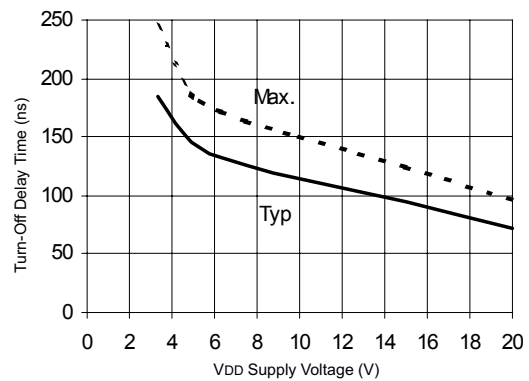


Figure 8C. Turn-Off Time vs. VDD Supply Voltage

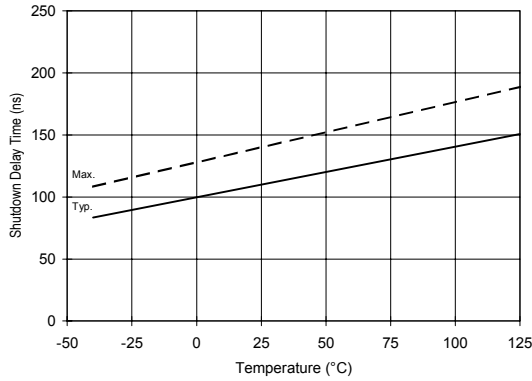


Figure 9A. Shutdown Time vs. Temperature

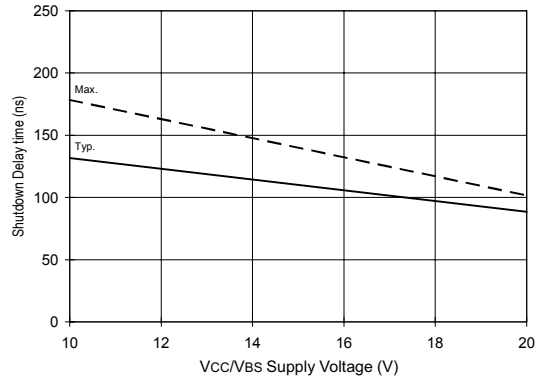


Figure 9B. Shutdown Time vs. Vcc/Vbs Supply Voltage

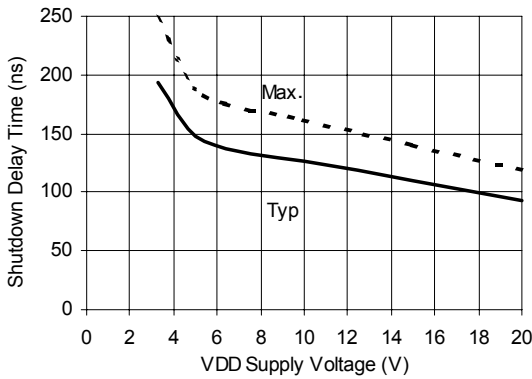


Figure 9C. Shutdown Time vs. VDD Supply Voltage

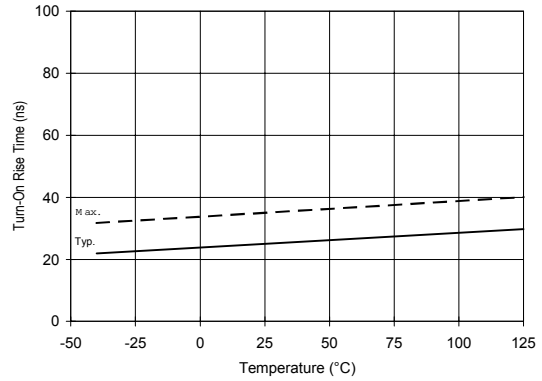


Figure 10A. Turn-On Rise Time vs. Temperature

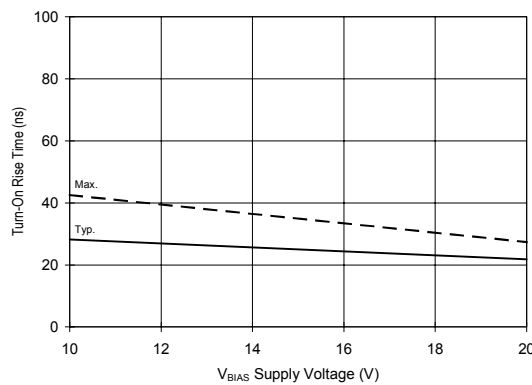


Figure 10B. Turn-On Rise Time vs. Voltage

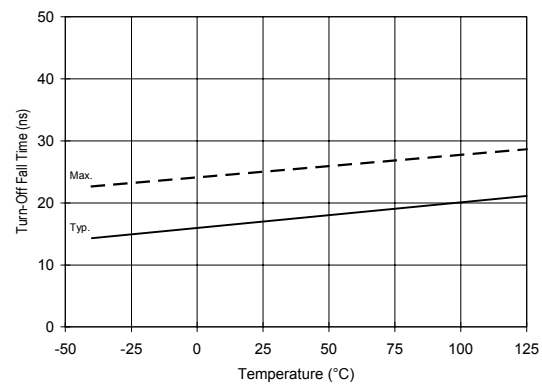


Figure 11A. Turn-Off Fall Time vs. Temperature

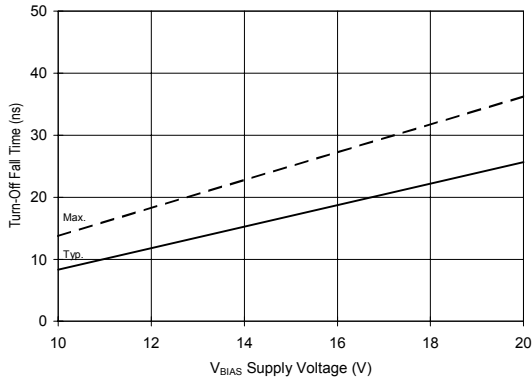


Figure 11B. Turn-Off Fall Time vs. Voltage

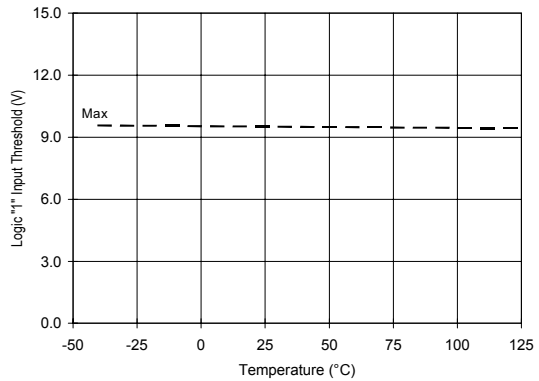


Figure 12A. Logic "1" Input Threshold vs. Temperature

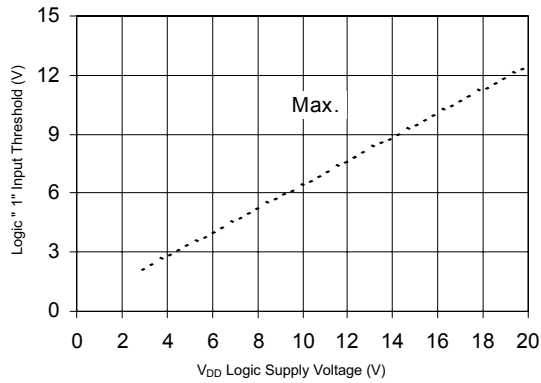


Figure 12B. Logic "1" Input Threshold vs. Voltage

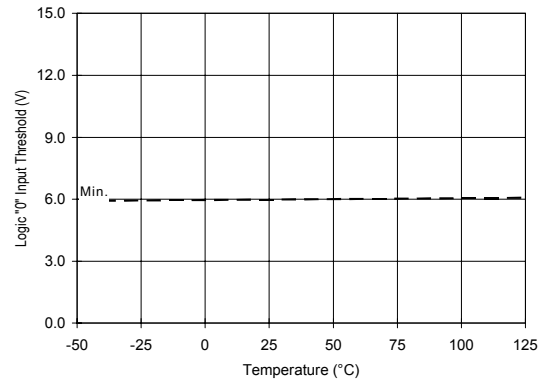


Figure 13A. Logic "0" Input Threshold vs. Temperature

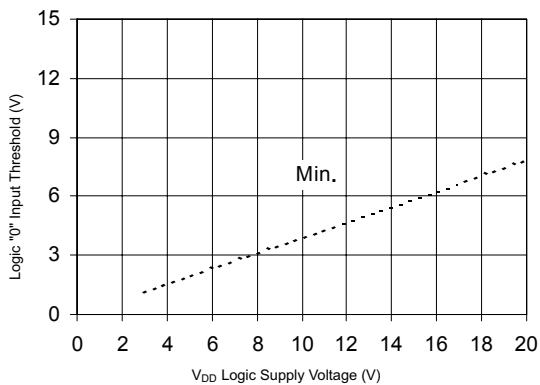


Figure 13B. Logic "0" Input Threshold vs. Voltage

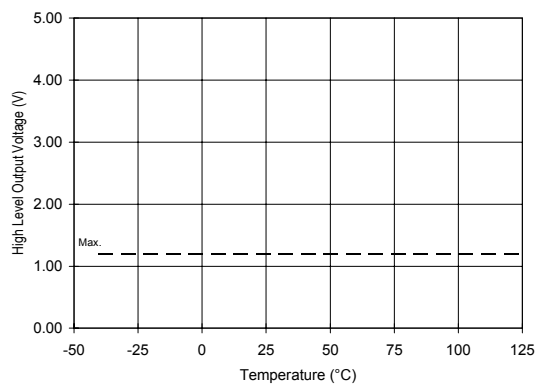


Figure 14A. High Level Output vs. Temperature

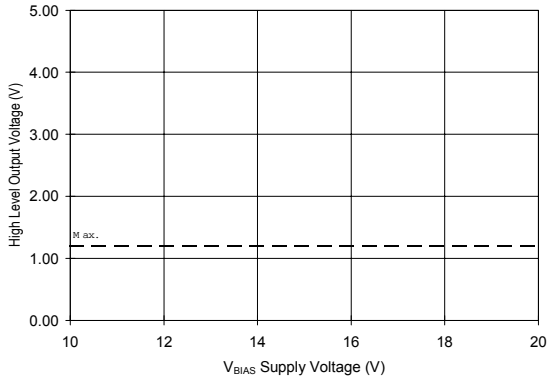


Figure 14B. High Level Output vs. Voltage

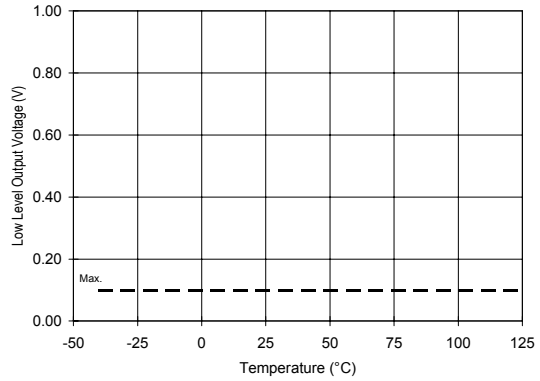


Figure 15A. Low Level Output vs. Temperature

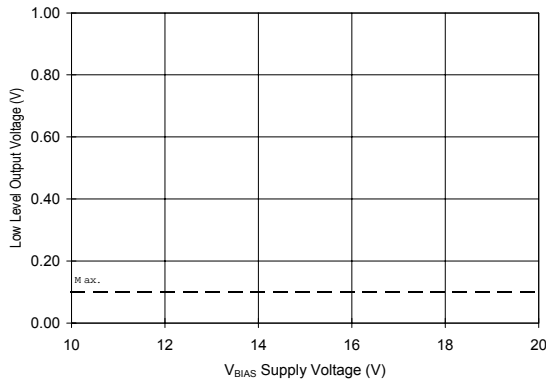


Figure 15B. Low Level Output vs. Voltage

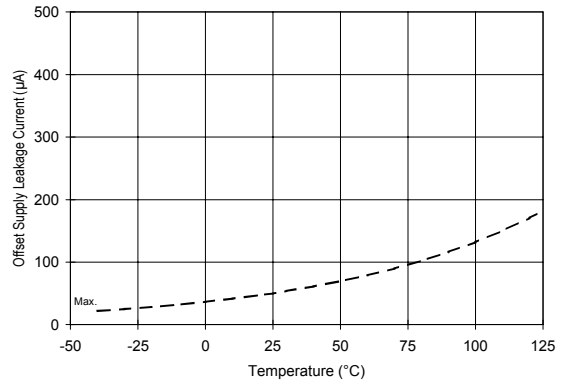


Figure 16A. Offset Supply Current vs. Temperature

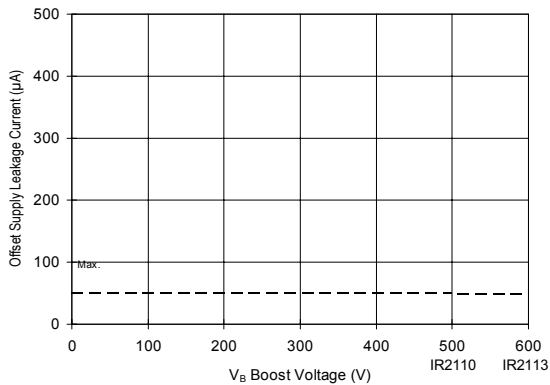


Figure 16B. Offset Supply Current vs. Voltage

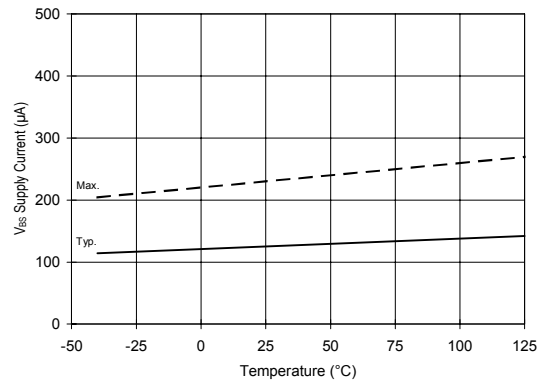


Figure 17A. V_{BS} Supply Current vs. Temperature

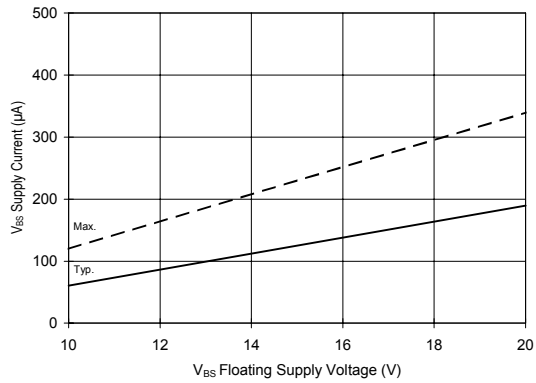


Figure 17B. V_{BS} Supply Current vs. Voltage

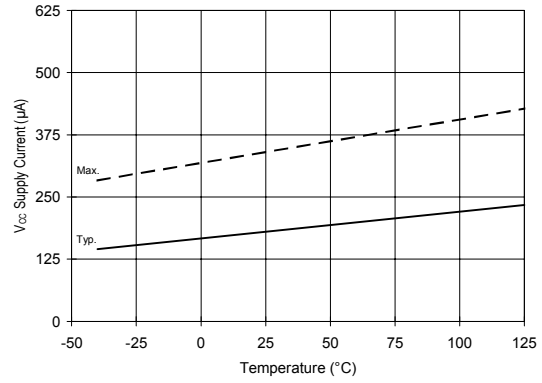


Figure 18A. V_{CC} Supply Current vs. Temperature

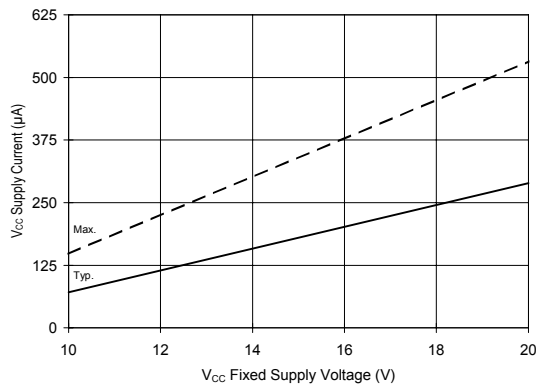


Figure 18B. V_{CC} Supply Current vs. Voltage

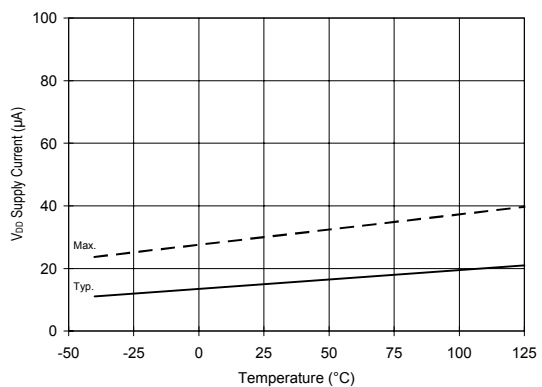


Figure 19A. V_{DD} Supply Current vs. Temperature

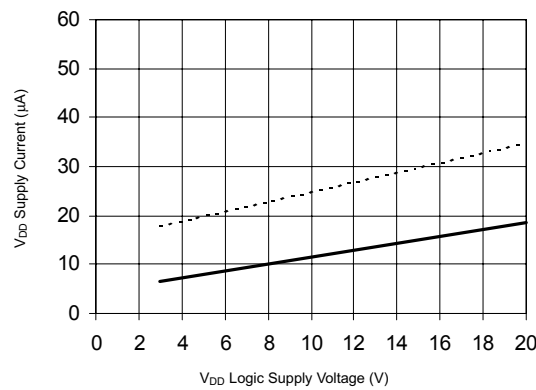


Figure 19B. V_{DD} Supply Current vs. V_{DD} Voltage

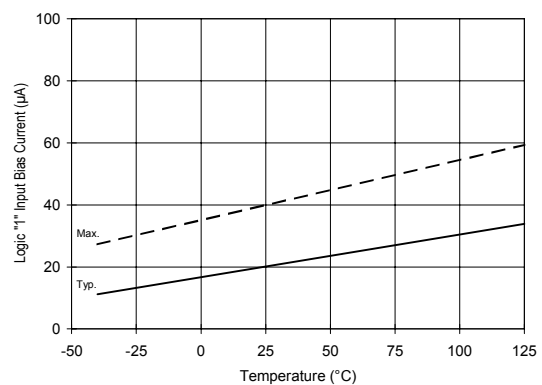


Figure 20A. Logic "1" Input Current vs. Temperature

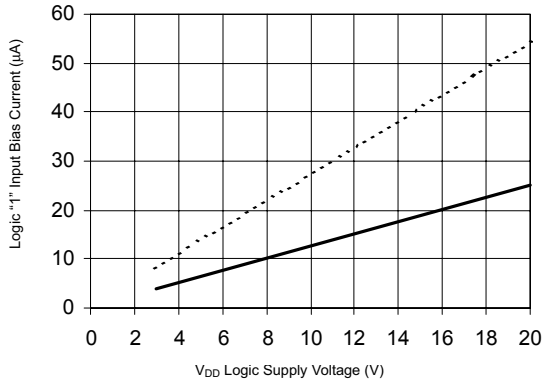


Figure 20B. Logic "1" Input Current vs. V_{DD} Voltage

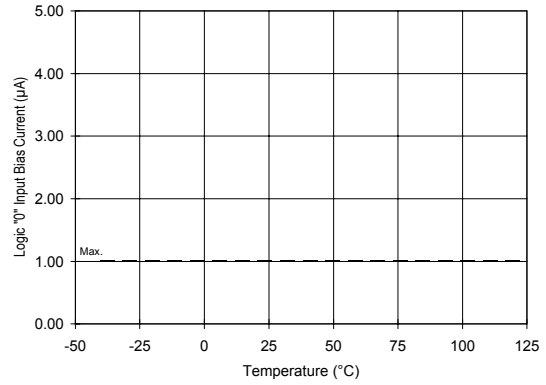


Figure 21A. Logic "0" Input Current vs. Temperature

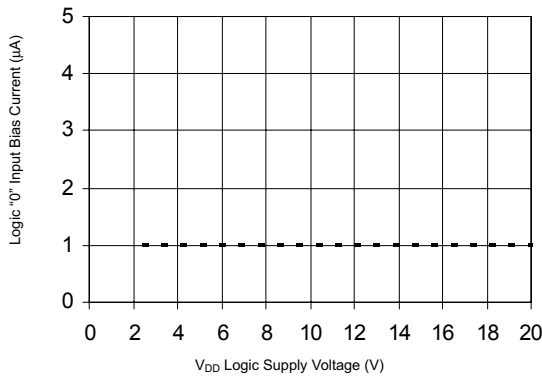


Figure 21B. Logic "0" Input Current vs. V_{DD} Voltage

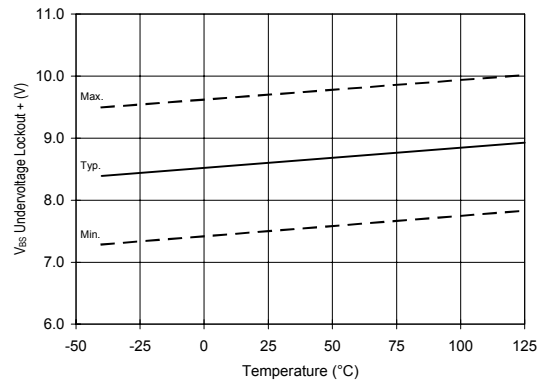


Figure 22. V_{BS} Undervoltage Lockout (+) vs. Temperature

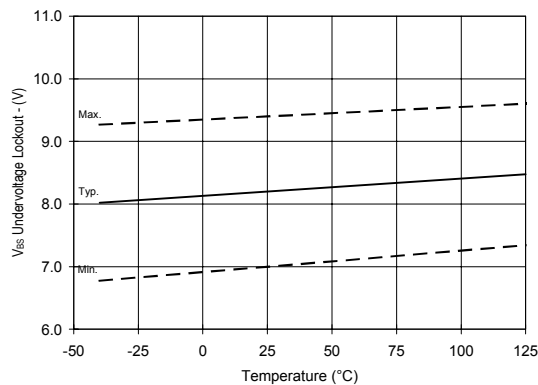


Figure 23. V_{BS} Undervoltage Lockout (-) vs. Temperature

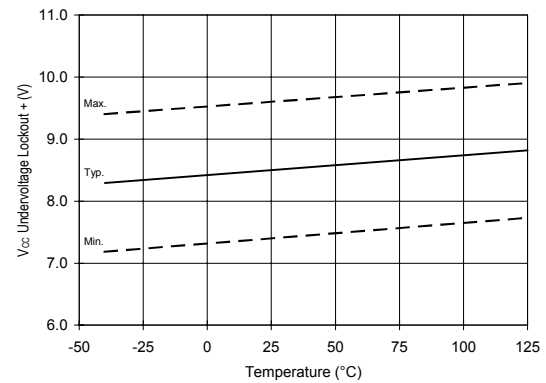


Figure 24. V_{CC} Undervoltage Lockout (+) vs. Temperature

IR2110(S)PbF/IR2113(S)PbF

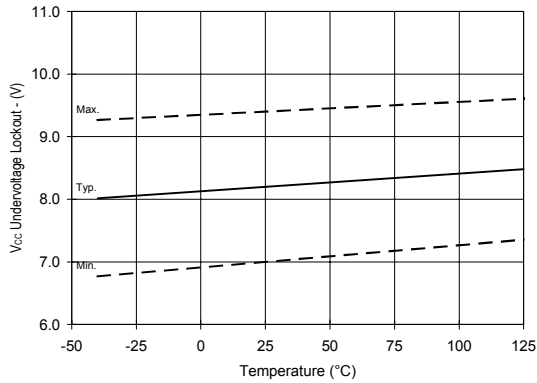


Figure 25. Vcc Undervoltage (-) vs. Temperature

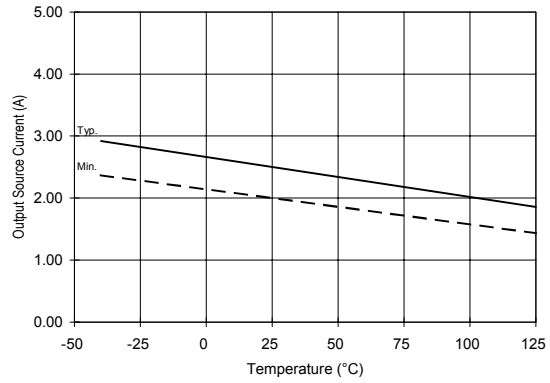


Figure 26A. Output Source Current vs. Temperature

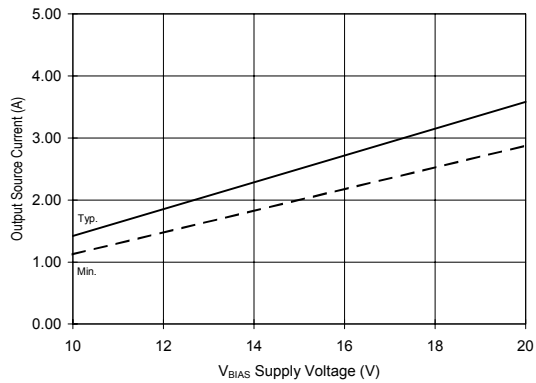


Figure 26B. Output Source Current vs. Voltage

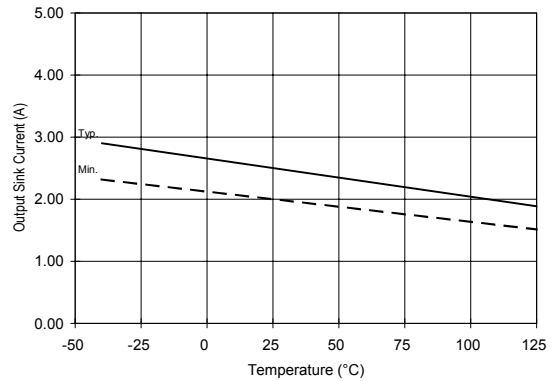


Figure 27A. Output Sink Current vs. Temperature

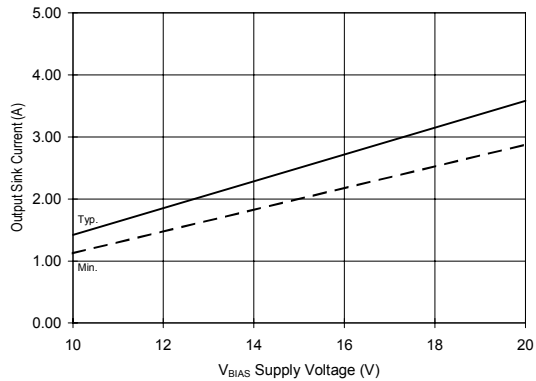


Figure 27B. Output Sink Current vs. Voltage

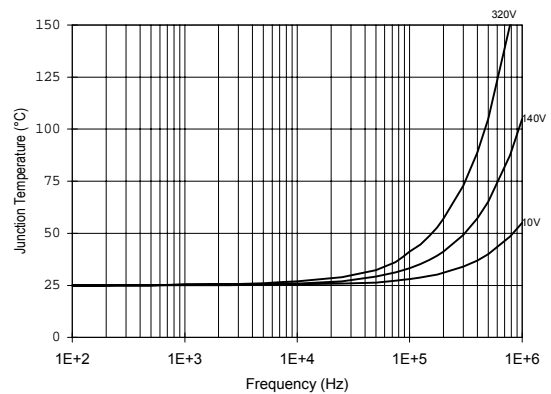


Figure 28. IR2110/IR2113 T_J vs. Frequency (IRFBC20) $R_{GATE} = 33\Omega$, $V_{CC} = 15V$

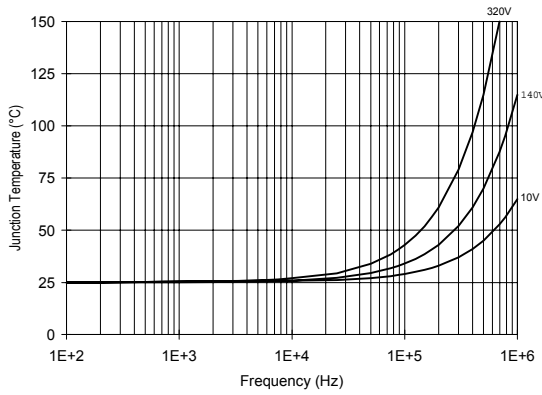


Figure 29. IR2110/IT2113 T_J vs. Frequency (IRFBC30) $R_{GATE} = 22\Omega$, $V_{CC} = 15V$

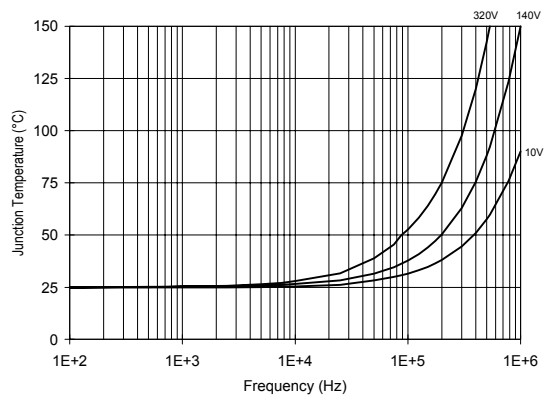


Figure 30. IR2110/IR2113 T_J vs. Frequency (IRFBC40) $R_{GATE} = 15\Omega$, $V_{CC} = 15V$

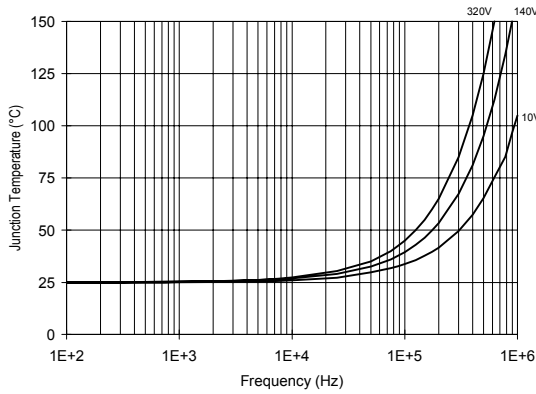


Figure 31. IR2110/IR2113 T_J vs. Frequency (IRFPE50) $R_{GATE} = 10\Omega$, $V_{CC} = 15V$

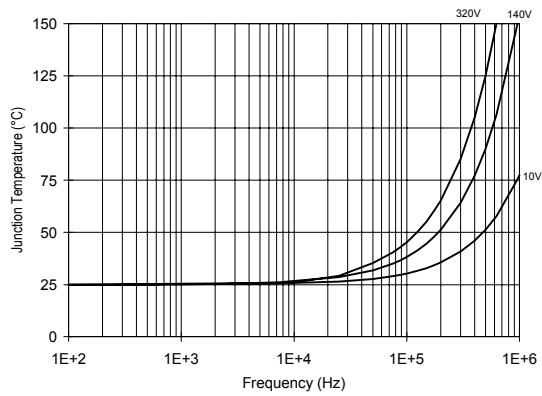


Figure 32. IR2110S/IR2113S T_J vs. Frequency (IRFBC20) $R_{GATE} = 33\Omega$, $V_{CC} = 15V$

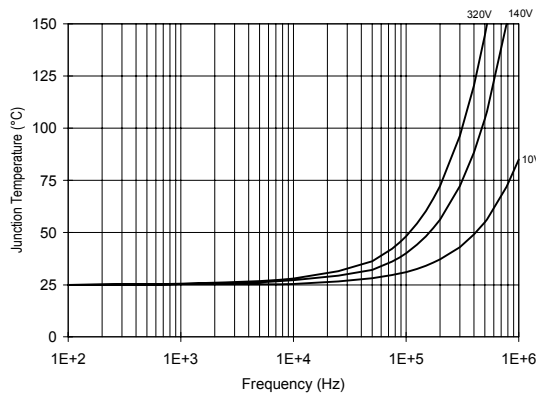


Figure 33. IR2110S/IR2113S T_J vs. Frequency (IRFBC30) $R_{GATE} = 22\Omega$, $V_{CC} = 15V$

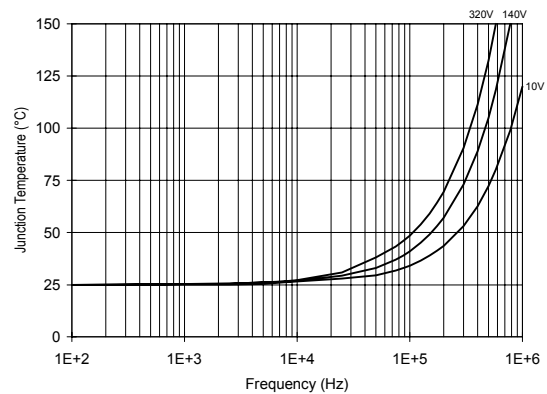


Figure 34. IR2110S/IR2113S T_J vs. Frequency (IRFBC40) $R_{GATE} = 15\Omega$, $V_{CC} = 15V$

IR2110(S)PbF/IR2113(S)PbF

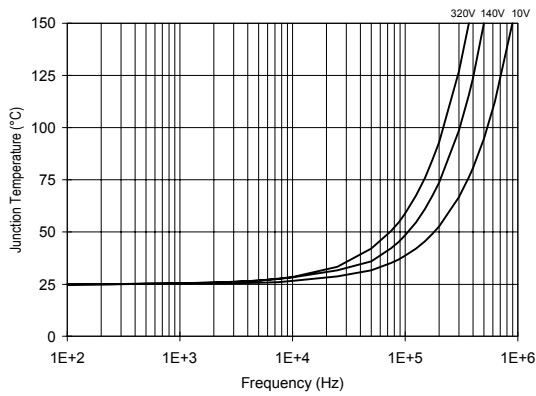


Figure 35. IR2110S/IR2113S T_J vs. Frequency (IRFPE50) $R_{GATE} = 10\Omega$, $V_{CC} = 15V$

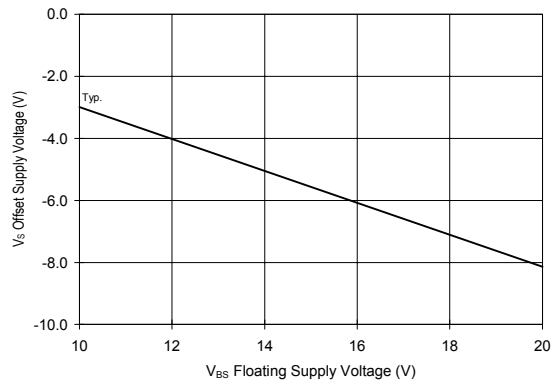


Figure 36. Maximum V_S Negative Offset vs. V_{BS} Supply Voltage

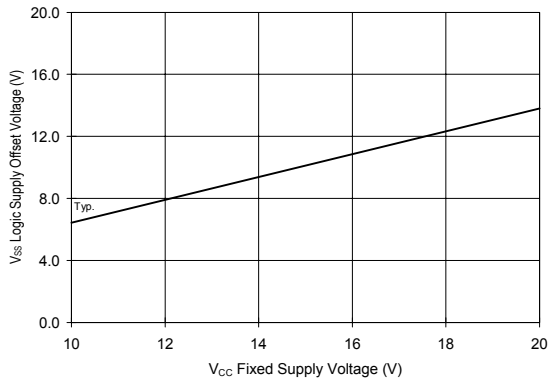
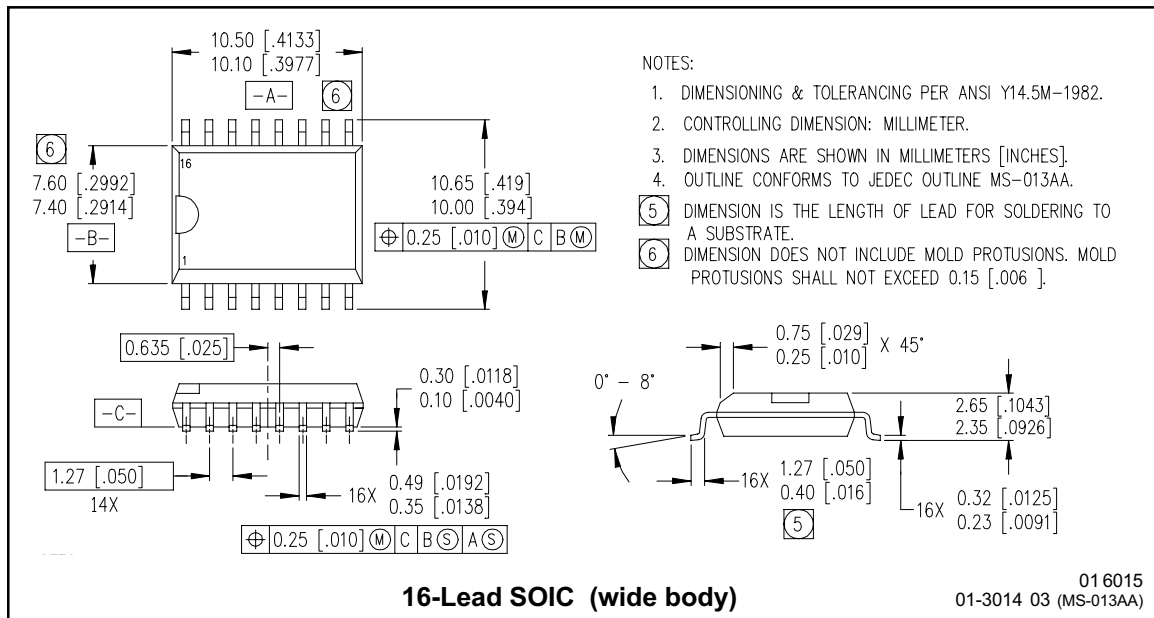
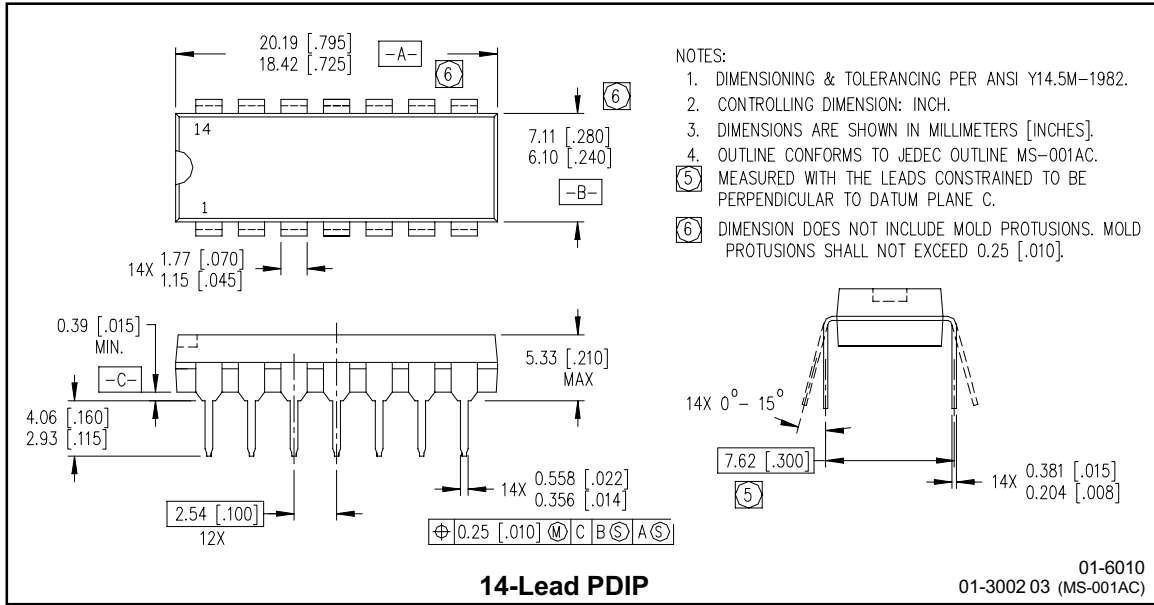
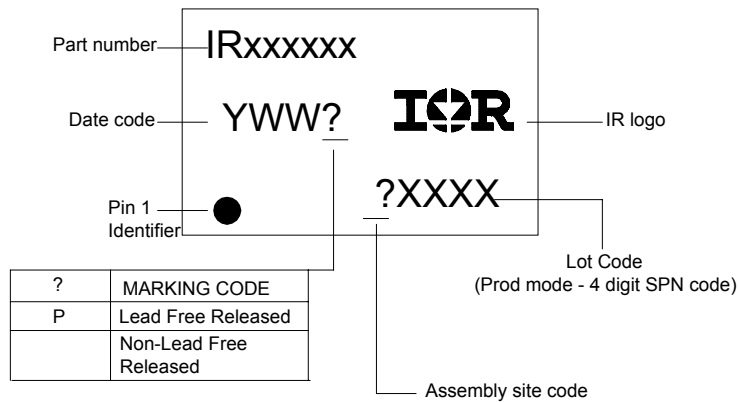


Figure 37. Maximum V_{SS} Positive Offset vs. V_{CC} Supply Voltage

Case Outlines



LEADFREE PART MARKING INFORMATION



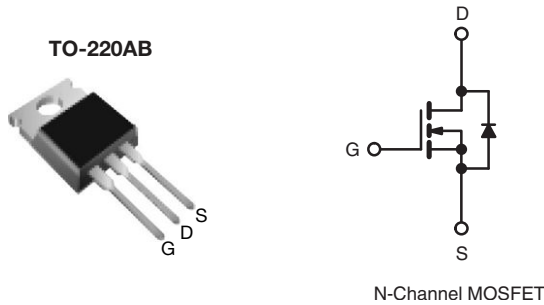
ORDER INFORMATION

Part only available Lead Free

- 14-Lead PDIP [IR2110](#) order IR2110PbF
- 14-Lead PDIP [IR2113](#) order IR2113PbF
- 16-Lead SOIC [IR2110S](#) order IR2110SPbF
- 16-Lead SOIC [IR2113S](#) order IR2113SPbF

Power MOSFET

PRODUCT SUMMARY		
V_{DS} (V)	100	
$R_{DS(on)}$ (Ω)	$V_{GS} = 10\text{ V}$	0.077
Q_g (Max.) (nC)	72	
Q_{gs} (nC)	11	
Q_{gd} (nC)	32	
Configuration	Single	



FEATURES

- Dynamic dV/dt Rating
- Repetitive Avalanche Rated
- 175 °C Operating Temperature
- Fast Switching
- Ease of Paralleling
- Simple Drive Requirements
- Compliant to RoHS Directive 2002/95/EC



Available
RoHS*
COMPLIANT

DESCRIPTION

Third generation Power MOSFETs from Vishay provide the designer with the best combination of fast switching, ruggedized device design, low on-resistance and cost-effectiveness.

The TO-220AB package is universally preferred for all commercial-industrial applications at power dissipation levels to approximately 50 W. The low thermal resistance and low package cost of the TO-220AB contribute to its wide acceptance throughout the industry.

ORDERING INFORMATION	
Package	TO-220AB
Lead (Pb)-free	IRF540PbF SiHF540-E3
SnPb	IRF540 SiHF540

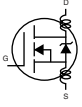

ABSOLUTE MAXIMUM RATINGS ($T_C = 25\text{ }^\circ\text{C}$, unless otherwise noted)					
PARAMETER			SYMBOL	LIMIT	UNIT
Drain-Source Voltage			V_{DS}	100	V
Gate-Source Voltage			V_{GS}	± 20	
Continuous Drain Current	V_{GS} at 10 V	$T_C = 25\text{ }^\circ\text{C}$	I_D	28	A
		$T_C = 100\text{ }^\circ\text{C}$		20	
Pulsed Drain Current ^a			I_{DM}	110	
Linear Derating Factor				1.0	W/ $^\circ\text{C}$
Single Pulse Avalanche Energy ^b			E_{AS}	230	mJ
Repetitive Avalanche Current ^a			I_{AR}	28	A
Repetitive Avalanche Energy ^a			E_{AR}	15	mJ
Maximum Power Dissipation	$T_C = 25\text{ }^\circ\text{C}$		P_D	150	W
Peak Diode Recovery dV/dt^c			dV/dt	5.5	V/ns
Operating Junction and Storage Temperature Range			T_J, T_{stg}	- 55 to + 175	$^\circ\text{C}$
Soldering Recommendations (Peak Temperature)	for 10 s			300 ^d	
Mounting Torque	6-32 or M3 screw			10	lbf · in
				1.1	N · m

Notes

- Repetitive rating; pulse width limited by maximum junction temperature (see fig. 11).
- $V_{DD} = 25\text{ V}$, starting $T_J = 25\text{ }^\circ\text{C}$, $L = 440\text{ }\mu\text{H}$, $R_g = 25\text{ }\Omega$, $I_{AS} = 28\text{ A}$ (see fig. 12).
- $I_{SD} \leq 28\text{ A}$, $dI/dt \leq 170\text{ A}/\mu\text{s}$, $V_{DD} \leq V_{DS}$, $T_J \leq 175\text{ }^\circ\text{C}$.
- 1.6 mm from case.

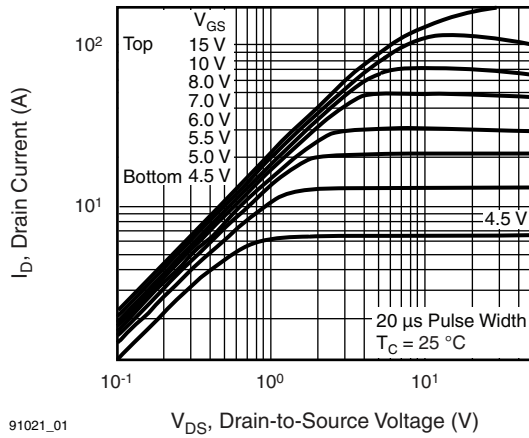
* Pb containing terminations are not RoHS compliant, exemptions may apply

THERMAL RESISTANCE RATINGS				
PARAMETER	SYMBOL	TYP.	MAX.	UNIT
Maximum Junction-to-Ambient	R_{thJA}	-	62	°C/W
Case-to-Sink, Flat, Greased Surface	R_{thCS}	0.50	-	
Maximum Junction-to-Case (Drain)	R_{thJC}	-	1.0	

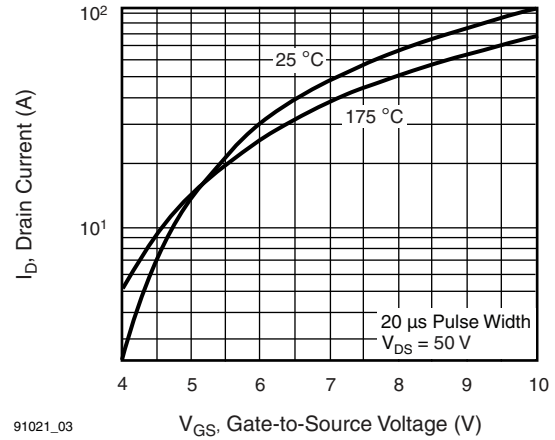
SPECIFICATIONS ($T_J = 25\text{ }^\circ\text{C}$, unless otherwise noted)						
PARAMETER	SYMBOL	TEST CONDITIONS	MIN.	TYP.	MAX.	UNIT
Static						
Drain-Source Breakdown Voltage	V_{DS}	$V_{GS} = 0\text{ V}$, $I_D = 250\text{ }\mu\text{A}$	100	-	-	V
V_{DS} Temperature Coefficient	$\Delta V_{DS}/T_J$	Reference to $25\text{ }^\circ\text{C}$, $I_D = 1\text{ mA}$	-	0.13	-	V/°C
Gate-Source Threshold Voltage	$V_{GS(th)}$	$V_{DS} = V_{GS}$, $I_D = 250\text{ }\mu\text{A}$	2.0	-	4.0	V
Gate-Source Leakage	I_{GSS}	$V_{GS} = \pm 20\text{ V}$	-	-	± 100	nA
Zero Gate Voltage Drain Current	I_{DSS}	$V_{DS} = 100\text{ V}$, $V_{GS} = 0\text{ V}$	-	-	25	μA
		$V_{DS} = 80\text{ V}$, $V_{GS} = 0\text{ V}$, $T_J = 150\text{ }^\circ\text{C}$	-	-	250	
Drain-Source On-State Resistance	$R_{DS(on)}$	$V_{GS} = 10\text{ V}$, $I_D = 17\text{ A}^b$	-	-	0.077	Ω
Forward Transconductance	g_{fs}	$V_{DS} = 50\text{ V}$, $I_D = 17\text{ A}^b$	8.7	-	-	S
Dynamic						
Input Capacitance	C_{iss}	$V_{GS} = 0\text{ V}$, $V_{DS} = 25\text{ V}$, $f = 1.0\text{ MHz}$, see fig. 5	-	1700	-	pF
Output Capacitance	C_{oss}		-	560	-	
Reverse Transfer Capacitance	C_{rss}		-	120	-	
Total Gate Charge	Q_g	$V_{GS} = 10\text{ V}$, $I_D = 17\text{ A}$, $V_{DS} = 80\text{ V}$, see fig. 6 and 13 ^b	-	-	72	nC
Gate-Source Charge	Q_{gs}		-	-	11	
Gate-Drain Charge	Q_{gd}		-	-	32	
Turn-On Delay Time	$t_{d(on)}$	$V_{DD} = 50\text{ V}$, $I_D = 17\text{ A}$ $R_g = 9.1\text{ }\Omega$, $R_D = 2.9\text{ }\Omega$, see fig. 10 ^b	-	11	-	ns
Rise Time	t_r		-	44	-	
Turn-Off Delay Time	$t_{d(off)}$		-	53	-	
Fall Time	t_f		-	43	-	
Internal Drain Inductance	L_D	Between lead, 6 mm (0.25") from package and center of die contact 	-	4.5	-	nH
Internal Source Inductance	L_S		-	7.5	-	
Drain-Source Body Diode Characteristics						
Continuous Source-Drain Diode Current	I_S	MOSFET symbol showing the integral reverse p - n junction diode 	-	-	28	A
Pulsed Diode Forward Current ^a	I_{SM}		-	-	110	
Body Diode Voltage	V_{SD}	$T_J = 25\text{ }^\circ\text{C}$, $I_S = 28\text{ A}$, $V_{GS} = 0\text{ V}^b$	-	-	2.5	V
Body Diode Reverse Recovery Time	t_{rr}	$T_J = 25\text{ }^\circ\text{C}$, $I_F = 17\text{ A}$, $di/dt = 100\text{ A}/\mu\text{s}^b$	-	180	360	ns
Body Diode Reverse Recovery Charge	Q_{rr}		-	1.3	2.8	μC
Forward Turn-On Time	t_{on}	Intrinsic turn-on time is negligible (turn-on is dominated by L_S and L_D)				

Notes

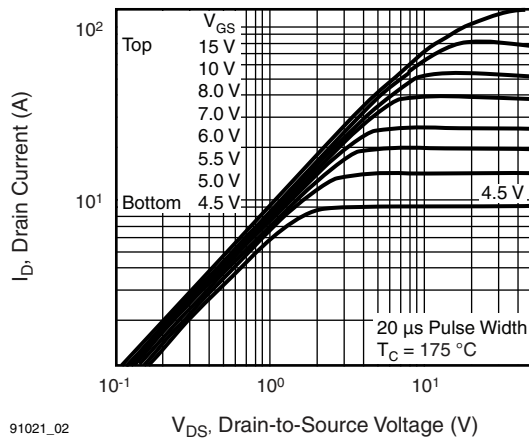
- a. Repetitive rating; pulse width limited by maximum junction temperature (see fig. 11).
- b. Pulse width $\leq 300\text{ }\mu\text{s}$; duty cycle $\leq 2\%$.

TYPICAL CHARACTERISTICS (25 °C, unless otherwise noted)


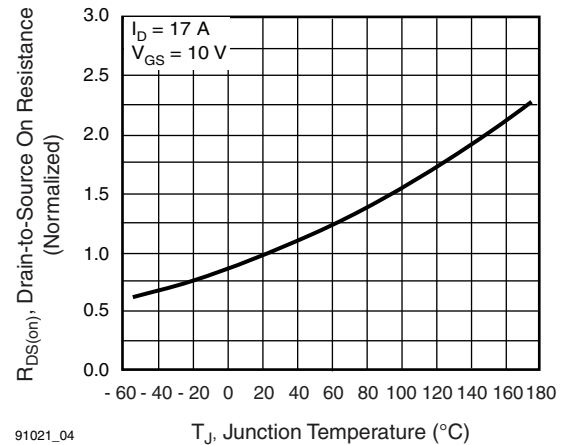
91021_01

Fig. 1 - Typical Output Characteristics, $T_C = 25\text{ }^\circ\text{C}$


91021_03

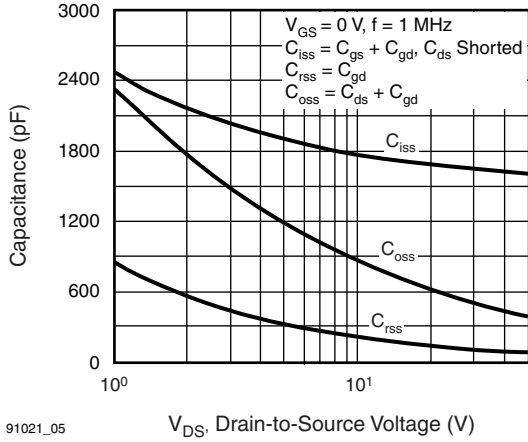
Fig. 3 - Typical Transfer Characteristics


91021_02

Fig. 2 - Typical Output Characteristics, $T_C = 175\text{ }^\circ\text{C}$


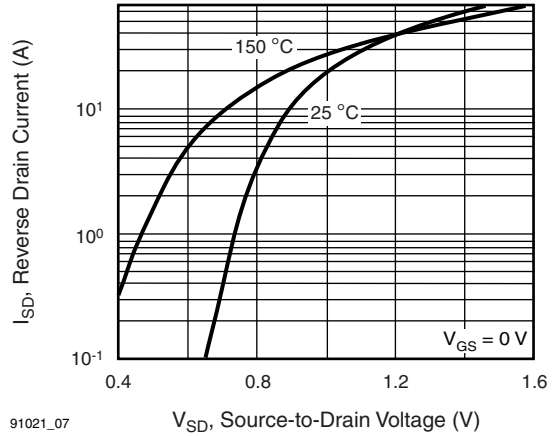
91021_04

Fig. 4 - Normalized On-Resistance vs. Temperature



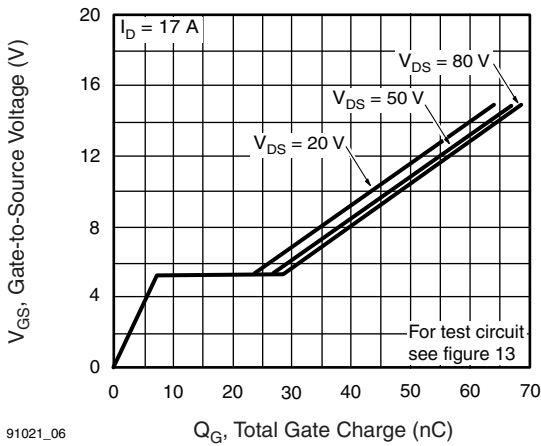
91021_05

Fig. 5 - Typical Capacitance vs. Drain-to-Source Voltage



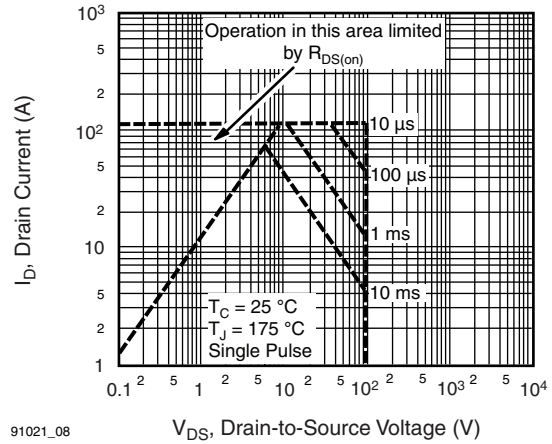
91021_07

Fig. 7 - Typical Source-Drain Diode Forward Voltage



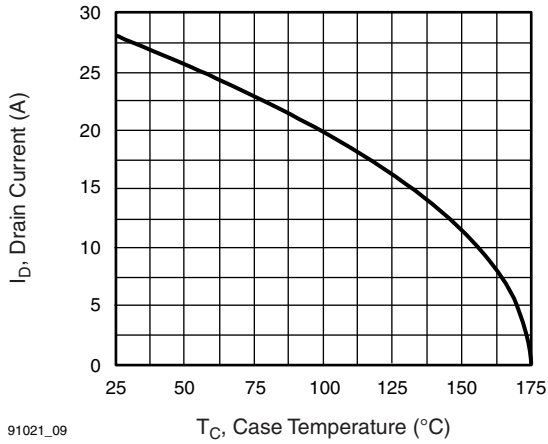
91021_06

Fig. 6 - Typical Gate Charge vs. Gate-to-Source Voltage



91021_08

Fig. 8 - Maximum Safe Operating Area



91021_09

Fig. 9 - Maximum Drain Current vs. Case Temperature

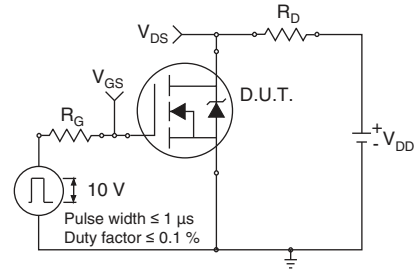


Fig. 10a - Switching Time Test Circuit

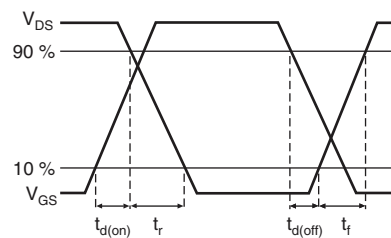
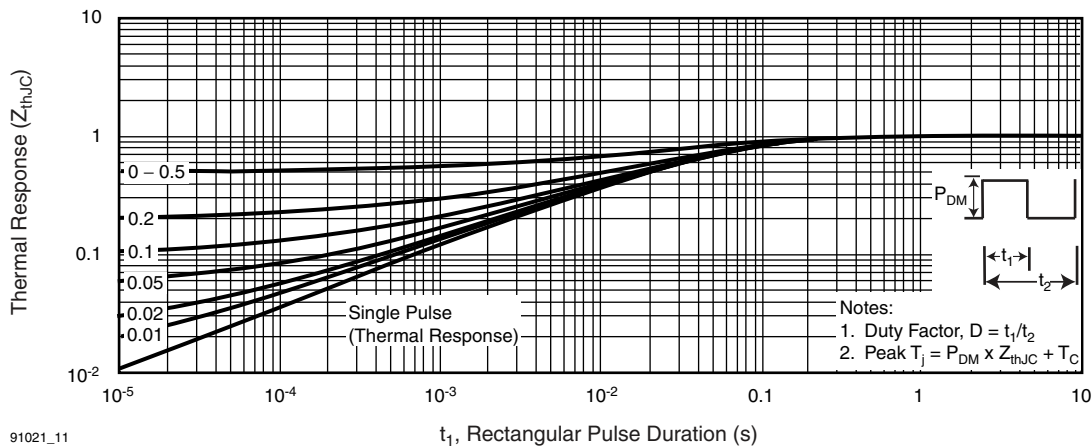


Fig. 10b - Switching Time Waveforms



91021_11

Fig. 11 - Maximum Effective Transient Thermal Impedance, Junction-to-Case

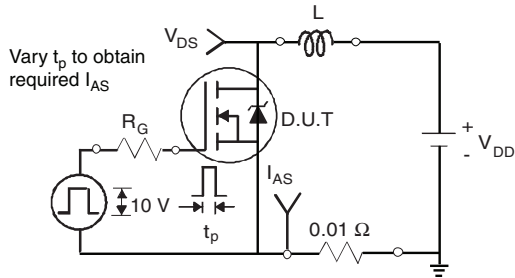


Fig. 12a - Unclamped Inductive Test Circuit

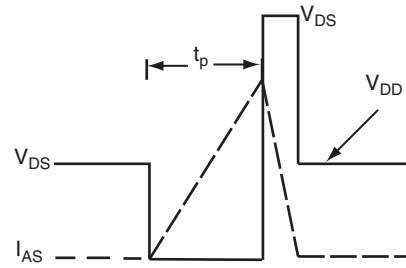
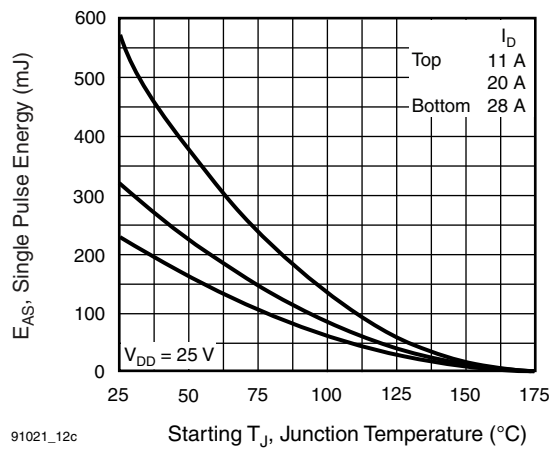


Fig. 12b - Unclamped Inductive Waveforms



91021_12c

Fig. 12c - Maximum Avalanche Energy vs. Drain Current

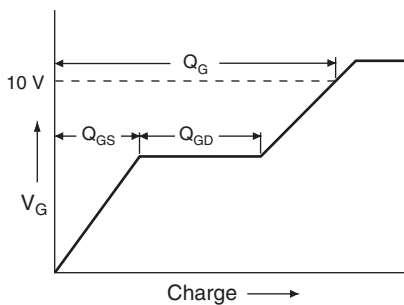


Fig. 13a - Basic Gate Charge Waveform

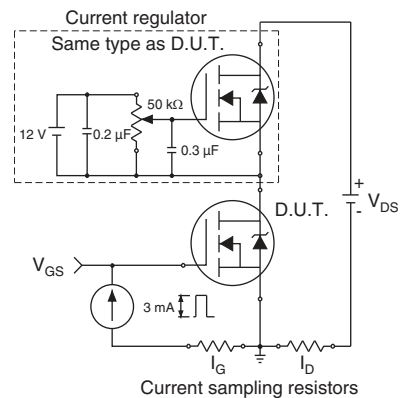
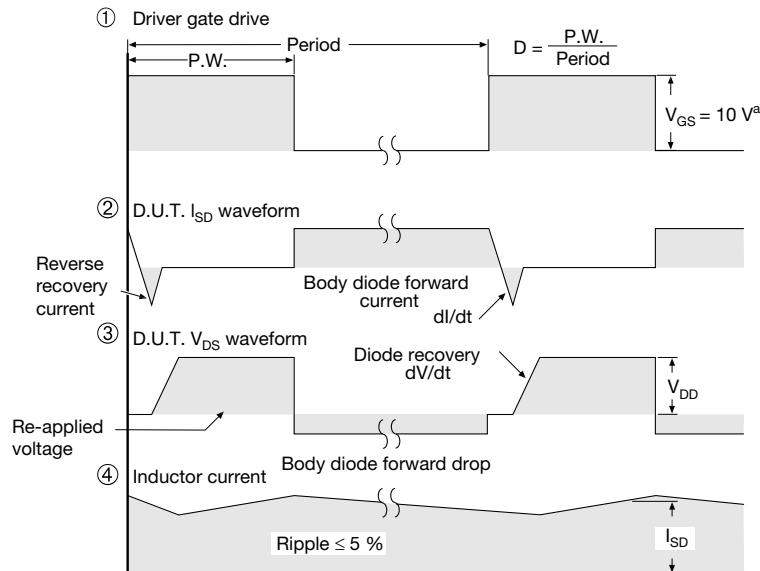
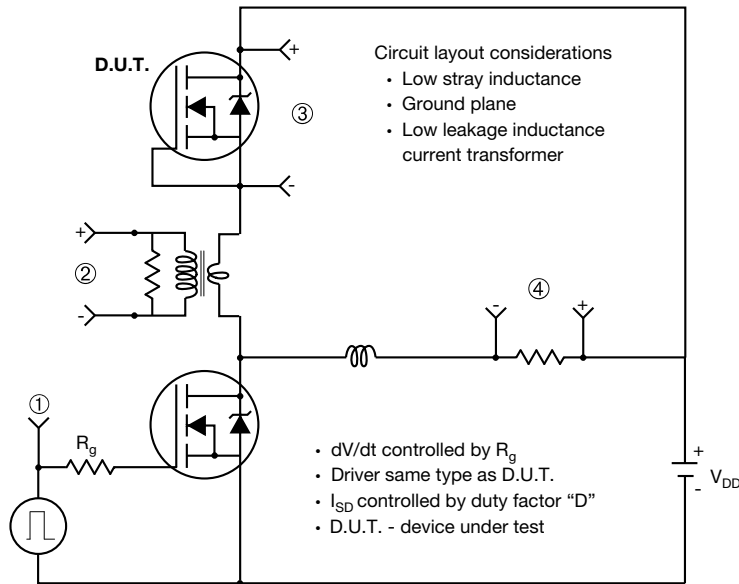


Fig. 13b - Gate Charge Test Circuit

Peak Diode Recovery dV/dt Test Circuit

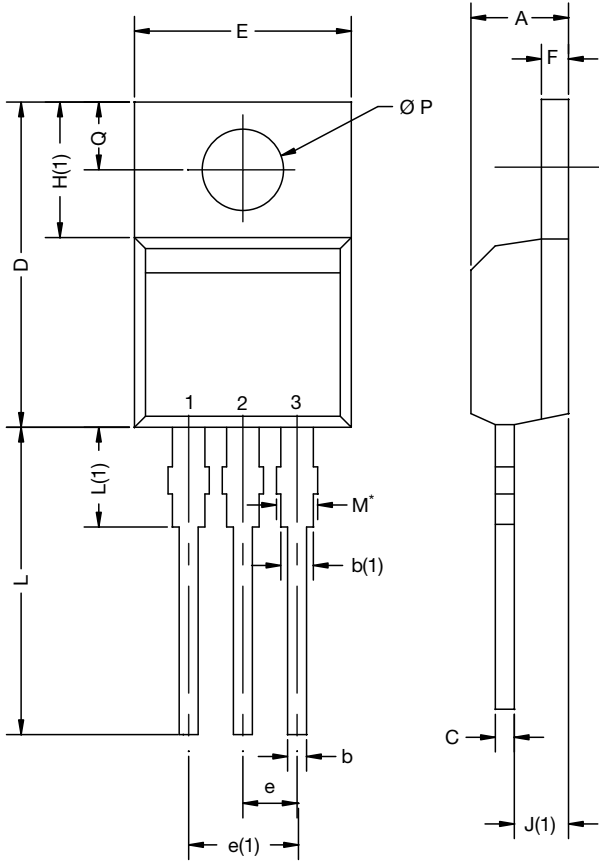


Note
a. $V_{GS} = 5\text{ V}$ for logic level devices

Fig. 14 - For N-Channel

Vishay Siliconix maintains worldwide manufacturing capability. Products may be manufactured at one of several qualified locations. Reliability data for Silicon Technology and Package Reliability represent a composite of all qualified locations. For related documents such as package/tape drawings, part marking, and reliability data, see <http://www.vishay.com/ppg?91021>.

TO-220-1

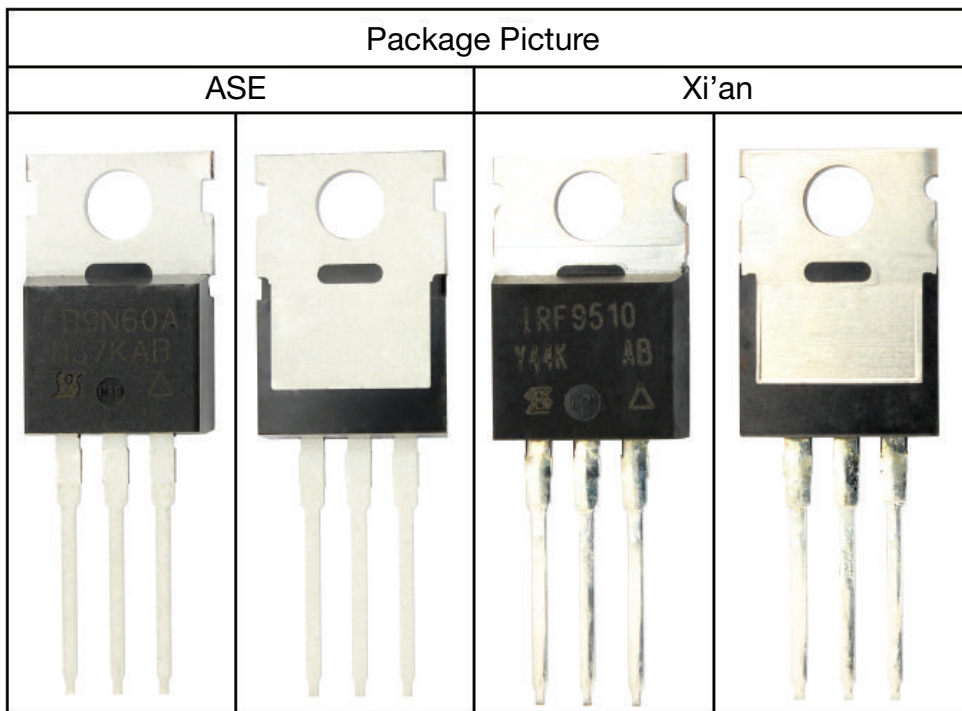


DIM.	MILLIMETERS		INCHES	
	MIN.	MAX.	MIN.	MAX.
A	4.24	4.65	0.167	0.183
b	0.69	1.02	0.027	0.040
b(1)	1.14	1.78	0.045	0.070
c	0.36	0.61	0.014	0.024
D	14.33	15.85	0.564	0.624
E	9.96	10.52	0.392	0.414
e	2.41	2.67	0.095	0.105
e(1)	4.88	5.28	0.192	0.208
F	1.14	1.40	0.045	0.055
H(1)	6.10	6.71	0.240	0.264
J(1)	2.41	2.92	0.095	0.115
L	13.36	14.40	0.526	0.567
L(1)	3.33	4.04	0.131	0.159
Ø P	3.53	3.94	0.139	0.155
Q	2.54	3.00	0.100	0.118

ECN: X15-0364-Rev. C, 14-Dec-15
DWG: 6031

Note

- M* = 0.052 inches to 0.064 inches (dimension including protrusion), heatsink hole for HVM





Disclaimer

ALL PRODUCT, PRODUCT SPECIFICATIONS AND DATA ARE SUBJECT TO CHANGE WITHOUT NOTICE TO IMPROVE RELIABILITY, FUNCTION OR DESIGN OR OTHERWISE.

Vishay Intertechnology, Inc., its affiliates, agents, and employees, and all persons acting on its or their behalf (collectively, "Vishay"), disclaim any and all liability for any errors, inaccuracies or incompleteness contained in any datasheet or in any other disclosure relating to any product.

Vishay makes no warranty, representation or guarantee regarding the suitability of the products for any particular purpose or the continuing production of any product. To the maximum extent permitted by applicable law, Vishay disclaims (i) any and all liability arising out of the application or use of any product, (ii) any and all liability, including without limitation special, consequential or incidental damages, and (iii) any and all implied warranties, including warranties of fitness for particular purpose, non-infringement and merchantability.

Statements regarding the suitability of products for certain types of applications are based on Vishay's knowledge of typical requirements that are often placed on Vishay products in generic applications. Such statements are not binding statements about the suitability of products for a particular application. It is the customer's responsibility to validate that a particular product with the properties described in the product specification is suitable for use in a particular application. Parameters provided in datasheets and / or specifications may vary in different applications and performance may vary over time. All operating parameters, including typical parameters, must be validated for each customer application by the customer's technical experts. Product specifications do not expand or otherwise modify Vishay's terms and conditions of purchase, including but not limited to the warranty expressed therein.

Except as expressly indicated in writing, Vishay products are not designed for use in medical, life-saving, or life-sustaining applications or for any other application in which the failure of the Vishay product could result in personal injury or death. Customers using or selling Vishay products not expressly indicated for use in such applications do so at their own risk. Please contact authorized Vishay personnel to obtain written terms and conditions regarding products designed for such applications.

No license, express or implied, by estoppel or otherwise, to any intellectual property rights is granted by this document or by any conduct of Vishay. Product names and markings noted herein may be trademarks of their respective owners.

Radial Lead Type

GA series **A** type



Features

- Endurance : 105 °C 1000 h
- RoHS compliant

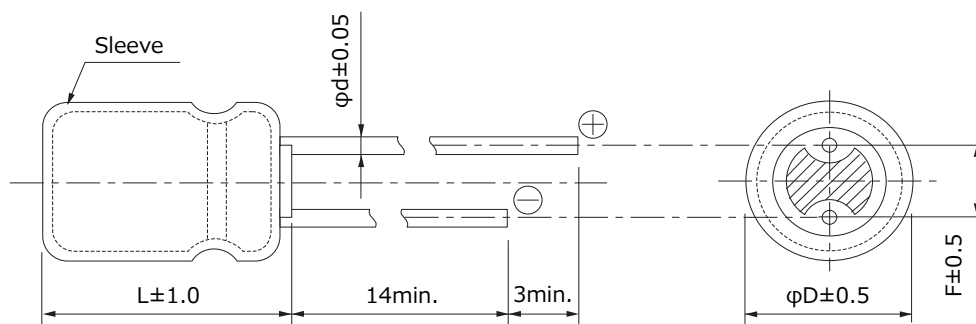
Specifications

Category temp. range	-55 °C to +105 °C	
Rated voltage range	10 V to 50 V	
Capacitance range	1.5 μF to 220 μF	
Capacitance tolerance	±20 % (120 Hz / +20°C)	
Leakage current	I ≤ 0.01 CV or 3 (μA) After 2 minutes (Whichever is greater)	
Dissipation factor (tan δ)	Please see the attached characteristics list	
Endurance	After following life test with DC voltage and +105 °C±2 °C ripple current value applied (The sum of DC and ripple peak voltage shall not exceed the rated working voltage), for 1000 hours, when the capacitors are restored to 20 °C, the capacitors shall meet the limits specified bellow.	
	Capacitance change	Within ±20 % of the initial value
	Dissipation factor (tan δ)	≤ 200 % of the initial limit
	DC leakage current	Within the initial limit
Shelf life	After storage for 1000 h at +105 °C±2 °C with no voltage applied and then being stabilized at +20 °C, capacitors shall meet the limits specified in endurance. (With voltage treatment)	

Frequency correction factor for ripple current

Freq. (Hz)	60	120	1 k	10 k	100 k to
Cap. (μF)					
1.5 to 220	0.85	1.00	1.30	1.40	1.55

Dimensions



	4.0	5.0	6.3	8.0
ϕD	4.0	5.0	6.3	8.0
ϕd	0.45	0.45	0.45	0.45
F	1.5	2.0	2.5	2.5

Unit : mm

Characteristics list

Endurance : 105 °C 1000 h

Rated voltage (V)	Capacitance (±20 %) (μF)	Case size (mm)		Specification			Lead length (mm)			Part No.	Min. Packaging Q'ty (PCS)		
		φD	L	Ripple current* ¹ (mA rms)	tan δ* ²	Endurance (h)	Lead dia. (φd)	Lead space			Straight leads	Taping	
								Straight	Taping *B				Taping *H
10	22	4.0	7.0	30	0.22	1000	0.45	1.5	5.0	2.5	EEAGA1A220()	200	2000
	33	5.0	7.0	50	0.22	1000	0.45	2.0	5.0	2.5	EEAGA1A330()	200	2000
	47	6.3	7.0	65	0.22	1000	0.45	2.5	5.0	2.5	EEAGA1A470()	200	2000
	68	6.3	7.0	75	0.22	1000	0.45	2.5	5.0	2.5	EEAGA1A680()	200	2000
	100	6.3	7.0	110	0.22	1000	0.45	2.5	5.0	2.5	EEAGA1A101()	200	2000
	220	8.0	7.0	160	0.22	1000	0.45	2.5	5.0	2.5	EEAGA1A221()	200	1000
16	10	4.0	7.0	30	0.18	1000	0.45	1.5	5.0	2.5	EEAGA1C100()	200	2000
	15	4.0	7.0	33	0.18	1000	0.45	1.5	5.0	2.5	EEAGA1C150()	200	2000
	22	5.0	7.0	50	0.18	1000	0.45	2.0	5.0	2.5	EEAGA1C220()	200	2000
	33	6.3	7.0	65	0.18	1000	0.45	2.5	5.0	2.5	EEAGA1C330()	200	2000
	47	6.3	7.0	77	0.18	1000	0.45	2.5	5.0	2.5	EEAGA1C470()	200	2000
	100	8.0	7.0	120	0.18	1000	0.45	2.5	5.0	2.5	EEAGA1C101()	200	1000
25	10	4.0	7.0	33	0.16	1000	0.45	1.5	5.0	2.5	EEAGA1E100()	200	2000
	15	5.0	7.0	45	0.16	1000	0.45	2.0	5.0	2.5	EEAGA1E150()	200	2000
	22	5.0	7.0	50	0.16	1000	0.45	2.0	5.0	2.5	EEAGA1E220()	200	2000
	33	6.3	7.0	75	0.16	1000	0.45	2.5	5.0	2.5	EEAGA1E330()	200	2000
	68	8.0	7.0	100	0.16	1000	0.45	2.5	5.0	2.5	EEAGA1E680()	200	1000
35	6.8	4.0	7.0	33	0.13	1000	0.45	1.5	5.0	2.5	EEAGA1V6R8()	200	2000
	10	5.0	7.0	35	0.13	1000	0.45	2.0	5.0	2.5	EEAGA1V100()	200	2000
	15	6.3	7.0	50	0.13	1000	0.45	2.5	5.0	2.5	EEAGA1V150()	200	2000
	22	6.3	7.0	70	0.13	1000	0.45	2.5	5.0	2.5	EEAGA1V220()	200	2000
	47	8.0	7.0	96	0.13	1000	0.45	2.5	5.0	2.5	EEAGA1V470()	200	1000
50	1.5	4.0	7.0	16	0.10	1000	0.45	1.5	5.0	2.5	EEAGA1H1R5()	200	2000
	2.2	4.0	7.0	18	0.10	1000	0.45	1.5	5.0	2.5	EEAGA1H2R2()	200	2000
	3.3	4.0	7.0	22	0.10	1000	0.45	1.5	5.0	2.5	EEAGA1H3R3()	200	2000
	4.7	4.0	7.0	26	0.10	1000	0.45	1.5	5.0	2.5	EEAGA1H4R7()	200	2000
	6.8	5.0	7.0	35	0.10	1000	0.45	2.0	5.0	2.5	EEAGA1H6R8()	200	2000
	10	6.3	7.0	39	0.10	1000	0.45	2.5	5.0	2.5	EEAGA1H100()	200	2000
	15	6.3	7.0	55	0.10	1000	0.45	2.5	5.0	2.5	EEAGA1H150()	200	2000
	22	8.0	7.0	70	0.10	1000	0.45	2.5	5.0	2.5	EEAGA1H220()	200	1000
	33	8.0	7.0	91	0.10	1000	0.45	2.5	5.0	2.5	EEAGA1H330()	200	1000

*1: Ripple current (120 Hz / +105 °C)

*2: tan δ (120 Hz / +20 °C)

• When requesting taped product, please put the letter "B" or "H" between the "()".

Lead wire pitch *B=5 mm, H=2.5 mm. Suffix "BQ" for φ8×7, 5 mm pitch products

• Please refer to the page of "Taping dimensions".

Guidelines and precautions regarding the technical information and use of our products described in this online catalog.

- If you want to use our products described in this online catalog for applications requiring special qualities or reliability, or for applications where the failure or malfunction of the products may directly jeopardize human life or potentially cause personal injury (e.g. aircraft and aerospace equipment, traffic and transportation equipment, combustion equipment, medical equipment, accident prevention, anti-crime equipment, and/or safety equipment), it is necessary to verify whether the specifications of our products fit to such applications. Please ensure that you will ask and check with our inquiry desk as to whether the specifications of our products fit to such applications use before you use our products.
- The quality and performance of our products as described in this online catalog only apply to our products when used in isolation. Therefore, please ensure you evaluate and verify our products under the specific circumstances in which our products are assembled in your own products and in which our products will actually be used.
- If you use our products in equipment that requires a high degree of reliability, regardless of the application, it is recommended that you set up protection circuits and redundancy circuits in order to ensure safety of your equipment.
- The products and product specifications described in this online catalog are subject to change for improvement without prior notice. Therefore, please be sure to request and confirm the latest product specifications which explain the specifications of our products in detail, before you finalize the design of your applications, purchase, or use our products.
- The technical information in this online catalog provides examples of our products' typical operations and application circuits. We do not guarantee the non-infringement of third party's intellectual property rights and we do not grant any license, right, or interest in our intellectual property.
- If any of our products, product specifications and/or technical information in this online catalog is to be exported or provided to non-residents, the laws and regulations of the exporting country, especially with regard to security and export control, shall be observed.

<Regarding the Certificate of Compliance with the EU RoHS Directive/REACH Regulations>

- The switchover date for compliance with the RoHS Directive/REACH Regulations varies depending on the part number or series of our products.
- When you use the inventory of our products for which it is unclear whether those products are compliant with the RoHS Directive/REACH Regulation, please select "Sales Inquiry" in the website inquiry form and contact us.

We do not take any responsibility for the use of our products outside the scope of the specifications, descriptions, guidelines and precautions described in this online catalog.

Notices

■ Applicable laws and regulations

- This product complies with the RoHS Directive (Restriction of the use of certain hazardous substances in electrical and electronic equipment (DIRECTIVE 2011/65/EU and (EU)2015/863)).
- No Ozone Depleting Chemicals(ODC's), controlled under the Montreal Protocol Agreement, are used in producing this product.
We do not use PBBs or PBDEs as brominated flame retardants.
- Export procedure which followed export related regulations, such as foreign exchange and a foreign trade method, on the occasion of export of this product.
- These products are not dangerous goods on the transportation as identified by UN(United Nations) numbers or UN classification.

■ Limited applications

- This capacitor is designed to be used for electronics circuits such as audio/visual equipment, home appliances, computers and other office equipment, optical equipment, measuring equipment.
- High reliability and safety are required [be / a possibility that incorrect operation of this product may do harm to a human life or property] more. When use is considered by the use, the delivery specifications which suited the use separately need to be exchanged.

■ Intellectual property rights and licenses

- The technical information in this specification provides examples of our products' typical operations and application circuits. We do not guarantee the non-infringement of third party's intellectual property rights and we do not grant any license, right, or interest in our intellectual property.

Items to be observed

■ For specification

- This specification guarantees the quality and performance of the product as individual components. The durability differs depending on the environment and the conditions of usage. Before use, check and evaluate their compatibility with actual conditions when installed in the products. When safety requirements cannot be satisfied in your technical examination, inform us immediately.
- Do not use the products beyond the specifications described in this document.

■ Upon application to products where safety is regarded as important

Install the following systems for a failsafe design to ensure safety if these products are to be used in equipment where a defect in these products may cause the loss of human life or other significant damage, such as damage to vehicles (automobile, train, vessel), traffic lights, medical equipment, aerospace equipment, electric heating appliances, combustion/ gas equipment, rotating rotating equipment, and disaster/crime prevention equipment.

- (1) The system is equipped with a protection circuit and protection device.
- (2) The system is equipped with a redundant circuit or other system to prevent an unsafe status in the event of a single fault.

■ Conditions of use

- Before using the products, carefully check the effects on their quality and performance, and determined whether or not they can be used. These products are designed and manufactured for general-purpose and standard use in general electronic equipment. These products are not intended for use in the following special conditions.
 - (1) In liquid, such as Water, Oil, Chemicals, or Organic solvent.
 - (2) In direct sunlight, outdoors, or in dust.
 - (3) In vapor, such as dew condensation water of resistive element, or water leakage, salty air, or air with a high concentration corrosive gas, such as Cl₂, H₂S, NH₃, SO₂, or NO_x.
 - (4) In an environment where strong static electricity or electromagnetic waves exist.
 - (5) Mounting or placing heat-generating components or inflammables, such as vinyl-coated wires, near these products.
 - (6) Sealing or coating of these products or a printed circuit board on which these products are mounted, with resin and other material.
 - (7) Using solvent, water or water-soluble cleaner for flux cleaning agent after soldering. (In particular, when using water or a water-soluble cleaning agent, be careful not to leave water residues)
 - (8) Using in the atmosphere where strays acid or alkaline.
 - (9) Using in the atmosphere where there are excessive vibration and shock.
- Please arrange circuit design for preventing impulse or transitional voltage. Do not apply voltage, which exceeds the full rated voltage when the capacitors receive impulse voltage, instantaneous high voltage, high pulse voltage etc.
- Our products there is a product are using an electrolyte solution. Therefore, misuse can result in rapid deterioration of characteristics and functions of each product. Electrolyte leakage damages printed circuit and affects performance, characteristics, and functions of customer system.

⚠ Application guidelines (Radial lead Type)

1. Circuit design

1.1 Operating temperature and frequency

Electrical characteristics of the capacitor are likely to change due to variation in temperature and/or frequency. Circuit designers should take these changes into consideration.

(1) Effects of operating temperature on electrical parameters

At higher temperatures : leakage current and capacitance increase while equivalent series resistance (ESR) decreases.

At lower temperatures : leakage current and capacitance decrease while equivalent series resistance (ESR) increases.

(2) Effects of frequency on electrical parameters

At higher frequencies : capacitance and impedance decrease while tan δ increases.

At lower frequencies : heat generated by ripple current will rise due to an increase in equivalent series resistance (ESR).

1.2 Operating temperature and life expectancy

(1) Expected life is affected by operating temperature. Generally, each 10 °C reduction in temperature will double the expected life. Use capacitors at the lowest possible temperature below the upper category temperature.

(2) If operating temperatures exceed the upper category limit, rapid deterioration of electrical parameter will occur and irreversible damage will result.

Check for the maximum capacitor operating temperatures including ambient temperature, internal capacitor temperature rise due to ripple current, and the effects of radiated heat from power transistors, IC's or resistors.

Avoid placing components, which could conduct heat to the capacitor from the back side of the circuit board.

(3) The formula for calculating expected life at lower operating temperatures is as follows ;

$$L_2 = L_1 \times 2^{\frac{T_1 - T_2}{10}}$$

L₁ : Guaranteed life (h) at temperature, T₁ °C

L₂ : Expected life (h) at temperature, T₂ °C

T₁ : Upper category temperature + temperature rise due to rated ripple current (°C)

T₂ : Actual operating temperature, ambient temperature + temperature rise due to ripple current (°C)

(4) Using the capacitor beyond the estimated lifetime will result in short circuit, electrolyte leak, vent open, and large deterioration of characteristics. The lifetime cannot go above 15 years due to aging of sealing rubber.

1.3 Common application conditions to avoid

The following misapplication load conditions will cause rapid deterioration of a capacitor's electrical parameters. In addition, rapid heating and gas generation within the capacitor can occur, causing the pressure relief vent to operate and resultant leakage of electrolyte. Under extreme conditions, explosion and fire ignition could result. The leaked electrolyte is combustible and electrically conductive.

(1) Reverse voltage

DC capacitors have polarity. Therefore, please do not apply the reverse voltage. Verify correct polarity before insertion.

For circuits with changing or uncertain polarity, use DC bipolar capacitors. DC bipolar capacitors are not suitable for use in AC circuits.

(2) Charge / Discharge applications

Standard capacitors are not suitable for use in repeating charge/discharge applications. For charge/discharge applications, consult us with your actual application condition.

For rush current, please do not exceed 100 A.

(3) ON-OFF circuit

Do not use capacitors in circuit where ON-OFF switching is repeated more than 10000 times/per day.

In case of applying to theses ON-OFF circuit, consult with us about circuit condition and so on.

(4) Over voltage

Do not apply voltages exceeding the maximum specified rated voltage. Voltages up to the surge voltage rating are acceptable for short periods of time.

Ensure that the sum of the DC voltage and the superimposed AC ripple voltage does not exceed the rated voltage.

(5) Ripple current

Do not apply ripple currents exceeding the maximum specified value. For high ripple current applications, use a capacitor designed for high ripple currents. In addition, consult us if the applied ripple current is to be higher than the maximum specified value. Ensure that rated ripple currents that superimposed on low DC bias voltages do not cause reverse voltage conditions.

Even if it is within a rated ripple current, in case the practical use is over the pre described endurance lifetime, it causes the increase of deterioration of ESR characteristic and the internal generation heat by ripple current. Due to this, there is some possibility of vent open, bulging of sleeve and rubber, electrolyte leakage, and short circuit, explosion and ignition in the worst case.

1.4 Using two or more capacitors in parallel

(1) Capacitors connected in parallel

The circuit resistance can closely approximate the series resistance of the capacitor, causing an imbalance of ripple current loads within the capacitors. Careful wiring methods can minimize the possible application of an excessive ripple current to a capacitor.

(2) Capacitors connected in series

Differences in normal DC leakage current among capacitors can cause voltage imbalances.

The use of voltage divider shunt resistors with consideration to leakage currents can prevent capacitor voltage imbalances.

NOTE : Please do not use in the series in the case of conductive polymer hybrid aluminum electrolytic capacitor.

1.5 Capacitor mounting considerations

(1) Double-sided circuit boards

Avoid wiring pattern runs, which pass between the mounted capacitor and the circuit board.

When dipping into a solder bath, an excess solder may deposit under the capacitor by capillary action, causing short circuit between anode and cathode terminals.

(2) Circuit Board Hole Positioning

The vinyl sleeve of the capacitor can be damaged if solder passes through a lead hole into the subsequently processed parts.

Special care when locating hole positions in proximity to capacitors is recommended.

(3) Circuit Board Hole Spacing

The spacing of circuit board holes should match the lead wire spacing of capacitors within the specified tolerances. Incorrect spacing can cause an excessive lead wire stress during the insertion process.

This may result in premature capacitor failure due to the short or open circuit, increased leakage current, or electrolyte leakage.

(4) Clearance for case mounted pressure relief

Capacitors with case mounted pressure relief require sufficient clearance to allow for proper pressure relief operation.

The minimum clearance are dependent on capacitor diameters as follows.

(Dia 10 mm to Dia 16 mm : 2 mm minimum, Dia 18 mm : 3 mm minimum)

(5) Wiring near the pressure relief

Avoid locating high voltage or high current wiring or circuit board paths above the pressure relief.

Flammable, high temperature gas that exceeds 100 °C may be released which could dissolve the wire insulation and ignite.

(6) Circuit board patterns under the capacitor

Avoid circuit board runs under the capacitor, as an electrical short can occur due to an electrolyte leakage.

(7) Please note the resonant after product implementation

The vicinity of the resonant point will take a heavy load on the capacitor.

Capacitors can cause rapid change in characteristics and dropout by this load.

1.6 Electrical isolation of the capacitor

Completely isolate the capacitor as follows.

Between the cathode and the case and between the anode terminal and other circuit paths.

1.7 Capacitor Sleeve

The vinyl sleeve or laminate coating is intended for marking and identification purposes and is not meant to electrically insulate the capacitor.

The sleeve may split or crack if immersed into solvents such as toluene or xylene and then subsequently exposed to high temperatures.

2. Capacitor handling techniques

2.1 Considerations before using

- (1) Capacitors have a finite life. Do not reuse or recycle capacitors from used equipment.
- (2) Transient recovery voltage may be generated in the capacitor due to dielectric absorption.
If required, this voltage can be discharged with a resistor with a value of about 1 k Ω .
- (3) Capacitors stored for a long period of time may exhibit an increase in leakage current.
This can be corrected by gradually applying rated voltage in series with a resistor of approximately 1 k Ω .
- (4) If capacitors are dropped, they can be damaged mechanically or electrically. Avoid using dropped capacitors.
- (5) Dented or crushed capacitors should not be used.
The seal integrity can be damaged and loss of electrolyte/ shortened life can result.

2.2 Capacitor insertion

- (1) Verify the correct capacitance and rated voltage of the capacitor.
- (2) Verify the correct polarity of the capacitor before insertion.
- (3) Verify the correct terminal dimension and land pattern size before mount to avoid stress on the terminals.
- (4) Ensure that the lead clinching operation done by auto insertion equipments does not stress the capacitor leads where they enter the seal of the capacitor.

2.3 Flow Soldering

- (1) Do not immerse the capacitor body into the solder bath as excessive internal pressure could result.
- (2) Apply proper soldering conditions (temperature, time, etc.). Do not exceed the specified limits.
- (3) Do not allow other parts or components to touch the capacitor during soldering.
- (4) Radial lead type capacitors are not allowed for the reflow soldering.

2.4 Manual soldering

- (1) Apply soldering conditions (temperature and time) based on the specification, or do not exceed temperature of 350 °C for 3 seconds or less.
- (2) If lead wires must be modified to meet terminal board hole spacing, avoid stress on the lead wire where it enters the capacitor seal.
- (3) If a soldered capacitor must be removed and reinserted, avoid excessive stress on the capacitor leads.
- (4) Avoid physical contacts between the tip of the soldering iron and capacitors to prevent melting of the vinyl sleeve.

2.5 Other Soldering Considerations

Rapid temperature rise during the preheat operation and resin bonding operation can cause cracking of the capacitor's vinyl sleeve.

For heat curing, do not exceed 150 °C for the maximum time of 2 minutes.

2.6 Capacitor handling after soldering

- (1) Avoid moving the capacitor after soldering to prevent excessive stress on the lead wires where they enter the seal. The capacitor may break from element portion due to a torque at outer rim, causing a large stress to terminals.
- (2) Do not use the capacitor as a handle when moving the circuit board assembly. The total weight of the board would apply to element portion through terminals, and the capacitor may break.
- (3) Avoid striking the capacitor after assembly to prevent failure due to excessive shock. The capacitor may break due to excessive shock or load above specified range.

2.7 Circuit board cleaning

- (1) Circuit boards can be immersed or ultrasonically cleaned using suitable cleaning solvents for up to 5 minutes and up to 60 °C maximum temperatures. The boards should be thoroughly rinsed and dried. The use of ozone depleting cleaning agents is not recommended for the purpose of protecting our environment.

【Target solvent】

Pine Alpha ST-100S, Aqua Cleaner 210SEP, Clean-thru 750H / 750L / 710M, Sunelec B-12, Sunelec B-12, Cold Cleaner P3-375, Techno Cleaner 219, DK Be-clear CW-5790, Telpene Cleaner EC-7R, Technocare FRW-17 / FRW-1 / FRV-1

- (2) Avoid using the following solvent groups unless specifically allowed in the specification ;
- (a) Halogenated cleaning solvents : except for solvent resistant capacitor types, halogenated solvents can permeate the seal and cause internal capacitor corrosion and failure.
For solvent resistant capacitors, carefully follow the temperature and time requirements based on the specification. 1,1,1-trichloroethane should never be used on any aluminum electrolytic capacitor.
 - (b) Alkaline solvents : could react and dissolve the aluminum case.
 - (c) Petroleum based solvents : deterioration of the rubber seal could result.
 - (d) Xylene : deterioration of the rubber seal could result.
 - (e) Acetone : removal of the ink markings on the vinyl sleeve could result.
- (3) A thorough drying after cleaning is required to remove residual cleaning solvents that may be trapped between the capacitor and the circuit board. Avoid drying temperatures, which exceed the upper category temperature of the capacitor.
- (4) Monitor the contamination levels of the cleaning solvents during use in terms of electrical conductivity, pH, specific gravity, or water content.
Chlorine levels can rise with contamination and adversely affect the performance of the capacitor.
Control the flux density in the cleaning agent to be less than 2 mass%.
- (5) Depending on the cleaning method, the marking on a capacitor may be erased or blurred.
※ Please consult us if you are not certain about acceptable cleaning solvents or cleaning methods.

2.8 Mounting adhesives and coating agents

When using mounting adhesives or coating agents to control humidity, avoid using materials containing halogenated solvents.

Also, avoid the use of chloroprene based polymers.

Harden on dry adhesive or coating agents well lest the solvent should be left.

After applying adhesives or coatings, dry thoroughly to prevent residual solvents from being trapped between the capacitor and the circuit board.

2.9 Fumigation

In exporting electronic appliances with aluminum electrolytic capacitors, in some cases fumigation treatment using such halogen compound as methyl bromide is conducted for wooden boxes.

If such boxes are not dried well, the halogen left in the box is dispersed while transported and enters in the capacitors inside.

This possibly causes electrical corrosion of the capacitors. Therefore, after performing fumigation and drying make sure that no halogen is left.

Don't perform fumigation treatment to the whole electronic appliances packed in a box.

Leave more than 1/3 of the sealing portion open, and do not cover that portion with any adhesives or coating.

2.10 Flux

If you use a halogen type (Chlorine type, Bromine type, etc.) high-activity flux, please use it after confirmation in advance, as it may have an impact on performance and reliability of this product due to the residue of the flux.

3. Precautions for using capacitors

3.1 Environmental conditions

Capacitors should not be stored or used in the following environments.

- (1) Exposure to temperatures above the upper category or below the lower category temperature of the capacitor.
- (2) Direct contact with water, salt water, or oil.
- (3) High humidity conditions where water could condense on the capacitor.
- (4) Exposure to toxic gases such as hydrogen sulfide, sulfuric acid, nitric acid, chlorine, chlorine compound, bromine, bromine compound or ammonia.
- (5) Exposure to ozone, radiation, or ultraviolet rays.
- (6) Vibration and shock conditions exceeding specified requirements.
Even within the specified requirements, a large vibration acceleration may be applied due to resonance, so be sure to evaluate and confirm with the actual product.

3.2 Electrical precautions

- (1) Avoid touching the terminals of a capacitor as a possible electric shock could result. The exposed aluminum case is not insulated and could also cause electric shock if touched.
- (2) Avoid short circuiting the area between the capacitor terminals with conductive materials including liquids such as acids or alkaline solutions.
- (3) A low-molecular-weight-shiroxane which is included in a silicon material shall causes abnormal electrical characteristics.

4. Emergency procedures

- (1) If the pressure relief of the capacitor operates, immediately turn off the equipment and disconnect from the power source.
This will minimize an additional damage caused by the vaporizing electrolyte.
- (2) Avoid contact with the escaping electrolyte gas, which can exceed 100 °C temperatures.
If electrolyte or gas enters the eye, immediately flush the eye with large amounts of water.
If electrolyte or gas is ingested by mouth, gargle with water.
If electrolyte contacts the skin, wash with soap and water.

5. Long term storage

- (1) Leakage current of a capacitor increases with long storage times. The aluminum oxide film deteriorates as a function of temperature and time.
If used without reconditioning, an abnormally high current will be required to restore the oxide film.
This surge current could cause the circuit or the capacitor to fail.
Expiration date is 42 months from outgoing inspection date.
However, expiration date for series which are not listed below is 12 months from outgoing inspection date.

Series	Expiration date
FC, FK, HD, TA, TP	42 months from outgoing inspection date

For storage condition, keep room temperature (5 °C to 35 °C) and humidity (45 % to 85 %) where direct sunshine doesn't reach.

(2) Environmental Conditions

Do not store under condition outside the area described in the specification, and also under conditions listed below.

- (a) Exposure to temperatures above the upper category or below the lower category temperature of the capacitor.
- (b) Direct contact with water, salt water, or oil.
- (c) High humidity conditions where water could condense on the capacitor.
- (d) Exposure to toxic gases such as hydrogen sulfide, sulfuric acid, nitric acid, chlorine, Chlorine compound, Bromine, Bromine compound or ammonia.
- (e) Exposure to ozone, radiation, or ultraviolet rays.
- (f) Vibration and shock conditions exceeding specified requirements.

6. Capacitor disposal

When disposing capacitors, use one of the following methods.

- (1) Incinerate after crushing the capacitor or puncturing the can wall (to prevent explosion due to internal pressure rise).
- (2) Dispose as solid waste.

NOTE : Local laws may have specific disposal requirements which must be followed.

The precautions in using aluminum electrolytic capacitors follow the "Safety application guide for the use in fixed aluminum electrolytic capacitors for electronic equipment", RCR-2367D issued by JEITA in October 2017.

Please refer to the above application guide for details.



Small Signal Fast Switching Diodes



FEATURES

- Silicon epitaxial planar diode
- Electrically equivalent diodes:
1N4148 - 1N914
- Material categorization:
for definitions of compliance please see www.vishay.com/doc?99912



RoHS
COMPLIANT
HALOGEN
FREE

APPLICATIONS

- Extreme fast switches

DESIGN SUPPORT TOOLS click logo to get started



MECHANICAL DATA

Case: DO-35 (DO-204AH)

Weight: approx. 105 mg

Cathode band color: black

Packaging codes / options:

TR/10K per 13" reel (52 mm tape), 50K/box

TAP/10K per ammpack (52 mm tape), 50K/box

PARTS TABLE				
PART	ORDERING CODE	TYPE MARKING	CIRCUIT CONFIGURATION	REMARKS
1N4148	1N4148-TAP or 1N4148TR	V4148	Single	Tape and reel / ammpack

ABSOLUTE MAXIMUM RATINGS ($T_{amb} = 25\text{ }^{\circ}\text{C}$, unless otherwise specified)				
PARAMETER	TEST CONDITION	SYMBOL	VALUE	UNIT
Repetitive peak reverse voltage		V_{RRM}	100	V
Reverse voltage		V_R	75	V
Peak forward surge current	$t_p = 1\text{ }\mu\text{s}$	I_{FSM}	2	A
Repetitive peak forward current		I_{FRM}	500	mA
Forward continuous current		I_F	300	mA
Average forward current	$V_R = 0$	$I_{F(AV)}$	150	mA
Power dissipation	$l = 4\text{ mm}, T_L = 45\text{ }^{\circ}\text{C}$	P_{tot}	440	mW
	$l = 4\text{ mm}, T_L \leq 25\text{ }^{\circ}\text{C}$	P_{tot}	500	mW

THERMAL CHARACTERISTICS ($T_{amb} = 25\text{ }^{\circ}\text{C}$, unless otherwise specified)				
PARAMETER	TEST CONDITION	SYMBOL	VALUE	UNIT
Thermal resistance junction to ambient air	$l = 4\text{ mm}, T_L = \text{constant}$	R_{thJA}	350	K/W
Junction temperature		T_j	175	$^{\circ}\text{C}$
Storage temperature range		T_{stg}	-65 to +150	$^{\circ}\text{C}$

ELECTRICAL CHARACTERISTICS ($T_{amb} = 25\text{ }^{\circ}\text{C}$, unless otherwise specified)						
PARAMETER	TEST CONDITION	SYMBOL	MIN.	TYP.	MAX.	UNIT
Forward voltage	$I_F = 10\text{ mA}$	V_F			1	V
Reverse current	$V_R = 20\text{ V}$	I_R			25	nA
	$V_R = 20\text{ V}, T_J = 150\text{ }^{\circ}\text{C}$	I_R			50	μA
Reverse current	$V_R = 75\text{ V}$	I_R			5	μA
	$I_R = 100\text{ }\mu\text{A}, t_p/T = 0.01,$ $t_p = 0.3\text{ ms}$	$V_{(BR)}$	100			V
Diode capacitance	$V_R = 0\text{ V}, f = 1\text{ MHz},$ $V_{HF} = 50\text{ mV}$	C_D			4	pF
Rectification efficiency	$V_{HF} = 2\text{ V}, f = 100\text{ MHz}$	η_r	45			%
Reverse recovery time	$I_F = I_R = 10\text{ mA},$ $i_R = 1\text{ mA}$	t_{rr}			8	ns
	$I_F = 10\text{ mA}, V_R = 6\text{ V},$ $i_R = 0.1 \times I_R, R_L = 100\text{ }\Omega$	t_{rr}			4	ns

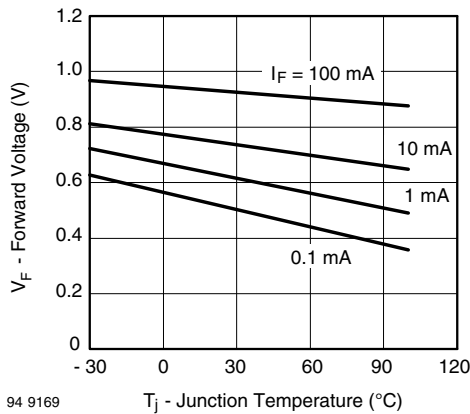
TYPICAL CHARACTERISTICS ($T_{amb} = 25\text{ }^{\circ}\text{C}$, unless otherwise specified)


Fig. 1 - Forward Voltage vs. Junction Temperature

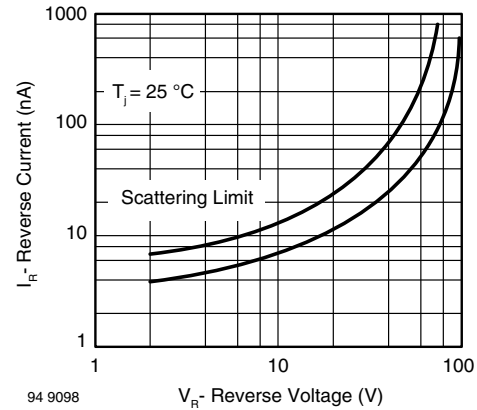


Fig. 3 - Reverse Current vs. Reverse Voltage

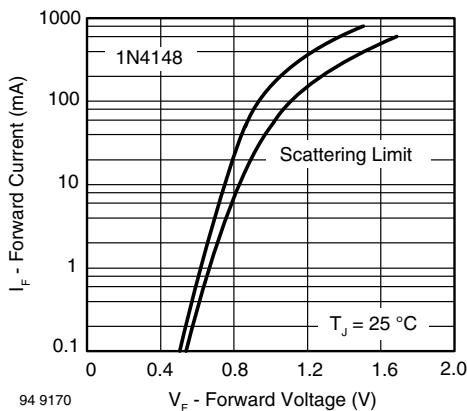
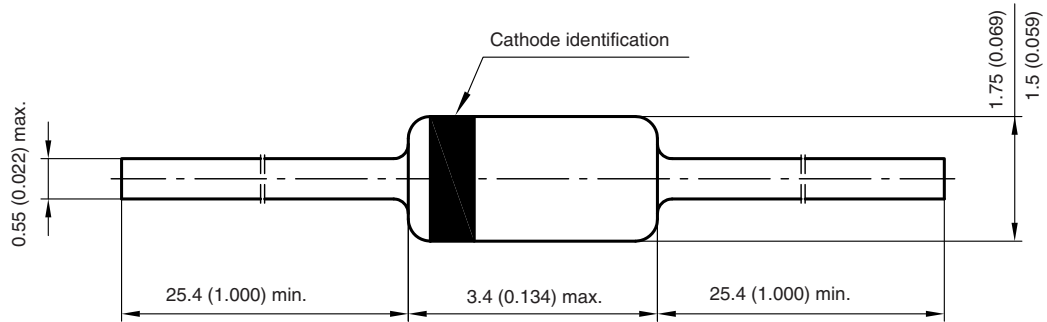


Fig. 2 - Forward Current vs. Forward Voltage



PACKAGE DIMENSIONS in millimeters (inches): **DO-35 (DO-204AH)**



Document no.: 6.560-5004.12-4
Created - Date: 17. March 2008
21145



Disclaimer

ALL PRODUCT, PRODUCT SPECIFICATIONS AND DATA ARE SUBJECT TO CHANGE WITHOUT NOTICE TO IMPROVE RELIABILITY, FUNCTION OR DESIGN OR OTHERWISE.

Vishay Intertechnology, Inc., its affiliates, agents, and employees, and all persons acting on its or their behalf (collectively, "Vishay"), disclaim any and all liability for any errors, inaccuracies or incompleteness contained in any datasheet or in any other disclosure relating to any product.

Vishay makes no warranty, representation or guarantee regarding the suitability of the products for any particular purpose or the continuing production of any product. To the maximum extent permitted by applicable law, Vishay disclaims (i) any and all liability arising out of the application or use of any product, (ii) any and all liability, including without limitation special, consequential or incidental damages, and (iii) any and all implied warranties, including warranties of fitness for particular purpose, non-infringement and merchantability.

Statements regarding the suitability of products for certain types of applications are based on Vishay's knowledge of typical requirements that are often placed on Vishay products in generic applications. Such statements are not binding statements about the suitability of products for a particular application. It is the customer's responsibility to validate that a particular product with the properties described in the product specification is suitable for use in a particular application. Parameters provided in datasheets and / or specifications may vary in different applications and performance may vary over time. All operating parameters, including typical parameters, must be validated for each customer application by the customer's technical experts. Product specifications do not expand or otherwise modify Vishay's terms and conditions of purchase, including but not limited to the warranty expressed therein.

Except as expressly indicated in writing, Vishay products are not designed for use in medical, life-saving, or life-sustaining applications or for any other application in which the failure of the Vishay product could result in personal injury or death. Customers using or selling Vishay products not expressly indicated for use in such applications do so at their own risk. Please contact authorized Vishay personnel to obtain written terms and conditions regarding products designed for such applications.

No license, express or implied, by estoppel or otherwise, to any intellectual property rights is granted by this document or by any conduct of Vishay. Product names and markings noted herein may be trademarks of their respective owners.