



**Ricardo Rendall Serra Mendes Ferreira**

Grau de Mestre

**Design de Amplificadores Resíduo para  
Aplicações em ADCs Pipeline**

Dissertação para obtenção do Grau de Mestre em  
**Engenharia Electrotécnica e de Computadores**

Orientador: João Carlos da Palma Goes, Professor Catedrático,  
Faculdade de Ciências e Tecnologia  
da Universidade Nova de Lisboa

Júri

Presidente: Doutor Luís Filipe Lourenço Bernardo  
Arguente: Doutor Luís Augusto Bica Gomes de Oliveira  
Vogal: Doutor João Carlos da Palma Goes



FACULDADE DE  
CIÊNCIAS E TECNOLOGIA  
UNIVERSIDADE NOVA DE LISBOA

**Fevereiro, 2021**



## **Design de Amplificadores Resíduo para Aplicações em ADCs Pipeline**

Copyright © Ricardo Rendall Serra Mendes Ferreira, Faculdade de Ciências e Tecnologia, Universidade NOVA de Lisboa.

A Faculdade de Ciências e Tecnologia e a Universidade NOVA de Lisboa têm o direito, perpétuo e sem limites geográficos, de arquivar e publicar esta dissertação através de exemplares impressos reproduzidos em papel ou de forma digital, ou por qualquer outro meio conhecido ou que venha a ser inventado, e de a divulgar através de repositórios científicos e de admitir a sua cópia e distribuição com objetivos educacionais ou de investigação, não comerciais, desde que seja dado crédito ao autor e editor.



*Para a minha família.*



## AGRADECIMENTOS

Quero agradecer ao meu orientador João Goes a oportunidade de embarcar neste projecto com ele e conseguir com sucesso a execução do tema desta tese. À faculdade FCT NOVA por tudo o que me ensinou ao longo destes 5 anos durante este curso maravilhoso que espero que me abra bastantes portas no futuro próximo. E um grande obrigado a todos os meus colegas de curso que me ajudaram em tudo o que precisei para concluir esta fase, espero eu, com sucesso.

Também não podia deixar de agradecer à minha família que tanto me ajudou durante estes 5 anos e últimos meses, pelo força que me deram para terminar esta tese em tempos de pandemia.





## RESUMO

---

Desenvolvimento de um amplificador resíduo para aplicações em conversores analógico digitais concorrenciais, baseando-se em técnicas como amplificação com realimentação positiva, amplificação paramétrica e montagem dreno-comum, tentando construir um amplificador dinâmico com tecnologia CMOS avançada de 130 nm. O objectivo deste amplificador é conseguir um ganho nominal entre 4x (V/V) e 8 (V/V). Utilizamos uma montagem seguidora de ganho aproximadamente 1, desprezando o efeito de corpo, conseguindo obter o ganho através da diferença entre os valores das capacidades entre as duas fases. Posteriormente ao dimensionamento, fazemos a análise de ganho, análise FFT e consumo. Obteu-se um ganho nominal de 4 e um amplificador que funciona num leque alargado de temperaturas [-40°, 140°] com um consumo bastante baixo - 92 uW -, a 10 Mhz.



## ABSTRACT

---

Development of a residual amplifier for applications in competitive digital analog converters, based on techniques such as positive feedback amplification, parametric amplification and common drain assembly, trying to build a dynamic amplifier with 130 nm advanced CMOS technology. The purpose of this amplifier is to achieve a nominal gain between 4x (V/V) and 8x (V/V). We used a follower assembly of approximately 1 gain, disregarding the body effect, managing to obtain the gain through the difference between the values of the capacities between the two phases. After dimensioning, we do the analysis of gain, FFT analysis and consumption. A nominal gain of 4 was obtained and an amplifier that operates in a wide range of temperatures [-40°, 140°] with a very low consumption - 92 uW -, at 10 Mhz.



# ÍNDICE

<b>Lista de Figuras</b>	<b>xv</b>
<b>Lista de Tabelas</b>	<b>xvii</b>
<b>1 Introdução</b>	<b>1</b>
1.1 Enquadramento do Problema . . . . .	1
1.2 Descrição do Problema . . . . .	2
<b>2 Estado da Arte</b>	<b>3</b>
2.1 Conversores Analógicos Digitais . . . . .	3
2.2 Técnicas em Malha Aberta . . . . .	5
2.2.1 Bomba de Carga Capacitiva . . . . .	5
2.2.2 Montagem Seguidora Dinâmica . . . . .	7
2.2.3 Amplificação Paramétrica . . . . .	9
2.2.4 Calibração Digital em Malha Aberta . . . . .	12
2.2.5 Amplificador em Malha Aberta . . . . .	13
2.3 Técnica de Direcionamento de Carga . . . . .	14
2.4 Amplificadores Baseados em Osciladores em Anel . . . . .	18
2.5 Amplificadores Dinâmicos . . . . .	21
2.6 Compensação de Temperatura . . . . .	24
<b>3 Trabalho Executado</b>	<b>29</b>
3.1 Trabalho realizado . . . . .	29
3.2 Dimensionamento do Amplificador . . . . .	31
3.3 Amplificador Proposto . . . . .	32
3.4 Discussão de Resultados . . . . .	41
<b>4 Conclusão</b>	<b>45</b>
4.1 Trabalhos Futuros . . . . .	46
<b>Bibliografia</b>	<b>47</b>



## LISTA DE FIGURAS

2.1	Esquemático de um Pipeline ADC de 2 bits . . . . .	3
2.2	Esquemático de um Pipeline ADC com um SAR ADC embutido de 2 bits . . . . .	5
2.3	Montagem de bomba de carga capacitiva convencional . . . . .	6
2.4	Montagem de bomba de carga capacitiva usada em [1] . . . . .	7
2.5	Montagem Seguidora Convencional. (a) Amostragem. (b) Amplificação . . . . .	8
2.6	Montagem Seguidora Modificada. (a) Amostragem. (b) Amplificação . . . . .	8
2.7	Fase de Seguimento do Sinal . . . . .	9
2.8	Fase de Hold . . . . .	9
2.9	Fase de Boost . . . . .	10
2.10	Constituição de um nMOSCAP com um dos terminais a flutuar . . . . .	11
2.11	Constituição de um ADC Pipeline em anel aberto . . . . .	12
2.12	Fontes de erro num ADC Pipeline em anel aberto . . . . .	13
2.13	Amplificador em cascata de dois andares . . . . .	14
2.14	Amplificador em anel aberto linearizado . . . . .	15
2.15	Amplificador com direcionamento de carga com apenas um andar . . . . .	16
2.16	Amplificador usando Direcionamento de carga proposto em [2] . . . . .	17
2.17	Amplificador em anel de [2] . . . . .	18
2.18	Amplificador em anel de [6] apenas com transistores . . . . .	19
2.19	Amplificador réplica utilizado em [8] . . . . .	21
2.20	Amplificador resíduo apresentado em [3] . . . . .	22
2.21	Amplificador dinâmico complementar usado em [14] . . . . .	24
2.22	Amplificador dinâmico insensível à temperatura . . . . .	25
2.23	Esquemático de um ZCD . . . . .	26
3.1	Estrutura de um nMOSCAP . . . . .	29
3.2	Circuito de Pequenos Sinais . . . . .	30
3.3	Amplificador estudado . . . . .	30
3.4	Dimensionamento dos Transístores . . . . .	32
3.5	Circuito de Compensação de Temperatura NMOS . . . . .	33

## LISTA DE FIGURAS

---

3.6	Circuito de Compensação de Temperatura PMOS . . . . .	34
3.7	Amplificador Proposto . . . . .	35
3.8	Ganho dinâmico Single-ended . . . . .	36
3.9	Ganho dinâmico diferencial . . . . .	36
3.10	Variação das tensões de $V_{lo}$ e $V_{hi}$ . . . . .	37
3.11	Gerador dinâmico de $V_{DD}$ . . . . .	37
3.12	Gerador dinâmico no Cadence Virtuoso . . . . .	38
3.13	Esquemático do Amplificador paramétrico proposto e realizado no Cadence Virtuoso . . . . .	40
3.14	Comparação dos Ganhos e Consumo . . . . .	41
3.15	Comparação da Análise FFT . . . . .	41
3.16	SFDR e  THD  em função da temperatura . . . . .	42
3.17	SINAD em função da Temperatura . . . . .	43
3.18	ENOB em função da Temperatura . . . . .	43



## LISTA DE TABELAS

2.1 Performance de alguns amplificadores . . . . .	26
--	----



# INTRODUÇÃO

## 1.1 Enquadramento do Problema

O desenvolvimento da tecnologia CMOS ao longo dos anos, tem permitido desenvolver circuitos bastante rápidos utilizando transístores cada vez mais pequenos. O conversor analógico-digital (ADC) concorrencial utilizando condensadores comutados em tecnologia CMOS é uma arquitectura popular para conversão de elevado ritmo em sistemas de comunicações digitais, sistemas de ultra-sons e muitas outras aplicações pelo facto de serem muito rápidos e terem uma moderada ou grande resolução. Com a crescente procura de uma maior largura de banda, têm surgido importantes métricas para o desenvolvimento destes conversores com pouca dissipação de energia e compatibilidade com tecnologias mais pequenas. Isto pode ser explicado pela crescente procura de maior portabilidade, como a integração destes conversores em sistemas-em-um-chip (SoC) e uma maior procura em sistemas de IoT (Internet of Things) devido a uma crescente necessidade de monitorizar em tempo real que irá exigir maior qualidade de transmissão, processamento e armazenamento de grandes volumes de dados.

Para permitir a amplificação de resíduo entre andares numa arquitectura concorrencial, é muito importante desenvolver-se um amplificador com bastante precisão que cumpra com todas estas métricas referidas anteriormente. O amplificador resíduo tem que cumprir com limites de velocidade muito restritos, requisitos de linearidade, e também vai dominar a energia dissipada em todo o bloco. Também é reconhecido que um ganho intrínseco bastante baixo e uma

tensão de alimentação bastante baixa pode provocar um aumento da energia dissipada em estes blocos com a precisão limitada pelo ruído. Como o impacto do escalamento destes transístores está cada vez a diminuir mais, para obter uma boa eficiência ao nível da área ocupada e da energia não se pode depender apenas deste escalamento.

Para resolver este problema, foram desenvolvidas técnicas eficientes em termos de energia e de área para construir este amplificador em que algumas delas vão ser precisas para o desenvolvimento do mesmo. Vai ser necessário construir um circuito de compensação de temperatura porque o ganho deste amplificador não poderá variar significativamente com a temperatura.

## 1.2 Descrição do Problema

A motivação para esta tese é estudar, desenvolver e projectar um amplificador resíduo para aplicações em conversores pipeline ADC em baseando-me em técnicas como integração gm-C, amplificação com feedback positivo, amplificação paramétrica e na montagem dinâmica dreno-comum, tentando construir um amplificador dinâmico. Para isto vamos utilizar tecnologia CMOS avançada de maneira a simular e posteriormente implementar este amplificador. O maior objectivo da tese é através de uma tecnologia de 130 nm, conseguir construir um amplificador com um ganho nominal de no mínimo 6x, utilizando todas estas técnicas referidas anteriormente.

## ESTADO DA ARTE

## 2.1 Conversores Analógicos Digitais

Os conversores analógicos digitais (ADC) concorrenciais utilizando condensadores comutados em tecnologia CMOS têm se tornado cada vez mais populares para o projecto de sistemas de conversão de dados a altas velocidades e muitas outras aplicações. Estes conversores conseguem atingir resoluções relativamente altas e taxas de amostragem maiores que 160 MS/s.

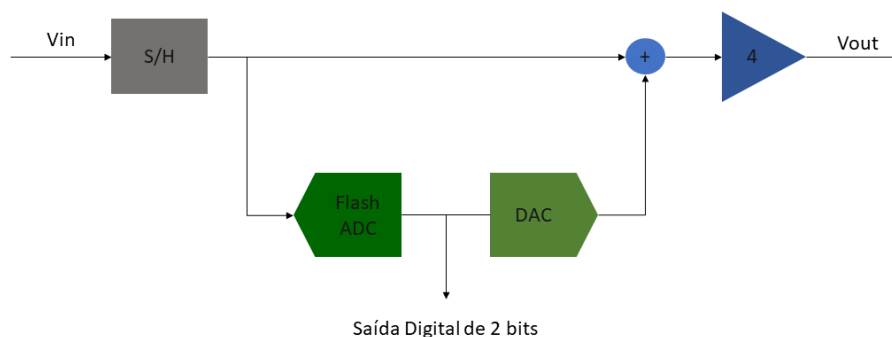


Figura 2.1: Esquemático de um Pipeline ADC de 2 bits

Um ADC concorrential é constituído por vários andares em cascata, cada uma com um quantizador de resolução baixa, um conversor digital-analógico (DAC) multiplicador (MDAC), que calcula e amplifica o resíduo que vai ser quantizado nos andares seguintes. Estes conversores são normalmente mais rápidos porque começam logo a etapa seguinte de conversão assim que a primeira etapa completa a sua função e não fica parado enquanto os bits menos significativos são encontrados. Na figura 2.2, a tensão de entrada é amostrada num circuito de amostragem e retenção (sample and hold, SH) enquanto o ADC flash quantiza o sinal. A saída entra depois no DAC em que a saída analógica é subtraída de seguida à entrada. Este resíduo reconstruído entra depois no amplificador de resíduo onde vai ser amplificado por um certo factor dependente do número de bits quantificados neste andar.

A precisão deste ADC é principalmente limitada pelo erro do ganho e pelos erros estáticos de linearidade causados pelo desemparelhamento entre os condensadores nos DACs e pelo ganho DC finito e linearidade dos amplificadores resíduo [4].

As arquitecturas de conversão A/D baseadas em aproximações sucessivas (SAR ADCs) já ultrapassaram os pipeline ADCs em eficiência energética mas, apesar disso, quando o seu design tem de limitar o ruído, eles precisam de mais energia para extrair os bits-menos-significativos (LSBs) porque não é usada nenhuma amplificação para diminuir o nível do ruído. Para resolverem este problema, começou-se a usar Pipeline ADCs com um SAR embutido. Para isto, é substituído o tradicional quantizador flash por SAR ADCs.

Por exemplo, em [4] se usarmos apenas duas etapas pipeline, os dois quantizadores locais podem ser substituídos por dois SAR ADCs eficientes o que se vai traduzir em mais vantagens como por exemplo: apenas vai ser preciso usar um amplificador resíduo, o primeiro DAC pode ser embutido na fase final do SAR ADC e podemos usar vários comparadores no SAR ADC para torna-lo mais rápido.

Como já tínhamos referido no capítulo anterior um dos blocos chaves deste ADC pipeline, são os amplificadores resíduo que vão servir de interface entre as várias etapas sucessivas deste conversor por necessitarem de atingir várias especificações restritas de velocidade, ruído e de linearidade, e tendem a dominar a dissipação de potência de todo o ADC. Com a diminuição gradual da tecnologia CMOS, tornou-se um desafio muito grande o projecto de amplificadores fiáveis com ganho grande e muito rápidos a operarem a tensões muito pequenas por isso, para resolver este desafio, várias técnicas têm sido desenvolvidas para que a precisão do ADC não seja limitada pela precisão condensadores fornecidos

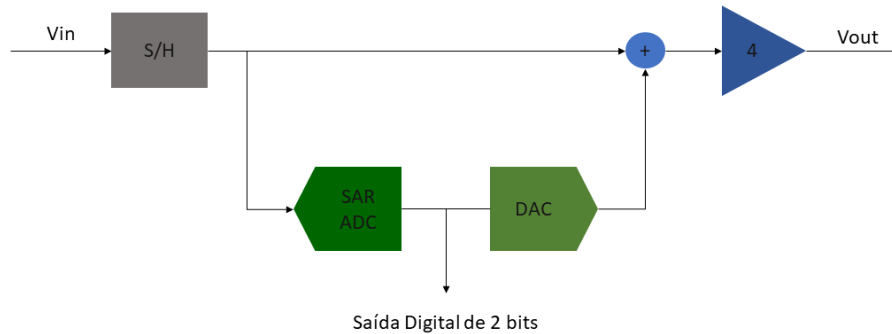


Figura 2.2: Esquemático de um Pipeline ADC com um SAR ADC embutido de 2 bits

pela maioria dos processos CMOS disponíveis hoje. Estes amplificadores para além de dominarem a dissipação de potência, também estão mais suscetíveis a complicações que surgem do escalamento contínuo dos circuitos integrados. Para melhorar a resolução geral destes ADCs, temos que usar técnicas de configuração e calibração própria de maneira a que a resolução efectiva do ADC não esteja limitada a 10 bits.

## 2.2 Técnicas em Malha Aberta

### 2.2.1 Bomba de Carga Capacitiva

Na técnica de bomba de carga capacitiva (*capacitive charge-pump*) convencional, o ganho é conseguido através da amostragem da tensão de entrada em condensadores, e consequentemente todos os condensadores são ligados em série para guardar a tensão total que vai ser a soma das tensões dos condensadores. É usado um buffer de ganho unitário para prevenir partilha de carga entre os condensadores de amostragem e os condensadores de carga como pode ser observado na figura 2.3.

Esta montagem tem vantagens significativas em que o ganho e a largura de banda do amplificador vão ser independentes uma da outra. O ganho é determinado pelo arranjo dos condensadores de amostragem, e a largura de banda da

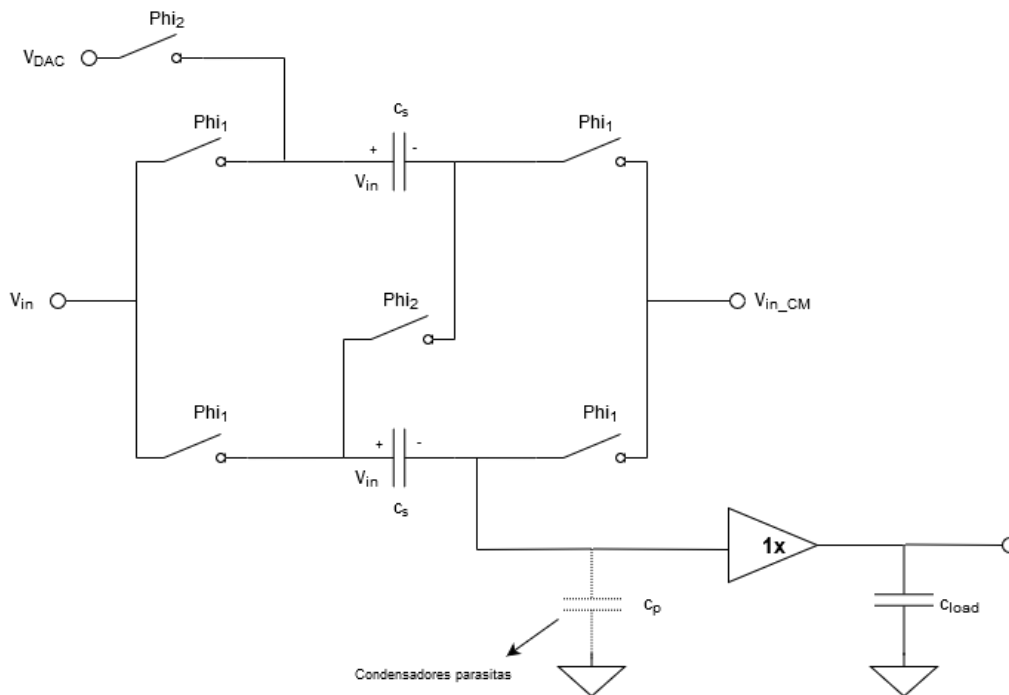


Figura 2.3: Montagem de bomba de carga capacitiva convencional

saída, durante a fase 2 é estabelecida independentemente pelo buffer de ganho unitário e o condensador  $C_{load}$ .

Normalmente montagens baseadas em amplificadores sofrem de perdas adicionais de potência pois os condensadores parasitas vão reduzir o factor de realimentação  $\beta$ , e também necessitam de vários andares para conseguir um ganho DC muito maior. Uma vantagem é o facto de buffer de ganho unitário ser precedido de a amplificação na entrada e assim o ruído no buffer é reduzido pela raiz quadrada do ganho por andar. Por isso o buffer vai ter uma contribuição muito menor ao nível do ruído térmico.

Apesar disto, esta montagem apresenta várias limitações como um ganho impreciso devido aos condensadores parasitas que vão interferir com a tensão de saída o que vai obrigar a usar técnicas para cancelar o impacto dos mesmos. O ganho também vai ser interferido pelo pouca rejeição em modo comum. Para resolver estes problemas, em [1], é proposto um amplificador resíduo diferencial com bomba de carga capacitiva como representado na figura 2.4.

Neste circuito, a rede de entrada que faz a amostragem é modificada para que o sinal de entrada seja amostrado nos condensadores durante a fase 1 usando uma configuração de *bridge* nos interruptores. Devido a esta estrutura, variações em modo comum são rejeitadas durante a fase 2. É incluído um interruptor  $S_0$  para isolar os nós  $V_{X1}$  e  $V_{X2}$  durante a fase 1 e para assegurar que os interruptores  $S_1$  e  $S_2$  actuem como interruptores através do "prato" inferior de maneira a minimizar



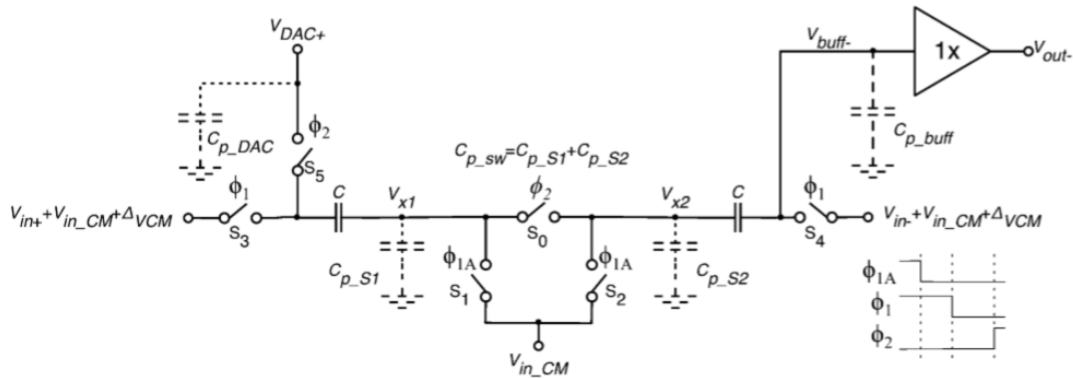


Figura 2.4: Montagem de bomba de carga capacitiva usada em [1]

efeitos provocadas por carga injectada.

Em [1] para resolver as não-linearidades provocadas pelos erros de emparelhamento dos condensadores parasitas, todos os interruptores são dimensionados para estarem na região linear/região de corte, dependendo se estão ligados ou desligados, e assim o impacto dos parasitas é bastante reduzido a um nível de 10 bits.

### 2.2.2 Montagem Seguidora Dinâmica

Um dos grandes problemas conversores ADC quem tem sido investigado ao longo dos anos é a dissipação de potência, em que têm sido desenvolvidas variadas técnicas para reduzir a mesma como o escalamento por andar e optimização da resolução por andar. Apesar de terem resultado em grandes melhorias, vai sempre existir uma dissipação de potência devido à inerente ineficiência do amplificador resíduo. Os amplificadores classe-A em anel fechado normalmente puxam uma grande quantidade de corrente de polarização da fonte enquanto que em média apenas entregam uma pequena fração dessa corrente à carga.

Uma das técnicas usada para resolver esta ineficiência é utilizar uma técnica dinâmica de amplificação como a montagem dreno-comum como utilizado em [7]. Esta técnica tem muitas semelhanças com a amplificação paramétrica referida anteriormente em [11] em que, ao contrário dos amplificadores de classe-A, esta montagem vai entregar a maioria da corrente proveniente da fonte directamente à carga, apresentando assim grandes melhorias de eficiência.

O circuito aqui vai operar em duas fases: amostragem e amplificação. Na amostragem o transistor MOS é polarizado na gate com  $V_{bias}$ , em que o dreno, a fonte e o bulk estão ligados ao sinal de entrada. Durante a amplificação, o dreno é ligado a  $V_{dd}$  e a gate é deixada a flutuar enquanto que a fonte e o bulk são ligados

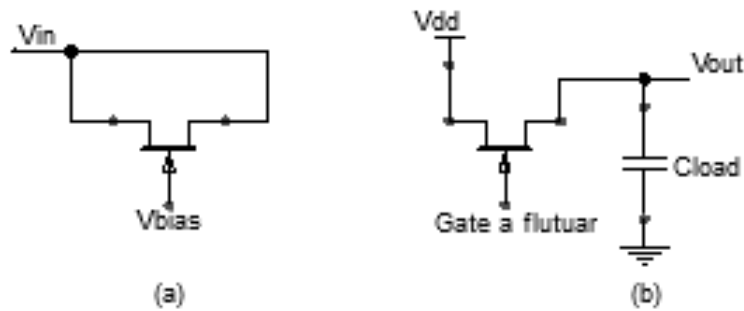


Figura 2.5: Montagem Seguidora Convencional. (a) Amostragem. (b) Amplificação

ao nó de saída. Assim o transístor vai funcionar como na montagem seguidora em que o ganho vai ser aproximadamente 1. O ganho aqui vai ser obtido através da conservação de carga nos condensadores pois as capacidades parasitas  $C_{gd}$ ,  $C_{gs}$  e  $C_{gb}$  na fase 1, vão ter diferentes valores em relação à fase 2. Como explicado em [7], através da conservação de carga na porta do dispositivo quando transitamos da fase 1 para a fase 2, o ganho da amplificação resíduo vai ser dado por:

$$G_{dynamp} \simeq \frac{C_{gs} + C_{gd} + C_{gb}}{C_{gd}} \quad (2.1)$$

Um dos pequenos problemas com esta montagem, é que o ganho não consegue ser definido precisamente. A expressão definida anteriormente foi derivada usando um modelo de um transístor simplista que efectivamente contém capacidades parasitas que não são tão bem controladas. Por isso existem vários efeitos e capacidades parasitas que tendem a diminuir o ganho que pode ser possível obter.

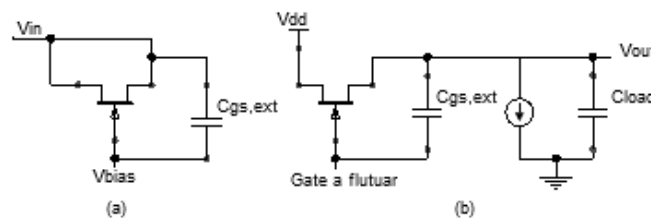


Figura 2.6: Montagem Seguidora Modificada. (a) Amostragem. (b) Amplificação

Para conseguir controlar melhor o ganho, uma capacidade extrínseca externa  $C_{gs,ext}$  foi adicionada em paralelo à capacidade intrínseca  $C_{gs}$ . Adicionando esta capacidade, o ganho pode ser obtido:

$$G_{dynamp} \simeq \frac{C_{gs,ext} + C_{gs} + C_{gd} + C_{gb}}{C_{gd}'} \quad (2.2)$$

Para que o transistor não entre na região sub-threshold quando a  $V_{gs}$  aproxima-se de  $V_{th}$ , vai ser adicionada uma pequena fonte de corrente  $I_{bleed}$ . Com esta corrente, a tensão  $V_{gs}$  vai se estabelecer num certo valor arbitrário,  $V_{gs,final}$ , que é ligeiramente maior em relação a  $V_{th}$ .

### 2.2.3 Amplificação Paramétrica

Um circuito paramétrico é um circuito em que a amplificação é conseguida através do uso de parâmetros variáveis ou elementos do circuito.

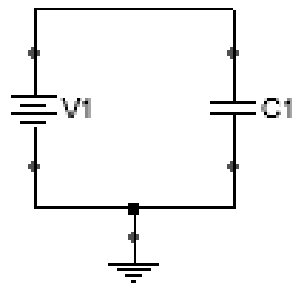


Figura 2.7: Fase de Seguimento do Sinal

A técnica básica pode ser ilustrada por um condensador com duas armaduras paralelas em que fase de seguimento do sinal (track), um tensão dc carrega o condensador  $C_1$ .

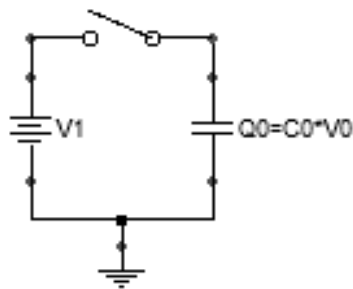


Figura 2.8: Fase de Hold

No início da fase de retenção (hold), a interruptor da entrada é aberto em que consequentemente a tensão da entrada amostrada no instante  $V_1$  mantém-se no condensador. Com o interruptor de entrada aberto, não existe nenhum caminho para a carga da armadura superior do condensador e por isso a carga mantém-se constante.

E é na fase de boost que ocorre a amplificação. Aqui, enquanto o interruptor de entrada está aberto, as armaduras do condensador vão se "afastar"no que resulta

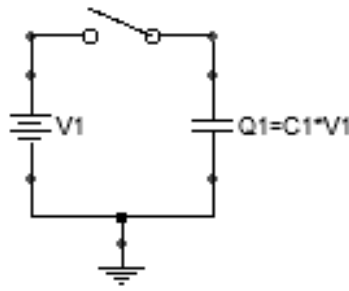


Figura 2.9: Fase de Boost

numa capacidade reduzida  $C_0$  e através das equações da conservação de carga temos a seguinte expressão:

$$V_0 = \left(\frac{C_1}{C_0}\right) * V_1 \quad (2.3)$$

E por isso vamos conseguir obter amplificação como demonstrado.

Neste caso usamos uma estrutura MOS paramétrica em que o ganho é obtido variando a total capacidade de um bloco MOSCAP, enquanto mantém a carga total entre a fase 1 de amostragem e a fase 2 de amplificação. Essa redução no valor da capacidade pode ser obtido provocando uma mudança de estado, de depleção para inversão, no MOSCAP aplicando uma tensão de controlo no dreno. Para ocorrer a mudança de estado é necessário mudar a tensão de controlo aplicada no dreno mudando de uma fonte negativa de tensão ( $V_{ss}$ ) para uma fonte positiva de tensão ( $V_{dd}$ ) em que a capacidade no óxido durante a fase de amostragem está fixada em que queda de tensão no bulk é uma função crescente da magnitude da carga de depleção. Na fase de amplificação, devido a esta variação, vamos originar um aumento da tensão na gate. Durante esta fase, é formada uma pequena capacidade em série com o condensador do óxido o que vai reduzir a capacitância total em toda a estrutura e, devido à conservação de carga, como a carga durante as duas fases tem de se manter constante, a carga no bulk vai ter de balancear, e por isso cresce em magnitude. Como visto em [10], pode-se utilizar dois MOSCAPs dimensionados com metade do tamanho em paralelo em vez de um único MOSCAP com um dos terminais a flutuar.

Em [10], com este montagem conseguiu-se diminuir o efeito das capacidades parasitas externas durante a fase de amplificação e consequentemente conseguiu-se obter ganhos superiores a 2. Ao ajustarmos a carga, conseguimos desenhar circuitos de amplificação paramétrica com uma precisão do ganho acima dos 6 bits sem calibração. Se escolhermos adequadamente a técnica de calibração, esta precisão consegue chegar os 11 bits. Um dos problemas desta montagem provém

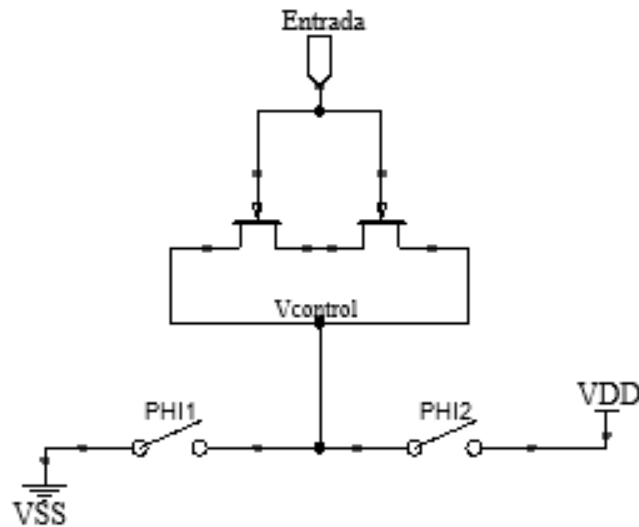


Figura 2.10: Constituição de um nMOSCAP com um dos terminais a flutuar

do facto de ocorrer uma grande variação da tensão DC quando o MOSCAP muda de depleção para inversão. Para evitar isto, como durante a fase de amplificação esta tensão DC tem a tendência a superar a tensão  $V_{dd}$ , é preciso utilizar um pMOSCAP para produzir o efeito inverso, construindo uma montagem push-pull. Ao nível do ruído, como explicado em [11], a amostragem vai introduzir algum ruído devido à resistência do interruptor de entrada. A fase de amplificação, em princípio, não vai introduzir nenhum ruído aos dados amostrados e por isso a relação sinal-ruído (SNR) vai ser igual. Mas na prática, o ruído de saída vai ser maior do que o de entrada devido a vários locais onde o circuito irá poder produzir ruído. Alguns destes locais serão a resistência do substrato que vai estar em série com a capacidade de depleção durante a fase boost e a fonte de alimentação.

Em [13] é apresentado um amplificador resíduo de três andares em malha aberta que vai apresentar duas técnicas apresentadas anteriormente na 2.2.2 e amplificação paramétrica que acabamos de explicar agora. O primeiro andar é constituído por um par diferencial dinâmico, o segundo apresenta MOSCAPs para aumentar o ganho, e o andar de saída vai utilizar a montagem seguidora dinâmica para garantir um ganho adicional e uma performance robusta contra variações de carga. Estas técnicas têm a vantagem de idealmente não apresentarem ruído pois a amplificação não necessita de componentes resistivos.

### 2.2.4 Calibração Digital em Malha Aberta

Uma das técnicas que podemos utilizar é uma técnica de calibração digital como explicado em [9] em que utilizamos um elemento para substituir os amplificadores de precisão por etapas em anel aberto bastante eficientes. Nesta implementação o processador digital estima e retira os erros do ganho em anel aberto.

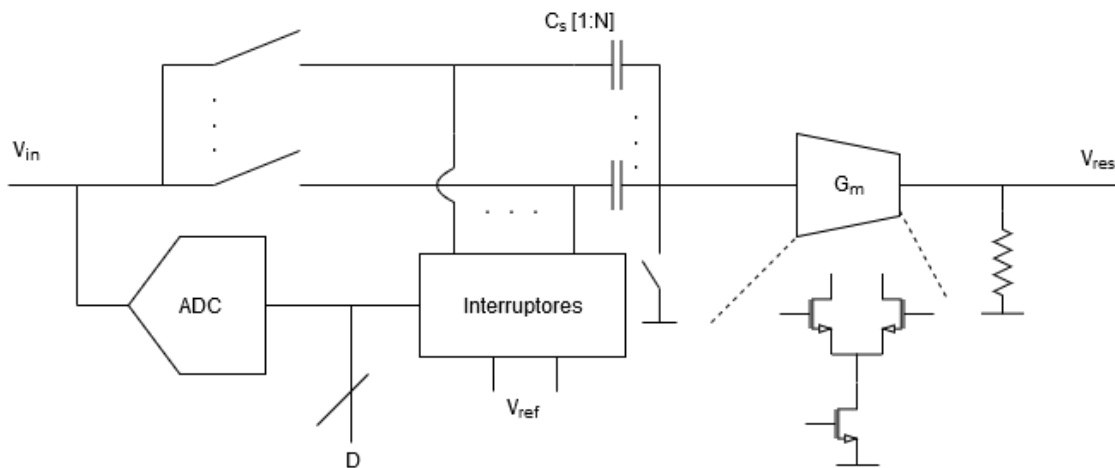


Figura 2.11: Constituição de um ADC Pipeline em anel aberto

Neste ADC em vez de usarmos a topologia em modo de corrente (current-mode) em malha aberta, vamos utilizar uma topologia em modo de tensão (voltage-mode) em conjunção com técnicas de calibração para conseguirmos alargar estas estruturas em anel aberto para o domínio dos 12 bits. Aqui a carga residual do vector de condensadores não vai ser redistribuída para um condensador de realimentação, vai permanecer para produzir uma pequena tensão no nó  $V_x$ . Este resíduo vai seguir depois para um par diferencial resistivo para produzir a tensão desejada  $V_{res}$ . Nesta implementação já não precisamos de um ganho alto no transconductor, resultando num amplificador bastante eficiente.

O preço a pagar por estas vantagens, é que vão surgir vários erros na função de transferência que para serem resolvidos vai ser preciso usar técnicas de compensação digital como um comparador na segunda etapa conseguindo que o resíduo do primeiro andar do pipeline consigo atingir os seus limites. Também vai ser usado uma técnica que muda o peso do sub-ADC nas decisões, em que vamos ter um parâmetro que captura a variação do ganho actual do seu valor ideal. Para compensar o erro de 3ª ordem causado pelo compressão do ganho no amplificador em malha aberta, o erro é modelado como uma função em ordem ao resíduo  $V_{res1}$  em que depois através de um código digital back-end conseguimos compensar o erro quantizado do  $V_{res1}$ .

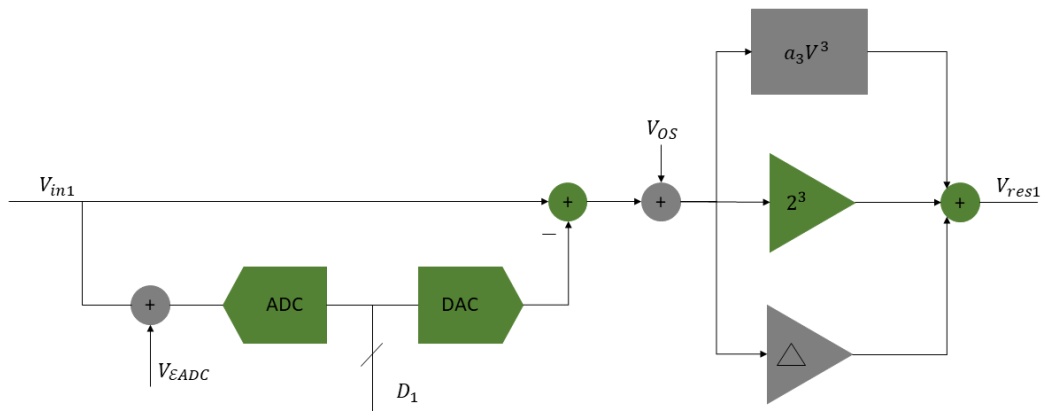


Figura 2.12: Fontes de erro num ADC Pipeline em anel aberto

Como explicado em [9], os erros produzidos nesta amplificação em malha aberta não vão ser atenuados pela realimentação e por isso vão ter de ser usadas técnicas de calibração digital para determinar com precisão os parâmetros deste amplificador.

Esta amplificação dinâmica permite com que a dissipação de potência seja escalável através do clock. Vai ser utilizado um amplificador dinâmico com um inversor baseado em deteção em modo comum pois permite reduzir a carga dos condensadores nos amplificadores e por isso é adequado para operações em velocidades altas. Os dois inversores com as saídas curto circuitadas aproximam-se da tensão de saída em modo comum enquanto que a última tensão de threshold do inversor determina quando é que o sinal é activado alimentando os vectores de condensadores interpolados.

### 2.2.5 Amplificador em Malha Aberta

Aqui construímos um amplificador em malha aberta baseado em montagens convencionais como fonte comum para construir um amplificador resíduo linear em anel aberto.

Em [15], é construído um amplificador com dois andares em cascata, um andar é um amplificador convencional com dois transístores, M7 e M8 a funcionar como fonte de corrente, e a outra montagem é um amplificador em modo comum convencional.

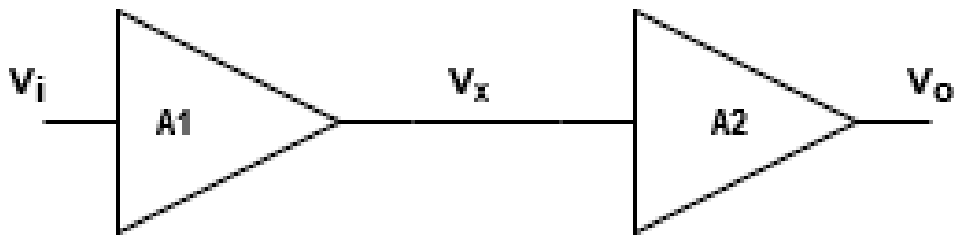


Figura 2.13: Amplificador em cascata de dois andares

Para linearizar o amplificador é necessário construir o produto de duas não linearidades inversas. Com a variação da tensão dreno-fonte e  $g_m$ , a corrente diferencial dos transístores de entrada não segue a amplitude de entrada linearmente. Isto resulta num decréscimo do ganho enquanto que a amplitude de entrada aumenta. Por isso se construirmos dois amplificadores com ganhos de não linearidades reversas, conseguimos com que o produto seja linear. Em [15], ao juntarmos as duas funções de transferência dois amplificadores obtemos a seguinte expressão em que  $\alpha_i$  e  $\beta_i$  representam os coeficientes de primeira ordem e terceira ordem respectivamente:

$$V_o = \alpha_1 \alpha_2 V_1 + (\alpha_1^3 \beta_2 + \alpha_2 \beta_1) V_1^3 \quad (2.4)$$

Se  $\beta_1$  e  $\beta_2$  forem opostos,  $\alpha_1^3 \beta_2 + \alpha_2 \beta_1$  aproxima-se de 0, o que resulta numa boa linearidade.

Como na montagem fonte comum convencional, o ganho decresce com o aumento da amplitude, o que significa que o factor  $\beta_2$  é negativo. Ao juntarmos o amplificador  $A_1$  com  $\beta_2$  positivo, chegamos ao amplificador da figura 2.14. Resumidamente, é utilizado dois ganhos com formas inversas para suprimir a não linearidade de um e do outro.

### 2.3 Técnica de Direcionamento de Carga

A técnica de direcionamento de carga (charge-steering) no projecto de amplificadores de resíduo oferece várias vantagens significativas em relação aos amplificadores em tempo contínuo. Esta técnica consegue obter uma potência dissipada bastante reduzida a alta velocidade.

Estes amplificadores usam transdutores para converter a tensão de resíduo em corrente que vai ser integrada durante um certo intervalo de tempo nos condensadores de carga. Na figura 2.15, as tensões de saída são inicialmente definidas para  $V_{dd}$ . Durante a fase de amplificação, o par diferencial descarrega os dois nós de saída de  $V_{dd}$  até chegarmos a uma certa tensão em modo comum, em que o



### 2.3. TÉCNICA DE DIRECIONAMENTO DE CARGA

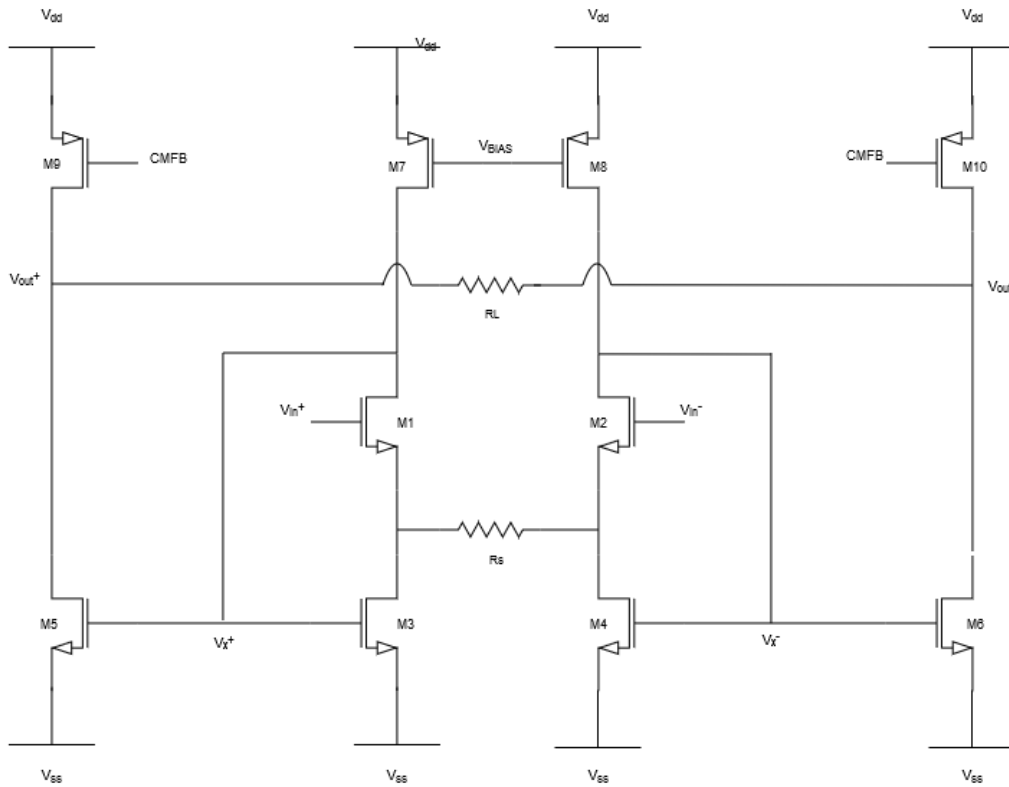


Figura 2.14: Amplificador em anel aberto linearizado

detector de modo comum vai desligar o par de entrada, deixando a tensão de saída a flutuar. O par de entrada vai ter uma certa eficiência  $\frac{gm}{I_d}$  em que durante a fase de amplificação, por isso o ganho pode ser aproximado pela seguinte expressão:

$$\frac{gm * (V_{dd} - V_{CM})}{I_D} \quad (2.5)$$

Se usarmos dois andares em vez de um podemos limitar o tempo de integração como em [2]. É utilizado uma montagem em malha fechada em que quando o sinal de clock está desligado, os condensadores  $C_1$  a  $C_4$  estão carregados com  $V_{dd}$  e os nós da fonte nos dois pares diferenciais são deixados a flutuar. Quando o sinal de clock é ligado, os nós de saída são isolados e os nós da fonte dos pares diferenciais são ligadas a ground, fazendo com que correntes diferenciais e em modo-comum sejam puxadas das respectivas cargas para os transistores M1-M2 e M3-M4. Assim o nível de tensão em modo-comum nos nós X e Y cai, os transistores M3 e M4 eventualmente são desligados. Por isso a um dado instante, esta montagem fornece um certo ganho diferencial.

Este tipo de amplificação basicamente baseia-se em integração em que o ganho diferencial de tensão é definido por:

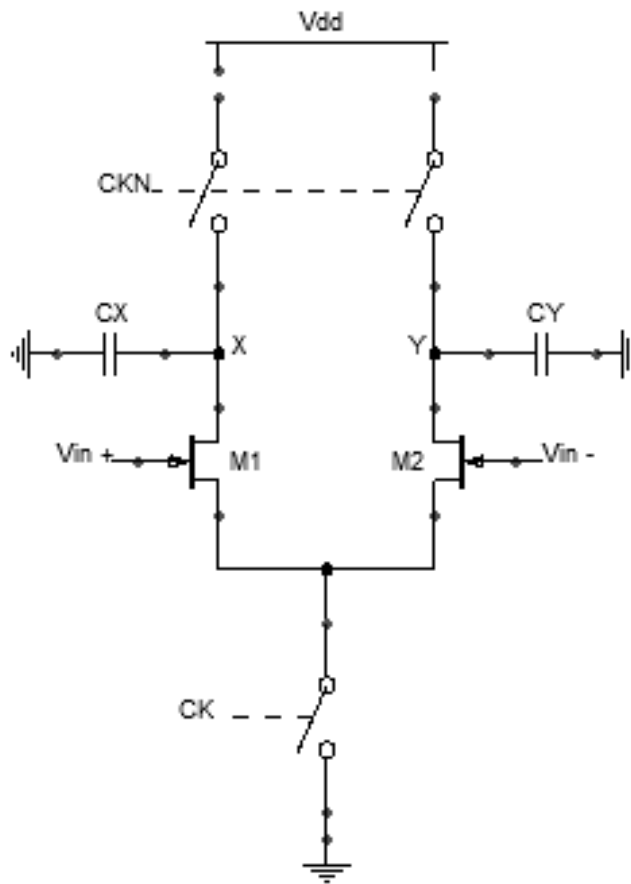


Figura 2.15: Amplificador com direcionamento de carga com apenas um andar

$$Gain = gm_{1,2} * \frac{T_{int}}{C_{1,2}} \quad (2.6)$$

Por isso o ganho de tensão não vai depender do valor da capacidade  $C_{1,2}$  pois quanto menor for o valor da capacidade, podemos fixar um valor para o tempo de integração também mais pequeno. Este tipo de montagem normalmente tem um ganho bastante limitado em anel aberto e por isso em [2], é adicionado um condensador  $C_F$  para adicionar realimentação positiva durante a primeira fase. É adicionado também uma resistência programável para fazer ajustamentos à tensão de saída em modo comum, que vai ser feita durante a calibração. A outra adição é fazer um pré carregamento dos nós localizados na cauda do amplificador para estabelecer uma tensão inicial nestes nós. Sem isto, as correntes de "subthreshold" em M1-M4 iriam aumentar as tensões na fonte para valores não adequados, causando efeitos prejudiciais na memória e interferindo na calibração. Neste amplificador, a presença de capacidades de valor bem definido  $C_{in}$  e  $C_F$  aumenta bastante o ganho em anel aberto através de realimentação positiva

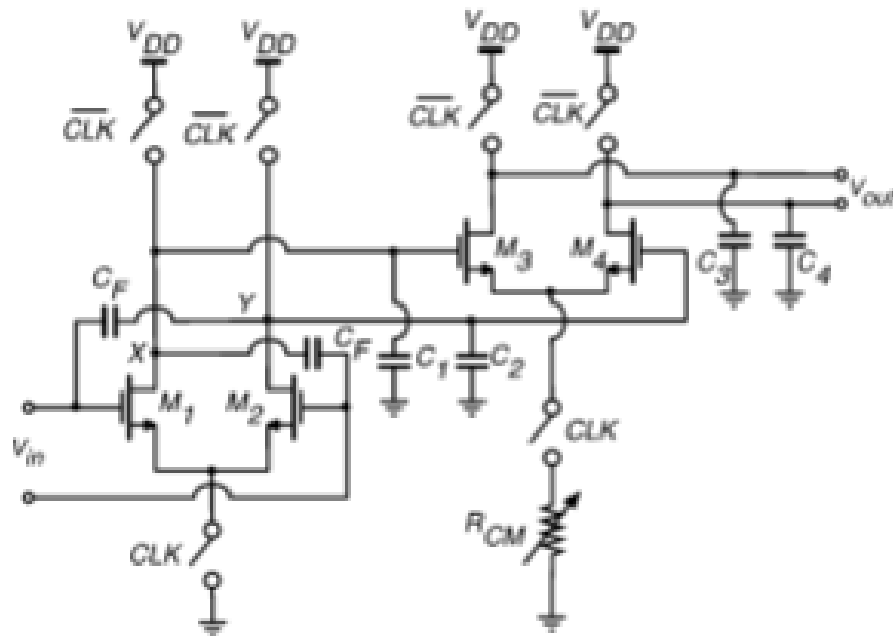


Figura 2.16: Amplificador usando Direcionamento de carga proposto em [2]

porque estes condensadores vão estar carregar as gates dos transístores M1-M2. A presença de CM vai deslocar o polo do primeiro andar da origem para à metade direita do plano conseguindo com que durante o período de amplificação, o primeiro andar consiga ter uma variação mais rápida na saída e conseqüente um maior ganho equivalente.

As grandes velocidades que estes tipos de amplificadores apresentam devido ao seu curto "duty cycle" e conseqüentemente as grandes correntes que eles conseguem aguentar, e também o facto de que com o mesmo consumo de energia, ganho de tensão e carga capacitiva, eles vão conseguir apresentar metade do ruído de entrada e um quarto do tempo de estabilização em relação aos amplificadores convencionais de dois andares. Por isso o comportamento em anel fechado dos amplificadores de direcionamento de carga apresenta propriedades bastante interessantes e úteis.

Em [12], é descrito um ADC Pipeline que converte 4 bits no primeiro andar e amplifica o resíduo por um factor de 2, desse modo relaxando a linearidade, balanço de tensão e o ganho do amplificador que através de calibração digital vai remover os efeitos das diferenças entre os condensadores e corrigir o erro do ganho. Este amplificador utiliza uma técnica de direcionamento de carga com apenas um andar com uma corrente de  $I_{tail}$  de 4.8 mA. Como este circuito apresenta um ganho em anel aberto muito baixo faz com que o ganho em anel fechado

seja sensível a variações de temperatura.

## 2.4 Amplificadores Baseados em Osciladores em Anel

Um amplificador em anel (*Ring Amplifier*) é um oscilador em anel que foi dividido em dois ou mais caminhos separados para sinais. É integrado um offset em cada caminho do sinal de maneira a criar um alcance de valores de entrada de maneira a que nenhum transistor de saída conduza completamente. Se esta "região morta" de não condução for suficientemente grande, o amplificador vai operar de maneira a variar, estabilizar e de seguida ficar "preso" a esta "região morta".

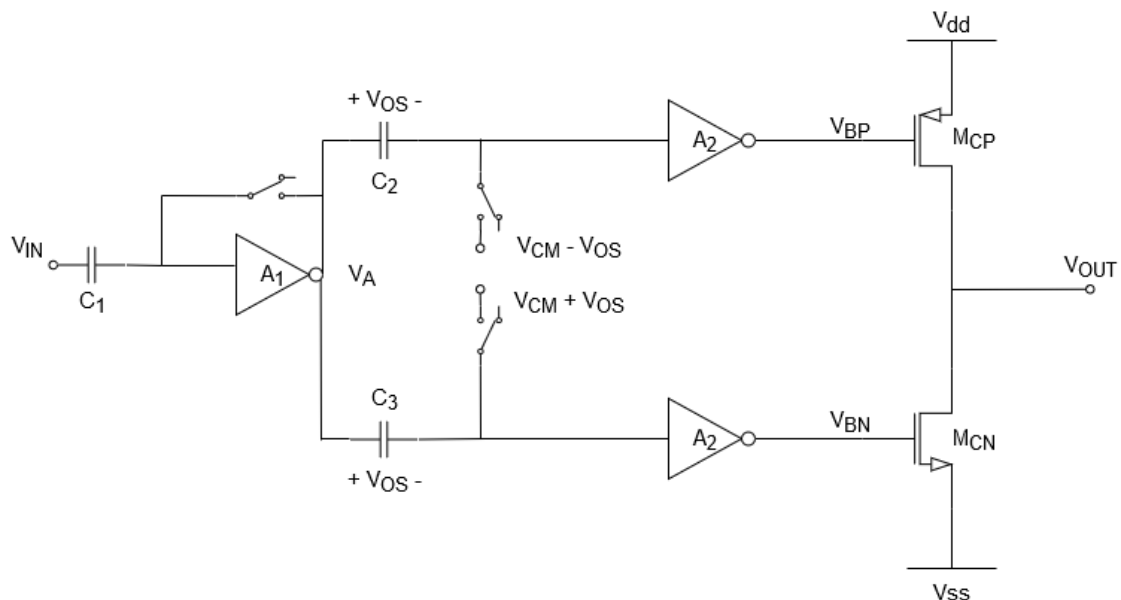


Figura 2.17: Amplificador em anel de [2]

Em [6], o condensador  $C_1$  é usado para cancelar a diferença entre nó virtual de amostragem de referência no MDAC e o ponto de mudança no inversor da primeira etapa. Isto assegura que o valor ideal para  $V_{in}$  vai sempre tender para  $V_{CMX}$ , independentemente do valor de threshold do inversor. A "região morta" do amplificador em anel é embebida antes dos inversores da segunda etapa ao guardar o offset da tensão nos condensadores  $C_2$  e  $C_3$ . Qualquer valor de  $V_{in}$  dentro da "região morta" é um estado viável para o amplificador em anel, e o valor de referência na entrada vai determinar a precisão total do amplificador na maior parte dos casos.

Depois da rampa de carga inicial, o amplificador em anel vai começar a oscilar à volta do valor definido, com uma certa amplitude  $\Delta V_{init}$ . Sem "região morta", a

## 2.4. AMPLIFICADORES BASEADOS EM OSCILADORES EM ANEL

estrutura é idêntica funcionalmente a um oscilador em anel com três inversores e vai continuar a oscilar indefinidamente. Mas à medida que o tamanho da "região morta" vai aumentando, o amplificador em anel vai eventualmente atingir uma condição onde consegue estabilizar-se a si próprio. Se a "região morta" continua a aumentar, o tempo necessário para estabilizar diminui substancialmente, e por isso, normalmente os amplificadores em anel vão estabilizar em apenas um ou dois períodos de oscilação.

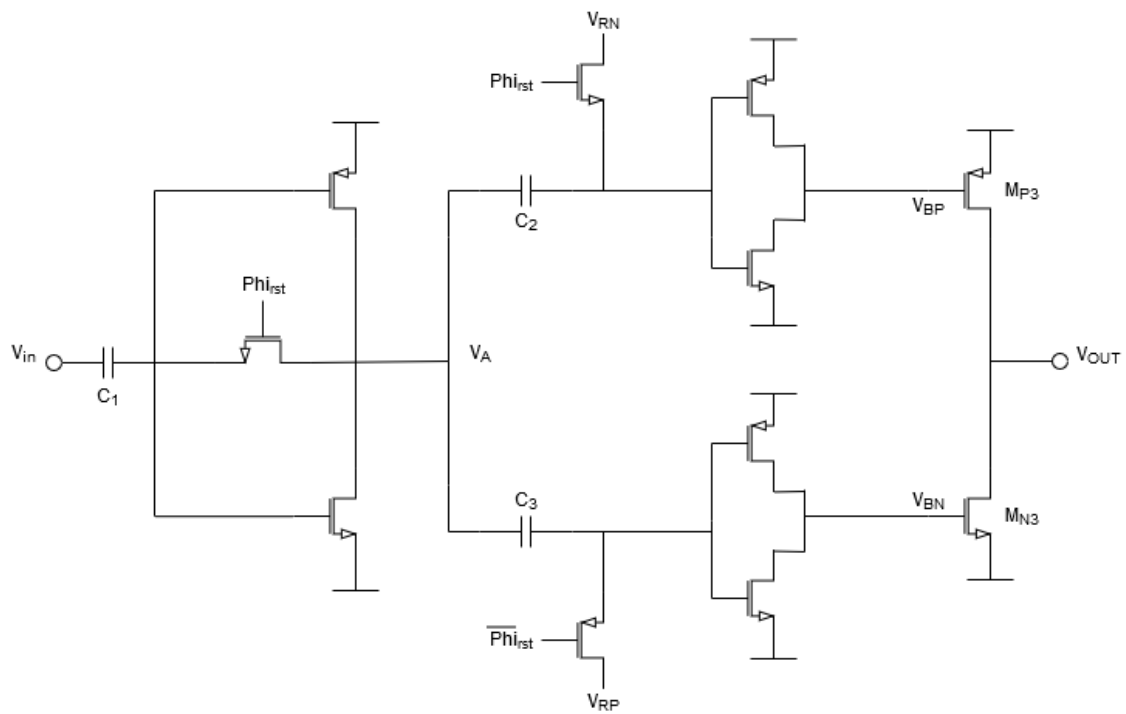


Figura 2.18: Amplificador em anel de [6] apenas com transistores

Amplificadores em anel comportam-se de uma maneira fundamentalmente diferente em relação aos amplificadores convencionais que lhes vai dar um conjunto único de características que vão ser bastante vantajosos para o design de tecnologias modernas CMOS. Como dito em [5], os transístores de saída do amplificador em anel comportam-se como fontes de corrente comutadas digitalmente. Quando são ligados inicialmente, os transístores de saída são polarizados com a máxima tensão  $V_{OV}$  possível, e ainda por cima transístores pequenos conseguem transferir grandes quantidades de corrente dinâmica para a saída. Além de conservar energia, isto permite ao amplificador em anel conseguir carregar grandes quantidades de cargas capacitivas com grande eficiência.

Esta montagem também é compatível com o desafio de escalamento de tecnologia CMOS, pois a precisão destes amplificadores é determinada exclusivamente pela amplitude da "região morta" de entrada que apenas vai depender do ganho do inversor da primeira etapa. Isto permite a estes amplificadores operar no intervalo completo do *output swing* sem aumentar a distorção.

## 2.5 Amplificadores Dinâmicos

Recentemente, têm sido desenvolvidos amplificadores dinâmicos em malha aberta por serem apresentarem uma amplificação eficiente a nível energético nos ADCs pipeline com SAR-ADCs embutidos porque vão beneficiar das suas propriedades dinâmicas. Normalmente são introduzidas técnicas de calibração para reduzir a instabilidade do ganho só que estas calibrações requerem algumas restrições ao nível das propriedades de entrada e forem de um longo tempo de convergência e de alguma complexidade no seu design.

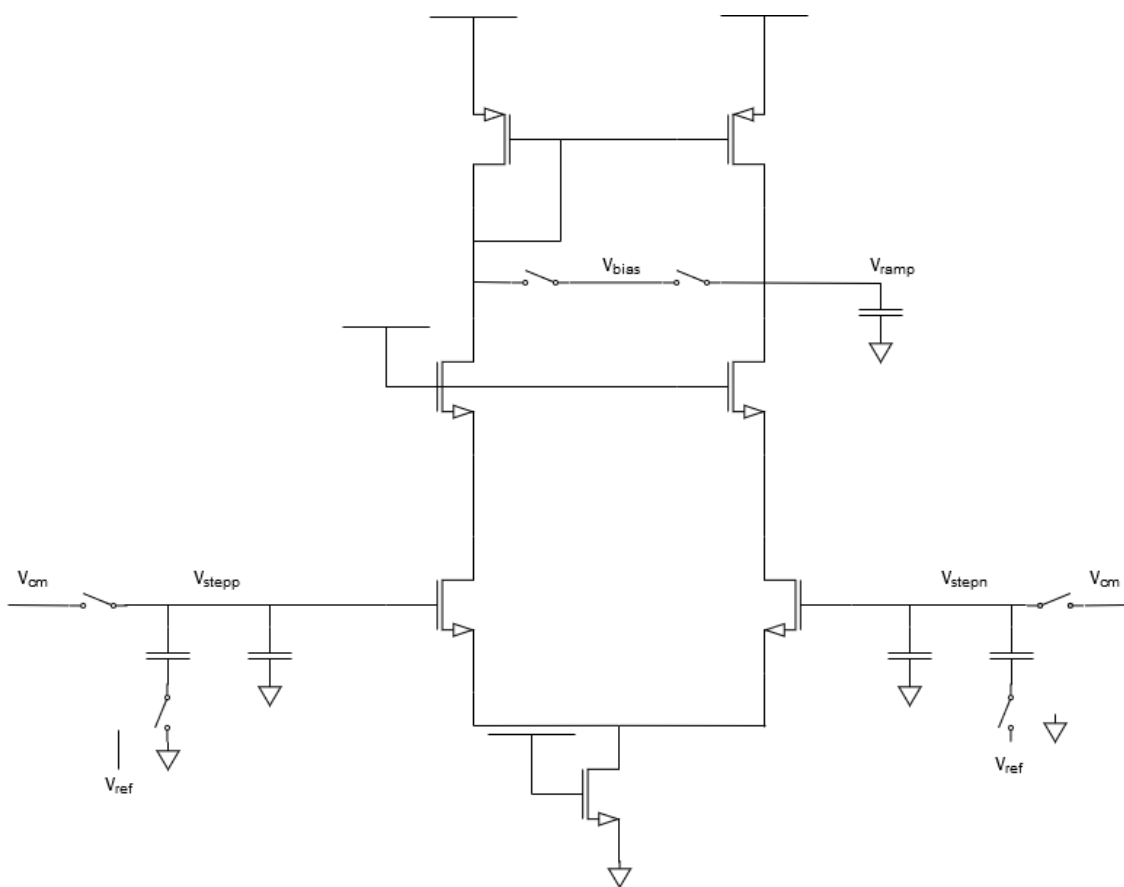


Figura 2.19: Amplificador réplica utilizado em [8]

Em [8], é construído um amplificador dinâmico PVT-estável (variações de processo, tensão de alimentação e temperatura). Num amplificador dinâmico, o início da curva de estabilização pode ser aproximada para uma rampa com um declive de  $\frac{g_m \cdot V_{step}}{C_L}$ . Este amplificador com apenas um pólo, no início da estabilização, é bastante parecido com o amplificador dinâmico que apresenta um declive de  $\frac{g_{mA} \cdot V_{step}}{C_{LA}}$ . Se usarmos este amplificador como uma replica para estabelecer o tempo de variação  $t_A$  no amplificador dinâmico e assim facilitar um ganho constante de tensão.

Em [3], é desenvolvido um amplificador resíduo dinâmico pois consegue amplificação muito eficiente a nível energético e consegue filtrar bastante bem o ruído e ao mesmo tempo conseguindo um ganho alto. É constituído por um par diferencial de entrada, dois transístores em cascode e dois condensadores de integração  $C_1$  e  $C_2$ . Com esta montagem, conseguiram alcançar um ganho nominal de  $5x$  (V/V) com um intervalo de temperatura  $[-5$  a  $+85]^{\circ}\text{C}$ .

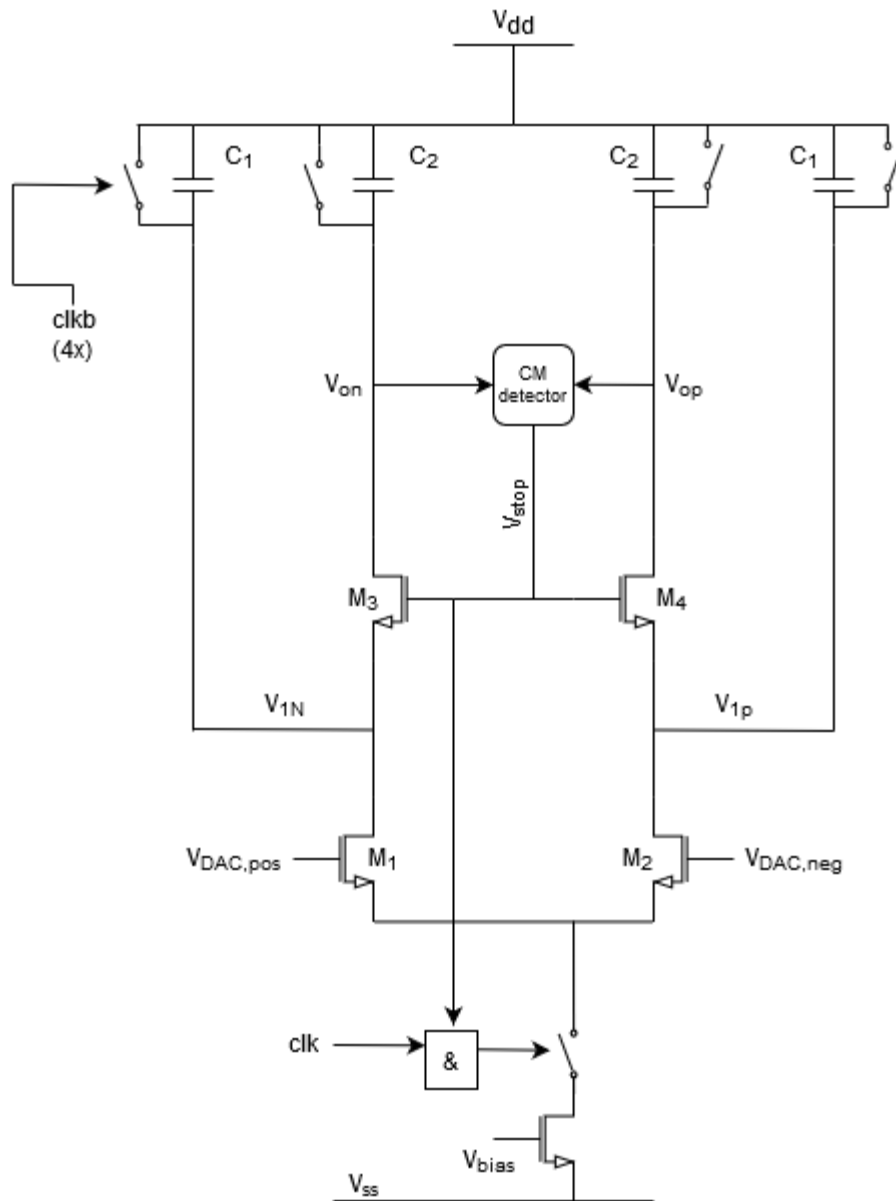


Figura 2.20: Amplificador resíduo apresentado em [3]



Durante a primeira fase de integração, os transístores cascode estão desligados e o ruído e a tensão de resíduo são apenas integradas em  $C_1$ . Depois de atravessar a tensão de threshold no transístor cascode, começa a fase 2 ao transferir a carga diferencial de  $C_1$  para  $C_2$  e a integração continua em  $C_2$ . É necessário um sinal de stop para estabelecer o ganho, que vai ser gerado por um circuito detector em modo comum (CM).

Como o ganho total é equivalente ao de um simples integrador, o filtro equivalente tem o menor possível largura de banda de ruído  $\frac{1}{2T_{Int}}$ , onde  $T_{Int}$  é o total tempo de integração. Este filtro reduz o efeito do ruído nos transístores do próprio amplificador resíduo. Com esta montagem, segundo [3] foi conseguido um ganho nominal de 16x (V/V), escolhendo  $C_1=500$  fF e  $C_2=200$  fF. Este amplificador vai ter duas vantagens, em que a dissipação de potência do comparador na 2ª etapa pipeline vai ser reduzida significativamente e o ganho alto vai reduzir a sensibilidade do ruído do circuito de detecção CM porque o valor pequeno de  $C_2$  aumenta o declive do sinal CM, permitindo uma redução de potência no circuito de detecção CM.

Em [14], é construído um amplificador resíduo de apenas uma andar em que de seguida vai ser adicionada calibração para reduzir a não linearidade do DAC, o que vai melhorar bastante o SNDR utilizando menos energia. Este amplificador vai ser bastante importante na redução de ruído térmico no ADC sem um impacto grande na dissipação de potência.

Durante a amplificação, os interruptores controlados por  $clk_A$  são ligados e os transístores N1 e P1 geram uma certa diferença na corrente de saída que vai ser integrada no condensador de carga. Após um certo tempo  $t_{amp}$ , os interruptores controlados por  $clk_A$  são desligados, interrompendo a circulação da corrente no amplificador e fixando um valor na tensão de saída que vai ser quantizada no SAR. Após o termino da quantização, os interruptores controlados por  $clk_R$  são ligados o que vai curto circuitar as saídas diferenciais. O ganho em modo comum do amplificador vai ser reduzido pelos transístores N2 e P2.

Ao reduzir o número de fontes de ruído para apenas os transístores N1 e P1, e polarizar os mesmos usando a mesma corrente, este amplificador consegue combinar uma potência baixa com pouco ruído. Como não existe perda de carga ao reiniciar as saídas a ground, toda a corrente fornecida é usada de maneira eficiente na amplificação.

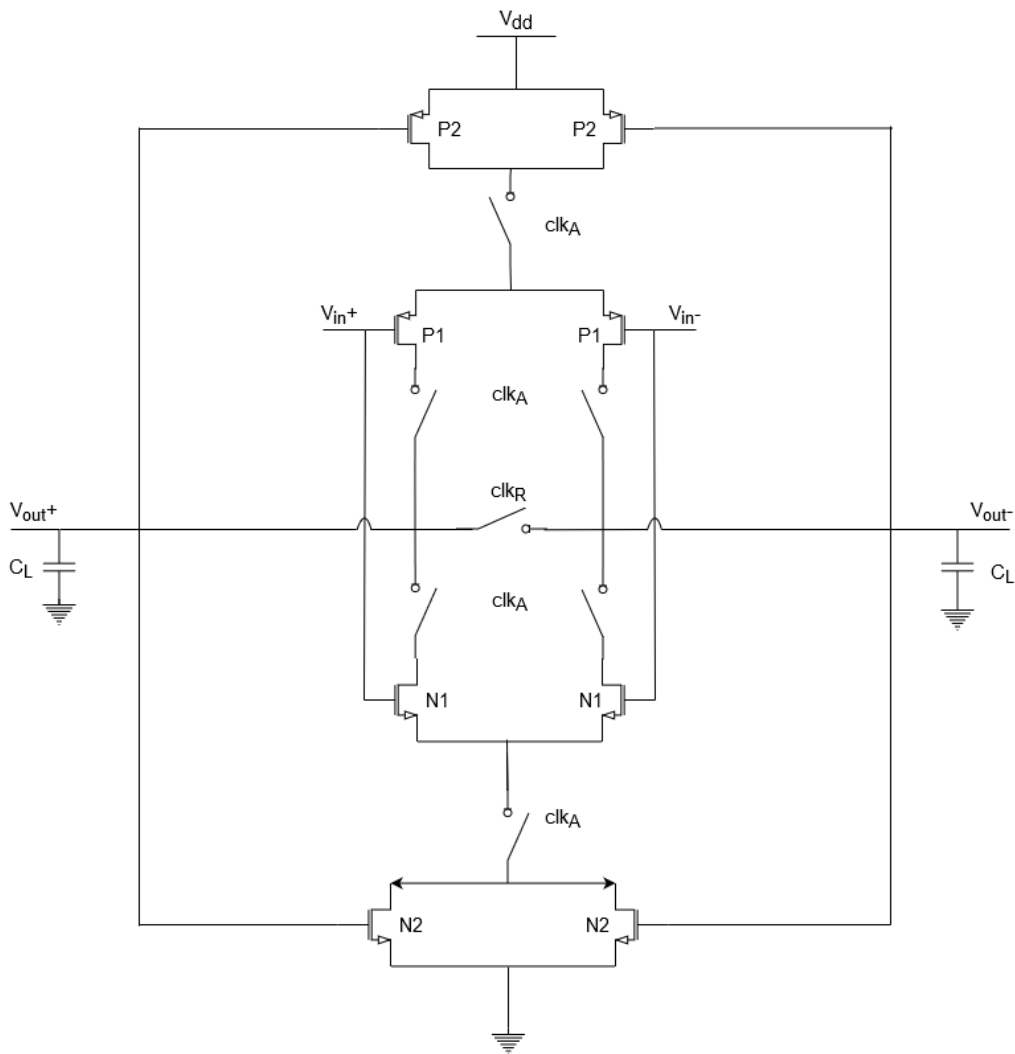


Figura 2.21: Amplificador dinâmico complementar usado em [14]

## 2.6 Compensação de Temperatura

Apesar da montagem seguidora apresentar várias vantagens como filtragem do ruído e eficiência ao nível da potência dissipada, o ganho deste amplificador vai ser bastante sensível ao processo de fabrico, tensão de alimentação e a variações de temperatura devido ao seu funcionamento em malha aberta.

Nos últimos anos várias técnicas têm sido desenvolvidas para contornar este problema como em [17], em que ele desenvolve um amplificador dinâmico utilizando uma técnica de compensação de temperatura com um ganho moderado 12x (V/V) mas com uma complexidade reduzida.

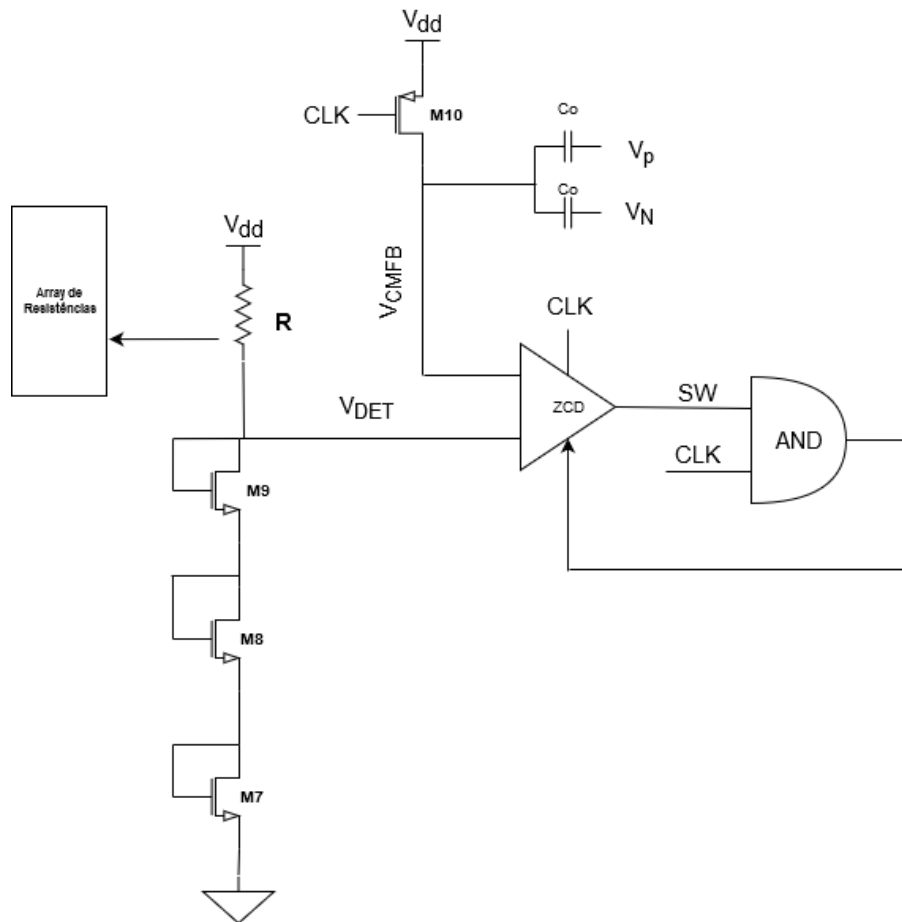


Figura 2.22: Amplificador dinâmico insensível à temperatura

Consiste num amplificador dinâmico com compensação de temperatura usando um zero-crossing-detector (ZCD) com um detector em modo comum (CM) que vai ter uma tensão de threshold dependente da temperatura em que podemos usar o princípio da compensação de temperatura baseado em multiplicação. Como a eficiência dos transístores depende da temperatura e o factor  $V_{DD} - V_{DET}$  pode se modelado em  $TC_{gm/I_d} * (T - T_0) + (gm/I_d)T_0$ , podemos retirar a dependência linear da temperatura do ganho do amplificador dinâmico se os coeficientes de temperatura da eficiência dos transístores e o factor  $V_{dd} - V_{det}$  tiverem diferentes polaridades e se o seu rácio tiver um certo valor.

O ZCD representado na figura 2.23, é constituído por um amplificador de apenas um andar, um inversor dinâmico e um inversor convencional. O offset dependente da temperatura é muito inferior ao factor  $V_{dd} - V_{det}$  e por isso não vai afectar a compensação de temperatura.

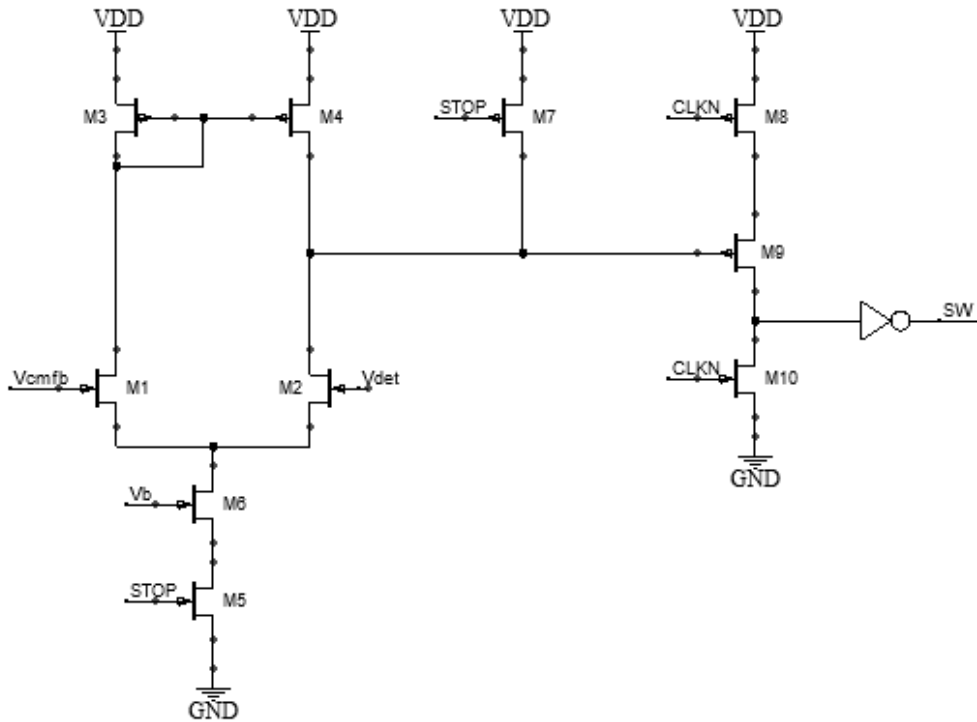


Figura 2.23: Esquemático de um ZCD

	[3]	[16]	[17]
Tecnologia (nm)	65	130	130
Ganho Nominal (V/V)	5	32	12
Alcance Temperatura (°C)	[-5 para 85]	[-40 para 85]	[-20 para 85]
Rácio Potência/Rapidez (W/Hz)	$3.33 \times 10^{-12}$	$6.90 \times 10^{-12}$	$2.20 \times 10^{-12}$
Tensão de alimentação (V)	1.3	1.2	1.2

Tabela 2.1: Performance de alguns amplificadores

Em [16] é desenvolvido um amplificador resíduo baseado em tempo com um ganho elevado insensitivo a temperatura de  $32 \times V/V$ , só que possui uma complexidade mais elevada de que um amplificador convencional por se basear numa conversão no domínio do tempo. Em ambas as técnicas é preciso ter cuidado em não usar L mínimos porque as correntes de fuga podem comprometer a compensação de temperatura a temperaturas altas.

Na tabela 2.1, é resumido a performance de alguns amplificadores referidos anteriormente com compensação de temperatura. Apesar de em [16], o ganho do amplificador ser consideravelmente superior ao de [17], em [17] é conseguido eliminar a operação em função do tempo para além de aumentar o intervalo de temperatura em que consegue funcionar. Desta maneira será mais eficiente para aplicações que necessitam de grande eficiência energética. Consegue também

## 2.6. COMPENSAÇÃO DE TEMPERATURA

---

obter um ganho maior em relação a [3] com um maior alcance de temperatura.



## TRABALHO EXECUTADO

### 3.1 Trabalho realizado

Durante o semestre, desde que fui aceite neste tema, procurei começar por estudar algumas técnicas usadas para construir amplificadores resíduos. Procurei saber mais o contexto em que eles são desenvolvidos nos Pipeline ADCs, que durante os últimos anos este tem evoluído bastante ao usar o SAR ADC em vez de um Flash ADC, como por exemplo. De seguida, comecei a fazer análises teóricas de algumas técnicas em específico que tem evoluído bastante nos últimos anos como a amplificação paramétrica representada na figura 3.1 usando MOSCAPs referidas anteriormente, tentando chegar às expressões da conservação de carga e perceber como esta técnica iria chegar a um certo ganho.

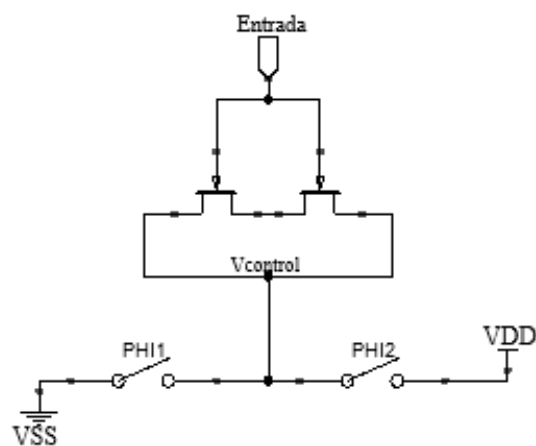


Figura 3.1: Estrutura de um nMOSCAP

Consequentemente, estudei uma montagem cascode dinâmica com MOSCAPs embutido que poderia ser base do amplificador que irei construir nesta tese e que está representado na figura 3.3.

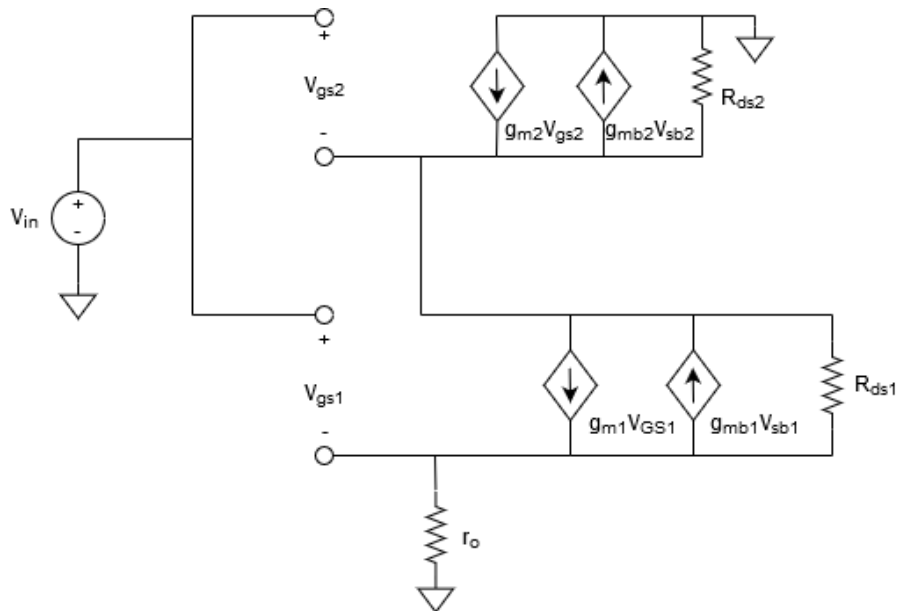


Figura 3.2: Circuito de Pequenos Sinais

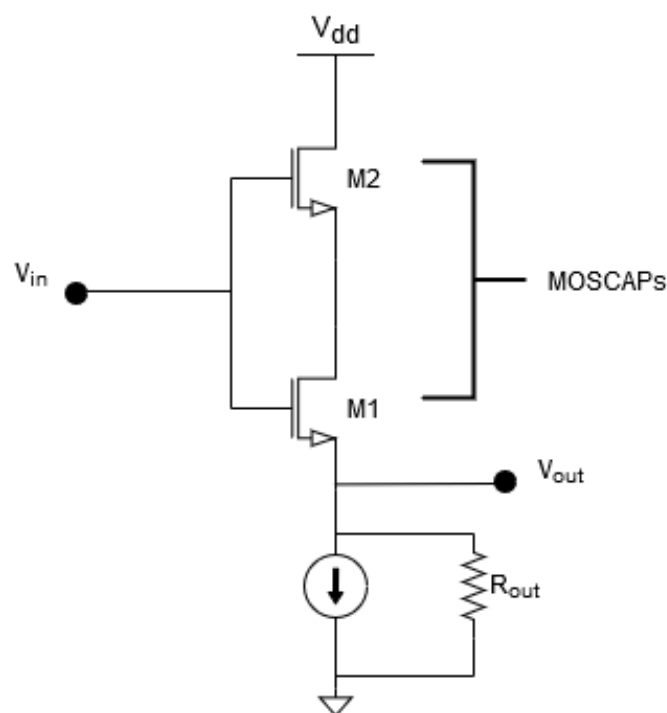


Figura 3.3: Amplificador estudado

Comecei por fazer a análise DC através do esquema de pequenas sinais onde consegui obter a seguinte expressão de ganho DC:



Em cada um MOSCAPs, na fase inicial, a fonte é ligado ao ground e a entrada é amostrada na porta. A tensão de entrada é assumida ser grande o suficiente para produzir cargas de inversão. No início da fase de hold, o interruptor de entrada é desligado. A tensão de entrada amostrada fica agora na porta. Na fase de boost, a fonte é ligada a uma grande tensão  $V_{pull}$ , que vai atrair todas as cargas de inversão para ao pé da porta e por isso esta tensão sobe, conseguindo ter um certo ganho.

$$A_{DC} = \frac{g_{m1}R_0}{1 + (g_{mb1} + g_{m1})R_0} \simeq 1 \quad (3.1)$$

Como demonstrado na expressão 3.3 se o efeito de carga for desprezado, o ganho desta montagem vai ser aproximadamente unitário e por isso vai depender exclusivamente da amplificação paramétrica nos MOSCAPs que depois teriam de ser dimensionados. Este ganho iria depender dos valores das capacidades parasitas dos transístores entre as duas fases. Para prevenir o facto de a tensão de alimentação subir acima de  $V_{dd}$ , iria ser necessário utilizar dois pMOSCAPs para produzir o efeito inverso.

## 3.2 Dimensionamento do Amplificador

Os transístores foram inicialmente dimensionados com  $W$  igual para todos os transístores tanto nMOS como pMOS. De seguida, através dos gráficos das simulações do sinal de saída, verificou-se que os dois sinais, apesar de demonstrarem um ganho em amplitude em relação ao sinal de entrada sinusoidal, não estavam centrados em  $V_{cm}$ , mais precisamente nos 600 mV. Posteriormente, dimensionou-se os nMOS reduzindo o seu  $W$  e os pMOS, contrariamente, aumentou-se o  $W$  conseguindo-se centrar a onda de saída. Isto acontece devido ao nível da corrente tanto do lado nMOS, como do lado PMOS, e por isso é necessário equilibrar os dois lados do circuito. Curiosamente, utilizando outra tecnologia abaixo dos 130 nm, consegue-se ter uma forma de onda centrada nos 600 mV tendo todos os transístores dimensionados com o mesmo  $W$ , devido à diferença entre as capacidades parasitas de ambas as tecnologias.

Para tentar aumentar ganho, tentamos inverter o sinal, utilizando do lado nMOS, dois pMOS e um PMOS e do outro lado, a mesma coisa mas ao contrário. Testei também utilizando mais transístores em série, mas em ambos os testes chegou-se a conclusão que o ganho tangível com esta montagem e tecnologia, tinha chegado ao limite e era impossível aumenta-lo consideravelmente.

Dimensionamento dos Transístores	Comprimento (L=130nm)
Mn	17.6 $\mu\text{m}$
Mp	47 $\mu\text{m}$
Gerador Dinâmico Interruptores	100 $\mu\text{m}$
Interruptores Bootstrapped	4 $\mu\text{m}$

Figura 3.4: Dimensionamento dos Transístores

O ganho do amplificador proposto foi simulado com um sinal de entrada sinusoidal de 40 mVpp-diff a 10 MHz com uma tensão de alimentação de 1.2 V a uma taxa de amostragem de 100 MS/s. As tensões pico a pico de entrada e de saída foram utilizadas para avaliar o ganho do amplificador resíduo paramétrico proposto.

### 3.3 Amplificador Proposto

Este amplificador foi implementado inicialmente com dois transístores nMOS em série e outros dois pMOS também em série. Com esta implementação, inicialmente conseguimos o ganho 3 com um consumo bastante aceitável. Mas através das infinitas possibilidades, que este amplificador propõe, implementamos outro transístor em série em cada lado aumentando o ganho para 4 mantendo um consumo baixo na volta dos 100  $\mu\text{W}$ , com um ENOB de 8 bits e THD = - 54 dB. Esta amplificação paramétrica tem um conjunto bastante variado de possibilidades que irão permitir construir amplificadores de ganho  $2^n$ , para conversores concorrenciais analógico-digitais, reduzindo bastante o consumo de todo o circuito. Apresenta um ruído bastante reduzido, contribuindo muito para o conversor como um todo.

Como o ganho vai variar significativamente com a temperatura, construiu-se um circuito de compensação de temperatura representado nas figuras 3.5 e 3.6. Cada um dos circuitos é constituído por três transístores em série com o mesmo

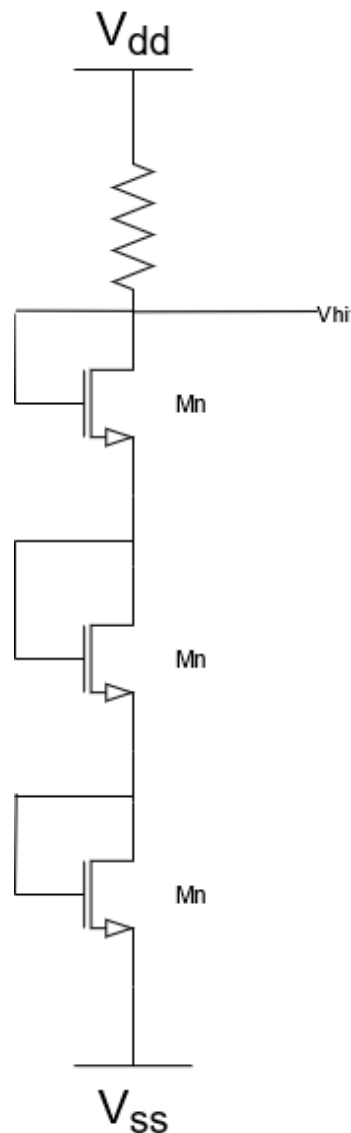


Figura 3.5: Circuito de Compensação de Temperatura NMOS

tamanho que os transístores Mn e Mp em configuração de díodo e com uma resistência de carga. Através desta resistência, ao variamo-la, conseguimos controlar o declive das tensões de  $V_{lo}$  e  $V_{hi}$  de acordo com a sua variação com a temperatura, tendo diferentes valores de  $V_{dd}$  e  $V_{ss}$  respectivamente. De acordo com as simulações, com uma resistência de 150 Ohms, consegui obter um erro de ganho de +/- 10 % que foi o melhor valor que consegui obter variando a temperatura de cerca de -40°C até 140°C.

Os transístores foram inicialmente dimensionados com  $W$  igual para todos os transístores tanto nMOS como pMOS. De seguida, através dos gráficos das simulações do sinal de saída, verificou-se que os dois sinais, apesar de demonstrarem

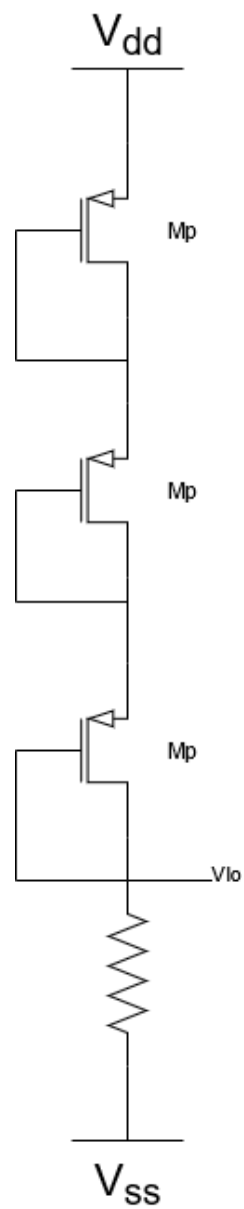


Figura 3.6: Circuito de Compensação de Temperatura PMOS

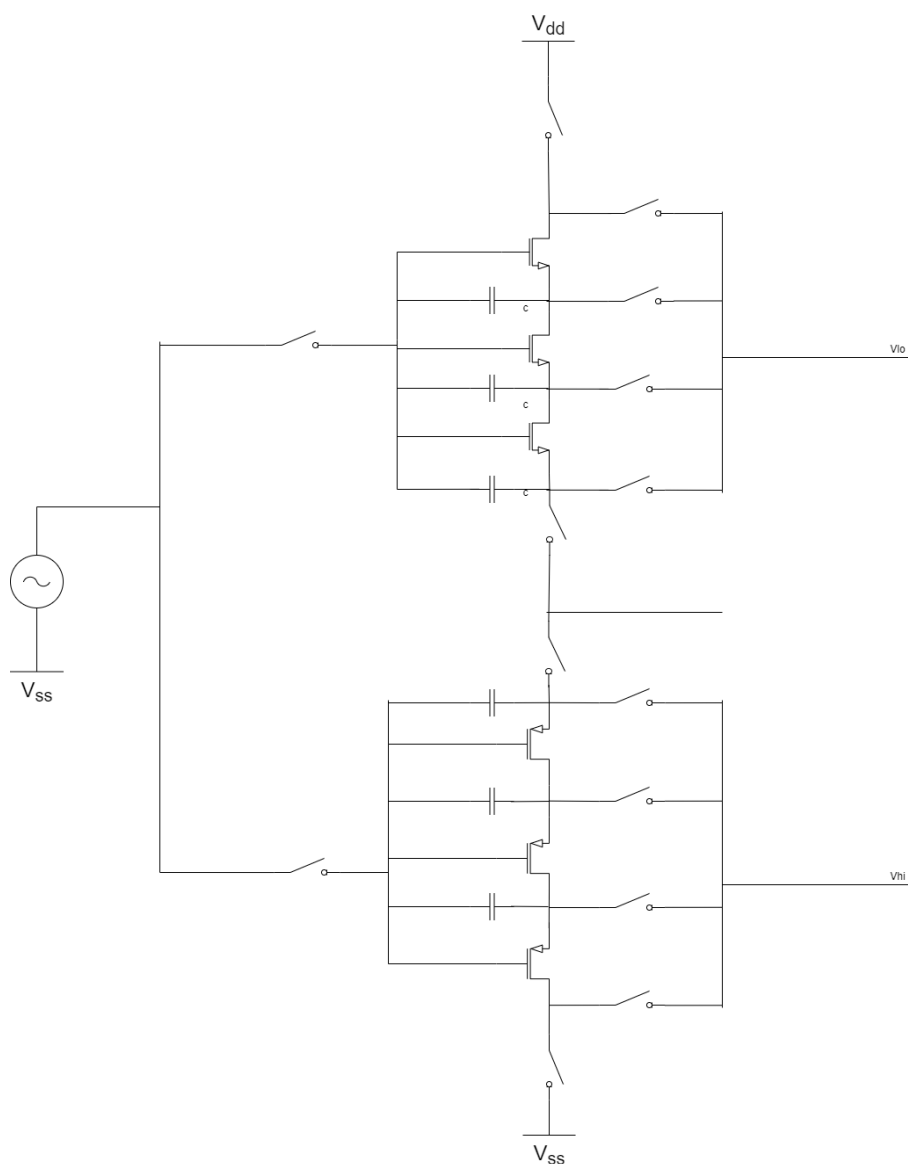


Figura 3.7: Amplificador Proposto

um ganho em amplitude em relação ao sinal de entrada sinusoidal, não estavam centrados em  $V_{cm}$ , mais precisamente nos 600 mV. Posteriormente, dimensionou-se os nMOS reduzindo o seu  $W$  e os pMOS, contrariamente, aumentou-se o  $W$  conseguindo-se centrar a onda de saída. Isto acontece devido ao nível da corrente tanto do lado nMOS, como do lado pMOS, e por isso é necessário equilibrar os dois lados do circuito. Curiosamente, utilizando outra tecnologia abaixo dos 130 nm, consegue-se ter onda centrada nos 600 mV tendo todos os transístores dimensionados com o mesmo  $W$ , devido à diferença entre as capacidades parasitas de ambas as tecnologias.

Os interruptores de entrada e de saída são bootstrapped para suportarem ambos os sinais e aumentar a linearidade, enquanto que os restantes interruptores

são apenas pequenos transístores nMOS e pMOS.

Para tentar aumentar ganho, tentamos inverter o sinal, utilizando do lado nMOS, dois nMOS e um pMOS e do outro lado, a mesma coisa mas ao contrário. Também testei utilizando mais transístores em série, mas em ambos os testes chegou-se a conclusão que o ganho com esta montagem e tecnologia, tinha chegado ao limite e era impossível aumentá-lo consideravelmente.

O ganho do amplificador proposto foi simulado com um sinal de entrada sinuoidal de 40 mVpp-diff a 10 MHz com uma tensão de alimentação de 1.2 V a uma taxa de amostragem de 100 MS/s. As tensões pico a pico de entrada e de saída foram utilizadas para avaliar o ganho do amplificador resíduo paramétrico proposto.

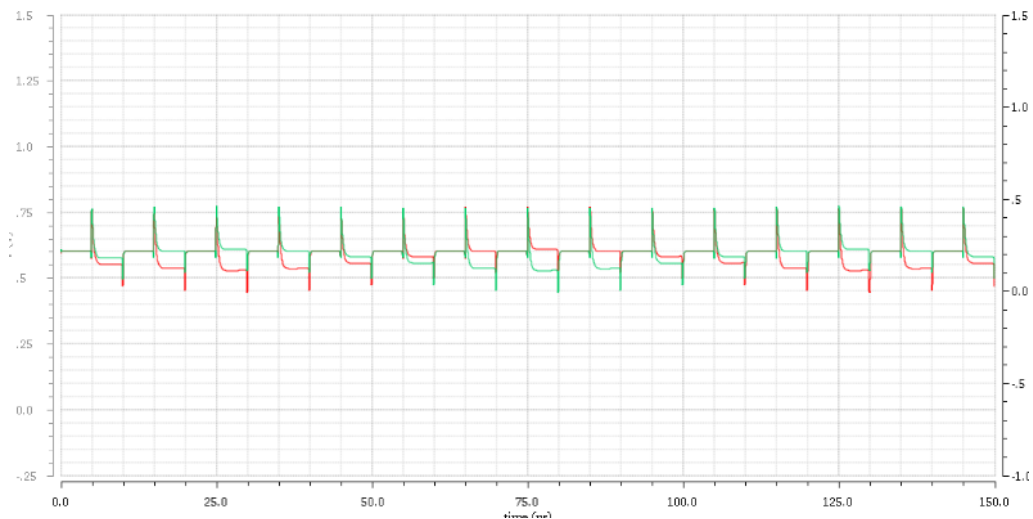


Figura 3.8: Ganho dinâmico Single-ended

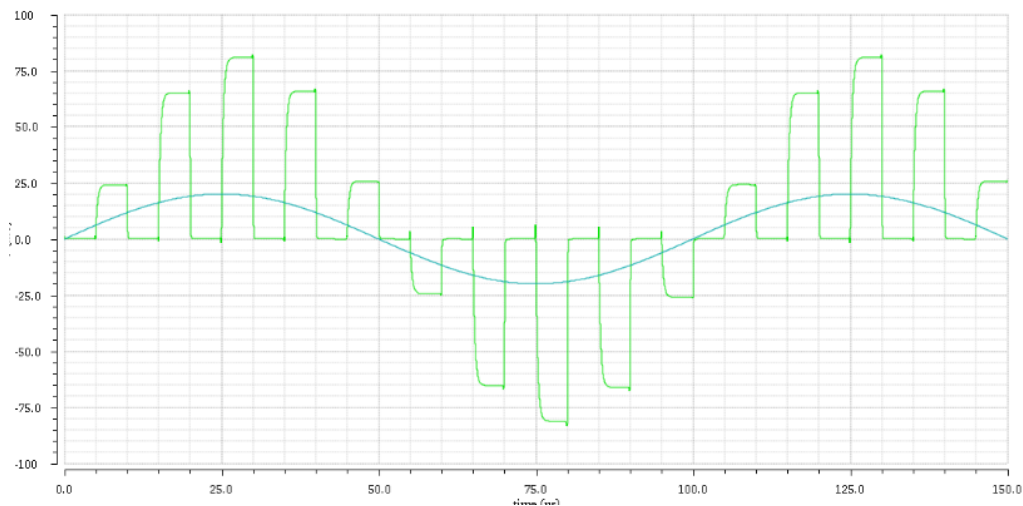


Figura 3.9: Ganho dinâmico diferencial

Na figura 3.9, podemos ver que a tensão pico-a-pico de ambas as ondas,  $V_{out}$  e  $V_{in}$ , são respectivamente 160 mV e 40 mV (dobrando as tensões pico-a-pico da simulação transiente do amplificador single-ended), o que corresponde a um ganho nominal de 4 (V/V).

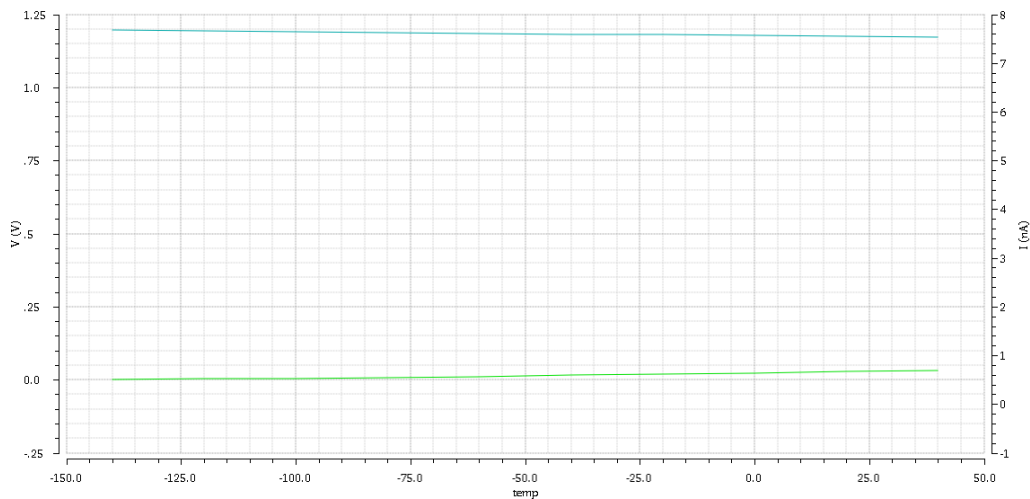


Figura 3.10: Variação das tensões de  $V_{lo}$  e  $V_{hi}$

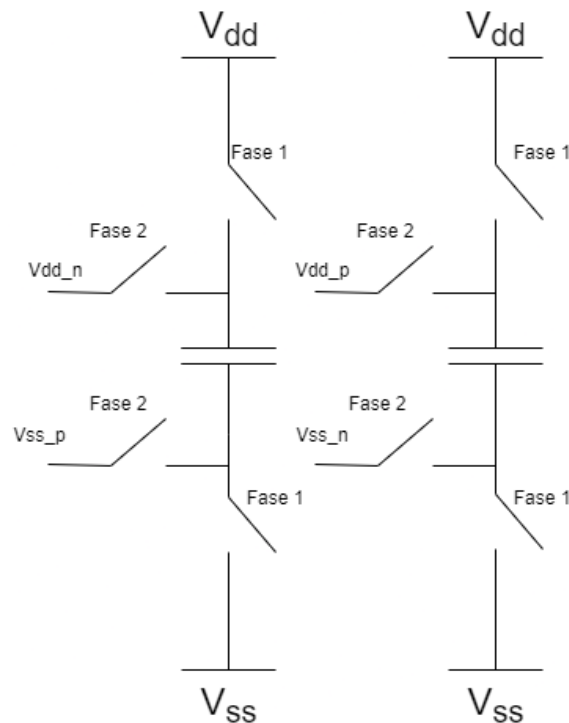


Figura 3.11: Gerador dinâmico de  $V_{DD}$

Primeiramente estudamos a amplificação paramétrica usando dois transístores nMOS em série em formato de MOSCAP, e outros dois transístores pMOS no

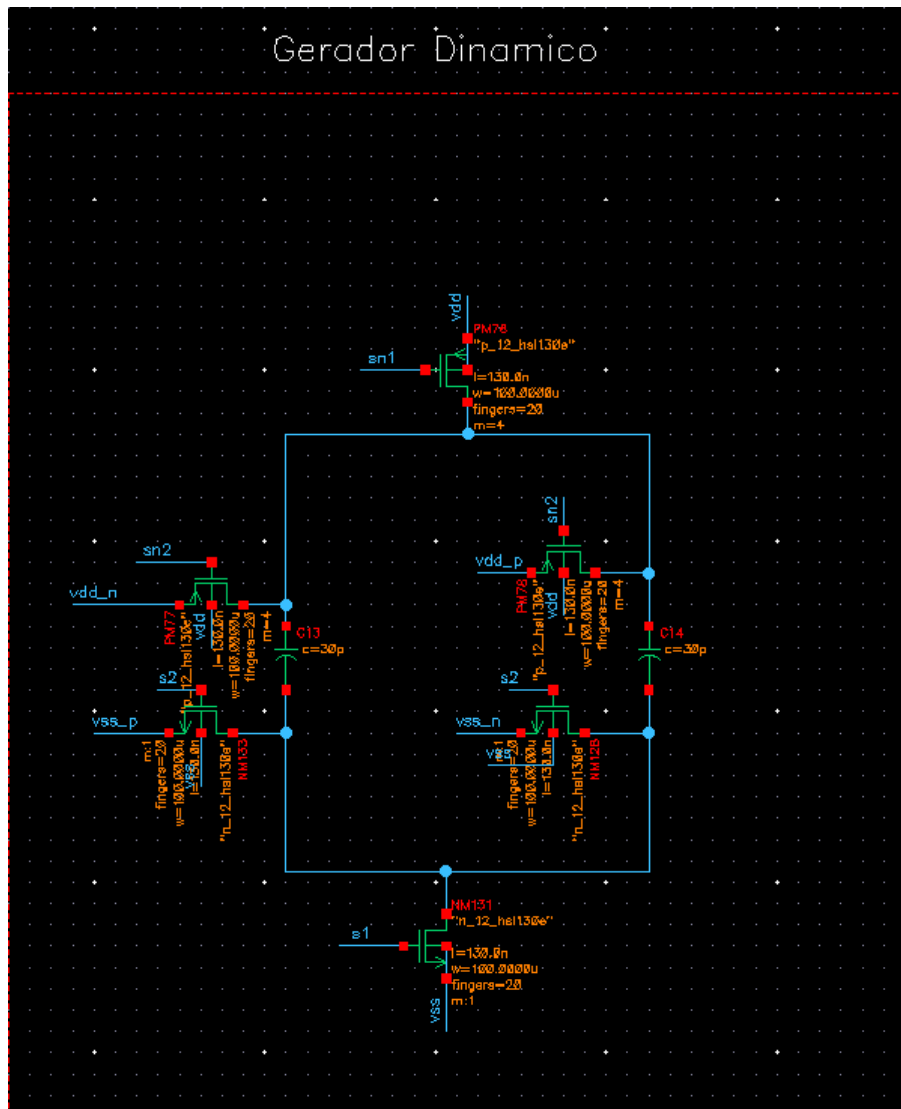


Figura 3.12: Gerador dinâmico no Cadence Virtuoso

mesmo formato. O circuito vai operar em duas fases, uma fase de amostragem e uma fase de amplificação, em que, na fase de amostragem todos os transístores vão ser polarizados para a região de inversão com as suas portas conectadas ao sinal de entrada  $V_{in}$ , e os terminais dreno, fonte e substrato conectados às tensões  $V_{lo}$  e  $V_{hi}$  para os transístores  $M_n$  e  $M_p$  MOSCAP respectivamente. Por isso, variações no sinal de entrada vão causar também diferenças na carga total na porta de cada transístor.

$$Q_{fase1} = ((C_{GS} + C_{GD} + C_{SB} + C_{GS_{ext}}) * V_{in} \quad (3.2)$$

Na fase de amplificação, os transístores MOSCAP vão estar associados em série com os terminais dreno e fonte conectados ao  $V_{dd}$  e à saída respectivamente. As portas "curto circuitadas" vão ser deixadas a flutuar. Da mesma maneira, os



transístores PMOS MOSCAP vão estar também associados em série com o dreno e a fonte resultantes conectados a  $V_{dd}$  e  $V_{out}$ , respectivamente. Para reduzir o efeito de corpo, os terminais da fonte e do bulk estão conectados nos transístores nMOS e pMOS MOSCAP. O circuito assim vai funcionar como uma montagem de tensão seguidora de classe AB. Como a carga total é conservada durante a fase de amostragem e de amplificação, como os transístores estão associados em série, a o ganho de amplificação de resíduo é aproximadamente dada pela soma das contribuições. (Expressão do ganho) na carga total da porta só podem ser devido à carga em  $C_{gd*}$ , que vai ser diferente de que na fase de amostragem.

$$Q_{fase2} = ((C_{GD}^*) * V_{out}) \quad (3.3)$$

$$Gain = 3 * \frac{C_{Gs} + C_{GD} + C_{SB} + C_{GS_{ext}}}{C_{GD}^*} \quad (3.4)$$

As capacidades  $C_{gsnext}$  e  $C_{gspext}$  serão implementadas com dois transístores MOSCAP, idênticos a  $M_n$  e  $M_p$  respectivamente, numa configuração em anti-paralelo para balancear as capacidades parasitas. Estas capacidades vão-nos permitir corrigir as variações que ocorrem pelas variações no processo e, assim, funciona como um mecanismo de calibração ao ajustar a capacidade total destas capacidades. Variações na tensão de alimentação podem ser minimizadas utilizando um regulador de tensão de alimentação, que irá ser implementado durante esta tese. Como o ganho varia significativamente com a temperatura, também irá ser implementado um circuito de compensação de temperatura.

Este amplificador vai ser alimentando por dois condensadores  $C_{deg}$  com as tensões de  $V_{dd}$  e  $V_{ss}$  durante a fase 1. Durante a fase de reset, ambos os condensadores são carregados à tensão de alimentação e a  $V_{ss}$ . Para componentes de alta frequência associados à entrada, durante a fase 2, actua com uma baixa impedância degenerando apenas um pouco os transístores MOS. Com isto o amplificador torna-se dinâmico, alimentando o circuito apenas com a corrente necessária para ocorrer a amplificação paramétrica. Consequentemente, o consumo do nosso circuito baixa consideravelmente.

Na fase de amplificação os condensadores  $C_{DEG}$ , actuam como capacidade degeneradas e como baterias que vão alimentar o circuito durante a fase de amplificação. Simetria em amplificadores diferenciais é essencial para evitar um certo offset e alguma distorção. Portanto, uma certa diferença entre os transístores e os condensadores nas duas metades do circuito vai limitar esta simetria. Esta técnica de

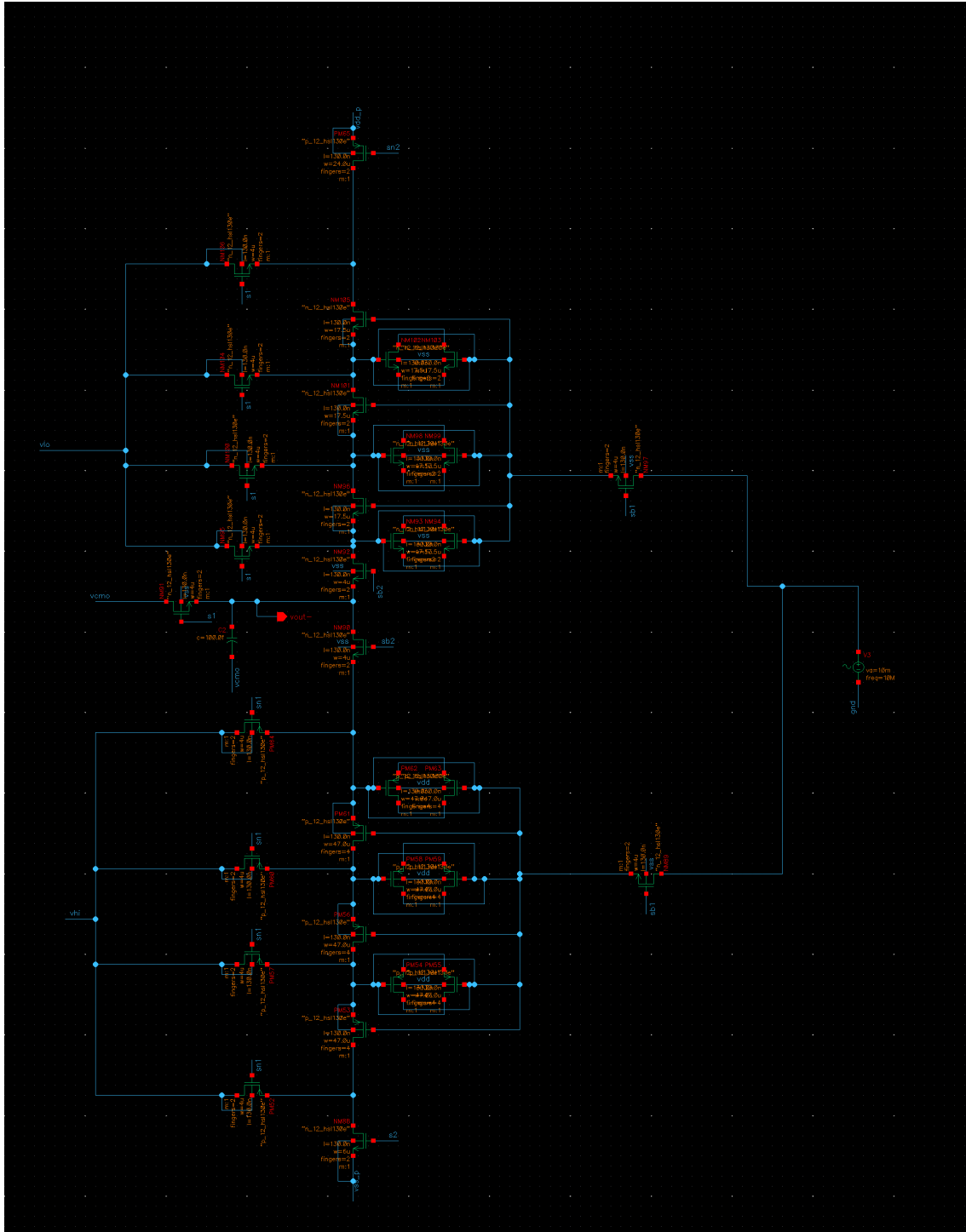


Figura 3.13: Esquemático do Amplificador paramétrico proposto e realizado no Cadence Virtuoso

linearização apenas ajuda distorções de ordem ímpar e não conseguem corrigir estes efeitos. Para ultrapassar este problema, vai se utilizar uma tensão de offset  $V_{CM}$  que é carregada nos condensadores de carga durante a fase de reset. Esta tensão vai equilibrar as tensões iniciais do dreno para a fonte e mitigar as distorções de ordem ímpar causadas por essa falta de simetria.

### 3.4 Discussão de Resultados

Análise Transiente	Amplificador Normal	Amplificador Dinâmico
Ganho (V/V)	4	4
Consumo ( $\mu$ W)	101	95

Figura 3.14: Comparação dos Ganhos e Consumo

Análise FFT	Amplificador Normal	Amplificador Dinâmico
ENOB (bits)	8.09	8.18
THD (dB)	56	56
SFDR (dB)	56	56
SNR (dB)	50	51
SINAD (dB)	50.4	51

Figura 3.15: Comparação da Análise FFT

Fazendo as comparações através da tabela 3.15, verificamos que ao nível desta análise FFT não existe grande diferença entre ambos os amplificadores.

Como podemos verificar na figura 3.16, tanto a taxa de distorção harmônica como o SFDR estabilizam no mesmo valor, 56 dB para o SFDR e -54.3 dB para o THD. Isto comprova que independentemente da temperatura, o amplificador não

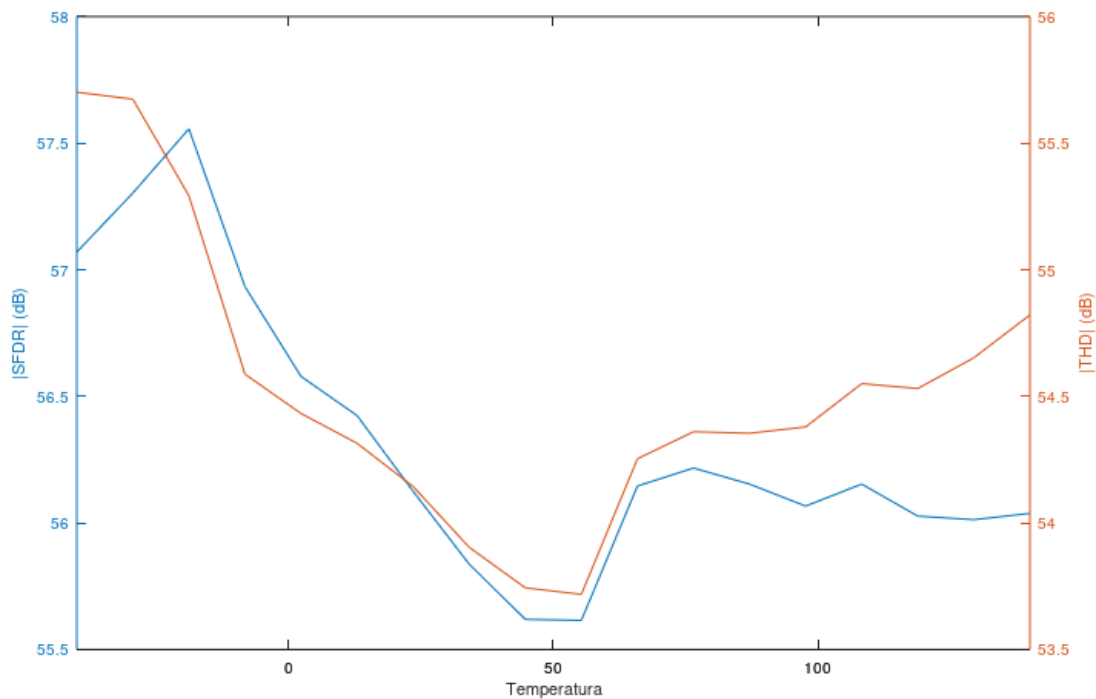


Figura 3.16: SFDR e |THD| em função da temperatura

vai apresentar uma grande quantidade de amplitude nas harmônicas de frequência mais acima e que existe uma grande distância entre o sinal principal e a segunda harmônica da saída.

Através da figura 3.17, conseguimos analisar que existe alguma distorção a temperaturas mais frias mas que acaba por estabilizar nos 80 °C até aos 140 °C. Por isso podemos concluir que o amplificador, independentemente da temperatura, vai produzir um sinal de ganho 4 com pouco ruído e distorção e também pouco sensível a esses aspectos.

Analisando o gráfico da figura 3.18, podemos verificar que o valor do número efectivo de bits que o um hipotético conversor analógico digital irá ter de suportar, vai estabilizar nos 8 independentemente da temperatura, tendo uma performance adequada.

### 3.4. DISCUSSÃO DE RESULTADOS

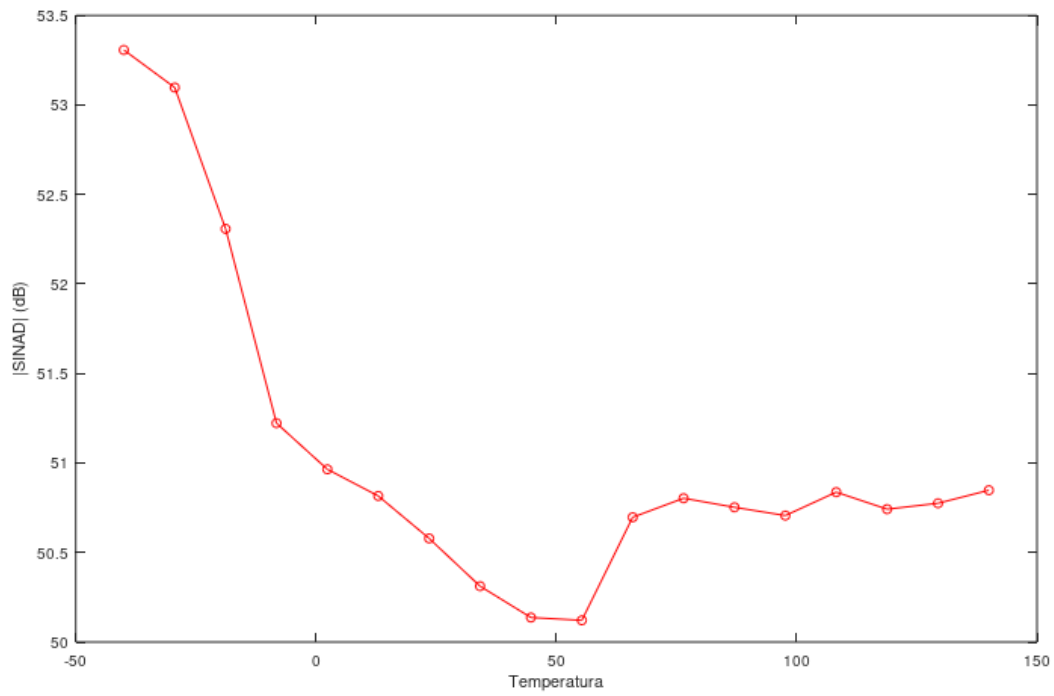


Figura 3.17: SINAD em função da Temperatura

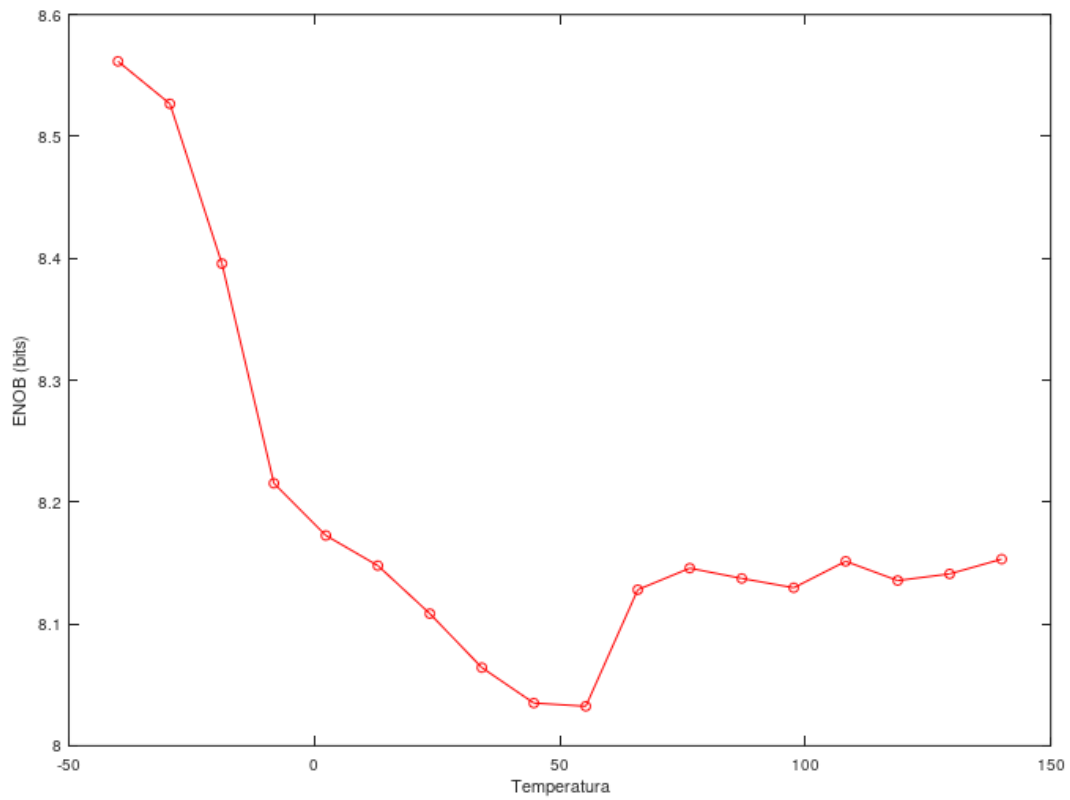


Figura 3.18: ENOB em função da Temperatura



## CONCLUSÃO

Com a realização deste estado da arte, percebi mais acerca da importância destes amplificadores resíduos nos ADCs Pipeline e o quão é importante continuar a desenvolver novas técnicas para os tornar cada mais eficientes e ajustados às necessidades do mundo actual. Através do seu estudo e a utilização de muitas das técnicas referidas anteriormente, é possível construir um amplificador resíduo que consiga superar os desenvolvidos até agora.

Concluindo esta tese, não consegui obter o ganho  $6x$  (V/V) planeado durante a execução do estado da arte devido à tecnologia utilizada. Se tivesse utilizado uma tecnologia melhor como por exemplo 28 nm, aqui vai haver um ganho maior devido às capacidades parasitas podendo conseguir chegar a um ganho  $8$  (V/V). Utilizando 130 nm, consegui apenas  $4$  (V/V).

Mesmo assim, consegui construir um amplificador resíduo dinâmico de classe-AB baseado em amplificação paramétrica MOS para ser usado em conversores analógicos-digitais the grandes velocidades. Com uma fonte de alimentação de 1.2 V, o amplificador resíduo dinâmico tem um ganho simulado em malha aberta de  $4x$  (V/V), tem uma dissipação de potência de 96  $\mu$ W a 10 MHz, e consegue atingir uma variação de ganho de cerca de  $\pm 10\%$  no intervalo de temperatura de  $-40\text{ }^{\circ}\text{C}$  a  $140\text{ }^{\circ}\text{C}$ .

## **4.1 Trabalhos Futuros**

Este amplificador resíduo dinâmico apresenta grandes vantagens ao nível de ganho, consumo para aplicações em conversores analógicos digitais concorrenciais em relação ao estado da arte. Utilizando tecnologias melhores como 28 nm, é possível melhorar este amplificador e com outras técnicas poderão melhorar todas as especificações.



## BIBLIOGRAFIA

- [1] I. Ahmed, J. Mulder e D. A. John. “A Low-Power Capacitive Charge Pump Based Pipelined ADC”. Em: *IEEE Journal of Solid-State Circuits* 45.5 (2010), pp. 1016–1027. ISSN: 0018-9200. DOI: <https://doi.org/https://doi.org/10.1109/JSSC.2010.2042524>.
- [2] S.-H. W. Chiang, H. Sun e B. Razavi. “A 10-Bit 800-MHz 19-mW CMOS ADC”. Em: *IEEE Journal of Solid-State Circuits* 49.4 (2010), pp. 935–949. ISSN: 0018-9200. DOI: <https://doi.org/https://doi.org/10.1109/JSSC.2014.2300199>.
- [3] F. van der Goes, C. Ward, S. Astgimath, H. Yan, J. Riley, J. Mulder, K. Bult e S. Wang. “A 1.5mW 68dB SNDR 80MS/s 2× interleaved SAR-assisted pipelined ADC in 28nm CMOS”. Em: *IEEE International Solid-State Circuits Conference Digest of Technical Papers* 49.4 (2014). ISSN: 0193-6530. DOI: <https://doi.org/https://doi.org/10.1109/ISSCC.2014.6757399>.
- [4] P. Harpe, A. Baschirotto e K. A. A. Makinwa. *High-Performance AD and DA Converters, IC Design in Scaled Technologies, and Time-Domain Signal Processing*. First. Springer, 2014. ISBN: 007-124476-X.
- [5] B. Hershberg, S. Weaver, K. Sobue, S. Takeuchi, K. Hamashita e U.-K. Moon. “A 61.5dB SNDR pipelined ADC using simple highly-scalable ring amplifiers”. Em: *2012 Symposium on VLSI Circuits (VLSIC)* (2012). ISSN: 2158-5601. DOI: <https://doi.org/https://doi.org/10.1109/VLSIC.2012.6243775>.
- [6] B. Hershberg, S. Weaver, K. Sobue, S. Takeuchi, K. Hamashita e U.-K. Moon. “Ring Amplifiers for Switched Capacitor Circuits”. Em: *IEEE Journal of Solid-State Circuits* 47.12 (2012), pp. 2928–2942. ISSN: 0018-9200. DOI: <https://doi.org/10.1109/JSSC.2012.2217865>.
- [7] J. Hu, N. Dolev e B. Murmann. “A 9.4-bit, 50-MS/s, 1.44-mW Pipelined ADC Using Dynamic Source Follower Residue Amplification”. Em: *IEEE*

- Journal of Solid-State Circuits* 44.4 (2009), pp. 1057–1066. DOI: <https://doi.org/https://doi.org/10.1109/JSSC.2009.2014705>.
- [8] H. Huang, S. Sarkar, B. Elies e Y. Chiu. “A 12b 330MS/s Pipelined-SAR ADC with PVT Stabilized Dynamic Amplifier Achieving <1dB SNDR Variation”. Em: *IEEE International Solid-State Circuits Conference* (2017). ISSN: 2376-8606. DOI: <https://doi.org/https://doi.org/10.1109/ISSCC.2017.7870466>.
- [9] B. Murmann e B. E. Boser. “A 12-bit 75-MS/s Pipelined ADC Using Open-Loop Residue Amplification”. Em: *IEEE Journal of Solid-State Circuits* 38.12 (2003), pp. 2040–2050. DOI: <https://doi.org/https://doi.org/10.1109/JSSC.2003.819167>.
- [10] J. Oliveira, J. Goes, M. Figueiredo, E. Santin, J. Fernandes e J. Ferreira. “An 8-bit 120-MS/s Interleaved CMOS Pipeline ADC Based on MOS Parametric Amplification”. Em: *IEEE Transactions on Circuits and Systems II: Express Brief* 57.2 (2010), pp. 105–109. ISSN: 1549-7747. DOI: <https://doi.org/https://doi.org/10.1109/TCSII.2009.2038632>.
- [11] S. Ranganathan e Y. Tsvividis. “Discrete-Time Parametric Amplification Based on a Three-Terminal MOS Varactor: Analysis and Experimental Results”. Em: *IEEE Journal of Solid-State Circuits* 38.12 (2003), pp. 2087–2093. DOI: <https://doi.org/https://doi.org/10.1109/JSSC.2003.819162>.
- [12] B. D. Sahoo e B. Razavi. “A 10-b 1-GHz 33-mW CMOS ADC”. Em: *IEEE Journal of Solid-State Circuits* 48.6 (2013), pp. 1442–1452. DOI: <https://doi.org/https://doi.org/10.1109/JSSC.2013.2252518>.
- [13] S. Singh, P. Bahubalindrani e J. Goes. “A Robust Fully-Dynamic Residue Amplifier for Two-Stage SAR Assisted Pipeline ADCs”. Em: *IEEE International Symposium on Circuits and Systems* (2017). ISSN: 2379-447X. DOI: <https://doi.org/https://doi.org/10.1109/ISCAS.2017.8050490>.
- [14] B. Verbruggen, B. Malki, K. Deguchi, M. Iriguchi e J. Craninckx. “A 70 dB SNDR 200 MS/s 2.3 mW dynamic pipelined SAR ADC in 28nm digital CMOS”. Em: *40th European Solid State Circuits Conference* (2014). ISSN: 1930-8833. DOI: <https://doi.org/https://doi.org/10.1109/ESSCIRC.2014.6942060>.
- [15] L. Yu, M. Miyahara e A. Matsuzawa. “A 9-bit 1.8 GS/s 44 mW Pipelined ADC Using Linearized Open-Loop Amplifiers”. Em: *40th European Solid State Circuits Conference* 51.10 (2016), pp. 2210–2221. ISSN: 0018-9200. DOI: <https://doi.org/https://doi.org/10.1109/JSSC.2016.2582852>.

- [16] M. Zhang, K. Noh, X. Fan e E. Sánchez-Sinencio. “A 0.8–1.2 V 10–50 MS/s 13-bit Subranging Pipelined-SAR ADC Using a Temperature Insensitive Time-Based Amplifier”. Em: *IEEE Journal of Solid-State Circuits* 52.11 (2017), pp. 2291–3005. ISSN: 0018-9200. DOI: <https://doi.org/https://doi.org/10.1109/JSSC.2017.2742523>.
- [17] M. Zhang, K. Noh, X. Fan e E. Sánchez-Sinencio. “A Temperature Compensation Technique for a Dynamic Amplifier in Pipelined-SAR ADCs”. Em: *IEEE Solid-State Circuits Letters* 1.1 (2018), pp. 10–13. ISSN: 2573-9603. DOI: <https://doi.org/https://doi.org/10.1109/LSSC.2018.2794783>.

