

OTOMATISASI PEMBUATAN LOGIC DESIGN DAN LAYOUT PADA DESAIN VLSI (VERY LARGE SCALE INTEGRATION)

Machmud Effendy

Teknik Elektro, Universitas Muhammadiyah Malang

ABSTRAK

In making of design VLSI (Very Large Scale Integrated Scale Integration) is needed planning of Logic Design and Layout. The function of making of Logic Design is to translate existing case study into truth tables and then it is described into logical gates. In order to make Logic Design easier, it is required a software, the name is DSCH2. It can simulate result of truth tables, beside that it has ability to make verilog file (one of high language program HDL).Layout represents form of pattern to be used in making IC (Integrated Circuit), where form of pattern to be made have to proper by Logic Design which have been made. In making of layout used a software, the name is MICROWIND2. This software is able to read verilog file that produced by DSCH2. In this research, we build logic design and layout for basic logical gates, such as NOT, AND and SOP (Sum of Product). They were made from MOS and CMOS materials.

Keyword : Design of VLSI, Logic Design, Layout, DSCH2, MICROWIND2

PENDAHULUAN

Perkembangan teknologi semikonduktor dalam tahun – tahun terakhir ini dapat digambarkan dalam hukum Moore (Ammar Mukherjee, 1986), dimana kapasitas suatu komponen elektronika dalam suatu chip mengalami peningkatan 4 kali dalam setiap 3 tahunnya. Beberapa faktor yang mempengaruhi peningkatan ini antara lain : bertambah kecilnya lebar jalur (path) pada komponen dasar dan yang menghubungkan antara beberapa komponen tersebut sehingga mengakibatkan terjadinya peningkatan resolusi pada teknik lithiography, bertambahnya jumlah silicon wafer sehingga mengakibatkan terjadinya peningkatan keandalan dalam proses fabrikasi, dan tersedianya perangkat lunak (software) untuk membuat logic design, layout, simulasi, verifikasi dan testing suatu design VLSI.

Dari penjelasan diatas, salah satu faktor yang membuat teknologi semikonduktor (dalam hal ini design VLSI) menjadi lebih banyak jumlah komponennya dalam satu chip adalah dengan adanya penggunaan perangkat lunak

khusus yang digunakan untuk membuat logic design, layout, simulasi, verifikasi dan testing suatu design VLSI. Sehingga dalam penelitian ini, penulis akan menitikberatkan pada penggunaan perangkat lunak ini sebagai pengganti pembuatan logic design dan layout secara manual yang digunakan pada mata kuliah VLSI di Jurusan Teknik.

Oleh karena itu dalam penelitian ini, penulis akan mengimplementasikan perangkat lunak DSCH dan MICROWIND dalam beberapa aplikasi design VLSI seperti MOS, CMOS, gerbang – gerbang logika CMOS dan MOS, dan fungsi logika lainnya.

Rumusan masalah pada penelitian ini adalah :

- Bagaimana membuat logic design dan layout secara otomatis menggunakan perangkat lunak DSCH dan MICROWIND, sehingga mempermudah mahasiswa dalam mata kuliah Design VLSI ?
- Bagaimana mengaplikasikan perangkat lunak DSCH dan MICROWIND sebagai program bantu dalam membuat aplikasi design VLSI sehingga hasilnya dapat disimulasikan ?

Penelitian ini mempunyai beberapa tujuan sebagai berikut :

- Mempermudah pembuatan logic design dan layout dalam proses desain VLSI menggunakan perangkat lunak DSCH dan MICROWIND, yang sebelumnya masih menggunakan cara manual.
- Membuat beberapa aplikasi desain VLSI menggunakan perangkat lunak DSCH dan MICROWIND.
- Hasil dari penelitian ini dapat dijadikan model pembelajaran baru dalam mata kuliah Desain VLSI, sehingga visualisasi layout dalam rangkaian terintegrasi dapat dibuat lebih mudah.

Teknik Fabrikasi

Dalam setiap proses desain VLSI terdapat proses teknologi fabrikasi , yang tujuan akhir dari proses ini adalah pembuatan layout. Dalam proses fabrikasi ini mempunyai beberapa tahap antara lain (Andrew Brown, 1991)

Wafer Fabrication

Proses ini menerangkan pembuatan bahan dasar substrate yang terbuat dari silicon dioksida. Dimana silicon dioksida yang dicampur dengan dopant gas akan dipanaskan sampai suhu 1500 derajat celcius, dan akhirnya akan membentuk bulatan (seperti wafer) dengan tebal 0,3 mm.

Oxidation

Proses ini menerangkan tentang penambahan ketebalan wafer dengan cara dipanaskan dalam oxygen rich sampai suhu 1000 derajat celcius.

Patterning

Patterning adalah proses pencetakan bentuk geomtric dari desain VLSI yang akan dibuat. Dalam proses ini terdapat tahap yang menentukan yaitu : masking plate (pembuatan layout dasar) menggunakan teknologi lithiography.

Diffusion

Proses ini menjelaskan tentang pelobangan lapisan substrate menggunakan dua langkah yaitu : predepositin dan drive-in. Hasil dari prose diffusion adalah adanya lobang kecil pada permukaan substrate yang nantinya akan di suntikkan ion.

Ion Implantation

Setelah proses difusi selesai, maka lobang yang dibuat akan di suntik dengan ion – ion + atau -, tergantung dari kebutuhan desain VLSI yang akan dibuat.

Layout

Proses ini merupakan proses pembuatan layout akhir dari suatu desain VLSI, yang berisi tentang informasi panjang, lebar, kedalaman dan lapisan dari suatu pembutan komponen. Pada proses inilah akan di simulasikan menggunakan perangkat lunak khusus, karena apabila menggunakan manual, maka sangat membutuhkan waktu dan pemikiran yang banyak.

Perangkat Lunak DSCH dan MICROWIND

Perangkat lunak ini pertama kali di buat oleh seorang kewarganegaraan Perancis yang bernama : Etienne Sicard pada bulan November 2003 (Manual of DSCH and Microwind, 1993). Pada saat pertama kali diluncurkan, software ini memiliki versi 2.7. Dimana software ini termasuk jenis free Software (software yang dapat di copy lewat internet) dengan alamat <http://www.microwind.org>.

Software DSCH dan MICROWIND berisi tentang cara mambuat logic design dan layout secara otomatis, dan hasil dari pembuatan logic desain dan layout tersebut langsung dapat disimulasikan dalam bentuk visual (gambar). Sehingga akan mempermudah khususnya mahasiswa dalam membuat logic design dan layout pada mata kuliah desain VLSI.

MOS (Metal Oxide Semiconductor) Transistor

Terdapat dua jenis MOS transistor yaitu (Malvino, 1992) : n-channel MOS dan p-channel MOS. N-channel MOS memiliki dua lapisan utama yaitu n-diffusion dan p-type substrate, dan yang menghubungkan polysilicon dan n-diffusion dengan bagian luar adalah apa yang dinamakan source dan drain. Pada permukaan lapisan tipis silicon dioxide (SiO_2) terbentuk sebuah bahan yang terbuat dari polysilicon dan dinamakan dengan gate.

Dalam MOS terdapat tiga kondisi yaitu (Ammar Mukherjee, 1986) :

- MOS dalam keadaan OFF, artinya tidak ada arus yang mengalir dari *drain* menuju *source* (I_{ds}), dimana rumusnya adalah :

$$I_{ds} = 0 \quad \text{Jika} \quad V_{GS} - V_{th} < 0$$

- MOS dalam kondisi saturasi, artinya keadaan dimana nilai V_{gs} dan I_{ds} dalam kondisi tetap, dimana rumusnya sebagai berikut :

$$\text{Jika } 0 \leq V_{gs} - V_{th} \leq V_{ds}$$

$$I_{ds} = \frac{\beta}{2} (V_{gs} - V_{th})^2$$

- Dan yang ketiga MOS dalam kondisi linear artinya keadaan dimana nilai V_{gs} dan I_{ds} mengalami kenaikan secara linier, dimana rumusnya sebagai berikut :

$$\text{Jika } V_{gs} - V_{th} > V_{ds}$$

$$I_{ds} = \beta \left(V_{gs} - V_{th} - \frac{V_{ds}}{2} \right) \cdot V_{ds}$$

Dimana :

$$\beta = \left(\frac{\mu \cdot \varepsilon}{T_{OX}} \right) \left(\frac{W}{L} \right)$$

μ adalah nilai rata – rata *mobility of charge carier* (elektron untuk N-MOS dan hole untuk P-MOS) dengan harga 0,06 m²/V-s untuk N-MOS dan 0,02 m²/V-s untuk P-MOS.

ε adalah perkalian antara ε_0 dan ε_r , dimana ε_0 merupakan absolute permitivity dengan harga 8,85. 10⁻¹² F/m, sedangkan ε_r merupakan relative permitivity dengan harga 3,9

T_{OX} adalah besarnya ketebalan lapisan oksidasi yang nilainya adalah 2 nm.

W adalah lebar lapisan diffusion yang digunakan

L adalah panjang lapisan yang digunakan.

METODOLOGI PENELITIAN

Penelitian ini merupakan penelitian yang bersifat eksperimen dengan salah satu tujuan untuk membuat logic design dan layout menggunakan program DSCH dan MICROWIND yang menggantikan cara manual (menggunakan alat tulis biasa) dengan cara komputerisasi.

Metodologi penelitian yang digunakan untuk menyelesaikan pembuatan logic design dan layout secara komputerisasi adalah sebagai berikut :

- a. Membuat gerbang logika dasar dan fungsi logika kombinatorial.
- b. Melakukan penyederhanaan terhadap fungsi logika kombinatorial yang telah dibuat.
- c. Pembuatan tabel kebenaran.
- d. Pembuatan logic design
- e. Proses simulasi logic design, apabila hasil simulasi tidak sama dengan tabel kebenaran, maka pembuatan logic design perlu diperbaiki.
- f. Apabila proses simulasi sudah sesuai dengan tabel kebenaran, maka logic design di ubah menjadi bentuk *verilog file*.
- g. Proses kompilasi *verilog file* dan hasilnya dapat dicetak dalam bentuk layout IC.

ANALISIS DAN PEMBAHASAN

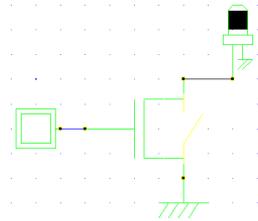
Pembuatan Logic Design

Pembuatan Gerbang Logika *NOT*

Salah satu gerbang logika dasar dalam bidang elektronika adalah NOT, dimana NOT ini akan dibuat dari komponen MOS dan CMOS.

Untuk membuat gerbang NOT dan mensimulasikannya, perlu dilakukan langkah – langkah sebagai berikut :

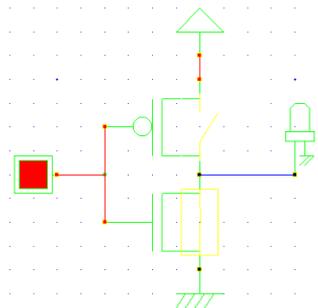
- Panggil program DSCH yang telah terinstall
- Klik icon symbol library
- Pilihlah komponen n-channel Mos dan letakkan pada tempat simulasi.
- Pilihlah gambar button (yang berfungsi untuk memberikan tegangan input pada komponen).
- Pilih gambar light (yang berfungsi untuk menampilkan hasil keluaran n-channel Mos).
- Pilih gambar ground.
- Setelah semua komponen dan gambar yang dibutuhkan telah berada di tempat simulasi, kemudian hubungkan antara komponen n-channel Mos dengan button, light dan ground dengan cara klik icon **add a line**, sehingga akan muncul gambar sebagai berikut :



Gambar 1. Skematik N-MOS sebagai gerbang NOT

- Untuk mengetahui apakah rangkaian pada gambar 1 sudah berfungsi, maka klik icon Run Simulation, sehingga apabila button di aktifkan maka lampu (light) akan mati, begitu juga sebaliknya jika button tidak diaktifkan maka lampu akan hidup. Gambar diatas menunjukkan lampu dalam kondisi menyala pada saat input berlogika '0'. Cara kerja ini sesuai dengan tabel kebenaran NOT.

Sedangkan untuk membuat gerbang NOT dari komponen CMOS, maka langkah-langkah pembuatannya sama dengan pembautan gerbang NOT dari komponen MOS, hanya ada tambahan dua komponen yaitu p-channel MOS dan supply. Sehingga akan didapatkan gambar sebagai berikut :



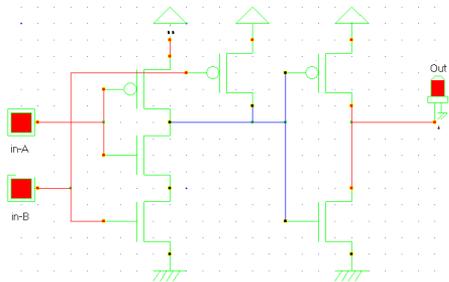
Gambar 2. Skematik CMOS sebagai gerbang NOT

Untuk mengetahui rangkaian CMOS berjalan sesuai dengan tabel kebenarannya, maka klik Run Simulation, sehingga akan muncul Gambar 2, dimana dalam gambar ini lampu dalam kondisi mati pada saat input berlogika '1'

Gerbang dasar AND

Gerbang AND merupakan gerbang logika dasar yang apabila salah satu atau kedua inputnya berlogika '0' maka keluarannya akan berlogika '0'.

Pembuatan gerbang NOT, untuk gerbang AND dari rangkaian CMOS menggunakan program DSCH seperti pada gambar berikut ini :



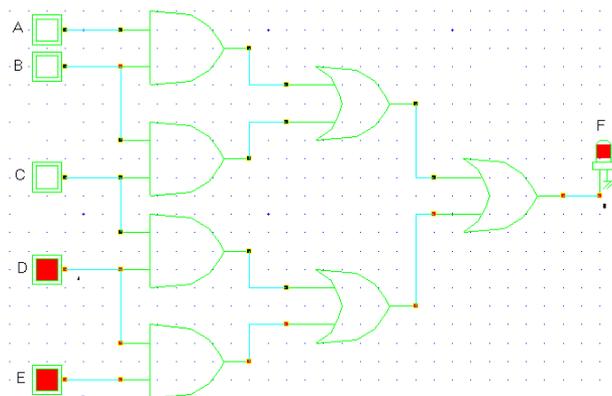
Gambar 3 Skematik Gerbang AND

Fungsi Logika SOP (Sum of Product)

Fungsi logika SOP merupakan penjumlahan (gerbang OR) dari beberapa perkalian (gerbang AND). Untuk lebih jelasnya akan diberikan contoh fungsi logika SOP sebagai berikut :

$$F = A.B + B.C + C.D + D.E$$

langkah berikutnya adalah mensimulasikan fungsi logika SOP dengan menggunakan program DSCH seperti pada Gambar berikut ini :



Gambar 4. Skematik Fungsi Logika SOP

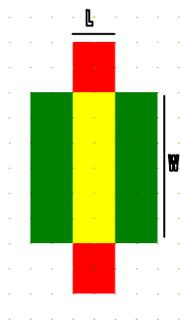
Pembuatan layout

Setelah membuat dan mensimulasikan beberapa logic design (gerbang logika dasar, fungsi logika SOP dan fungsi logika POS), maka langkah berikutnya adalah membuat layout IC agar diperoleh pola (pattern) yang diinginkan. Program yang akan digunakan dalam pembuatan layout ini adalah MICROWIND, seperti yang telah dijelaskan dalam sub bab sebelumnya.

Layout N-Mos

Dalam pembuatan layout komponen N-Mos dibutuhkan 2 lapisan yaitu : lapisan polysilicon dan n-diffusion dengan lebar dan panjang yang dapat ditentukan. Berikut ini langkah-langkah pembuatannya menggunakan program MICROWIND :

- a. Buatlah file baru dengan cara klik file – new.
- b. Klik icon palette untuk menampilkan lapisan – lapisan layout yang akan digunakan.
- c. Setelah menu palette muncul, maka klik icon polysilicon pada menu palette (yang berwarna merah), dan meletakkannya pada lembar kerja dengan ukuran panjang (L) = 2λ ($1\lambda = 0,06 \mu\text{m}$).
- d. Untuk memberikan lapisan n-diffusion, klik icon n-diffusion (yang berwarna hijau) dengan ukuran lebar (W) 6λ .
- e. Kedua lapisan tadi (polysilicon dan n-diffusion) harus dalam posisi dimana polysilicon berada diatas n-diffusion, seperti pada gambar dibawah ini :



Gambar 5. Layout dasar N-MOS

Dimana 1 grid (skala pada lembar kerja) = 1λ

- f. Pada lapisan yang berwarna kuning merupakan lapisan polysilicon yang berada dibawah lapisan n-diffusion, dan dinamakan dengan channel.
- g. Untuk mengetahui karakteristik dari N-Mos, klik icon **Simulate Mos Charactersitic**, maka akan muncul karakteristik N-Mos seperti dibawah ini :


```

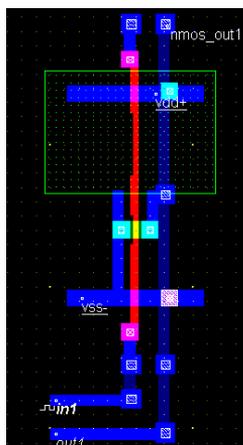
-----
// DSCH 2.7f
// 22/12/04 9:14:19
// C:\My Documents\machmud\vlsi\mos_not.sch
module mos_not(in1,out1 );
input in1;
output out1;
  nmos #(3) nmos(out1,vss,in1); // 1.74u 0.12u
endmodule
// Simulation parameters in Verilog Format
-----

```

Dari listing program diatas dapat dijelaskan bahwa n-mos memiliki 3 port yaitu out1 (sebagai port keluaran), in1 (sebagai port masukan) dan vss (sebagai ground).

Sedangkan 1.74 u menunjukkan lebar n-diffusion (W) dan 0.12 u menunjukkan panjang polysilicon (L). Dan hasil dari program diatas akan menjadi sebuah file baru dengan extension txt dengan nama file sama dengan nama skematik yaitu : mos not.txt.

- Setelah berhasil memiliki verilog file, maka langkah selanjutnya adalah membuka program MICROWIND untuk membuat layout dari skema yang dibuat oleh program DSCH dengan cara klik compile --- compile verilog file, kemudian pilihlah verilog file dengan nama mos_not.txt, maka akan muncul menu compile yang berisi listing program dari mos_not.txt. Apabila program sudah benar, maka klik **compile**, dan akan terlihat proses compile pada layar, jika tidak ada error maka proses compile sudah berhasil.
- Untuk mengetahui hasil dari proses compile diatas, klik back to editor, maka akan muncul hasil layout sebagai berikut :



Gambar 7. Layout gerbang NOT dari N-MOS

Hasil layout diatas merupakan layout dari skema gerbang Not yang terbuat dari nmos yang dibuat secara otomatis oleh program MICROWIND

Pembuatan Layout Gerbang AND

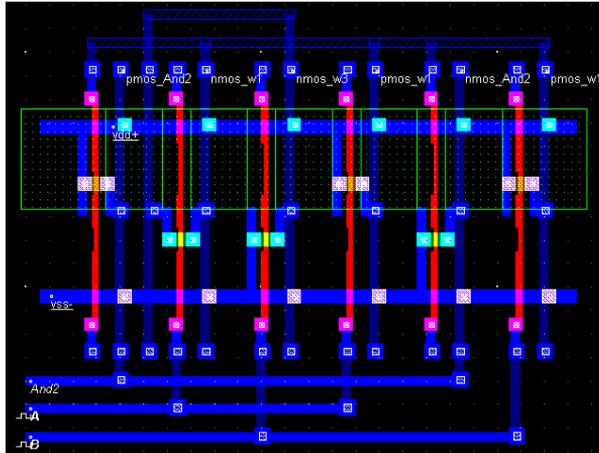
Seperti pada pembuatan layout gerbang NOT, pada pembuatan layout gerbang AND diperlukan pemanggilan kembali skematik gerbang AND menggunakan program DSCH dengan nama file and2cmos.sch, seperti pada gambar 3. Kemudian untuk membuat verilog file, klik file – make verilog file, sehingga akan menghasilkan file baru bernama and2cmos.txt.

Langkah berikutnya akan kita compile file and2cmos.txt dengan cara memanggil kembali program MCIROWIND, kemudian klik compile ---compile verilog file, dan pilihlah file yang bernama and2cmos.txt.

Setelah muncul menu compile, akan terlihat listing program untuk gerbang AND sebagai berikut :

```
// DSCH 2.7f
// 24/12/04 13:20:18
// C:\My Documents\machmud\vlsi\and2Cmos.sch
module and2Cmos( A,B,And2);
input A,B;
output And2;
pmos #(114) pmos(And2,vdd,w1); // 2.0u 0.12u
nmos #(128) nmos(w1,w3,A); // 1.0u 0.12u
nmos #(107) nmos(w3,vss,B); // 1.0u 0.12u
pmos #(128) pmos(w1,vdd,A); // 2.0u 0.12u
nmos #(114) nmos(And2,vss,w1); // 1.0u 0.12u
pmos #(128) pmos(w1,vdd,B); // 2.0u 0.12u
endmodule
// Simulation parameters in Verilog Format
always
#1000 A=~A;
#2000 B=~B;
// Simulation parameters
// A CLK 10 10
// B CLK 20 20
-----
```

Setelah listing program dianggap benar, klik tombol **compile**, apabila tidak ada error maka klik tombol **back to editor** untuk emlihat hasil layout yang telah dibuat oelh program MICROWIND seperti dibawah ini :



Gambar 8. Layout gerbang AND dari CMOS

Pembuatan layout Fungsi Logika SOP

Dalam pembuatan layout fungsi logika SOP, seperti pada pembuatan layout sebelumnya, langkah pertama adalah memanggil skema fungsi logika SOP dengan nama file sop.dsich. Kemudian membuat verilog file, sehingga akan menghasilkan file baru dengan nama sop.txt.

Langkah berikutnya adalah mencompile file sop.txt menggunakan program MICROWIND dengan listing program sebagai berikut :

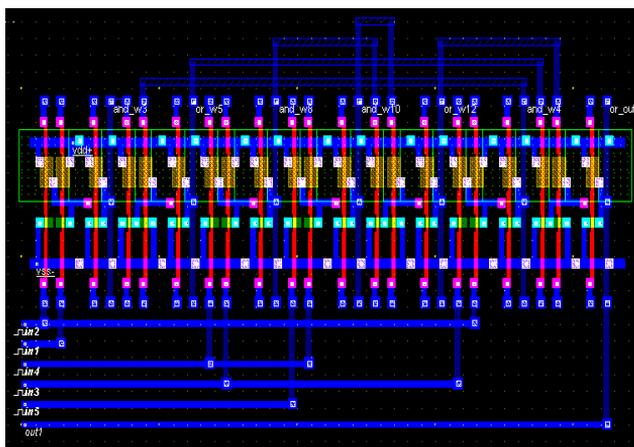
```
// DSCH 2.7f
// 17/12/04 12:41:10
// C:\My Documents\machmud\vlsi\SOP.sch
module SOP( in1,in2,in3,in4,in5,out1);
input in1,in2,in3,in4,in5;
output out1;
and #(16) and(w3,in2,in1);
or #(16) or(w5,w3,w4);
and #(16) and(w8,in4,in3);
and #(16) and(w10,in5,in4);
or #(16) or(w12,w8,w10);
and #(16) and(w4,in3,in2);
or #(16) or(out1,w5,w12);
endmodule
// Simulation parameters in Verilog Format
always
#1000 in1=~in1;
#2000 in2=~in2;
#4000 in3=~in3;
#8000 in4=~in4;
```

```

#16000 in5=~in5;
// Simulation parameters
// in1 CLK 10 10
// in2 CLK 20 20
// in3 CLK 40 40
// in4 CLK 80 80
// in5 CLK 160 160

```

Dari listing program diatas akan kita compile dengan langkah – langkah seperti yang telah dijelaskan sebelumnya sehingga akan menghasilkan layout yang kita inginkan sebagai berikut :



Gambar 9. Layout Fungsi Logika SOP dari CMOS

KESIMPULAN

Dari hasil pembuatan logic design dan layout dari gerbang dasar dan fungsi logika menggunakan program DSCH2 dan MICROWIND2 simulasi, maka dapat diberikan beberapa kesimpulan sebagai berikut :

1. Dengan adanya program DSCH2, maka pembuatan logic design dapat dilakukan dengan mudah sekaligus juga dapat langsung disimulasikan secara visual sehingga mempermudah dalam pembuatan desain VLSI.
2. Skematik yang dibuat dengan program DSCH dapat diubah menjadi menjadi sebuah verilog file, yang nantinya file ini dapat dijadikan masukan dalam pembuatan layout menggunakan program MICROWIND2.
3. Karakteristik sebuah komponen MOS transistor dapat diketahui langsung secara visual dengan cara merubah beberapa parameter antara lain : width (

lebar diffusion), length (panjang polysilicon) dan T_{ox} (ketebalan lapisan oksidasi).

4. Dengan adanya program MICROWIND2, maka pembuatan layout dapat diselesaikan dengan singkat sekaligus dapat disimulasikan secara visual sehingga mempermudah pembuatan desain VLSI.

DAFTAR PUSTAKA

- Ammar Mukherjee, “ Introduction to NMOS and CMOS VLSI System Design “, Prentice Hall, 1986.
- Andrew Brown, “ VLSI Circuit And System In Silicon “, Mc Graw Hill, 1991.
- Clarck W.A, “ From Electron Mobility to Logical Structure”, Computer Structure, Vol 12 No.3, 1980.
- Etienne Sicard, “ Manual of DSCH and MICROWIND versi 2.7 “, Insa DGEL, 2003.
- Enrique Mendada, “ Programmable Logic Device And Logic Controllers” , Prentice Hall, 1996.
- James E. Buchanan, BiCmos / CMOS System Design, Prentice Hall, 1997
- Malvino, “ Electronic Principle I “, Mc Graw Hill, 1992
- Neil H.E Weste and Kamran Eshraghan, “ Principles of CMOS VLSI Design “, Addison – Wesley Publishing Company, 1993.
- Sy. Kung, “ VLSI Array Processor”, Prentice Hall, 1988.
- The Technical Staff of Monolithic Memories. Inc, “ Designing With Programmable Array Logic, Mc-Graw Hill, 1996.
-, DSCH and MICROWIND software, <http://www.microwind.com>