

NOTE TO USERS

This reproduction is the best copy available.

UMI[®]

UNIVERSITÉ DE MONTRÉAL

CONVERTISSEUR ANALOGIQUE-NUMÉRIQUE NEUROMIMÉTIQUE DE
BASSE CONSOMMATION D'ÉNERGIE POUR LES BIOCAPTEURS

MY EL MUSTAPHA AIT YAKOUB
DÉPARTEMENT DE GÉNIE ÉLECTRIQUE
ÉCOLE POLYTECHNIQUE DE MONTRÉAL

MÉMOIRE PRÉSENTÉ EN VUE DE L'OBTENTION
DU DIPLÔME DE MAÎTRISE ÈS SCIENCES APPLIQUÉES
(GÉNIE ÉLECTRIQUE)
AOÛT 2009



Library and Archives
Canada

Published Heritage
Branch

395 Wellington Street
Ottawa ON K1A 0N4
Canada

Bibliothèque et
Archives Canada

Direction du
Patrimoine de l'édition

395, rue Wellington
Ottawa ON K1A 0N4
Canada

Your file *Votre référence*
ISBN: 978-0-494-57240-5
Our file *Notre référence*
ISBN: 978-0-494-57240-5

NOTICE:

The author has granted a non-exclusive license allowing Library and Archives Canada to reproduce, publish, archive, preserve, conserve, communicate to the public by telecommunication or on the Internet, loan, distribute and sell theses worldwide, for commercial or non-commercial purposes, in microform, paper, electronic and/or any other formats.

The author retains copyright ownership and moral rights in this thesis. Neither the thesis nor substantial extracts from it may be printed or otherwise reproduced without the author's permission.

In compliance with the Canadian Privacy Act some supporting forms may have been removed from this thesis.

While these forms may be included in the document page count, their removal does not represent any loss of content from the thesis.

AVIS:

L'auteur a accordé une licence non exclusive permettant à la Bibliothèque et Archives Canada de reproduire, publier, archiver, sauvegarder, conserver, transmettre au public par télécommunication ou par l'Internet, prêter, distribuer et vendre des thèses partout dans le monde, à des fins commerciales ou autres, sur support microforme, papier, électronique et/ou autres formats.

L'auteur conserve la propriété du droit d'auteur et des droits moraux qui protègent cette thèse. Ni la thèse ni des extraits substantiels de celle-ci ne doivent être imprimés ou autrement reproduits sans son autorisation.

Conformément à la loi canadienne sur la protection de la vie privée, quelques formulaires secondaires ont été enlevés de cette thèse.

Bien que ces formulaires aient inclus dans la pagination, il n'y aura aucun contenu manquant.


Canada

UNIVERSITÉ DE MONTRÉAL

ÉCOLE POLYTECHNIQUE DE MONTRÉAL

Ce mémoire intitulé:

CONVERTISSEUR ANALOGIQUE-NUMÉRIQUE NEUROMIMÉTIQUE DE
BASSE CONSOMMATION D'ÉNERGIE POUR LES BIOCAPTEURS

présenté par: AIT YAKOUB My El Mustapha

en vue de l'obtention du diplôme de: Maîtrise ès sciences appliquées

a été dûment accepté par le jury d'examen constitué de:

M. SAVARIA Yvon, Ph.D., président

M. SAWAN Mohamad, Ph.D., membre et directeur de recherche

M. THIBEAULT Claude, Ph.D., membre et codirecteur de recherche

M. ZHU Guchuan, Doct., membre

À tous ceux qui me sont chers :
ma femme, ma mère, mes deux fils Anass et Badr, mes frères et mes
sœurs.

&

À la mémoire de mon père.

REMERCIEMENTS

Je tiens tout d'abord à remercier mon directeur de recherche, M. Mohamad Sawan, professeur à l'École Polytechnique de Montréal, qui m'a permis, d'effectuer mes travaux de recherche au sein de son équipe Polystim. Ce fut vraiment un privilège de travailler au sein de cette équipe dynamique. Je remercie également mon codirecteur de recherche, M. Claude Thibeault, professeur à l'École de technologie supérieure, ses suggestions ont contribué grandement à la complétion de ce projet.

Je tiens également à remercier M. Yvon Savaria, professeur à l'École polytechnique de Montréal, ainsi que M. Guchuan Zhu, professeur à l'École polytechnique de Montréal, d'avoir accepté respectivement de présider et d'être membre du jury de ce mémoire.

J'adresse ensuite mes remerciements à mes collègues de l'équipe Polystim, en particulier à ceux du laboratoire M5304, qui ont su m'offrir un environnement de travail toujours propice à la coopération et à la bonne humeur. Merci à M^{me} Marie-Yannick Laplante et à M^{me} Ethier-Carrier Ghyslaine, les secrétaires de Polystim et GR2M respectivement. Merci également à M. Réjean Lepage, M. Laurent Mouden, M. Jacques Girardin, spécialistes techniques du département de génie électrique de l'École Polytechnique de Montréal.

Je dois ma gratitude à ma femme pour son soutien sans faille tout au long de mes études, ma chère mère, mes deux fils, mes frères et mes sœurs. Merci à tous mes proches. Je remercie également l'ensemble des personnes que j'ai côtoyées durant ma maîtrise qui ont contribué de près ou de loin à la réalisation de ce projet de recherche.

En terminant, je remercie la Société Canadienne de Microélectronique pour avoir fourni un support logiciel et matériel à ce projet ainsi que Le Regroupement Stratégique en Microsystèmes du Québec (ReSMIQ) et la Chaire de recherche du Canada sur les dispositifs médicaux intelligents pour leur support financier indispensable.

RÉSUMÉ

Les convertisseurs analogique-numérique (CAN) occupent une place cruciale dans les circuits électroniques, en particulier les biocapteurs. En effet, il existe plusieurs architectures de CAN qui se différencient par : (i) leur vitesse d'opération, (ii) leur précision, (iii) leur consommation d'énergie, etc. Le choix de l'architecture du convertisseur dépend considérablement de la nature de l'application. Même si le domaine de recherche lié aux CAN est très actif, les architectures standards de convertisseurs atteignent difficilement les spécifications des applications de basse puissance ne dissipant que des nanowatts. C'est le cas de nos applications nécessitant des CAN de basse consommation d'énergie, dédiés en particulier aux capteurs de signaux biologiques implantables et ceux dédiés à l'imagerie optique proche infrarouge. Cette application biomédicale de pointe nécessite alors un CAN : (i) de basse puissance ne dissipant que des nanowatts (longue durée d'autonomie) à l'égard de sa vitesse d'opération, (ii) de taille réduite afin de l'intégrer dans un système sur puce, et (iii) d'une résolution de l'ordre de 8 bits ainsi que de bons paramètres statiques en vue de reproduire fidèlement en format binaire le signal d'entrée.

Dans la littérature, les convertisseurs à redistribution de charges (Successive Approximation Register-SAR) semblent être le choix le plus approprié pour ces types d'application, grâce au nombre réduit de circuits analogiques actifs qu'ils requièrent. Néanmoins, ils sont sensibles au décalage du comparateur et à la linéarité du CNA qui affecte leurs performances. De plus, hormis pour les fréquences d'échantillonnage inférieures à 100 kE/s, la puissance qu'ils dissipent pour le cas de 8 bits excèdent toujours la gamme des nW.

Inspiré par la morphologie et les propriétés bioélectriques d'une cellule neuronale physiologique, en particulier la propagation de l'information sous la forme des potentiels d'action (PA), nous proposons un CAN d'une architecture neuromimétique

(Neuron Cell ADC - NC-ADC) et de fondement [R.Raut and Zheng (2005)]. La partie frontale de cette architecture fonctionne similairement au CAN à double rampe d'intégration, toutefois la différence réside dans sa partie terminale de numérisation. La grande partie de cette architecture proposée est numérique et ne requiert ni d'étage d'amplification ni un comparateur à base d'un amplificateur à l'opposé d'un CAN à double rampe d'intégration. Le circuit résultant du dessin de masques ciblant la technologie CMOS 0.18 μm ne consomme que quelques centaines de nanowatts (486nW) à une fréquence d'échantillonnage de 500 kE/s pour un courant d'entrée de 8 μA qui correspond à la moitié de la pleine échelle du CAN. De plus, notre CAN atteint une non-linéarité différentielle (DNL) inférieure à 0.16 LSB ainsi qu'une non-linéarité intégrale (INL) inférieure à 0.41 LSB et une consommation d'énergie de 5.46 pJ/cycle.

Cette architecture inspirée d'une cellule de neurone physiologique est constituée principalement de trois modules :

- Un générateur d'impulsions de même amplitude, et dont le nombre est proportionnel à un courant suffisant d'entrée (supérieur à 100 nA). Ce module est nommé cellule de neurone par analogie à un neurone qui transmet les informations par génération des potentiels d'actions (PA). L'implémentation de ce dispositif neuro-mimétique en technologie CMOS 0.18 μm est basée sur le modèle mathématique de Hodgkin-Huxley qui décrit le comportement électrique d'une cellule de neurone physiologique ;
- Un compteur systolique asynchrone des PA, qui fournit sur 8 bits la valeur quantifiée correspondant au courant d'entrée ;
- Un circuit de calibration fonctionnant comme une pompe à charges pour améliorer la non-linéarité intégrale du NC-ADC.

ABSTRACT

Analog-to-digital converters (ADC) play a major role in electronic circuits particularly in implementing biosensors. Various architectures for ADCs are differentiated by parameters such as; (i) speed of operation, (ii) precision, and (iii) energy consumption. Although the research domain related to ADCs is still very active, the state-of-the-art low-power designs do not have the needed low power consumption of nanowatts. Our objective aims to design and implement ADCs dedicated to realize sensors with low power consumption. They could be used with implantable sensors and Near-Infrared Spectrometry (NIRS) which is used to measure the brain activity of patients at the cortex level. The cited wearable NIRS biomedical system requires ADCs with particular specifications such as : (i) low power dissipation in nanowatt range for long-last operation necessary for multichannel systems, (ii) small area to be integrated in a system-on-chip (SoC) devices, (iii) medium resolution of 7 to 8 bits, and (iv) good linearity ($DNL \leq 0.5 \text{ LSB}$ and $INL \leq 0.5 \text{ LSB}$) to reproduce the input signal in a reliable binary format.

The choice of adequate architecture considerably relies on the nature of the application. Successive approximation (SA) ADCs are reported to be good candidates for our application considering their minimal requirement to active analog circuitries. However, for the sampling rates lower than 100 kS/s, they are remarkably constrained by the comparator offset, the DAC linearity and the overall power consumption. Therefore, these effects have significant impact on their performance.

We propose a neuromimetic ADC based on [R.Raut and Zheng (2005)], so called Neuron Cell ADC (NC-ADC). It comprises the morphology and the bioelectric properties of neurons. In particular, the architecture inherits the electrically excitable nature of neurons, and their primary function to transmit and spread the nerve pulses with the same amplitude or actions potentials (APs). The front-end of the proposed structure

operates on the same principles as the classical dual-slope integrating ADC. However, the use of back-end digitization step realized by mostly digital circuitries differentiate it from other counterparts which are commonly implemented using either amplifiers or amplifier-based comparators. The proposed design is implemented using TSMC $0.18\mu\text{m}$ CMOS standard process with 1.5V supply voltage. It consumes only a few hundred nanowatts (486nW) at a sampling frequency of 500 kS/s for an input current of $8\mu\text{A}$, which equals half of the full-scale range of our ADC. Furthermore, the new ADC structure presents a maximum differential non-linearity (DNL) and a maximum integral non-linearity (INL) of less than 0.16 LSB and 0.41 LSB, respectively.

The proposed architecture inspired by physiological neuron mainly consists of the following three modules :

- Generator of constant amplitude pulses, where their number is proportional to an input sufficient current (greater than 100 nA). This module is called neuron cell due to its similarities to a neuron. It transmits information by generating the actions potentials (APs). The implementation of this module is based on the mathematical model of Hodgkin-Huxley which describes the electrical behavior of a physiologic neuron ;
- Systolic asynchronous counter of APs, which provides 8-bit quantized value corresponding to the input current ;
- Calibration circuit operating as a charge-pump to improve the integral non-linearity of the NC-ADC.

TABLE DES MATIÈRES

DÉDICACE	iv
REMERCIEMENTS	v
RÉSUMÉ	vi
ABSTRACT	viii
TABLE DES MATIÈRES	x
LISTE DES TABLEAUX	xiii
LISTE DES FIGURES	xiv
LISTE DES SIGLES ET ABRÉVIATIONS	xix
LISTE DES ANNEXES	xxiii
INTRODUCTION	1
CHAPITRE 1 INTRODUCTION AUX CAN	6
1.1 Introduction	6
1.2 CAN idéal	8
1.2.1 Fonction de transfert	8
1.2.2 Paramètres de performance	9
1.3 CAN réel	11
1.3.1 Paramètres statiques	11
1.3.2 Paramètres dynamiques	14
1.3.3 Facteur de mérite	16
1.4 Travaux de pointe sur les convertisseurs analogiques-numériques	17

1.4.1	Introduction	17
1.4.2	Les convertisseurs de Nyquist	18
1.4.3	Les convertisseurs sur-échantillonnés	26
1.4.4	Comparaisons des CAN	30
1.5	Conclusion	32
CHAPITRE 2 ARCHITECTURES NEUROMIMÉTIQUES		33
2.1	Introduction	33
2.2	Architecture de la cellule nerveuse et cheminement de l'influx nerveux	35
2.3	Propriétés électriques d'une cellule nerveuse	36
2.4	Mécanisme de propagation de l'influx nerveux	37
2.5	Modèle électrique de la membrane neuronale	41
2.6	CAN neuromimétique ultra basse puissance	45
2.6.1	Motivation neuromimétique	45
2.6.2	Fondements de CAN neuromimétique	49
2.7	Conclusion	51
CHAPITRE 3 CAN NEUROMIMÉTIQUE ULTRA BASSE PUISSANCE		52
3.1	Introduction	52
3.2	Cellule neuronale	53
3.2.1	Commutateur analogique	57
3.2.2	Circuit tampon (Buffer)	64
3.2.3	Calcul des valeurs des composantes de la cellule nerveuse	68
3.3	Compteur binaire systolique asynchrone	70
3.4	Performances de NC-ADC non calibré	74
3.5	Circuit de calibration	75
3.6	Performances du NC-ADC calibré	79
3.7	Conclusion	79
CHAPITRE 4 RÉSULTATS DES SIMULATIONS ET RÉSULTATS EXPÉ-		

RIMENTAUX	81
4.1 Introduction	81
4.2 Simulation post-layout	81
4.3 Résultats expérimentaux	93
4.4 Comparaison des performances	99
4.5 Conclusion	100
CONCLUSION	101
RÉFÉRENCES	104

LISTE DES TABLEAUX

TABLEAU 1.1	Tendance générale des CAN [BERNAL (2006)]	31
TABLEAU 3.1	Paramètres de design de NC-ADC proposé	70
TABLEAU 3.2	Paramètres statiques de NC-ADC et ses paramètres ciblés . .	74
TABLEAU 3.3	Paramètres statiques de NC-ADC calibré et non calibré	79
TABLEAU 4.1	Spécifications ciblées et résultats de simulations post-layout du CAN proposé	92
TABLEAU 4.2	Comparaison des performances du CAN avec certains travaux sur des CAN basses puissance	100

LISTE DES FIGURES

FIGURE 1.1	Conversion Analogique-Numérique sur 3 bits : (a) signal analogique, (b) signal échantillonné, et (c) signal quantifié sur 3 bits (numérique)	6
FIGURE 1.2	Fonction de transfert d'un CAN idéal à 3 bits [BERNARD (2001)]	8
FIGURE 1.3	Erreur de décalage [Baker (2005)]	12
FIGURE 1.4	Erreur de gain [Baker (2005)]	12
FIGURE 1.5	Illustration des DNL et INL d'un CAN [DANG (2005)]	13
FIGURE 1.6	Analyse spectrale et SFDR [DANG (2005)]	16
FIGURE 1.7	Architecture d'un CAN à double rampe	18
FIGURE 1.8	Chronogramme d'un CAN à double rampe	19
FIGURE 1.9	(a) Principe de fonctionnement, et (b) schéma bloc d'un CAN-AS	20
FIGURE 1.10	Schéma d'un CAN à redistribution de charges.	21
FIGURE 1.11	Fonctionnement d'un CAN à redistribution de charges [Allier (2003)].	22
FIGURE 1.12	Schéma bloc d'un CAN à architecture algorithmique [Johns and Martin (1997)].	25
FIGURE 1.13	Fonctionnement d'un CAN à redistribution de charges [Johns and Martin (1997)].	25

FIGURE 1.14	Schéma bloc d'un Modulateur-sigma-delta,(a) basique, (b) amélioré.	28
FIGURE 1.15	Schéma, (a) bloc général d'un CAN $\Sigma\Delta$, (b) général d'un modulateur $\Sigma\Delta$	29
FIGURE 2.1	Architecture du neurone et cheminement de l'influx nerveux, [Moulin (2006)]	36
FIGURE 2.2	Trajet emprunté par l'information lors de la transmission, [Eckert <i>et al.</i> (1999)]	38
FIGURE 2.3	Comportement temporel de génération du potentiel d'action, [Webster and Clark (1989)]	40
FIGURE 2.4	Circuit électrique de la membrane neuronale selon le modèle de Hodgkin et Huxley	42
FIGURE 2.5	Variation de la puissance en fonction de taux d'échantillonnage pour différentes architectures des CAN, [Bin Le and Bostian (2005)]	47
FIGURE 2.6	Diagramme bloc du NC-ADC proposé	51
FIGURE 3.1	(a) Circuit de la cellule nerveuse, (b) chronogrammes de l'horloge CLK, ainsi des signaux aux différents points de la cellule nerveuse durant une période d'échantillonnage	55
FIGURE 3.2	Evolution de la conductance du commutateur analogique g_{ds} à l'état ON en fonction de l'amplitude du signal d'entrée	59
FIGURE 3.3	(a) Porte de transmission, (b) l'évolution de sa conductance $g_{ds,on}$ en fonction du signal d'entrée	60

FIGURE 3.4	Principe de fonctionnement d'un commutateur «bootstrapping», (a) à l'état OFF, (b) à l'état ON	61
FIGURE 3.5	Commutateur analogique muni d'un transistor «dummy»	62
FIGURE 3.6	Circuit d'un commutateur analogique de haute précision [Franco <i>et al.</i> (2006)]	63
FIGURE 3.7	Circuit tampon : (a) classique, (b) proposé	65
FIGURE 3.8	Fonction de transfert de l'inverseur classique munie du point de commutation	65
FIGURE 3.9	Modèle numérique de la caractéristique de commutation de l'inverseur CMOS, (a) classique, (b) proposé	67
FIGURE 3.10	(a) Symbole et (b) schématique du circuit de Byp0	72
FIGURE 3.11	(a) Symbole et (b) schématique du circuit de Byp1	72
FIGURE 3.12	Circuit du compteur systolique asynchrone à 16 bits	72
FIGURE 3.13	Courant à injecter en fonction du courant d'entrée et son modèle linéaire au premier ordre	77
FIGURE 3.14	Circuit de calibration proposé	78
FIGURE 4.1	Dessin de masques d'un transistor avec rapport W/L élevé (a) en une unité, (b) séparé en $n = 3$ unités parallèles.	82
FIGURE 4.2	Dessin de masques d'un contact à un transistor formé (a) d'un seul contact, (b) d'un grand nombre de contacts.	83

FIGURE 4.3	Techniques de dessins employées pour minimiser le couplage diaphonique (a) en distançant le plus possible deux traces parallèles, (b) en interchangeant les couches de métal.	84
FIGURE 4.4	Les impulsions (PA) à la sortie de la cellule de neurone pour des courants d'entrée, (a) $I=0.1\mu A$, (b) $I=1\mu A$ et (c) $I=10\mu A$	85
FIGURE 4.5	Variation de la fréquence de la sortie de la cellule de neurone.	85
FIGURE 4.6	Signaux : d'entrée, d'initialisation ainsi ceux de la sortie aux différents bits du compteur	87
FIGURE 4.7	Une partie zoomée de signaux : d'entrée, d'initialisation ainsi ceux de la sortie aux différents bits du compteur	88
FIGURE 4.8	dessin de masque (a) du cœur de NC-ADC et (b) du NC-ADC incluant les pads	90
FIGURE 4.9	Banc d'essai de calcul des paramètres statiques de NC-ADC	91
FIGURE 4.10	Résultats de simulations de (a) DNL et (b) INL du CAN proposé	91
FIGURE 4.11	Microphotographie de la puce	93
FIGURE 4.12	Configuration du banc de test du CAN	94
FIGURE 4.13	Chronogrammes de haut en bas des signaux : l'horloge (CLK), Q_0 (LSB), Q_1 et Q_2	94
FIGURE 4.14	Chronogrammes de haut en bas des signaux : Q_3 , Q_4 et Q_5	95
FIGURE 4.15	Chronogrammes du signal ENFULL	95
FIGURE 4.16	Chronogrammes de haut en bas des signaux : Q_6 et Q_7	96

FIGURE 4.17	Convertisseur tension à courant.	97
FIGURE 4.18	Courant I généré par le circuit de la figure 4.17.	97
FIGURE 4.19	Tension aux bornes de la capacité membranaire C	98
FIGURE 4.20	Résultats de simulation, de la tension aux bornes de la capacité effective d'entrée de CN	99
FIGURE I.1	Schéma en coupe du commutateur analogique NMOS à l'état ON111	
FIGURE II.1	Schéma de la bascule D maître esclave réagissant au front descendant munie d'une entrée clear	114
FIGURE II.2	Chronogramme relatif à la bascule T	114

LISTE DES SIGLES ET ABRÉVIATIONS

ADC	Analog to Digital Converter (CAN)
CFC	Current to Frequency Converter : Convertisseur Courant Fréquence
CAN	Convertisseur Analogique Numérique (ADC)
CAN-NC	Convertisseur Analogique Numérique à Base d'une Cellule de Neuron (DAC-NC)
CAN-SAR	Convertisseur Analogique Numérique à Approximations Successives
CMOS	Complementary Metal Oxide Semiconductor
CNA	Convertisseur Numérique Analogique (DAC)
DAC	Digital to Analog Converter (CNA)
dB	Decibel
DC	Direct Current : Courant Continu
DNL	Differential Non-Linearity : Non-linéarité Différentielle
E/B	Echantillonneur-Bloqueur
ERBW	Effective Resolution Bandwidth : Résolution Effective de la Bande Passante
ENOB	Effective Number Of Bits : Nombre de Bits Effectifs
FoM	Figure of Merit : Facteur de Mérite
FSR	Full Scale Range : Pleine Échelle
I_{FSR}	Full Scale Range current : Pleine Échelle du Courant
INL	Integral Non-Linearity : Non-Linéarité Intégrale
LSB	Least Significant Bit : Bit de poids faible
MOS	Metal Oxide Semiconductor
MOSFET	Metal Oxide Semiconductor Field Effect Transistor
MSB	Most Significant Bit : Bit de poids fort

NC	Neuron Cell : Cellule de Neurone
NMOS	N-channel Metal Oxide Semiconductor : Transistor à Grille Métal-Oxyde à Canal N
PMOS	P-channel Metal Oxide Semiconductor : Transistor à Grille Métal-Oxyde à Canal P
S/H	Sample-and-Hold
SNDR	Signal-to-Noise-and-Distortion Ratio : Rapport Signal sur Bruit et Distorsion
SNDR	Spurious Free Dynamic Range : Dynamique de codage
SNR	Signal-to-Noise : Rapport Signal sur Bruit
SAR	Successive Approximation Register : Registre à Approximations Successives (RAS)
SoC	System on a Chip
OSR	Over-Sampling Ratio : Rapport de Sur-Échantillonnage
$\Sigma \Delta$	Sigma-Delta

LISTES DES SYMBOLES

g_{ds}	Conductance drain-source d'un transistor MOS (petit signal)
K	Constante de Boltzmann
R	Constante des gaz parfaits
I_{ds}	Courant drain-source d'un transistor MOS
I_{inj}	Courant d'injection
I_{inj_c}	Courant d'injection cyclique
$\beta_{(n,p)}$	$\mu_{(n,p)} C_{ox(n,p)} \cdot (W_{(n,p)} / L_{(n,p)})$
γ	Effet substrat
F_e	Fréquence d'échantillonnage (F_S)
$F_{in_{max}}$	Fréquence maximal du signal d'entrée
$C_{ox(n,p)}$	Grille-capacité de NMOS ou PMOS par unité de surface
$L_{(n,p)}$	Largeur de canal du transistor MOS type N ou P
$W_{(n,p)}$	Longueur du transistor MOS type N ou P
$\mu_{(n,p)}$	Mobilité des électrons (trous)
N	Nombre de bits
T_e	Période d'échantillonnage
Φ_f	Potentiel de Fermi
α	$T_{(e,h)} / T_e$ Rapport cyclique
E_i	Potentiel de Nernst de l'ion i
F_S	Sampling frequency (F_e)
r_{ds}	Résistance drain-source d'un transistor MOS
T	Température absolue
V_{DD}	Tension d'alimentation
V_{SP}	Tension de commutation de l'inverseur
t_d	Temps de décharge de la capacité membranaire

$T_{(e,h)}$	Temps de l'état haut d'une période d'échantillonnage
V_{ds}	Tension drain-source d'un transistor MOS
V_{gs}	Tension grille-source d'un transistor MOS
$V_{th_{vin}}$	Tension de seuil fonction du signal V_{in}
V_{th_0}	Tension de seuil nominale du transistor MOS
V_{th_B}	Tension de seuil du tampon (Buffer)
t_{ch}	Temps de charge de la capacité membranaire
g_m	Transconductance du transistor MOS

LISTE DES ANNEXES

ANNEXE I	LE PHÉNOMÈNE D'INJECTION DE CHARGES ET DE CLOCK FEEDTHROUGH	111
ANNEXE II	BASCULE T DANS LE COMPTEUR SYSTOLIQUE ASYN- CHRONE	113
ANNEXE III	CODE VERILOG-A DE CNA IDÉAL À 8 BITS	115

INTRODUCTION

Les avantages que suscitent le traitement numérique des signaux nous incitent de plus en plus à nous tourner vers ce domaine numérique. Certes, la conception de circuits numériques est, dans la majorité des cas, beaucoup moins complexe que sa contrepartie analogique, ce qui entraîne une réduction de coût et une flexibilité incomparable. Le traitement numérique des signaux est stable, robuste et insensible au bruit, ce qui permet d'atteindre de très grandes précisions. Cependant, les sources des signaux électriques sont souvent analogiques ; par conséquent, les signaux analogiques doivent être numérisés pour ainsi être traités de façon numérique. C'est ici que les convertisseurs analogique-numérique (CAN) (Analog to digital converters - ADC), trouvent leur place comme étant le pont entre les deux domaines. La demande croissante en performance des applications, en particulier les applications biomédicales portables, a amené à développer des convertisseurs analogique-numérique plus performants et de basse consommation d'énergie à l'égard de leurs vitesses d'opération.

L'évolution de l'industrie des circuits intégrés durant la dernière décennie a été tellement rapide qu'il est maintenant possible d'intégrer un système complexe sur une seule puce (System on Chip - SoC). Cette évolution vers des niveaux d'intégration de plus en plus élevés est motivée par les besoins de systèmes plus performants, légers, compacts et consommant un minimum de puissance. Dans ce cadre-ci se situe ce travail de maîtrise qui consiste en la conception et l'implémentation d'un convertisseur analogique-numérique pour un Système sur Puce. Ce système basé sur le principe de la spectrorélectométrie infrarouge devrait permettre d'observer le taux d'oxygène de différentes zones du cortex pour localiser tout dommage cérébral. Cette application portable de pointe doit intégrer un émetteur de lumière à plusieurs longueurs d'ondes proches infrarouges, des photodiodes, des amplificateurs, des convertisseurs analogique-numérique, contrôleur, lien RF, etc.[Normandin *et al.* (2005)]. Le système

est alimenté par une batterie, alors la baisse de la consommation d'énergie du système et plus précisément celle du système de numérisation, constitue notre objectif primordial.

Les principales architectures de conversion analogique-numérique se classent en deux familles :

- CAN à taux de Nyquist (Nyquist rate converters) qui sont ceux pour lesquels la fréquence d'échantillonnage F_S coïncide avec le taux de Nyquist F_N du CAN, i.e. $F_S=2F_{max}$, où F_{max} est la fréquence maximale du signal d'entrée. Ces CAN se trouvant sous divers architecteurs : Intégrateur, À redistribution des charges (SAR), Algorithmique, Parallèle (Flash), Pipeliné, etc.
- CAN à sur-échantillonnage (oversampling converters), soient les Sigma-Delta et les Sigma-Delta à bande-passante.

Une revue de littérature réalisée sur les CAN de basse puissance prouve que les convertisseurs à redistribution des charges sont les plus appropriés pour ce type d'application, grâce au nombre minimal de circuits analogiques qu'ils requièrent [Mortezapour and Lee (2000), Scott *et al.* (2003), Verma and Chandrakasan (2006), Hong and Lee (2007)]. Certains travaux ont procédé à une diminution de la tension d'alimentation du CAN ce qui réduit la conductance des transistors limitant ainsi la bande passante du circuit [Verma and Chandrakasan (2006)]. D'autres ont tenté la même méthode en incluant un seul commutateur muni d'un circuit de démarrage "bootstrapped switch" [Hong and Lee (2007)]. Ceci augmente la complexité du circuit et affecte la consommation d'énergie. Ceux qui ont atteint la plus basse consommation d'énergie rapporté à date ont utilisé la méthode d'opération des commutateurs sous leurs seuils d'activation [Abdelhalim *et al.* (2007)b], ce qui conduit à une fréquence d'échantillonnage très faible. Inspiré par la fonctionnalité des neurones qui ont attiré l'attention de plusieurs chercheurs depuis le milieu du 20ème siècle par la conception des plusieurs dispositifs électroniques [Sid Deutsch (1993), Sjulson and Miesenböck (2007)], nous

nous intéressons dans ce travail aux architectures neuromimétiques pour mettre en œuvre un CAN à basse consommation d'énergie.

En effet, le cerveau humain constitue la machine la plus complexe connue. Depuis les années soixante-dix, plusieurs recherches ont été faites et se poursuivent afin de comprendre cette complexité. Les neurones constituent l'un des éléments principaux constituant le corps humain ; ils assurent deux fonctions :

- ils forment un ensemble de neurones appelé réseau dont chaque élément a une tâche spécifique ;
- ils assurent la communication entre le corps et le cerveau.

Dans les deux cas de fonctionnement, des conversions naturelles des signaux analogiques au numérique se produisent [Sid Deutsch (1993)]. Ceci nous suggère qu'une approche visant la réalisation d'un neurone électronique pourrait être adoptée dans la réalisation d'un CAN.

La partie frontale de l'architecture neuromimétique fonctionne similairement au CAN à double rampe d'intégration, toutefois la différence réside dans sa partie terminale de numérisation. La grande partie de cette architecture est numérique et ne requiert ni d'étage d'amplification ni comparateur à base d'un amplificateur à l'opposé d'un CAN à double rampe d'intégration. La combinaison d'une telle technique de conception numérique de basse puissance avec les avantages d'un circuit analogique miniature requis par cette architecture nous permet d'implémenter en technologie CMOS 0.18 μm un CAN à très basse consommation d'énergie.

Cette architecture neuromimétique est constituée principalement de trois modules. Le premier est un générateur d'impulsions de même amplitude, dont le nombre est censé être proportionnel à un courant suffisant d'entrée (supérieur à 100 nA). Ce module est nommé cellule de neurone, par analogie à un neurone qui transmet les informations par génération des potentiels d'actions (PA). Ce dispositif est implémenté en circuits CMOS en se basant sur le modèle électrique d'un neurone établi par Hodgkin-

Huxley [HODGKIN and HUXLEY (1952)] et le travail [R.Raut and Zheng (2005)]. Le deuxième module est constitué d'un compteur binaire asynchrone des impulsions générées par la cellule de neurone. Ce compteur fournit la valeur quantifiée du courant d'entrée, durant chaque période d'échantillonnage. Vu les imperfections de la technologie CMOS, il est indispensable d'ajouter un troisième module de calibration, qui permet d'atteindre la proportionnalité souhaitée entre le nombre d'impulsions générées par la cellule de neurone et le courant à son entrée, par injection d'une charge supplémentaire à l'entrée.

Dans le contexte de mise en œuvre d'un SoC d'imagerie optique proche infrarouge, inscrit dans le cadre des travaux de recherche de l'équipe Polystim, l'objectif de ce travail consiste alors en la conception et l'implémentation d'une nouvelle architecture de CAN de basse puissance ne dissipant que des nanowatts, d'une taille réduite qui favorise son intégration dans le système et d'une résolution de l'ordre de 8 bits avec de bons paramètres statiques, soient l'erreur de non linéarité intégrale (INL) et l'erreur de non linéarité différentielle (DNL) n'excédant pas 0.5 LSB chacun.

L'organisation de ce mémoire est la suivante :

Dans le chapitre 1 nous introduisons les notions fondamentales et la théorie associée à la conversion analogique-numérique. Par la suite, les différents critères statiques, dynamiques et généraux (puissance consommée et figure de mérite) pour l'estimation des performances des CAN sont détaillés. Finalement les principales architectures des CAN sont présentées.

Le chapitre 2 présente une brève description de la physiologie d'une cellule neuronale ainsi que son modèle mathématique. Motivé par la conversion naturelle analogique numérique des signaux qui se produisent lors de la transmission de l'information par le réseau neuronal, nous présentons le schéma bloc de l'architecture neuromimétique du CAN proposé.

L'architecture des différents dispositifs de CAN basé sur la cellule de neurone fera l'objet du chapitre 3. Tout d'abord, une architecture de la cellule de neurone de basse puissance est présentée, suivie par le développement de ces différents dispositifs. Par la suite afin d'atteindre notre objectif de mise en œuvre d'un CAN de basse puissance, une architecture d'un compteur binaire systolique asynchrone à 8 bits est présentée. Les performances de CAN sont aussi présentées. Ces dernières nous introduisent à la nécessité d'amélioration de cette architecture de la cellule de neurone. Le reste de ce chapitre détaille l'implémentation de l'architecture améliorée de CAN neuromimétique présentée auparavant. Cette architecture calibrée permet d'améliorer la non-linéarité intégrale pour atteindre l'objectif fixé auparavant ($INL < 0.5 \text{ LSB}$).

Le dessin de masques, les résultats de simulations et expérimentaux, ainsi qu'une analyse comparative de l'architecture de CAN proposée aux architectures des circuits récents en se basant sur la consommation d'énergie feront l'objet du chapitre 4. En plus, la robustesse du circuit CAN est caractérisée grâce à des simulations Monte-Carlo. Nous terminons ce mémoire par nos conclusions et nos recommandations.

CHAPITRE 1

INTRODUCTION AUX CAN

1.1 Introduction

L'univers est majoritairement analogique et le traitement de l'information en découlant est essentiellement numérique. Le passage de l'un à l'autre nécessite un pont de conversion analogique à numérique ou numérique à analogique.

Le convertisseur analogique à numérique est un dispositif qui permet de passer d'un signal analogique continu en temps et en amplitude à un signal discret en temps (échantillonné) et amplitude (quantifié). La conversion analogique se passe alors généralement en deux étapes : l'échantillonnage-blocage et la quantification. La figure 1.1 représente les deux phases de la conversion d'un signal analogique en codes numériques.

L'échantillonnage d'un signal analogique V_{in} se réalise à l'aide d'un échantillonneur-bloqueur (E/B) en maintenant constante l'amplitude de l'échantillon prélevé, durant la période d'échantillonnage T_{ech} . Ceci conduit à une discrétisation temporelle du si-

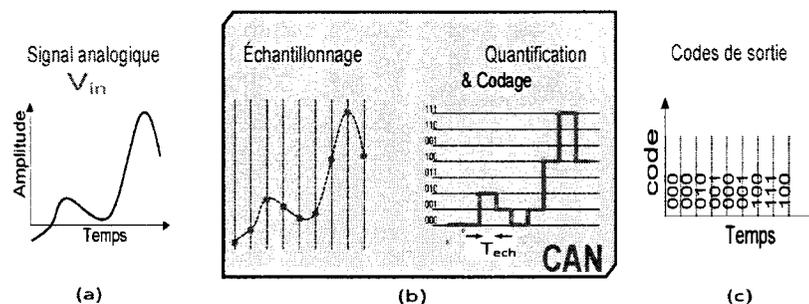


FIGURE 1.1: Conversion Analogique-Numérique sur 3 bits : (a) signal analogique, (b) signal échantillonné, et (c) signal quantifié sur 3 bits (numérique)

gnal analogique. En général on considère que le signal est bloqué durant un temps nettement supérieur au temps de conversion. La période d'échantillonnage T_{ech} est fixée selon le théorème de Nyquist-Shannon de sorte que la fréquence d'échantillonnage F_{ech} d'un signal doit être égale ou supérieure au double de la fréquence maximale du signal continu analogique.

Il existe deux techniques d'échantillonnage [Proakis and Manolakis (1996)] :

- **l'échantillonnage cohérent**, qui consiste à répartir les échantillons sur un nombre entier N_P de périodes du signal d'entrée sans avoir de répétition d'échantillons à l'intérieur de la séquence d'échantillonnage. Il impose une condition particulière entre la fréquence d'échantillonnage F_{ech} et la fréquence maximale du signal d'entrée F_{in} pour un nombre d'échantillons N_T donné :

$$\frac{F_{in}}{F_{ech}} = \frac{N_P}{N_T} \quad \text{avec } N_P \text{ et } N_T \text{ premiers entre eux} \quad (1.1)$$

- **l'échantillonnage non cohérent**, qui consiste à répartir les échantillons de manière aléatoire sur l'ensemble du signal d'entrée. Pour satisfaire cette condition, il ne doit pas y avoir de synchronisation entre le signal d'entrée et la fréquence d'échantillonnage.

La conversion analogique-numérique implique également après échantillonnage une opération qui consiste à remplacer la valeur exacte analogique de l'échantillon V_{analog} , par la plus proche valeur approximative $V_{num} = (b_i)_{0 \leq i \leq N-1}$, extraite d'un ensemble fini de valeurs discrètes. Cette opération s'appelle la quantification.

Indépendamment de la structure du CAN (Intégration, approximations successives, flash, sigma-delta, etc.), un ensemble de paramètres permettent de spécifier les performances du convertisseur. Ils sont classés en deux catégories. On a d'une part les erreurs systématiques dues à la conversion de signaux analogiques en signaux numériques qui sont présentes sur un CAN idéal (erreur de quantification), et d'autre part les erreurs dues aux imperfections présentes sur un CAN réel. Également ces derniers

sont séparés en deux classes, les erreurs statiques et les erreurs dynamiques.

Pour illustrer les différents paramètres des convertisseurs, nous traitons le cas d'un CAN à 3 bits.

Un signal analogique à convertir peut être présenté soit par une tension ou un courant. Les codes numériques peuvent être représentés par des niveaux en tension ou en courant. Pour des raisons de simplicité, nous restreignons le contenu de ce chapitre à la conversion des tensions analogiques en tensions numériques. Certes toutes les définitions qui suivent restent toujours valables à condition de remplacer la tension par le courant.

1.2 CAN idéal

1.2.1 Fonction de transfert

La fonction de transfert traduit la réponse du convertisseur à une entrée analogique (figure 1.2). Elle sert de référence pour l'analyse des erreurs (les écarts sont mesurés par rapport à la droite idéale).

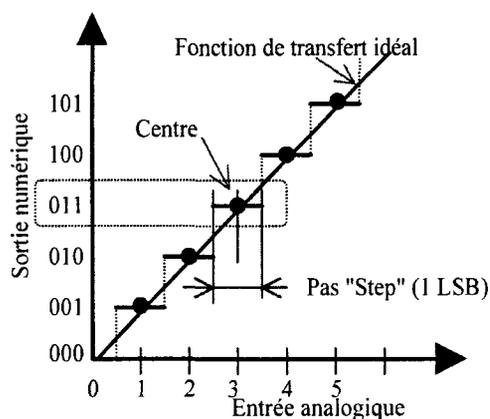


FIGURE 1.2: Fonction de transfert d'un CAN idéal à 3 bits [BERNARD (2001)]

1.2.2 Paramètres de performance

En principe, les CAN convertissent un signal analogique en un mot binaire représenté sur un certain nombre de bits (N) de résolution. L'unité de mesure sur l'erreur est souvent exprimée selon la résolution du convertisseur qui correspond à l'amplitude du bit le moins significatif (Least Significant Bit-LSB) associée à la précision du CAN et elle est notée par :

$$1 \text{ LSB} = \frac{1}{2^N}, \quad (1.2)$$

Si on désigne par $\Delta V = V_{max} - V_{min}$ la plage dynamique ou Pleine Echelle (PE) de la tension d'entrée, alors la tension V_{LSB} qui désigne le changement de potentiel entre 2 niveaux consécutifs du CAN est donnée par :

$$V_{LSB} = \frac{\Delta V}{2^N} \quad (1.3)$$

Souvent pour des raisons de simplification, le pas de palier V_{LSB} est désigné par LSB ou q (**pas de quantification ou quantum**).

Pour une tension analogique d'entrée V_{analog} , le CAN fait correspondre la tension analogique V_{num} telle que :

$$|V_{analog} - V_{num}| \leq \frac{V_{LSB}}{2} \quad \text{sachant que,} \quad (1.4)$$

$$V_{num} = V_{LSB}[b_{N-1}2^{N-1} + \dots + b_12^1 + b_02^0]. \quad (1.5)$$

La fonction de transfert idéale de la Figure 1.2 indique qu'une plage entière de tension analogique comprise entre deux tensions de seuil successives est convertie en un

code unique. Ceci constitue une perte d'information, appelée **erreur de quantification**, égale à $V_\epsilon = V_{analog} - V_{num}$. Ce bruit est inhérent au principe de la conversion analogique-numérique et ne peut jamais être supprimé.

À cette erreur de quantification, on associe un bruit de quantification qui est considéré comme une variable aléatoire uniformément répartie sur l'intervalle $[-\frac{q}{2}, \frac{q}{2}]$. Sa densité de probabilité F_q est donc constante sur cet intervalle. Alors la valeur efficace du bruit de quantification B_q est donnée par [Johns and Martin (1997)] :

$$B_q = \left(\int_{-\infty}^{+\infty} x^2 F_q(x) dx \right)^{\frac{1}{2}} = \left(\frac{1}{q} \int_{-\frac{q}{2}}^{+\frac{q}{2}} x^2 dx \right)^{\frac{1}{2}} = \frac{q}{\sqrt{12}} \quad (1.6)$$

Cette équation montre que cette erreur dépend directement du pas de quantification q et donc de la résolution du convertisseur.

Le rapport signal sur bruit SNR (Signal to Noise Ratio - SNR) représente le rapport entre la valeur efficace du signal à convertir et celle du bruit. Généralement, ce paramètre est défini pour un signal d'entrée sinusoïdal d'amplitude crête à crête égale à la pleine échelle du convertisseur. La valeur efficace A_{RMS} du signal d'entrée est donnée par l'expression [Johns and Martin (1997)] :

$$A_{RMS} = \frac{\Delta V}{2\sqrt{2}} = \frac{2^{n-1}q}{\sqrt{2}} \quad (1.7)$$

Dans le cas d'un CAN parfait, le bruit étant dû uniquement à la quantification du signal d'entrée, nous pouvons en déduire l'expression suivante du rapport signal sur bruit exprimé en dB [Johns and Martin (1997)] :

$$SNR_{dB} = 20 \log \left(\frac{A_{RMS}}{B_q} \right) \quad (1.8)$$

Des équations (1.6), (1.7) et (1.8) nous déduisons que [Johns and Martin (1997)] :

$$SNR_{dB} = 6.02n + 1.76 \quad (1.9)$$

Ainsi, le rapport signal sur bruit d'un convertisseur analogique-numérique idéal dépend directement de sa résolution.

1.3 CAN réel

Dans le cas d'un convertisseur analogique-numérique réel, il est nécessaire de définir d'autres paramètres de performance. Ces paramètres sont classés en deux catégories : soit statiques ou dynamiques. Dans ce paragraphe, nous détaillerons les paramètres les plus couramment utilisés pour ces deux types.

1.3.1 Paramètres statiques

a- Erreur de décalage

Il s'agit de la différence entre la valeur nominale de décalage (le point 0) et la valeur actuelle définie comme la mi-largeur de la première marche de la fonction de transfert réelle (figure 1.3). Cette valeur est souvent exprimée en LSB.

Au niveau de la fonction de transfert, l'erreur de décalage correspond à une translation de l'ensemble de la caractéristique. Cette erreur peut être compensée par des techniques usuelles de conception.

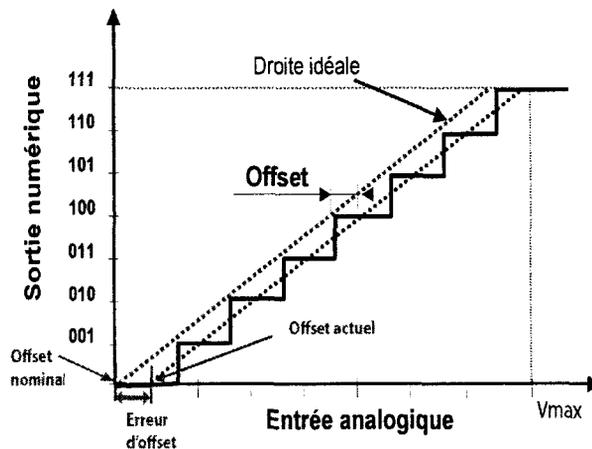


FIGURE 1.3: Erreur de décalage [Baker (2005)]

b- Erreur de gain

L'erreur de décalage est maintenant supposée supprimée. L'erreur de gain est définie comme étant la différence entre la valeur nominale de gain (le point d'abscisse V_{max}) et la valeur actuelle de gain défini comme l'abscisse à mi-largeur de la dernière marche de la caractéristique (figure 1.4). Cette valeur est exprimée en LSB. Cette erreur est équivalente à une variation de la pente de la droite de transfert idéale : elle affecte globalement toutes les marches du même pourcentage de LSB. Cette erreur peut être compensée par des techniques communes de conception.

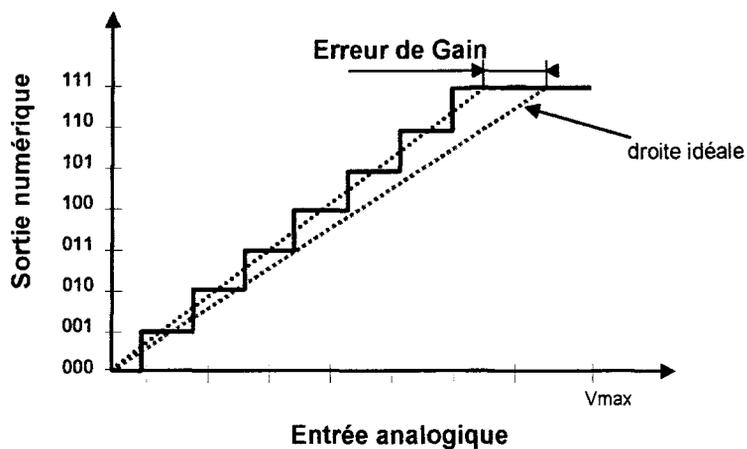


FIGURE 1.4: Erreur de gain [Baker (2005)]

c- Erreur de non-linéarité différentielle

Pour un CAN idéal, le pas de quantification q est constant pour l'ensemble des codes du convertisseur. En réalité, la largeur $q(i)$ de chaque palier i peut varier d'un code à l'autre.

La non-linéarité différentielle (Differential Non-Linearity Error - DNL) d'un code k représente la différence, exprimée en LSB, de la largeur du palier associé au code k par rapport à la valeur idéale de 1 LSB :

$$DNL_k(\text{LSB}) = \frac{q(k) - q}{q} = \frac{q(k)}{q} - 1 \quad (1.10)$$

Une courbe de DNL peut être tracée en fonction des codes numériques de la sortie V_{num} . Dans la littérature, la DNL d'un CAN peut être définie comme la valeur maximale des DNL ainsi calculées. Dans le cas idéal la DNL vaut zéro. Par contre, dans le cas réel lorsque DNL dépasse ± 1 LSB, il y a un risque pour que le CAN ait un code manquant. Toutefois, lorsque cette dernière situation se présente, il est certain que la fonction de transfert a un DNL de ± 1 LSB, comme illustré à la Figure 1.5.

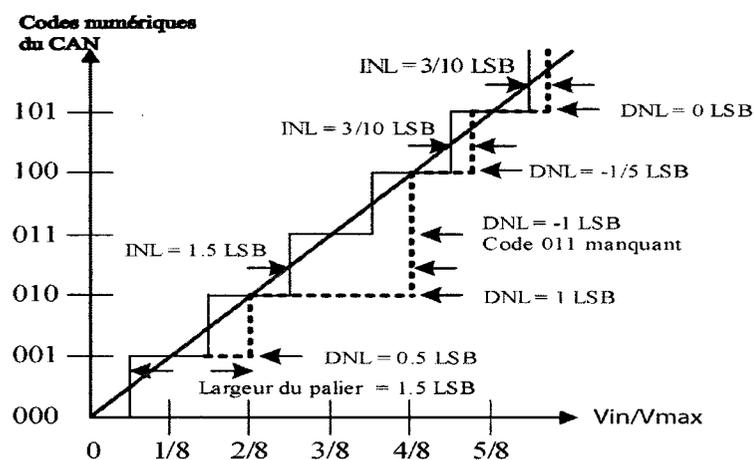


FIGURE 1.5: Illustration des DNL et INL d'un CAN [DANG (2005)]

d- Erreur de non-linéarité intégrale

La non-linéarité intégrale (Integral Non Linearity - INL) traduit la déviation des points de la fonction de transfert réelle d'une droite idéale. Cette dernière peut être définie de plusieurs façons : soit comme la droite joignant les deux points extrêmes de la caractéristique ((0,000) et $(V_{max},111)$: figure 1.2), soit comme la droite obtenue en minimisant l'erreur quadratique entre les points réels de la caractéristique. Très souvent c'est la première approche qui est adoptée.

L'INL d'un code k représente la variation entre la courbe réelle et la droite de transfert idéale au niveau de ce code. Elle correspond, pour chaque code k, à la somme des non-linéarités différentielles des codes précédents :

$$INL_k(LSB) = \sum_{j=1}^k DNL(j) \quad (1.11)$$

La Figure 1.5 illustre certaines erreurs INL d'un CAN. Un CAN est monotone si son INL maximal n'excède pas 0.5 LSB

Une erreur permet d'inclure l'erreur de décalage, l'erreur de gain et l'erreur du l'INL. Cette erreur s'appelle l'**erreur absolue de précision**. Elle est obtenue en calculant la valeur maximale des différences entre les abscisses des paliers à mi-largeur et les abscisses des points correspondant de la droite idéale.

1.3.2 Paramètres dynamiques

a- Rapport signal sur bruit et distorsion

Dans le cas d'un CAN réel, le SNR tient non seulement compte du bruit de quantification, mais aussi du bruit thermique, de la DNL, de l'INL, etc. Il est alors pertinent

et rigoureux d'employer la terminologie **rapport signal sur bruit et distorsion** (Signal to noise and distortion ratio - SNDR) au lieu du SNR. De ce paramètre découle le paramètre, appelé nombre de bits effectifs du CAN (Effective Number Of Bits - ENOB) [Bin Le and Bostian (2005)].

$$ENOB = \frac{SNDR_{dB} - 1.76}{6.02} \quad (1.12)$$

b- Dynamique de codage

Les différentes erreurs de conversion créent des raies spectrales à des harmoniques bien définies par rapport à la fréquence d'entrée F_{in} . Dans des applications où la pureté spectrale est importante, la dynamique de codage (SFDR : Spurious Free Dynamic Range) devient un critère d'évaluation dans la sélection d'un CAN. Le SFDR correspond à la différence entre l'amplitude A_{RMS} de la raie fondamentale et l'amplitude B_i de la plus forte raie parasite (harmoniques comprises), comme le démontre la figure 1.6. Le SFDR, exprimé en dB, est défini par l'expression suivante [BERNARD (2001)] :

$$SFDR_{dB} = 20 \log \left(\frac{\max(B_i)}{A_{RMS}} \right) \quad (1.13)$$

c- Résolution effective de la bande passante

La résolution effective de la bande passante (Effective Resolution Bandwidth - ERBW) est la fréquence F_{in} pour laquelle le SFDR du CAN chute de 3 dB par rapport à la valeur SFDR au niveau DC. La plupart des applications s'attendent à une conversion fidèle du CAN pour tout signal d'entrée F_{in} qui vérifie la relation de Nyquist, i.e. $F_{in} \leq F_s/2$. Toutefois, beaucoup de CAN affichent une sévère dégradation du SFDR

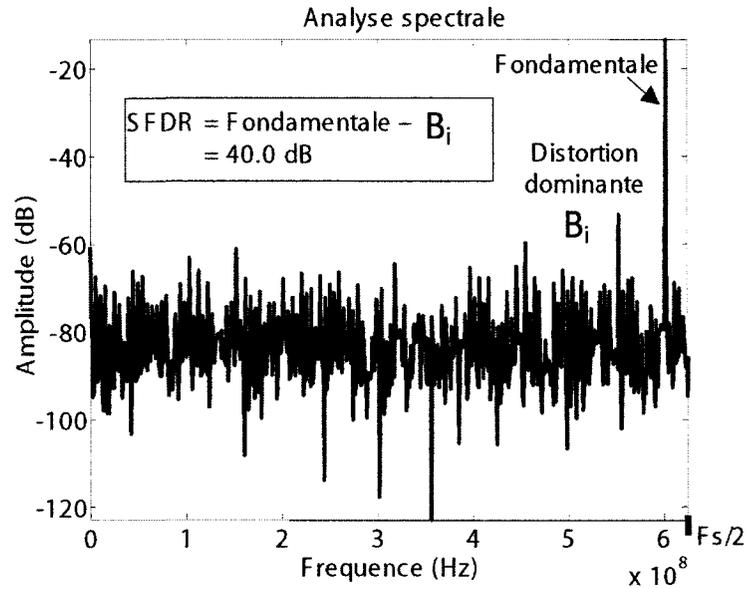


FIGURE 1.6: Analyse spectrale et SFDR [DANG (2005)]

à des fréquences au dessous de $F_s/2$ [Deguchi *et al.* (2007)]. Pour cette raison, la littérature rapporte souvent la vitesse d'un convertisseur par l'ERBW plutôt que par la fréquence d'échantillonnage F_s .

1.3.3 Facteur de mérite

Les paramètres statiques et dynamiques décrits auparavant permettent de caractériser un convertisseur analogique-numérique. Néanmoins, pour comparer les CAN entre eux un paramètre général est souvent adopté, il s'agit du facteur de mérite (Figure of Merit - FoM) [Hong and Lee (2007)].

$$FoM = \frac{2^{ENOB} \cdot 2 \cdot ERBW}{P_m}, \quad (1.14)$$

Il est à noter que l'ENOB est calculé à partir du SNDR à faible fréquence pour le signal d'entrée par la relation (1.12). La bande effective du CAN (en Hz) est définie

auparavant, et P_m représente la puissance moyenne consommée (en W).

Cependant la surface S (en m^2) du cœur d'un CAN embarqué est un paramètre critique qui doit être inclus dans l'expression de FoM, alors la définition suivante est aussi adoptée dans la littérature [Allier (2003)] :

$$FoM = \frac{2^{ENOB} \cdot 2 \cdot ERBW}{P_m \cdot S} \quad (1.15)$$

1.4 Travaux de pointe sur les convertisseurs analogiques-numériques

1.4.1 Introduction

Afin de déterminer une architecture qui peut atteindre les spécifications fixées pour ce projet (CAN de basse puissance, résolution de 8 bits et taille réduite), il est primordial de présenter brièvement certaines architectures présentement utilisées dans la littérature. Ces architectures sont classées en deux familles. La première consiste en des CAN de Nyquist pour lesquels un échantillon numérique en sortie correspond à un échantillon analogique en entrée. Dans le but de relaxer les contraintes sur le filtre anti-repliement en entrée, les CAN de cette famille sont habituellement échantillonnés au delà de la fréquence de Nyquist par un facteur inférieur à dix. La deuxième famille regroupe les CAN sur-échantillonnés, i.e la fréquence d'échantillonnage est bien supérieure à la fréquence de Nyquist et la résolution est améliorée par une décimation à posteriori. Cette famille est souvent appelée par Sigma-Delta.

1.4.2 Les convertisseurs de Nyquist

a- CAN double rampe (ou par intégration)

C'est une approche commune pour la conversion haute résolution de signaux lents. La figure 1.7 illustre le schéma bloc d'un CAN à intégration double. Ce convertisseur effectue deux intégrations en deux phases (Figure 1.8) :

Phase 1 : la capacité se charge sous la tension à mesurer V_{in} , pendant une durée T_0 fixée par la limite de dépassement du compteur ;

Phase 2 : la capacité se décharge sous une tension de référence V_{ref} fixée, jusqu'à une tension nulle. Durant cette phase, on incrémente un compteur à n bits qui fournit la valeur quantifiée de la tension d'entrée, une fois la décharge est terminée.

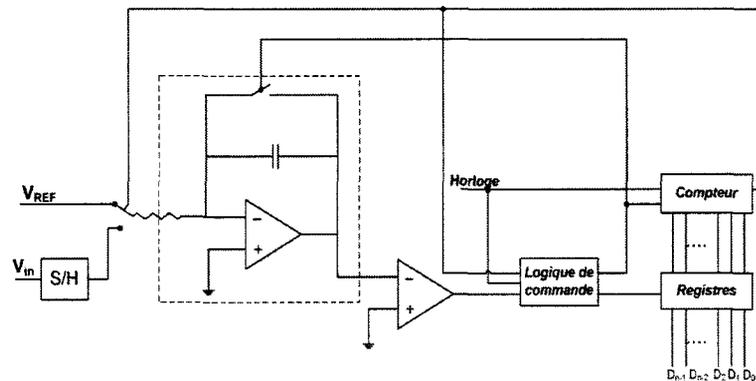


FIGURE 1.7: Architecture d'un CAN à double rampe

Il faut noter que V_{in} et V_{ref} doivent être de signes opposés. La durée de fonctionnement du compteur est donnée par :

$$T = T_0 \frac{V_{in}}{V_{ref}} \quad (1.16)$$

Étant donné qu'il y a deux intégrations avec le même intégrateur, la sortie du CAN n'est pas fonction du condensateur comme dans le cas du CAN à simple rampe, mais seulement de la tension d'entrée. Ce qui le rend plus exact que la configuration à

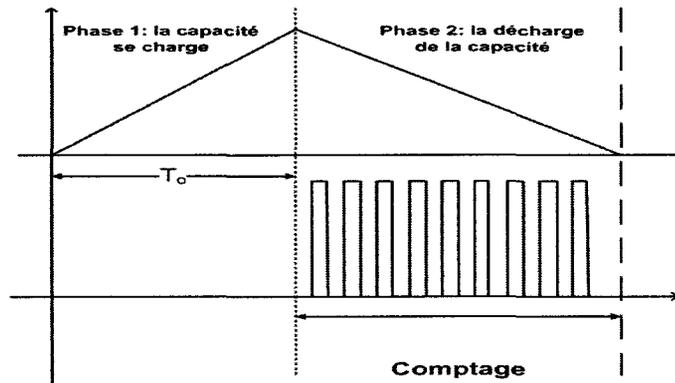


FIGURE 1.8: Chronogramme d'un CAN à double rampe

simple rampe.

$$\text{On a : } T_0 = 2^n \cdot T_e \text{ et } T = N \cdot T_e, \text{ alors : } N = 2^n \frac{V_{in}}{V_{ref}}, \quad (1.17)$$

où n est le nombre de bits, N nombre d'impulsions et T_e la durée d'une impulsion. Ces convertisseurs offrent une bonne résolution, mais ils sont très lents (nécessitent au moins 2×2^N cycles d'horloges par acquisition). Ils sont utilisés pour la mesure de la température de valeurs quasi constantes. En instrumentation basse fréquence, il existe des CAN à double rampe d'une résolution de 16 bits capable d'opérer à une fréquence de 44 kHz.

b- CAN à Approximations Successives

i) Structure de base

Les CAN à approximations successives (CAN-AS) (Successive approximation - SA-ADC) sont les plus utilisés pour des applications de basse puissance en raison de leurs circuits analogiques miniaturisés. Ce CAN détermine les bits un à un, du MSB au LSB, en procédant par ramifications selon l'algorithme de la figure 1.9 (a). Il est constitué d'un échantillonneur-bloqueur, d'un comparateur, d'un registre à approxi-

mations successives et d'un convertisseur numérique-analogique, comme le décrit la figure 1.9 (b).

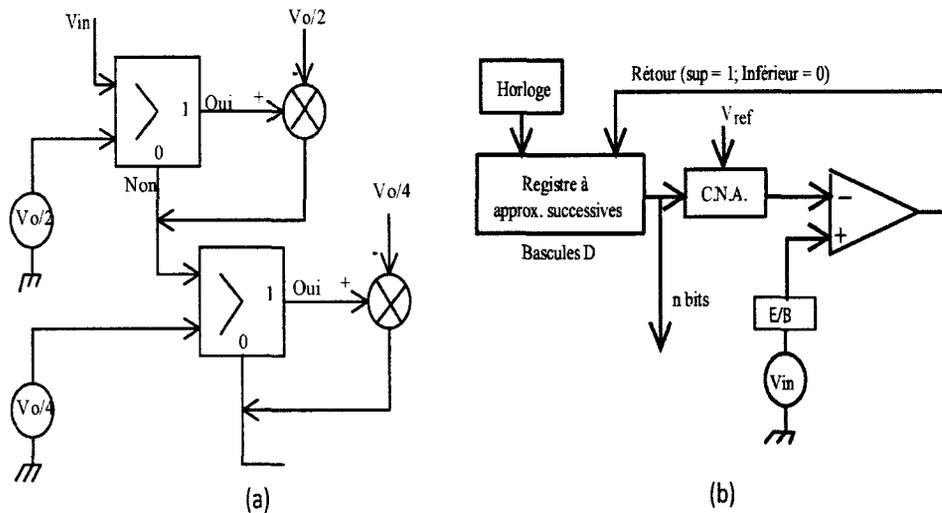


FIGURE 1.9: (a) Principe de fonctionnement, et (b) schéma bloc d'un CAN-AS

Le signal est comparé à une tension de référence : $V_{o/2}$ ($V_{ref}/2$). S'il est supérieur, on lui retranche cette valeur et on met le bit de comparaison à '1', sinon on met le bit de comparaison à '0' et on le compare à la tension suivante. $(V_{in} \iff \frac{V_{ref}}{2})$ puis $(V_{in} - \frac{V_{ref}}{2}b_{n-1} \iff \frac{V_{ref}}{4})$ etc...

Ainsi pour obtenir la valeur numérique V_{num} de sortie le CAN-AS nécessite N cycles de conversion pour N bits de résolution.

Ce genre de convertisseurs est sensible au décalage du comparateur et à la linéarité du CNA. Ce CAN paraît peu sensible à la variation de la tension durant la période de conversion cependant cette dernière peut conduire à une perturbation si elle est inférieure au LSB [Horowitz and Hill (juin 1996)]. Par contre, les pics de tension très élevée et de très haute fréquence à l'entrée sont complètement indésirables puisqu'ils peuvent conduire à un résultat complètement incorrect.

Lors de l'utilisation des SAR il faut absolument faire attention au crênelage (chevau-

chement spectral : phénomène qui est dû à la présence de fréquences non souhaitées lorsque nous travaillons avec les hautes fréquences). L'utilisation des filtres passe-bas s'avère très utile dans des cas pareils pour supprimer les hautes fréquences indésirables.

Cette famille de CAN est très utilisée pour des applications à vitesse moyenne, résolution moyenne et de basse puissance. Plusieurs recherches sur ce genre des CAN ont été publiés récemment [Hong and Lee (2007), Sauerbrey *et al.* (2003), Scott *et al.* (2003)] qui ont tous tenté de diminuer la puissance consommée.

ii) CAN à redistribution de charges (SAR)

Le CAN à redistribution de charges (CAN-SAR) est une implémentation très intéressante de la conversion à approximations successives puisqu'elle permet de minimiser fortement le matériel mis en œuvre. L'idée de base est l'utilisation d'un réseau de capacités de valeurs pondérées, d'un comparateur, et d'un bloc numérique effectuant l'algorithme dichotomique. Le réseau de capacités assure la fonction d'échantillonnage blocage, ainsi la complexité du système est réduite puisqu'un E/B n'est plus nécessaire. La figure 1.10 illustre le schéma bloc d'un CAN-SAR.

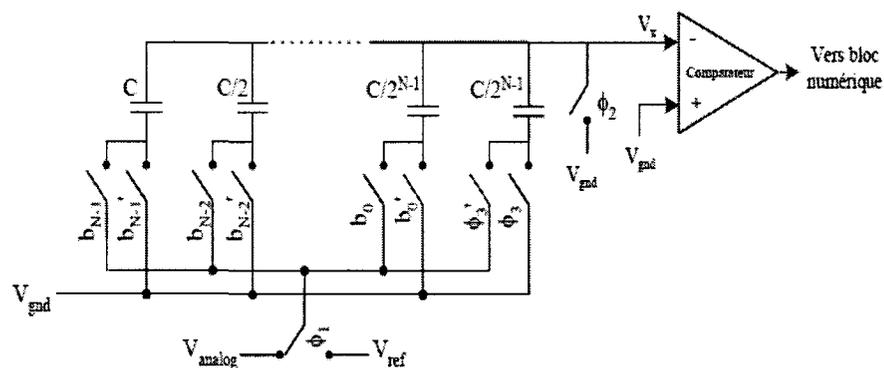


FIGURE 1.10: Schéma d'un CAN à redistribution de charges.

Les trois phases suivantes illustrées par la figure 1.11 résument le principe de fonctionnement d'un CAN-SAR :

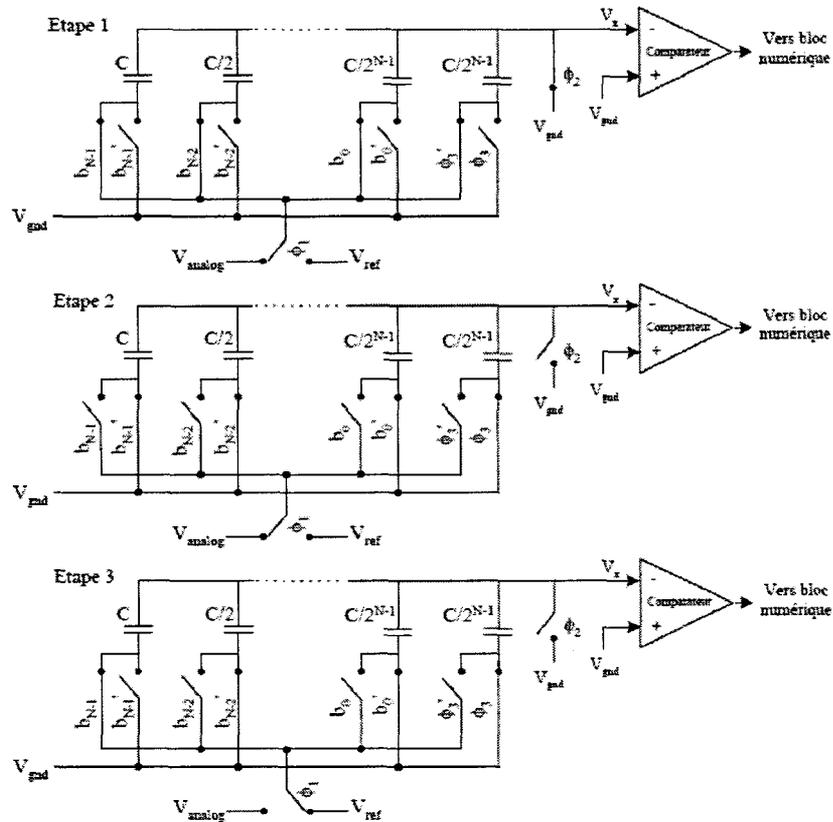


FIGURE 1.11: Fonctionnement d'un CAN à redistribution de charges [Allier (2003)].

Phase 1 : Échantillonnage de V_{analog}

ϕ_1 et ϕ_2 sont fermés, alors la tension d'entrée V_x du comparateur se maintient à zero. Ainsi toutes les capacités sont chargées entre la masse et V_{analog} . La charge totale accumulée par toutes les capacités ($\sum C = 2C$) vaut :

$$Q_1 = 2.C.V_{analog} \quad (1.18)$$

Phase 2 : Système isolé (Mémorisation de $-V_{analog}$ à l'entrée du comparateur)

ϕ_2 est ouvert. Toutes les armatures supérieures des capacités et le nœud d'entrée du comparateur forment un système isolé : en conservant la charge totale, toutes les armatures inférieures des capacités sont basculées sur la masse. La charge totale

devient :

$$Q_2 = 2.C.V_{analog} \quad (1.19)$$

De 1.18 et 1.19, il en résulte que $V_x = -V_{analog}$. À la fin de cette phase, ϕ_1 bascule sur la tension de référence V_{ref} .

Phase 3 : Évaluation successive des bits

Le bit de MSB b_{N-1} est positionné à '1', tandis que les autres à '0'. La capacité C est chargée à V_{ref} , la charge du système vaut donc :

$$Q_3 = C.(V_{ref} - V_x) - C.V_x, \quad (1.20)$$

Alors, par conservation de la charge :

$$V_x = -V_{analog} + \frac{V_{ref}}{2}, \quad (1.21)$$

Si $V_x > 0$, i.e $V_{analog} < V_{ref}/2$, alors $b_{N-1} = '0'$ (MSB est fixé à '0'), d'où l'armature inférieure de la capacité C sera liée à la masse et V_x redevient égale à $-V_{analog}$. Sinon (i.e $V_x < 0$), alors $b_{N-1} = '1'$, il en résulte que la capacité C reste connectée à V_{ref} , par conséquent C est chargée par $b_{N-1}.V_{ref}$, et le bit b_{N-2} est évalué de la même façon : il est positionné à '1' et tous les bits de poids inférieur sont positionnés à '0'...

L'évolution des bits se fait donc un par un, du MSB au LSB par la poursuite de même processus avec chaque capacité, à l'exception de la dernière dont le commutateur ϕ_3 reste toujours connecté à la masse durant cette phase. La tension de sortie V_x à la fin de la conversion en N étapes d'approximation, est donnée par l'expression suivante :

$$V_x = -V_{analog} + \frac{V_{ref}}{2}.[b_{N-1} + \frac{b_{N-2}}{2} + \dots + \frac{b_1}{2^{N-2}} + \frac{b_0}{2^{N-1}}] \quad (1.22)$$

Les CAN-SAR sont caractérisés principalement par :

- Une très bonne adaptation à une réalisation monolithique en technologie CMOS ;
- Une sensibilité faible aux capacités parasites, puisque toutes les capacités ont une borne à la masse ;
- Une précision essentiellement limitée par l'appariement des capacités. Typiquement 10 bits ;
- Une inutilité d'utilisation d'un (E/B), puisque la fonction d'échantillonnage préliminaire est inhérente au processus de conversion (mémorisation).

Plusieurs travaux dédiés pour des applications biomédicales de basse puissance ont été réalisés récemment [Kim *et al.* (2008), Rodriguez-Perez *et al.* (2008), Hong and Lee (2007), Abdelhalim *et al.* (2007)b, Abdelhalim *et al.* (2007)a, Chang *et al.* (2007), Scott *et al.* (2003), etc.].

c- CAN algorithmique ou cyclique

Ce convertisseur fonctionne de la même manière qu'un CAN à approximations successives. La différence entre les deux familles des CAN se voit dans le fait que pour un CAN-AS, le signal analogique est comparé avec des références de tension divisées à chaque cycle de conversion, tandis que pour un CAN algorithmique, les références restent identiques et l'erreur est multipliée par deux à chaque cycle d'horloge.

La conversion s'effectue bit après bit du MSB au LSB. Il suffit de reprendre le premier étage du pipeline (1 bit) et de le reboucler sur lui-même. Ceci réduira sa consommation d'énergie et sa surface par rapport un CAN pipeline puisque le matériel n'est plus dupliqué pour chaque bit. Les figures 1.12 et 1.13 illustrent le schéma bloc et l'algorithme de fonctionnement de cette famille des CAN respectivement.

Cette famille reste le bon choix qui offre le meilleur compromis entre vitesse et résolution. On cite quelques travaux de recherche récents qui traitent des CAN algorithmiques de basse puissance [Jarvinen *et al.* (2007), Agarwal *et al.* (2005)].

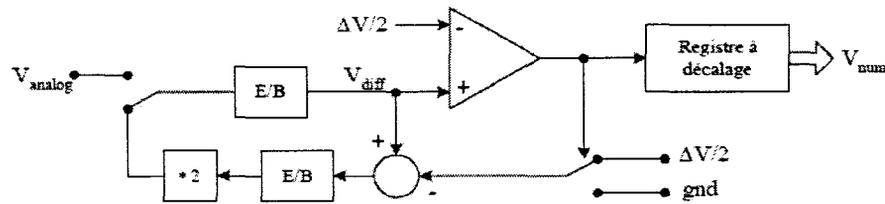


FIGURE 1.12: Schéma bloc d'un CAN à architecture algorithmique [Johns and Martin (1997)].

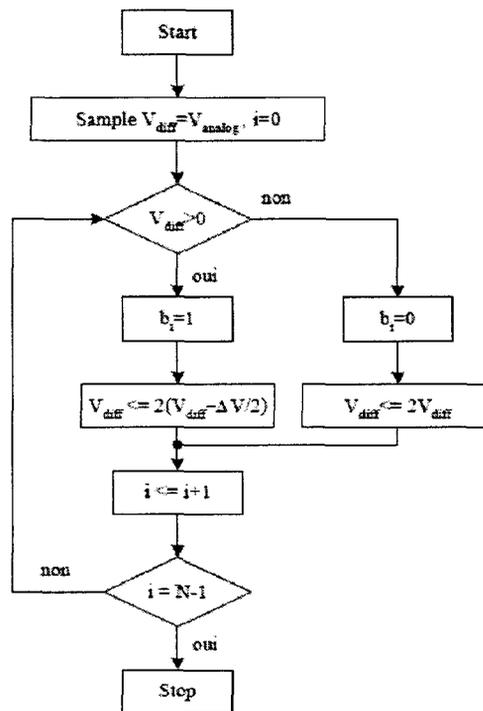


FIGURE 1.13: Fonctionnement d'un CAN à redistribution de charges [Johns and Martin (1997)].

d- Remarque importante :

Bien que d'autres architectures des convertisseurs de Nyquist existent, tels que les flash (parallèle), semi-flash, pipeline, interpolation, repliement, repliement et interpolation, et que ce domaine est un champ de recherche actif avec plusieurs publications dans les dernières années, nous ne les traiterons pas vu leurs inconvénients communs à des degrés différents :

- Complexité matérielle, ce qui implique une augmentation de la consommation

d'énergie,

- Surface de silicium très grande, ce qui les rend non-intégrables dans des systèmes sur puces.

Ceci justifie que ces architectures ne sont pas adaptées pour des applications de basse puissance comme la nôtre.

1.4.3 Les convertisseurs sur-échantillonnés

Quand on veut améliorer la précision d'un convertisseur, on augmente le nombre de bits. Dans le cas d'un convertisseur à suréchantillonnage, on se base sur un codage minimaliste (un bit) qui se déroule à très haute fréquence bien au delà de la fréquence dite de Nyquist ($f_{Nyq} = 2f_{max}$).

De cette manière, on étale le spectre du bruit de quantification sur une plus grande gamme de fréquence, améliorant ainsi le rapport signal sur bruit d'un facteur de $10 \cdot \log OSR$, selon la relation suivante [Johns and Martin (1997)] :

$$SNR_{dB,OS} = \underbrace{6.02 + 1.76}_{SNR_{dB,NS}} + 10 \cdot \log(OSR), \quad (1.23)$$

sachant que $SNR_{dB,OS}$ est le rapport signal sur bruit en dB du convertisseur sur-échantillonné, tandis que $SNR_{dB,NS}$ est la même grandeur physique mais pour un CAN de Nyquist. Le facteur de sur-échantillonnage (Over-Sampling Ratio - OSR) est défini comme le rapport $OSR = \frac{f_{ech}}{f_{Nyq}}$.

Alors le SNR dépend de la résolution matérielle N du convertisseur et du facteur de sur-échantillonnage OSR. Pour une résolution matérielle N du circuit fixe, plus le nombre effectif de bits du convertisseur augmente, plus le facteur OSR augmente. Il est ainsi possible d'améliorer la résolution effective de n'importe quel type de convertisseurs par ce principe. L'autre avantage de cette méthode est de repousser le bruit en haute fréquence, diminuant d'autant ce bruit dans la bande passante, alors les

contraintes sur le filtre anti-repliement en entrée du convertisseur sont moins strictes, puisque travaillant à haute fréquence, les répliques de spectre sont repoussées plus loin.

Indépendamment de l'architecture de conversion de type Nyquist retenue, tout CAN peut ainsi voir sa résolution améliorée par la technique de sur-échantillonnage suivie d'un filtrage de la sortie numérique afin de ne conserver que la bande utile du signal. Mais cette technique est cependant vite limitée, car la fréquence d'échantillonnage f_{ech} ne peut physiquement être augmentée indéfiniment. Ainsi une résolution plus poussée ne peut être obtenue que par une autre technique : c'est la conversion $\Sigma\Delta$.

Principalement, dans cette famille, on distingue deux catégories selon leurs principes de fonctionnement.

a) Modulation-Démodulation Delta-Sigma

Cette modulation consiste à coder les variations du signal V_e par une suite d'impulsions binaires ($V_s = 0$ ou 1). Pour que le codage s'effectue correctement, il faut que la fréquence d'échantillonnage soit assez élevée pour tenir compte des variations les plus rapides du signal.

Le modulateur est constitué d'un comparateur linéaire (montage soustracteur), qui fournit un signal $\varepsilon = \Delta V_e$ représentant la différence ("DELTA") entre la tension d'entrée à l'instant k et cette même tension à l'instant précédent $k-1$. Le signe de ε est codé par un comparateur binaire qui produit la tension de sortie V_s ($V_s = 1$ si $\varepsilon > 0$, 0 sinon). Cette tension est à son tour intégrée (SIGMA) pour reconstituer une image de l'échantillon précédent $V_r = V_e(k-1)$ afin de calculer $\Delta V_e = V_e(k) - V_e(k-1)$.

La figure 1.14(a) illustre le schéma bloc d'une modulation-démodulation Delta-Sigma. En réunissant les intégrateurs dans le modulateur, le schéma bloc devient alors celui

représenté par la figure 1.14(b).

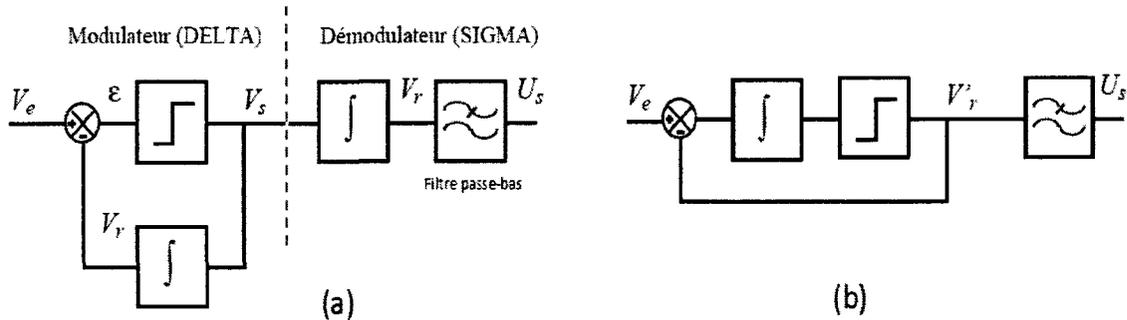


FIGURE 1.14: Schéma bloc d'un Modulateur-sigma-delta, (a) basique, (b) amélioré.

La tension V_r' se présente sous la forme d'une suite de bits avec un débit de F_e bits/s, au lieu d'une suite d'échantillons analogiques. Sous sa forme la plus simple, elle équivaut à une tension modulée en largeur d'impulsions, avec un niveau de sortie binaire.

b) Convertisseur Sigma-Delta

Principalement un convertisseur $\Sigma\Delta$ est formé de deux modules (1.15a et b) :

- Un module analogique qui convertit un signal analogique en une suite de bits ;
- Un filtre numérique qui convertit cette suite de bits en une valeur numérique sur n bits dépendamment de la résolution du convertisseur.

Le cas le plus simple est un modulateur 1-bit dont la fonction de transfert est implémentée par un simple intégrateur. Le CAN se limite alors à un comparateur et le CNA n'est plus nécessaire. Dans ce cas simple la sortie du modulateur est une suite de bits (la suite de '0' et '1' qui est obtenue à la fréquence d'échantillonnage f_{ech} , doit être traité par un filtre décimateur dont le rôle est de :

- Ramener la fréquence de sur-échantillonnage à celle de Nyquist, opération connue sous le nom de décimation ;
- Éliminer le bruit du à la quantification, (la quantification est une opération effectuée

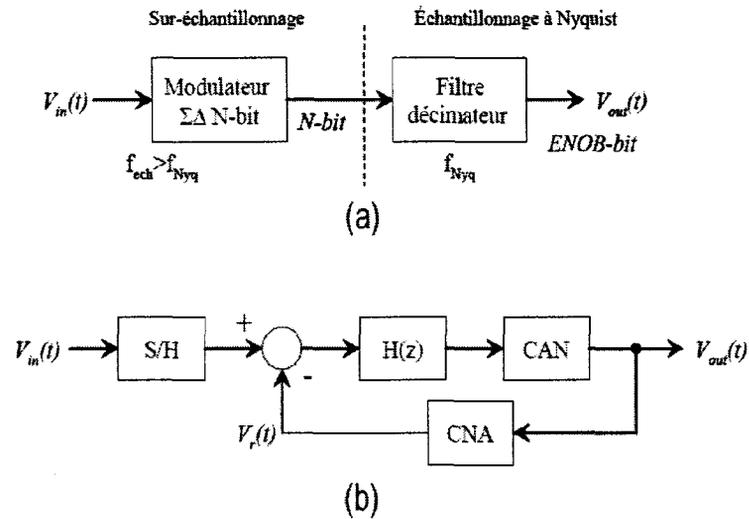


FIGURE 1.15: Schéma, (a) bloc général d'un CAN $\Sigma\Delta$, (b) général d'un modulateur $\Sigma\Delta$

à l'intérieur du module analogique).

En d'autres termes, les filtres ne font que la moyenne des bits d'une séquence donnée. Cette approche est correcte, cependant elle ne tient pas compte du bruit introduit par le modulateur, d'où la nécessité d'un prétraitement du signal pour supprimer le bruit et pour aller chercher l'information utile [F.BAILLIEU *et al.* (1996)].

Les filtres sont demeurés longtemps l'outil de prédilection pour les CAN $\Sigma\Delta$. Néanmoins avec l'apparition des nouvelles technologies comme les DSP et les FPGA, de nouvelles approches ont été développées. Notons par exemple les algorithmes de décodage de la séquence générée par le modulateur $\Sigma\Delta$. Le décodage a pu voir le jour pour améliorer certains paramètres comme le SQNR (Signal Quantized to Noise Ratio - SQNR) qui est le rapport signal sur bruit appliqué pour un signal numérique. L'inconvénient de ce décodage est que le traitement du signal requis nécessite énormément de ressources.

L'avantage d'une telle structure $\Sigma\Delta$ est qu'elle permet d'atteindre une très grande résolution avec peu de structures analogiques. Elle tire directement profit de la forte

intégration du traitement numérique. Il est donc facile et peu onéreux de construire un convertisseur de grande précision. Mais l'exigence du suréchantillonnage impose une limite à la fréquence maximale de conversion. En outre, en continu, la présence d'un intégrateur entraîne un risque de dérive de la réponse du CAN au cours du temps. Au total, le domaine d'emploi typique de ces convertisseurs est des signaux dont la fréquence est audio comprise entre 20 Hz et 20 kHz (domaine biomédical), ainsi que le contrôle de vitesse des moteurs DC et AC.

Dans la conception d'un CAN $\Sigma\Delta$ pour atteindre le SNR désiré (nombre effectif des bits) il faut considérer trois paramètres distincts : le facteur de sur-échantillonnage OSR, l'ordre du modulateur (qui affecte la stabilité en l'augmentant), et le nombre de bits du modulateur.

1.4.4 Comparaisons des CAN

Il est très utile de faire une comparaison entre les convertisseurs existants, afin d'extraire suivant l'application visée l'architecture la mieux adaptée. Ceci n'est pas assez simple à faire si on veut prendre en considération tous les paramètres de performances des CAN : vitesse, consommation de puissance, fréquence d'échantillonnage, résolution, etc. Ce travail nécessite une étude approfondie de plusieurs travaux de recherches les plus récents en étudiant paramètre par paramètre. Néanmoins le tableau 1.1 [BERNAL (2006)] effectue une comparaison qualitative de quelques architectures les plus utilisées en se basant sur leurs paramètres intrinsèques. Une comparaison approfondie qui tient compte des paramètres universels de performances des CAN qui sont le taux d'échantillonnage, la résolution et la puissance, sera développée dans l'une des sections du chapitre qui suit.

Comme nous pouvons bien le remarquer, aucun convertisseur ne monopolise la tête du classement dans toutes les caractéristiques et chaque architecture de CAN possède

TABLEAU 1.1: Tendance générale des CAN [BERNAL (2006)]

	SAR	Cyclique	$\Sigma\Delta$	intégrateur
Vitesse	--	--	---	---
Résolution	++	++	+++	+++
Consommation	++	++	++	++
Latence	+	+	--	-

+ Avantage - Inconvénient

une catégorie d'application pour laquelle elle est la mieux adaptée. Alors les CAN parallèles sont utilisés pour des applications nécessitant une fréquence d'échantillonnage très élevée sans donner une grande importance à la résolution. Tandis que les CAN $\Sigma\Delta$ ont une résolution très élevée qui leur permet d'être les plus utilisables dans des applications nécessitant une grande précision pour des signaux analogiques de faible fréquence par rapport aux autres types de CAN. Les CAN de type SAR restent les mieux placés pour des applications qui mettent en œuvre des signaux à faible fréquence grâce à leurs avantages : relativement rapides, précis, une consommation de puissance faible comme l'a prouvé plusieurs travaux de recherches les plus récents [Kim *et al.* (2008), Hong and Lee (2007), Verma and Chandrakasan (2006), Scott *et al.* (2003), Mortezapour and Lee (2000), Abdelhalim *et al.* (2007)b].

L'objectif de notre application est d'atteindre une résolution effective moyenne de l'ordre 8-bits, vitesse moyenne, taille réduite et de basse puissance. Les SAR permettent d'atteindre cet objectif, cependant nous nous proposons une solution alternative d'une architecture neuromimétique. La motivation et la description plus détaillée de notre choix fera l'objet des prochains chapitres.

1.5 Conclusion

Les notions fondamentales de la conversion analogique-numérique ont été présentées dans ce chapitre. Après la description de ses principes de base et de la théorie associée, les différents paramètres de performance statiques et dynamiques ont été également exposés. Également, le facteur de mérite, le critère qui met en évidence les deux aspects statique et dynamique, a été clairement défini. Les principales architectures de conversion de Nyquist et sur-échantillonnée ont également été présentées. Enfin, une comparaison de ces différentes architectures classiques des CAN a été présentée, afin d'y choisir l'architecture la plus appropriée pour notre application. Une solution alternative de fonctionnement est proposée. Elle est similaire à une cellule de neurone physiologique proposée. Elle fera l'objet des prochains chapitres.

CHAPITRE 2

ARCHITECTURES NEUROMIMÉTIQUES

2.1 Introduction

Ces dernières années ont vu le développement de nombreux systèmes embarqués (biomédical mobile, portable, etc.) intégrant des fonctionnalités de plus en plus complexes. La complexité de ces systèmes s'est accompagnée d'une augmentation préjudiciable de la consommation d'énergie à tel point que l'autonomie, i.e l'efficacité énergétique, est devenue un facteur important pour la viabilité de ces systèmes. Étant donné que le convertisseur analogique-numérique est requis pour la plupart de ces systèmes sur puces, tel le cas des applications de pointe que l'équipe Polystim développe. Une de ces applications consiste en un système d'imagerie optique proche infrarouge qui doit intégrer sur une seule puce des capteurs (phodiodes), amplificateurs, convertisseur analogique-numérique du traitement numérique et un lien RF. Ce système devrait permettre d'observer l'activation de différentes zones du cortex pour localiser tout dommage cérébral.

Étant donné que les signaux biomédicaux varient lentement, à des fréquences inférieure ou égales à 10 kHz ($f < 10$ kHz) [Webster and Clark (1989)], et d'une dynamique maximale d'entrée inférieure à 60 dB, [Yang and Sarpeshkar (2006)], alors une résolution modeste (≤ 8 bits) et une vitesse modeste (≤ 40 kHz) sont très suffisantes pour le convertisseur analogique-numérique que nous devons concevoir et implémenter en technologie $0.18 \mu m$. Par contre, l'efficacité énergétique est très souhaitable pour assurer une durée de vie maximale des piles d'alimentation, en outre, plus la fréquence d'échantillonnage sera élevée, meilleure sera la qualité du signal numérique. En d'autres termes, le circuit résultant doit bien répondre aux objectifs suivants :

- Une basse dissipation de puissance dans la gamme des nanowatts (longue durée d'autonomie) sous un taux d'échantillonnage de moins 100 kHz ;
- Une résolution de l'ordre de 8 bits ;
- Une taille réduite qui le rend intégrable dans un système sur puce ;
- Des paramètres statiques DNL et INL inférieurs à 0.5 LSB chacun, ce qui permet de reproduire d'une façon fidèle en format binaire le signal d'entrée.

Tel que nous l'avons rapporté dans le chapitre précédent, les CAN à approximations successives semblent être le choix le plus convenable [Verma and Chandrakasan (2006), Hong and Lee (2007)], grâce aux circuits analogiques actifs miniatures qu'ils requièrent. Néanmoins, ils sont sensibles au décalage du comparateur et à la linéarité du CNA, ce qui affecte les paramètres de performances, de plus, hormis pour les fréquences d'échantillonnage inférieur à 100 kS/s, la puissance qu'ils dissipent pour le cas de 8 bits excèdent toujours la gamme des nanowatts. Inspiré par la morphologie et les propriétés bioélectriques d'une cellule neuronale physiologique, nous proposons un CAN d'une architecture neuromimétique et de fondement [R.Raut and Zheng (2005)]. Quelle est l'analogie qui existe entre une cellule physiologique nerveuse et l'architecture de CAN adoptée ? Qu'est ce qui justifie notre choix de l'architecture neuromimétique ?

Afin de répondre à ces questions, nous exposerons brièvement l'architecture de la cellule nerveuse et le cheminement de l'influx nerveux. Par la suite, nous donnerons une description des propriétés électriques d'un neurone, ainsi que les mécanismes de propagation de l'influx nerveux sous la forme de potentiels d'action (PA). Également, le modèle électrique de la membrane neuronale et les travaux réalisés sur les CAN neuromimétique seront présentés. Finalement, nous présenterons le schéma bloc de l'architecture neuromimétique proposée.

2.2 Architecture de la cellule nerveuse et cheminement de l'influx nerveux

Dans ce paragraphe, nous allons introduire les fondements des mécanismes de l'activité bioélectrique mise en jeu dans le système nerveux central. Premièrement en introduisant les propriétés bioélectriques du tissu nerveux et de la membrane neuronale, et par la suite en décrivant les caractéristiques de l'influx nerveux.

Le neurone est une cellule, au même titre qu'une cellule gliale, toutefois sa fonction première est différente de cette dernière, puisqu'elle sert principalement à propager de l'information sous forme d'impulsions électriques de même amplitude, sur de plus ou moins longues distances.

Les neurones forment un réseau sophistiqué de connexions qui permet de redistribuer l'information, en parallèle ou/et en série, dans différentes aires corticales. Les messages transitent selon deux formes différentes : électrique à l'intérieur du neurone, et le plus souvent, chimique pour passer d'un neurone à l'autre.

Le tissu nerveux dans le système nerveux central est essentiellement composé du soma des cellules nerveuses et de neurones amyéliniques. Macroscopiquement, le tissu nerveux dans le système nerveux central est assimilable à un milieu électrique purement conducteur dans la bande de fréquences des potentiels enregistrés pour les fréquences de stimulus inférieures à 100 kHz. Par conséquent, l'impédance du tissu biologique peut être assimilée à une résistance due au milieu extracellulaire [Hubin (2008)].

Le neurone possède une architecture spécifique qui lui permet :

- (i) d'intégrer l'information provenant en amont des autres neurones ou des cellules sensorielles, au niveau soma et des dendrites par intermédiaire de synapses, on parle alors de signaux d'entrée ;
- (ii) de propager cette information sous forme d'un potentiel d'action le long de sa

membrane cellulaire par l'intermédiaire de l'axone, on parle alors des signaux de sortie. Le potentiel d'action est déclenché lorsque la somme des influx transmis en amont est suffisante (supérieure au potentiel de repos de la cellule neuronale) ;

(iii) de transmettre l'influx nerveux à d'autres neurones ou cellules effectrices, comme le montre la figure 2.1, [Moulin (2006)].

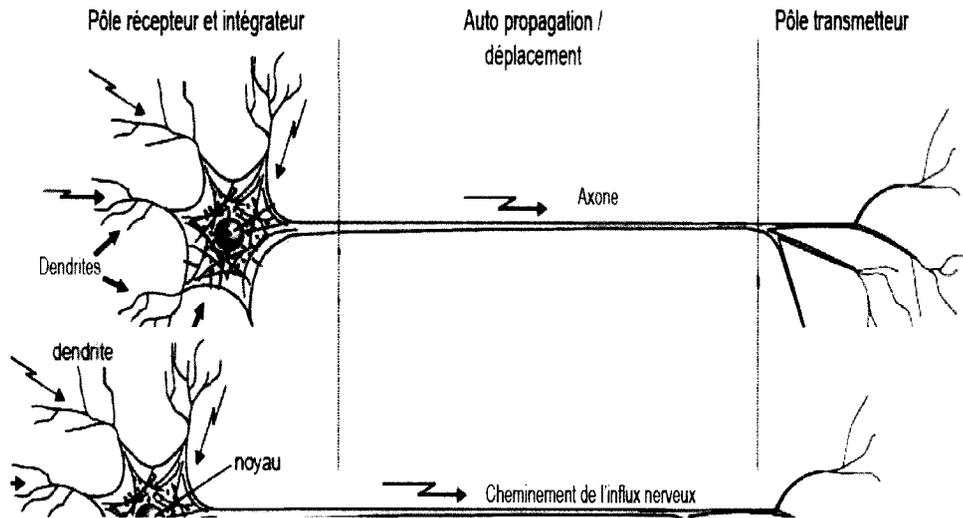


FIGURE 2.1: Architecture du neurone et cheminement de l'influx nerveux, [Moulin (2006)]

2.3 Propriétés électriques d'une cellule nerveuse

Le neurone a un double fonctionnement :

- (i) une fonction chimique, avec fabrication d'un médiateur chimique (acétylcholine, nor-adrenaline) ;
- (ii) une fonction électrique, avec dépolarisation, et donc de l'influx nerveux. D'où, des explorations faciles : électroencéphalographie (Electroencephalography - EEG) et électromyogramme (Electromyography -EMG), ainsi que des traitements (électrothérapie).

Les notions de pôle récepteur et émetteur du neurone traduisent la caractéristique fonctionnelle essentielle de ces cellules, à savoir leur capacité à conduire des influx

nerveux sous forme de signaux sur de longues distances, sans perte d'amplitude. La membrane du neurone a la particularité d'être polarisée. Elle répartit les ions inégalement de part et d'autre. Le neurone est une cellule ultra spécialisée, et a perdu ses capacités de multiplication ; la seule zone vitale du neurone est le corps cellulaire.

La conduction peut se faire de deux façons suivant la constitution du neurone, [Eckert *et al.* (1999)] :

- si l'axone est amyélinique, la conduction se fait par courant locaux, c'est-à-dire, que tous les points sont dépolarisés les uns après les autres. La vitesse est de 1m/s ;
- si l'axone est myélinisé, la conduction se fait de façon saltatoire, c'est-à-dire que l'influx nerveux va « sauter » de nœuds de Ranvier en nœuds de Ranvier. La vitesse est de 120m/s.

La conduction nerveuse obéit à plusieurs lois :

- (i) intégrité de la fibre nerveuse : si elle est lésée, la conduction ne peut plus se faire ;
- (ii) conduction isolée : au sein d'un nerf, chaque fibre conduit isolément l'influx ;
- (iii) conduction indifférente : à partir d'un point stimulé, l'influx s'en va dans les 2 sens (mais la transmission s'effectue dans un seul sens) ;
- (iv) vitesse de conduction de l'influx nerveux : elle varie de 1 à 20 m/s et est fonction du diamètre de la fibre et de la présence de myéline.

2.4 Mécanisme de propagation de l'influx nerveux

L'information transmise par le neurone constitue l'influx nerveux que l'on peut définir comme une brusque perturbation, toujours semblable quelles que soient les causes de son apparition. Cette information se déplace de point en point sur la membrane plasmique du neurone de deux façons : par des potentiels gradués, conduits électriquement, et par des potentiels d'action (influx tout ou rien : lorsqu'il est déclenché on ne peut pas empêcher son auto propagation). Ces deux moyens de transmission al-

ternent lorsque l'information se déplace sur un neurone, ceci est illustré sur le schéma de la figure 2.2, [Eckert *et al.* (1999)].

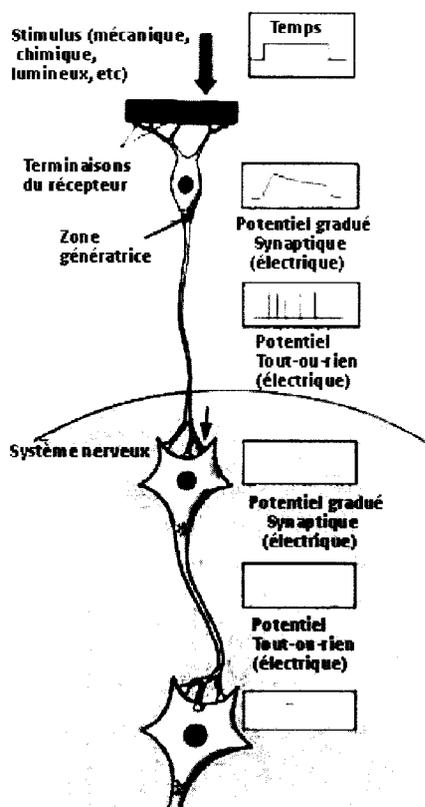


FIGURE 2.2: Trajet emprunté par l'information lors de la transmission, [Eckert *et al.* (1999)]

Un potentiel d'action est déclenché lorsque la membrane est dépolarisée au-delà d'un certain potentiel de seuil. Le seuil de décharge des AP n'est pas fixe. Il dépend de nombreux paramètres comme la densité des canaux ioniques et de la vitesse avec laquelle le potentiel de membrane augmente. En pratique, le potentiel seuil se situe à quelques millivolts voir quelques dizaines de millivolts au dessus de potentiels de repos membranaires [Chen *et al.* (2006)]

Pour qu'une dépolarisation s'effectue, il faut que la stimulation soit suffisante. Lorsque celle-ci est atteinte, la réponse de l'axone présente toujours la même amplitude : le neurone obéit à la loi du « tout ou rien » [Eckert *et al.* (1999)] et il se produit alors :

- 0- membrane au repos ;
- 1- Une dépolarisation de la membrane entraîne l'ouverture des canaux Na^+ : augmentation de la dépolarisation par l'ouverture des canaux Na^+ qui font rentrer des ions positifs à l'intérieur du neurone ;
- 2- Les canaux Na^+ commencent à s'inactiver alors que dans le même temps les canaux K^+ retardés s'ouvrent : les ions K^+ sortent vers l'extérieur du neurone, la dépolarisation diminue ;
- 3- Les canaux Na^+ sont maintenant tous inactivés, et les canaux K^+ ouverts : on a hyperpolarisation de la membrane (excès de charges positives dans le milieu extracellulaire) ;
- 4- Les canaux K^+ et Na^+ se ferment peu à peu, on tend vers le potentiel de repos membranaire.

La figure 2.3, [Webster and Clark (1989)] résume le comportement temporel du potentiel d'action.

Dans le cas des neurones du système nerveux central amyéliniques, la conduction s'effectue par courants locaux. La dépolarisation de la membrane s'opère de proche en proche de part et d'autre de la zone initialement dépolarisée lors de l'ouverture des canaux Na^+ . La vitesse de propagation est proportionnelle à la racine carrée du diamètre de l'axone et elle est de l'ordre de quelques mètres par seconde

Les canaux ligands-ou chémi-dépendants sont responsables de la transmission synaptique de l'influx nerveux. Les ligands sont dans ce cas appelés neurotransmetteurs. Quand les canaux sont activés, les ions diffusent selon leur gradient de concentration vers le milieu de moindre concentration suivant la loi de diffusion de Fick [Buehler (2000-2007)].

Il existe ensuite des canaux de fuite (typiquement les canaux chloriques) qui permettent une diffusion de ions à travers la membrane selon leur gradient de concentration. Il existe par exemple une diffusion des ions K^+ du milieu intracellulaire vers

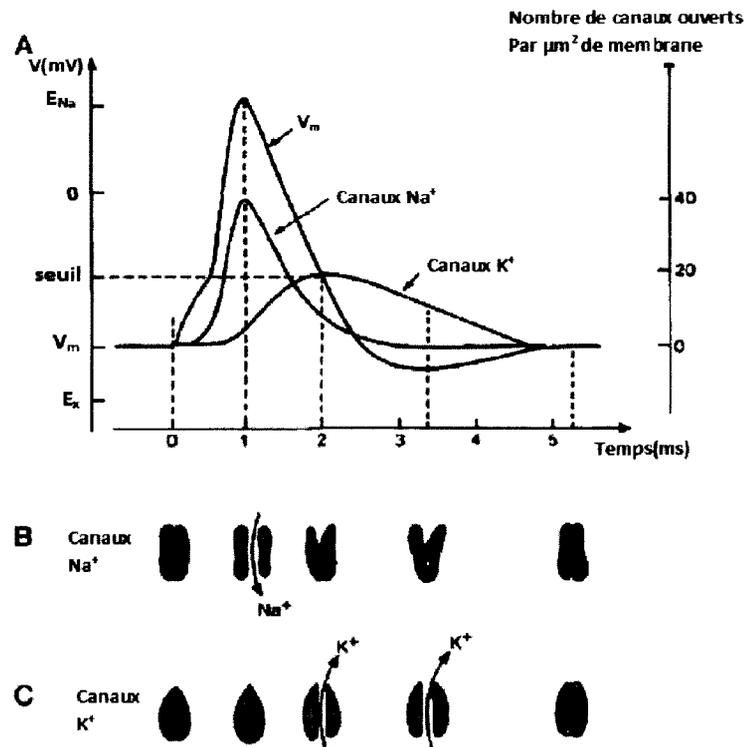


FIGURE 2.3: Comportement temporel de génération du potentiel d'action, [Webster and Clark (1989)]

le milieu extracellulaire et une diffusion de Na^+ dans le sens inverse.

La pointe du PA dure généralement 1 à 3 ms alors que la durée totale du PA peut excéder 100ms en tenant compte de la période où la membrane reste hyperpolarisée. On ne peut pas déclencher de PA tant que les canaux ioniques Na^+ ne sont pas revenus dans leur état initial. C'est la raison pour laquelle il existe une période dite réfractaire suite à un potentiel d'action durant laquelle il ne peut y avoir de nouveau déclenchement.

L'amplitude du potentiel d'action transmembranaire est de l'ordre de 100 mV crête à crête, et son contenu fréquentiel de l'ordre de 100 Hz à quelques kHz.

Le long d'un neurone, l'influx nerveux se propage et déclenche, dans les terminaisons neuronales, la libération de médiateurs chimiques. Ces médiateurs chimiques se

trouvant dans la fente synaptique, vont aller se fixer sur un autre neurone créant une dépolarisation et un nouvel influx nerveux : post-synaptiques excitateurs (PPSE) ou post-synaptiques inhibiteurs (PPSI) suivant s'il dépolarise ou hyperpolarise la membrane.

2.5 Modèle électrique de la membrane neuronale

Les travaux réalisés par Hodgkin et Huxley en 1952 sur l'axone de calamar géant, qui sont issus de la théorie ionique, et pour lesquels ils ont reçu un prix Nobel, ont permis d'établir un modèle électrique de la membrane illustré par la figure 2.4 , ainsi que des équations empiriques décrivant son comportement bioélectrique à un endroit donné [Hodgkin and Huxley (1990), HODGKIN and HUXLEY (1952)].

Ce modèle est issu par la modélisation de :

- **La couche bilipidique** qui sépare deux milieux de charges différentes par une capacité notée par C_m . Cette dernière est souvent exprimée par unité de surface. La valeur typique pour un neurone est $1 \mu F/cm^2$;
- **Les canaux ioniques** par des résistances en parallèle (conductances en séries). Un canal ouvert a une impédance surfacique de $1 M\Omega.\mu m^2$ à $100 G\Omega.\mu m^2$. L'impédance des canaux contrôlés en tension est dépendante de la valeur du potentiel membranaire. Tandis que les canaux de fuite (Leakage) sont d'impédance constante ;
- **Les gradients ioniques** par des sources de tension dont la valeur pour chaque ion est considérée égale au potentiel de Nernst calculé pour le même ion. Le potentiel de Nernst de l'ion i est donné par :

$$E_i = \frac{R.T}{z.F} \cdot \ln \left(\frac{C_{in}}{C_{out}} \right), \quad (2.1)$$

sachant que : E_i est le potentiel de Nernst de l'ion i en (V), R dénote la constante des gaz parfaits en $(J.mol^{-1}.k^{-1})$, T indique la température en (K), z est la valence

de l'ion i , F dénote la constante de Faraday en $(C.mol^{-1})$ finalement C_{in} et C_{out} sont les concentrations intra- et extra- cellulaire de l'ion i respectivement, exprimées en $(mol.l^{-1})$;

- **Le potentiel membranaire de repos** qui est dû à la différence des compositions ioniques de part et d'autre de la membrane, par la différence des potentiels intracellulaire et extracellulaire. Ce potentiel est noté par V_m , il est de l'ordre de -60 mV à -80 mV.

Comme nous l'avons mentionné auparavant que la génération des PA par une cellule nerveuse lors d'un stimulus suffisant est décrite par le système d'équations de Hodgkin et Huxley suivant :

$$\frac{dV_m}{dt} = -\frac{1}{C_m} \left(\bar{g}_{Na} \cdot m^3 \cdot h \cdot (V_m - E_{Na}) + \bar{g}_K \cdot n^4 \cdot (V_m - E_K) + \bar{g}_L \cdot (V_m - E_L) \right) ; \quad (2.2)$$

$$\frac{dm}{dt} = \alpha_m \cdot (1 - m) - \beta_m \cdot m ; \quad (2.3)$$

$$\frac{dn}{dt} = \alpha_n \cdot (1 - n) - \beta_n \cdot n ; \quad (2.4)$$

$$\frac{dh}{dt} = \alpha_h \cdot (1 - h) - \beta_h \cdot h ; \quad (2.5)$$

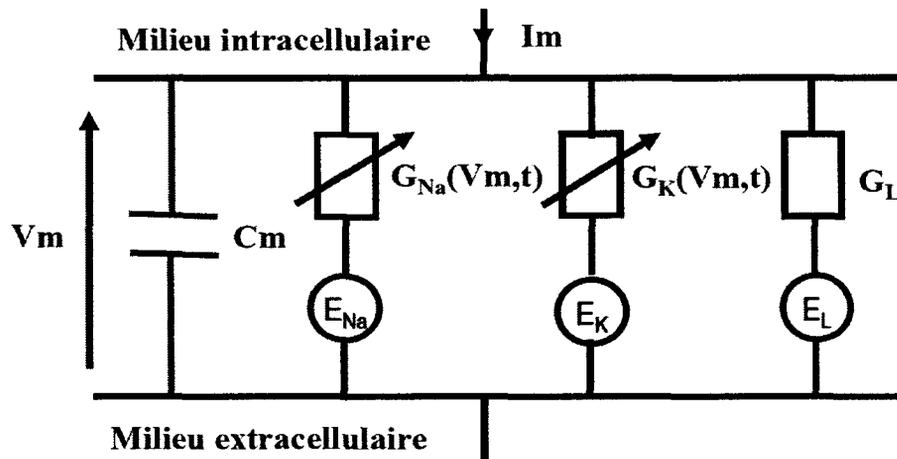


FIGURE 2.4: Circuit électrique de la membrane neuronale selon le modèle de Hodgkin et Huxley

à noter que :

V_m et C_m sont le potentiel et la capacité membranaire respectivement, \bar{g}_i dénote la conductivité spécifique maximum des canaux ioniques de l'ion i , E_i est le potentiel de Nernst de l'ion i . m , h et n sont les probabilités d'ouverture et de fermeture des canaux ioniques, tels que Na^+ dépend de (m et h), K^+ dépend de (n). α_i et β_i sont des constantes de temps d'ouverture et de fermeture des canaux ioniques qui sont soit sodique Na^+ ou potasique K^+ ou les canaux de fuite.

L'équation 2.2 définit la relation entre le potentiel membranaire V_m et les courants membranaires capacitifs et ioniques. Tandis que les équations 2.3, 2.4 et 2.5 décrivent les probabilités d'ouverture et de fermeture des canaux ioniques Na^+ , K^+ ou de fuite. L'ouverture des canaux ioniques Na^+ et K^+ est contrôlée par la valeur de potentiel membranaire V_m . Étant donné que la conductivité ionique des canaux K^+ dépend d'une seule variable n contre deux variables m et h pour les canaux K^+ , alors ceci signifie que les canaux K^+ ont deux états stables soit ouvert ou fermé, tandis que les canaux Na^+ ont trois états stables soit ouvert, fermé ou inactif par l'intermédiaire de deux portes (h contrôle l'inactivation et m l'activation).

Les paramètres qui définissent les équations 2.3, 2.4 et 2.5 sont définis par les équations suivantes :

$$\alpha_m = \frac{-0.1(V_m + 35)}{\exp\left(-0.1(V_m + 35)\right) - 1} ; \quad (2.6)$$

$$\beta_m = 4 \exp\left(-\frac{(V_m + 60)}{18}\right) ; \quad (2.7)$$

$$\alpha_n = \frac{-0.01(V_m + 50)}{\exp\left(-0.1(V_m + 50)\right) - 1} ; \quad (2.8)$$

$$\beta_n = 0.125 \exp\left(-\frac{(V_m + 60)}{80}\right) ; \quad (2.9)$$

$$\alpha_h = 0.07 \exp\left(-0.05(V_m + 60)\right) ; \quad (2.10)$$

$$\beta_h = \frac{1}{\exp\left(0.1(V_m + 30)\right) + 1} \quad (2.11)$$

Les constantes des potentiels ioniques exprimées en (V), et les conductances membranaires exprimées en (S/m^2), ainsi la capacité membranaire exprimée en (F/m^2) de l'équation 2.2, sont données par les équations suivantes :

$$E_{Na} = 0.05517 ; \quad (2.12)$$

$$E_K = -0.07214 ; \quad (2.13)$$

$$E_L = -0.04924 ; \quad (2.14)$$

$$V_m(\text{aurepos}) = -0.06 ; \quad (2.15)$$

$$\bar{g}_{Na} = 1200 ; \quad (2.16)$$

$$\bar{g}_K = 360 ; \quad (2.17)$$

$$\bar{g}_L = 3 ; \quad (2.18)$$

$$C_m = 0.01 \quad (2.19)$$

Finalement les conditions initiales des équations différentielles 2.2, 2.3, 2.4 et 2.5 sont basées sur l'hypothèse que le potentiel membranaire est constant, et que sa valeur au repos est $V_m = -0.06V$ [Webster and Clark (1989)].

2.6 CAN neuromimétique ultra basse puissance

2.6.1 Motivation neuromimétique

Dans le chapitre précédent, une comparaison qualitative des CAN en se basant sur leurs propriétés intrinsèques a été présentée. Afin d'approfondir cette étude, une comparaison brute des performances des divers CAN est souhaitable. Toutefois cette comparaison doit prendre en considération les trois paramètres universels de performance des CAN qui sont le taux d'échantillonnage, la résolution et la puissance afin d'en extraire suivant l'application visée l'architecture la mieux adaptée pour des applications biomédicales comme la nôtre. Les signaux mis en œuvre par les bio-capteurs sont de basses fréquences ($f < 10$ kHz) [Webster and Clark (1989)], et d'une dynamique maximale d'entrée inférieure à 60 dB [Yang and Sarpeshkar (2006)]. Alors le CAN dédié pour ce type d'application et en particulier pour le système d'imagerie optique proche infrarouge, s'inscrit dans le cadre des travaux de recherche de l'équipe Polystim, doit être ultra basse puissance pour une autonomie longue et d'une résolution de 8 bits.

Une dérivation de la dissipation de puissance minimale en fonction de taux d'échantillonnage et la résolution d'un CAN idéal est présentée dans [Kenington and Astier (2000)] par la relation suivante :

$$P_{min} = K.T.f_s.10^{\frac{(6N + 1.76)}{10}} ; \quad (2.20)$$

à noter que :

K est la constante de Boltzmann et T dénote la température absolue. Cette équation peut être reformulée selon :

$$\log(P_{min}) = \log(f_s) + \frac{6N}{10} + \log(K.T) + 0.176 \quad ; \quad (2.21)$$

Cette relation implique

- i) une variation linéaire de $\log(P_{min})$ et $\log(f_s)$ d'une pente 1 ;
- ii) une augmentation linéaire de $\log(P_{min})$ par augmentation du nombre de bits N , d'une pente 6/10.

Toutefois la variation de la combinaison de f_s et N , en fonction de la puissance présentée dans [Bin Le and Bostian (2005)] par la figure 2.5, montre que les deux relations précédentes ne sont pas indépendantes et que la pente de proportionnalité est 1.1 au lieu de 1. Cette légère variation est due au fait que dans la relation 2.20 le calcul de la puissance ne tient pas compte que de la consommation de E/B , en négligeant ainsi tous les autres modules actifs constituant un CAN tels que : amplificateurs, CNA, encodeurs numériques, etc.

On voit clairement en analysant la figure 2.5 que la consommation en énergie d'un CAN dépend de son architecture. En effet, la puissance est essentiellement consommée dans le processus de comparaison. Selon les différents mécanismes de la comparaison, le nombre de comparaisons par seconde varie de Nf_s (structure SAR) à $2^N f_s$ (structure flash). Le CAN de type Flash a une gigantesque consommation en énergie mais il offre l'ENOB le plus bas, en raison de sa structure parallèle. Les architectures Pipeline et semi-flash se chevauchent, vu qu'elles ont la même structure itérative de fonctionnement (structure semi-parallèle). Bien que le CAN SAR ait aussi une structure itérative, il consomme beaucoup moins d'énergie, car il réutilise la même comparaison.

En plus de la structure, la dissipation de puissance d'un CAN dépend aussi du taux

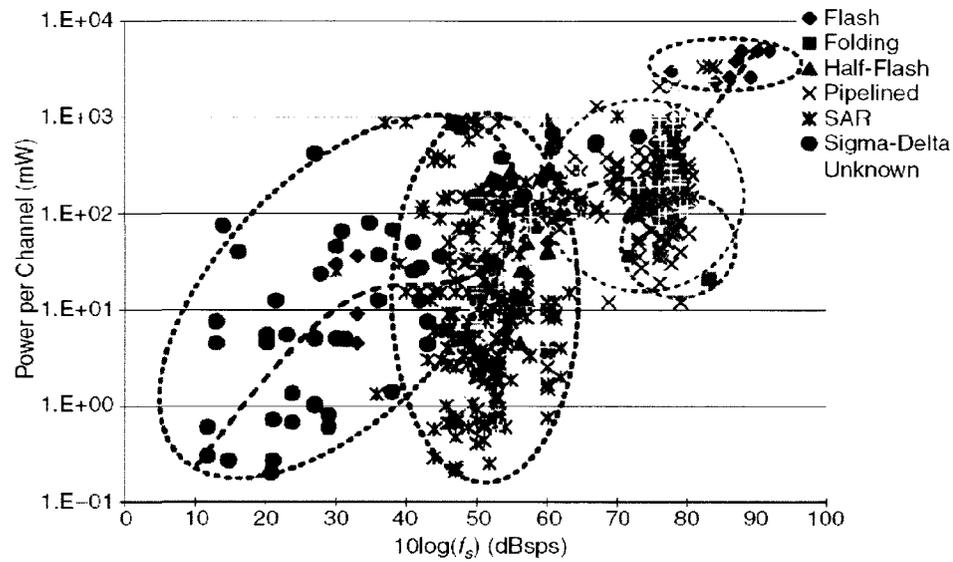


FIGURE 2.5: Variation de la puissance en fonction de taux d'échantillonnage pour différentes architectures des CAN, [Bin Le and Bostian (2005)]

d'échantillonnage et de la résolution. Par exemple, si on compare les deux types SAR et $\Sigma\Delta$, on remarque que leur dissipation de puissance est dans la même plage, mais les CAN SAR ont l'avantage d'un taux d'échantillonnage beaucoup plus grand, donc un signal numérique de meilleure qualité, alors que les CAN $\Sigma\Delta$ offrent l'avantage d'une résolution plus importante mais avec une légère augmentation de la consommation d'énergie. De cette comparaison, il est clair que les CAN de type SAR sont les plus appropriés pour les applications dont l'autonomie est un facteur important pour leur viabilité, vu la taille miniaturisée de leurs circuits analogiques actifs [Lin and Liu (2003), Scott *et al.* (2003), Sauerbrey *et al.* (2003), Verma and Chandrakasan (2006), Hong and Lee (2007), Abdelhalim *et al.* (2007)b].

Plusieurs travaux sur les CAN-SAR dédiés pour des applications biomédicales de basse puissance ont été réalisés récemment. Afin d'atteindre l'objectif d'une basse consommation d'énergie, certains d'entre eux ont procédé à une diminution de la tension d'alimentation de CAN au détriment d'une réduction de la conductance des

transistors limitant ainsi la bande passante du circuit [Verma and Chandrakasan (2006)]. Pour remédier à ce problème, d'autres ont tenté la même méthode en incluant un seul commutateur muni d'un circuit de démarrage (bootstrapped switch) [Hong and Lee (2007)]. Mais ceci a un effet sur la complexité ainsi sur la dissipation de puissance qui augmente. Ceux qui ont atteint la plus basse consommation d'énergie rapportée à ce jour ont procédé à opérer les transistors sous leurs seuils d'activation, pour des tensions d'alimentation variant de 0.4 V à 0.8 V et sous des fréquences d'échantillonnage allant de 20 kE/s à 400 kE/s, [Abdelhalim et al. (2007)b]. Pour des fréquences d'échantillonnage inférieures ou égales à 100 kE/s, ils sont arrivés à des dissipations de puissance, dans la plage des nanowatts ($P \leq 950$ nW) mais avec le procédé de fabrication CMOS 0.13 μm .

Inspiré par la morphologie et les propriétés bioélectriques d'une cellule neuronale physiologique, en particulier la propagation de l'information par une conversion analogique-numérique naturelle des signaux [Sid Deutsch (1993)] sous la forme des potentiels d'action (PA), nous sommes convaincus qu'une approche d'un neurone artificiel électrique pourrait être adoptée dans la réalisation d'un CAN. Ce convertisseur analogique à numérique, que nous avons proposé, est basé sur une architecture neuromimétique. Cette architecture tire avantage d'une consommation de puissance en nanowatts d'un circuit analogique miniature requis comme dans le cas de CAN-SAR. Ceci, sans diminuer la tension d'alimentation du circuit, afin d'opérer les transistors sous leurs seuils d'activation qui a pour effet une diminution de sa bande passante et sans utiliser des commutateurs munis de circuits de démarrage. De plus, cette architecture permet d'augmenter le taux d'échantillonnage jusqu'à 500 kE/s, ce qui permet de mieux reproduire le signal analogique en question.

2.6.2 Fondements de CAN neuromimétique

Le réseau de 22 milliards de neurones du cerveau humain est extrêmement complexe. Toutefois, il ne consomme qu'environ 14.6 W, i.e 0.5 nW/neurone. Alors, une conversion analogique à numérique inspirée d'un neurone a le potentiel d'avoir un rendement optimal en particulier une basse puissance. Cependant, les CAN inspirés d'un neurone n'ont toujours pas exploité à fond ce potentiel et ne concurrencent pas les structures classiques telles les CAN-SAR par exemple. Le travail présenté dans [Tank and Hopfield (1986)] a proposé une optimisation de CAN par l'ajout d'un réseau de résistances pondérées connecté à un processeur afin de minimiser l'erreur entre la valeur analogique et la valeur quantifiée estimée. Le convertisseur présenté dans [Sarpeshkar *et al.* (2000)] utilise deux neurones d'intégration (integrate-and-fire) avec des courants mesurés de référence pour quantifier un courant d'entrée. Mais plusieurs sources d'erreur telles que l'injection de charges, les disparités (mismatches) de sources de courant, et le retard du comparateur ont rendu sa conception inefficace. De même, le travail [R.Raut and Zheng (2005)] a présenté un CAN d'une résolution limitée à 6-bits et d'une consommation étendue à des μW . En plus, il a discuté la linéarité sans présenter la non-linéarité intégrale qui est un facteur important pour discuter la linéarité d'un tel convertisseur analogique-numérique. Finalement, le travail [Yang and Sarpeshkar (2006)] a présenté un CAN, ultra-efficace en énergie, bio-inspiré, qui génère des impulsions par intégration successive d'un courant d'entrée par rapport à un courant de référence. Ce CAN est d'une résolution effective de 8-bits, d'une consommation de 960 nW pour un signal d'entrée d'une fréquence uniquement de 3 kHz qui ne couvre pas tout le spectre biomédical qui peut aller jusqu'à 10 kHz [Webster and Clark (1989)], tandis que sa fréquence d'échantillonnage est très faible et de valeur égale à 45 kHz. De plus, sa gamme dynamique d'entrée est très étroite (10 nA à 320 nA), i.e 30.1 dB.

Dans ce mémoire, nous proposons la conception et l'implémentation en technologie TSMC 0.18 μm , d'un convertisseur analogique-numérique d'une architecture basée

sur un circuit neuromimétique. Cette architecture est référée ci-après par NC-ADC (Neuromimetic Analog to Digital Converter). La partie frontale de l'architecture neuromimétique fonctionne pareillement au CAN à double rampe d'intégration. La différence réside dans sa partie terminale de numérisation. Cette architecture tire son profil de la domination de sa partie numérique par rapport à sa partie analogique, qui ne requiert ni d'étage d'amplification ni de comparateur à base d'un amplificateur, à l'opposé d'un CAN à double rampe d'intégration. Afin d'atteindre une consommation de l'ordre de quelques nanowatts, nous avons adopté une combinaison d'une technique de conception numérique de basse puissance, avec les avantages d'un circuit analogique miniature requis par cette architecture, conformément au CAN de type SAR.

Ce convertisseur analogique-numérique inspiré d'une cellule de neurone physiologique est constitué de quatre modules :

- Un générateur d'impulsions de même amplitude, et dont le nombre est proportionnel à un courant suffisant d'entrée (supérieur à 100 nA). Ce module est nommé cellule de neurone par analogie à un neurone qui transmet les informations par génération des potentiels d'actions (PA) ;
- Un compteur systolique asynchrone des PA, qui fournit sur 8 bits la valeur quantifiée correspondant au courant d'entrée ;
- Un circuit de calibration fonctionnant comme une pompe à charges pour améliorer la non-linéarité intégrale du NC-ADC.
- Un circuit fournisseur d'un courant suffisant au compteur, qui permet d'éviter l'oscillation de la sortie du générateur des PA.

Les deux chapitres qui suivent seront consacrés à la discussion et au développement de quatre blocs de NC-ADC montrés à la figure 2.6, à savoir : la cellule neuronale, le compteur, le circuit de calibration, ainsi que le circuit fournisseur du courant.

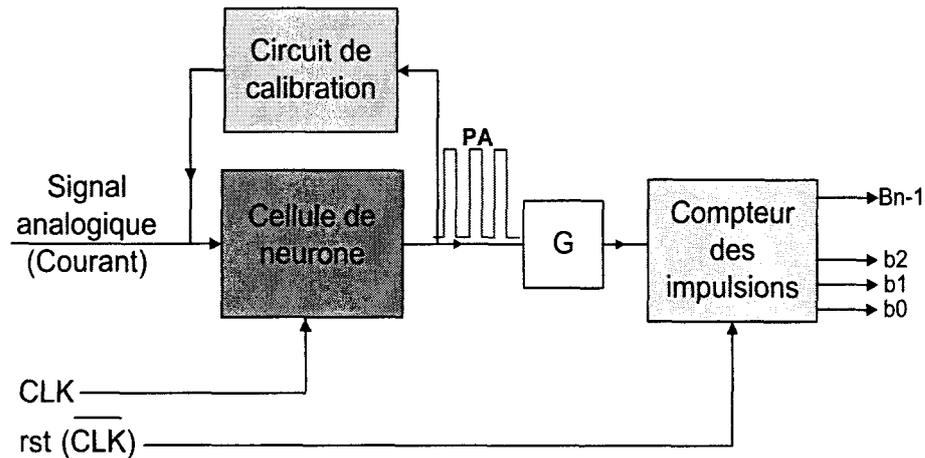


FIGURE 2.6: Diagramme bloc du NC-ADC proposé

2.7 Conclusion

Les notions fondamentales de fonctionnement d'une cellule nerveuse ont été décrites brièvement dans ce chapitre, à savoir son architecture et cheminement de l'influx nerveux, suivie par une description de ses propriétés électriques, ainsi le mécanisme de la propagation de l'influx nerveux. Après cette description de la physiologie de la cellule nerveuse et ses principales propriétés de fonctionnement lors de la transmission de l'information soit en aval ou en amont nous avons exposé le modèle électrique de la membrane neuronale. Également, une revue de la littérature sur les CAN de basse puissance a été développée. Finalement, motivé par le fonctionnement d'un neurone lors de la transmission de l'information par génération de potentiels d'actions, une architecture alternative neuromimétique a été proposée et décrite brièvement. Le modèle électrique d'un neurone sera la base d'une implémentation cette architecture neuromimétique en technologie TSMC 0.18 μm . Ceci sera l'objet des prochains chapitres.

CHAPITRE 3

CAN NEUROMIMÉTIQUE ULTRA BASSE PUISSANCE

3.1 Introduction

Inspirée par la morphologie d'un neurone, en particulier sa propriété bioélectrique qui se traduit par la génération de potentiels d'action (PA) pour des stimulus suffisants lors de la transmission de l'information, nous avons proposé une architecture alternative de CAN ultra basse puissance, dite neuromimétique. Cette architecture tire ses avantages d'un circuit analogique miniature, et d'une technique de conception numérique de basse puissance. Ceci, permet d'atteindre une consommation de puissance de l'ordre des nanowatts, pour des fréquences d'échantillonnage plus élevées par rapport au cas des CAN-SAR proposés dans la littérature pour les biocapteurs de basse puissance.

Comme nous l'avons mentionné au chapitre précédent, cette architecture est composée de quatre modules :

- Un générateur d'impulsions de même amplitude, et dont le nombre est proportionnel à un courant d'entrée (supérieur à 100 nA). Ce module est nommé cellule de neurone par analogie à un neurone qui transmet les informations par génération des potentiels d'actions (PA) ;
- Un compteur systolique asynchrone des PA, qui fournit sur 8 bits la valeur quantifiée correspondante au courant d'entrée ;
- Un circuit fournisseur d'un courant suffisant au compteur, qui permet d'éviter l'oscillation de la sortie du générateur de PA ;
- Un circuit de calibration fonctionnant comme une pompe à charges pour améliorer la non-linéarité intégrale du NC-ADC.

Dans ce chapitre nous décrivons en détail les différents modules du CAN neuromimétique montrés par la figure 2.6, à savoir : la cellule neuronale, le compteur d'impulsions, le circuit fournisseur du courant, ainsi que le circuit de calibration.

3.2 Cellule neuronale

Tel que cela a été mentionné auparavant, le module nommé cellule de neurone, par analogie au fonctionnement d'un neurone, génère des PA lors de la transmission des informations en aval ou en amont. Donc, pour un courant d'entrée, la cellule de neurone joue le rôle d'un générateur d'impulsions d'amplitudes égales, mais de nombre varié.

De nombreux travaux de recherche ont implémenté la cellule de neurone en se basant sur le modèle mathématique de la membrane neuronale établi par Hodgkin et Huxley (figure 2.4). Certains d'entre eux ont tenté d'imiter d'une façon exacte le mécanisme de la propagation de l'influx nerveux en tenant compte de tous les canaux ligands ou chémo-dépendants (K^+ , Na^+ , canaux de fuite) [Douglas and Mahowald (1995), Shin and Koch (1999), ainsi que RASCHE and DOUGLAS (2000)]. Cependant, ces approches ne sont pas intéressantes pour ce qui est de la consommation d'énergie, puisque les circuits équivalents sont d'une grande complexité. Par ailleurs, d'autres ont procédé à une implémentation optimale du neurone en approchant son fonctionnement en un seul canal, dans le but atteindre une baisse de la consommation de puissance.

Cette dernière approche a déclenché la naissance d'une nouvelle famille de convertisseurs analogiques-numériques à basse puissance. Il s'agit des CAN inspirés d'une cellule nerveuse. Dans certains travaux [Tank and Hopfield (1986)], les auteurs ont proposé une optimisation du CAN par l'ajout d'un réseau de résistances pondérées connecté à un processeur, afin de minimiser l'erreur entre la valeur analogique et la valeur quantifiée estimée. Le convertisseur présenté dans le travail [Sarpeshkar *et al.*

(2000)] utilise deux neurones d'intégration (*integrate-and-fire*) avec des courants mesurés de référence pour quantifier un courant d'entrée. Mais plusieurs sources d'erreur telles que l'injection de charges, les disparités (*mismatches*) de sources de courant, et le retard du comparateur ont rendu sa conception inefficace. De même, le CAN présenté dans les travaux [R.Raut and Zheng (2005) et Zheng (2006)] est d'une résolution limitée à 6-bits, et d'une consommation étendue à des μW . En plus, les auteurs ont discuté de la linéarité sans présenter la non-linéarité intégrale qui est un facteur important pour une telle discussion. Finalement, Yang and Sarpeshkar (2006) ont présenté un CAN ultra-efficace en énergie, bio-inspiré, qui génère des impulsions par intégration successive d'un courant d'entrée par rapport à un courant de référence. Ce CAN est d'une résolution effective de 8-bits, d'une consommation 960 nW, pour signal d'entrée d'une fréquence 3 kHz qui ne couvre pas tout le spectre biomédical qui peut aller jusqu'à 10 kHz, tandis que la fréquence d'échantillonnage est très faible et de valeur 45 kHz en plus d'une gamme dynamique d'entrée de 10 nA à 320 nA, ie 30.1 dB.

Cependant, les CAN inspirés d'un neurone n'ont toujours pas exploité à fond le potentiel d'une consommation de 0.5 nW par neurone et ne concurrencent pas les structures classiques telles les CAN-SAR par exemple. Ceci nous a poussé à développer une nouvelle architecture de la cellule nerveuse montrée à la figure 3.1(a) en se basant sur le travail [R.Raut and Zheng (2005)].

Les modifications apportées au travail [R.Raut and Zheng (2005)] au niveau de l'implémentation et de la conception de la cellule de neurone sont :

- l'utilisation d'un commutateur analogique qui tient compte de l'injection de charge induite pour améliorer de la non-linéarité intégrale (INL) du CAN proposé ;
- le remplacement du circuit tampon (*buffer*), constitué par deux inverseurs classiques (4 transistors) par un circuit tampon composé de 5 transistors. Ce circuit tampon proposé permet de réduire la consommation d'énergie ;

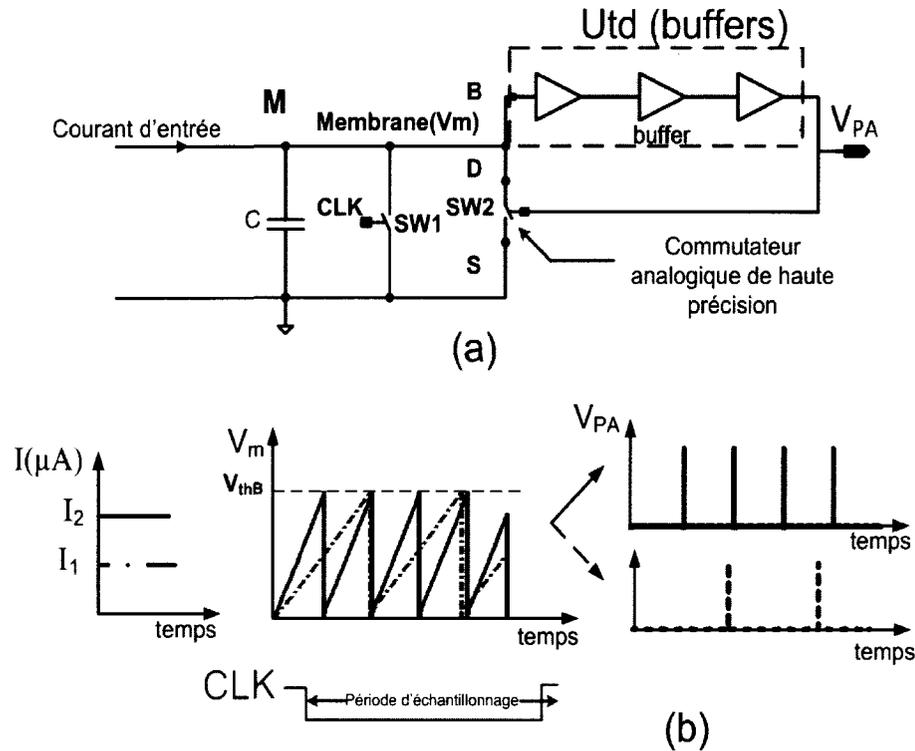


FIGURE 3.1: (a) Circuit de la cellule nerveuse, (b) chronogrammes de l'horloge CLK, ainsi des signaux aux différents points de la cellule nerveuse durant une période d'échantillonnage

- L'inclusion d'un module supplémentaire nommé circuit de calibration, qui a un impact sur l'amélioration de l'INL du NC-ADC proposé.

Par analogie au modèle mathématique de la membrane neuronale illustré par la figure 2.4, on établit que V_m et C dénotent le potentiel et la capacité membranaire respectivement, alors que le circuit de délai (Utd dans la figure 3.1) décrit les probabilités d'ouverture et de fermeture des canaux ioniques, soient Na^+ , K^+ , ou de fuite. Ces probabilités sont contrôlées par les deux commutateurs analogiques SW1 et SW2 qui agissent comme des conductances constantes (cas idéal). Finalement on signale que le potentiel membranaire au repos est $V_m = 0 V$ (état initial).

Lorsqu'un courant d'entrée (excitation) circule du pôle positif (milieu intracellulaire) de la cellule nerveuse au pôle négatif (milieu extracellulaire) le circuit neuronal génère

des impulsions numériques, i.e des potentiels d'actions PA à sa sortie. Le nombre de ces impulsions est proportionnel à l'intensité du courant d'entrée. Initialement, la tension de la membrane (tension membranaire au repos) est nulle et les deux commutateurs analogiques SW1 et SW2 sont bloqués. Dès qu'un courant positif est appliqué à l'entrée, la capacité C se charge jusqu'à ce que la tension membranaire V_m atteigne la valeur seuil (V_{th_B}) du circuit tampon ($V_{th_B} = V_{DD}/2$). V_{th_B} représente le seuil de déclenchement des PA. Alors, la tension de la sortie de ce dernier atteint son état haut. Ainsi, la sortie de la cellule de nerveuse est à l'état haut aussi longtemps que l'état du commutateur SW2 reste inchangé (à son état OFF). Ce temps est fixé par le délai des trois circuits tampons et par le temps de réponse du commutateur SW2. Il résulte de cet état haut de la sortie un changement de l'état du commutateur SW2 de son état OFF à son état passant (état ON). Ceci cause une chute de la tension V_m à une valeur légèrement inférieure à V_{th_B} . Par conséquent, la sortie du circuit tampon devient basse et il en est de même pour la sortie du neurone. Ceci déclenche les mêmes processus de charge et décharge de la capacité, aussi longtemps que le commutateur SW1 est bloqué. Donc, un nombre d'impulsions est généré durant l'état haut d'une horloge. À l'état bas de l'horloge la cellule neuronale s'initialise (C est totalement déchargée, SW1 et SW2 sont OFF), pour débiter le prélèvement d'un nouveau échantillon. La figure 3.1(b) résume le processus de génération des PA durant une période d'échantillonnage fixée par la période de l'horloge pour deux intensités du courant d'entrée différentes.

Certes, le fonctionnement de ce système est identique au fonctionnement d'un neurone physiologique et à celui d'un convertisseur du courant à fréquence (current to frequency converter - CFC), dont nous présenterons la fréquence en fonction de l'intensité du courant d'entrée dans une section de ce chapitre.

En résumant, le module nommé cellule nerveuse ou de neurone (Neuron Cell-NC) dénoté par NC agit comme un générateur d'impulsions de même amplitude, et d'une

largeur d fixe, donnée par le délai des trois circuits tampons que nous décrivons par la suite (le temps de réponse de SW2 peut être négligé). Le choix de trois circuits tampons comme circuit du retard (délai) permet d'assurer le bon fonctionnement du compteur de la sortie de la cellule de neurone. Ce délai doit être supérieur à une certaine valeur minimale (150 ps : valeur de simulation) afin que le compteur fonctionnant sur le front descendant puisse le distinguer du front montant. Un autre élément très sensible constituant le circuit neuronal est le commutateur analogique SW2 que nous décrivons dans la section suivante.

3.2.1 Commutateur analogique

a- Généralités

Le commutateur SW2 est alimenté à une tension n'excédant jamais la valeur du seuil V_{th_B} du circuit tampon ($V_{DS} = V_{DD}/2$). Rappelons qu'un des problèmes liés à la réduction d'échelle (Scaling) de la technologie CMOS est que la valeur absolue des tensions de seuil des transistors n'est pas réduite dans le même rapport que la tension d'alimentation. Cette réduction est approximativement proportionnelle à la racine carrée de l'alimentation [MEAD (1994)]. Alors, un commutateur NMOS simple n'est plus capable de transmettre les signaux analogiques dans une certaine gamme entre 0 V et V_{DD} pour assurer dans notre cas la décharge partielle de la capacité C. Avant de discuter la solution proposée pour implémenter le commutateur SW2, il est nécessaire, dans un premier temps, d'étudier les caractéristiques intrinsèques des commutateurs MOS afin de cerner les limitations inhérentes à la topologie du transistor MOS pour pouvoir ensuite aborder la description de méthodes permettant d'améliorer leurs performances.

Le commutateur SW2 dans son état isolé permet la charge de la capacité, tandis qu'à son état passant il la décharge partiellement. Ainsi, ce commutateur doit être

caractérisé par une résistance r_{ds} minimale, qui lui permet de réagir rapidement. Dans le cas idéal, un simple transistor NMOS peut être utilisé puisque sa conductance à l'état passant g_{ds} est censée être constante et ne pas dépendre du signal d'entrée. Toutefois, ce n'est pas le cas dans la réalité, puisqu'il est clair à partir de l'équation 3.1 [FAYOMI *et al.* (2006)] que la conductance du commutateur dépend de sa taille et de sa tension de commande.

$$g_{ds} = \mu C_{ox} \frac{W}{L} \left(\underbrace{V_{gs} - V_{th0} - \gamma \left(\sqrt{2\phi_f + V_{in}} - \sqrt{2\phi_f} \right)}_{V_{th_{vin}}} - V_{ds} \right), \quad (3.1)$$

sachant que : V_{gs} et V_{ds} sont les tensions grille-source et drain-source respectivement, V_{th0} dénote la tension de seuil, γ est le paramètre d'effet de substrat et ϕ_f dénote le potentiel de Fermi.

Donc, pour augmenter la conductance du commutateur, il faut augmenter la largeur W du transistor, diminuer L la longueur de son canal et utiliser une forte tension de commande (V_{in}). Il est à noter que l'effet de substrat diminue d'autant plus la conductance du commutateur que la différence de tension entre le signal d'entrée et la tension de substrat est grande. Ceci montre la dépendance non-linéaire de la conductance du commutateur avec l'amplitude de la tension du signal d'entrée. En outre, ce type de commutateur analogique ne permet pas de balayer toute la plage du signal d'entrée à cause de la tension du seuil qui est non nulle. Ceci est bien démontré par les figures 3.2(a) et 3.2(b). Cet aspect est d'autant plus critique que le rapport entre la tension de seuil et la tension d'alimentation est faible.

Pour compléter cette étude du commutateur analogique, il est nécessaire d'étudier les phénomènes d'injection de charges et d'injection d'horloge (Clock feedthrough) qui ont limité les performances de NC-ADC du travail [R.Raut and Zheng (2005)], en terme de deux paramètres INL et de sa gamme dynamique d'entrée. Le détail de cette étude est présenté en annexe I.

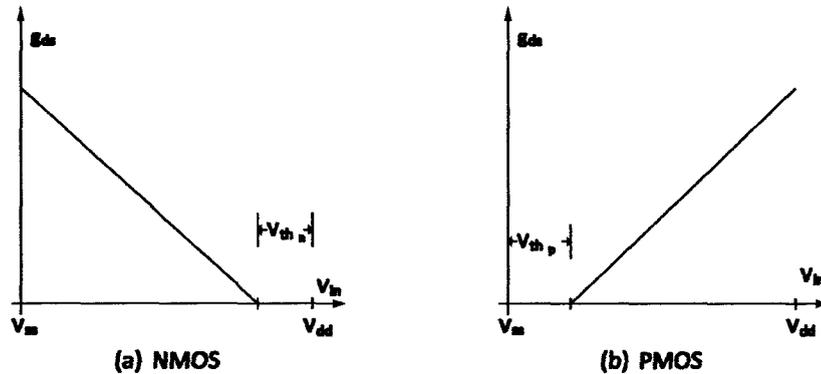


FIGURE 3.2: Evolution de la conductance du commutateur analogique g_{ds} à l'état ON en fonction de l'amplitude du signal d'entrée

b- Amélioration de performances du commutateur analogique

L'étude précédente (annexe I) a mis en évidence quelques défauts du commutateur analogique :

- La conductance dépend de l'amplitude du signal d'entrée.
- La plage effective de fonctionnement est plus petite que la plage du signal d'entrée.
- L'injection de charges non-linéaire dépend du signal d'entrée.

Au fil des années, afin de remédier à ces problèmes, des circuits composés de plusieurs transistors ont été proposés, tels que : la porte de transmission, transistor fantôme (dummy transistor), la méthode du bootstrapping , etc.

b-1) La porte de transmission

La porte de transmission montrée à la figure 3.3 (a) permet de :

- Faire jouer la complémentarité du NMOS et du PMOS ;
- Atteindre une plage effective de fonctionnement sur toute la plage du signal d'entrée (rail-to-rail) ;
- Atteindre une conductance montrée à la figure 3.3 (b), qui est moins dépendante du signal d'entrée, sous certaines conditions, comme le justifie l'équation 3.2 [FAYOMI

et al. (2006)].

$$g_{ds,on} = \mu_n C_{ox} \left(\frac{W}{L} \right)_n (V_{DD} - V_{th,n}) - \mu_p C_{ox} \left(\frac{W}{L} \right)_p |V_{th,p}| - \left[\mu_n C_{ox} \left(\frac{W}{L} \right)_n - \mu_p C_{ox} \left(\frac{W}{L} \right)_p \right] V_{in} \quad (3.2)$$

Alors, dans le cas où $\mu_n C_{ox} \left(\frac{W}{L} \right)_n = \mu_p C_{ox} \left(\frac{W}{L} \right)_p$ la conductance devient indépendante du signal d'entrée et sa valeur est donnée par :

$$g_{ds,on} = \mu_n C_{ox} \left(\frac{W}{L} \right)_n (V_{DD} - V_{th,n} - |V_{th,p}|) \quad ; \quad (3.3)$$

Toutefois, $V_{th,n}$ et $V_{th,p}$ varient avec V_{in} par l'effet du substrat [Allen and Holberg (2002)]. Par contre, la porte de transmission comporte de deux inconvénients majeurs :

- elle ne permet ni d'obtenir une injection de charges constante indépendante du signal d'entrée ni une annulation de l'injection de charges ;
- l'existence d'une zone de non-fonctionnement du commutateur (aucun des deux transistors ne conduit) lorsque la tension d'alimentation est très faible vis-à-vis des tensions de seuil.

Ainsi, il est nécessaire d'étudier d'autres approches moins sensibles.

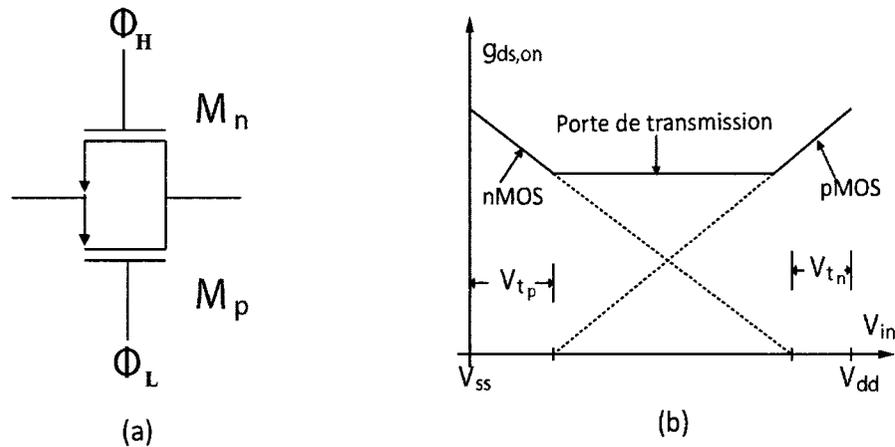


FIGURE 3.3: (a) Porte de transmission, (b) l'évolution de sa conductance $g_{ds,on}$ en fonction du signal d'entrée

b-2) La méthode du «bootstrapping»

L'idée de base de cette méthode est d'assurer un V_{gs} du commutateur constant. Alors, d'après l'équation 3.1, la conductance devient indépendante du signal d'entrée au premier ordre.

Le principe général de fonctionnement du bootstrapping est montré à la figure 3.4. À l'état OFF (figure 3.4 (a)), dans le cas du NMOS, la grille est mise à la masse. Alors qu'à l'état ON (figure 3.4 (b)), une tension constante V_{bias} est appliquée entre un des terminaux (drain ou source) et la grille. En général, cette tension est égale à la tension d'alimentation du circuit (V_{DD}) et fait appel à une technique de pompe de charges (charge pump) [FAYOMI *et al.* (2006), Waltari and Halonen (2002)]. Cette méthode permet d'atteindre une grande conductance $V_{gs,on}$ indépendante du signal d'entrée. Afin d'assurer une bonne fiabilité en terme de durée de vie, ces circuits sont conçus de sorte que les tensions entre les divers terminaux des transistors utilisés n'excèdent pas V_{DD} .

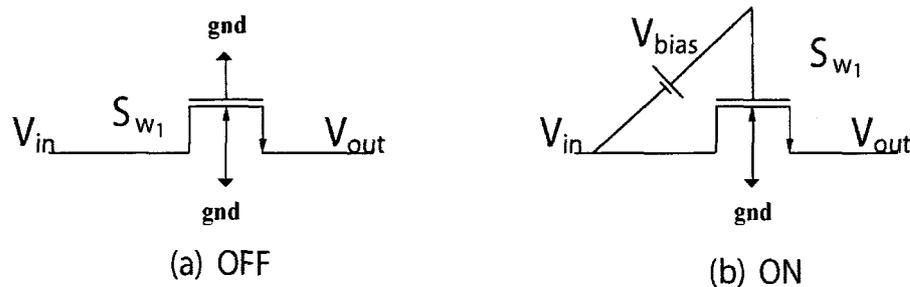


FIGURE 3.4: Principe de fonctionnement d'un commutateur «bootstrapping», (a) à l'état OFF, (b) à l'état ON

Toutefois, bien qu'une tension de commande constante soit appliquée, à cause de l'effet de substrat, la conductance du commutateur est indépendante du signal d'entrée seulement au premier ordre. Il en va de même pour le phénomène d'injection de charges.

De plus, le substrat est par défaut polarisée soit à la masse (NMOS) ou à V_{DD} (PMOS).

Ceci implique donc que la tension grille-substrat puisse dépasser la tension V_{DD} et même peut atteindre d'une façon transitoire $2V_{DD}$ dans le pire des cas. Ces états transitoires peuvent détériorer la qualité de l'oxyde de grille (soit une rupture de grille soit créer des courants de fuite) bien que le stress ne soit pas continu [BERNAL (2006)].

b-3) Transistor fantôme «dummy»

Cette méthode fait appel à un transistor supplémentaire ou fictif (M_{n_dummy}) dont les terminaux sont court-circuités comme le montre la figure 3.5, afin de minimiser l'impact de l'injection de charges du commutateur principal. Ce transistor dummy joue le rôle d'une capacité qui absorbe les charges injectées par le commutateur analogique, à condition que sa taille soit deux fois plus petite que celle du commutateur analogique. Toutefois, une compensation exacte n'est jamais atteinte, car l'appariement entre les transistors MOS est de l'ordre de 1 à 2 %.

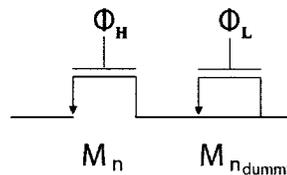


FIGURE 3.5: Commutateur analogique muni d'un transistor «dummy»

c- Commutateur analogique choisi (SW2)

Il est clair d'après les solutions présentées auparavant qu'aucunes d'elles n'est idéale selon toutes les caractéristiques recherchée. En tenant compte de notre objectif primordial d'une baisse de la consommation de puissance, nous avons écarté la méthode de bootstrapping, malgré son avantage d'une grande conductance $V_{gs,on}$ indépendante du signal d'entrée, vu sa grande complexité. D'autre part, la solution

d'une porte de transmission paraît intéressante pour notre cas, puisqu'elle permet d'atteindre une plage effective de fonctionnement sur toute la plage du signal d'entrée, ainsi qu'une conductance qui est moins dépendante du signal d'entrée (équation 3.3) si le dimensionnement de ces transistors NMOS et PMOS respecte la relation : $\mu_n C_{ox} \left(\frac{W}{L}\right)_n = \mu_p C_{ox} \left(\frac{W}{L}\right)_p$. Toutefois, la conductance donnée par la relation 3.3 est implicitement dépendante du signal d'entrée sous l'effet du substrat. Par conséquent, nous proposons d'utiliser un commutateur d'une architecture qui ressemble à une porte de transmission, mais dont le substrat du transistor NMOS est contrôlé par deux autres transistors NMOS, comme c'est illustré par la figure 3.6 [Franco *et al.* (2006)].

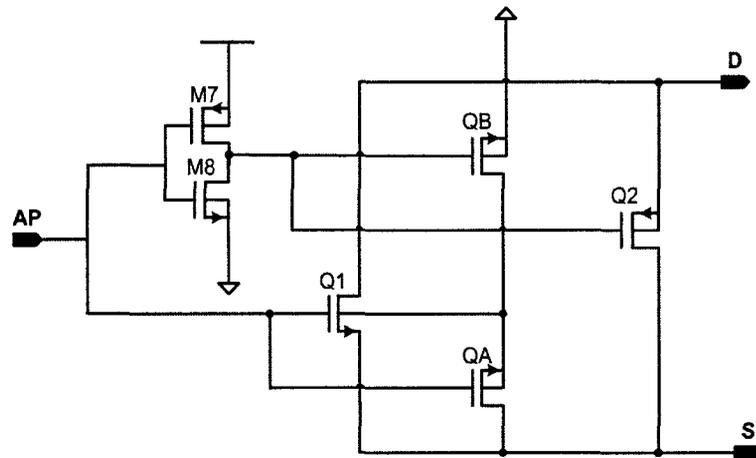


FIGURE 3.6: Circuit d'un commutateur analogique de haute précision [Franco *et al.* (2006)]

Le cœur de ce commutateur analogique est constitué de Q_1 (NMOS) et Q_2 (PMOS), tandis que Q_A et Q_B , de type n, constituent un réseau de contrôle du substrat de Q_1 . Lorsque SW2 est ON (transistor Q_1 est ON et Q_2 est OFF), la tension à la grille de Q_1 est V_{DD} , alors le transistor Q_A est fermé, tandis que le transistor Q_B est ouvert. Par conséquent, le substrat de Q_1 est à la tension du nœud S (V_{SS}). Dans le cas contraire (SW2 est OFF : Q_1 est OFF et Q_2 est ON), la grille de Q_1 sera connectée à la masse par le biais du transistor Q_B qui devient passant. Le réseau de contrôle du substrat de Q_1 permet d'éliminer l'effet du substrat sur la tension du seuil $V_{th,n}$,

ainsi, la conductance du commutateur devient dissociée d'effets découlant du signal d'entrée.

À l'état de la conduction, l'architecture proposée permet d'obtenir une résistance très faible et constante ($r_{ds,on}$), d'où une commutation très rapide. En plus, cette méthode de contrôle de la tension du substrat par deux transistors de type NMOS qui commutent d'une façon complémentaire a un impact sur l'injection de charges par SW2, puisque ces deux transistors sont dimensionnés de sorte qu'ils commutent avant Q_1 . Ceci rend le substrat flottant à chaque commutation de l'un de deux transistors de contrôle (Q_A et Q_B). Cette méthode ressemble à la méthode du Bottom plate [E.Waltari and Halonen. (2002)]. Cet effet de la réduction d'injection de charges permet dans notre cas une amélioration de l'INL et la pleine échelle (Full Scale Range - FSR) du courant d'entrée : I_{FSR} du NC-ADC. proposé.

3.2.2 Circuit tampon (Buffer)

Tel que nous l'avons rapporté auparavant, la cellule neuronale proposée agit comme un générateur d'impulsions d'amplitudes égales et d'une largeur d fixe imposée par un circuit de délai qui est implémenté par trois circuits tampons cascades. Une implémentation simple du circuit tampon comme celle proposée par [R.Raut and Zheng (2005)] est constituée de deux inverseurs cascades comme le montre la figure 3.7 (a). Toutefois, cette implémentation ne permet pas d'atteindre d'une façon facile un point de basculement (où $V_{in} = V_{out}$) à $V_{DD}/2$, en plus elle ne permet pas d'atteindre notre objectif d'une consommation de puissance de l'ordre des nanowatts. Alors, nous proposons une nouvelle architecture du circuit tampon implémentée par transistor NMOS additionnelle par rapport à l'architecture classique, comme l'illustre la figure 3.7 (b). Afin de mettre en évidence les avantages de la nouvelle architecture du circuit, nous procédons par une comparaison de quelques propriétés de l'inverseur d'entrée pour deux cas pertinents (tampon classique et tampon proposé) puisque c'est lui qui fait la

différence.

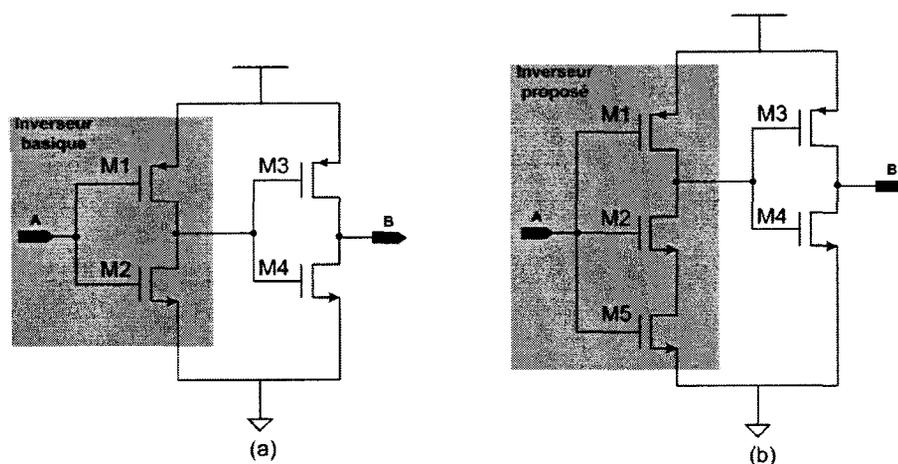


FIGURE 3.7: Circuit tampon : (a) classique, (b) proposé

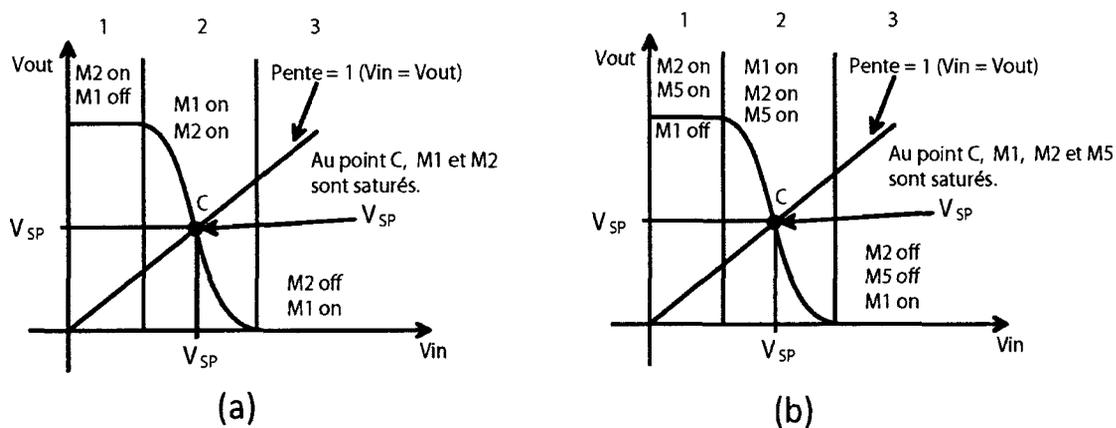


FIGURE 3.8: Fonction de transfert de l'inverseur classique munie du point de commutation

La fonction de transfert de l'inverseur classique et celle de l'inverseur proposé est donnée par les figures 3.8 (a) et 3.8 (b) respectivement. Rappelons que la capacité C dans la cellule de neurone se charge jusqu'à ce que la tension à ces bornes atteigne la tension de seuil V_{th_B} de déclenchement des PA. Cette tension n'est rien d'autre que la tension correspondant au point de commutation (Switching point-SP) de l'inverseur, qui correspond à la tension d'entrée reproduite à la sortie ($V_{in} = V_{out}$). Alors, ce point de commutation est donné par l'équation 3.4 pour un inverseur classique

[Rabaey *et al.* (2003)] et par l'équation 3.5 pour l'inverseur proposé :

$$V_{SP} = \frac{\sqrt{\frac{\beta_n}{\beta_p}} \cdot V_{th_n} + (V_{DD} - V_{th_p})}{1 + \sqrt{\frac{\beta_n}{\beta_p}}}, \quad (3.4)$$

où $\beta_{(n,p)} = \mu_{(n,p)} C_{ox(n,p)} \cdot (W_{(n,p)}/L_{(n,p)})$, $C_{ox(n,p)}$ dénote grille-capacité de NMOS ou PMOS par unité de surface, et $\mu_{(n,p)}$ est la mobilité des électrons (trous) à la proximité de la surface du silicium.

Sachant que deux transistors NMOS en série et à grilles connectées ensemble se comportent comme un simple transistor MOSFET d'une longueur du canal égale à la somme des longueurs des deux transistors NMOS. La longueur du canal correspondant est donc $2L_n$ pour les deux transistors M2 et M5 de dimensions (W_n , L_n) identiques. Par conséquent la transconductance du transistor équivalent est $\beta_n/2$. De l'équation 3.4, on déduit que le point de commutation de l'inverseur proposé est donné par l'équation suivante :

$$V_{SP} = \frac{\sqrt{\frac{\beta_n}{2\beta_p}} \cdot V_{th_n} + (V_{DD} - V_{th_p})}{1 + \sqrt{\frac{\beta_n}{2\beta_p}}}, \quad (3.5)$$

Pour une valeur V_{DD} très grande par rapport aux tensions de seuil et de saturation les deux équations 3.4 et 3.5 peuvent être simplifiées selon les deux équations 3.6a et 3.6b respectivement :

$$V_{SP} = V_{th_B} \approx \begin{cases} \frac{rV_{DD}}{(1+r)} & ; \text{cas de l'inverseur classique} & (3.6a) \\ \frac{rV_{DD}}{(\sqrt{2}+r)} & ; \text{cas de l'inverseur proposé} & (3.6b) \end{cases}$$

$$\text{Avec } r = \frac{K_p V_{DSAT_p}}{K_n V_{DSAT_n}} = \sqrt{\frac{\beta_n}{\beta_p}}.$$

Si les dimensions des transistors NMOS et PMOS utilisés sont égales et $\beta_n > \beta_p$, alors l'utilisation des transistors NMOS en série (ou (et) PMOS en parallèle) rend plus facile le design des portes logiques dont le point de commutation est $V_{DD}/2$.

Donc, l'inverseur proposé permet le déclenchement des PA à $V_{DD}/2$ (valeur souhaitée) d'une façon plus précise qu'un inverseur classique. Ceci est bien vérifié lorsque $r \simeq \sqrt{2}$ (équation 3.6b).

Un autre important avantage de l'inverseur proposé est la baisse de la consommation de puissance. Pour des raisons de simplification, nous adoptons le modèle numérique de la caractéristique de commutation de l'inverseur (tous les commutateurs sont supposés ouverts) pour en faire la démonstration. Ce modèle numérique est montré par les deux figures 3.9 (a) et 3.9 (b) pour les deux cas : classique et proposé respectivement.

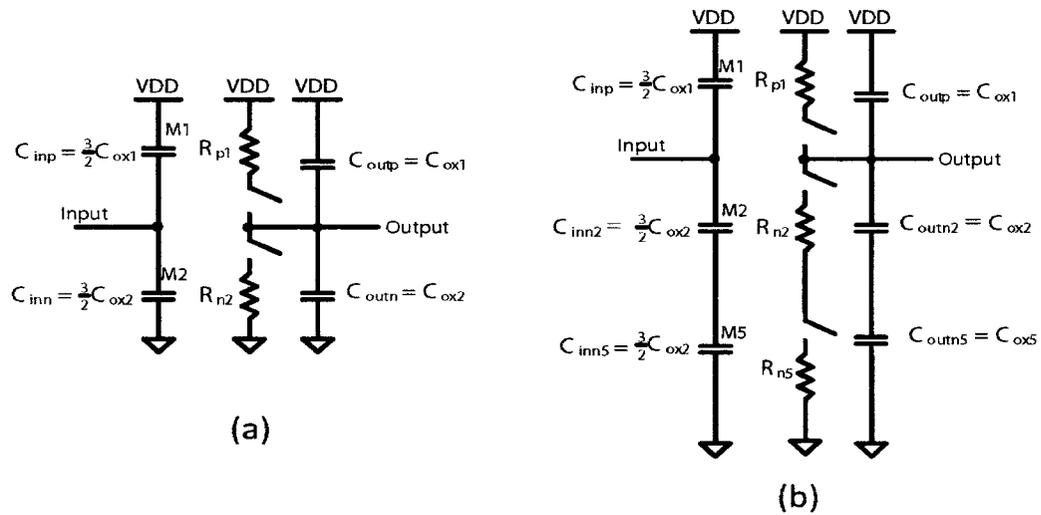


FIGURE 3.9: Modèle numérique de la caractéristique de commutation de l'inverseur CMOS, (a) classique, (b) proposé

De ce modèle on déduit que la capacité effective de sortie de l'inverseur est :

$$C_{out} = \begin{cases} C_{out} = C_{ox_p} + C_{ox_n} & ; \text{cas de l'inverseur classique} & (3.7a) \\ C_{out} = C_{ox_p} + \frac{C_{ox_n}}{2} & ; \text{cas de l'inverseur proposé} & (3.7b) \end{cases}$$

Ainsi, le transistor additionnel M5 dans le circuit tampon proposé, permet de réduire d'un facteur de deux la dissipation de puissance dynamique, durant la transition 0 à 1. Ceci aura un grand impact, puisque plusieurs circuits tampons de ce type sont utilisés dans l'implémentation de différents modules du NC-ADC.

Après avoir présenté l'implémentation de la cellule nerveuse en technologie $0.18 \mu\text{m}$, nous présenterons par la suite les valeurs des composants de la cellule nerveuse, ainsi que leurs effets sur les performances du NC-ADC.

3.2.3 Calcul des valeurs des composantes de la cellule nerveuse

Tel que nous l'avons décrit auparavant, la cellule nerveuse joue le rôle d'un générateur d'impulsions de fréquence variable selon l'intensité du courant d'entrée (stimulus), i.e c'est un convertisseur du courant à fréquence (current-to-frequency converter-CFC). Pour un courant d'entrée I continu et durant une période d'échantillonnage T_e , la cellule nerveuse génère un nombre d'impulsions n par reproduction du processus de charge et de décharge de la capacité membranaire C . Ce nombre n est donné par :

$$n = \frac{T_{(e,h)}}{(t_{ch} + t_d)} ; \quad (3.8)$$

où $T_{(e,h)}$ dénote l'état haut d'une période d'échantillonnage, et où t_{ch} et t_d sont respectivement les temps de charge et de décharge de la capacité. Si on suppose que t_d est négligeable (décharge instantanée et totale de la capacité C) alors :

$$n = \frac{T_{(e,h)}}{t_{ch}} . \quad (3.9)$$

Si on suppose que t_{ch} est constant durant la même période d'échantillonnage et puisque $\Delta t = \frac{C}{I} \Delta V_m$, et sachant que $\Delta V_m = (V_{thB} - 0)$ et $\Delta t = (t_{ch} - 0)$ alors,

$$t_{ch} = \frac{C}{I} \cdot V_{thB} , \quad (3.10)$$

il en résulte que la fréquence à la sortie de CFC est

$$f = \frac{1}{(t_{ch} + t_d)} \simeq \frac{1}{t_{ch}} = \frac{I}{C \cdot V_{th_B}} ; \quad (3.11)$$

où C est la capacité membranaire, I est le courant DC d'entrée et V_{th_B} dénote la tension de seuil du circuit tampon.

Donc, l'équation 3.11 traduit une variation linéaire du nombre de PA de la sortie du neurone (fréquence) en fonction de l'intensité du courant d'entrée, sous les conditions prescrites précédemment. Mais, ceci n'est pas le cas dans la réalité.

Pour une conversion analogique-numérique sur N -bits et pour un courant d'entrée de pleine échelle (Full Scale Range-FSR) qui est noté par I_{FSR} , la cellule de neurone doit générer avant la surcharge du compteur, un nombre d'impulsions égal à $2^N - 1$ durant une période d'échantillonnage et plus précisément durant $T_{(e,h)}$. Alors, le temps minimal de charge de la capacité C est calculé selon l'équation 3.9 par :

$$t_{(ch,min)} = \frac{T_{(e,h)}}{2^N - 1} ; \quad (3.12)$$

alors, en combinant les deux équations 3.10 et 3.13 on a

$$\frac{C_{max}}{I_{FSR}} \cdot V_{th_B} = \frac{T_{(e,h)}}{(2^N - 1)} ; \quad (3.13)$$

par conséquent,

$$C_{max} = \frac{T_{(e,h)} \cdot I_{FSR}}{(2^N - 1) \cdot V_{th_B}} ; \quad (3.14)$$

d'où pour un rapport cyclique α d'une horloge CLK d'échantillonnage ($\alpha = \frac{T_{(e,h)}}{T_e}$) la capacité maximale est donnée par,

$$C_{max} = \frac{\alpha \cdot I_{FSR}}{(2^N - 1) \cdot V_{th_B} \cdot F_e} ; \quad (3.15)$$

où F_e dénote la fréquence d'échantillonnage.

Cette équation permet de calculer soit C soit I_{FSR} connaissant les autres paramètres de l'équation 3.15 qui sont fixés comme objectif du départ.

Les paramètres de conception du NC-ADC sont résumés dans le tableau 3.1

TABLEAU 3.1: Paramètres de design de NC-ADC proposé

Tension d'alimentation	1.5 V
Gamme du courant d'entrée	0.1 à 16 μA
Fréquence maximale du signal d'entrée	10 kHz
Capacité membranaire	100 fF
Fréquence d'échantillonnage	500 kHz

3.3 Compteur binaire systolique asynchrone

Avant de développer le module subséquent qui fournit sur 8 bits la valeur quantifiée du signal d'entrée, il est primordial de signaler qu'une connexion directe et cascadée du compteur des PA à la sortie de la cellule nerveuse cause une oscillation de la sortie de cette dernière. Ceci est dû au fait que le courant délivré par la sortie de la cellule nerveuse n'est pas suffisant pour piloter le reste du circuit à sa sortie, i.e la sortance (Fan-out) du circuit pilote est insuffisante. Une solution simple à ce problème est d'inclure un nombre d'étages tampons à la sortie du neurone afin d'augmenter la sortance du circuit pilote. Dans notre cas, ce circuit additionnel noté par G dans la figure 2.6 est implémenté par quatre étages tampons cascades.

Étant donné qu'une baisse de la consommation d'énergie du circuit CAN intégré dans un système portable de la mesure de l'activité cérébrale d'un patient, afin d'accroître l'autonomie de cet appareil, constitue notre objectif primordial, alors les compteurs asynchrones restent le bon choix, par ce qu'ils présentent la caractéristique intéressante de consommer de l'énergie seulement quand cela est nécessaire. Aucune consom-

mation d'énergie n'est observée en dehors d'un traitement effectif sans toutefois nécessiter du contrôle supplémentaire. Paradoxalement, les compteurs synchrones nécessitent du contrôle supplémentaire et l'utilisation d'une logique plus complexe pour limiter les effets de l'activité de l'horloge, afin de réduire de la consommation. Parmi les techniques utilisées à cet effet, on cite la technique « gated clock » et l'utilisation de bascules sensibles aux deux fronts [Strollo *et al.* (2000)]. En plus, les circuits asynchrones, en particulier les compteurs, ont l'avantage d'une faible émission électromagnétique (point crucial dans le domaine des télécommunications). Car de nombreuses parties du circuit fonctionnent à des instants différents et à des vitesses différentes, plutôt que de commuter simultanément au signal d'horloge comme dans les circuits synchrones.

Afin d'atteindre l'objectif d'un CAN à basse puissance, il est clair que les compteurs asynchrones restent le bon choix pour implémenter la partie de quantification de notre système. Une implémentation plus simple d'un compteur asynchrone est une série cascadiée des bascules T (ripple counter) et dont le signal d'horloge n'est reçu que par le premier étage (bascule LSB : Least Significant Bit). Pour chacune des autres bascules, le signal d'horloge est fourni par une sortie de la bascule de rang immédiatement inférieur. Toutefois, cette architecture présente l'inconvénient d'accumulation de délai causée par la chaîne de propagation du signal. Par conséquent, elle dépend du nombre de bits, ce qui limite la fréquence du signal d'entrée.

Une solution alternative est rapportée par [Kakarountas *et al.* (2003)], il s'agit d'une architecture systolique (série des bascules T cascadiée) asynchrone d'une vitesse d'opération très grande et dont le délai est indépendant de la longueur du compteur. Cette architecture permet d'implémenter des compteurs de 8 bits, 16 bits, 32 bits et 64 bits à partir de deux modules notés par Byp0 et Byp1 dans [Kakarountas *et al.* (2003)] et avec le même délai de cas de la chaîne à 8 bits. En plus, pour des compteurs de 8 bits, le signal d'horloge à l'entrée de la bascule LSB peut atteindre une fréquence

de 450 MHz. Les deux modules de base notée par Byp0 et Byp1 respectivement sont montrés par les deux figures 3.10 et 3.11. L'étage Byp0 prend à son entrée enable noté par EN les impulsions générées par la cellule de neurone à chaque prélèvement d'un échantillon du courant de stimulation. L'implémentation d'un compteur à 16 bits est illustrée par la figure 3.12.

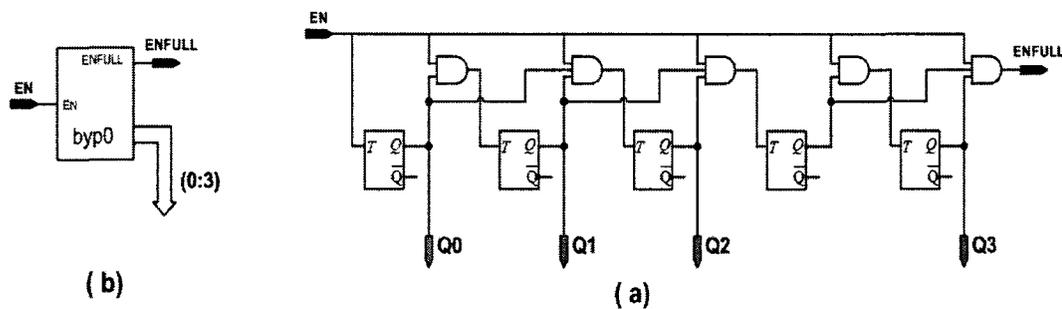


FIGURE 3.10: (a) Symbole et (b) schématique du circuit de Byp0

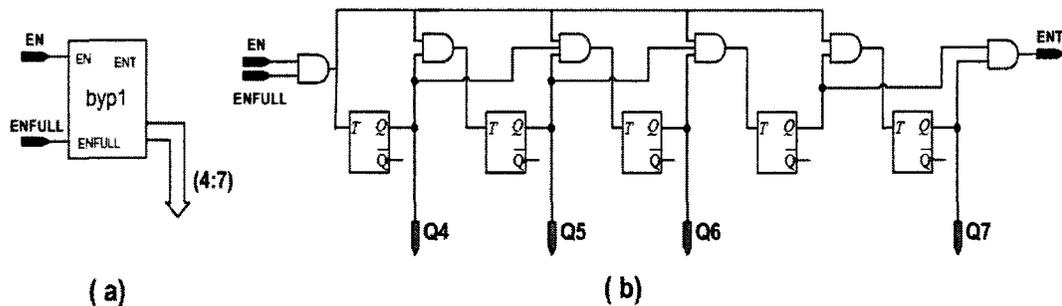


FIGURE 3.11: (a) Symbole et (b) schématique du circuit de Byp1

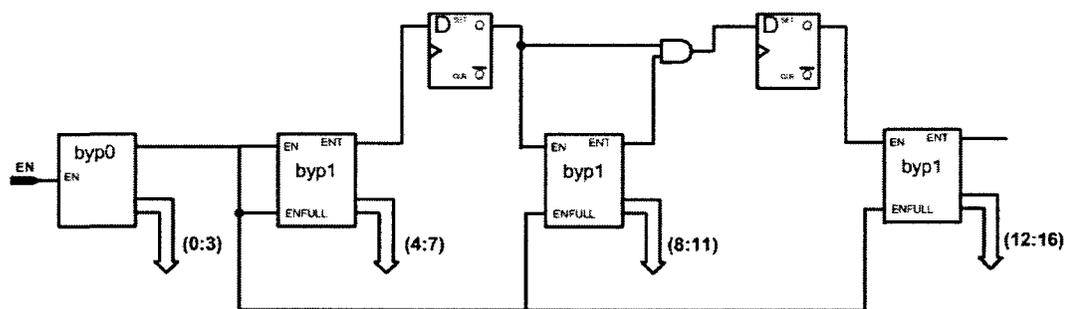


FIGURE 3.12: Circuit du compteur systolique asynchrone à 16 bits

L'implémentation de la bascule T en circuits CMOS, et son fonctionnement sont présentés en annexe II.

La période du signal d'entrée du compteur à 16 bits illustré par la figure 3.12 est fixée par le délai causé par les deux premiers modules (Byp0 et Byp1) qui implémentent les premiers 8 bits. Alors, ce délai est donné par

$$T_d = 2. t_{AND3} + t_{AND2} + t_{F/F} ; \quad (3.16)$$

où t_{AND3} et t_{AND2} sont les délais causés par les portes logiques AND à trois entrées (AND3) et à deux entrées (AND2) respectivement, alors que $t_{F/F}$ dénote le délai de la bascule T.

D'autre part, le délai d'un compteur classique asynchrone (type ripple) de n bits est donné par

$$T_{d,ripple} = n. t_{F/F} ; \quad (3.17)$$

L'équation 3.17 montre la dépendance du délai avec le nombre de bits, d'où sa limitation au niveau de la fréquence du signal d'horloge d'entrée, contrairement à l'architecture que nous avons choisie, qui tire son avantage principal de l'indépendance du délai avec la longueur de la chaîne d'implémentation, comme le prouve l'équation 3.16. Alors, cette caractéristique la rend très rapide et efficace énergétiquement, puisque son principe de fonctionnement demeure semblable au compteur asynchrone de type ripple, avec une légère augmentation de la complexité par rapport à ce dernier, mais beaucoup plus faible par rapport à son contrepartie synchrone.

Tel que nous l'avons signalé auparavant, cette architecture peut opérer des signaux dont la fréquence peut atteindre 450 MHz [Kakarountas *et al.* (2003)], ce qui est très suffisant pour notre application, puisque la fréquence maximale des impulsions à la sortie de la cellule nerveuse donnée par l'équation 3.11 est atteinte pour un courant d'entrée I_{FSR} et qui n'excède jamais 128 MHz (équation 3.11 et par simulation).

Nous présentons dans la section qui suit les performances statiques de NC-ADC proposé afin de mettre en évidence l'impact de la non neutralité de la largeur des

impulsions supposées dans le cas idéal.

3.4 Performances de NC-ADC non calibré

Les caractéristiques statiques d'un convertisseur analogique-numérique sont généralement définies par les deux paramètres DNL et INL, qui sont les deux paramètres de performance les plus critiques, en particulier dans le cas des CAN de vitesse faible. Une rampe du courant lente est utilisée à l'entrée du NC-ADC, pour simuler sa fonction de transfert. Les données de la simulation à la sortie de NC-ADC sont importées dans MATLAB où la DNL et l'INL sont calculées et tracées. Souvent, les DNL et INL d'un CAN sont définies par leurs valeurs maximales. Le Tableau 3.2 résume les résultats de la simulation associés aux valeurs fixées comme objectif. Ces dernières sont fixées comme objectif à 0.5 LSB pour l'INL et le DNL, afin d'assurer la monotonie du CAN et de valider qu'il n'ait pas de code manquant.

TABLEAU 3.2: Paramètres statiques de NC-ADC et ses paramètres ciblés

	DNL (en LSB)	INL (en LSB)
Simulation	0.16	1.63
Objectif	0.5	0.5

Il est clair que d'après les résultats de simulation rapportés dans le tableau 3.2, le convertisseur analogique-numérique proposé est monotone, toutefois il est d'une mauvaise linéarité. Ceci, implique que la variation de la fréquence des impulsions à la sortie de la cellule nerveuse n'est pas linéaire comme c'est censé être le cas selon la relation 3.11 sous l'hypothèse d'une largeur nulle de ces impulsions. Ceci montre la nécessité d'un autre module dans l'implémentation du CAN neuromimétique proposé. Il s'agit du circuit de calibration. Dans la réalité, les impulsions sont d'une largeur non nulle et égale au temps t_d de la décharge de la capacité membranaire par le

commutateur analogique SW2 (figure 3.1). Ceci peut être vu comme une perte des charges électriques à chaque occurrence d'une impulsion (PA). Alors, une calibration par injection des charges compensatoires peut rendre notre système d'une bonne linéarité. Une implémentation simple de ce circuit est une pompe à charges actives seulement en présence d'une impulsion électrique, donc ce circuit est piloté par la sortie la cellule nerveuse. Cette pompe à charges doit injecter une même quantité de charges à l'entrée de la cellule nerveuse, autant de fois que le nombre de potentiels d'actions à la sortie de CN. Le fonctionnement détaillé et l'implémentation du circuit de calibration seront développés dans la section qui suit.

3.5 Circuit de calibration

Tel que nous l'avons montré auparavant, la cellule nerveuse fonctionne comme un convertisseur linéaire du courant à fréquence (CFC) régi par l'équation 3.11, ceci sous l'hypothèse d'une largeur d'impulsions à sa sortie nulle. Toutefois, cette hypothèse n'est pas réaliste. Alors, si l'on tient compte de ce paramètre, qui n'est autre que le temps t_d de la décharge répétitive de la capacité par le commutateur SW2 durant chaque prélèvement d'un échantillon, la fréquence à la sortie du CFC qui donnée par

$$f = \frac{1}{(t_{ch} + t_d)} = \frac{I}{C.V_{th_B} + I.t_d} \quad (3.18)$$

(car $t_{ch} = \frac{C}{I}.V_{th_B}$ d'après l'équation 3.10).

L'équation 3.18 implique un effet très remarquable sur la détérioration de la linéarité du NC-ADC au fur et à mesure que le courant à son entrée augmente. Afin de remédier à ce problème, nous proposons d'intégrer un module de calibration qui compense une perte virtuelle de charges durant chaque PA généré. Alors, ce système n'est autre qu'une pompe à charges active à la présence d'une impulsion. Cette pompe à charges injecte un courant (charge) supplémentaire de compensation notée par I_{inj} (Q_{inj}) dans

la capacité membranaire. Alors, le courant qui charge la capacité devient $(I + I_{inj})$. Il en résulte que d'après l'équation 3.19, la fréquence à la sortie de la cellule calibrée est

$$f = \frac{I + I_{inj}}{C.V_{thB} + (I + I_{inj}).t_d} \quad (3.19)$$

Cette fréquence devrait atteindre la proportionnalité linéaire entre le courant de stimulus I et la fréquence f de cas idéal régie par l'équation 3.11, alors

$$\frac{I + I_{inj}}{C.V_{thB} + (I + I_{inj}).t_d} = \frac{I}{C.V_{thB}} ; \quad (3.20)$$

d'où

$$I_{inj} = \frac{\alpha t_d I^2}{1 - \alpha t_d I} ; \quad (3.21)$$

avec $\alpha = \frac{1}{C.V_{thB}}$ dénotant le paramètre de variation linéaire de la fréquence en fonction du courant d'entrée I dans le cas idéal.

Cette équation montre bien que la compensation par injection de charges n'est pas linéaire, alors une proportionnalité exacte entre la fréquence à la sortie de CFC et le courant à son entrée ne peut être jamais atteinte . Toutefois dans la plage du courant d'entrée s'étalant entre $0.1\mu A$ et $16\mu A$, la meilleure compensation linéaire est donnée par l'équation 3.22 de linéarisation au premier ordre de l'équation 3.21, comme l'illustre la figure 3.13.

$$I_{inj} = 2.7 \cdot 10^{-7} I + 3 \cdot 10^{-7} \quad (3.22)$$

D'après le modèle linéaire (figure 3.13) le courant total à injecter par la pompe à charges pour un courant d'entrée de pleine échelle I_{FSR} est $7.5e^{-7}A$, durant 256 cycles d'impulsions. Il en résulte que durant chaque impulsion, le circuit de calibration doit injecter un courant cyclique noté par I_{inj_c} , qui est égal à $\frac{7.5e^{-7}}{256}A \simeq 3 nA$. Ceci correspond à une erreur relative de 0.06% par rapport à la valeur souhaitée (3.5 nA)

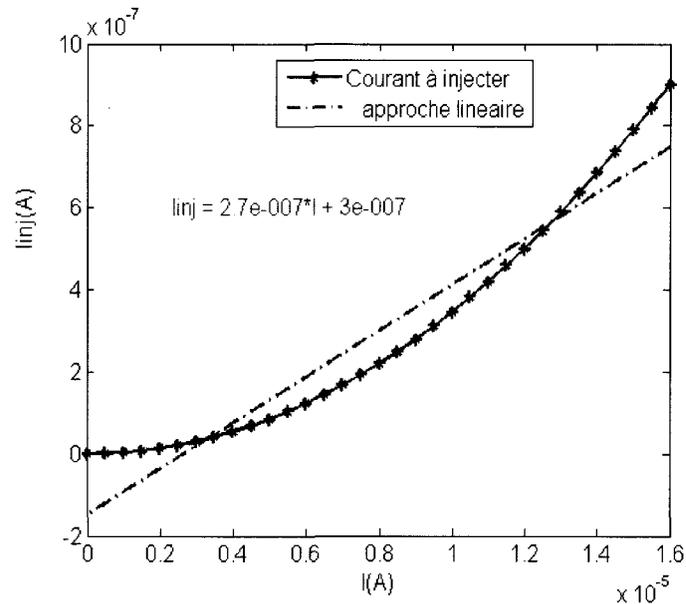


FIGURE 3.13: Courant à injecter en fonction du courant d'entrée et son modèle linéaire au premier ordre

pour une calibration exacte.

Basé sur l'analyse faite auparavant, nous proposons le circuit de calibration montré à la figure 3.14 [Ait-Yakoub *et al.* (2009)]. L'élément le plus important de ce circuit est le transistor M_{12} qui joue le rôle d'une source du courant supplémentaire injectable dans la capacité membranaire. Ce transistor de type PMOS est piloté par les PA de la sortie de neurone à travers les trois transistors M_9 (PMOS), M_{10} (NMOS) et M_{11} (NMOS) montés selon la structure d'un inverseur économe en énergie. À l'état initial du circuit, le transistor M_{12} n'est pas actif, car aucune impulsion n'est présente à l'entrée de son circuit de commande. Aussitôt qu'une impulsion est générée par la cellule nerveuse, la source du courant M_{12} pompe un courant supplémentaire que nous avons nommé auparavant le courant cyclique I_{inj_c} dans la cellule de neurone. Ce processus aura lieu aussi longtemps qu'une impulsion est présente. Certes un délai s'écoule entre le processus de l'activation de la pompe à charges par les PA et sa délivrance du courant dans la cellule de neurone. À cette fin, un circuit tampon est intégré à l'entrée du

circuit de calibration (figure 3.14) pour assurer l'injection des charges dans la capacité au bon moment. Ceci amène est logiquement après le basculement du commutateur SW2 de l'état ON à OFF, sinon le circuit de calibration n'aura aucun intérêt.

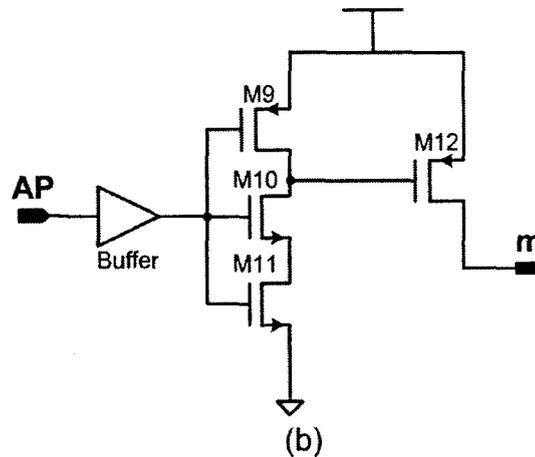


FIGURE 3.14: Circuit de calibration proposé

Le circuit inverseur à un transistor M_{11} de plus par rapport à l'inverseur classique, et circuit tampon proposé (figure 3.7 (b)) dans le circuit de calibration permettent une réduction de la puissance dynamique lors de la transition 0 à 1 pour chaque. Étant donné que les PA générés par la cellule nerveuse sont de même largeur, alors la même quantité de courant I_{inj_c} (charges) sera injecté en présence d'une impulsion. Cette quantité injectée par le transistor M_{12} , qui opère dans sa région active, est proportionnelle au ratio $\frac{W}{L}$ de ces dimensions. Alors, un bon ajustement de W et L de M_{12} permet d'atteindre la quantité du courant I_{inj_c} ainsi que l'objectif désiré.

Après avoir présenté le circuit de calibration, il est très intéressant de présenter les performances statiques du NC-ADC, afin de mettre en évidence sa contribution dans l'amélioration de ces performances.

3.6 Performances du NC-ADC calibré

Le Tableau 3.3 résume les résultats de la simulation pour les deux cas d'un CAN sans calibration et d'un CAN calibré, auxquelles sont associées les valeurs fixées comme objectif.

TABLEAU 3.3: Paramètres statiques de NC-ADC calibré et non calibré

	DNL (en LSB)	INL (en LSB)	I_{FSR} (en μA)
Objectif	0.5	0.5	—
CAN sans calibration	0.16	1.63	16.75
CAN calibré	0.16	0.41	16

Il est clair que d'après les résultats de simulation rapportés dans le tableau 3.3 que le convertisseur analogique-numérique calibré est monotone, et d'une bonne linéarité, contrairement au cas sans calibration.

3.7 Conclusion

Le principe de fonctionnement du CAN neuromimétique a été présenté dans ce chapitre. Après la description de la théorie associée à cellule neuronale, le circuit électrique équivalent de CN a été exposé. Également, le développement et l'implémentation en technologie TSMC 0.18 μm de ses différents modules sont détaillés, en particulier :

- Le circuit « économique-énergie » tampon d'une capacité effective réduite d'un facteur de deux par rapport à son contrepartie classique. Ceci, permet de réduire la dissipation de puissance dynamique d'un même facteur ;
- Le commutateur analogique précis et le circuit de calibration d'impact direct sur l'amélioration de L'INL et l' I_{FSR} de NC-ADC.

Les résultats de simulation après le dessin de masques et le test de la puce de NC-ADC proposé seront l'objet du prochain chapitre.

CHAPITRE 4

RÉSULTATS DES SIMULATIONS ET RÉSULTATS EXPÉRIMENTAUX

4.1 Introduction

Après avoir présenté l'architecture d'un CAN neuromimétique, ainsi que l'implémentation en technologie TSMC 0.18 μm de ses différents modules. Nous rapportons dans cette section les résultats des simulations après le dessin des masques. Également, nous présenterons les résultats expérimentaux de test de la puce (ICFPMAM1) fabriquée par le biais de la Société Canadienne de Microélectronique (CMC Microsystems). Enfin, nous terminerons par une comparaison des performances du NC-ADC avec des travaux récents dans le domaine.

4.2 Simulation post-layout

Après avoir réalisé le dessin des masques sous virtuoso de Cadence de chaque module du NC-ADC (en tenant compte des astuces du dessin de masques pour optimiser les performances du CAN), nous avons procédé à l'extraction des parasites. Également, la vérification physique (aux niveaux DRC, LVS, et masque (DFM)) a été faite. Nous présenterons dans cette section les simulations post-layout de NC-ADC sous Spectre de Cadence. Dans un premier temps, nous commencerons par les simulations de chaque module et nous terminerons par le CAN au complet, incluant les plots d'interconnexion.

a- Cellule de neurone calibré

Étant donné que l'interrupteur analogique SW2 dans la cellule de neurone est un élément dont les performances de CAN sont très sensibles. De plus, les largeurs de ces transistors excèdent $10 \mu m$. Alors, une attention très particulière a été apportée à la conception de son dessin de masques, afin de minimiser les éléments parasites. La première précaution a été de fractionner les transistors de largeur supérieure à $10 \mu m$ en n (n est entier) unités élémentaires, comme l'illustre la figure 4.1. Ces unités sont de même forme, de même dimension et interconnectables entre eux. Pour cela, nous avons utilisé la propriété « Gate splitting » disponible pour les transistors de la librairie CMCpcells. Le fractionnement en unités élémentaires a pour but de minimiser l'effet résistif parasite du silicium polycristallin (poly-Si) qui forme la grille du transistor. Également, il permet de réduire la valeur des capacités de déplétion à la source (C_{sb}) et au drain (C_{db}) du transistor, par un facteur d'environ $(n + 1)/2n$ dans le où n est un nombre impair. Tandis que, lorsque n est pair, les facteurs sont de $1/2$ pour l'une des deux valeurs capacitives et de $(n + 2)/2n$ pour celle qui reste [Gatti *et al.* (1989)].

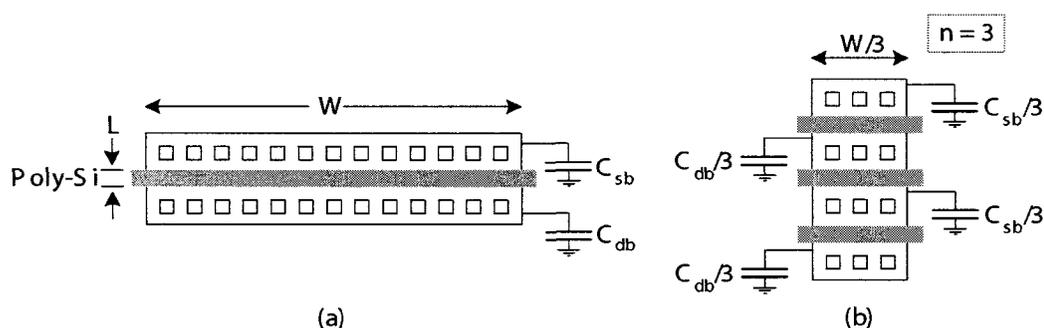


FIGURE 4.1: Dessin de masques d'un transistor avec rapport W/L élevé (a) en une unité, (b) séparé en $n = 3$ unités parallèles.

Également, il faut maximiser le nombre de contacts qui permettent la connexion du drain (D) ou de la source (S) du transistor avec une autre composante du circuit comme le montre la figure 4.2. Le même principe s'applique pour les vias, qui

connectent les métaux des différents niveaux. Réellement, chaque contact et chaque via comporte une résistance parasite qui est limitée par une certaine densité de courant. Par conséquent, il est préférable d'en placer autant que possible sur une surface donnée, afin de minimiser la résistance parasite équivalente et la densité de courant qui en résulte.

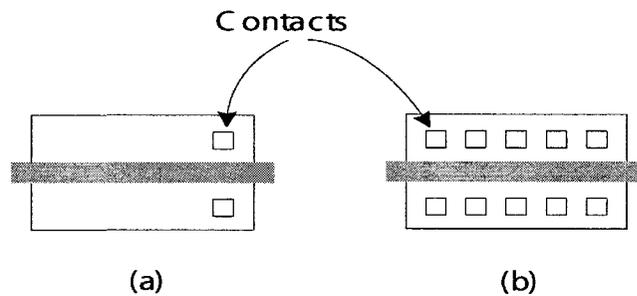


FIGURE 4.2: Dessin de masques d'un contact à un transistor formé (a) d'un seul contact, (b) d'un grand nombre de contacts.

Lors du routage des interconnexions, nous avons évité d'utiliser de longues traces de métal, car celles-ci génèrent des résistances et des capacités parasites dont les valeurs sont fonction de la largeur et de la longueur de la couche métallique. De plus, les risques d'électromigration diminuent avec une plus grande largeur. Pour le routage des signaux nous avons évité d'utiliser du matériel poly-Si, car celui-ci est un matériel beaucoup plus résistif que celui qui compose les couches de métal. Ainsi, les couches M1 à M6 sont utilisées pour router nos signaux d'entrées et de sorties entre les différents modules, et la couche de poly-Si a été utilisée pour construire les grilles des transistors. De plus, des anneaux de garde sont utilisés pour les transistors de dimensions très grandes, afin d'éviter la propagation de bruit de substrat entre eux.

Finalement, il est important de mentionner que lors du dessin de masques, nous avons minimisé le niveau d'interférence en distançant le plus possible 2 traces parallèles adjacentes confinées dans un espace donné comme le montre la figure 4.3 (a), en gardant une distance qui correspond au double de la largeur de la trace, et en alternant l'usage des diverses couches, plutôt que de placer les traces parallèles l'une à côté de

l'autre sur la même couche de métal (Figure 4.3 (b)). Le procédé a pour but de minimiser le bruit de couplage diaphonique (crosstalk).

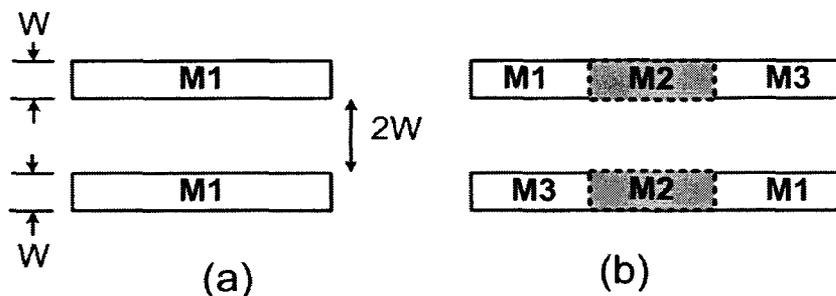


FIGURE 4.3: Techniques de dessins employées pour minimiser le couplage diaphonique (a) en distançant le plus possible deux traces parallèles, (b) en interchangeant les couches de métal.

Après avoir présenté les précautions apportées au dessin de masques pour minimiser l'effet du bruit et d'assurer une bonne connexion du drain (D) ou de la source (S) du transistor avec une autre composante du circuit, nous allons présenter par la suite les résultats de simulation de la cellule nerveuse calibrée.

Le fonctionnement de la cellule de neurone calibrée, après le dessin de masques et l'extraction des capacités parasites, a été validé, pour les trois courants d'entrée $I_1 = 0.1 \mu A$, $I_2 = 1 \mu A$ et $I_2 = 10 \mu A$ pour un temps de simulation $t = 2.T_e$ ($T_e = 2 \mu S$ période d'échantillonnage), Les résultats de simulation sont montrés à la figure 4.4

Ces résultats de simulation montrent que la cellule de neurone calibrée génère des impulsions de même amplitude et dont le nombre croît avec l'augmentation du courant d'entrée. Son fonctionnement est alors semblable à celui d'un neurone physiologique et par conséquent à un convertisseur linéaire du courant à fréquence (CFC). Afin de vérifier le bon fonctionnement de la cellule neuronale comme étant un CFC linéaire, nous avons introduit à son entrée une rampe du courant, d'origine (0,0) et de valeur finale ($100\mu s, 16 \mu A$). À l'aide de la calculatrice de cadence, en utilisant la fonction

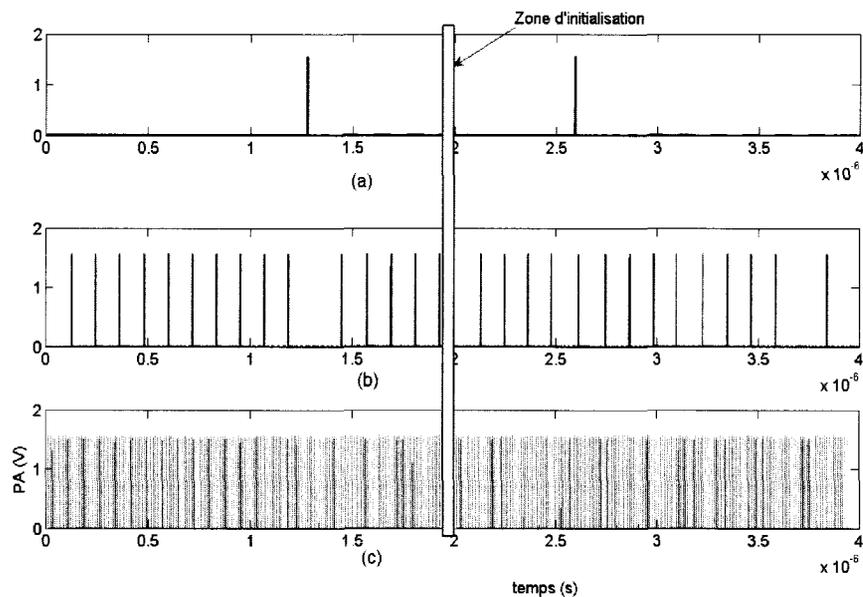


FIGURE 4.4: Les impulsions (PA) à la sortie de la cellule de neurone pour des courants d'entrée, (a) $I=0.1\mu A$, (b) $I=1\mu A$ et (c) $I=10\mu A$.

« freq », nous avons prélevé les variations de la fréquence du signal à la sortie de la cellule neuronale. Les résultats obtenus sont montrés à la figure 4.5.

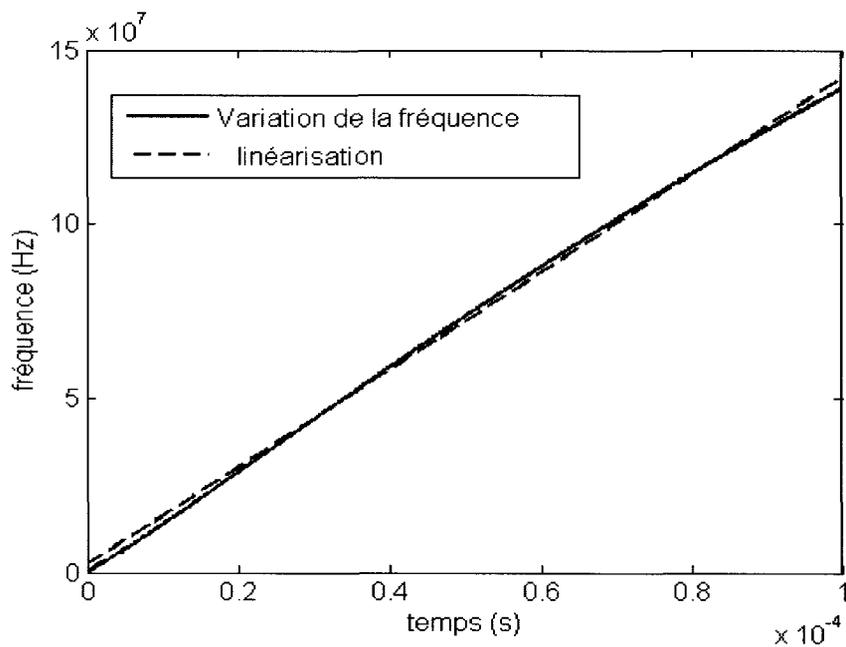


FIGURE 4.5: Variation de la fréquence de la sortie de la cellule de neurone.

Il est clair d'après les résultats obtenus (figure 4.5) que la fréquence de sortie de la cellule nerveuse varie presque linéairement en fonction du courant d'entrée. Ceci justifie le rôle du circuit de calibration.

b- Compteur binaire systolique asynchrone

L'économie d'énergie consommée par le NC-ADC étant notre principal objectif, une baisse de la consommation d'énergie de sa partie numérique (compteur et circuits tampons) est donc indispensable. Ainsi, le dimensionnement des transistors de ce module à la taille minimale (L et W sont minimales), la limitation de l'alimentation de ce circuit aux composants nécessaires pour le traitement en cours et la réduction du nombre de transitions par cycle d'horloge permettent d'atteindre cet objectif. Ces deux dernières conditions justifient notre choix d'un compteur asynchrone qui, contrairement aux compteurs synchrones traditionnels, présente la caractéristique intéressante de ne consommer de l'énergie que dans les sous-parties du circuit réellement utilisées lors de l'exécution d'une instruction. De plus, la technique de minimisation des capacités parasites au niveau de la conception du dessin des masques de ce module permet également une baisse de la consommation de puissance.

Afin de valider le bon fonctionnement du compteur asynchrone nous le simulons par un signal carré qui varie entre 0 V et 1.5 V (représentant les impulsions de la sortie de la cellule nerveuse) et d'une fréquence 250 MHz. Les résultats de simulations après dessin de masques sont montrés par la figure 4.6, et une partie zoomée de ces simulations est illustrée à la figure 4.7.

Les résultats de simulation de la figure 4.6 montrent bien que le compteur fonctionne correctement pour des signaux d'entrées dont les fréquences peuvent atteindre 250 MHz. Ceci implique que cette architecture est bien adaptée à notre application puisque la fréquence maximale des AP générées par la cellule de neurone est le 128 MHz

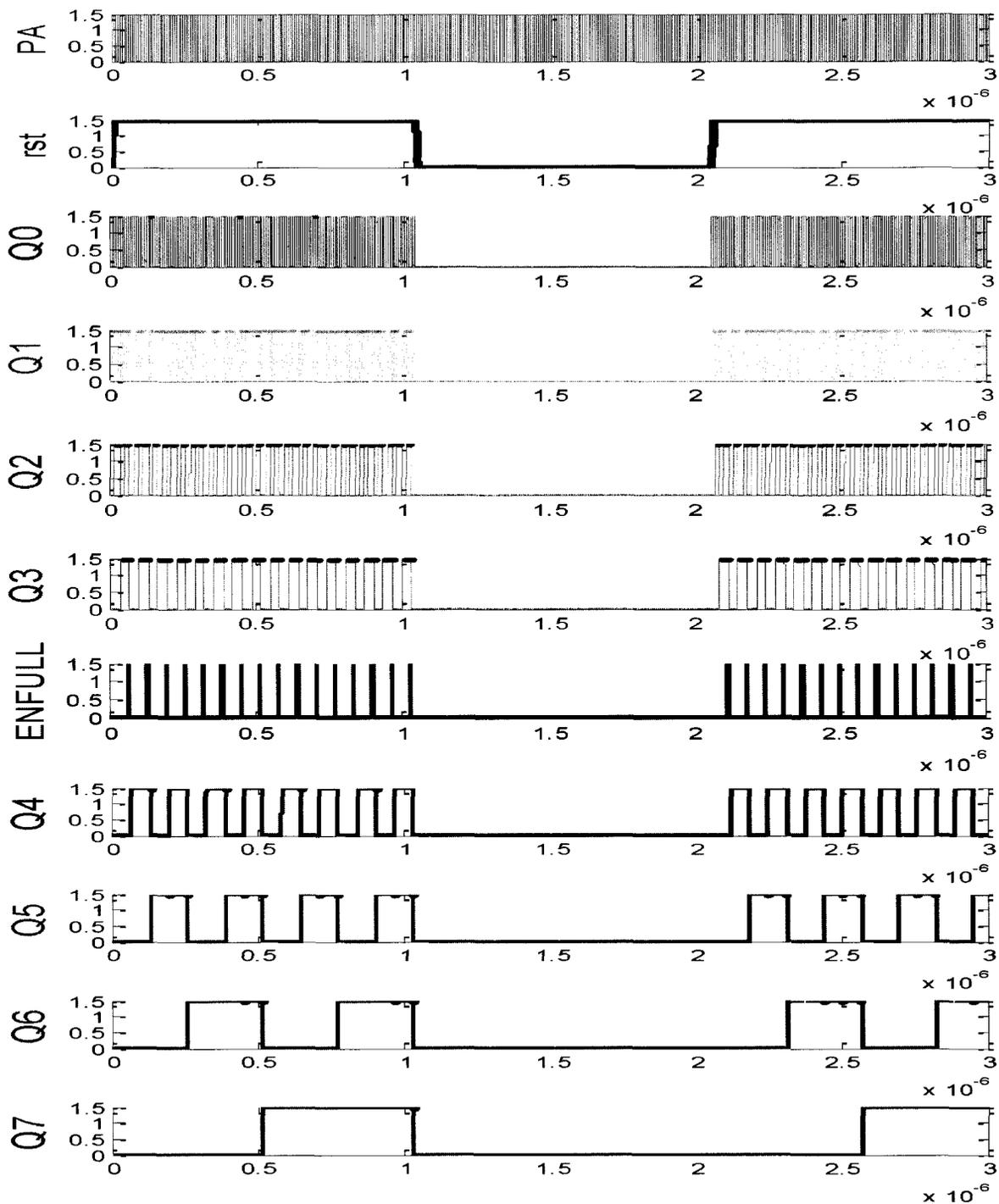


FIGURE 4.6: Signaux : d'entrée, d'initialisation ainsi ceux de la sortie aux différents bits du compteur

(valeur qui correspond à un courant d'entrée de $16 \mu A$). Un autre avantage de cette architecture systolique est que le délai ne dépend pas de la taille du compteur, ainsi si une résolution plus grande que 8 bits est demandée et que la fréquence maximale du signal d'entrée est inférieure à 250 MHz, elle demeure une bonne candidate.

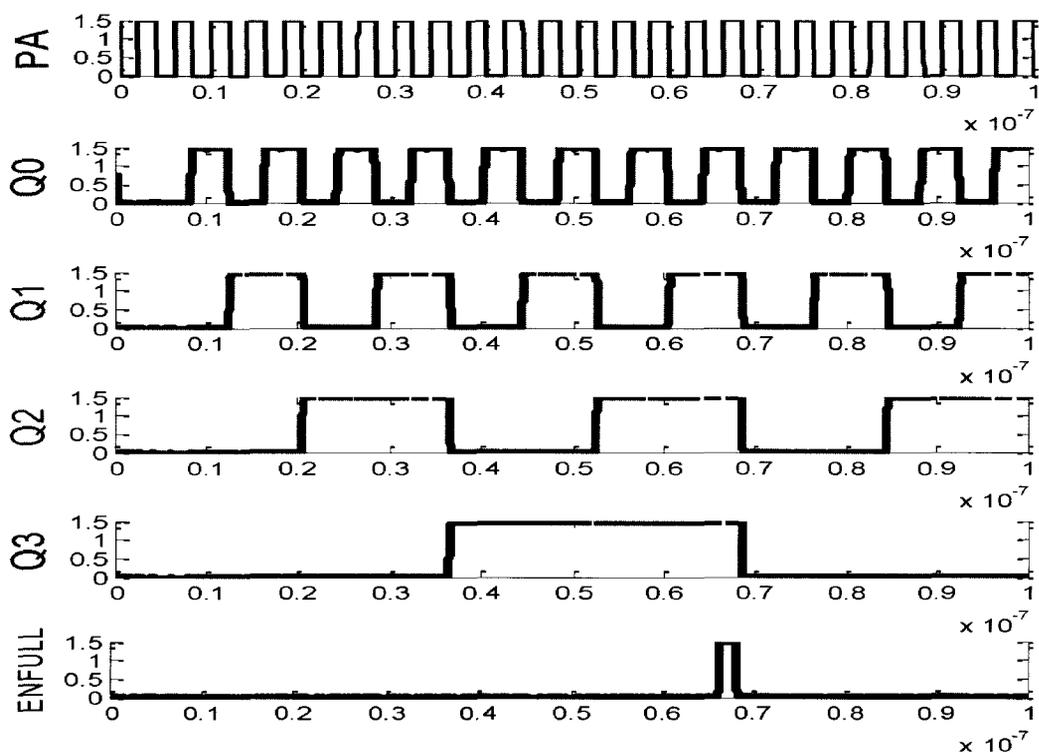


FIGURE 4.7: Une partie zoomée de signaux : d'entrée, d'initialisation ainsi ceux de la sortie aux différents bits du compteur

c- Puissance dissipée et consommation énergétique du CAN proposé

L'énergie consommée dans un intervalle de temps $[a, b]$ est par définition l'intégrale de la puissance dissipée : $E = \int_a^b P(t)dt$, où $P(t)$ est la puissance dissipée à l'instant t .

La puissance dissipée dans un circuit électronique se compose de la puissance statique et de la puissance dynamique. Dans les circuits CMOS la puissance dynamique est de l'ordre de 80-85 % de la puissance dissipée. Classiquement, on néglige la puissance

statique. La puissance dissipée totale peut donc s'exprimer par :

$$P \approx P_{dynamique} = f_{clk} V_{DD}^2 C_{ckt} \alpha(V_{in}) \quad , \quad (4.1)$$

où $\alpha(V_{in})$ est le nombre de transitions par cycle d'horloge, f_{clk} la fréquence de fonctionnement, C_{ckt} la capacité équivalente et V_{DD} la tension d'alimentation.

Cette relation montre bien les quatre paramètres qui permettent de diminuer la dissipation de l'énergie. Toutes les techniques de réduction de la puissance dynamique s'attaquent alors à l'un ou l'autre de ces facteurs. Le terme C_{ckt} est une caractéristique du circuit utilisé alors il dépend de dimensions des transistors et de technique de la conception du dessin de masques, donc des transistors à tailles minimales et un bon dessin de masques permettent une économie d'énergie. Également, réduire le nombre de transitions par cycle d'horloge en choisissant le compteur asynchrone au lieu d'un compteur synchrone réduira d'avantage la dissipation de puissance. En plus une tension d'alimentation de 1.5 V au lieu de 1.8 V renforce d'avantages la satisfaction de notre objectif.

En se basant sur l'équation du calcul de la puissance moyenne dissipée par un circuit électronique qui est donnée par l'équation suivante, on obtient

$$P_{av} = \frac{1}{T} \int_0^T p(t) dt = \frac{V_{DD}}{T} \int_0^T i_{DD}(t) dt \quad , \quad (4.2)$$

où T est la période d'intérêt, V_{DD} et i_{DD} sont la tension d'alimentation du circuit et le courant qui y circule respectivement.

À l'aide de la calculatrice de Cadence nous calculons la puissance dissipée par NC-ADC après son dessin de masques en technologie CMOS $0.18\mu m$ incluant les capacités parasites, pour un courant d'entrée sinusoïdal, dont la valeur crête à crête est de $8 \mu A$. Le résultat montre bien que notre convertisseur analogique-numérique consomme une ultra basse puissance d'une valeur égale à 486 nW (à l'exclusion de la consommation

des pads) et une très faible dissipation d'énergie de 5.46 pJ/cycle pour un taux d'échantillonnage de 500 kE/s.

d- Espace occupé

Les dessins de masques en technologie TSMC 0.18 μm du cœur et de la puce de CAN neuromimétique proposé sont montrés dans les deux figures 4.8 (a) et 4.8 (b) respectivement. Ceux-ci, montrent que le cœur de notre CAN occupe une surface de $(0.252 \times 0.197 = 0.05) \text{ mm}^2$ et que sa puce occupe une surface de 0.896 mm^2 . Cette caractéristique fait du NC-ADC un bon candidat pour des applications bio-capteurs portables ultra basse puissance dans un système sur puce SOC.

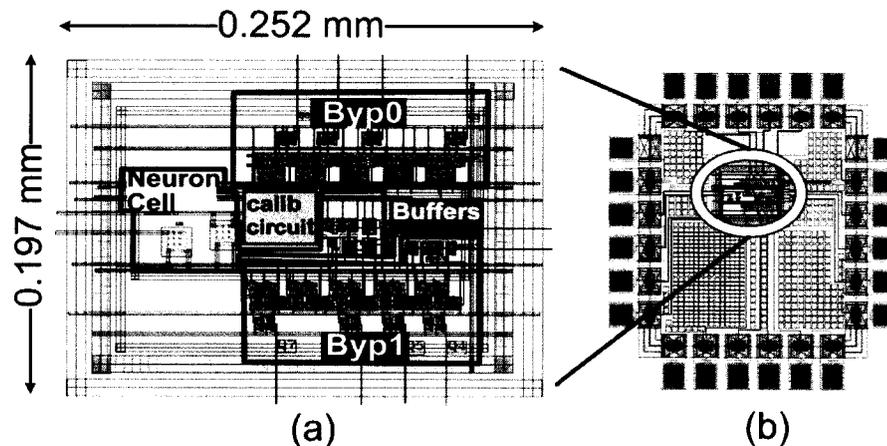


FIGURE 4.8: dessin de masque (a) du cœur de NC-ADC et (b) du NC-ADC incluant les pads

e- Linéarité du NC-ADC

La linéarité du CAN est exprimée par les deux paramètres de performance statiques DNL et INL. Afin de les déterminer, nous avons transformé les données numériques collectées à la sortie du CAN en des valeurs analogiques correspondantes à l'aide d'un convertisseur numérique à analogique CNA (digital to analog converter - DAC)

idéal modélisé en Verilog-A. Les valeurs analogiques collectées à la sortie du CNA sont exportées vers Matlab afin d'être comparées à des données d'une fonction de transfert idéale par un programme réalisé à cet effet. La figure 4.9 résume le banc d'essai réalisé pour ce test. Les deux figures 4.10 (a) et 4.10 (b) montrent les résultats de simulation après les dessins de masques de DNL et INL respectivement, pour le NC-ADC sans calibration et avec calibration.

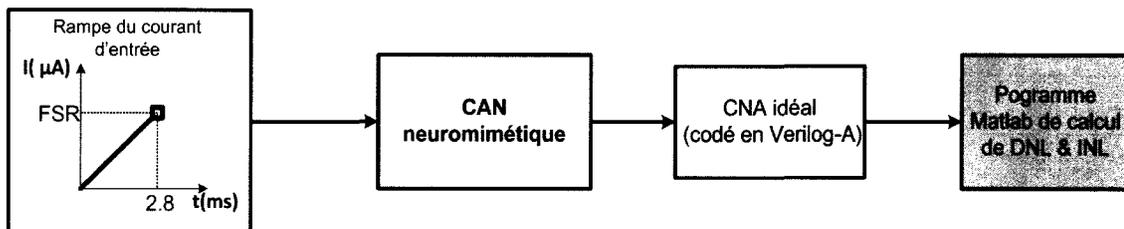


FIGURE 4.9: Banc d'essai de calcul des paramètres statiques de NC-ADC

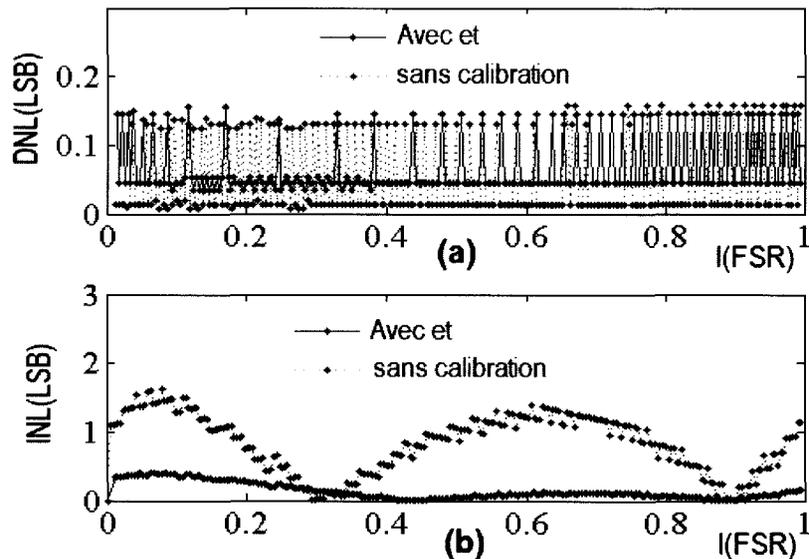


FIGURE 4.10: Résultats de simulations de (a) DNL et (b) INL du CAN proposé

IL est clair que d'après les résultats de simulation illustrés par les deux figures 4.10 (a) et 4.10 (b), le CAN neuromimétique calibré proposé offre une bonne linéarité conforme aux spécifications puisque le DNL et l'INL sont tous les deux inférieurs à ± 0.5 LSB, contrairement au cas de CAN sans calibration où l'INL est supérieur à 0.5

LSB. Le CAN ainsi calibré permet de reproduire d'une façon fidèle le courant d'entrée. De plus, ces résultats mettent en évidence le rôle du circuit de calibration, à savoir réduire la non-linéarité intégrale du CAN en injectant des charges supplémentaires à chaque détection d'un PA à la sortie de la cellule du neurone.

f- Résumé des performances de CAN neuromimétique

Le Tableau 4.1 présente les principales performances ciblées du CAN neuromimétique proposé et celles obtenues à partir des simulations post-layout.

TABLEAU 4.1: Spécifications ciblées et résultats de simulations post-layout du CAN proposé

Performances	Ciblées	Obtenues
Tension d'alimentation	$\leq 1.8 V$	1.5 V
Gamme dynamique d'entrée	plus large que : $(0.01 - 3.2) \mu A$	$0.1 \mu A - 16 \mu A$
Taux d'échantillonnage	$\geq 40kS/s$	500 kS/s
DNL	$\leq 0.5LSB$	0.16 LSB
INL	$\leq 0.5LSB$	0.41 LSB
Dissipation d'énergie	8.5 pJ/cycle	5.46 pJ/cycle
Dissipation de puissance	gamme des nanoWatts	486 nW
Surface du cœur de la puce	minimale	$0.05 mm^2$
Surface de la puce	minimale	$0.896 mm^2$
Technologie	CMOS 0.18 μm	CMOS 0.18 μm

La robustesse du circuit NC-ADC est quantifiée grâce à des simulations Monte-Carlo en visant seulement l'impact des procédés de fabrication. Le seul paramètre sensible est la non-linéarité intégrale (INL) puisque dans le pire des cas il atteint 0.73 LSB tandis que la non-linéarité différentielle (DNL) n'excède jamais 0.5 LSB. Cette variation d'INL est due à la sensibilité du circuit aux variations des dimensions de l'interrupteur analogique SW2, cependant cette variation d'INL reste acceptable puisque la valeur de ce dernier n'excède pas 1 LSB, valeur à partir de laquelle la linéarité n'est plus

vérifiée.

Les spécifications ciblées sont validées au niveau des dessins de masques, ce qui nous permet de passer à l'étape suivante, qui est la fabrication de la puce par le biais de La CMC.

4.3 Résultats expérimentaux

La microphotographie de la puce à tester est montrée sur la figure 4.11. La configuration de test de cette partie illustrée sur la figure 4.12. Il regroupe un générateur d'horloge, un générateur de tension (alimentation), un oscilloscope et un convertisseur numérique-analogique à 12 bits. Dans un premier temps, nous avons vérifié le fonctionnement de la partie numérique du CAN représentée par le compteur systolique asynchrone à 8 bits

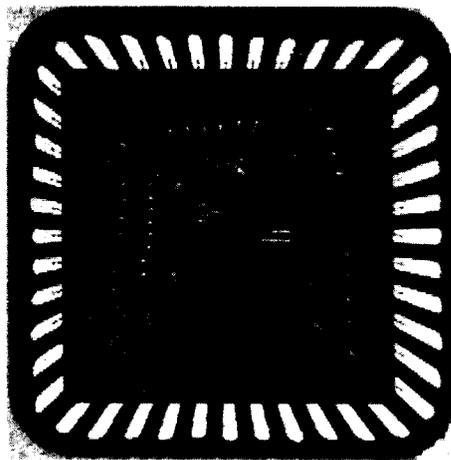


FIGURE 4.11: Microphotographie de la puce

a- Compteur binaire systolique asynchrone

Pour un signal d'horloge carré de fréquence 1 MHz introduit à l'entrée du compteur nous avons réalisé le test, dont les résultats sont montrés sur les figures 4.13, 4.14,

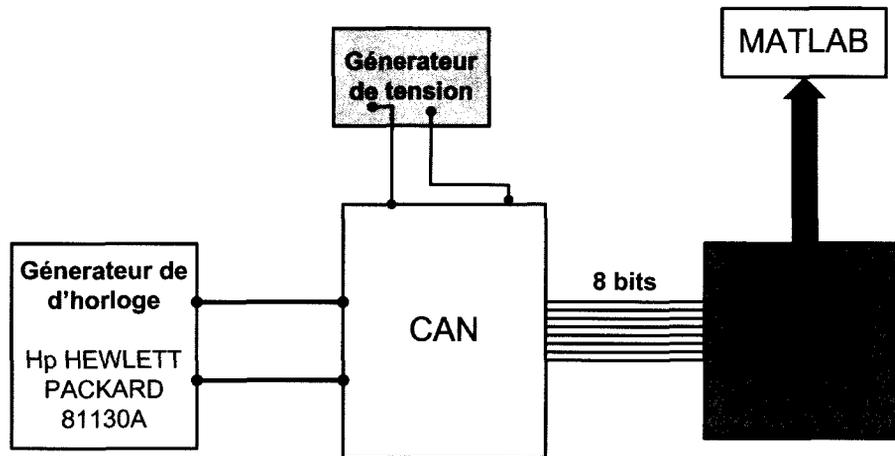


FIGURE 4.12: Configuration du banc de test du CAN

4.15 et 4.16. Ces résultats indiquent bien le bon fonctionnement du compteur puisque la fréquence à la sortie du bit i ($1 \leq i \leq 7$) est divisée par deux par rapport à la fréquence du signal du bit $(i-1)$.

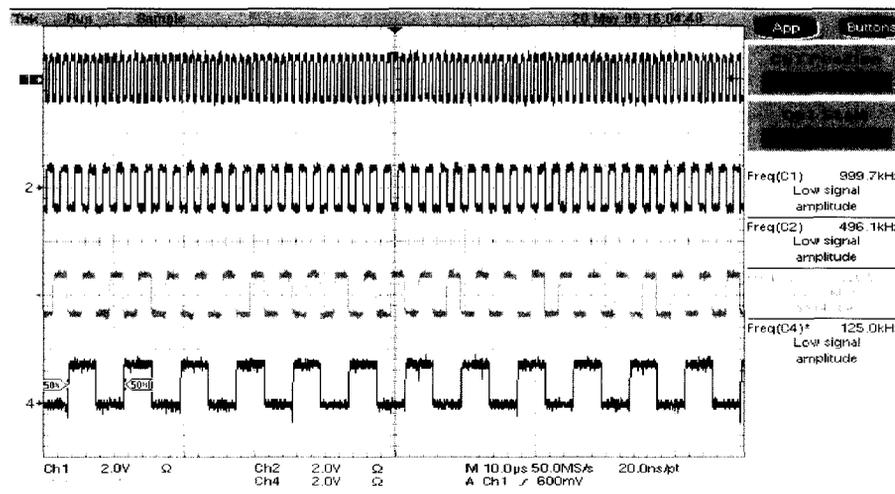


FIGURE 4.13: Chronogrammes de haut en bas des signaux : l'horloge (CLK), Q_0 (LSB), Q_1 et Q_2

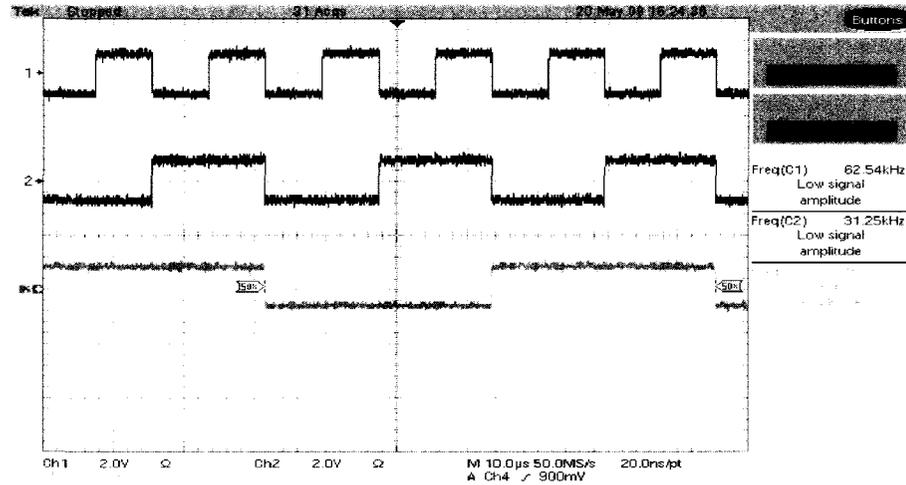


FIGURE 4.14: Chronogrammes de haut en bas des signaux : Q_3 , Q_4 et Q_5 .

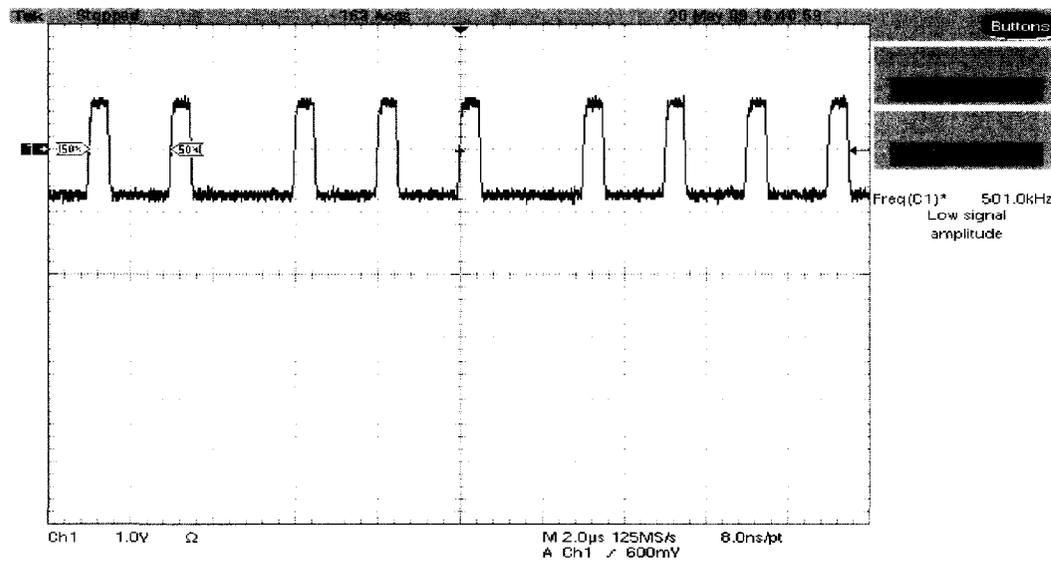


FIGURE 4.15: Chronogrammes du signal ENFULL

b- Cellule de neurone calibré

La configuration de test de la cellule neuronale d'une gamme dynamique d'entrée entre 100 nA et 16 μA , nécessite une source du courant sophistiquée et pointue. Malheureusement, n'étant pas disponible dans notre laboratoire de test. Une solution alternative est de concevoir un dispositif électronique à base de composants discrets

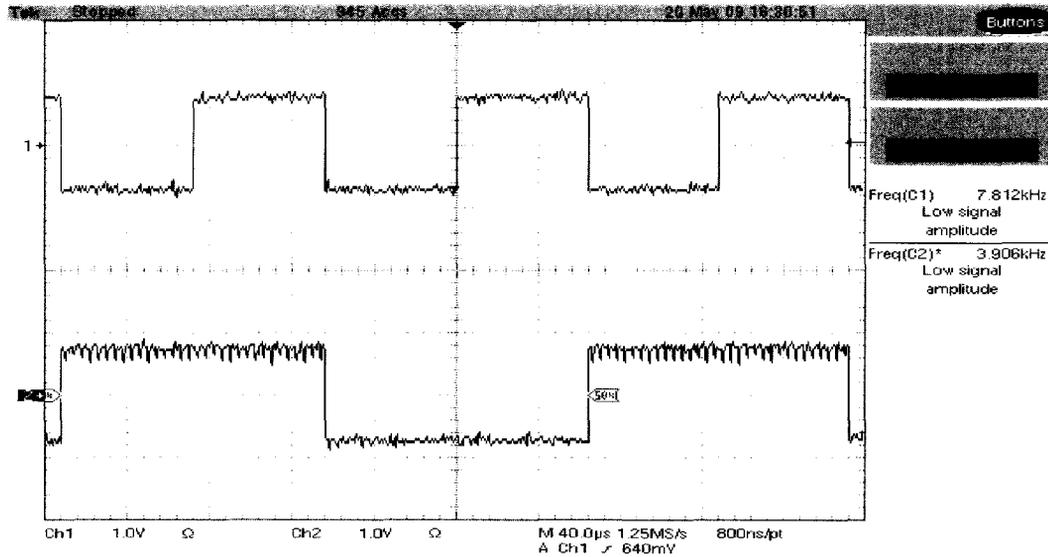


FIGURE 4.16: Chronogrammes de haut en bas des signaux : Q_6 et Q_7 .

qui consiste en un convertisseur de tension à courant (Voltage-to- Current Converter – VCC) et linéaire sur toute la gamme dynamique d’entrée de la cellule neuronale. Plusieurs architectures sont possibles pour ce dispositif de transconductance qui sont à base d’amplificateurs et (ou) de miroirs du courant. Parmi ces dispositifs nous citons ceux présentés aux deux figures 4.17 (a) et 4.17 (b). Le courant I qui circulant dans la charge L est contrôlé par la résistance R ($I = V_{in}/R$). Ce courant de la simulation du circuit 4.17 (b) avec PSpice pour une rampe d’entrée variante de 0V à 12 V est montré par la figure 4.18.

Pour différents courants continus I de 0 à 16 μA , générés par le circuit de la figure 4.17 (b), nous avons testé le fonctionnement de la cellule de neurone (CN) en prélevant la tension V_m aux bornes de la capacité membranaire durant différentes périodes d’échantillonnage T entre 2 μs et 0.1 ms ($10 \text{ kHz} \leq f_s \leq 500 \text{ kHz}$). Malheureusement la tension V_m n’excède jamais **512 mV** comme le montre la figure 4.19. Cette valeur est inférieure à la tension seuil V_{th_B} ($V_{DD}/2$) de basculement du circuit tampon (circuit de retard). Par conséquent la tension de sortie de la cellule de neurone est toujours nulle (pas des PA à la sortie de CN). Ceci peut être expliqué par la dominance des

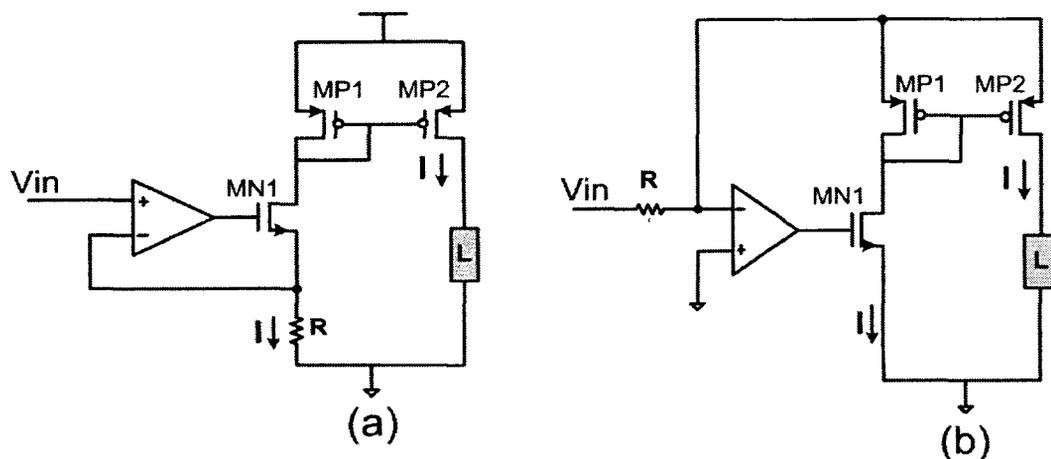
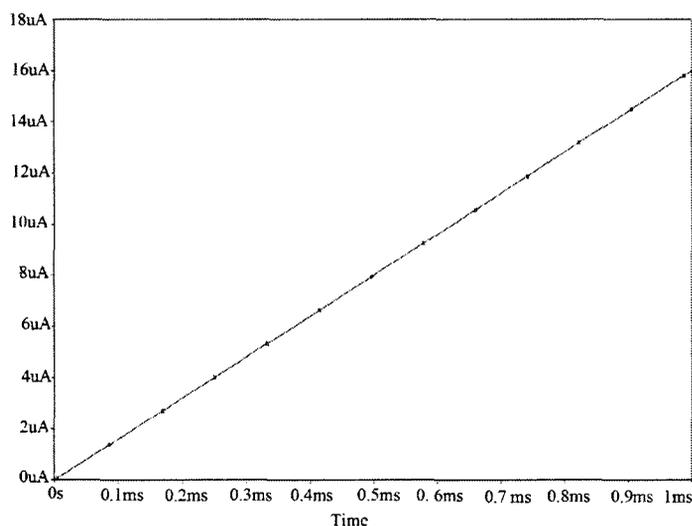


FIGURE 4.17: Convertisseur tension à courant.

FIGURE 4.18: Courant I g n r  par le circuit de la figure 4.17.

capacit s parasites (en particulier la capacit  de pad d'interconnexion) par rapport   la capacit  membranaire, i.e que la capacit  r elle   l'entr e de CN est tr s grande et ne permet donc pas d'atteindre V_{th_B} avant un nouveau pr l vement d' chantillon.

Afin de prouver notre explication de mal fonctionnement du module CN, nous avons repris les simulations de ce dernier au niveau des dessins de masques en introduisant une capacit  parasite parasite en parall le avec la capacit  membranaire C . La librairie de la CMC que nous avons utilis e fournit des plots dont les diodes ESD ont une

grande capacité parasite C_p de valeur approximative de 35 pF. Pour une capacité C_p de 35 pF et pour un courant d'entrée de $16 \mu\text{A}$ nous avons prélevé la tension V_m aux bornes de la capacité effective C_{eff} ($C_{eff} = (C // C_p) \simeq C_p$) comme l'illustre la figure 4.20. Cette tension est d'une valeur maximale de **525 mV** qui est très proche de la valeur expérimentale.

Afin de remédier à ce problème et de rendre notre système fonctionnel et facilement testable, nous recommandons d'intégrer un module VCC comme celui présenté dans les travaux [Srinivasan *et al.* (2005)] et [Fotouhi (2001)].

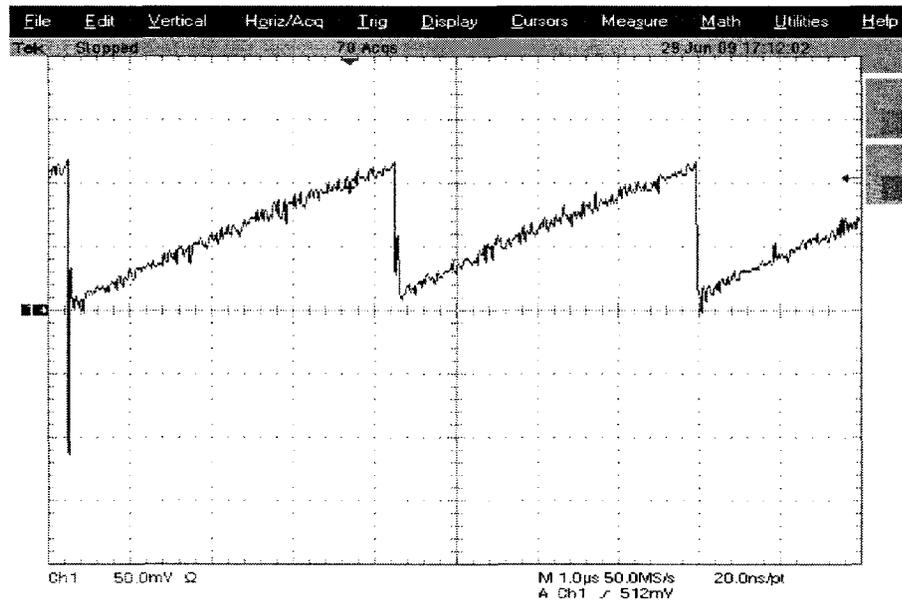


FIGURE 4.19: Tension aux bornes de la capacité membranaire C .

Dans le sens de prouver le fonctionnement de la cellule neuronale, nous avons poussé à bout nos tests expérimentaux au-delà de la gamme dynamique d'entrée de NC, en injectant des courants de quelques mA. Mais, une autre fois les résultats expérimentaux n'ont pas été concluants, et même ces courants forts ont fait sauter nos deux puces disponibles. Ceci, est tout à fait normal puisque la largeur du métal utilisé pour router le signal (courant) d'entrée n'est pas suffisante pour injecter des courants dans cette gamme.

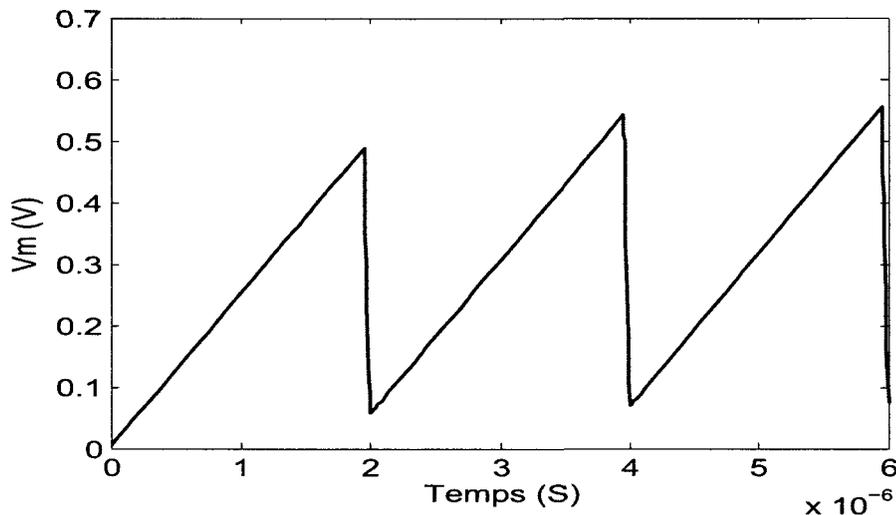


FIGURE 4.20: Résultats de simulation, de la tension aux bornes de la capacité effective d'entrée de CN.

Nous présenterons dans la section qui suit une étude comparative de paramètres de performance du convertisseur analogique-numérique neuromimétique proposé à ceux des CAN de basse puissance les plus récents de la littérature.

4.4 Comparaison des performances

Faute de résultats expérimentaux, cette section se consacrera à la comparaison de paramètres de performance de NC-ADC qui sont issue de simulations après le dessin de masques à ceux de simulations des travaux [Chang *et al.* (2007)], [Abdelhalim *et al.* (2007)a], [Abdelhalim *et al.* (2007)b] et [Robert *et al.* (2006)], comme illustré par le tableau 4.2.

Cette comparaison montre que notre CAN domine par sa basse consommation, sa fréquence d'échantillonnage et par l'aire qu'il occupe. Ces caractéristiques font du NC-ADC un bon candidat pour les biocapteurs ultrabasse puissance dans les SOC.

TABLEAU 4.2: Comparaison des performances du CAN avec certains travaux sur des CAN basses puissance

Référence	[Chang et al. (2007)]	[Abdelhalim et al. (2007)b]	[Robert et al. (2006)]	Ce travail
Taux d'échantillonnage	500 kS/s	500 kS/s	30 kS/s	500 kS/s
Tension d'alimentation	1 V	0.8 V	1.8 V	1.5 V
Résolution	8 bits	8 bits	8 bits	8 bits
Dissipation de puissance	7.75 μW	8.48 μW	7.4 μW	486 nW
Aire du Cœur	0.08 μm^2	0.125 μm^2	0.04 μm^2	0.05 μm^2
Aire de la puce	1 mm^2	1.25 mm^2	N/A	0.896 mm^2
Technologie	0.18 μm	0.13 μm	0.18 μm	0.18 μm

4.5 Conclusion

Les résultats des simulations post-layout de NC-ADC ont été présentés, à savoir la puissance dissipée et les paramètres de performance statiques (DNL, INL) ainsi que l'aire occupée. Par ailleurs, seuls les résultats expérimentaux du compteur asynchrone ont été concluants. Les résultats des simulations montrent que notre CAN a tout le potentiel d'être le bon candidat pour les biocapteurs dans les applications portables.

CONCLUSION

Ces dernières années ont vu le développement de nombreux systèmes embarqués comme des assistants intelligents, des implants médicaux (capteurs variés, pacemakers, etc) ou des téléphones portables intégrant des fonctionnalités de plus en plus complexes. La complexité de ces systèmes s'est accompagnée d'une augmentation préjudiciable de la consommation d'énergie à tel point que l'autonomie est devenue un facteur important pour la viabilité de ces systèmes afin d'assurer une longue durée de vie des batteries d'alimentation. Parallèlement, la technologie des batteries ne progresse pas suffisamment vite pour satisfaire ces nouveaux besoins. Ceci, rend nécessaire le travail sur la réduction de la consommation en énergie, déclenchant ainsi un nouvel axe de la recherche scientifique de forte compétition depuis plusieurs années, axé sur la baisse de la dissipation de puissance de ces dispositifs électroniques en particulier les CAN, par différentes méthodes.

Plusieurs techniques de réduction de la consommation en énergie ont été introduites au fil des ans. Le choix de la meilleure solution dépend et diffère d'une application à l'autre. Une première technique est d'optimiser la microfabrication des composantes électroniques. Ainsi, une diminution de la taille des composants, rendue possible par des progrès dans les techniques de fabrication, permet une tension d'alimentation plus faible et donc une consommation moindre. Une seconde stratégie est de limiter l'alimentation en énergie aux blocs nécessaires pour le traitement en cours. Une troisième possibilité est de limiter le nombre de changements d'état dans un circuit, car chaque changement d'état en technologie CMOS induit un coût énergétique. Une autre voie est de spécialiser les composants pour l'usage fait par exemple à l'aide de composants reconfigurables. Enfin, certains travaux étudient l'utilisation de circuits électroniques asynchrones qui, contrairement aux circuits synchrones traditionnels, présentent la caractéristique intéressante de ne consommer de l'énergie que dans les sous-parties

du circuit réellement utilisées lors de l'exécution d'une instruction. Finalement, les circuits inspirés de la biologie et des autres neuromimétiques émergent pour permettre la mise en œuvre de circuits flexibles à ultra basse consommation. Dans ce contexte, nous voyons apparaître de plus en plus une nouvelle famille de convertisseurs analogiques à numériques de basse puissance, inspirées de fonctionnement du neurone physiologique et qui arrivent même à concurrencer les architectures classiques telles que les CAN-SAR, dont l'efficacité énergétique accompagnée de la robustesse a été approuvée au fil des années.

Inspirée par la morphologie et les propriétés bioélectriques d'une cellule neuronale physiologique, nous avons conçu et implémenté en technologie CMOS un convertisseur analogique à numérique basé sur une architecture neuromimétique (NC-ADC). Ce convertisseur est dédié à la mise en œuvre des capteurs variés que les membres de laboratoire de neurotechnologies mettent en œuvre actuellement.

Le circuit résultant après dessin de masques en technologie CMOS $0.18 \mu m$ ne consomme que $486 nW$ pour une fréquence d'échantillonnage de $500 kHz$. Ceci, grâce à la technique de minimisation des circuits analogiques requis combinée à la technique de diminution de la taille de sa partie numérique, et l'utilisation d'un compteur asynchrone qui limite la consommation d'énergie aux parties réellement actives du circuit. L'intégration d'un commutateur de haute précision et d'un circuit de calibration a permis de réduire l'INL en dessous de $0.5 LSB$ et par conséquent la linéarité du NC-ADC est améliorée. Le NC-ADC proposé atteint une consommation d'énergie de $5.46 pJ/cycle$ à une tension d'alimentation $V_{DD} = 1.5V$. De plus, le cœur du NC-ADC occupe une surface de $0.05 mm^2$. Ces caractéristiques font du NC-ADC un bon candidat pour les applications portables telles que les biocapteurs ultra-basse puissance qui requièrent une intégration complète sur puce soit le système-sur-puce (SOC).

Comme la capacité du plot d'interconnexions domine sur la capacité membranaire C , les tests effectués ne permettent pas de conclure au bon fonctionnement du CAN.

L'intégration d'un convertisseur tension à courant dans le design permettra de régler ce problème pour les tests futurs. Pourtant, nous avons réussi à vérifier le bon fonctionnement de la partie numérique (compteur asynchrone) du NC-ADC.

Quant aux recommandations pour améliorer les performances de l'architecture proposée nous suggérons de :

- Intégrer un convertisseur tension à courant (transconductance) pour faciliter le test de la version intégrée du design, ce qui permet l'utilisation des blocs d'alimentation en tension standard et non pas des sources du courant pointues ;
- Rendre la sortie du CAN non fonction de la capacité membranaire (équation 3.14), mais uniquement dépendante du courant d'entrée comme dans le cas d'un CAN à double rampe. Ceci permettra d'atteindre une meilleur résolution ;
- Élaborer une architecture à plusieurs phases fonctionnant en parallèle par exécution de différentes tâches, en d'autres termes, une architecture pipeline ou semi flash à plusieurs étages inspirée de la cellule neuronale. Ceci élargira son champ d'application à des circuits fonctionnant à haute vitesse. Par contre, ce type d'architecture nécessite la présence d'échantillonneurs/bloqueurs au niveau de chaque étage en plus d'un circuit de calibration numérique.

RÉFÉRENCES

ABDELHALIM, K., MACEACHERN, L. AND MAHMOUD, S. (2007a). A nanowatt successive approximation adc with a calibrated capacitor array for biomedical applications. *Proc. 50th Midwest Symposium on Circuits and Systems MWSCAS 2007*. 136–139.

ABDELHALIM, K., MACEACHERN, L. AND MAHMOUD, S. (2007b). A nanowatt successive approximation adc with offset correction for implantable sensor applications. *Proc. IEEE International Symposium on Circuits and Systems ISCAS 2007*. 2351–2354.

AGARWAL, A., KIM, Y. B. AND SONKUSALE, S. (2005). Low power current mode adc for cmos sensor ic. *Proc. IEEE International Symposium on Circuits and Systems ISCAS 2005*. 584–587.

AIT-YAKOUB, M., SAWAN, M. AND THIBEAULT, C. (2009). A neuromimetic ultra low-power adc for bio-sensing applications. *Proc. Joint 7th International IEEE Northeast Workshop on Circuits and Systems and TAISA Conference NEWCAS-TAISA 2009*.

ALLEN, P. E. AND HOLBERG, D. R. (2002). *CMOS Analog Circuit Design*. Oxford University Press ; Second Edition edition.

ALLIER, E. (2003). *Interface Analogique Numérique Asynchrone : une Nouvelle Famille de Convertisseurs Basés sur la Quantification du Temps*. Thèse de doctorat, Institut National Polytechnique de Grenoble.

BAKER, R. J. (2005). *CMOS : Circuit Design, Layout, and Simulation*. IEEE press and John Wiley & Sons, Inc.

BERNAL, O. (2006). *Conception de Convertisseurs Analogique-Numérique en technologie CMOS basse tension pour chaînes Vidéo CCD Spatiales*. Thèse de doctorat, l'Institut National Polytechnique de Toulouse.

BERNARD, S. (2001). *Test Intégré pour Convertisseurs Analogique-Numérique*. Thèse de doctorat, Université Montpellier II, Sciences et Techniques du Languedoc.

BIN LE, THOMAS W. RONDEAU, J. H. R. AND BOSTIAN, C. W. (2005). Analog-to-digital converters. *IEEE Signal Processing Magazine*, 69–77.

BUEHLER, L. K. (2000-2007). What is life, bioelectricity of cell membranes : http://www.whatislife.com/reader2/membrane_bioelectricity.htm. Consulté le 10 mars 2009.

CHANG, Y.-K., WANG, C.-S. AND WANG, C.-K. (2007). A 8-bit 500-ks/s low power sar adc for bio-medical applications. *Proc. IEEE Asian Solid-State Circuits Conference ASSCC '07*. 228–231.

CHEN, N., CHEN, S., WU, Y. AND WANG, J. (2006). The refractory periods and threshold potentials of sequential spikes measured by whole-cell recording. *Biochem Biophys Res Commun*, 340, 151–157.

DANG, H. (2005). *NOUVELLE APPROCHE DE CONCEPTION D'UN CAN PARALLÈLE 1.25-GIGAÉCHANTILLONS/S UTILISANT LA TECHNIQUE MCML*. Mémoire de maîtrise, ÉCOLE POLYTECHNIQUE DE MONTRÉAL.

DEGUCHI, K., SUWA, N., ITO, M., KUMAMOTO, T. AND MIKI, T. (2007). A 6-bit 3.5-GS/s 0.9-V 98-mW Flash ADC in 90nm CMOS. *VLSI Circuits, 2007 IEEE Symposium on*. 64–65.

DOUGLAS, R. AND MAHOWALD, M. (1995). *An Introduction to Neural and*

Electronic Networks, Academic Pr; 2 edition, chapitre : A Construction Set for Silicon Neurons. 277–296.

ECKERT, R., RANDALL, D., BURGGREN, W. AND FRENCH, K. (1999). *Physiologie animale : Mécanismes et adaptations*. De Boeck Université.

E.WALTARI, M. AND HALONEN., K. A. (2002). *Circuit Technique For Low-Voltage and High-Speed A/D Converters*. Kluwer Academic.

FAYOMI, C. J. B., SAWAN, M. AND ROBERTS, G. W. (2006). Low-voltage analog switch in deep submicron cmos : Design technique and experimental measurements. *IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences*, E89-A ;NO.4, 1076–1087.

F.BAILLIEU, Y.BLANCHARD, P.LOUMEAU, H.PETIT AND J.PORTE (1996). *CAPACITES COMMUTEES ET APPLICATIONS*. Dunod, Paris.

FOTOUHI, B. (2001). All-mos voltage-to-current converter. *IEEE Journal of Solid-State Circuits*, 36, 147–151.

FRANCO, F. J., ZONG, Y. AND AGAPITO, J. A. (2006). Inactivity windows in irradiated cmos analog switches. *IEEE Transactions on Nuclear Science*, 53, 1923–1930.

GATTI, U., MALOBERTI, F. AND LIBERALI, V. (1989). Full stacked layout of analogue cells. *Proc. IEEE International Symposium on Circuits and Systems*. 1123–1126.

HODGKIN, A. L. AND HUXLEY, A. F. (1952). A quantitative description of membrane current and its application to conduction and excitation in nerve. *J Physiol*, 117, 500–544.

HODGKIN, A. L. AND HUXLEY, A. F. (1990). A quantitative description of membrane current and its application to conduction and excitation in nerve. 1952. *Bull Math Biol*, 52, 25–71 ; discussion 5–23.

HONG, H.-C. AND LEE, G.-M. (2007). A 65-fj/conversion-step 0.9-v 200-ks/s rail-to-rail 8-bit successive approximation adc. *IEEE Journal of Solid-State Circuits*, 42, 2161–2168.

HOROWITZ, P. AND HILL, W. (juin 1996). *Traité de l'électronique analogique et numérique*. Édition Publitronic/Elektor.

HUBIN, M. (2008). Capteurs biomédicaux : propriétés diélectriques des tissus biologiques : http://pagesperso-orange.fr/michel.hubin/capteurs/biomed/chap_b6.htm. Consulté le 09 mars 09.

JARVINEN, J. A. M., SAUKOSKI, M. AND HALONEN, K. (2007). A 12-bit ratio-independent algorithmic adc for a capacitive sensor interface. *Proc. IEEE International Symposium on Circuits and Systems ISCAS 2007*. 1713–1716.

JOHNS, D. AND MARTIN, K. (1997). *Analog integrated Circuit Design*. John Wiley & Sons, Inc.

KAKAROUNTAS, A. P., THEODORIDIS, G., PAPADOMANOLAKIS, K. S. AND GOUTIS, C. (2003). A novel high-speed counter with counting rate independent of the counter's length. *Proc. 10th IEEE International Conference on Electronics, Circuits and Systems ICECS 2003*. vol. 3, 1164–1167.

KENINGTON, P. B. AND ASTIER, L. (2000). Power consumption of a/d converters for software radio applications. *IEEE Transactions on Vehicular Technology*, 49, 643–650.

KIM, H., MIN, Y., KIM, Y. AND KIM, S. (2008). A low power consumption 10-bit rail-to-rail sar adc using a c-2c capacitor array. *Proc. IEEE International Conference on Electron Devices and Solid-State Circuits EDSSC 2008*. 1–4.

LIN, C.-S. AND LIU, B.-D. (2003). A new successive approximation architecture for low-power low-cost cmos a/d converter. *IEEE Journal of Solid-State Circuits*, 38, 54–62.

MEAD, C. A. (1994). Scaling of mos technology to submicrometer feature sizes. *Analog Integrated Circuits and Signal Processing*, Volume 6, Number 1, 9–25.

MORTEZAPOUR, S. AND LEE, E. (2000). A 1-v, 8-bit successive approximation adc in standard cmos process. *IEEE Journal of Solid-State Circuits*, 35, 642–646.

MOULIN, C. (2006). *contribution à l'étude et à la réalisation d'un système électronique de mesure et excitation de tissu nerveux à matrices microélectrodes*. Thèse de doctorat, Institut National des Sciences appliquées de Lyon.

NORMANDIN, F., SAWAN, M. AND FAUBERT, J. (2005). A new integrated front-end for a noninvasive brain imaging system based on near-infrared spectrometry. *IEEE Transactions on Circuits and Systems I : Regular Papers*, 52, 2663–2671.

PROAKIS, J. AND MANOLAKIS, D. G. (1996). *Digital Signal Processing : Principles, Algorithms, and applications*. Prentice Hall.

RABAEY, J. M., CHANDRAKASAN, A. AND NIKOLIC, B. (2003). *Digital Integrated Circuits : A Design perspective*. Printice Hall Electronics and Vlsi Series (2nd Edition).

RASCHE, C. AND DOUGLAS, R. (2000). An improved silicon neuron. *Analog*

Integrated Circuits and Signal Processing, 23, 227–236.

ROBERT, P.-Y., GOSSELIN, B., AYOUB, A. E. AND SAWAN, M. (2006). An ultra-low-power successive-approximation-based adc for implantable sensing devices. *Proc. 49th IEEE International Midwest Symposium on Circuits and Systems MWS-CAS '06*. vol. 1, 7–11.

RODRIGUEZ-PEREZ, A., DELGADO-RESTITUTO, M., RUIZ-AMAYA, J. AND MEDEIRO, F. (2008). An ultra-low power consumption 1-v, 10-bit successive approximation adc. *Proc. 15th IEEE International Conference on Electronics, Circuits and Systems ICECS 2008*. 634–637.

R.RAUT AND ZHENG, K. (2005). An efficient a/d converter using electronic neurons. *The 9th World Multi-Conference On Systemics, Cybernetics and Informatics*.

SARPESHKAR, R., HERRERA, R. AND YANG, H. (2000). A current-mode spike-based overrange-subrange analog-to-digital converter. *Proc. ISCAS 2000 Geneva Circuits and Systems The 2000 IEEE International Symposium on*. vol. 4, 397–400.

SAUERBREY, J., SCHMITT-LANDSIEDEL, D. AND THEWES, R. (2003). A 0.5-v 1- μ w successive approximation adc. *IEEE Journal of Solid-State Circuits*, 38, 1261–1265.

SCOTT, M., BOSER, B. AND PISTER, K. (2003). An ultralow-energy adc for smart dust. *IEEE Journal of Solid-State Circuits*, 38, 1123–1129.

SHIN, J. AND KOCH, C. (1999). Dynamic range and sensitivity adaptation in a silicon spiking neuron. *IEEE Transactions on Neural Networks*, 10, 1232–1238.

SID DEUTSCH, A. D. (1993). *Understanding the Nervous System : An Engineering Perspective*, wiley-ieee press édition.

SJULSON, L. AND MIESENBÖCK, G. (2007). Optical recording of action potentials and other discrete physiological events : a perspective from signal detection theory. *Physiology (Bethesda)*, 22, 47–55.

SRINIVASAN, V., CHAWLA, R. AND HASLER, P. (2005). Linear current-to-voltage and voltage-to-current converters. *Proc. 48th Midwest Symposium on Circuits and Systems*. 675–678.

STROLLO, A. G. M., NAPOLI, E. AND CIMINO, C. (2000). Analysis of power dissipation in double edge-triggered flip-flops. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 8, 624–629.

TANK, D. AND HOPFIELD, J. (1986). Simple 'neural' optimization networks : An a/d converter, signal decision circuit, and a linear programming circuit. *IEEE Transactions on Circuits and Systems*, 33, 533–541.

VERMA, N. AND CHANDRAKASAN, A. (2006). A 25 μ w 100ks/s 12b adc for wireless micro-sensor applications. *Proc. Digest of Technical Papers. IEEE International Solid-State Circuits Conference ISSCC 2006*. 822–831.

WALTARI, M. AND HALONEN, K. (2002). Bootstrapped switch without bulk effect in standard cmos technology. *Electronics Letters*, 38, 555–557.

WEBSTER, J. AND CLARK, J. (1989). *Medical instrumentation*. John Wiley.

YANG, H. Y. AND SARPESHKAR, R. (2006). A bio-inspired ultra-energy-efficient analog-to-digital converter for biomedical applications. *IEEE Transactions on Circuits and Systems I : Regular Papers*, 53, 2349–2356.

ZHENG, K. (2006). *An Efficient A/D Converter Electronic Neurons*. Mémoire de maîtrise, Concordia University, Montreal, Quebec, Canada.

ANNEXE I

**LE PHÉNOMÈNE D'INJECTION DE CHARGES ET DE CLOCK
FEEDTHROUGH**

Ce phénomène est attribué à l'injection des charges accumulées dans le commutateur analogique lorsque le commutateur bascule de l'état ON à l'état OFF. Ces charges peuvent être accumulées soit au niveau du canal du transistor soit au niveau des capacités parasites grille-source ou grille-drain). Alors, quand le transistor MOS est ON, il opère dans sa zone ohmique de fonctionnement et sa tension drain-source est quasiment nulle à la fin de la charge de la capacité. Durant cette phase de charge, le canal du transistor MOS dispose d'une certaine quantité de charges dans le canal comme le montre la figure I.1. Cette quantité est directement liée à la conductance du canal. Lorsque le transistor bascule à l'état OFF, deux mécanismes d'injection de charges interviennent :

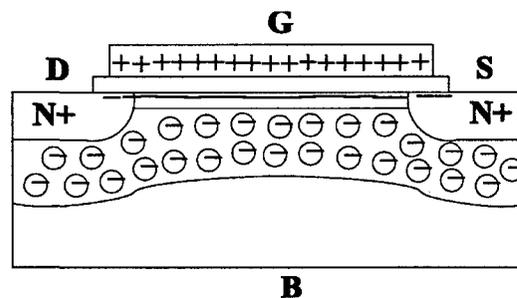


FIGURE I.1: Schéma en coupe du commutateur analogique NMOS à l'état ON

(i) : Une partie des charges accumulées dans le canal sont réinjectées dans le circuit via le drain et la source du transistor. En général, en raison que les temps de transition de l'état haut - bas de l'horloge sont brefs devant le temps moyen de recombinaison des charges dans le substrat, les charges réinjectées représentent la totalité des charges du canal. Cette charge accumulée est donnée par l'expression

[Johns and Martin (1997)] :

$$Q_{canal} = qWLC_{ox}(V_{gs} - V_{th_{vin}}), \quad (I.1)$$

à noter que : $q = 1$ dans le cas d'un transistor PMOS, alors que pour un NMOS $q = -1$.

L'erreur commise sur une la tension aux bornes de la capacité équivalente C_{eq} du circuit branché au borne du commutateur analogique est donnée par l'équation suivante [Baker (2005)] :

$$\Delta V_{out_{canal}} = \alpha \frac{Q_{canal}}{C_{eq}} = \alpha \frac{qWLC_{ox}(V_{gs} - V_{th_{vin}})}{C_{eq}}, \quad (I.2)$$

sachant que : α est le rapport entre les charges injectées sur l'armature haute de la capacité C_{eq} et la totalité des charges accumulées dans le transistor.

(ii) : Les charges accumulées dans les capacités de recouvrement C_{ov} (entre grille-source et grille-drain) du MOS sont elles aussi injectées dans le circuit lors des basculements d'horloge. L'erreur commise sur la tension de maintien est donnée par l'équation [Baker (2005)] :

$$\Delta V_{out_{ov}} = \frac{C_{ov}}{C_{eq} + C_{ov}} \Delta V_{clock} \quad (I.3)$$

Alors, ces mécanismes d'injection de charges sont intrinsèques à la physique du transistor MOS et ils dépendent de l'amplitude du signal d'entrée (via la tension de commande V_{gs} et la tension de seuil $V_{th_{vin}}$). Par conséquent, l'erreur introduite est non-linéaire et d'après les équations précédentes, un compromis entre la taille du transistor MOS, la bande passante et la résolution souhaitée est nécessaire. Les deux équations I.2 et I.3 montrent la nécessité d'utiliser des méthodes pour diminuer l'impact de l'injection de charges sur la précision du système.

ANNEXE II

BASCULE T DANS LE COMPTEUR SYSTOLIQUE ASYNCHRONE

La bascule T dans le compteur est implémenté en utilisant une bascule D maître esclave à front descendant muni d'une entrée d'initialisation à zéro (Reset ou clear) montrée par la figure II.1. La bascule T est implémentée en rebouclant la sortie \overline{Q} de la bascule D esclave avec D de la bascule maître. L'entrée d'initialisation assure une initialisation du compteur à zéro à chaque début d'un nouvel échantillonnage du signal d'entrée. Cette entrée est commandée par le signal \overline{CLK} (figure 2.6) qui a la même amplitude du signal d'horloge d'échantillonnage (CLK), mais de phase opposée. Alors, la donnée D mémorisée en sortie Q lors du front actif de l'horloge (impulsions générées par la cellule nerveuse) est \overline{Q} , puisque ce dernier est relié à D. Autrement dit, quel que soit l'état logique de la sortie Q avant le niveau bas de l'horloge, la bascule passera dans l'état logique complémentaire durant le front d'horloge actif. La figure II.2 illustre le chronogramme relatif au fonctionnement de la bascule T (1 bit). Le choix de la bascule D maître esclave pour l'implémentation du compteur à 8 bits est justifié par le fait que son fonctionnement est bien synchrone, alors elle permet de mémoriser une donnée logique à un instant bien précis. Le synchronisme est très important dans notre cas, car les données à mémoriser sont d'une largeur très courte (durée approximativement égale à 250 ps). Ceci rend l'utilisation d'une bascule D à verrouillage (ou latch) de fonctionnement asynchrone (sur niveau) très difficile et même elle nécessite un circuit supplémentaire qui permet de régler la largeur des données (PA) pour y rendre dans un intervalle bien précis sinon des états peuvent être erronés.

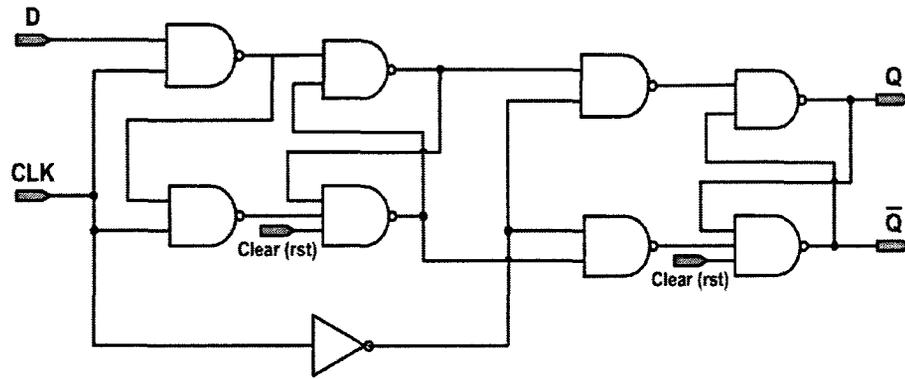


FIGURE II.1: Schéma de la bascule D maître esclave réagissant au front descendant munie d'une entrée clear

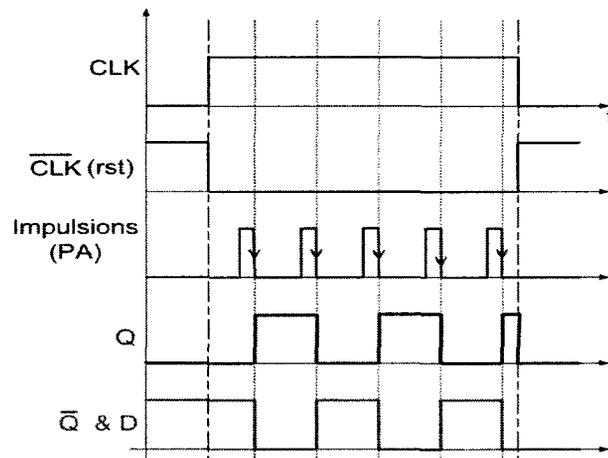


FIGURE II.2: Chronogramme relatif à la bascule T

ANNEXE III

CODE VERILOG-A DE CNA IDÉAL À 8 BITS

// Code Verilog-A de convertisseur numérique à analogique idéal pour tester le CAN neuromimétique

'include "constants.h"

'include "disciplines.h"

module dac_ideal_8bits(clk, b1, b2, b3, b4, b5, b6 ,b7 ,b8 , aout);

input clk,b1,b2,b3,b4,b5,b6,b7,b8;

output aout;

electrical clk,b1,b2,b3,b4,b5,b6,b7,b8,aout;

parameter real vmax=1.5; *// Tension d'alimentation*

parameter real vth= vmax/2; *// Tension seuil*

real result;

analog begin

@(cross(V(clk)-vth,+1)) begin

result=0; *// Initialisation de la tension de sortie à 0*

result=result+((V(b1)> vth) ?(vmax/2) :0);

// Si V(b1)> vth alors result=result+ vmax/2 sinon result=result+0

result=result+((V(b2)> vth) ?(vmax/4) :0);

result=result+((V(b3)> vth) ?(vmax/8) :0);

result=result+((V(b4)> vth) ?(vmax/16) :0);

result=result+((V(b5)> vth) ?(vmax/32) :0);

```
result=result+((V(b6)> vth) ?(vmax/64) :0);  
result=result+((V(b7)> vth) ?(vmax/128) :0);  
result=result+((V(b8)> vth) ?(vmax/256) :0);  
end  
  
V(aout)<+result;  
  
end  
  
endmodule
```