

UNIVERSITÉ DE SHERBROOKE

Faculté de génie

Département de génie électrique et de génie informatique

Conception d'un circuit pour la lecture de capteurs de température et d'humidité à base de nanotube de carbone intégré au sein d'assemblages microélectroniques

Thèse de doctorat

Spécialité : génie électrique

Quentin Vandier

MEMBRES DU JURY

Dominique DROUIN

Directeur

Hélène FREMONT

Co-Directrice

Réjean FONTAINE

Rapporteur

Jean Pierre LANDESMAN

Évaluateur

Benoit FOISY

Évaluateur

RÉSUMÉ

Ma thèse s'inscrit dans une chaire de recherche CRSNG/IBM dans lequel le groupe de recherche travail sur l'encapsulation innovante de puces microélectroniques en partenariat avec IBM et Université de Sherbrooke. Elle repose sur la mise en place et la lecture de capteurs permettant l'analyse de la température et de l'humidité au sein d'assemblage de puces retournées sur laminé organique à des fins d'études des procédés d'assemblage, mais aussi de fiabilité par le suivi des facteurs de défaillance.

Mon projet consiste, dans un premier temps, en la réalisation d'un système de lecture permettant de suivre la température et l'humidité en temps réel sur une puce d'un module microélectronique par l'utilisation de 108 capteurs à base de CNT in situ développés par le groupe de recherche sur les assemblages. Dans un second temps, il a pour objectifs la caractérisation des différents modules de capteurs ainsi que l'étude de la propagation de l'humidité au sein de ces modules dans différents environnements réalisés par des chambres environnementales.

Durant mon projet, j'ai réalisé un système de lecture pouvant extraire les mesurandes de 108 capteurs, avec une précision jusqu'à 0,3 °C et 0,2 %RH. Ceci a permis de suivre localement la répartition d'humidité en temps réel et d'en estimer la vitesse de propagation de 85 à 95 µm/h au sein de matériaux de remplissage ainsi que le temps d'absorption en stockage dans un environnement humide à 1200 h et l'efficacité du procédé de désorption du module pour se rapprocher d'un état sec à 250 h.

Mots clés : Assemblage microélectronique, circuit de lecture analogique, diffusion d'humidité, capteur embarqué.

ABSTRACT

My thesis is part of the NSERC/IBM Industrial Research Chair in Smarter Microelectronics Packaging for Performance Scaling in partnership the Universite de Sherbrooke. The objective of the research project is the integrations and readout of sensors embedded in a microelectronic flip-chip package for temperature and humidity monitoring for the assembly processes study and package reliability. In which, my thesis will be focused on the readout system for the sensors and their uses to monitor the humidity in a flip-chip package.

My project consists, in a first step, in the realisation of a readout circuit for real time monitoring of temperature and humidity in an assembled microelectronic chip using 108 sensors based on CNT. In a second step, the objective was to characterise the humidity propagation within these modules in different environments using control environmental chambers.

During my project, I realised a readout system able to extract measurands from 108 sensors, with a measurement precision up to 0.3 °C and 0.2 %RH. This allowed to monitor locally the humidity distribution in real time and to estimate the humidity propagation speed at 85 to 95 $\mu\text{m}/\text{h}$ as well as the absorption time in storage in a humid environment at 1200 h and the efficiency of the desorption process of the module to reach a complete dry state at 250 h.

REMERCIEMENTS

Dans un premier temps, je souhaite remercier mes directeurs de thèse, Pr Dominique Drouin et Pr Hélène Frémont, qui m'ont guidé et aidé par leurs expériences et leurs patiences tout au long de mes travaux de thèse.

Je remercie M. Eric Duchesne, ingénieur d'IBM, qui m'a guidé dans les choix pris durant cette thèse par ses connaissances sur les assemblages FC-PBGA et les procédés utilisés par l'industrie.

Je souhaite également remercier les différentes personnes du groupe de recherche qui ont participé au projet de recherche par le développement et la fabrication des capteurs intégrés, Mme. Aurore Queleennec, M. Umar Shafique, M. Yosri Ayadi ainsi que M. Julien Pezard.

Je voudrais remercier le personnel du laboratoire de fiabilité, et particulièrement M. Francis Santerre pour son aide et ses conseils sur l'utilisation des chambres environnementales et fours de séchage, Alexandre Leblanc pour la réalisation des nappes de connexion et le personnel d'IBM qui a assemblé les modules de lecture sur des PCB flexibles.

J'aimerais aussi remercier Sonia Roy et Stéphane Barbeau pour l'analyse de défaillance et les observations réalisées.

Je remercie les différents stagiaires qui ont contribué à l'avancement de mon projet de recherche, M Victor Texier, M. Thibaud Giessinger et M. Martin Vidal.

Je souhaite remercier les responsables des laboratoires du LCP et LCSM qui m'ont permis de réaliser l'assemblage et la caractérisation du module de lecture.

Enfin je souhaite remercier les membres du jury de thèse composé de M. Réjean Fontaine, M. Jean-Pierre Landesman et M. Benoit Foisy pour avoir accepté de relire mon manuscrit.

TABLE DES MATIÈRES

Chapitre 1: Introduction	1
1.1. Mise en contexte	1
1.2. Problématique	6
1.3. Question de recherche	7
1.4. Objectifs	7
1.5. Plan du document	8
Chapitre 2: État de l'art	9
2.1. Les capteurs in situ	9
2.1.1. Les capteurs intégrés	9
2.1.2. Les capteurs à base de nanotubes de carbone	14
2.1.3. Module Microélectronique avec capteurs embarqués	17
2.2. Chaîne d'acquisition	23
2.2.1. Introduction	23
2.2.2. Amplification	25
2.2.3. Traitement du signal	31
2.2.4. Génération de signaux	40
2.2.5. Multiplexage	46
2.3. Conclusion	50
Chapitre 3: Conception du circuit de lecture	52
3.1. Architecture du système de lecture	52
3.2. Sélection des capteurs	54
3.2.1. Description	54
3.2.2. Analyse de l'effet de l'étage de sélection sur le signal du capteur	57
3.3. Conception de l'amplificateur à détection synchrone	63

3.3.1.	Méthode d'amplification	63
3.3.2.	Méthode de traitement du signal.....	69
3.4.	Caractérisation et performance.....	76
3.4.1.	Bande passante.....	76
3.4.2.	Plage de détection	78
3.4.3.	Validation du montage et incertitude de mesure	81
3.5.	Communication et contrôle	85
3.6.	Conclusion.....	87
Chapitre 4:	Analyse du module de capteurs	89
4.1.	Analyse des capteurs.....	89
4.1.1.	Caractéristique des modules de capteurs.....	89
4.1.2.	Analyse des modules de 2^e génération.....	93
4.1.3.	Analyse des modules de 3^e génération.....	101
4.1.4.	Bilan des caractérisations	103
4.2.	Analyse de l'humidité des modules microélectroniques FC-PBGA.....	104
4.2.1.	Diffusion d'humidité au sein d'encapsulation FC-PBGA	104
4.2.2.	Absorption de l'humidité au sein du BEOL	109
4.2.3.	Désorption de l'humidité au sein du BEOL.....	117
4.2.4.	Bilan de l'analyse de la diffusion.....	120
4.3.	Conclusion.....	121
Chapitre 5:	Conclusion et perspectives	122
5.1.	Résultats.....	122
5.2.	Perspectives.....	123
ANNEXES.....		125
Annexe A.	Procédé de fabrication des capteurs.....	125

Annexe B.	Détection synchrone par multiplicateur	127
Annexe C.	Comparatif des performances de circuit de lecture	129
Annexe D.	Interface Python de commande.....	130
Annexe E.	Procédé de centrifugation des CNT	132
Annexe F.	Analyse de défaillance.....	133
RÉFÉRENCES.....		134

LISTE DES FIGURES

Figure 1-1 : Schéma d'un assemblage flip-chip.	2
Figure 1-2 : Contrainte de cisaillement exercée sur les interconnexions puce-substrat FC-PBGA A) à haute température (stress-free temperature), B) à basse température.	3
Figure 1-3 : Micrographie de A) Délaminage puce/Underfill [10] B) Fissures des billes de brasure/C4 [11]	3
Figure 1-4 : Corrosion sur une bille Sn-Ag exposée à de l'eau pendant A) 0 Hrs B) 12 Hrs C) 24 Hrs D) >48Hrs, Ha et al [16]	4
Figure 1-5 : Formation de dendrites entre deux plots d'interconnexion de C4.....	4
Figure 2-1 : Graphique hygrométrique de Lee et al., montrant la relation entre la température ambiante (T_{air}), température de rosée (T_d) et la température humide (T_{wet}) [25].	11
Figure 2-2 : Image obtenue au microscope électronique à balayage (SEM) des capteurs à base de CNT.	15
Figure 2-3 : Effet d'une contrainte sur a) la résistance intrinsèque et b) la résistance tunnel entre nanotubes [35].	16
Figure 2-4 : Géométrie des capteurs CNT a) serpentins b) rectangulaire.	17
Figure 2-5 : Positionnement des capteurs et BLM connectés au sein de la puce de silicium. ..	18
Figure 2-6 : Photographie du a) Module assemblé sans matériau de remplissage b) Module assemblé avec matériau de remplissage c) Module assemblé avec matériau de remplissage et capot [17].....	19
Figure 2-7 : (a) Effet de la fréquence sur la sensibilité relative du module de l'impédance à la température pour différentes humidités relatives. (b) Effet de la fréquence sur la sensibilité relative au module de l'impédance à l'humidité pour différentes températures. (c) Fréquence d'invariance en fonction de la résistance du capteur [39] f_{RH} et f_T symbolisent les fréquences d'invariance à l'humidité relative et la température respectivement.	22
Figure 2-8 : Schéma d'une chaîne d'acquisition.	23
Figure 2-9 : Représentation schématique d'un pont de Wheatstone.	26
Figure 2-10 : Montage d'amplificateur d'instrumentation en (a) 2-AOP (b) 3-AOP [51].	27
Figure 2-11 : Schéma d'un montage transimpédance.	28
Figure 2-12 : Schéma d'un montage amplificateur intégrateur.	29

Figure 2-13 : Figure de bruit typique d'un étage d'amplification actif [56].	32
Figure 2-14 : Schéma d'un amplificateur à détection synchrone.	34
Figure 2-15 : Multiplicateur analogique réalisé partir d'AOP [61].	35
Figure 2-16 : Cellule de Gilbert Manickam et al.[59].	35
Figure 2-17 : Schéma d'un montage utilisant une détection synchrone avec commutateur[63].	36
Figure 2-18 : Démodulateur synchrone de fréquences à commutateur Casanella et al. [67] a) sortie de l'étage durant b) temps d'intégration c) d'attente d) de réinitialisation.	37
Figure 2-19 : Montage intégrateur SVFC pour extraire la valeur d'une impédance [66].	38
Figure 2-20 : Schéma d'un oscillateur LC classique contrôlé en tension.	41
Figure 2-21 : Schéma d'un oscillateur LC classique contrôlé numériquement.	41
Figure 2-22 : Schéma d'un oscillateur en anneau avec n impair.	42
Figure 2-23 : Topologie d'une DDS [77].	43
Figure 2-24 : Exemple d'architecture synchrone.	46
Figure 2-25 : Exemple d'architecture asynchrone.	47
Figure 2-26 : Topologie d'une porte de transmission CMOS [87].	48
Figure 2-27 : Variation de R_{on} en fonction du signal traversant la porte de transmission [87].	48
Figure 2-28 : Modèle comprenant les effets parasites d'un switch CMOS.	48
Figure 3-1 : Schéma des différentes parties du système de lecture.	53
Figure 3-2 : Liste de la connectique de sélection des capteurs.	54
Figure 3-3 : Photo d'un module assemblé avec capot sur un flexible permettant de relier les 108 capteurs vers un système de lecture.	55
Figure 3-4 : Photo du PCB indépendant servant au multiplexage.	55
Figure 3-5 : Composants parasites liés au multiplexeur et à la connectique.	56
Figure 3-6 : Isolation des multiplexeurs en état ouvert suivant la fréquence du signal à ses bornes sur des sorties adjacentes, donnée provenant du constructeur [89].	58
Figure 3-7 : Dessin de conception du flexible pour les modules de capteurs, avec les connecteurs vers le circuit de lecture visible à gauche et la matrice de bille pour le module à droite.	59
Figure 3-8 : Analyse fréquentielle de l'impédance provenant des capacités parasites pour chaque ligne conductrice reliant les capteurs en circuit ouvert jusqu'au BGA (sans capteur). Les lignes ayant les plus faibles impédances proviennent des lignes les plus longues et inversement.	60

Figure 3-9 : Rapport entre le courant du capteur et le courant total amplifié suivant la fréquence et la valeur de l'impédance du capteur.....	61
Figure 3-10 : Variation du couplage de la connectique lors de variation de température et humidité observée en chambre environnementale avec suivi des conditions.	62
Figure 3-11 : Histogramme de la valeur de capacité de la connectique suivant les chemins de capteurs à 30 °C/30 %RH.....	62
Figure 3-12 : Montage d'amplification transimpédance différentiel composé de 3 AOP.....	65
Figure 3-13 : Courbe de simulation du bruit de Johnson généré par la résistance du capteur. .	67
Figure 3-14 : Courbe de simulation de bruit de l'étage d'amplification transimpédance.....	67
Figure 3-15 : Figure de bruit de l'étage d'amplification 3-AOP simulé depuis Spice.	68
Figure 3-16 : Schéma de l'architecture du système de lecture.	69
Figure 3-17 : Topologie sallen-key du filtre actif.....	70
Figure 3-18 : Donnée de simulation du gain en fréquence du filtre et de l'étage de gain.	71
Figure 3-19 : Données de simulation de la réponse temporelle du filtre à une impulsion de 1 V.	72
Figure 3-20 : Photographie de la première implémentation de la détection synchrone sur un PCB de test.	73
Figure 3-21 : Photographie de la deuxième version de l'implémentation du système de lecture sur PCB.	73
Figure 3-22 : Topologie du générateur de signaux embarqué.....	75
Figure 3-23 : Schéma du circuit d'adaptation du signal généré par la DDS aux capteurs CNT.	75
Figure 3-24 : Courbe de simulation du gain en tension (courbe pleine) et du déphasage (courbe en pointillé) de l'étage de transimpédance en fonction de la fréquence de l'étage d'amplification et de différente résistance R_G	76
Figure 3-25 : Courbe de simulation du gain en tension (courbe pleine) et déphasage (courbe en pointillé) de l'étage d'amplification différentielle 3-AOP en fonction de la fréquence de l'étage d'amplification et de différentes résistances R_G	77
Figure 3-26 : Plage de fonctionnement mesurée de l'étage transimpédance pour un gain R_G de 30 k Ω	78

Figure 3-27 : Plage de détection mesurée pour une impédance de référence de 30 k Ω du circuit d'amplification différentiel 3-AOP.....	80
Figure 3-28 : Données de mesure de la variation d'impédance du système de lecture et de l'instrumentation commerciale face à une variation de température et humidité.....	81
Figure 3-29 : Variation de l'erreur de mesure en fonction du courant sondé avec $R_G=37$ k Ω , soit une plage de courant de 10 μ A à 81 μ A.....	83
Figure 3-30 : Analyse de la dispersion des mesures avec l'étage d'amplification transimpédance en fonction de la fréquence utilisée. Graphique représentant l'évolution de la variation maximale ($\approx 3 \sigma$) obtenue et l'écart type (σ) des mesures en fonction de la fréquence.....	84
Figure 3-31 : Distribution des données du circuit de lecture à 10 kHz sur un capteur prototype non intégré à température et humidité constante avec un $R_g = 30$ k Ω . a) le circuit ayant un amplificateur transimpédance b) le circuit possède un amplificateur transimpédance différentiel à deux étages.....	84
Figure 3-32 : Diagramme du convertisseur analogique numérique du microcontrôleur SAM3XE [94].....	86
Figure 4-1 : Illustration du procédé d'assemblage flip-chip.	90
Figure 4-2 : Histogramme de la valeur des résistances de capteurs rectangulaires d'un wafer de 3 ^e génération (N1027) et de 2 ^e génération (M1142), capteur mesuré sur les billes de brasure.	91
Figure 4-3 : Histogramme des résistances des capteurs rectangulaires du N1027 ayant une distribution normale avec une moyenne de 3,96 k Ω et un écart type de 0,34 k Ω , 3 ^e génération de capteurs.....	92
Figure 4-4 : Caractérisation des modules de 3 ^e génération avant assemblage : Évolution de la résistance moyenne des capteurs et de l'épaisseur de la couche de CNT. Leurs déviations maximales = 3σ	92
Figure 4-5 : a) Variation de température et humidité de la chambre environnementale b) variation de l'impédance des capteurs de 2 ^e génération.	93
Figure 4-6 : Distribution de la sensibilité à l'humidité des capteurs du procédé de 2 ^e génération sans matériau de remplissage à la température de 30°C ($\mu=0,32$, $\sigma=0,05$).....	95
Figure 4-7 : Distribution de la sensibilité à la température des capteurs du procédé de 2 ^e génération sans matériau de remplissage à l'humidité de 35 %RH ($\mu=0,15$, $\sigma=0,006$).	95

Figure 4-8 : Variation de l'impédance des capteurs du procédé de 2 ^e génération en fonction du taux d'humidité à différentes températures constantes.	96
Figure 4-9 : Variation de l'impédance des capteurs du procédé de 2 ^e génération en fonction de la température à différents taux d'humidité constants.	96
Figure 4-10 : Évolution de l'impédance des capteurs dans un environnement supérieur à 75 %RH.	97
Figure 4-11 : Impédance des capteurs d'un module sans matériau de remplissage de 2 ^e génération entre 20 Hz et 500 kHz	99
Figure 4-12 : Variation d'impédance d'un capteur de 37 kΩ provenant du procédé de 2 ^e génération avec le profil de température/humidité de la Figure 4-5 à 10 Hz (bleu foncé) 5 kHz (vert), 36 kHz (orange) et 500 kHz (bleu clair).	100
Figure 4-13 : Variation d'impédance d'un capteur et de sa connectique de 780 kΩ provenant du procédé de 2 ^e génération avec le profil de température/humidité de la Figure 4-5 à 5 kHz (bleu clair), 18 kHz (bleu foncé) et 36 kHz (orange).	100
Figure 4-14 : Sensibilité des capteurs à la température entre des modules de 3 ^e génération en fonction de l'épaisseur de CNT de 130 nm à 350 nm.	102
Figure 4-15 : Spectre à 30 °C/30 %RH de la moyenne et de l'écart de l'impédance des capteurs « patch » de trois modules assemblés à partir du procédé de 3 ^e génération (barre d'erreur définie par l'écart type entre capteurs).	102
Figure 4-16 : Représentation de la variation au sein d'un matériau de l'humidité selon le modèle de Fick jusqu'à une concentration de saturation (C _{sat}).	106
Figure 4-17 : Schéma de la position de l'underfill (matériau de remplissage) pris entre la puce et le laminé montrant une propagation essentiellement sur les axes X et Y.	108
Figure 4-18 : a) Évolution de l'impédance au sein des capteurs 3 (point vert, proche du bord de la puce), 15 (point bleu) et 30 (point orange proche du centre de la puce) en fonction du temps b) Position des capteurs 3, 15 et 30 sur la puce.	110
Figure 4-19 : Réponse d'un capteur (14) à un procédé d'absorption en chambre environnementale à 85 °C/ 75 %RH après une étape de désorption.	111
Figure 4-20 : Délai de la réponse des capteurs du module avec matériau de remplissage qui montre le déplacement du front d'humidité au sein du module par rapport au bord de la puce de capteurs.	112

Figure 4-21 : Ajustement linéaire du délai observé sur les capteurs du module avec matériau de remplissage sur des distances de 0 à 2500 μm du bord de la puce pour des conditions de 45 %RH et 75 %RH.	113
Figure 4-22 : Position des capteurs au sein de la puce.....	115
Figure 4-23 : Variation d'impédance des capteurs 27 (courbe noire) et 33 (courbe orange) en bordure de puce et le résultat de simulation FDM (trait pointillé) avec coefficient de diffusion (D) obtenu par ajustement de courbe, abscisse en racine du temps.....	115
Figure 4-24 : Variation d'impédance du capteur 15 (courbe bleu foncé) et 3 (courbe verte), résultat de simulation (trait pointillé) avec coefficient de diffusion (D) obtenu par ajustement de courbe, abscisse en racine du temps.	116
Figure 4-25 : Donnée des capteurs 46,47 et 53 pendant un processus de désorption à 130 °C pendant 250 h dans une atmosphère contrôlée, en racine du temps.	118
Figure 4-26 : Délai du début de la désorption d'humidité des capteurs par rapport à leur distance du bord de la puce.	119
Figure 4-27 : Variation d'impédance du capteur 15 (bleu foncé), résultat de simulation (trait pointillé) avec coefficient de diffusion (D) allant de $3 \cdot 10^{-11}$ kg/m/s à $4 \cdot 10^{-11}$ kg/m/s obtenu par ajustement de courbe, abscisse en racine du temps.	119
Figure A-1 : Géométries des capteurs sur la puce de silicium.	126
Figure A-2 : Étapes principales du procédé d'intégration des capteurs CNT de 1 ^{ère} génération [47].	126
Figure A-3 : Vue en coupe des différentes couches du BLM jusqu'à la tranche de silicium [17].	126
Figure B-4 : Schéma d'une détection synchrone.....	127
Figure D-5 : Interface de contrôle du circuit de lecture.	130
Figure D-6 : Fenêtre de visualisation des impédances détectées sur la puce depuis l'interface python réalisée.	131
Figure D-7 : Fenêtre de visualisation de la variation d'un capteur dans le temps depuis l'interface python réalisée.	131
Figure E-8 : Micrographie MEB d'un dépôt de CNT de 0,1 mg/ml sur polyimide a) sans centrifugation, avec un exemple d'agrégat de CNT entouré en rouge b) avec centrifugation.	132

Figure F-9 : Image MEB de défaillance au niveau des interconnexions BLM-C4, délaminage entouré en rouge..... 133

LISTE DES TABLEAUX

Tableau 2-1 : Comparaison de capteurs de température	10
Tableau 2-2 : Temps d'absorption et désorption de capteurs à base de polyimide et de divinyl siloxane benzocyclobuten (BCB) face à un environnement ayant une hausse de 30% RH [27]	12
Tableau 2-3 : Propriétés des capteurs d'humidité	13
Tableau 2-4 : Performance de capteurs utilisant des CNT.....	16
Tableau 2-5 : Performance et sensibilité de capteurs de 1 ^{re} génération à nanotubes de carbone obtenus par A. Quelennec et al. avec un signal de 1 kHz pour les mesures de température et humidité et 2 kHz pour la mesure de pression [47].	20
Tableau 2-6 : Récapitulatif des avantages pour les implémentations de détection synchrone .	39
Tableau 2-7 : Récapitulatif des avantages pour les méthodes de génération de signaux.....	45
Tableau 3-1 : Performance des multiplexeurs CMOS [89].....	57
Tableau 3-2 : Comparatif des AOP.....	64
Tableau 3-3 : Composant et valeurs du filtre.	71
Tableau 3-4 : AD9854 spécification [93].....	74
Tableau 3-5 : Performance de détection synchrone sur PCB dans la littérature.	88
Tableau 4-1 : Caractéristique des capteurs de certains modules	90
Tableau 4-2 : Résumé des variables utilisées pour l'analogie entre la diffusion thermique et la diffusion d'humidité [109]	107
Tableau C-1 : Comparatif de circuit permettant la lecture d'impédance dans la littérature ...	129

LISTE DES ACRONYMES

Acronyme	Définition
IMS	<i>Laboratoire de l'intégration du matériau au systèmes</i>
3IT	<i>Institut interdisciplinaire d'innovation technologique</i>
IBM	<i>International Business Machine</i>
HPC	<i>High Performance Computer – Ordinateur haute performance</i>
MCM	<i>Multi Chip Module – Assemblage sur un même substrat de plusieurs puces de microélectronique</i>
SiP	<i>System in Package – Intégration sur un même substrat de plusieurs éléments de microélectronique de toute nature</i>
SAC	<i>SnAlCu – Alliage étain argent cuivre</i>
BGA	<i>Ball Grid Array – Matrice de bille d'interconnexions entre le module et une carte mère</i>
C4	<i>Controlled Collapse Chip Connection – Matrice de bille d'interconnexions entre la puce et son support laminé</i>
FEOL	<i>Front End Of Line – Zone accueillant les dispositifs sur silicium</i>
BEOL	<i>Back End Of Line – Zone accueillant les niveaux de métallisation et d'interconnexion</i>
FC-PBGA	<i>Flip Chip Plastic Ball Grid Array – Assemblage microélectronique flip-chip avec un substrat laminaire possédant une matrice BGA</i>
CTE	<i>Coefficient of Thermal Expansion - Coefficient de dilatation thermique</i>
RTD	<i>Resistance temperature detector – Capteur de température résistif</i>

VLSI	<i>Very Large Scale Integrated – intégration à très grande échelle</i>
CNT	<i>Carbon Nanotube – Nanotube de carbone</i>
SWCNT	<i>Single Walled Carbon Nanotube – Nanotube simple paroi</i>
MWCNT	<i>Multi Walled Carbon Nanotube – Nanotube multiparois</i>
FRA	<i>Frequency Response Analysis – Analyse de réponse fréquentielle</i>
DSP	<i>Digital Signal Processing – Processeur de signal numérique</i>
BLM	<i>Ball Limiting Metallurgy</i>
AOP	<i>Amplificateur Opérationnel</i>
IA	<i>Instrumentation Amplifier – Amplificateur d'instrumentation</i>
PSRR	<i>Power Supply Rejection Ratio – Rapport du rejet de l'alimentation</i>
CMRR	<i>Common Mode Rejection Ratio – Rapport du rejet du mode commun</i>
I/Q signal	<i>In phase and Quadrature signal— Signal en phase et en quadrature</i>
SNR	<i>Signal to noise ratio – Rapport signal sur bruit</i>
NF	<i>Noise figure – Figure de bruit</i>
FC	<i>Fréquence de coupure</i>
NCO	<i>Numerical Controlled Oscillator – Oscillateur commandé numériquement</i>
PLL	<i>Phase Lock Loop - Boucle à verrouillage de phase</i>
DDS	<i>Direct Digital Synthesis – Synthétiseur numérique de fréquence</i>
ROM	<i>Read-only memory – Mémoire morte</i>
LUT	<i>Lookup Table – Table de correspondance</i>
I/O	<i>Input Output – Entrées sorties</i>

RH	<i>Relative humidity – humidité relative</i>
C	<i>Coefficient de diffusion</i>
S	<i>Solubilité</i>
J	<i>Flux</i>
P _v	<i>Pression de vapeur saturante</i>
φ	<i>Concentration normalisée</i>

Chapitre 1: Introduction

1.1. Mise en contexte

Cette thèse s'inscrit dans le cadre d'une Chaire de Recherche Industrielle du Conseil de recherche en sciences naturelles et en génie du Canada (CRSNG) avec la compagnie International Business Machine (IBM) Canada située à Bromont et l'Université de Sherbrooke en partenariat avec le laboratoire d'Intégration du Matériau au Système (IMS) situé à Bordeaux, France.

L'avènement du « Big data » et l'augmentation exponentielle du nombre de données générées donnent de nouveaux objectifs et défis à l'industrie de la microélectronique. Afin de répondre à ces défis, l'industrie axe son développement sur des architectures web (Cloud computing), de communication et de calcul haute performance (HPC) nécessitant des puces plus denses en composants actifs. Ces composants intégrés doivent transmettre un grand nombre d'informations vers des modules extérieurs ce qui nécessitent de nouveaux assemblages [1]–[3].

Ceci amène à adapter les procédés d'assemblage microélectronique vers une grande densité d'interconnexions et à embarquer plus de puces par les technologies Multi Chip Module (MCM), 3-Dimensions (3D) et System in Package (SiP).

Pour répondre à ces critères d'évolution, l'utilisation de procédés d'assemblage existants permettant une grande densité d'interconnexions entre la puce et son support, tel que la puce retournée (Flip-chip), illustrée à la Figure 1-1, est devenue prédominante pour les modules microélectroniques. L'assemblage flip-chip présente la particularité d'utiliser une connexion verticale sur l'intégralité de la surface de la puce. Contrairement au procédé d'assemblage par microfils entre le support et la puce (Wire bonding), le procédé flip-chip utilise des billes de connexion micrométrique appelées aussi « C4 » (Controlled Collapse Chip Connection) combinées avec des plots de contact ductiles permettant de réduire le stress mécanique [4], [5]. Ce procédé d'assemblage, composé dans notre cas de billes de brasure de 60 μm d'alliage SAC (Étain, Argent et Cuivre), permet d'avoir un plus grand nombre d'interconnexions, de minimiser les impédances parasites du fait de ces interconnexions plus courtes, et d'avoir un gain de place

sur le substrat organique. Afin de protéger ces interconnexions, des matériaux de remplissage (Underfill) sont utilisés pour combler les espaces laissés par les matrices de billes, permettant d'avoir une meilleure protection des interconnexions face aux déformations mécanique lors de stress thermique en soutenant la puce au substrat, face à l'humidité ambiante, et augmentant légèrement la dissipation thermique par le substrat [6]–[8].

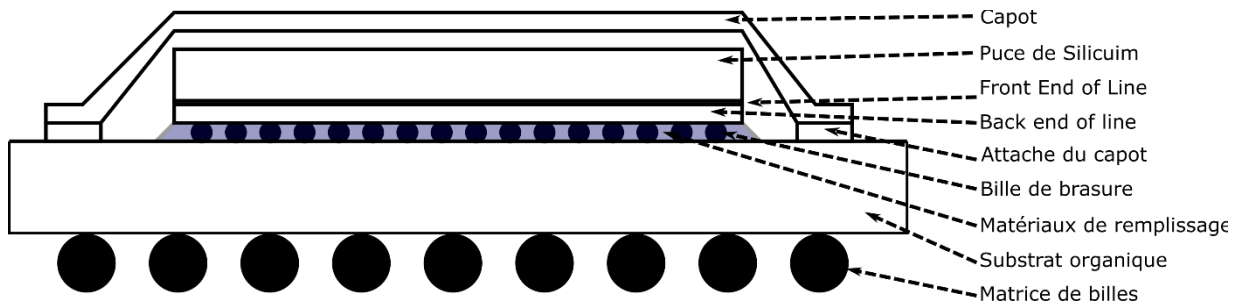


Figure 1-1 : Schéma d'un assemblage flip-chip.

La puce de silicium comporte deux zones : Back-End-Of-Line (BEOL), qui est la zone réalisant les interconnexions entre les différents composants actifs, et le Front-end-of-line (FEOL) où se situent les composants actifs. La zone d'interconnexion puce-substrat, qui se situe au bord du BEOL, est une zone particulièrement sensible aux défaillances liées aux variations thermiques comme le montre la Figure 1-2 sur un assemblage flip-chip avec substrat organique et matrice BGA (FC-PBGA). Ces défaillances sont causées par les différences entre les coefficients de dilatation thermique (CTE) des matériaux [9]. Dans un assemblage flip-chip tel que présenté à la Figure 1-3, ces contraintes affectent les billes par un effet de cisaillement ou par augmentation de l'espace puce-laminé par effet de courbure. Ces effets avec l'utilisation de matériaux de remplissage, vont accentuer la force mécanique établie sur le substrat et augmenter les effets de délaminage [8].

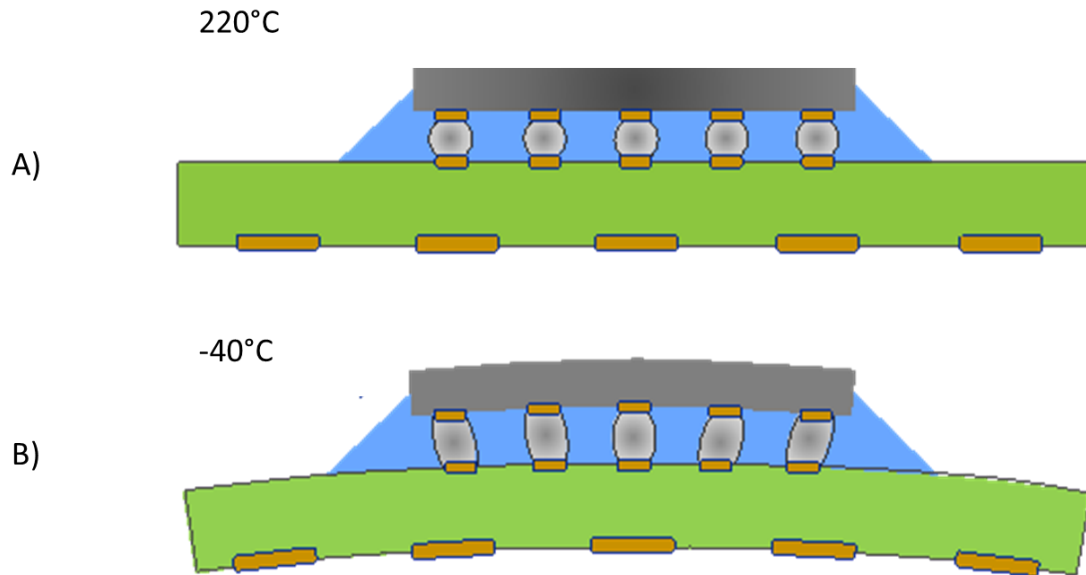


Figure 1-2 : Contrainte de cisailment exercée sur les interconnexions puce-substrat FC-PBGA A) à haute température (stress-free temperature), B) à basse température.

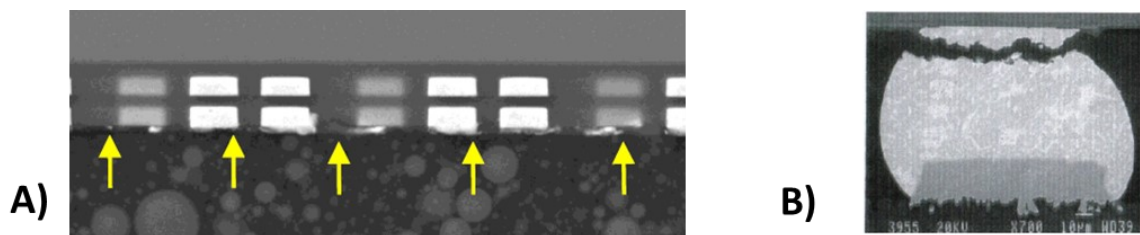


Figure 1-3 : Micrographie de A) Délaminage puce/Underfill [10] B) Fissures des billes de brasure/C4 [11].

En plus de l'effet thermique sur la dilatation des matériaux décrite précédemment, le module va absorber de l'humidité essentiellement au sein du laminé et du matériau de remplissage, suivant son coefficient de diffusion [12]. L'humidité fragilise le module par corrosion (Figure 1-4), et par contrainte mécanique induite par le gonflement du substrat ou des matériaux de remplissage [9], [12]. L'humidité absorbée d'un module peut aussi, lors d'un changement rapide de température, occasionner une fracture par le changement de pression de vapeur [13]. Lors d'une exposition à forte humidité, des dendrites peuvent être générées autour des plots d'interconnexions des billes de brasure créant des courts-circuits comme visibles à la Figure 1-5 [14] [15].

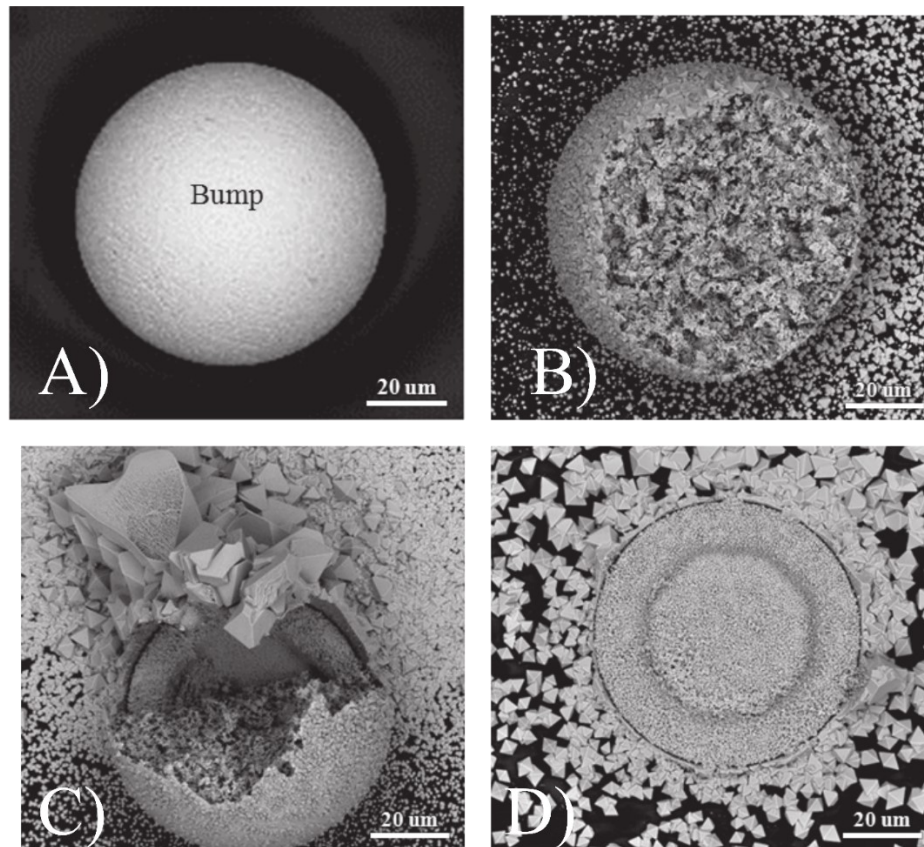


Figure 1-4 : Corrosion sur une bille Sn-Ag exposée à de l'eau pendant A) 0 Hrs B) 12 Hrs C) 24 Hrs D) >48Hrs, Ha et al [16] .

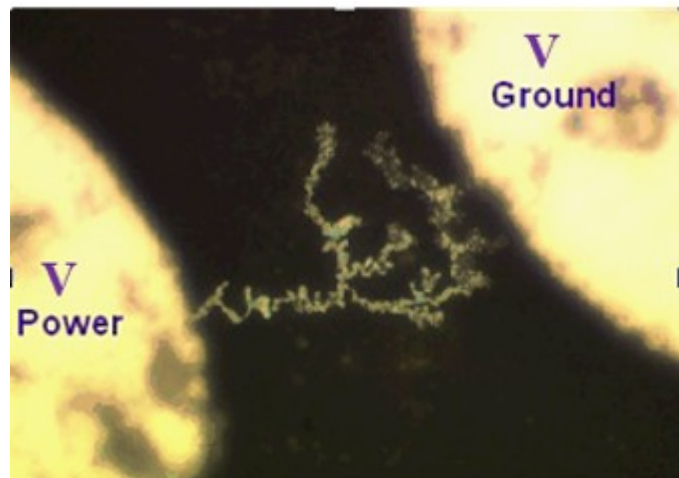


Figure 1-5 : Formation de dendrites entre deux plots d'interconnexion de C4.

Les mesures de masse sont communément utilisées afin d'évaluer le taux d'eau absorbée par une différence de masse avant et après passage dans un milieu à fort taux d'humidité. Des

mesures *in situ* locales par rapport aux méthodes précédentes permettront un suivi spatial précis de ces deux paramètres au sein de différents environnements afin d'observer la diffusion et des différences de gradient au sein du module. Ce suivi spatial est obtenu grâce à une multitude de mesures locales à travers une large matrice de capteurs.

Les différentes étapes d'assemblage de puces vont impliquer d'importants écarts de température et d'humidité par des lavages, recuits, séchages et dépôts, induisant une absorption d'humidité et des variations de température importantes. Un suivi *in situ* de ces paramètres pourrait permettre d'optimiser les procédés d'assemblage. Ces capteurs pourraient permettre un suivi de la température et de l'humidité en temps de vie d'un assemblage pour prévoir des défaillances. Nous nous proposons d'étudier, grâce aux capteurs *in situ* à nanotubes de carbone qui montrent une sensibilité à l'intégralité des mesurandes voulus, des possibilités d'intégration au niveau du BEOL ainsi qu'une décorrélation des mesurandes.

Le groupe de recherche dans laquelle je travaille s'axe sur la réalisation de capteurs expérimentaux passifs *in situ* à base de nanotubes de carbone. Ces capteurs ont pour but de quantifier les contraintes environnementales présentées précédemment pour fiabiliser la chaîne d'assemblage d'IBM Bromont. Ces capteurs *in situ* permettraient d'avoir des mesures plus précises que les méthodes listées précédemment avec la possibilité d'avoir une analyse spatiale des mesurandes, ce que ne permettent pas les techniques citées précédemment. En parallèle de ces travaux, il est nécessaire de concevoir et réaliser un circuit électrique adapté à la mesure de la réponse de ces capteurs. Ce circuit dédié sera conçu pour permettre une analyse temporelle et spatiale des mesurandes *in situ*. Les travaux de thèse présentés dans ce manuscrit s'orientent ainsi sur la conception de ce système de lecture dédié à ces capteurs et à l'étude de diffusion de l'humidité au sein d'assemblage FC-PBGA, permettant d'apporter de nouvelle compréhension sur la diffusion de l'humidité au sein du BEOL

1.2. Problématique

Définie dans la partie précédente, l'évolution des assemblages microélectroniques augmente la problématique des défaillances provenant de fluctuations de température, d'humidité ou de contraintes mécaniques. La mise en place de capteurs *in situ* permettrait de suivre l'évolution, par une mise en condition du module de capteurs, des contraintes thermiques et d'humidité que les modules subissent pendant les phases d'assemblage et d'identifier de possibles défaillances en lien avec les mesurandes. En plus d'avoir des informations sur l'origine des défaillances directement au niveau des interconnexions, nous pourrions caractériser l'efficacité des étapes de la ligne d'assemblage de désorption d'humidité afin d'en optimiser les paramètres. Pour cela, les modules sont constitués de 108 capteurs sur toute la surface occupée par les interconnexions de chaque module. Ainsi, il sera possible d'avoir une information précise de la répartition spatiale des différentes contraintes, et une sensibilité suffisante pour permettre la visualisation de la progression d'humidité. La décorrélation des différents mesurandes est un point essentiel afin de pouvoir suivre l'humidité sans avoir de dérive liée à la température et vice-versa. L'information en température nous permettra une analyse de la diffusion d'eau au sein du module, sachant que la diffusion est dépendante de la température locale. Les travaux de Aurore Quelennec ont mis en avant des possibilités de décorrélation par les différents mécanismes sensibles aux mesurandes, un mécanisme résistif et un mécanisme capacitif ([17] Chapitre 4). Afin d'observer ces deux réponses, nous devons sonder ces capteurs à différentes fréquences pour avoir leurs impédances complexes.

La conception d'un système de lecture dans des conditions de température et humidité élevées soulève plusieurs difficultés. Une réalisation d'un système de lecture extérieur au module microélectronique nous permet de nous affranchir des contraintes thermiques et d'humidité qu'il subit et peut affecter la précision et l'exactitude de la mesure. L'utilisation de nombreux capteurs nous oblige à réaliser un système de sélection suffisamment rapide sans affecter le signal des capteurs.

La méthode de fabrication des capteurs expérimentaux ainsi que leur réponse ont beaucoup évolué durant le projet. Le module de lecture conçu lors de cette thèse a donc dû être pensé pour

s'adapter au mieux à ces évolutions et aux différentes gammes de réponses de ces capteurs expérimentaux tout en conservant une fiabilité de mesure.

1.3. Question de recherche

Pouvons-nous suivre les modifications de température et d'humidité relative *in situ* pendant des procédés d'assemblage avec des capteurs intégrés via un système de lecture adapté ?

Peut-on réaliser un système de lecture adapté au suivi de température et d'humidité au sein d'un assemblage microélectronique ?

1.4. Objectifs

Ce projet fait partie d'une chaire de recherche sur « l'encapsulation innovante de puces microélectroniques ». Au sein de cette chaire de recherche, l'objectif du groupe de recherche dans le quelle se situe le projet de thèse est le suivi de l'humidité, de la température et de la déformation pendant des procédés d'assemblage FC-PBGA pour leur optimisation. Au sein de ce groupe de recherche, mon objectif de thèse est de réaliser un circuit de lecture permettant le suivi de l'humidité et de la température au sein de modules microélectroniques par l'utilisation des capteurs à base de CNT développés par le groupe de recherche.

La prise de mesures *in situ* des contraintes (température et humidité) par des capteurs intégrés expérimentaux à impédance variable requiert la réalisation d'un circuit de lecture adapté. Pour cela, une étude sur les méthodes de lecture et le fonctionnement des capteurs expérimentaux est nécessaire afin de pouvoir réaliser un circuit de lecture dédié permettant d'extraire les différents mesurandes de manière indépendante.

Notre second objectif est l'étude des assemblages face à diverses conditions d'humidité et de température rencontrées pendant leur cycle d'assemblage.

Ceci permettra l'optimisation des procédés utilisés pour assembler les modules, l'analyse des gradients de température, mais aussi de mieux comprendre les mécanismes de diffusion d'eau au sein des modules

1.5. Plan du document

Dans le [deuxième chapitre](#), nous allons voir brièvement les capteurs à nanotube de carbone puis les caractéristiques des modules instrumentés réalisés au sein du groupe de recherche. Ensuite, une analyse des circuits de lecture existants nous permettra d'établir une base pour la conception de notre circuit de lecture.

Dans le [troisième chapitre](#), nous allons détailler les choix de conception, les simulations et les performances du système de lecture.

Dans le [quatrième chapitre](#), nous verrons les résultats des caractérisations réalisées sur les capteurs expérimentaux à nanotubes de carbone avec notre module de lecture en conditions réelles. Nous verrons également les études réalisées sur la pénétration et la désorption d'humidité au sein des modules grâce au système de lecture et les capteurs *in situ*.

Chapitre 2: État de l'art

Dans ce chapitre, nous allons présenter dans la première section un court état de l'art des capteurs de température et d'humidité pouvant être intégrés au sein d'un assemblage microélectronique, puis décrire les travaux précédents réalisés au sein du groupe de recherche sur les assemblages en microélectronique du 3IT dirigé par le professeur Dominique Drouin. À la suite de cette section, nous présenterons les méthodes et circuits existant pour pouvoir réaliser un système de lecture dédié.

2.1. Les capteurs in situ

2.1.1. Les capteurs intégrés

Capteurs de température

Lors de la fabrication de puces microélectroniques, des capteurs CMOS à jonction p-n (diode ou transistor) sont intégrés dans le FEOL pour effectuer des mesures de température. Ils ont l'avantage de permettre une mesure directe sur les composants actifs du circuit et d'être peu coûteux. Ceux-ci sont surtout utilisés lors du fonctionnement des puces afin de détecter une éventuelle défaillance [18]–[20]. En dehors de ces capteurs à jonction *p-n*, des capteurs intégrés passifs de température tels que des thermocouples, détecteurs de température résistifs (RTD) et thermistors sont communément utilisés pour de larges gammes de température allant de 73 jusqu'à 2000 kelvins [21]. Leur structure passive permet de ne pas prendre de place au niveau de la zone active de la puce, ce qui est critique dans les circuits intégrés haute densité (VLSI), et de faire des mesures in situ au niveau du BEOL, proche des interconnexions puce-laminé.

Une partie des RTD fonctionne sur le principe qu'à chaque matériau correspond une résistivité dépendante de la température suivant son coefficient thermique de résistance. Les thermistors, quant à eux, utilisent le même principe de variation de résistance, mais avec un semiconducteur. Ce qui les rend plus résistifs et moins coûteux, mais avec un fonctionnement non linéaire et une

dérive liés au matériau utilisé. Les thermocouples utilisent l'effet Seebeck-Peltier comme moyen de détection de la température. Ils sont généralement composés d'oxyde de métaux ou de céramique dopé. Ils présentent ont un classement en fonction de leurs matériaux, leurs tolérances, leur plage de température et leur erreur sur la mesure [21], [22]. Les micro capteurs RTD et thermocouples peuvent être intégrés au sein du BEOL par des procédés de dépôt de métaux comme la pulvérisation cathodique ou par évaporation [23]. Les différentes propriétés de détections et sensibilité des capteurs de température sont inscrites au Tableau 2-1

Tableau 2-1 : Comparaison de capteurs de température

Méthode	Diode	Thermistor	RTD	Thermocouple
Plage de détection	0 – 250 °C	24 - 100 °C	-260 – 925°C	±0,5 - ±2 °C
Sensibilité	≈1 °C	0,3 - 0,5 %R/°C	Dépend du système de lecture (0,02 – 0,4 °C)	±10 μV/°C
Publication	[18] Florin Udrea et al.	[24] Serena Rollo et al.	[21] Childs et al.	[21] Childs et al. [22] Wu

Capteur d'humidité

Pour les mesures, l'humidité s'exprime en valeur relative (RH), définie par l'équation (2-1) en fonction de la pression partielle de la vapeur (P_W), pression saturante (P_S) et dépendante de la température (Figure 2-1). Elle peut être reliée à l'humidité absolue (C) par l'expression (2-2).

$$RH(t) = \frac{P_W(t)}{P_S(t)} \times 100 \quad (2-1)$$

$$RH(t) = \frac{P_W(t) * C(t)}{P_S(t)(C(t) + 0,62)} \quad (2-2)$$

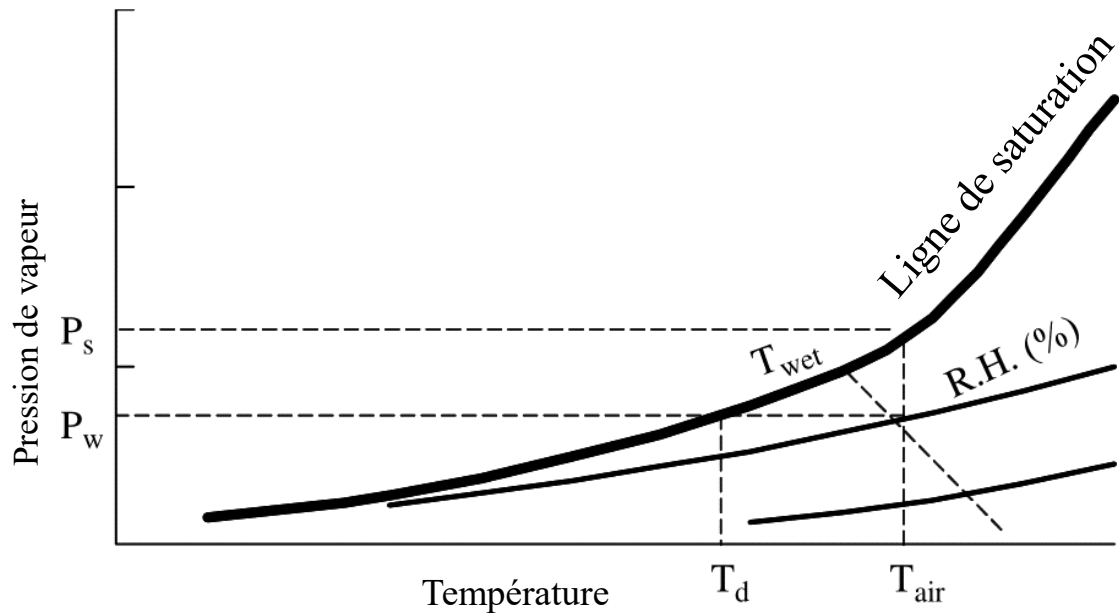


Figure 2-1 : Graphique hygrométrique de Lee et al., montrant la relation entre la température ambiante (T_{air}), température de rosée (T_d) et la température humide (T_{wet}) [25].

Les capteurs d'humidité les plus répandus sont à effet capacitif. Ils sont composés de deux électrodes séparées par une couche de diélectrique sensible à l'humidité (polyimide, silicium poreux, alumine). Ces capteurs sont faciles à réaliser, mais ont un effet d'hystérésis important ainsi qu'une réponse lente due au temps important nécessaire à l'absorption et la déshumidification du matériau [25]. Le Tableau 2-2 montre le temps d'absorption et de désorption de exemple de capteurs avec polyimide et divinyl siloxane benzocyclobuten ayant des réponses rapides [26], [27].

Tableau 2-2 : Temps d'absorption et désorption de capteurs à base de polyimide et de divinyl siloxane benzocyclobuten (BCB) face à un environnement ayant une hausse de 30% RH [27]

	Temps d'absorption (s)		Temps de désorption (s)	
	Minimum	Typique	Minimum	Typique
Polyimide (ambient)	-	1,0	-	15
BCB (ambient)	0,4	0,65	2,7	5,3
BCB (40 °C)	0,3	0,5	2,0	4,3

Il existe également des capteurs résistifs dotés de matériaux dont la conductivité varie par absorption d'eau (polymères, oxyde métallique). Mais généralement, leur conductivité augmente avec la température, imposant donc l'utilisation d'un circuit pour supprimer cette dérive (pont de Wheatstone) [10][19][21].

Des capteurs gravimétriques existent aussi, appelés capteurs à ondes acoustiques de surface (SAW). Ils permettent la détection de molécules d'eau par leur absorption via une couche mince qui changera alors de masse. Des capteurs alternatifs gravimétriques ont été réalisés à partir de quartz en contact avec une couche absorbant les molécules, l'absorption de molécules permettant la variation de la fréquence de résonance du quartz. Cette technique montre une haute sensibilité, mais une non-linéarité élevée [29]. Les capteurs piézorésistifs utilisent la déformation provoquée par l'absorption ou désorption d'humidité par une couche de polyimide [30]. Le coefficient de dilatation à l'humidité (CHE) des polyimides est d'environ 60 à 80 ppm/%RH. La dérive liée à la température sur la déformation du matériau due au CTE est un problème majeur de ces capteurs.

Les capteurs sont réalisés dans le BEOL par des dépôts de couches sensibles à l'humidité listés précédemment, certains capteurs MEMS ont des structures nécessitant des procédés plus complexes. Lors de la fabrication des capteurs, des matériaux sensibles comme du platine à la température y sont ajoutés proche des capteurs d'humidité afin de pouvoir séparer une possible dérive liée à la température [25]. Un récapitulatif des capteurs d'humidité vu dans ce chapitre et de leur spécificité est présenté dans le Tableau 2-3.

Tableau 2-3 : Propriétés des capteurs d'humidité

Méthode	Capacitif à film en polyimide	Impédance polymère	Résistif NaPSS/ZnO	Fréquentielle piezoresistif	Conductance graphène oxyde
Plage de détection	0 % - 90 %RH	60 % - 100 %RH	10 % - 98 %RH	5 % - 100 %RH	8 % - 95 %RH
Sensibilité	4 pF/%RH @<70 %RH 75 pF/%RH@>70 %RH	500 Ω - 1,7 kΩ (Non-linéaire)	300 Ω - 7 MΩ	63 Hz/%RH @ 40 °C (148 kHz-142 kHz)	11 % / %RH @<56 % RH 124 % /%RH @>56 %RH
Taille	-	10 mm x 8 mm x 0,8 mm	4 mm x 6 mm x 0,5 mm	950 μm x 9 μm	2 mm x 2 mm
Publication	[25] lee and al.	[31] Fei et al	[32] Li et al.	[30] Schroth et al.	[33] Wu et al.

2.1.2. Les capteurs à base de nanotubes de carbone

Les nanotubes de carbone (CNT) représentent un axe de recherche important depuis leur découverte en 1991 par Iijima et al [34]. L'intérêt porté sur les nanotubes de carbone peut s'expliquer par leurs propriétés mécaniques avec un module de Young élevé de l'ordre de 1,28 TPa et une forte résistance à la tension mécanique qui est de l'ordre du GPa. Ils ont aussi des propriétés diélectriques intéressantes pour de nombreuses applications de capteurs de contrainte, humidité ou encore température [35]–[37].

Il existe deux familles majeures de structure de nanotube de carbone :

- Les *Single-Walled Carbon Nanotubes* (SWCNT) composés d'une seule paroi de carbone.
- Les *Multiwalled Carbon Nanotubes* (MWCNT) qui sont quant à eux composés de plusieurs tubes concentriques.

Les nanotubes de carbone peuvent se comporter comme un conducteur métallique [38], ou comme semi-conducteur. Les nanotubes de carbone vont donc, au sein du capteur, avoir différents types de contact entre eux : métal/métal, semi-conducteur/semi-conducteur et semi-conducteur/métal. Les contacts semi-conducteurs/métal par un effet Schottky sont prédominants dans la résistance du capteur et apportent une variation de résistance en fonction de la température. Le réseau de CNT a une résistivité qui change en fonction de la température due au contact Schottky et à l'effet tunnel entre deux nanotubes proches. (Figure 2-2). Les nanotubes de carbone entre eux ont une conduction directe et un effet capacitif ce qui en fait un système RC parallèle. Les nanotubes de carbone sont utilisés pour faire des capteurs d'humidité capacitifs où la constante diélectrique de l'eau amplifie la réponse capacitive et la permittivité [36]. Les molécules d'eau peuvent se lier aux groupes carboxyles (COOH) situés sur la surface des CNT ce qui a pour effet de limiter la conduction et explique une montée en résistance du réseau de CNT [39], [40].

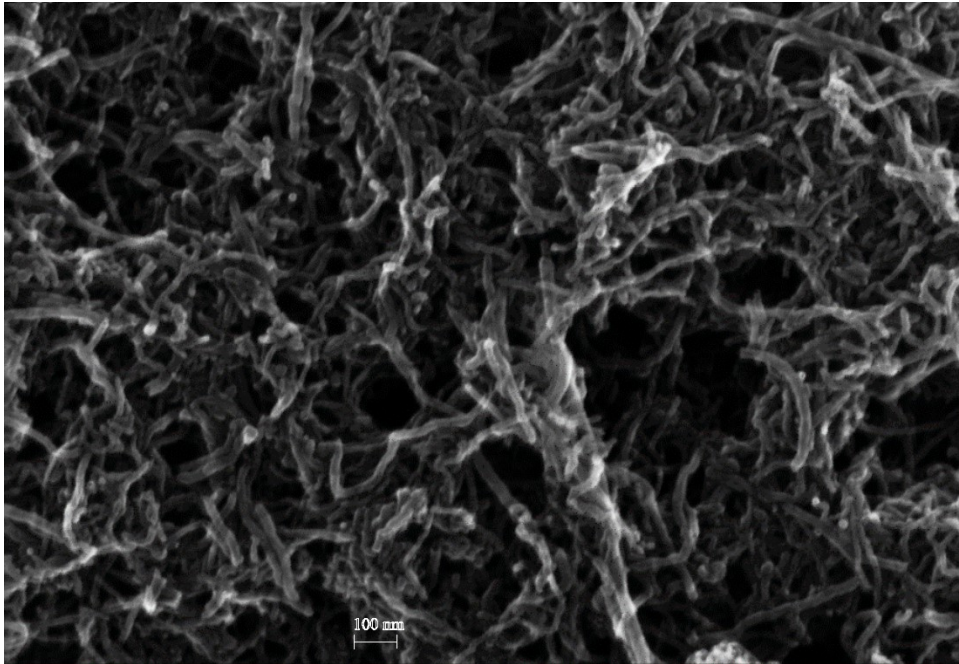


Figure 2-2 : Image obtenue au microscope électronique à balayage (SEM) des capteurs à base de CNT.

Les nanotubes de carbone sont utilisés comme jauge de contrainte, car leur résistance intrinsèque (entre 0,2 - 0,4 $k\Omega/\mu m$ par nanotubes) varie par un effet de piézorésistance en fonction de la pression appliquée sur les nanotubes. En plus de la variation de résistance intrinsèque, la résistance induite de l'effet tunnel suivant la distance entre deux tubes varie aussi suivant une force appliquée au réseau de nanotubes (Figure 2-3). Ces effets ont pour impact de changer la résistance d'un réseau de nanotubes de 0,06% pour 600 ppm [35] [41].

Ces propriétés ont permis aux nanotubes d'être utilisés pour fabriquer des capteurs pour différents mesurandes utilisant leurs différentes propriétés capacitatives et/ou résistives (Tableau 2-4). Sachant que différents phénomènes avec différentes sensibilités affectent la résistance et la capacité, nous pourrions donc étudier les variations de résistance et de capacité pour séparer la réponse aux différents mesurandes, par la mesure de l'évolution de l'impédance complexe des capteurs à base de CNT. Cette séparation permettra d'utiliser un seul capteur pour le suivi de plusieurs mesurandes physiques.

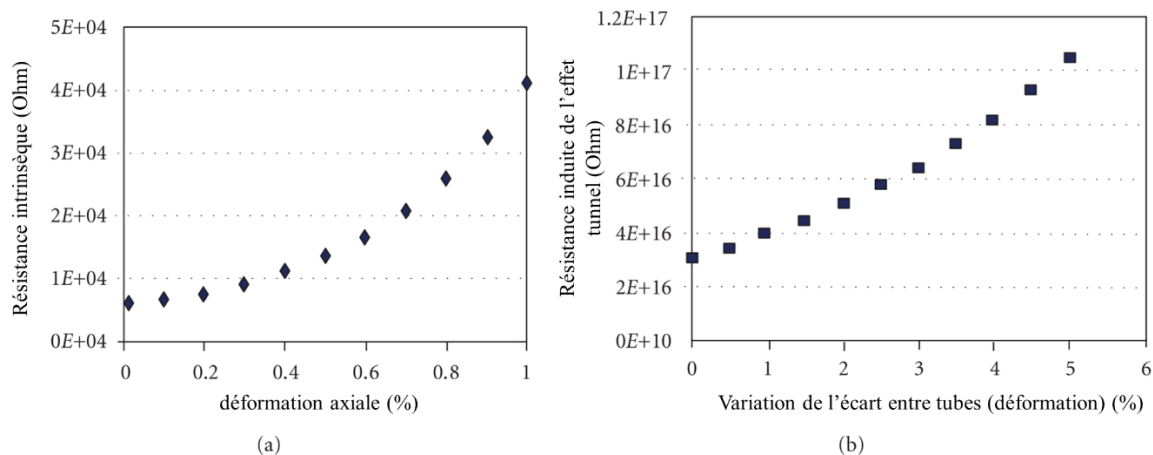


Figure 2-3 : Effet d'une contrainte sur a) la résistance intrinsèque et b) la résistance tunnel entre nanotubes [35].

Tableau 2-4 : Performance de capteurs utilisant des CNT.

Méthode	CNT/époxy	CNT	MWCNT -SiO ₂	MWCNT- PI	SWCNT I- dopé	SWCNT- époxy
Données mesurées	Température	Température	Humidité	Humidité	Déformation	Déformation
Plage de détection	36 - 147 °C	30 - 140 °C	10 - 100 %RH	10 - 90 %RH	0 - 500 ppm	0 - 600 ppm
Sensibilité	3,5 Ω/°C avec 750 Ω @ 147 °C	-1,9.10 ⁻⁴ /°C	6 pF - 9 pF (non-linéaire)	0,4 %/%RH De 610 Ω à 840 Ω	0,06 %/ppm avec ε<100 μ 0,01 %/ppm avec ε>100 μ	0,001 %/ppm
Taille	N.R.	N.R.	0,8 cm x 1 cm x 10 μm	N.R.	N.R.	10 mm x 10 mm
Référence	[42] Neitzert et al.	[43] Gau et al	[36] Chen et al.	[44]	[45] Wan et al.	[46] Hu et al.

2.1.3. Module Microélectronique avec capteurs embarqués

Les modules microélectroniques étudiés dans ce travail de thèse sont composés d'une puce de 17 mm x 17 mm comprenant 108 capteurs à base de CNT et un laminé de 40 mm x 40 mm. Nous avons 54 capteurs avec une géométrie rectangulaire nommée « Patch » et 54 avec une géométrie en serpentín visible sur la Figure 2-4. Ceci nous permettra de voir l'effet du changement de géométrie sur la sensibilité des capteurs vis-à-vis des différents paramètres environnementaux (température et humidité).

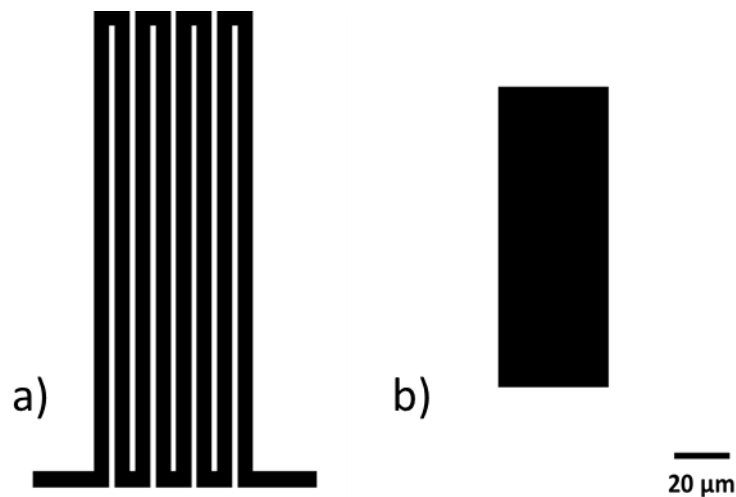


Figure 2-4 : Géométrie des capteurs CNT a) serpentín b) rectangulaire.

Les capteurs sont intégrés suivant un procédé de micro-fabrication par pulvérisation présenté en [Annexe A](#). Les capteurs sont placés par paire de manière à couvrir la puce spatialement, donnant accès à des mesures réparties sur l'échantillon (Figure 2-5). Les capteurs sont reliés vers le substrat par les sous métallisations des billes (BLM)/C4 situées sur deux coins de la puce. La propriété électrique du capteur est définie par la structure de son réseau de CNT comme décrit précédemment. Plusieurs puces avec des capteurs ayant différentes géométries et concentrations de CNT ont été réalisées. Les capteurs de 1^{re} génération réalisés avant le circuit de lecture m'ont permis de décrire le cahier des charges du circuit de lecture. Les propriétés, caractérisations et

analyses des capteurs de 2^e et 3^e générations utilisés pour le suivi de l'humidité et de la température sont décrites au [Chapitre 4](#). Le circuit de lecture devra être suffisamment versatile pour s'adapter aux différents types de capteurs.

Les différents modules sont assemblés sur un laminé avec ou sans matériau de remplissage et avec ou sans capot selon l'étude menée (Figure 2-6). L'assemblage suit le procédé flip-chip avec des interconnexions puce-laminé réalisées par des billes de brasure de 60 μm d'un alliage étain-argent-cuivre.

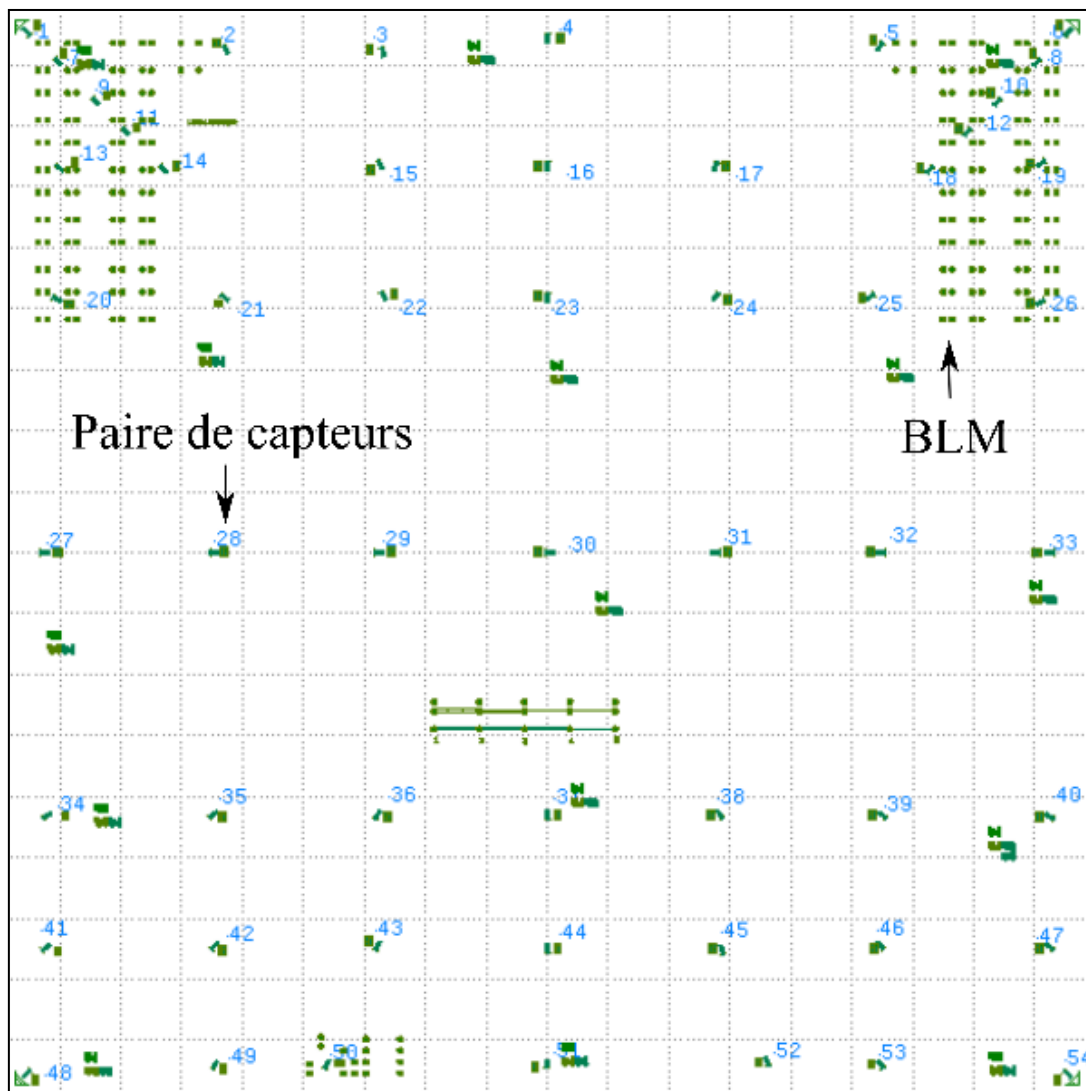


Figure 2-5 : Positionnement des capteurs et BLM connectés au sein de la puce de silicium.

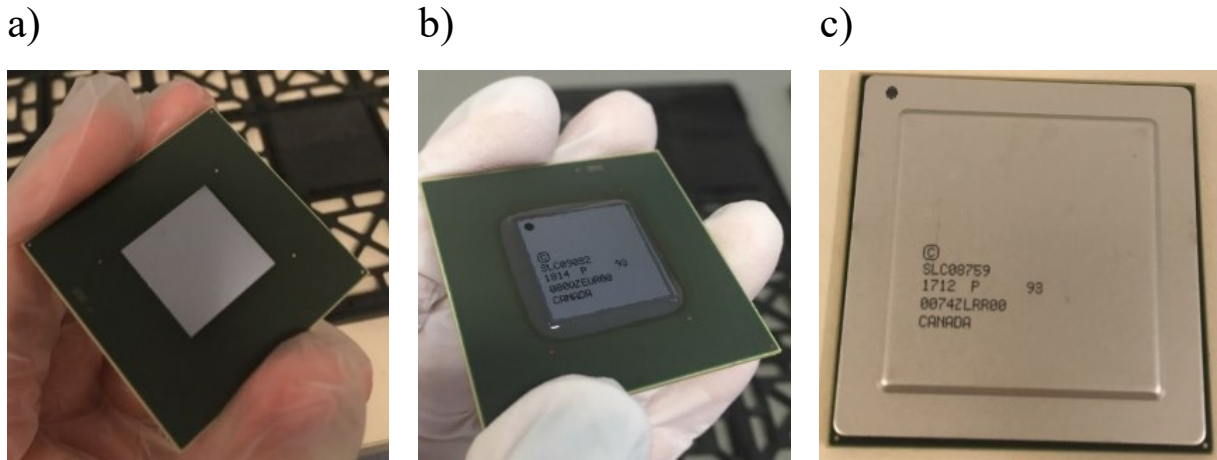


Figure 2-6 : Photographie du a) Module assemblé sans matériau de remplissage b) Module assemblé avec matériau de remplissage c) Module assemblé avec matériau de remplissage et capot [17].

Le groupe de recherche sur les assemblages en microélectronique a montré à travers des caractérisations fréquentielles en environnement contrôlé que ces capteurs ont une variation d'impédance en fonction des trois mesurandes (température, humidité relative, déformation) définie selon l'équation (2-3) à travers les sensibilités du capteur à la température (S_T), à l'humidité (S_{RH}) et à une déformation mécanique (S_ε). Ces sensibilités sont définies respectivement par les équations (2-4), (2-5) et (2-6) [17], [39].

$$|Z(T, RH, \varepsilon, f)| \quad (2-3)$$

$$= |Z(T_{ref}, RH_{ref}, f)| (1 + s_T(f)(T - T_{ref}) + s_{RH}(f)(RH - RH_{ref}) + s_\varepsilon(f)(\varepsilon - \varepsilon_{ref}))$$

$$s_T = \frac{|Z(T_{max})| - |Z(T_{min})|}{\Delta T} \quad (2-4)$$

$$s_{RH} = \frac{|Z(RH_{max})| - |Z(RH_{min})|}{\Delta \%RH} \quad (2-5)$$

$$s_\varepsilon = \frac{|Z(\varepsilon_{max})| - |Z(\varepsilon_{min})|}{|Z(\varepsilon_{min})|} \times \frac{1}{\Delta \varepsilon} \quad (2-6)$$

Tableau 2-5 : Performance et sensibilité de capteurs de 1^{re} génération à nanotubes de carbone obtenus par A. Quelennec et al. avec un signal de 1 kHz pour les mesures de température et humidité et 2 kHz pour la mesure de pression [47].

Mesurandes et géométrie	Impédance initiale du capteur (k Ω)	Valeur initiale	Variation absolue	Variation relative	Plage de variation	Temps de réponse (min)
Température Patch	128	-36 °C	-290 $\Omega/^\circ\text{C}$	0,2 %/ $^\circ\text{C}$	-36 °C - 140 °C	<1
Humidité Serpentin	266	30 %RH	696 $\Omega/\%RH$	0,3 %/ $\%RH$	30 %RH - 100 %RH	10
Pression Serpentin	-	-	-	0,22 %/ppm	0 – 500 ppm	<1

Les capteurs précédemment réalisés (capteurs prototypes et 1^{re} génération) dans le groupe de recherche sur les assemblages ont permis d'identifier une plage de variations, une impédance de référence et un temps de réponse décrits dans le Tableau 2-5 [47], [48]. D'après ces résultats, il faut donc que notre circuit ait une détection de variation d'impédance (précision) d'au moins 0,1 % afin d'avoir une précision inférieure au degré Celsius. Pour la géométrie rectangulaire, les capteurs ont une impédance entre 5 k Ω et 100 k Ω , tandis que celle des serpentins est comprise entre 500 k Ω et 1 M Ω selon l'épaisseur de CNT utilisée lors de la fabrication. Les véhicules de test intégrés ont des valeurs cible de 30 k Ω pour les rectangulaires et de 500 k Ω pour les serpentins.

Les capteurs expérimentaux développés au sein du 3IT ont une sensibilité qui évolue pour chaque mesurande dépendamment de la fréquence. A. Quelennec et al. montrent la possibilité de décorrélérer les mesurandes en utilisant certaines fréquences d'invariance où la sensibilité à un mesurande décroît fortement par rapport à la sensibilité aux autres mesurandes (Figure 2-7a et b) [39]. Le circuit de lecture doit ainsi être capable d'accepter une plage de fréquences incluant les fréquences d'invariance aux mesurandes afin de supprimer les dérives et décorrélérer les valeurs. Ces fréquences d'invariance proviennent du fait que les composantes capacitatives et

résistives d'un capteur varient de façon indépendante lorsque chacun des mesurandes varie. En montant en fréquence, nous amplifions la sensibilité de la capacité face à la résistance et vice versa. Les fréquences d'invariance des capteurs de 1 k Ω à 1 M Ω réalisés précédemment se trouvent dans une plage de 300 Hz à 0,3 MHz, ce qui nous donne la bande passante nécessaire pour notre système de lecture (Figure 2-7c).

Ces capteurs ont été précédemment caractérisés par un analyseur d'impédance MFIA500k de Zurich instruments couplés à 32 optocoupleurs reliés par câbles directement soudés sur les BGA du module. Cette méthode ne permet pas d'avoir une extraction des 108 capteurs ni d'avoir un suivi temporel et spatial des mesurandes. Nous allons dans la prochaine partie de ce chapitre, procéder à une analyse des méthodes de lecture adaptées à ces capteurs afin d'atteindre notre objectif de réalisation d'un circuit de lecture dédié.

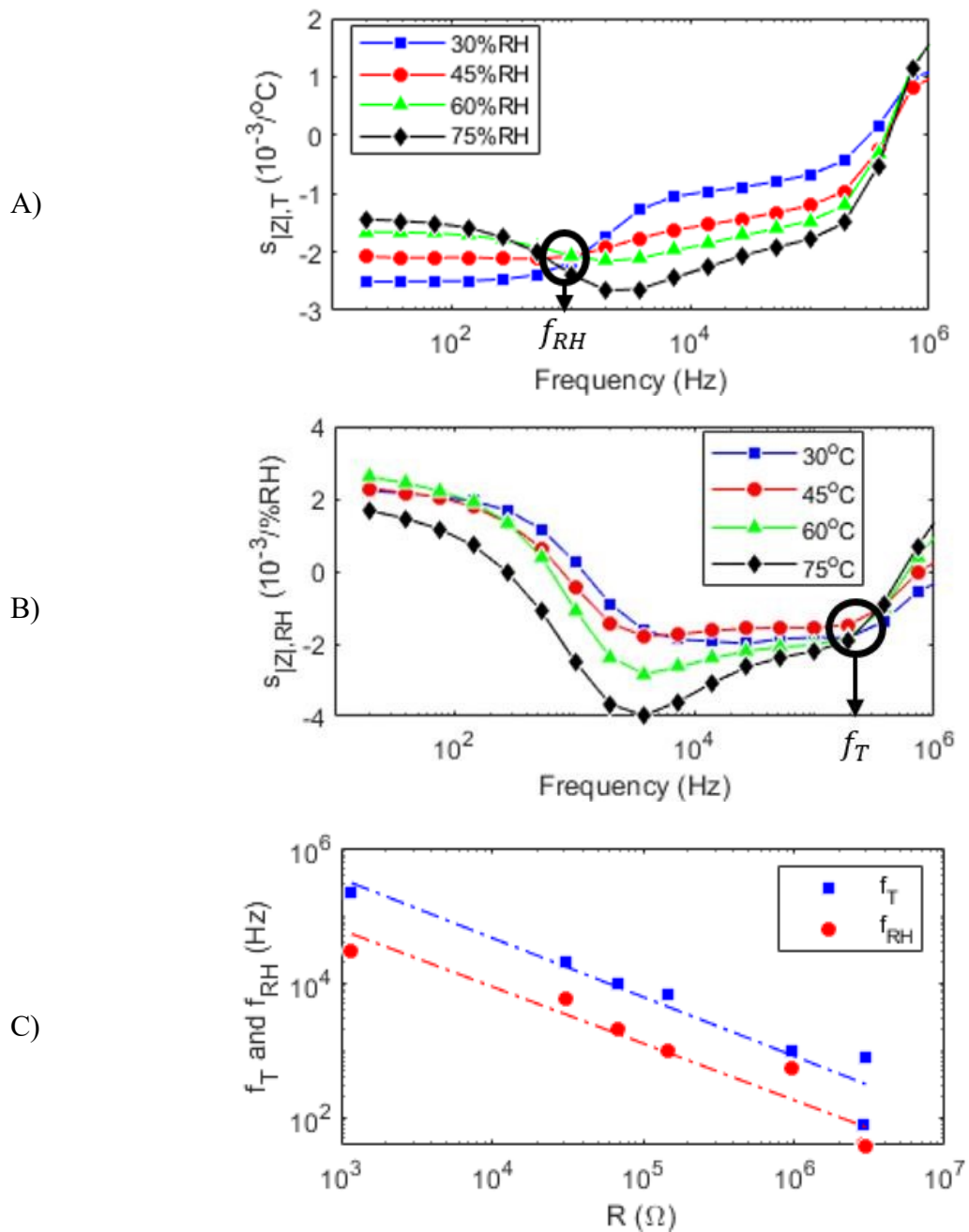


Figure 2-7 : (a) Effet de la fréquence sur la sensibilité relative du module de l'impédance à la température pour différentes humidités relatives. (b) Effet de la fréquence sur la sensibilité relative au module de l'impédance à l'humidité pour différentes températures. (c) Fréquence d'invariance en fonction de la résistance du capteur [39] f_{RH} et f_T symbolisent les fréquences d'invariance à l'humidité relative et la température respectivement.

2.2. Chaîne d'acquisition

2.2.1. Introduction

Les chaînes d'acquisition d'une mesure de paramètres physiques, dans ce cas la température, la contrainte et l'humidité, disposent de deux parties majeures :

- Un matériau (capteur) formant un transducteur.
- Un système actif d'acquisition permettant de lire et d'enregistrer la réponse du capteur.

Nous avons vu précédemment que les capteurs à base de CNT ont une impédance qui varie avec les changements de température, d'humidité et/ou de déformation. Les chaînes d'acquisition pour capteur passif à impédance variable ont une structure de plusieurs blocs comme le décrit la Figure 2-8. Nous allons dans les prochaines parties de ce chapitre détailler chaque bloc de conditionnement du signal, ainsi que le bloc de communication.

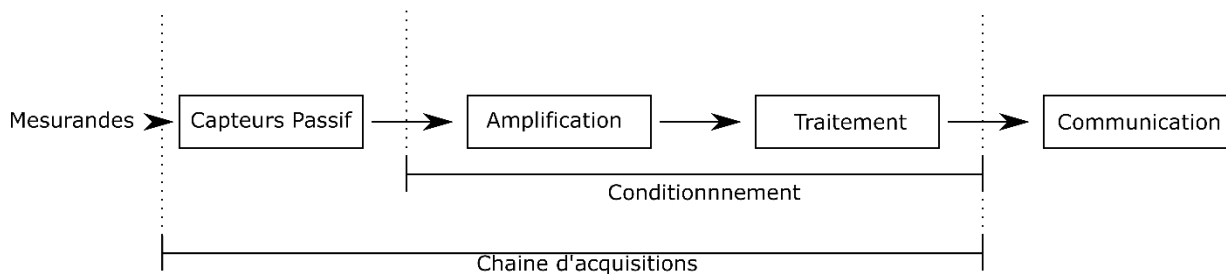
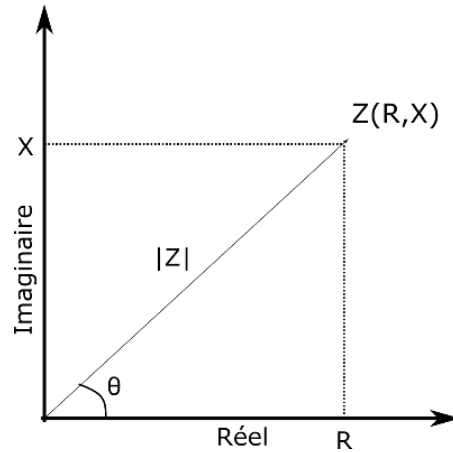


Figure 2-8 : Schéma d'une chaîne d'acquisition.

L'analyse par réponse fréquentielle (FRA) est la méthode appropriée pour pouvoir utiliser les propriétés de décorrélation et étudier les influences capacitives et résistives de certains capteurs. Elle peut aussi bien être implémentée par un circuit analogique que via des blocs de traitement de signal numérique (DSP)[49], [50]. Nous pouvons définir une impédance à une fréquence précise par une forme complexe $Z = R + jX$ et une admittance $Y = G + jB$



$$R = |Z| \times \cos \theta \quad (2-7)$$

$$|Z| = \sqrt{R^2 + X^2} \quad \theta = \tan^{-1} \frac{X}{R} \quad (2-8)$$

Dans le cas des capteurs à nanotubes de carbone, avec leur modèle semblable à un réseau $R_p//C_p$ parallèle [39], nous avons une impédance et une admittance de la forme :

$$Z_p = |Z_p| e^{\theta_p} = \frac{1}{Y_p} \quad (2-9)$$

$$|Z_p| = \frac{R_p}{\sqrt{1 + (R_p C_p \omega)^2}} = \frac{1}{|Y_p|} \quad (2-10)$$

$$\theta_p = -\text{atan}(R_p C_p \omega) \quad (2-11)$$

$$R_p = \frac{1}{G} = R \left(1 + \frac{X^2}{R^2}\right) \quad (2-12)$$

$$C_p = \frac{B}{\omega} = \frac{X}{(X^2 + R^2)\omega} \quad (2-13)$$

Nous pouvons interpréter la réponse de ces capteurs par une analyse de la partie réelle et imaginaire de l'impédance via un signal (tension ou courant) traversant ces capteurs. Le signal sera alors récupéré et traité par la chaîne d'acquisition (Figure 2-8) qui sera détaillée dans ce chapitre.

2.2.2. Amplification

L'étage amplificateur permet d'amplifier un signal AC traversant les capteurs passifs pour pouvoir le traiter dans l'étage suivant de la chaîne d'acquisition.

Les propriétés importantes de l'étage d'amplification sont :

- Sa plage de détection du signal.
- Sa résolution.
- Sa bande passante.
- Sa figure de bruit.
- La linéarité de sa réponse.

Il existe plusieurs façons de faire une amplification de signal suivant les grandeurs à extraire et les paramètres à prioriser dans ceux cités plus haut, mais aussi par rapport la consommation électrique du montage et sa simplicité. Je vais donc présenter les différentes méthodes utilisées dans l'instrumentation pour amplifier le signal parcourant des capteurs à impédance variable.

Amplification différentielle avec pont de Wheatstone

Le pont de Wheatstone est un montage utilisant des composants passifs qui permet d'adapter la sensibilité et l'impédance du capteur à un montage d'amplification ou de traitement.

Le pont de Wheatstone (*Balancing bridge*) visible à la Figure 2-9 met en œuvre un pont d'impédance dont trois impédances sur quatre sont connues. Lorsqu'aucun courant ne traverse un détecteur, on obtient la relation suivante : $Z_x = Z_1/Z_2 \times Z_3$ au centre du pont. Si l'une des résistances connues est variable, alors il suffit de l'ajuster jusqu'à avoir un potentiel nul aux bornes du détecteur pour avoir une variation de tension centrée autour de la valeur choisie. Dans notre cas, pour équilibrer une impédance de capteur R//C, nous pouvons utiliser la variante pont de Wien qui utilise l'impédance Z_1 comme un circuit RC série.

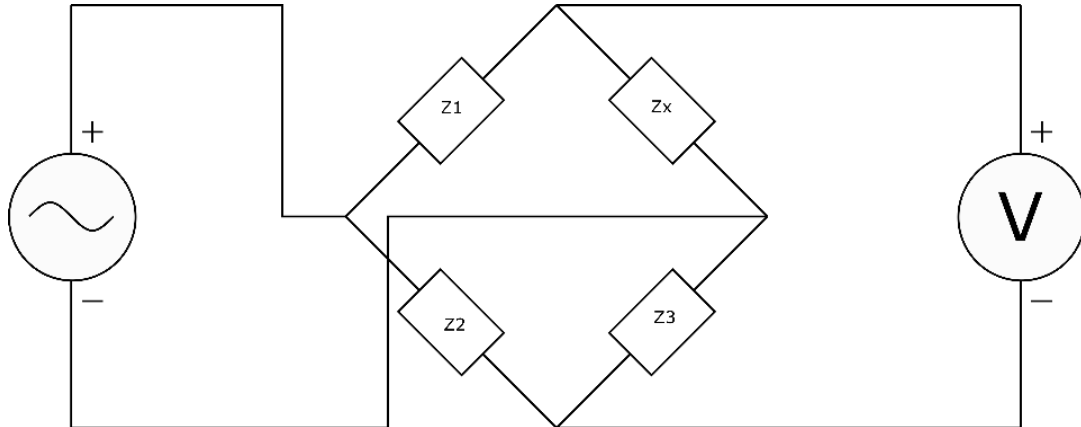


Figure 2-9 : Représentation schématique d'un pont de Wheatstone.

Ce type de circuit peut être utile pour enlever certaines dérives liées aux conditions environnementales en utilisant au sein du pont une impédance d'un autre capteur sensible à cette même dérive afin d'éliminer/diminuer la sensibilité à un mesurande. Ce type de système est généralement utilisé pour des capteurs d'humidité qui possèdent aussi une sensibilité à la température. Dans notre cas, l'utilisation des nanotubes et du phénomène de séparation des mesurandes en fréquence décrite à la section précédente nous permettrait de supprimer les dérives sans l'utilisation de capteurs supplémentaires.

Les résistances parasites dues aux connexions du pont peuvent fortement le déséquilibrer. À la suite de ce montage, un amplificateur actif permettra d'amplifier le signal pour le rendre lisible. Un des problèmes majeurs des amplificateurs de tension différentielle est leur non-linéarité définie par leur gain en mode commun. Des montages à base de plusieurs amplificateurs opérationnels permettent d'améliorer la linéarité de la réponse sur la plage de détection en augmentant le taux de réjection en mode commun de l'amplificateur (CMRR). En effet, l'étage du préamplificateur peut être composé par un amplificateur d'instrumentation (IA), lui-même composé de plusieurs amplificateurs opérationnels (AOP) (Figure 2-10) [51], [52].

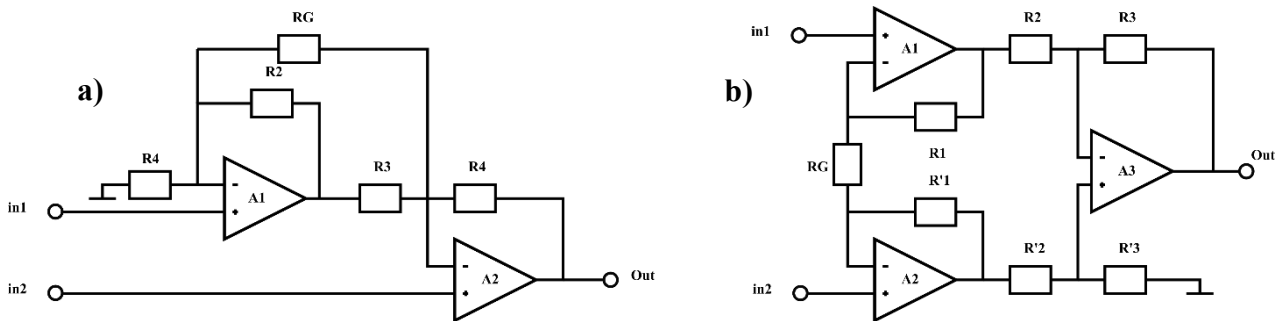


Figure 2-10 : Montage d'amplificateur d'instrumentation en (a) 2-AOP (b) 3-AOP [51].

Le gain du montage se fixe avec les valeurs des résistances par :

- Pour un montage à deux AOP : $A_d = 1 + \frac{R4}{R2} + \frac{2R4}{R_G}$.
- Pour un montage à trois AOP : $A_d = 1 + \frac{2R1}{R_G}$.

Avec un pont de Wheatstone, les amplificateurs d'instrumentation permettent de lire facilement une valeur de faible variation de résistance avec une précision allant jusqu'à 0,1 % grâce à un gain élevé et une linéarité importante [53], [54].

Amplificateur en transimpédance

Une variante du pont de Wheatstone, dite « auto-balancing bridge », peut être utilisée comme un système d'extraction d'impédance ne nécessitant pas d'adaptation d'un réseau de trois résistances. Elle fonctionne grâce à un amplificateur opérationnel monté en transimpédance (Figure 2-11).

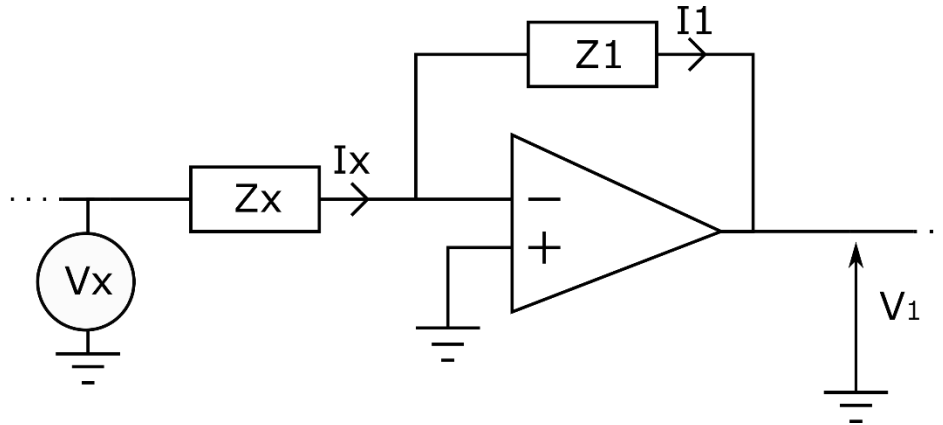


Figure 2-11 : Schéma d'un montage transimpédance.

Le gain de cet étage est facilement adaptable à l'impédance analysée, car il dépend directement de la résistance de contre-réaction Z_1 . Dans ce montage, le gain transimpédance est directement lié à sa bande passante visible à l'équation (2-14), où Z_1 est composé d'une résistance de gain R_g et d'une capacité C_f , qui compense les capacités parasites du circuit dont les capacités d'entrées de l'AOP.

$$F_c = \frac{1}{2\pi R_g C_f} \quad (2-14)$$

Ce circuit souffre de quelques imperfections de l'AOP telles que son courant d'entrée. Ce courant parasite se soustrait au courant I_1 et risque ainsi de diminuer la résolution du système en diminuant l'amplitude du signal.

Amplificateur intégrateur

Un amplificateur intégrateur (Figure 2-12) intègre la valeur du courant I_x à travers une période d'intégration (2-15). Cette période est définie par un commutateur qui permet de court-circuiter la capacité [55].

$$V_1(t) = -\frac{1}{C_1} \int_0^t I_X(\tau) d\tau \quad (2-15)$$

La tension de sortie est donc proportionnelle à la charge récupérée par l'intégrateur sur la période définie d'intégration.

Ce type de circuit est utilisé dans le cas où l'on veut avoir un système compact permettant de démoduler un signal tout en amplifiant celui-ci. Plus de détails sur le montage complet sont donnés dans la section « [Implémentations avec commutateur synchrone](#) ».

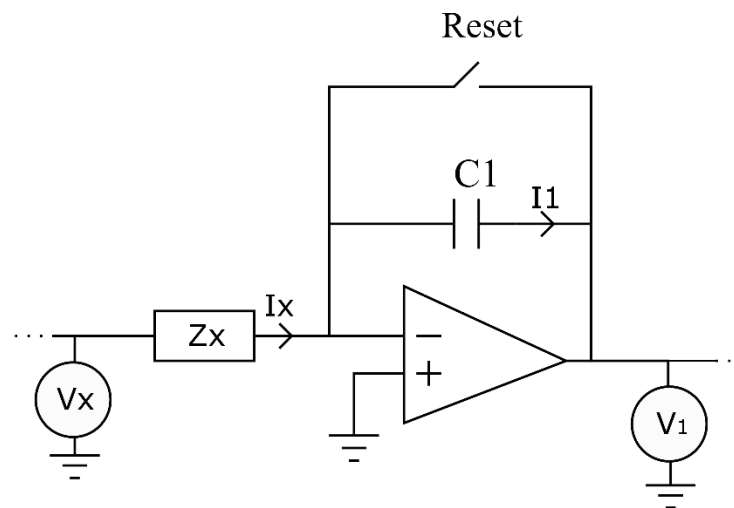


Figure 2-12 : Schéma d'un montage amplificateur intégrateur.

Conclusion

De nombreux montages présentés à l'[Annexe C](#) proposent des circuits avec un amplificateur transimpédance ou d'instrumentation. Les montages d'amplificateurs d'instrumentation utilisant un pont permettent d'avoir une très grande précision grâce à un gain élevé et une haute linéarité sur une petite plage d'impédance. Ce type de montage nécessite plusieurs composants passifs avec des valeurs précises suivant la valeur des capteurs sondés. Avec les puces de capteurs actuellement disponibles, ceci nous obligerait à utiliser un grand nombre de composants passifs pour couvrir la plage de détection nécessaire.

Nous avons donc envisagé l'utilisation d'un montage plus compact, le montage transimpédance, qui permet d'amplifier un courant par un gain qui dépend d'un seul composant passif. Celui-ci offre un bas bruit dû à son faible nombre de composants et une versatilité qui lui permet une adaptation facile à de nombreux capteurs. Nous modifierons par la suite ce montage afin d'avoir une plage dynamique mieux adaptée à certains modules de capteurs et une meilleure précision. Tout cela sera présenté dans le [Chapitre 3](#).

2.2.3. Traitement du signal

Le signal sortant de l'étage d'amplification possède une amplitude et une phase proportionnelles à la valeur de résistance et de réactance du modèle du capteur. Il est nécessaire de séparer ces deux informations en deux signaux pouvant être lus, visualisés et emmagasinés. Pour cela, des circuits avec redresseur et comparateur permettent de récupérer la valeur de l'amplitude et du déphasage. Mais cela est peu utilisé pour des mesures précises de capteurs. Afin d'obtenir une meilleure précision, il est nécessaire de diminuer le bruit aléatoire provenant du bruit thermique et des différents signaux parasites apportés par l'étage d'amplification actif qui limitent la précision du système.

Pour comprendre l'effet du filtrage sur un signal fréquentiel, nous pouvons observer la figure de bruit (NF) commun d'un étage d'amplification situé avant le filtrage (Figure 2-13). La figure de bruit est essentiellement composée de deux sources [56]–[58] :

- Un bruit blanc : ce bruit est identifié comme bruit de Johnson ou bruit thermique. La valeur efficace du bruit est directement reliée à la température (T), la valeur des résistances (R) et la constante de Boltzmann (k) sur la bande passante (Δf) par la relation : $v_n rms = \sqrt{4kTR\Delta f}$.
- Le bruit de scintillement, bruit en $1/f^\alpha$ provenant des composants actifs, sa valeur dépend de l'amplificateur utilisé et décroît fortement suivant la fréquence.

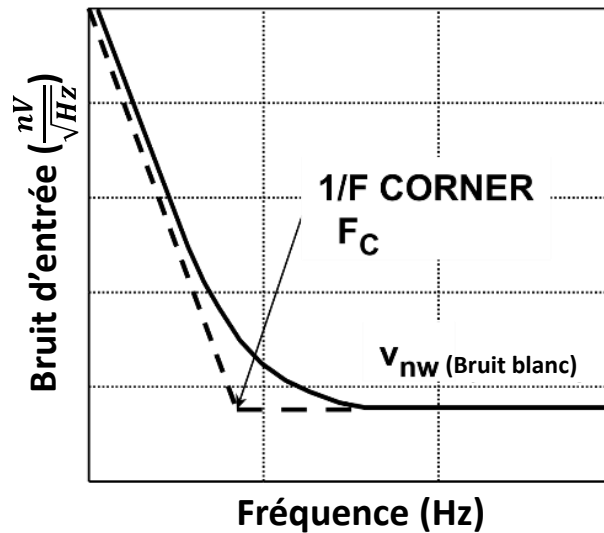


Figure 2-13 : Figure de bruit typique d'un étage d'amplification actif [56].

À partir de cette figure de bruit, nous pouvons déduire que l'utilisation de filtrage en fréquence permettra d'éliminer en grande partie le bruit de scintillement. Afin d'éliminer ce bruit, la fréquence utilisée pour sonder les capteurs doit être supérieure à la fréquence de coude (corner frequency), fréquence où le bruit de Johnson devient supérieur au bruit de scintillement.

Les méthodes communes de filtrage passe-bande autour de la fréquence de sondage des capteurs ne peuvent pas convenir lors de balayage en fréquence nécessitant de larges bandes passantes. Pour cela, nous pouvons utiliser des techniques de modulation de signaux, soit en numérisant le signal afin d'utiliser un filtre numérique, soit en utilisant une méthode analogique de multiplication des signaux.

Ces étages permettront de diminuer le bruit en ayant une influence sur le temps de lecture des parties imaginaire et réelle de l'impédance du capteur. Cela va donc définir le temps de mesure et améliorer la précision et la résolution par l'amélioration du rapport signal/bruit (SNR).

Filtrage par détection synchrone

Dans la littérature, afin d'extraire l'impédance, la méthode de détection synchrone est communément utilisée (système numérique, analogique avec multiplicateur, avec commutateur ou intégrateur). Cette méthode utilise la fréquence et la phase d'un signal pour pouvoir le retrouver lorsqu'il est noyé dans du bruit ou pour séparer ses composantes réelle et imaginaire. Contrairement à des montages à base de détecteur de zéro (null detector), la réponse DC d'une détection synchrone est directement proportionnelle à la partie imaginaire et/ou réelle du signal. Les propriétés de séparation des signaux de la détection synchrone proviennent de l'utilisation de déphasage à 90° .

Ceci permet en plus de diminuer le bruit thermique des résistances, d'éliminer le bruit en basse fréquence ($1/f$) lié aux composants actifs que comprend l'étage d'amplification. La détection synchrone permettra donc d'améliorer la précision et la résolution du système en diminuant le bruit venant des étages d'amplification précédents et du bruit thermique des composants passifs. Ce type de montage ralentit cependant le temps de mesure, nécessite un circuit plus complexe et augmente la consommation.

Nous allons voir deux méthodes pour implémenter la détection synchrone au sein d'un circuit de lecture de capteurs à impédance variable.

Implémentations avec multiplicateur

Dans le cas d'une implémentation par multiplicateur comme à la Figure 2-14, nous pouvons, au sein d'un système de lecture, réaliser une séparation de la partie réelle et imaginaire de l'admittance, ou de l'impédance selon l'étage d'amplification choisi. Connaissant la tension d'excitation des capteurs ou son courant le parcourant, nous pouvons retrouver les valeurs d'amplitude et de phase de l'admittance par :

- $|Y_{cap}(w)| = \frac{\sqrt{V_i(w)^2 + V_q(w)^2}}{G_s}$ $\phi(Y_{cap}(w)) = \tan^{-1}\left(\frac{V_q(w)}{V_i(w)}\right)$ avec l'utilisation d'un [TIA](#).
- $|Z_{cap}(w)| = \frac{\sqrt{V_i(w)^2 + V_q(w)^2}}{G_s}$ $\phi(Z_{cap}(w)) = \tan^{-1}\left(\frac{V_q(w)}{V_i(w)}\right)$ avec l'utilisation d'un [IA](#).

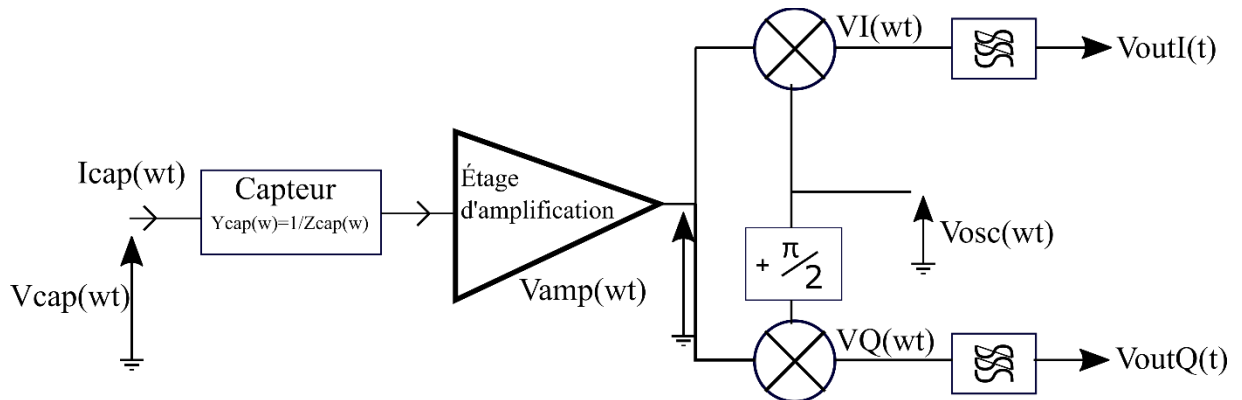


Figure 2-14 : Schéma d'un amplificateur à détection synchrone.

Plus de détails se trouvent à [l'annexe B](#). Si le modèle de l'élément à analyser est connu, dans notre cas un modèle R//C, nous pouvons alors récupérer les valeurs de la capacité et de la résistance dont il est composé.

La démodulation par multiplicateur peut être composée de cellules de Gilbert, fréquemment utilisées en radiofréquence pour leur bonne figure de bruit et leur gain élevé (Figure 2-16) [59], [60], ou réalisée à l'aide d'amplificateurs opérationnels (Figure 2-15) [61] ou convoyeur de courant.

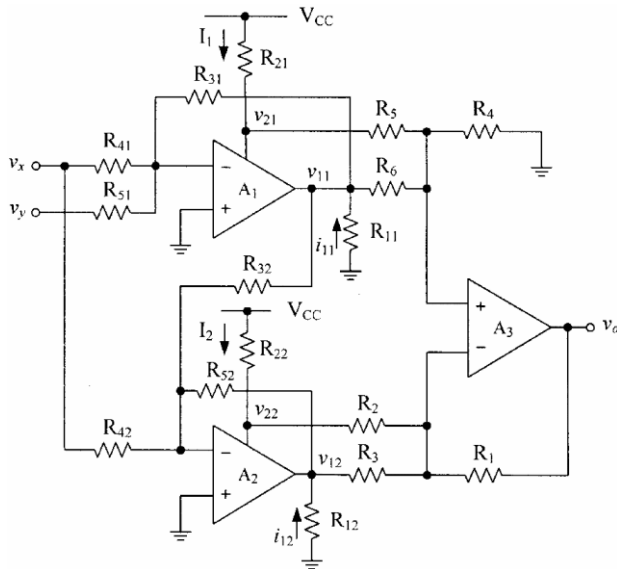


Figure 2-15 : Multiplicateur analogique réalisé partir d'AOP [61].

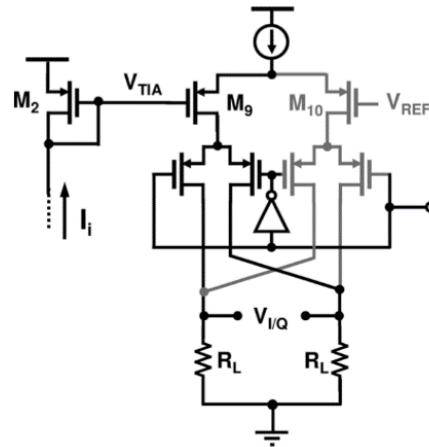


Figure 2-16 : Cellule de Gilbert Manickam et al.[59].

Une implémentation analogique de ce système nécessite une précision importante sur la synchronisation des signaux et la bande passante des AOP, ce qui peut amener des coûts élevés pour son adaptation à un fonctionnement hautes fréquences allant jusqu'à une centaine de MHz [62]. Le filtre passe-bas suivant le multiplicateur devra être conçu en fonction d'une analyse de bruit de l'étage d'amplification afin de couper le bruit de scintillement et de minimiser l'influence du bruit thermique, tout en gardant une vitesse de mesure suffisante pour avoir un suivi des mesurandes dans l'espace et le temps.

Cette implémentation est peu compacte et nécessite la réalisation de signaux fréquentiels, mais permet d'avoir deux informations parallèles pour un temps de mesure plus court avec un seul étage d'amplification. Le bruit de sortie dépend fortement des composantes fréquentielles du signal modulant et du filtre utilisé.

Implémentations avec commutateur synchrone

La méthode de commutateur synchrone (*synchronous switching*) consiste à intégrer le signal sur sa période. Réaliser ceci ne nécessite pas de multiplicateur ni de signal sinusoïdal, ce qui simplifie sa réalisation et diminue sa consommation d'énergie.

La façon la plus simple est de réaliser un montage avec un gain qui s'inverse de façon synchrone avec le signal (Figure 2-17), ceci revient à multiplier le signal par un signal carré de même fréquence et phase. Cela va permettre de retrouver l'amplitude du signal en phase, mais contrairement à une multiplication par signal sinusoïdal nous aurons les différentes composantes fréquentielles du signal carré qui peuvent être problématiques selon le bruit d'entrée [60], [61].

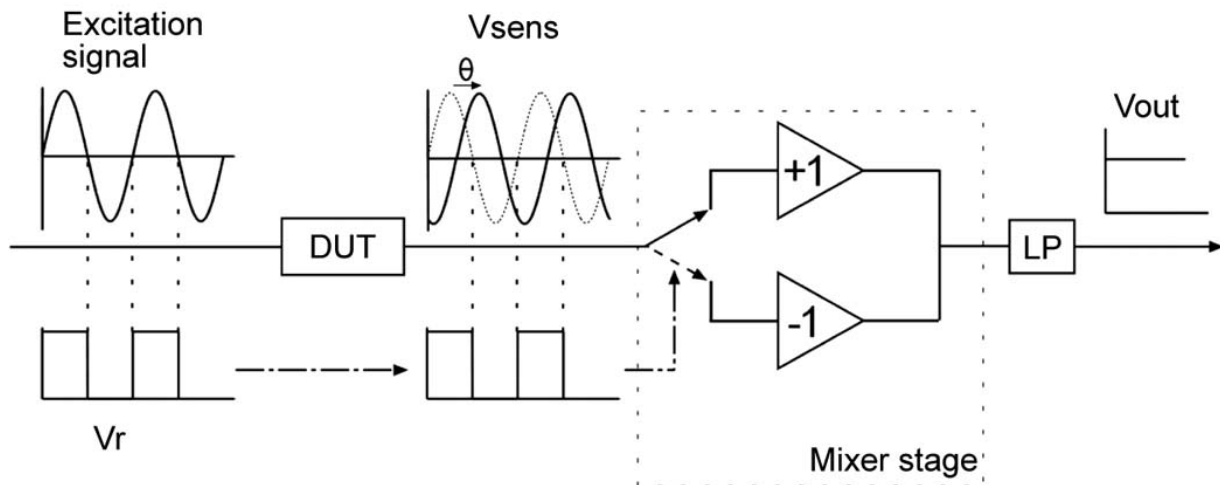


Figure 2-17 : Schéma d'un montage utilisant une détection synchrone avec commutateur[63].

Un grand nombre de systèmes à détection synchrone utilise un amplificateur intégrateur comme à la Figure 2-18 [64]–[66]. L'intégrateur formé d'un AOP et d'une capacité C permet d'intégrer le courant sur la période du commutateur en phase avec le signal parcourant le signal à démoduler sur I_c ($V_o(t) = -\frac{1}{C} \int_0^t I_c(\tau) d\tau$). Suivant le même principe de détection synchrone, la récupération de la partie imaginaire se fait par une intégration du signal avec un décalage de temps de $\pi/2$.

La démodulation se fait en trois étapes :

- Un temps d'intégration où la capacité se charge par le courant I_c .
- Un temps d'attente où la tension de sortie correspond à la tension d'entrée multipliée par le gain de l'étage ($\frac{T_{int}}{RC}$).
- Un temps de réinitialisation.

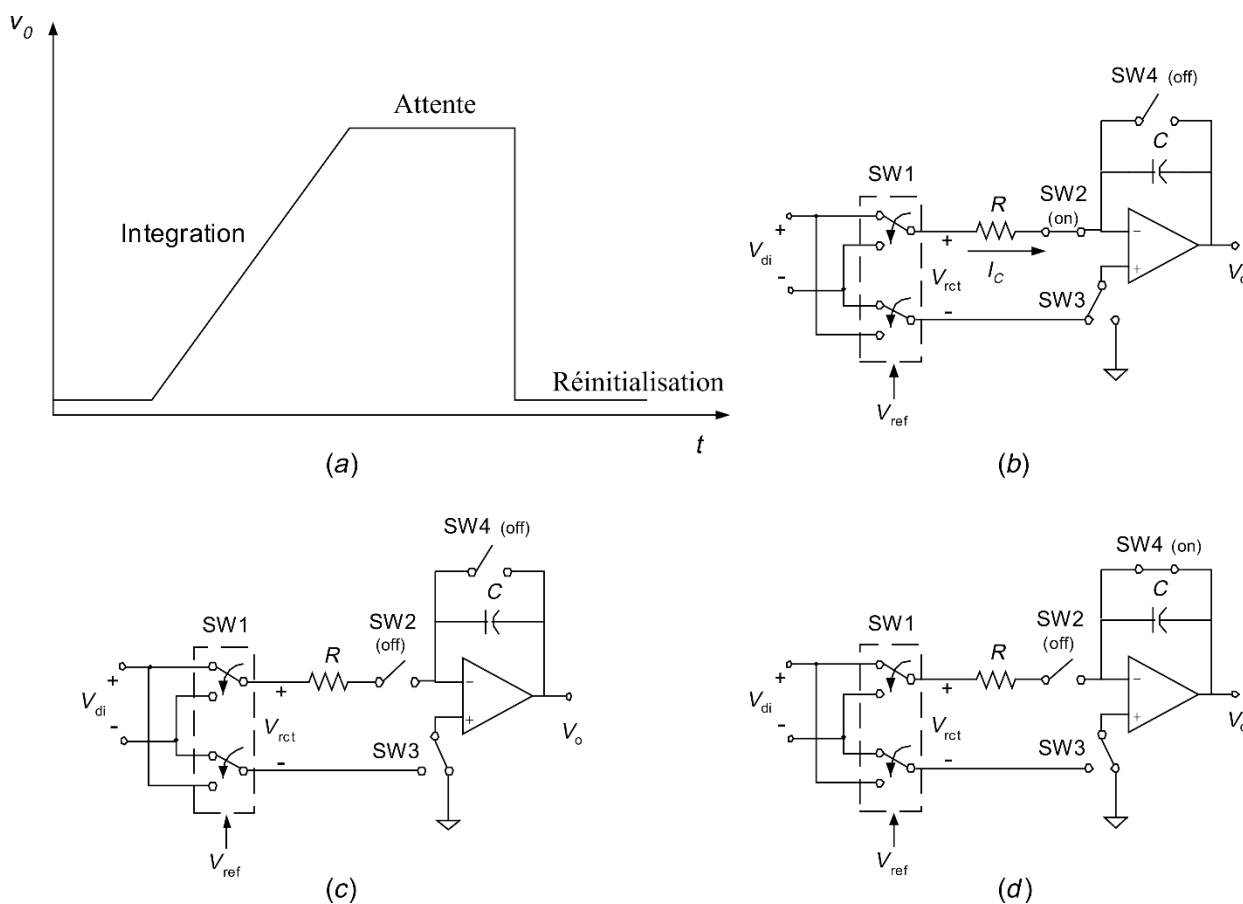


Figure 2-18 : Démodulateur synchrone de fréquences à commutateur Casanella et al. [67] a) sortie de l'étage durant b) temps d'intégration c) d'attente d) de réinitialisation.

Ce type d'implémentation nécessite d'avoir des amplificateurs ayant des vitesses de balayage suffisamment élevées en fonction de la bande passante voulue. La Figure 2-19 montre une utilisation de cette technique dans un montage complet pour une extraction d'impédance dans laquelle l'information est convertie numériquement grâce à un convertisseur tension-fréquence synchrone (SVFC) par rapport à la charge accumulée, tel que l'étage intégrateur vu

précédemment dans [l'étage d'amplification \(Section 2.2.2\)](#). Cette méthode peut être utilisée, comme l'implémentation par multiplicateur, pour séparer les valeurs réelle et imaginaire du signal via la récupération du courant de 0 à π puis avec un décalage de phase de $\pi/2$ à $3\pi/2$, selon les équations (2-16), (2-17) et (2-18) de la charge (Q_{in}) avec une fonction échelon $u(t)$ définie selon la fréquence et phase du signal [66].

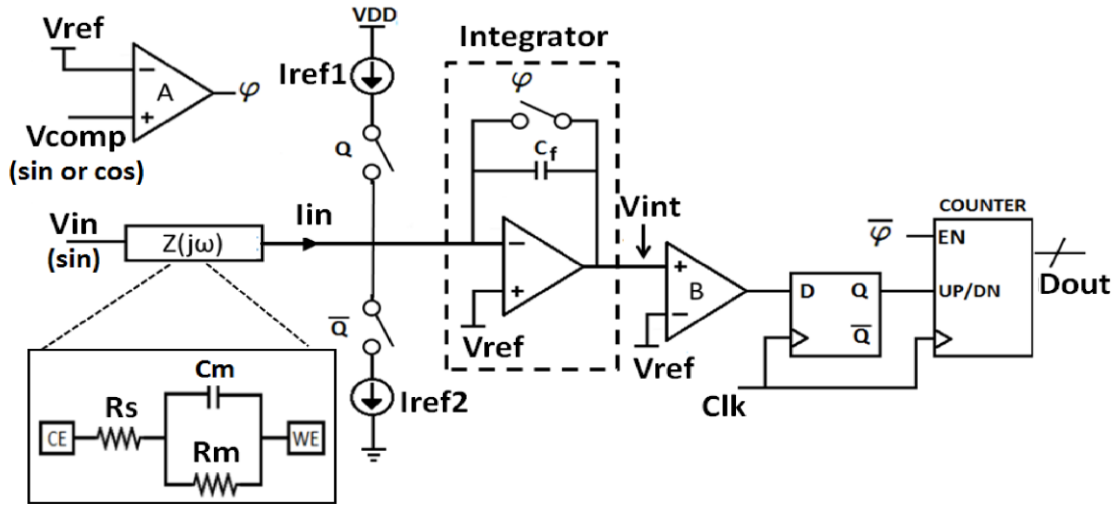


Figure 2-19 : Montage intégrateur SVFC pour extraire la valeur d'une impédance [66].

$$Q_{in,i} = \int_0^{T_{in}} i_{in}(t) \left[u(t) - u\left(t - \frac{T_{in}}{2}\right) \right] dt = Re\{I_{in}(j\omega)\}T_{in}/\pi \quad (2-16)$$

$$Q_{in,q} = \int_0^{T_{in}} i_{in}(t) \left[u\left(t - \frac{T_{in}}{4}\right) - u\left(t - \frac{3T_{in}}{4}\right) \right] dt = -Im\{I_{in}(j\omega)\}T_{in}/\pi \quad (2-17)$$

$$Q_{in} = I_{ref}T_{clk}D_{out} \quad (2-18)$$

Cette méthode permet une architecture plus compacte, ce qui est intéressant pour une implémentation intégrée sur ASIC. Le temps d'intégration à chaque mesure et la nécessité d'avoir deux mesures pour avoir la partie réelle et la partie imaginaire peuvent être un problème pour l'utilisation de cette technique pour notre lecture en raison du nombre importants de capteurs.

Conclusion

L'étage de traitement du signal est primordial dans des mesures de capteurs nécessitant une haute précision (0,1% de variation d'impédance sur la plage de variation des capteurs). Le choix d'une mesure AC présente l'avantage d'utiliser un filtrage du signal utile par une détection synchrone tout en séparant la partie réelle et la partie imaginaire du signal.

L'implémentation de la détection synchrone dépendra en grande partie des simulations réalisées sur l'étage d'amplification et de sa figure de bruit. Une implémentation par des multiplicateurs analogiques permet d'avoir une information Im et Re simultanément en limitant les harmoniques. L'utilisation d'architecture compacte avec commutateur synchronisé et intégrateur peut fortement simplifier le montage et être intéressante dans une future implémentation sur ASIC.

Tableau 2-6 : Récapitulatif des avantages pour les implémentations de détection synchrone

Montage	Détection synchrone avec multiplicateur	Détection synchrone par commutateur	Détection synchrone par commutateur avec intégrateur
Avantage	Moins d'harmoniques.	Coût moins important. Consommation basse.	Compacte. Consommation basse.
Inconvénient	Nécessite signal sinusoïdal.		Plage dynamique/bande passante.

La détection du signal peut aussi être affectée par les différents harmoniques créés par les multiplicateurs suivant le signal. Nous allons donc voir dans le chapitre suivant la génération de signal en quadrature (IQ).

2.2.4. Génération de signaux

La lecture de l'impédance complexe des capteurs par une détection synchrone nécessite deux signaux fréquentiels avec un déphasage précis. Les oscillateurs variables peuvent être contrôlés en tension (VCO) ou numériquement (NCO).

La principale caractéristique des NCO est un contrôle numérique qui simplifie grandement leur utilisation et peut permettre le changement de fréquence plus rapide. Ils sont d'ailleurs beaucoup utilisés en communications du fait de ces qualités [68].

Les performances des générateurs de signaux, ou oscillateurs sont quantifiées par :

- La plage de fréquence.
- Le pas de fréquence.
- Le bruit de phase.

Il existe différents oscillateurs commandés numériquement :

- L'oscillateur LC avec un réseau de capacité.
- L'oscillateur en anneau.
- L'accumulateur de phase.

Oscillateur LC

Les oscillateurs LC avec réseau de capacités sont très utilisés en radiofréquence, car ils possèdent un faible bruit de phase. Ils reposent sur le principe de l'oscillation d'un couple LC. Afin de rendre cette oscillation constante, un amplificateur (A) est utilisé (Figure 2-20). Il est généralement vu comme une résistance négative, car son rôle est d'annuler uniquement l'atténuation du signal liée à la résistance du couple LC et des composants passifs du montage.

Son gain de transconductance doit donc être égal à la résistance équivalente du réseau LC. Les oscillateurs LC requièrent cependant un contrôle analogique par l'utilisation de diodes à capacité variable (varactors) pour faire varier leur fréquence d'oscillation (2-19) [69], [70]. Ils sont donc généralement utilisés comme VCO. Les oscillateurs LC avec contrôle numérique (Figure 2-21) nécessitent un volume important de composants passifs suivant la définition de la variation de fréquences voulue [71], [72].

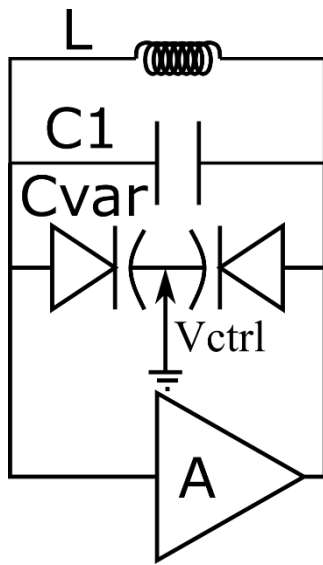


Figure 2-20 : Schéma d'un oscillateur LC classique contrôlé en tension.

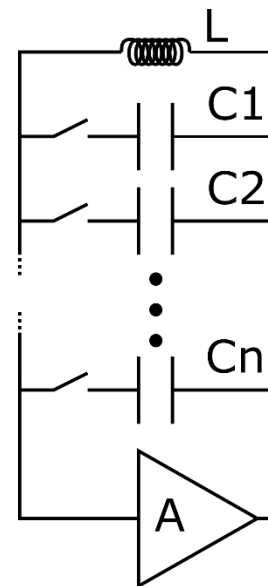


Figure 2-21 : Schéma d'un oscillateur LC classique contrôlé numériquement.

$$F_{\text{oscillation}} = \frac{1}{2\pi\sqrt{L(C_1 + C_{\text{var}})}} \quad (2-19)$$

Ces oscillateurs ont généralement un bruit de phase moins élevé que les oscillateurs en anneau, mais possèdent des plages de fonctionnement plus étroites [73]. Le bruit de phase et la bande passante de ce type d'oscillateur sont liés à leur facteur de qualité Q défini comme un rapport énergie stockée sur énergie perdue dans le circuit. Sa valeur est donc dépendante des composants passifs et de la résistance du circuit.

Oscillateur en anneau

Les oscillateurs en anneau sont composés de portes inverseuses CMOS. Ces oscillateurs utilisent le changement de phase d'une porte ainsi que son temps de transmission. Ils ont comme intérêt d'avoir une plus basse consommation et de n'utiliser que des transistors, mais possèdent généralement un bruit de phase plus important que les oscillateurs LC [73], [74].

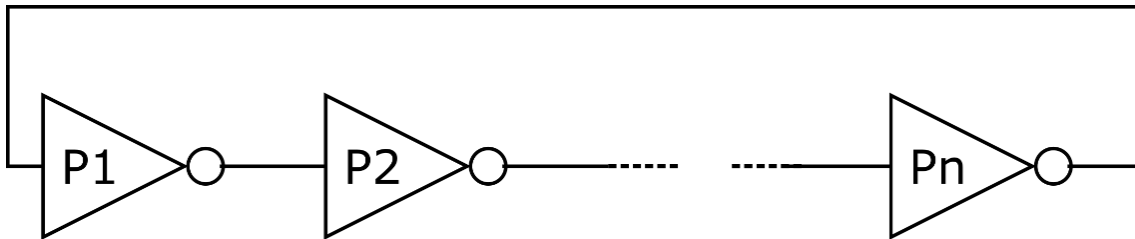


Figure 2-22 : Schéma d'un oscillateur en anneau avec n impair.

La fréquence d'oscillation dépend de deux paramètres, le temps de propagation d'une porte (τ) et le nombre de portes (N) (2-20). Ces oscillateurs peuvent donc être contrôlés avec un nombre de portes que l'on active ou désactive pour accélérer ou ralentir la fréquence. La réalisation d'oscillateurs en anneau basse fréquence peut être difficile à cause de la place prise par l'empilement, mais aussi de la puissance dissipée par le nombre d'étages. Pour cela, la variation de fréquence peut aussi être réalisée en modifiant le courant d'alimentation des portes afin de ralentir le temps de propagation selon l'équation (2-21) [73], [75], [76].

$$f_{oscillation} = \frac{1}{2N\tau} \quad (2-20)$$

$$\tau = \frac{V_{porte} C_g}{I_{porte}} \quad (2-21)$$

Accumulateur de phase

Un synthétiseur numérique de fréquence, *Direct Digital Synthesiser* (DDS), visible à la Figure 2-23 est un système complètement numérique synthétisant une fréquence via un compteur s'incrémentant à chaque front d'une horloge globale (oscillateur fixe). La valeur du compteur indique la phase du signal généré, d'où sa dénomination d'accumulateur de phase. Une table de conversion numérique/sinusoidale stockée dans une ROM (LUT, « Convertisseur Amplitude/Sinus » dans Figure 2-23) est adressée par la valeur de l'accumulateur et envoie une valeur de tension correspondante au convertisseur numérique analogique (DAC). La modification de la fréquence (F_{out}) se fait en modifiant la valeur d'incrémentement (N) de l'accumulateur cadencé par la fréquence de l'horloge de référence (F_{clk}) par rapport à la taille de l'accumulateur de phase (N_{ac}) selon l'équation (2-22).

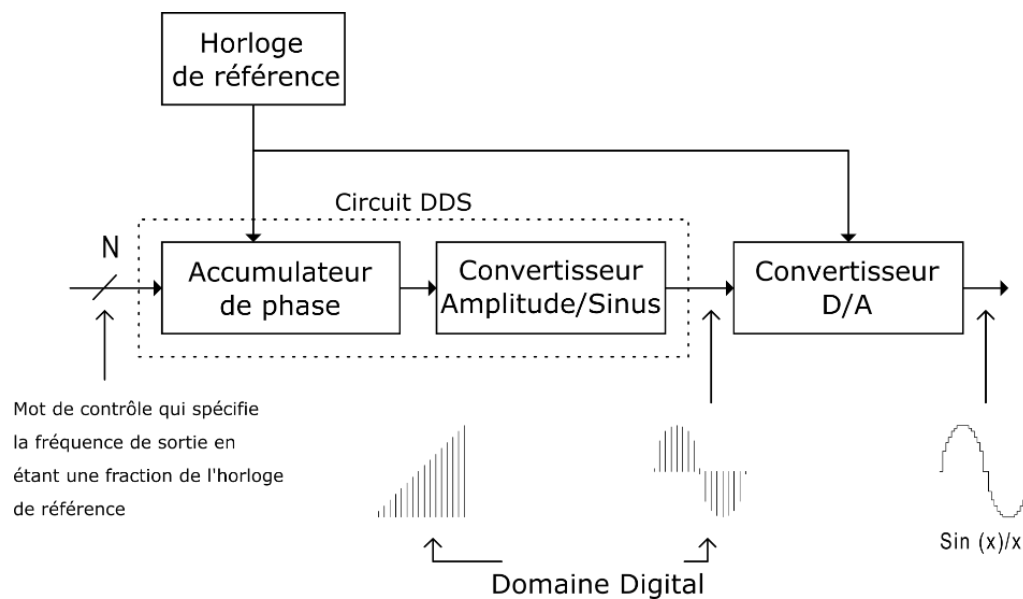


Figure 2-23 : Topologie d'une DDS [77].

$$F_{out} = N * F_{clk} / 2^{N_{ac}} \quad (2-22)$$

Le nombre de fréquences non désirées dans le signal de sortie est le défaut majeur d'une DDS. Provenant de l'échantillonnage du signal, il dépend de la fréquence de référence et du nombre de pas de la LUT utilisée.

Les défauts de la DDS pouvant être problématiques dans notre cas peuvent être diminués par quelques techniques. L'une des méthodes les plus connues est le *Dithering*. Cette méthode provient de l'ajout d'une composante aléatoire dans la valeur de sortie de l'accumulateur de phase. En faisant cela, la sortie du DAC n'est pas constante et diminuera donc l'amplitude des harmoniques et augmentera le bruit de plancher [78], [79].

La taille de la ROM peut être soulagée par différentes architectures logiques permettant d'approximer une sinusoïde utilisant par exemple une interpolation linéaire ou exploitant les séries de Taylor [80], [81].

Conclusion

Afin de générer les fréquences dans notre cas, l'utilisation de DDS permettrait une variation de fréquences précises sur une large plage. Cette définition de variations de fréquences nous est nécessaire pour pouvoir adapter notre système de lecture à des capteurs ayant différentes fréquences de fonctionnement. Son contrôle numérique nous simplifie l'automatisation de la prise de mesure.

L'utilisation d'oscillateur LC pourrait être intéressante dans le cas où les capteurs ont trois fréquences fixes définies pour la récupération de chaque mesurande. Cela pourrait alors être un meilleur choix dans le cas d'une future intégration pour une technologie de capteurs fixe et uniforme.

Tableau 2-7 : Récapitulatif des avantages pour les méthodes de génération de signaux

Montage	Oscillateur LC	Oscillateur en anneau	Accumulateur de phase
Avantage	Bruit de phase bas. Grande résolution de fréquence.	Large gamme de fréquences.	Rapidité de changement de fréquence. Contrôle numérique. Grande résolution de fréquence.

2.2.5. Multiplexage

Méthode de sélection des capteurs

Le projet actuel nous impose de devoir connecter 108 capteurs au sein d'une puce. Il faut donc préparer une architecture de multiplexeur, un circuit concentrant sur une même voie une ou plusieurs entrées sélectionnées. Pour cela, deux types d'architectures sont possibles : l'architecture synchrone plus courante ou l'architecture asynchrone.

Une architecture synchrone, dont un exemple est visible à la Figure 2-24, est facilement utilisable et implémentable. Elle repose sur la conception de multiplexeurs analogiques permettant la sélection de capteurs et un bloc logique permettant d'automatiser le processus. Cette architecture est plus compacte que les méthodes asynchrones par la connaissance de l'adresse du capteur en amont, moins dépendante en consommation, car elle ne nécessite pas de circuit supplémentaire pour détecter une variation.

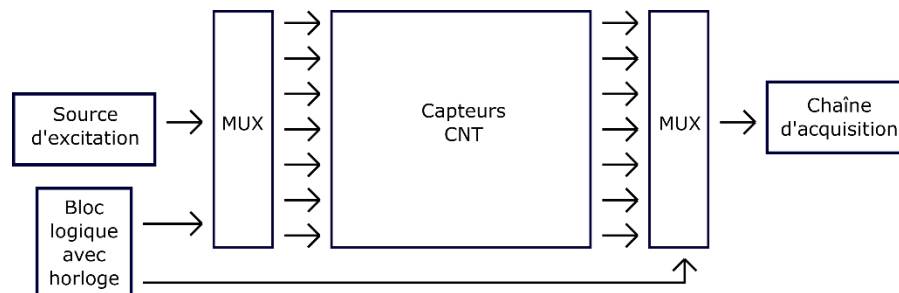


Figure 2-24 : Exemple d'architecture synchrone.

Les architectures asynchrones (Figure 2-25) commencent à se développer particulièrement dans les capteurs visuels. Elles permettent de diminuer les informations à envoyer en supprimant les redondances par l'envoi à l'étage de communications de la réponse des capteurs uniquement lors d'une variation fixée. Ce qui impose d'établir une résolution minimum de la lecture. Cela permet d'avoir une vitesse de réception plus élevée entre la variation de deux capteurs indépendants sur la puce, car elle n'est plus limitée par la fréquence fixe d'une horloge [82],

[83]. Leur particularité est de ne pas avoir d'horloge cadencant le passage de capteur à capteur. Le changement de capteur à lire se fait alors par un système d'alerte qui détecte quand un des capteurs a une variation d'impédance seuil. Bien que ce type d'architecture soit compliqué à mettre en place, le gain de temps et de données pourrait être extrêmement bénéfique dans la résolution temporelle des mesures dans certaines conditions comme le suivi de gradient de température.

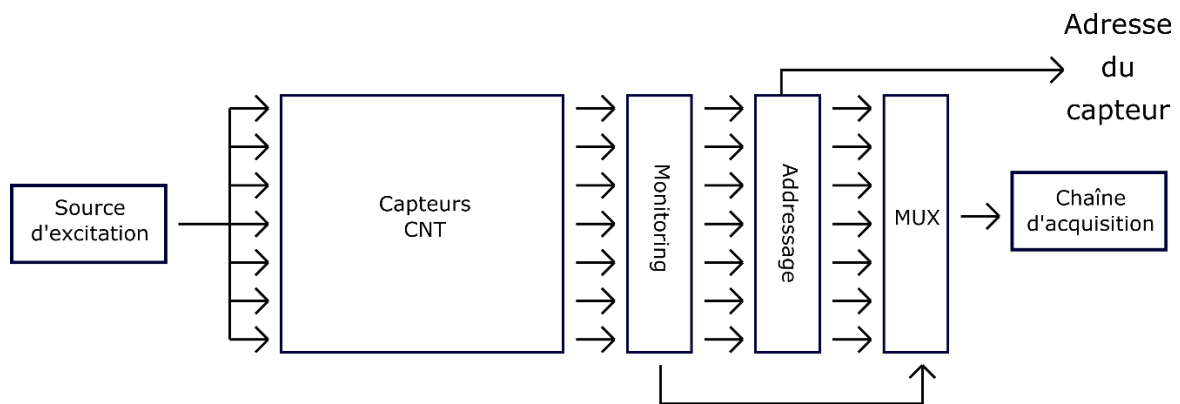


Figure 2-25 : Exemple d'architecture asynchrone.

Ces deux méthodes sont toutes deux composées de blocs de sélecteurs actifs contrôlés par un périphérique externe.

Multiplexeur analogique

Les multiplexeurs analogiques CMOS ou les relais électromécaniques sont les deux composants les plus fréquents en électronique pour sélectionner des signaux. Ils peuvent être utilisés dans des architectures synchrone ou asynchrone. Le multiplexeur analogique CMOS, dont la topologie est visible à la Figure 2-26, a la tâche de transférer le signal sans distorsion, quelles que soient la tension ou la fréquence du signal. La linéarité de sa résistance, visible à la Figure 2-27, à l'état passant est due à l'utilisation de la paire CMOS. Ce type d'architecture est aussi appelé porte de transmission [84]–[87].

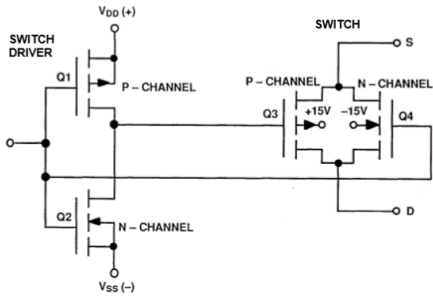


Figure 2-26 : Topologie d'une porte de transmission CMOS [87].

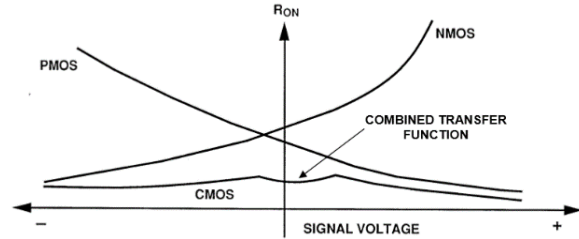


Figure 2-27 : Variation de R_{ON} en fonction du signal traversant la porte de transmission [87].

Les multiplexeurs CMOS possèdent des valeurs non négligeables de résistance lorsqu'ils sont passants ou fermés. La résistance ON (passante) du commutateur (entre quelque 1Ω à 100Ω) est directement liée aux paramètres des transistors composant la porte de transmission.

La résistance OFF (fermée) du commutateur provient d'une fuite de courant des transistors. Cette fuite augmente avec la fréquence du signal traversant. Un choix de transistor ayant une capacité drain source élevée peut permettre de la limiter.

L'une des autres grandes caractéristiques des multiplexeurs est le courant de fuite des capacités sources et drain visible sur la Figure 2-28. Ce courant de fuite devient plus important à haute fréquence et limite la bande passante du multiplexeur.

La diaphonie (crosstalk) peut être modélisée par une capacité entre deux étages. On peut la quantifier par l'intensité du signal sur une sortie autre que celle sélectionnée. (2-23)

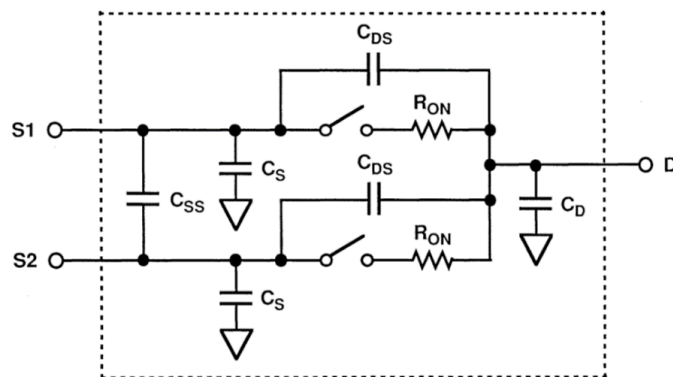


Figure 2-28 : Modèle comprenant les effets parasites d'un switch CMOS [87].

$$Crosstalk|dB = 20 \log \frac{V_D}{V_{s2}} \quad (2-23)$$

$$V_{s1} = ON$$

$$V_{s2} = OFF$$

Les multiplexeurs analogiques actuels ont des pertes négligeables pour un faible nombre d'entrées, mais elles peuvent devenir critiques pour un nombre plus important. Un courant de fuite s'ajoute pour chaque entrée ajoutée au MUX.

Les relais électromécaniques utilisent une bobine mettant en contact ou séparant deux conducteurs. Ces relais nécessitent un courant d'alimentation suffisamment élevé afin d'ouvrir le contact. Cependant, le contact mécanique permet d'obtenir une résistance ON bien plus basse que les multiplexeurs CMOS. Suivant l'aire du contact et la force appliquée, on peut observer des résistances de contact de l'ordre de 0,1 mΩ à 10 mΩ [88]. Cependant, ces systèmes ont des temps de commutation plus importants. L'utilisation de relais électromagnétiques sera envisagée uniquement si les multiplexeurs analogiques CMOS modifient le signal de manière non négligeable.

Conclusion

Afin de réaliser le circuit de multiplexeur, nous optons pour une architecture synchrone afin de simplifier son montage. La littérature présente des chaînes d'acquisition ayant des vitesses de mesure allant de quelques secondes à quelques millisecondes. La vitesse d'acquisition possible en montage synchrone sur 108 capteurs dépendamment de l'étage de filtrations pourrait être de l'ordre de quelques secondes. Les vitesses de diffusion de l'humidité au sein de matériaux de remplissage sont décrites comme extrêmement lentes, pouvant aller à plusieurs milliers d'heures avant saturation en humidité du matériau. La vitesse d'acquisition possible par une architecture synchrone semble suffisante pour une résolution spatiale et temporelle du déplacement d'humidité que nous pouvons observer au sein d'un assemblage micro-électronique. Cela nous permet d'avoir un unique circuit analogique de lecture relié par les multiplexeurs au capteur.

L'utilisation d'une architecture asynchrone présentée précédemment serait à envisager pour l'utilisation de ces capteurs sur des mesurandes ayant des déplacements rapides.

L'utilisation de multiplexeurs analogiques permet en peu de composants de sélectionner un grand nombre de capteurs. Les effets liés à la résistance ON et OFF doivent être quantifiés afin de s'assurer qu'ils sont négligeables.

2.3. Conclusion

La température et l'humidité vont modifier la capacité et la conductance des capteurs à nanotubes de carbone. Cette variation est de 0,2% face à la température et 0,3% face à l'humidité. Elle a pour maximum une variation de 21% de la valeur d'impédance initiale pour une variation de mesurandes allant de 25 °C - 130 °C et 5% RH - 75% RH. Les valeurs de l'impédance de ces capteurs sont très variables suivant les procédés de fabrication utilisés, nous avons des valeurs comprises entre 5 k Ω et 1 M Ω suivant le module sondé. Afin de découpler les valeurs, nous aurons besoin de sonder les capteurs avec des signaux de 300kHz au maximum. Ceci nous donne donc comme contraintes :

- Plage de détection supérieure à 21%.
- 0,2% de précision.
- Bande passante de 300 Hz - 300 kHz.

Pour cela, nous avons vu plusieurs circuits de lecture ([Annexe C](#)) qui peuvent correspondre aux performances demandées. Nous allons par la suite voir les simulations d'un montage inspiré des blocs vus précédemment.

L'utilisation de multiplexeurs CMOS permettrait la sélection d'un grand nombre de capteurs de façon compacte avec un temps de commutation rapide. Les CMOS possèdent des inconvénients dus aux résistances ON/OFF. Une étude de leur impact sur la sensibilité déterminera l'intérêt de leur utilisation par rapport à des méthodes moins compactes, moins rapides et nécessitant plus de courant.

La littérature met en avant, pour des systèmes d'extraction précis, l'utilisation de multiplicateurs avec signal sinusoïdal pour limiter les harmoniques. Les montages à commutateurs sont beaucoup utilisés afin d'avoir un système compact et à basse consommation, d'où leurs utilisations dans les circuits intégrés.

Pour l'étage d'amplification, nous allons procéder à une réalisation à partir d'un simple amplificateur transimpédance puis nous complexifierons afin d'obtenir les performances attendues. À partir des montages décrits dans ce chapitre, nous allons voir, dans le prochain chapitre, la conception d'un circuit sur PCB adapté pour les modules de capteurs expérimentaux.

Chapitre 3: Conception du circuit de lecture

Dans ce chapitre, nous allons présenter le système de lecture pour permettre un suivi de la température et de l'humidité dans un assemblage flip-chip. Celui-ci sondera les capteurs embarqués à base de nanotubes développés au sein du groupe de recherche sur les assemblages microélectronique. Ces capteurs répondent aux variations de température et d'humidité par une variation de leur impédance.

3.1. Architecture du système de lecture

Le [Chapitre 2](#) a montré plusieurs architectures réalisables pour un système de lecture dédié à des capteurs à impédance variable sur une bande passante de 0 à 300 kHz tout en conservant une précision de 0,1 % de la variation d'impédance relative (%RV), défini selon l'équation (3-1). Suivant ces paramètres en bande passante et précision, les systèmes à détection synchrone analogique semblent tout indiqués pour éviter un traitement numérique tout en utilisant la variation de la sensibilité aux mesurandes en fonction de la fréquence. La détection synchrone nous permettra de séparer la partie réelle et la partie imaginaire de l'admittance du signal du capteur afin de décorrélérer les comportements résistifs et capacitifs des CNT sans l'utilisation de DSP. L'utilisation d'un amplificateur transimpédance dans un premier temps, permet une approche plus versatile afin d'éviter d'obtenir une matrice de composants passifs trop importante par l'utilisation d'un pont de Wheatstone, permettant d'équilibrer l'intégralité des capteurs, suivant la dispersion des capteurs d'un même module. La sélection des capteurs avec les multiplexeurs est détaillée dans la section 2. L'étage d'amplification est détaillé à la section 3. L'étage de filtrage sera détaillé à la section 4. Le module de lecture sera piloté par un ordinateur qui permettra également la récupération de données en format numérique par le biais d'un microcontrôleur que nous allons voir à la section 5. L'ensemble du montage est schématisé en Figure 3-1.

$$RV(f) = \frac{Z(f) - Z_{ref}(f)}{Z_{ref}(f)} \quad (3-1)$$

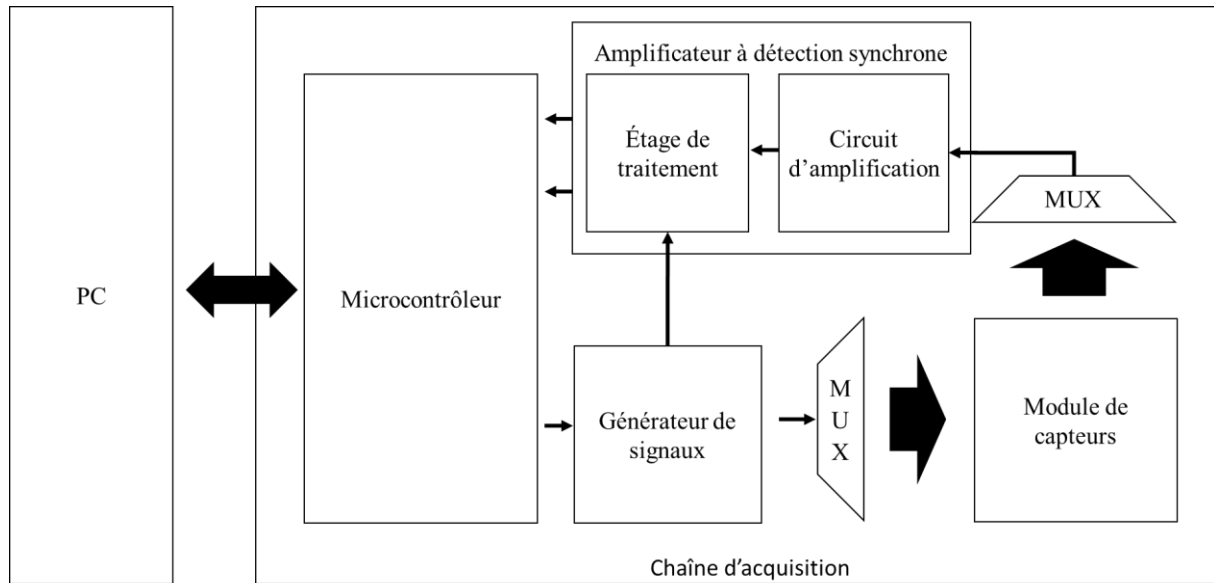


Figure 3-1 : Schéma des différentes parties du système de lecture.

3.2. Sélection des capteurs

3.2.1. Description

Nous devons connecter, comme vu au [chapitre 2](#), un total de 108 capteurs répartis sur la puce. La multitude de capteurs permet d'avoir un suivi spatial sur les mesurands analysés au sein de l'assemblage et leur gradient/déplacement. Pour ce faire, il nous faudra établir différentes interfaces pour connecter les modules contenant ces capteurs jusqu'à notre circuit de lecture d'impédance. Ces interfaces sont présentées à la Figure 3-2.

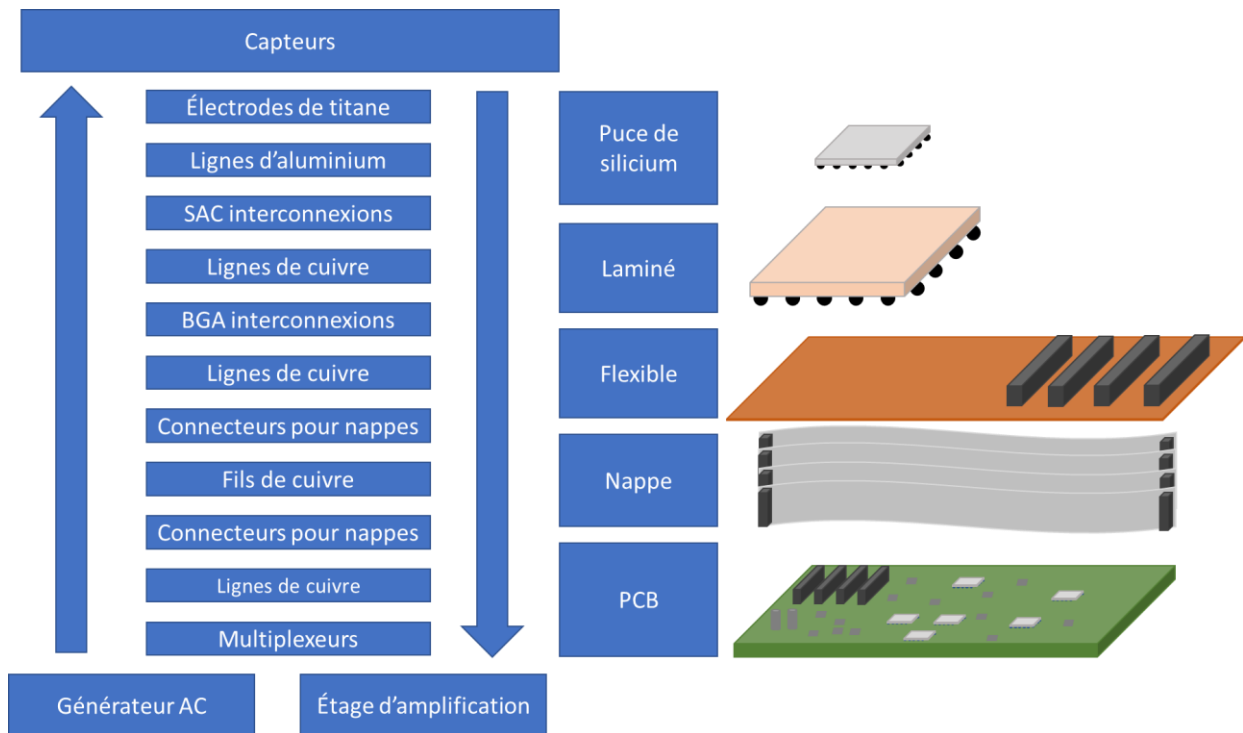


Figure 3-2 : Liste de la connectique de sélection des capteurs.

Un circuit imprimé flexible permet de relier le module vers 4 connecteurs de 54 E/S (Figure 3-3). Des nappes d'une longueur de deux mètres relient ce circuit imprimé flexible aux

multiplexeurs. La grandeur de notre connectique, nécessaire afin de lire les capteurs dans des conditions d'assemblage, peut influencer notre circuit par différents effets parasites.

La sélection des capteurs se fait par des multiplexeurs CMOS implémentés dans un premier temps sur un PCB indépendant visible à la Figure 3-4. Les multiplexeurs sont contrôlés par un microcontrôleur présenté dans la partie [Communications et contrôle](#).

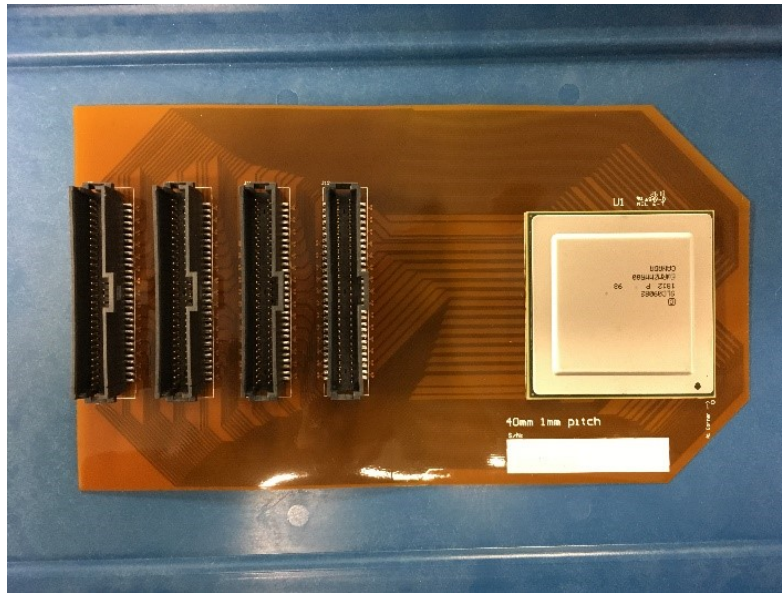


Figure 3-3 : Photo d'un module assemblé avec capot sur un flexible permettant de relier les 108 capteurs vers un système de lecture.

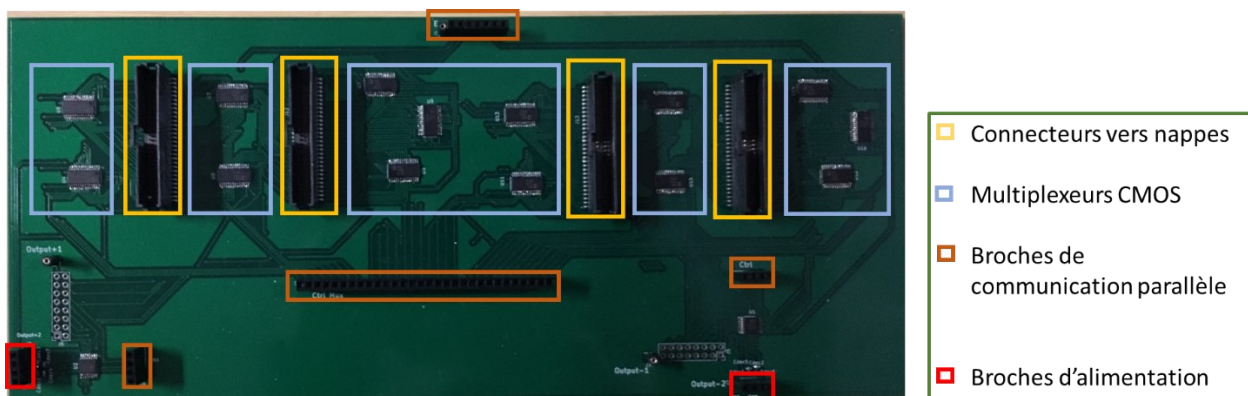


Figure 3-4 : Photo du PCB indépendant servant au multiplexage.

La Figure 3-5 schématise les différents effets résistifs et capacitifs parasites majeurs intervenant dans le montage de sélection des capteurs. L'étude de ces effets est là pour aider la conception du circuit de lecture :

- Les résistances apportées par les multiplexeurs sont de l'ordre de la dizaine d'ohms (R_{mux}) et ont un effet en série sur les capteurs.
- Les résistances de ligne ($R_{connectique}$) provenant des différents conducteurs et contacts métalliques entre les capteurs de CNT et les multiplexeurs auront aussi un effet en série.
- Les courants de fuite provenant des multiplexeurs traversant les capteurs en parallèle modifient de façon variable le signal utile (R_{fuite}, C_{fuite}) dépendant de la capacité drain source des multiplexeurs.
- Les effets de couplage capacitif ($C_{connectique}$) provenant des différents conducteurs dans les nappes de connexion réalisent des capacités parasites sur de longues distances qui diminueront la plage de détection par l'ajout de courant ne passant pas par les capteurs et par l'atténuation du signal.

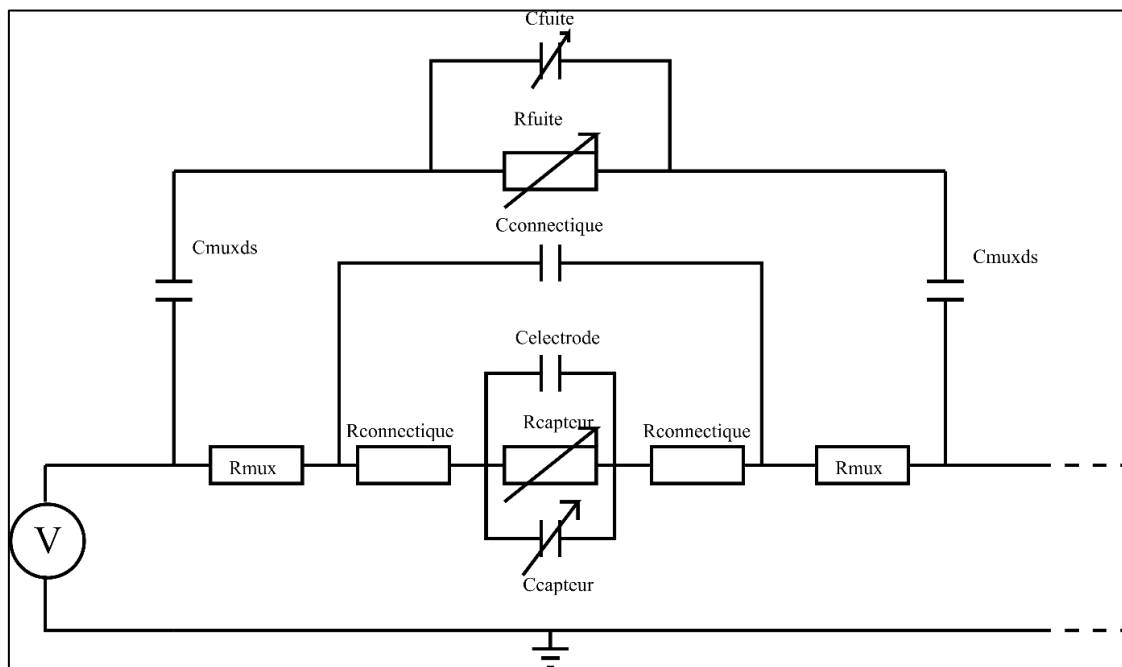


Figure 3-5 : Composants parasites liés au multiplexeur et à la connectique.

3.2.2. Analyse de l'effet de l'étage de sélection sur le signal du capteur

Les multiplexeurs CMOS discrets sont des ADG1407/1408 (Tableau 3-1) choisis pour leurs courants de fuite C_s et C_d bas. L'ensemble des courants de fuite du drain visible dans le Tableau 3-1 des multiplexeurs provoquera un décalage sur la mesure jusqu'à $\pm 3,5$ nA. Ce décalage étant minime par rapport aux valeurs de courant lu de l'ordre du μA et constant ne devrait pas être un problème pour une mesure relative de variation de courant.

La résistance en circuit fermé (R_{on}) des multiplexeurs est de $11,5 \Omega$ selon les informations du constructeur, ce qui modifie légèrement le courant d'une valeur constante. La résistance équivalente sans capteur a été mesurée à environ 19Ω . Cette résistance est négligeable devant les valeurs d'impédance des capteurs qui sont supérieures à plusieurs kilo-ohms.

Tableau 3-1 : Performance des multiplexeurs CMOS [89].

ADG1406/1407 - Multiplexeur	ON Résistance (max)	11,5 Ω
	Courant Source OFF (max)	$\pm 0,25$ nA
	Courant Drain OFF (max)	$\pm 0,5$ nA
	OFF isolation (max)	<-80 dB @ 400 kHz
	Diaphonie	<-75 dB @ 400 kHz
	Temps de transition (max)	160 ns

La capacité drain source (C_{muxds}) influencera l'effet de coupure du multiplexeur à l'état ouvert (off) pour les signaux AC. En effet, l'isolation commence à diminuer à partir de 40 kHz suivant la Figure 3-6. D'après la fiche technique des multiplexeurs, leur isolation est inférieure à -80 dB sur notre bande passante de 400 kHz (Figure 3-6). Cette isolation est critique car un couplage ajoute, au courant du capteur sélectionné, la somme des courants parcourant les autres capteurs.

Ce courant n'est pas statique, 20% de ce courant peut être variable à la température et à l'humidité, ce qui augmente l'incertitude de la mesure.

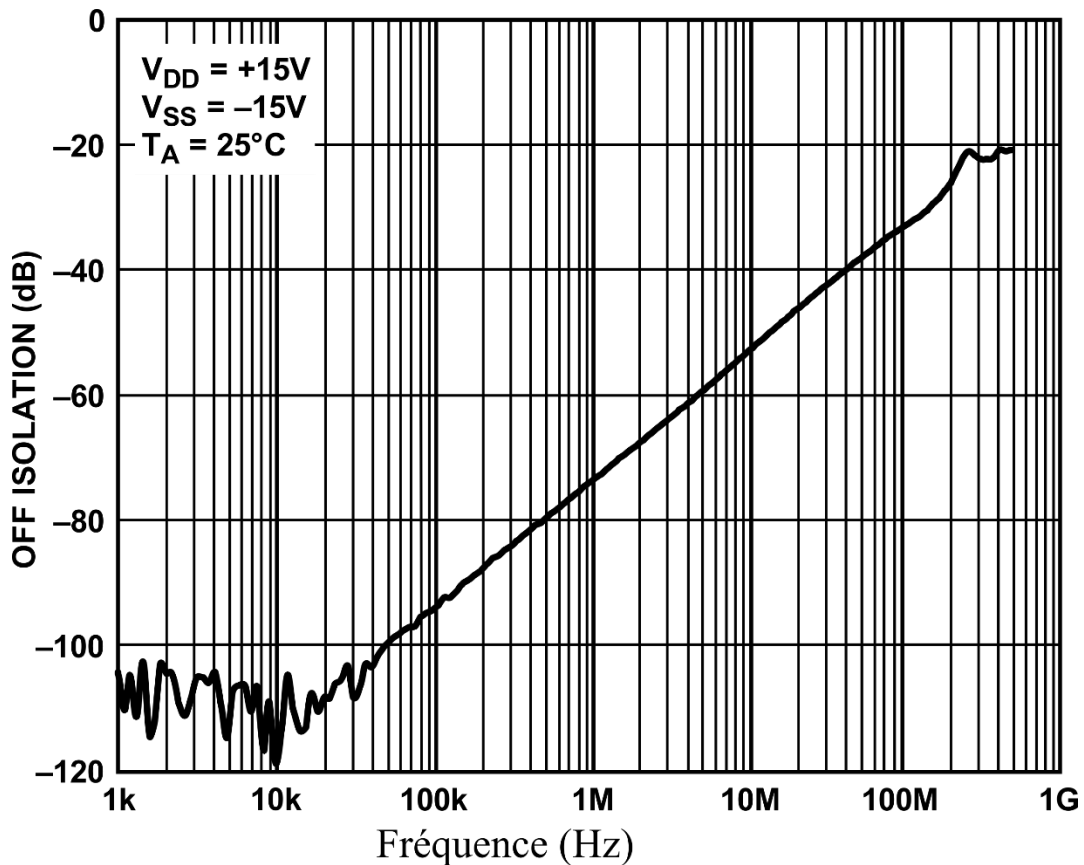


Figure 3-6 : Isolation des multiplexeurs en état ouvert suivant la fréquence du signal à ses bornes sur des sorties adjacentes, donnée provenant du constructeur [89].

Nous utilisons deux réseaux de multiplexeurs pour chaque polarité du capteur, avec une isolation de -86 dB. Nous aurons donc au maximum un courant parasite d'une valeur de 0,005% du courant traversant le capteur sondé dont seulement 0,001% peut être variable suivant l'humidité au sein des autres capteurs non sondés. L'analyse de l'impédance équivalente lorsque les multiplexeurs sont fermés, sur des fréquences < 400 kHz, est de l'ordre de 100 M Ω . Le courant de fuite des multiplexeurs est donc négligeable par rapport à celui lié aux capacités parasites de la connectique.

Quatre nappes de 27 fils relie le circuit imprimé flexible au PCB du circuit de lecture. La carte flexible a été réalisée par la compagnie MCL afin de permettre la connexion sans contrainte

mécanique entre le multiplexeur et le module. À gauche de la Figure 3-7 on peut voir les connecteurs pour les nappes qui relient le flexible aux multiplexeurs, à droite la matrice de plots d'interconnexion pour les BGA du module.

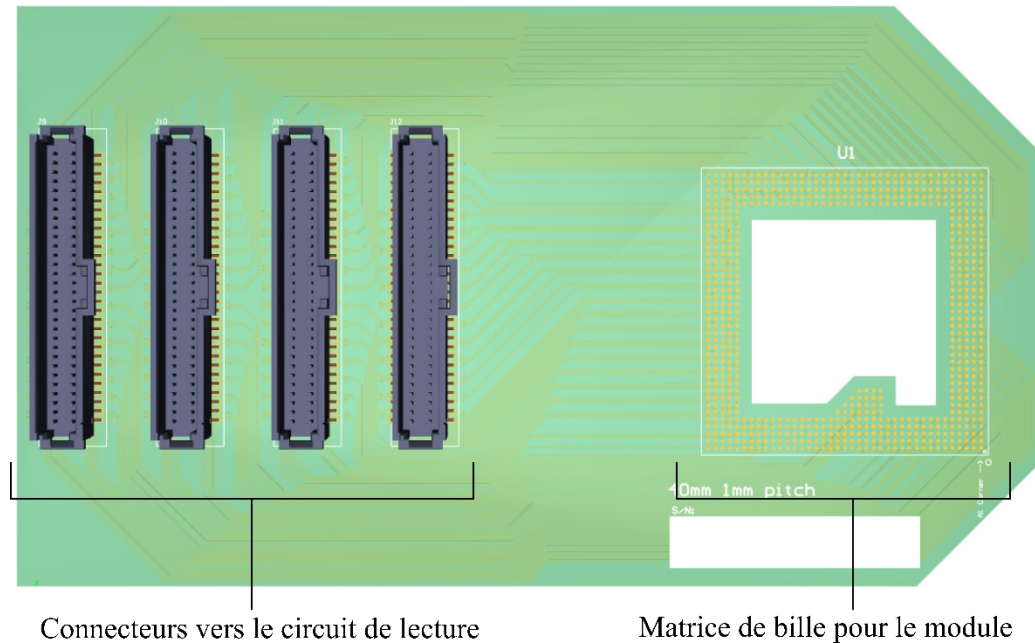


Figure 3-7 : Dessin de conception du flexible pour les modules de capteurs, avec les connecteurs vers le circuit de lecture visible à gauche et la matrice de bille pour le module à droite.

Afin de quantifier l'influence du couplage lié à la connectique représentée par $C_{connectique}$ sur la Figure 3-5, une analyse d'impédance par un balayage en fréquence a été réalisée sur chaque connexion vers les nappes en circuit ouvert, comme le montre la Figure 3-8. Nous observons une légère différence de couplage suivant les lignes dépendant de la longueur des chemins entre le système de lecture et le module. Les longueurs de câblage les plus importantes, regroupées par les connecteurs les plus éloignés de la matrice de BGA, sont visibles à la Figure 3-8 par le groupe d'impédance les plus basses dues à leur capacité parasite plus élevée. Afin de quantifier l'importance de ce couplage capacitif parasite, nous devons calculer le rapport entre le courant traversant cette impédance et le courant traversant le capteur en parallèle représenté sur la

Figure 3-9. Ceci représente le signal du capteur atténué à cause des couplages capacitifs des nappes et du flexible.

La décorrélation fréquentielle décrite par Quelennec et al. dans les travaux précédents du groupe relie des zones d'insensibilité suivant la fréquence de coupure du capteur, elle-même dépendante de la résistance du capteur [39]. La bande passante présentée à la Figure 3-8 est adéquate pour les capteurs prototypes réalisés et caractérisés dans le cadre des travaux d'Aurore Quelennec [35] ayant des fréquences de coupure inférieures à 300 kHz tel que présenté à la Figure 2-7. Dans le cas où une analyse à plus haute fréquence est nécessaire, une séparation des pôles dans la réalisation du flexible et l'adaptation du multiplexeur en conséquence devient obligatoire.

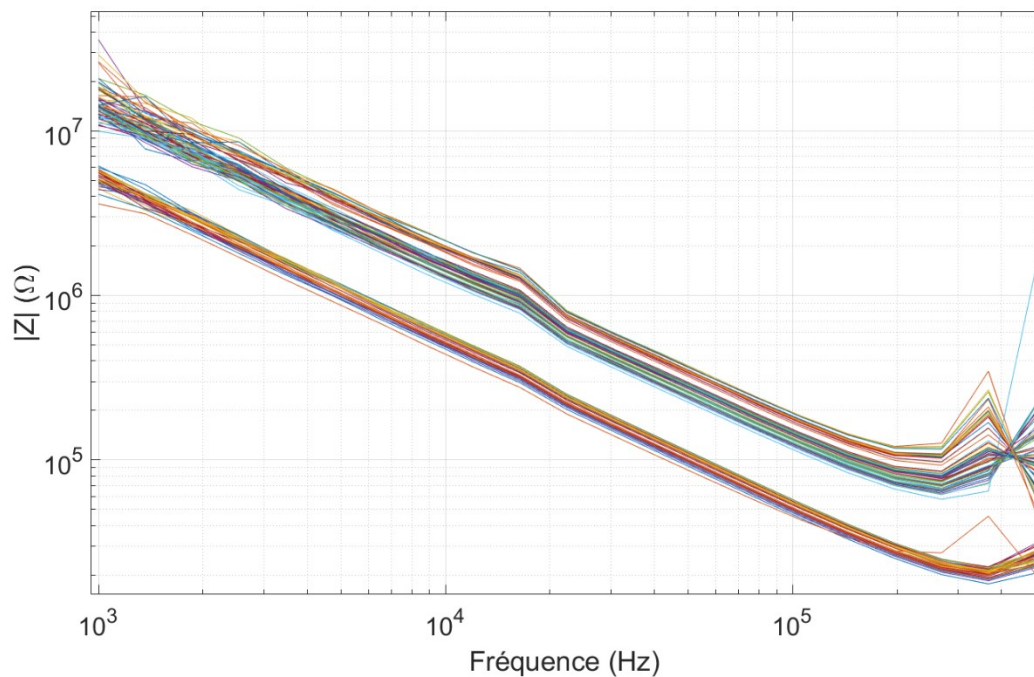


Figure 3-8 : Analyse fréquentielle de l'impédance provenant des capacités parasites pour chaque ligne conductrice reliant les capteurs en circuit ouvert jusqu'au BGA (sans capteur). Les lignes ayant les plus faibles impédances proviennent des lignes les plus longues et inversement.

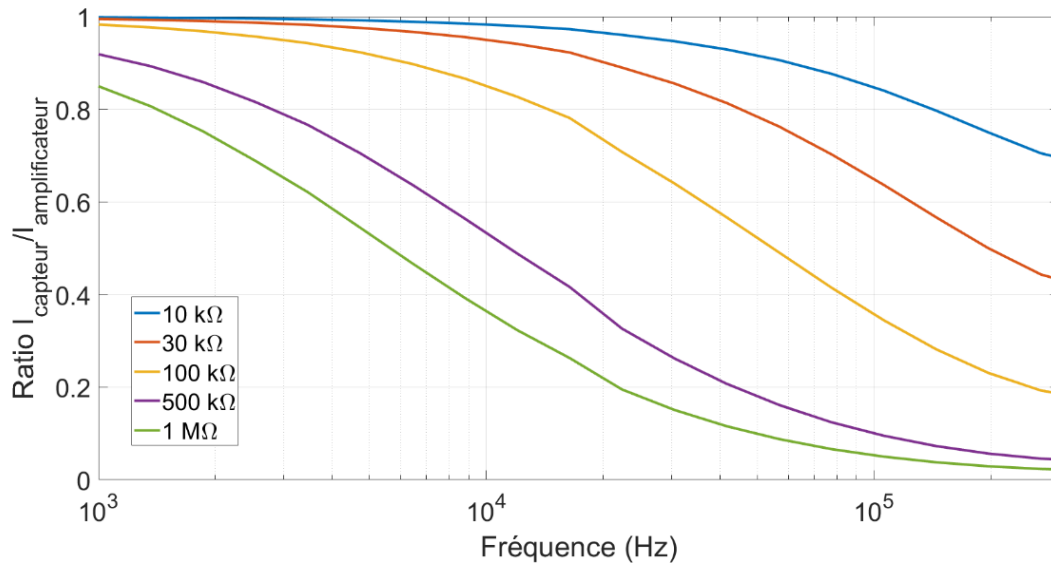


Figure 3-9 : Rapport entre le courant du capteur et le courant total amplifié suivant la fréquence et la valeur de l'impédance du capteur.

Durant un test avec plusieurs paliers d'humidité et température en chambre environnementale, une modification d'impédance liée à la modification du couplage a été observée en fonction de la fluctuation des conditions mesurées en chambre (Figure 3-10). Cette capacité crée un léger décalage sur la mesure et devra être soustraite après mesure (Figure 3-11). L'humidité a peu d'effet sur la variation de capacité en raison de son isolant composé de Fluorinated éthylène propylène [90].

La capacité équivalente de quelques picofarads à 30 °C et 30 %RH peut subir une augmentation maximale de 35 % de sa valeur à des températures de 85 °C. Pour les mesures au Chapitre 4, nous devons prendre en compte l'effet de cette capacité parasite sur les mesures. Nous pouvons toujours diminuer cette capacité par la modification du design du flexible et augmenter les distances entre les pistes des polarités des capteurs.

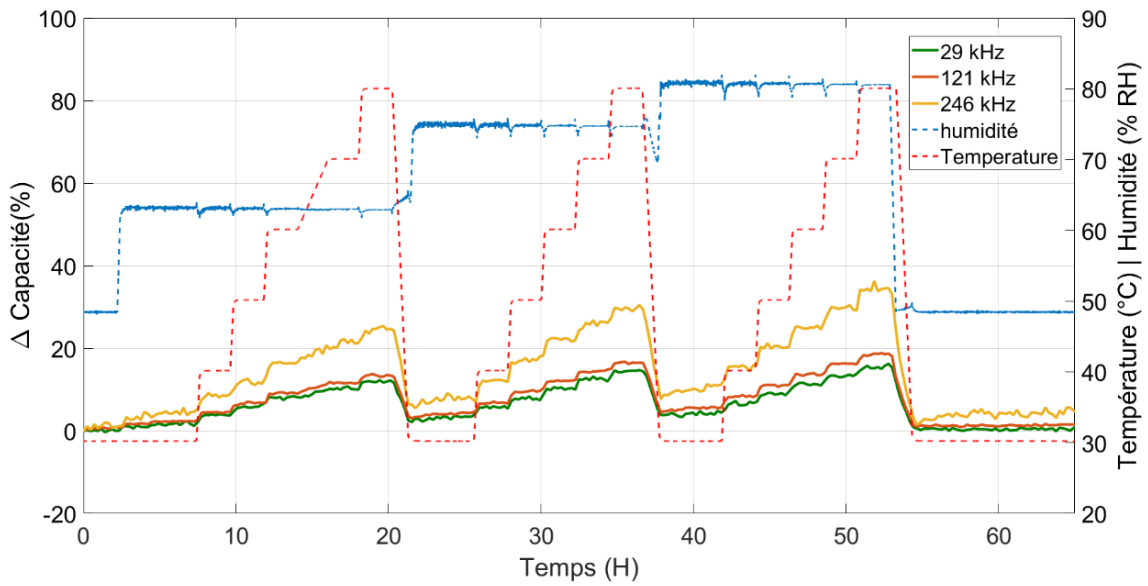


Figure 3-10 : Variation du couplage de la connectique lors de variation de température et humidité observée en chambre environnementale avec suivi des conditions.

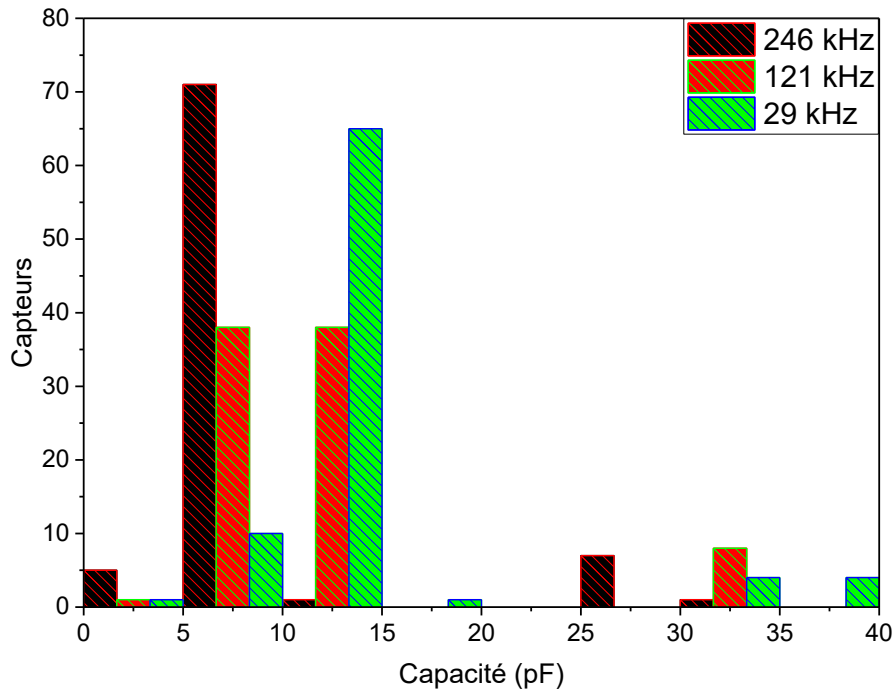


Figure 3-11 : Histogramme de la valeur de capacité de la connectique suivant les chemins de capteurs à 30 °C/30 %RH.

3.3. Conception de l'amplificateur à détection synchrone

La conception d'un amplificateur à détection synchrone est composée d'un étage d'amplification du signal présenté dans la première sous-section. Puis d'un second étage de traitement qui permet de récupérer la valeur en phase et en quadrature du signal amplifié décrit dans la deuxième sous-section.

3.3.1. Méthode d'amplification

Montage d'amplification

La plage d'impédance de capteurs des premiers modules était de 30 k Ω pour les capteurs rectangulaires et 500 k Ω pour les capteurs serpentin. Différents modules ont été réalisés durant ma thèse avec plusieurs procédés de fabrication, ce qui affecte la plage d'impédance, mais aussi la sensibilité des capteurs à la température et à l'humidité. Les modules développés après les premiers véhicules de test, possèdent des plages d'impédance plus étroites. Nous utilisons comme étage d'amplification du circuit un amplificateur transimpédance. Pour cela, nous établissons un potentiel aux bornes du capteur pour pouvoir sonder le courant le traversant. Du fait d'avoir un circuit R//C, nous avons donc l'admittance par le rapport $I_{\text{capteur}}/V_{\text{source}}$ avec directement en sortie de la détection synchrone I/Q des valeurs proportionnelles aux effets résistif et capacitif, et l'impédance par l'inverse de la valeur quadratique. Ce choix permet aussi, sachant l'impédance élevée des capteurs, de ne pas avoir de contrainte trop élevée sur la résolution de la source. Dans la littérature, ce type de circuit montre des performances en bande passante, plage de détection et précision de 0,1 %RV compatible avec nos attentes. Pour cela, un premier circuit, avec comme objectif d'avoir une large plage de détection a été réalisée. Nous choisissons un AOP rail à rail (rail to rail) suivant différents paramètres présentés au Tableau 3-2.

La bande passante de l'AOP doit être supérieure à 300 kHz, afin de pouvoir récupérer la température et l'humidité. L'étage d'entrée de l'AOP est une paire différentielle, ce qui implique la présence d'un courant de fuite qui sera fonction de l'ouverture de grille des transistors composant la paire différentielle. Cette fuite de courant diminuera la réponse de l'AOP proportionnellement au courant de grille. Les valeurs des différents AOP montrent des valeurs de courant de fuite négligeables comparées aux valeurs attendues de l'ordre du micro-ampère.

Le Tableau 3-2 regroupe les AOP envisagés pour cet étage. L'AOP AD8608 correspond aux exigences requises afin d'amplifier les signaux de nos capteurs. Son faible courant de grille permet l'utilisation de gains élevés pour les capteurs de haute impédance (500 k Ω).

Tableau 3-2 : Comparatif des AOP.

AOP	AD8608	LMC6001	THS4521
Tension d'alimentation (V)	6	5	5
Bande passante (kHz)	10 000	1300	150 000
Variation de sortie (V)	4,98	4,8	4
Courant de grille I_{bias} @25 °C (pA)	1	0,025	50 000
Bruit en tension (nV)	6,5	22	3,3
Bruit en courant (pA)	0,01	0,01	0,5

Afin d'améliorer la sensibilité de notre système, nous modifions l'étage d'amplification transimpédance. Nous réalisons un étage composé de trois AOP permettant une amplification en différentielle de la valeur par rapport à une source constante. Cet étage a pour but d'amplifier la différence (Figure 3-12, étage 2) entre le signal de sortie de l'étage de transimpédance (Figure 3-12 étage 1) et un signal de référence (Figure 3-12, AOP 2). Pour cela, nous nous inspirons des amplificateurs d'instrumentation, mais en utilisant un système ayant deux AOP en transimpédance et un soustracteur.

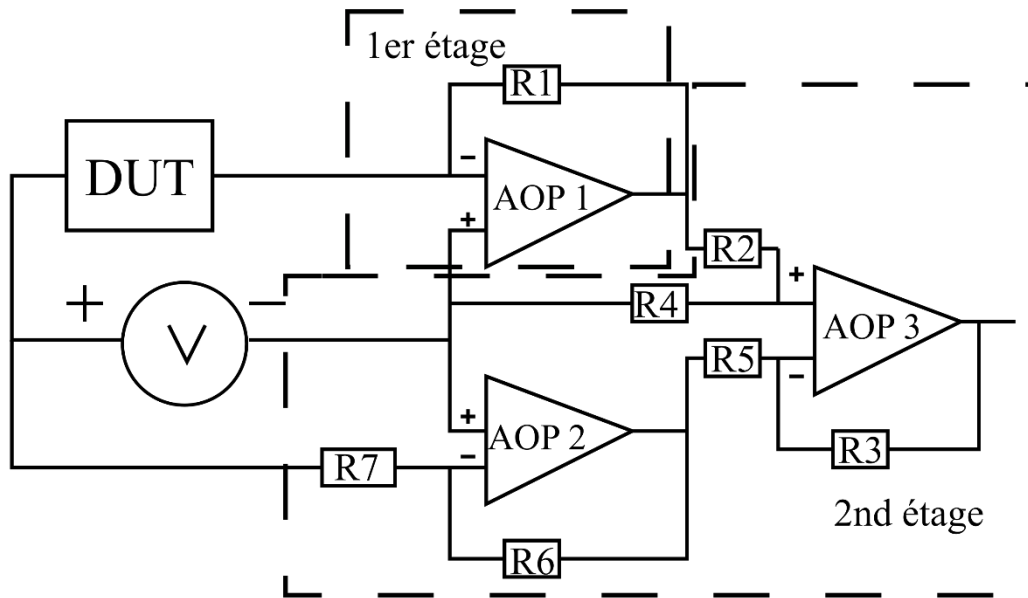


Figure 3-12 : Montage d'amplification transimpédance différentiel composé de 3 AOP.

Nous allons, dans ce chapitre, décrire le montage de transimpédance simple ainsi que le montage différentiel composé de trois AOP qui ont été implémentés et utilisés. Le premier montage a été utilisé pour caractériser les modules avec une large plage de détection. Une fois la sensibilité analysée, nous pouvons utiliser le second étage qui permet une précision et une résolution accrue, mais nécessite une sélection de référence et des capteurs ayant des propriétés résistive et capacitive suffisamment proches les unes des autres au sein d'une même puce.

Bruit électronique de l'étage d'amplification

Le bruit généré par un étage d'amplification est constitué du bruit Johnson provenant des résistances électriques et du bruit de scintillement provenant des éléments actifs. Nous pourrions éliminer une partie du bruit par le filtrage réalisé par la détection synchrone. Dans cette section, nous allons quantifier le bruit de l'étage d'amplification par simulation. Le niveau de bruit peut

être quantifié en fonction de la fréquence de coude (F_c) et des limites haute (F_h) et basse (F_b) de la bande passante de sortie (3-2) :

$$V_{n,rms} = V_n \times \sqrt{F_c \ln \frac{F_c}{F_b} + F_h - F_c} \quad (3-2)$$

L'AD8608 est un amplificateur opérationnel qui possède :

- Un bruit en tension à 10 kHz de 6,5 nV/ $\sqrt{\text{Hz}}$ (plancher de bruit).
- Un bruit de scintillement avec une fréquence de coude autour de 200 Hz.
- Un bruit en courant de 0,01 pA/ $\sqrt{\text{Hz}}$ qui va avoir une valeur de 10 pV/ $\sqrt{\text{Hz}}$ à 10 nV/ $\sqrt{\text{Hz}}$ suivant le gain fixé par R_g [91].

À cela s'ajoute le bruit de Johnson provenant de l'impédance du capteur (Figure 3-13). Il s'exprime en fonction de la constante de Boltzmann (k), de la température absolue (T), de la résistance du capteur (R) et de la bande passante (B), (3-3).

$$E_{rcap,rms} = \sqrt{4kTRB} \quad (3-3)$$

Avec le simulateur de circuit Spice, nous simulons le bruit de l'étage d'amplification transimpédance visible à la Figure 3-14 puis celui de l'amplificateur composé de 3 AOP à la Figure 3-15.

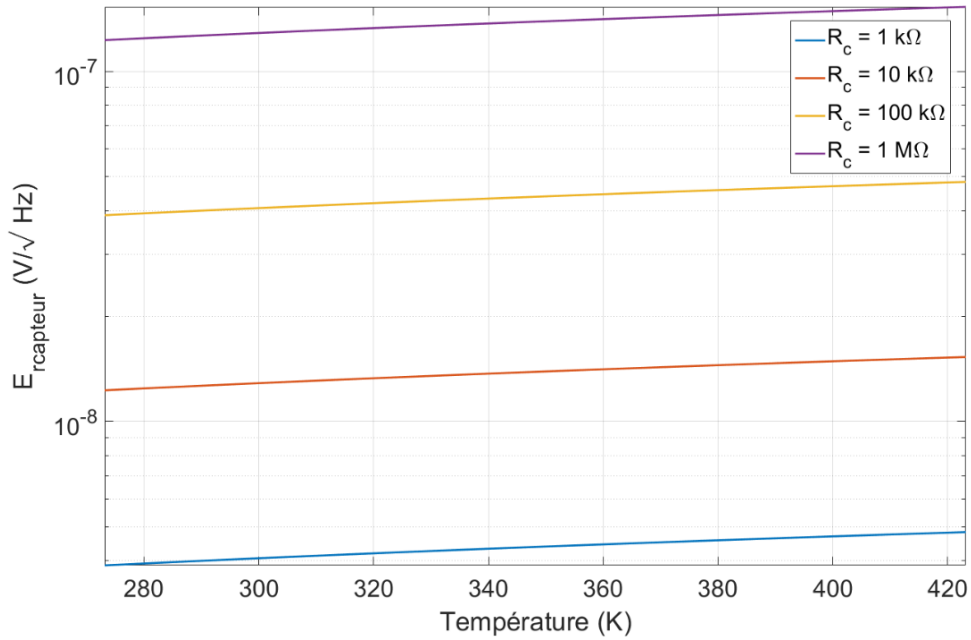


Figure 3-13 : Courbe de simulation du bruit de Johnson généré par la résistance du capteur.

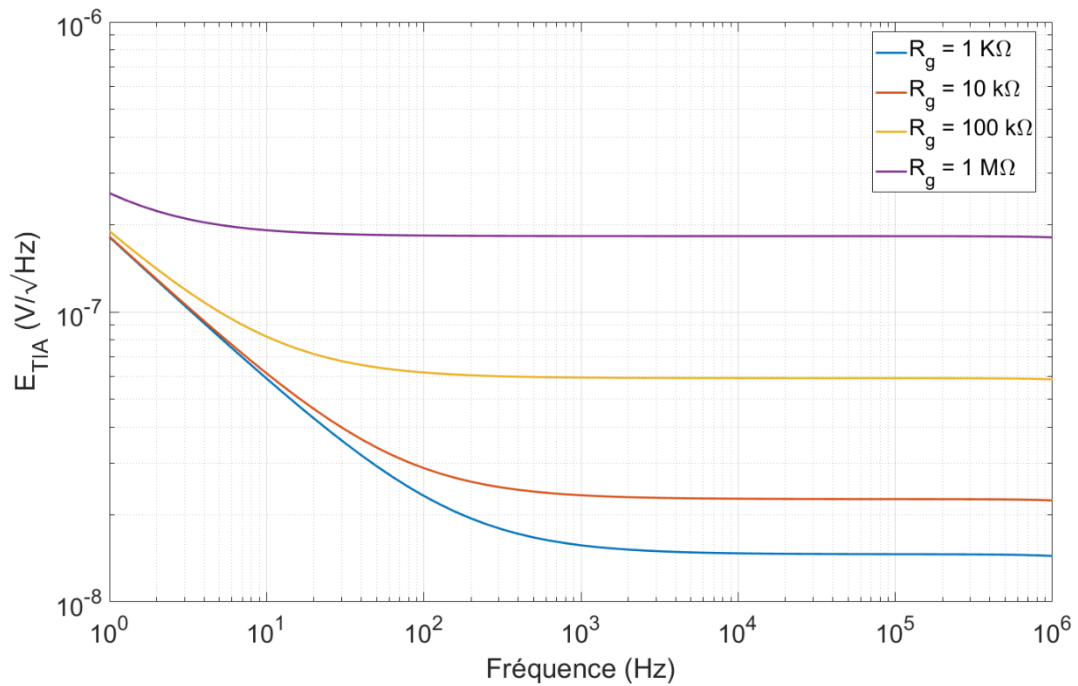


Figure 3-14 : Courbe de simulation de bruit de l'étage d'amplification transimpédance.

La source majeure de bruit au sein de l'AOP sera diminuée par l'étage de détection synchrone. Les figures montrent que pour les capteurs inférieurs à $500\text{ k}\Omega$, il faudra sonder le capteur avec un signal $> 120\text{ Hz}$ pour une bande passante de 20 Hz sur la plage de sortie de l'amplificateur afin d'optimiser la coupure de bruit et améliorer la précision. Nous avons avec un capteur de $1\text{ M}\Omega$ un plancher de bruit à -70 dBV . Sans filtrage efficace, nous pourrions avoir une incertitude importante provenant de ce bruit-ci. La figure de bruit visible à la Figure 3-15 est supérieure au bruit précédent de l'étage transimpédance. Une plage stable de 200 Hz à 500 kHz pouvant aller de $200\text{ nV}/\sqrt{\text{Hz}}$ à $2,6\text{ }\mu\text{V}/\sqrt{\text{Hz}}$ est visible.

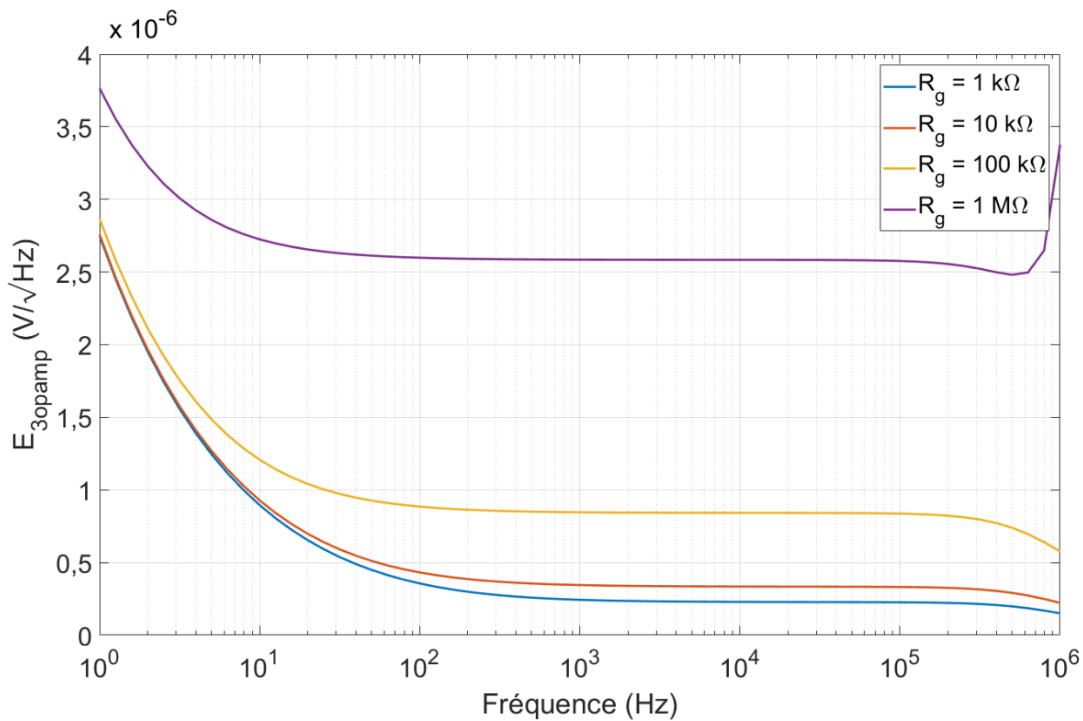


Figure 3-15 : Figure de bruit de l'étage d'amplification 3-AOP simulé depuis Spice.

3.3.2. Méthode de traitement du signal

L'objectif est d'extraire l'impédance complexe de capteur similaire à un circuit RC, ce qui signifie une amplitude et phase variables. Cette partie va donc avoir pour rôle de les séparer. L'amplificateur décrit précédemment montre une incertitude limitée par un bruit blanc ainsi qu'un bruit de scintillement en basse fréquence que cet étage de traitement du signal doit atténuer. Nous privilégions donc un traitement du signal analogique par détection synchrone détaillée dans le [chapitre 2](#). Nous utilisons une implémentation analogique avec des multiplicateurs utilisant des signaux sinusoïdaux afin d'avoir une meilleure suppression du bruit possible comme visible à la Figure 3-16. Afin de réaliser la transposition en DC, nous utilisons des multiplicateurs analogiques « AD633 » possédant une bande passante de 1 MHz. Ces multiplicateurs ont été choisis pour avoir une bande passante suffisamment étroite pour diminuer certaines harmoniques du signal à plus haute fréquence. Les multiplicateurs « AD835 » ont été envisagés et essayés, ce sont des multiplicateurs ayant de meilleures performances de bruit et d'erreur. Cependant, ils possèdent une large bande passante ainsi que des tensions d'entrée plus basse, ce qui ne nous a pas permis d'avoir une erreur plus basse sur la mesure. Le choix de l'utilisation d'une alimentation double nous permet d'utiliser les amplificateurs et multiplicateurs sur des tensions sans composante DC afin de facilement éviter un harmonique supplémentaire pouvant bruite la sortie de la détection synchrone sur les basses fréquences.

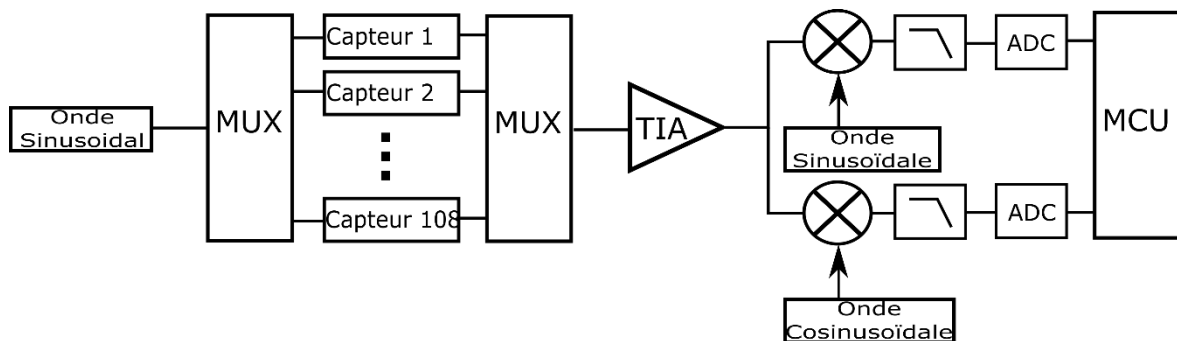


Figure 3-16 : Schéma de l'architecture du système de lecture.

Afin de réaliser le filtrage, nous utilisons des filtres actifs Butterworth implémentés par une topologie Sallen Key (Figure 3-17). Ces filtres actifs sont utilisés principalement pour avoir des coefficients de qualité (Q) plus élevés que des filtres du second ordre passifs. Ces coefficients plus élevés sont dus à la contre-réaction réalisée par la capacité C3, ce qui peut provoquer une instabilité et créer une oscillation [92].

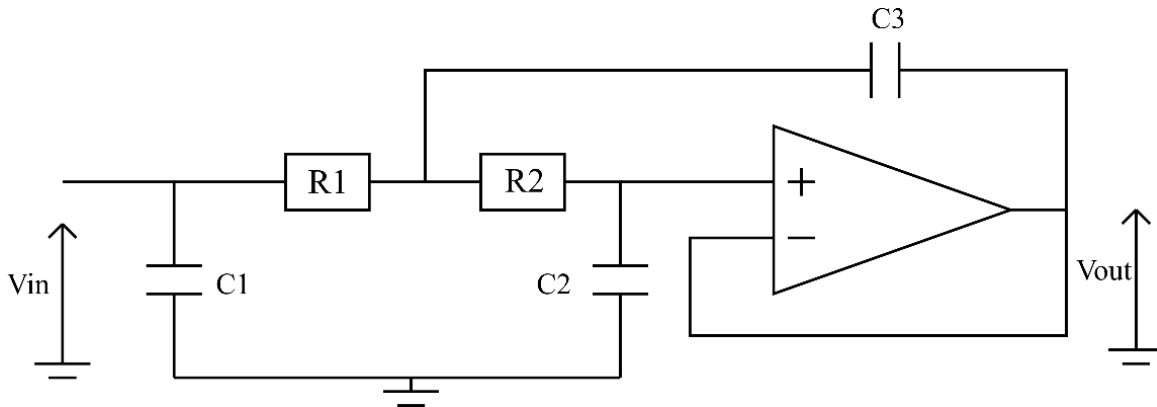


Figure 3-17 : Topologie sallen-key du filtre actif.

La réalisation du filtre va dépendre du rapport entre le temps de réponse et la fréquence de coupure. Plusieurs valeurs de filtre ont été calculées à partir des équations (3-4), (3-5) puis comparées. À la suite de ce filtre, un étage amplificateur de tension supplémentaire est ajouté afin d'adapter la sortie du filtre sur la plage de l'ADC du microcontrôleur et de compenser l'atténuation du multiplicateur (0 V - 3,3 V).

$$H_{LP} = \frac{1}{s^2(R1R2C2C3) + s(R1C2 + R2C2) + 1} \quad (3-4)$$

$$Fc = \frac{1}{2\pi\sqrt{R1C1R2C2}} \quad (3-5)$$

La section précédente sur l'amplification a montré un bruit plancher à partir de 100 Hz. Nous implémentons une valeur de composant de manière que la fréquence de coupure soit suffisamment basse pour filtrer les fréquences inférieures à la fréquence de coude avec l'objectif

que le signal soit peu affecté par le bruit de scintillement, tout en gardant un temps de réponse inférieur à 100 ms (Tableau 3-3, Figure 3-18, Figure 3-19).

Tableau 3-3 : Composant et valeurs du filtre.

Composant	Valeur
R1	15 k Ω
R2	9,1 k Ω
C1	1 pF
C2	0,47 μ F
C3	1 μ F
AOP	ADA4077

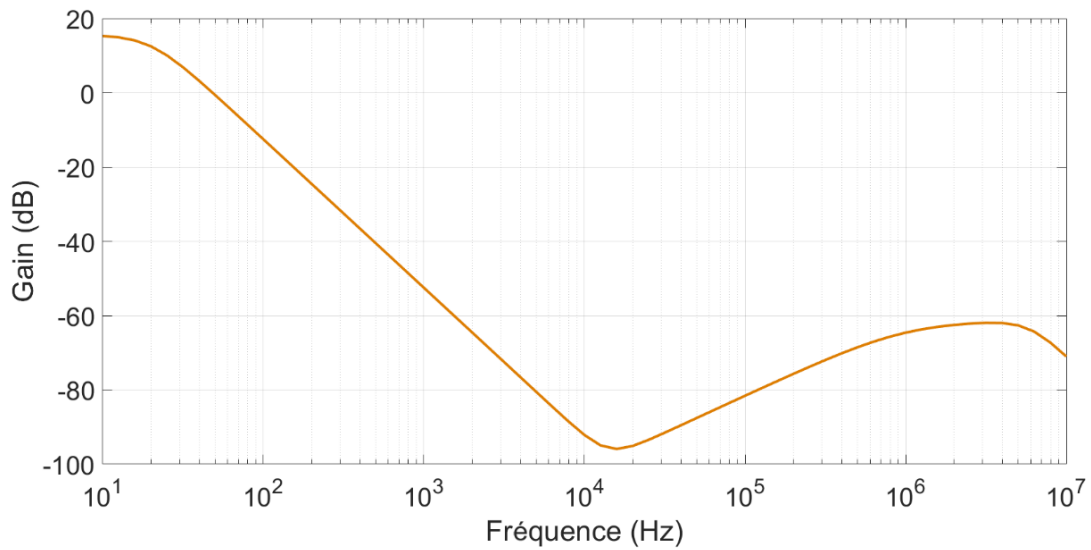


Figure 3-18 : Simulation du gain en fréquence du filtre et de l'étage de gain.

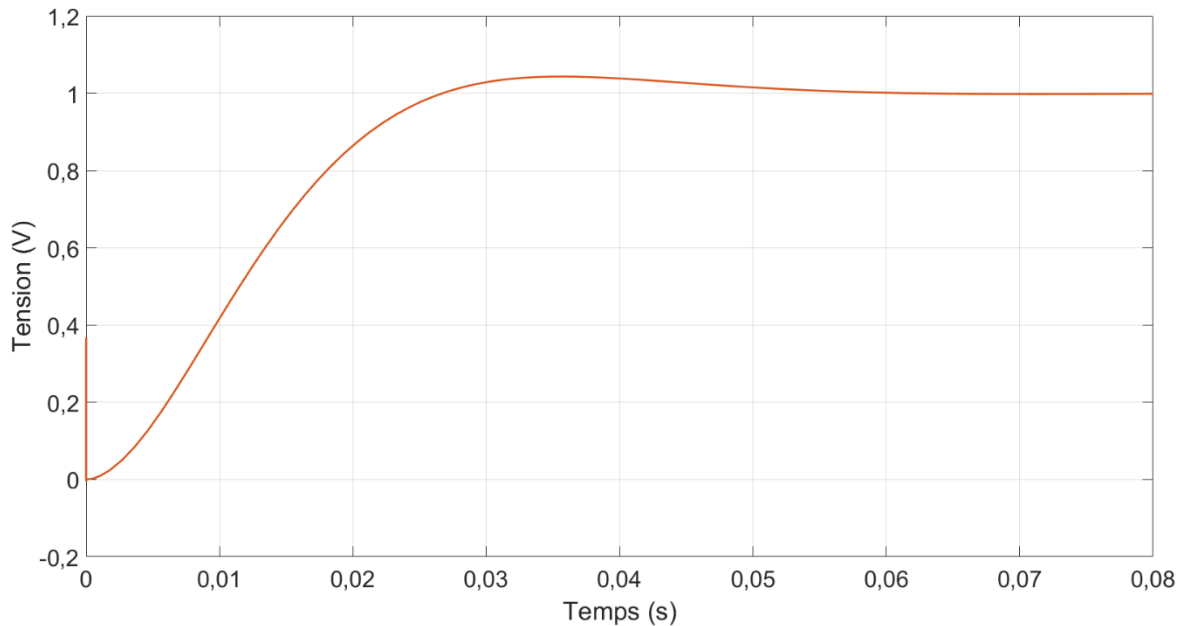


Figure 3-19 : Données de simulation de la réponse temporelle du filtre à une impulsion de 1 V.

Le filtre utilisé possède une fréquence de coupure de 19 Hz ainsi qu'une réponse de 48 ms pour atteindre 99 % de la réponse avec un coefficient Q de 0,7 pour avoir un gain constant. Il devrait nous permettre, depuis la fréquence de coude visible à la section précédente, de sonder les capteurs à partir de 200 Hz avec un minimum de bruit de scintillement provenant de l'amplificateur.

La première implémentation de l'étage d'amplification et de la détection synchrone est visible sur la Figure 3-20. Ce PCB a été conçu comme prototype et a été réalisé en étant le plus modulaire possible. La deuxième version du PCB (Figure 3-21) comporte l'ensemble des fonctionnalités nécessaires pour qu'il puisse être utilisé pour les mesures en chambre environnementale et sur la ligne d'assemblage. Il possède l'intégralité des blocs décrits dans le [chapitre 3](#).

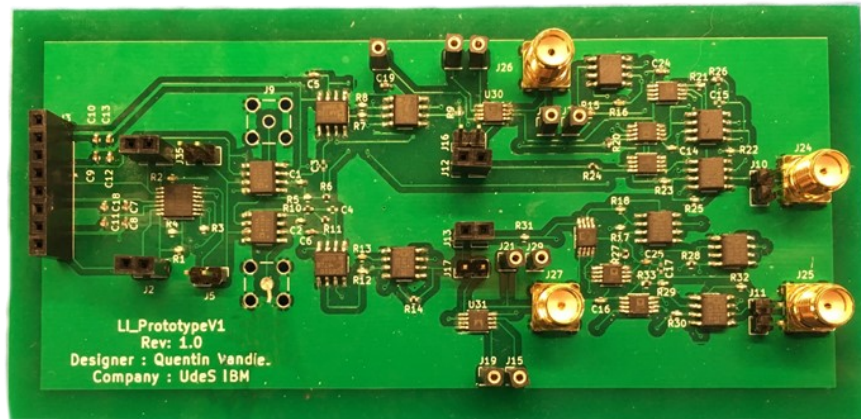


Figure 3-20 : Photographie de la première implémentation de la détection synchrone sur un PCB de test.

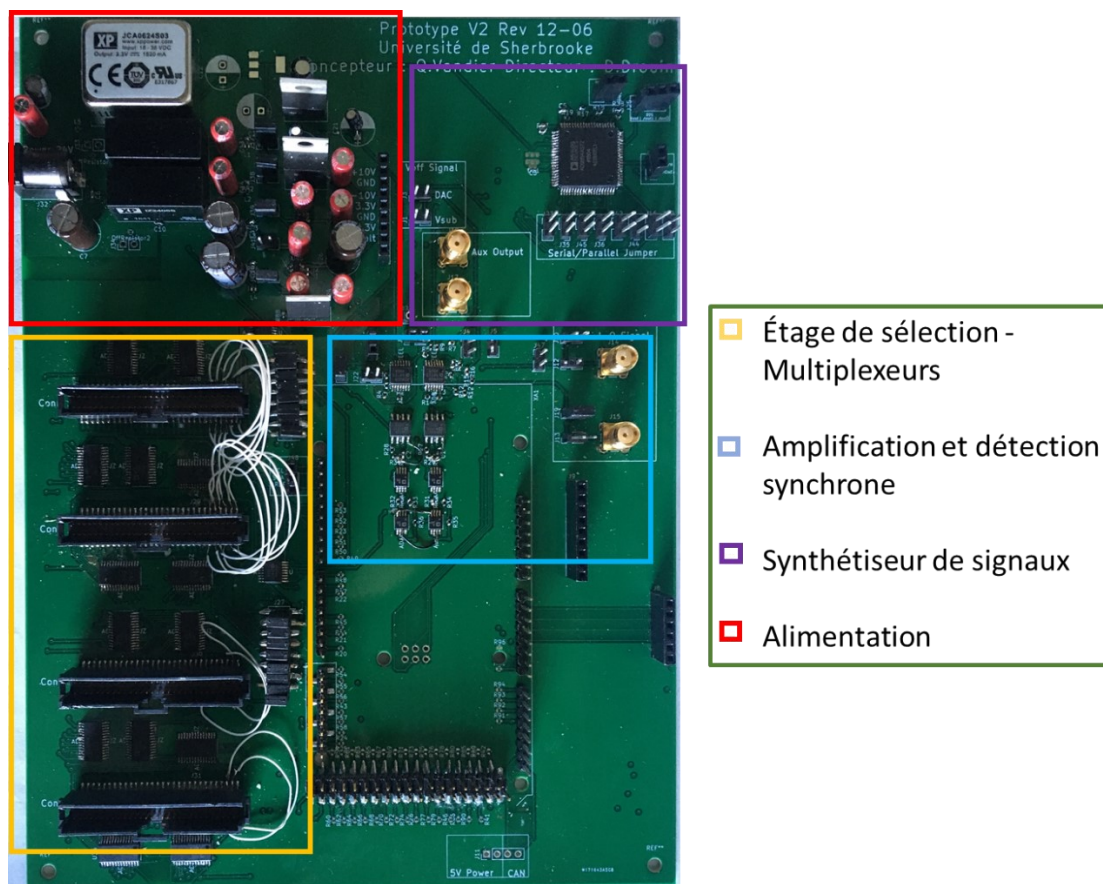


Figure 3-21 : Photographie de la deuxième version de l'implémentation du système de lecture sur PCB.

Pour réaliser les ondes sinusoïdales, nous avons dans un premier temps utilisé une source de signal en quadrature réalisée avec une DDS extérieure « JDS6600 », que nous contrôlons par USB depuis une connections série avec le script python. Par la suite, nous avons implémenté au sein du PCB un synthétiseur de fréquence ayant un accumulateur de phase (DDS), topologie visible à la Figure 3-22, à l'aide du composant « AD9854 » de Analog Devices. Ce composant est contrôlé par des registres de contrôle écrits et lus via une communication parallèle avec le microcontrôleur. Les spécifications de ce composant sont reportées dans le Tableau 3-4. L'horloge est réalisée par un oscillateur cadencé à 80 MHz et le registre de phase est de 48b, ce qui permet d'avoir un pas inférieur au mHz. L'utilisation d'un oscillateur local éloigné des fréquences synthétisées par la DDS nous permet d'éliminer facilement les fréquences parasites produites par l'échantillonnage du DAC. L'AD9854 a été choisi pour sa sortie en décalage de phase de 90°, ce qui nous évite d'avoir à synchroniser deux DDS, et pour un registre suffisamment long pour pouvoir obtenir un pas de fréquence fin. Nous utilisons un étage supplémentaire en sortie des DAC pour adapter le signal au reste du circuit (Amplitude, DC offset). Les DAC produisent un courant de 20 mA pour 1 Vc-c. Afin d'adapter le signal au montage, et également de compenser le décalage de phase de l'étage d'amplification, nous instaurons un circuit avec des amplificateurs permettant de réaliser le décalage de phase entre le DAC et le reste du circuit ainsi que de supprimer la composante DC (Figure 3-23).

Tableau 3-4 : AD9854 spécification [93].

AD9854	Fréquence d'horloge maximum	40 MHz
	DAC définition	12 b
	Registre de fréquence	48 b
	Communication	8 b parallèles
	Erreur de phase IQ	0,2°

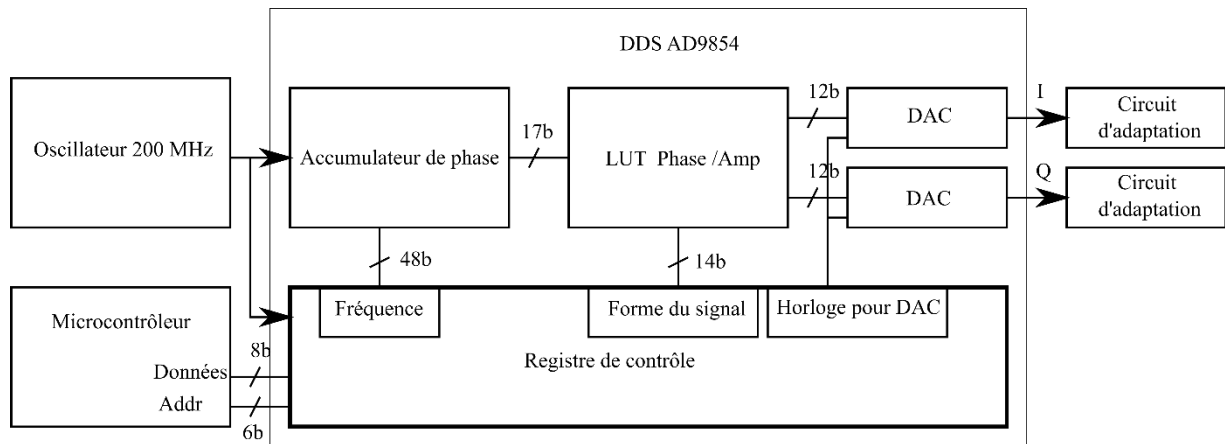


Figure 3-22 : Topologie du générateur de signaux embarqué.

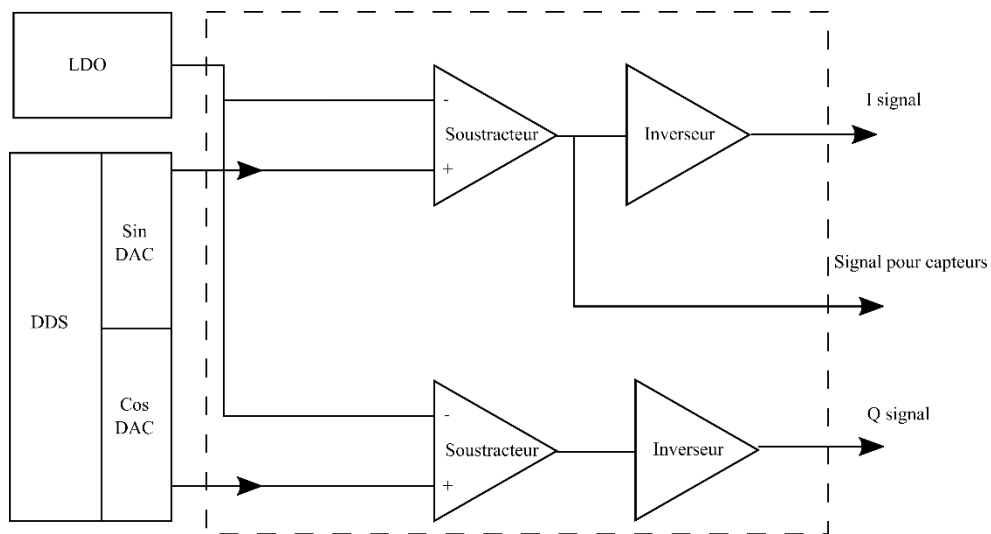


Figure 3-23 : Schéma du circuit d'adaptation du signal généré par la DDS aux capteurs CNT.

3.4. Caractérisation et performance

3.4.1. Bande passante

La fonction de transfert des montages en transimpédance lie la bande passante et le gain à l'impédance dans la boucle de contre réaction du montage comme visible à l'équation (3-6).

$$V_{out} = I_{capteur} \times A_{AV} = -I_{capteur} \times \frac{R_g}{1 + j2\pi f R_g C_g} \quad (3-6)$$

Nous avons simulé l'effet de variation de la résistance R_g sur le gain en tension de l'amplificateur avec le simulateur Spice3 pour vérifier les valeurs de fréquences de coupure avec les modèles de l'AD8608 en fonction des gains pour différents modules de capteurs (Figure 3-24). Nous avons simulé à la Figure 3-25, avec le montage différentiel 3-AOP, une bande passante semblable supérieure à 400 kHz. Nous avons un déphasage plus important que précédemment avant la bande passante voulue. Ce déphasage peut être problématique si l'on veut récupérer les variations de R et C du modèle R//C. Afin de réduire l'impact du déphasage lié à l'amplification, un circuit reproduisant ce décalage de phase pour les signaux (I/Q) utilisés dans la détection synchrone a été implémenté.

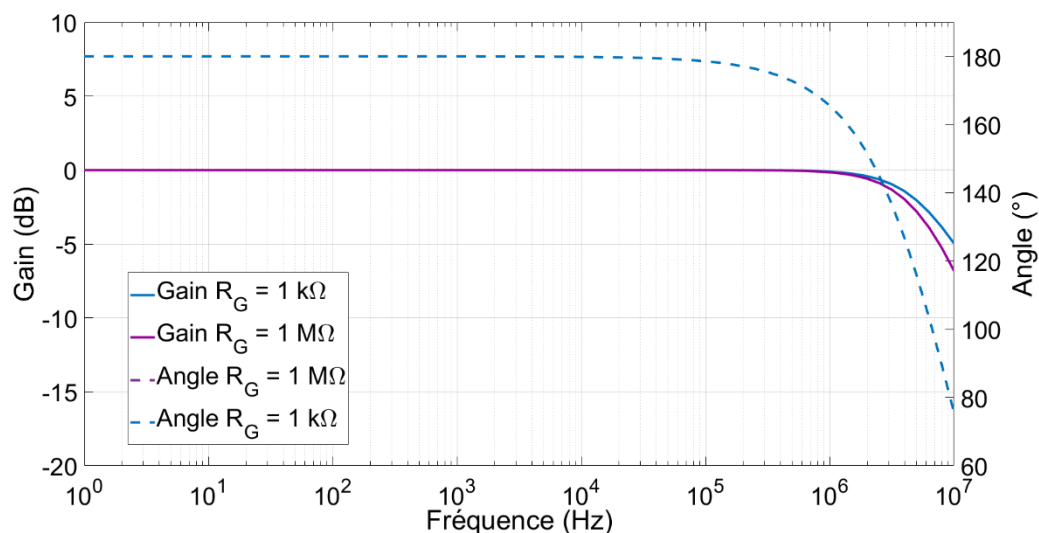


Figure 3-24 : Courbe de simulation du gain en tension (courbe pleine) et du déphasage (courbe en pointillé) de l'étage de transimpédance en fonction de la fréquence de l'étage d'amplification et de différente résistance R_G .

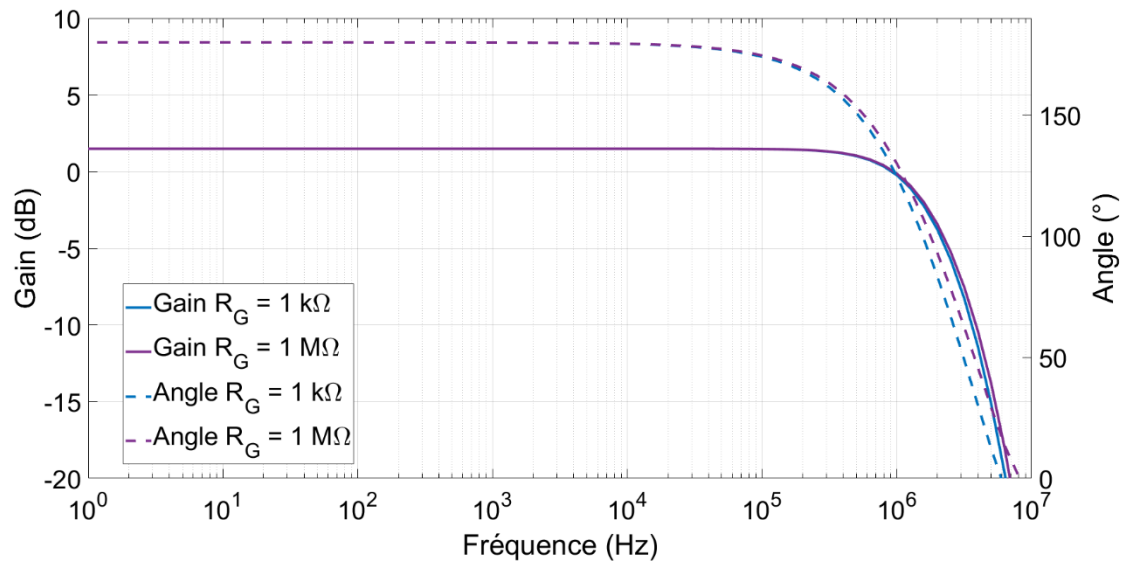


Figure 3-25 : Courbe de simulation du gain en tension (courbe pleine) et déphasage (courbe en pointillé) de l'étage d'amplification différentielle 3-AOP en fonction de la fréquence de l'étage d'amplification et de différentes résistances R_G .

3.4.2. Plage de détection

La plage de détection du système de lecture est déterminée par le gain de l'étage d'amplification et des limites en tension de sortie de cet étage. Nous utilisons donc différents gains suivant le module utilisé, afin d'adapter la plage de détection.

Lors des tests nous nous concentrons sur les capteurs d'humidité rectangulaires dont la résistance est autour de 30 k Ω . L'utilisation de l'AD8608 avec un gain de 30 k Ω (Valeur de gain typique de gain pour les capteurs « patch » module M1142, voir [Tableau 4-1 Chapitre 4](#)) nous permet d'avoir une plage mesurée avant compression du gain de 11 μ A à 100 μ A en utilisant la totalité de la plage de tension de l'AOP (Figure 3-26).

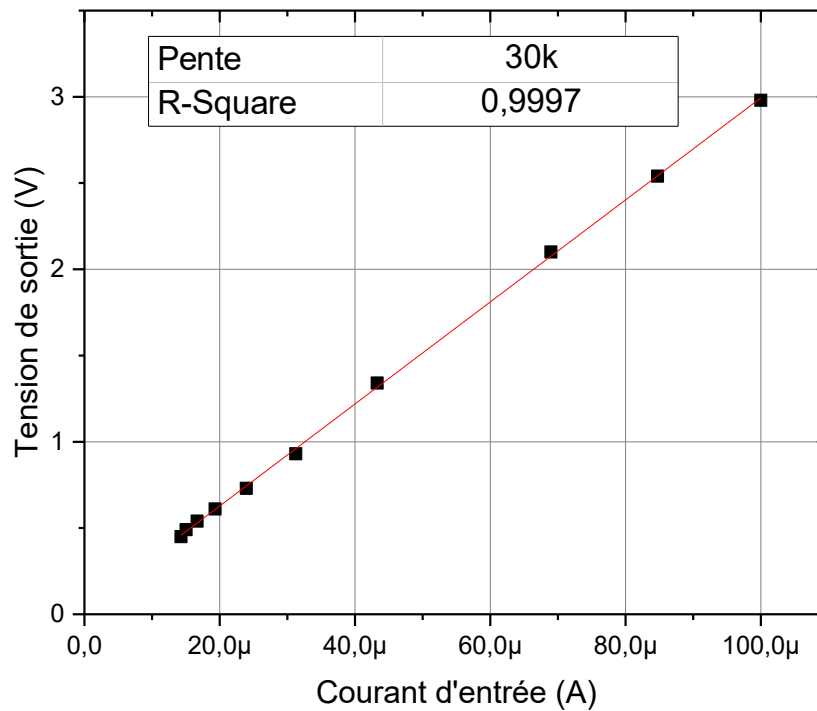


Figure 3-26 : Plage de fonctionnement mesurée de l'étage transimpédance pour un gain R_G de 30 k Ω .

Avec une résistance R_g fixée de 30 k Ω et une source de tension de 250 mV à 2 V d'amplitude, nous avons une plage d'impédance pouvant aller de 8 k Ω à 181 k Ω de la valeur voulue. Le changement de source de tension peut nous permettre facilement de balayer une grande plage de résistance. Pour chaque tension d'alimentation, une vérification de l'absence de dérives des capteurs provoquées par un auto-échauffement a été réalisée. Ceci permet pour une tension fixe de mesurer une plage de maximum 800 %RV soit une plage plus importante que les variations maximales mesurées expérimentalement. Ces variations maximales sont de 32 %RV selon les sensibilités des véhicules de test sur un capteur de 30 °C à 130 °C de 0 %RH à 85 %RH.

Les capteurs à nanotube de carbone sur véhicule de test montrent une valeur de résistance médiane DC de 30 k Ω pour les capteurs rectangulaires et de 500 k Ω pour les serpents à 30 °C et 30 %RH. La sensibilité des capteurs a été caractérisée à 0,15 °C/%RV et 0,2 %RH/%RV sur des plages de température de 30 °C à 130 °C et sur une plage d'humidité de 5 %RH à 85 %RH. Ceci est décrit dans le chapitre sur les modèles de comportement des capteurs face à la température et à l'humidité de la thèse de Aurore Quelennec [17]. Nous avons donc une détection possible sur la plage estimée initialement en prenant en compte les variations d'impédances des capteurs de 23,7 k Ω à 605 k Ω afin de sonder l'intégralité des capteurs avec un seul gain. Les résultats précédents nous montrent que nous pouvons mesurer l'intégralité des capteurs du module avec un gain de 142 k Ω . Afin d'avoir plus de flexibilité, nous laissons la possibilité sur les PCB de changer manuellement les valeurs de gain du premier étage afin de répondre aux changements éventuels des procédés de fabrication.

Les caractérisations des modules qui seront décrites et détaillées au chapitre 4 ont montré des modules avec des capteurs dont la gamme de valeurs est plus large que la plage estimée, du fait des variabilités du procédé de fabrication. Pour les modules avec de larges variations, nous nous sommes concentrés sur les capteurs rectangulaires réalisés pour mesurer l'humidité. La majeure partie de ces capteurs se situe entre 15 k Ω et 150 k Ω . Le procédé de fabrication a évolué au long de ma thèse et a permis d'avoir des modules réalisés avec des capteurs ayant une résistance uniforme autour de 5 k Ω . Ces modules de capteurs ont permis d'utiliser le deuxième montage d'amplification, le montage différentiel 3-AOP ayant une meilleure performance en termes d'incertitude de mesure.

Deux étages d'amplification constituent l'amplificateur différentiel 3-AOP défini dans « méthode d'amplification ». Un premier amplifie le courant traversant les capteurs, puis un deuxième amplifie la différence entre ce courant et celui d'une référence avec un second gain fixée par le ratio $\frac{R3}{R2} = \frac{R4}{R5}$. Cet étage supplémentaire permet d'avoir une amplification de la variation 4,8 fois plus importante que l'étage de transimpédance, mais possède une plage de détection de 67 % de la valeur de référence (Figure 3-27). Cette plage est plus basse que précédemment, mais permet d'augmenter le gain. Cet étage sera donc utilisé sur une géométrie de capteurs avec un procédé qui permet une uniformité suffisamment élevée entre capteurs que nous verrons au prochain chapitre. Afin de voir si cet étage permet une véritable amélioration nous devons analyser le rapport signal sur bruit (SNR) et l'incertitude sur la mesure. L'utilisation des deux étages permet donc d'augmenter le gain du système tout en diminuant la plage de détection. L'amplificateur à détection synchrone n'a pas de limite de détection d'angle de l'impédance. Nous aurons toutefois une limite d'angle de 90° due à la lecture du signal par les ADC.

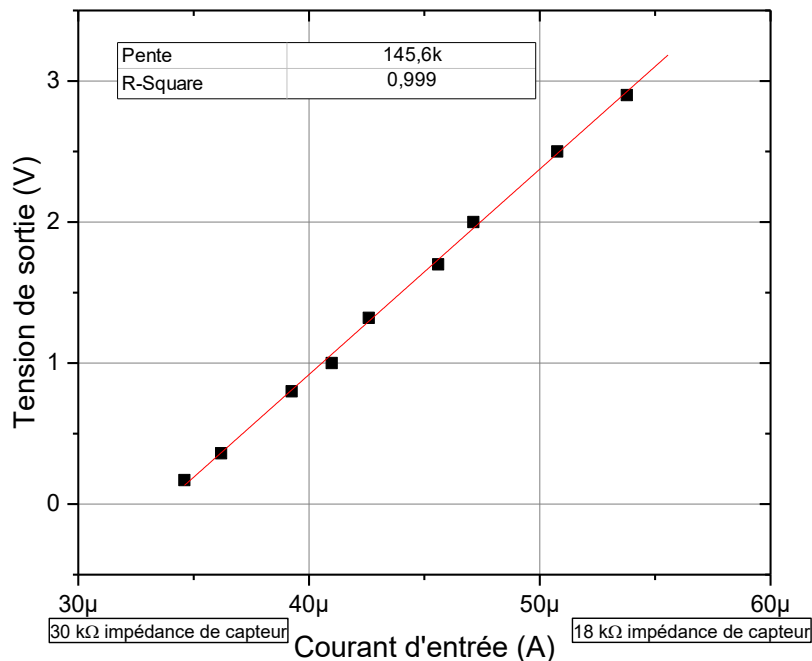


Figure 3-27 : Plage de détection mesurée pour une impédance de référence de 30 kΩ du circuit d'amplification différentiel 3-AOP.

3.4.3. Validation du montage et incertitude de mesure

Nous utilisons l'analyseur d'impédance commercial « 500 kHz MFIA Impedance Analyser » de Zurich Instrument pour valider notre montage. Cet instrument a une précision de 0,05 % sur une plage de 1 Ω à 1 M Ω pour des fréquences inférieures à 500 kHz.

La Figure 3-28 montre le suivi de l'impédance d'un capteur variant suivant la température et l'humidité mesurées par l'analyseur d'impédance commercial et notre circuit. À partir de cette variation d'impédance du capteur intégré, nous avons pu comparer les résultats donnés par l'analyseur d'impédance et par notre circuit de lecture.

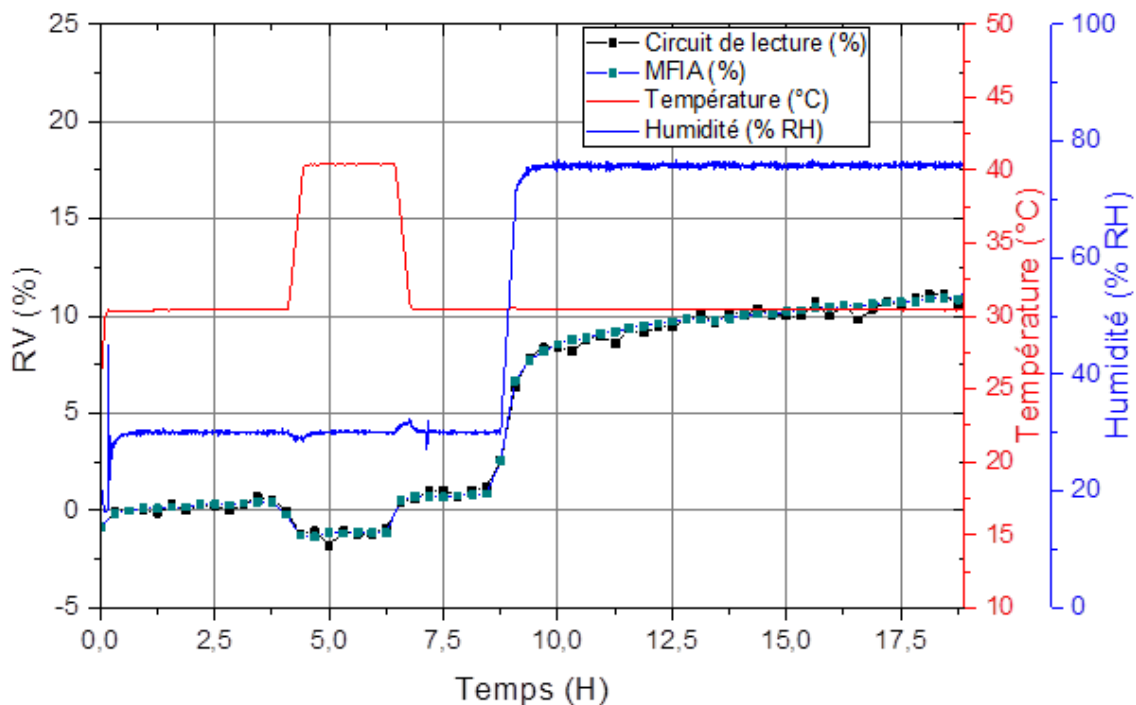


Figure 3-28 : Données de mesure de la variation d'impédance du système de lecture et de l'instrumentation commerciale face à une variation de température et humidité.

Les distributions de mesures nous montrent un comportement gaussien (Figure 3-31). Ce comportement gaussien montre un bruit non corrélé provenant majoritairement du bruit thermique et de scintillement expliqué précédemment par les simulations. Nous pouvons donc

moyenner les valeurs sans altérer la fidélité de la mesure, mais en augmentant le temps de mesure. Des séquences d'une vingtaine de mesures nous ont permis de descendre à 0,2 %RV puis une centaine de mesures a permis d'obtenir une incertitude de l'ordre de 0,1 %RV avec le montage transimpédance.

La sortie du filtre permet de diminuer l'incertitude de la mesure en diminuant la bande passante du bruit. Nous pouvons observer qu'avec une mesure d'impédance la précision varie aussi en fonction de la fréquence utilisée visible à la Figure 3-30. Nous arrivons à avoir une erreur constante avec des fréquences < 500 Hz en utilisant un étage d'amplification transimpédance simple. Ces variations sont dues au bruit de scintillement qui modifie la précision en fonction de la fréquence utilisée et qui n'est pas complètement supprimé par le filtre. L'ajout d'étage de filtrage supplémentaire, ou la diminution de la fréquence de coupure, pourraient diminuer cette erreur de mesure mais modifier le temps de mesure.

L'étage transimpédance a sur sa plage de détection une incertitude de mesure dépendante du courant sondé visible à la Figure 3-29. Pour des courants de $30 \mu\text{A}$ à $81 \mu\text{A}$, soit une plage dynamique de 300 %RV, l'étage transimpédance possède une erreur de mesure maximale de 0,45 %RV et un écart type de 0,15.

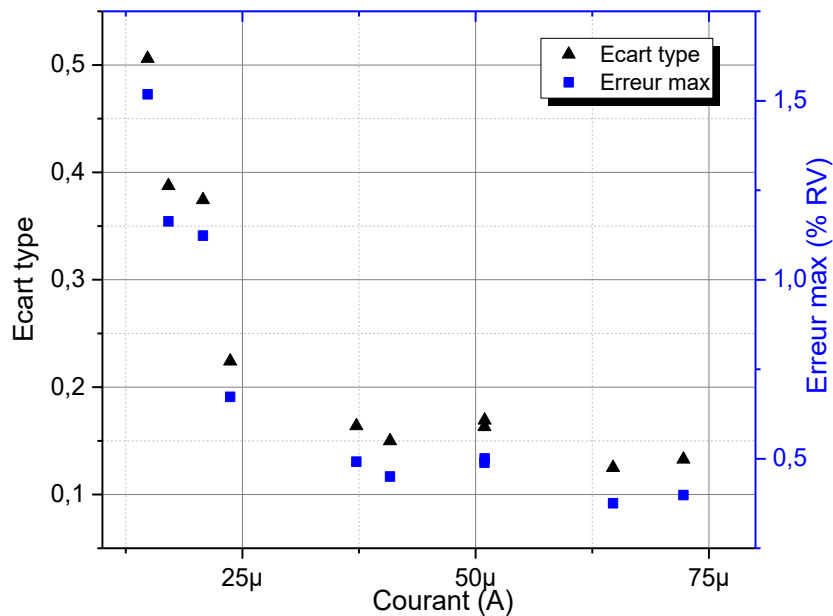


Figure 3-29 : Variation de l'erreur de mesure en fonction du courant sondé avec $R_G=37\text{ k}\Omega$, soit une plage de courant de $10\text{ }\mu\text{A}$ à $81\text{ }\mu\text{A}$.

Des mesures sur une résistance stable montrent une meilleure précision avec le second circuit d'amplification permettant de passer de $0,45\%$ RV à $0,1\%$ RV pour $30\text{ k}\Omega$ en maximum variation (3σ) soit des résolutions de 338 nA et 66 nA visibles à la Figure 3-31. Cela montre donc un meilleur SNR. Cette incertitude équivaut à un bruit au niveau des ADC de $2,7\text{ mV}$ ($\pm 0,8\text{ mV}$) pour le montage avec transimpédance et $4,5\text{ mV}$ pour le montage différentiel avec une amplification supplémentaire de 13 dB .

Les performances de l'étage transimpédance avec détection synchrone sont suffisantes pour la sensibilité des capteurs prototypes et permettent de suivre une variation de $1,2^\circ\text{C}$ et $1,8\%$ RH sur 300% RV. Pour une précision inférieure au $^\circ\text{C}$ et au $\%RH$, il faudra passer sur le second montage ou réaliser des séquences de mesure qui permettent de réduire le bruit aléatoire.

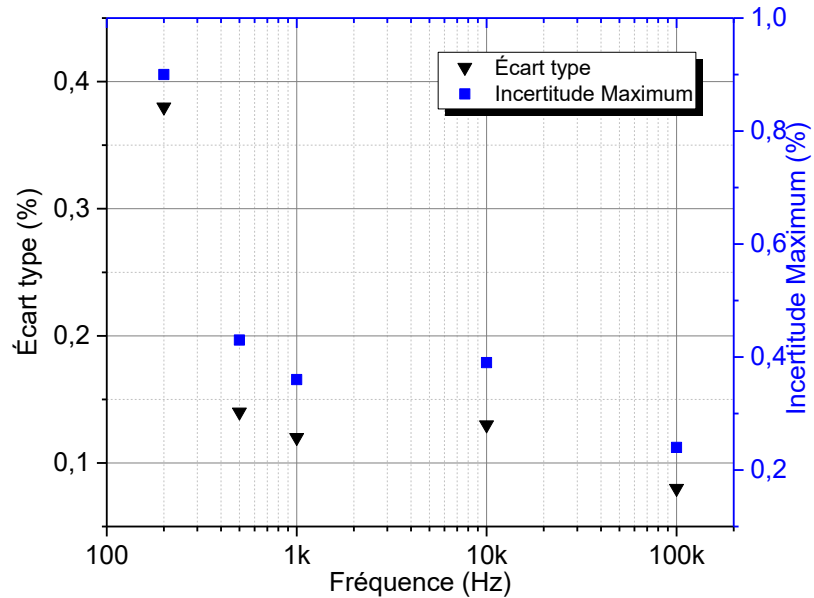


Figure 3-30 : Analyse de la dispersion des mesures avec l'étage d'amplification transimpédance en fonction de la fréquence utilisée. Graphique représentant l'évolution de la variation maximale ($\approx 3\sigma$) obtenue et l'écart type (σ) des mesures en fonction de la fréquence.

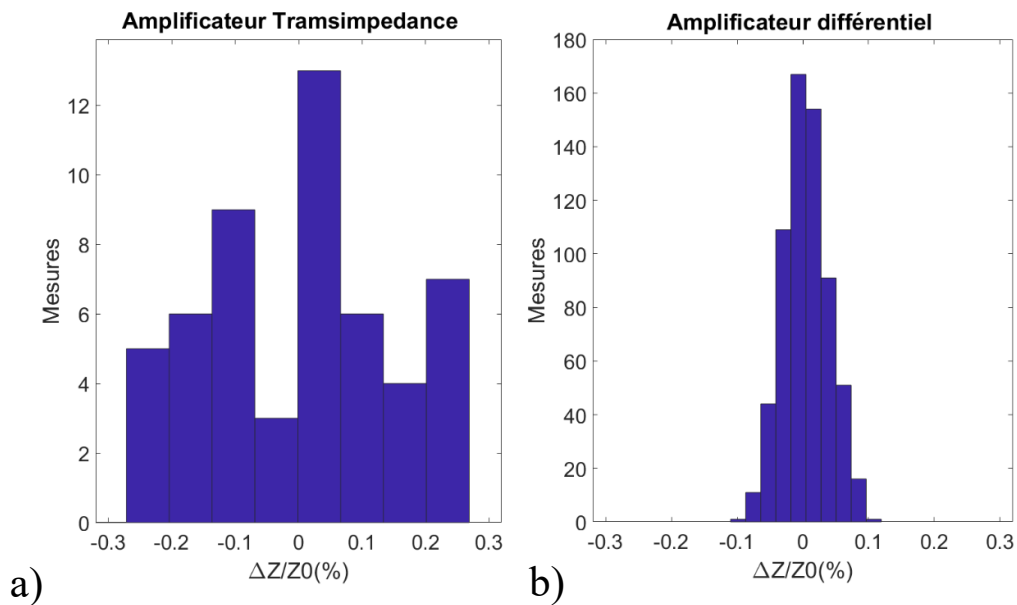


Figure 3-31 : Distribution des données du circuit de lecture à 10 kHz sur un capteur prototype non intégré à température et humidité constante avec un $R_g = 30\text{ k}\Omega$. a) le circuit ayant un amplificateur transimpédance b) le circuit possède un amplificateur transimpédance différentiel à deux étages.

3.5. Communication et contrôle

Le contrôle et la sauvegarde des mesures se font par microcontrôleur et nécessitent une connexion USB avec un PC. Sur celui-ci, un logiciel dédié, programmé en python, permet de contrôler le système de lecture (GUI visible à l'[Annexe D](#)). Le microcontrôleur choisi est le SAM3X8E d'ATMEL® pour sa grande quantité d'I/O permettant une gestion en parallèle des multiplexeurs.

Afin de récupérer les tensions provenant du circuit, deux méthodes ont été réfléchies :

- L'utilisation des ADC du microcontrôleur.
- L'implémentation d'un convertisseur tension-fréquences (VFC).

La réalisation d'un VFC a été envisagée, mais abandonnée au profit de l'utilisation d'ADC déjà implémenté au sein du microcontrôleur. Les données envoyées par le VFC seraient codées dans la période de son signal et permettraient d'avoir un signal moins dépendant de l'atténuation de la ligne et de ne pas utiliser d'ADC. Cependant, un microcontrôleur ayant une horloge plus élevée serait nécessaire pour l'utilisation de VFC avec une résolution équivalente aux ADC.

La récupération des signaux de la détection synchrone se fait donc par un convertisseur analogique numérique (Figure 3-32) intégré au microcontrôleur. Ce microcontrôleur, choisi pour la gestion du système de lecture, possède des ADC d'une résolution de 12 bits sur 3V, soit de 0,8 mV (0,024 %). Cette résolution liée à la quantification de l'ADC est inférieure à l'incertitude de mesure. La vitesse des ADC cadencés à 1 MHz étant largement supérieure à la constante de temps de 48 ms du filtre analogique, la limitation sera donc dépendante de la réponse du filtre [94]. Le microcontrôleur dispose d'un gain programmable (PGA) non utilisé ici. Nous avons à posteriori implémenté un étage de gain pour avoir une adaptation plus précise de la sortie du filtre à la plage d'entrée de l'ADC et nous affranchir des valeurs prédéfinies du microcontrôleur.

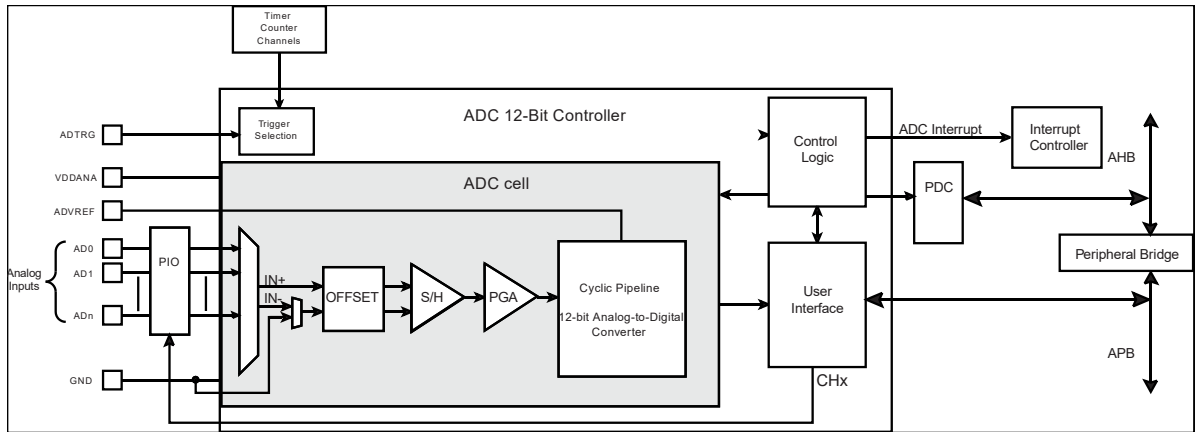


Figure 3-32 : Diagramme du convertisseur analogique numérique du microcontrôleur SAM3XE [94].

Les ADC, ne permettant pas de lire de valeur négative, ne pourront donc pas lire les signaux de la détection synchrone en opposition de phase avec les signaux parcourant le capteur. Ceci limite donc la lecture de l'angle possible et donc au système RC. Pour contourner cela, il est possible d'utiliser des ADC avec une plage de tension différente ou varier la phase des signaux, bien que cela n'ait pas été implémenté. La puce utilisée (AD9854) propose une fonction de variation de phase. Il est donc possible de lire un signal inverse sans changer le circuit.

Le contrôle de la détection synchrone et de la fréquence utilisée est réalisé dans un premier temps par l'interface graphique en python et la connexion USB lorsque nous utilisons le générateur externe. Puis dans un second temps avec le générateur embarqué, le microcontrôleur communique en parallèle avec la puce pour la gestion des fréquences.

3.6. Conclusion

Nous avons réalisé un montage complet permettant d'extraire des valeurs d'impédance complexe et donc de pouvoir mesurer des systèmes RLC. Nous avons donc deux variantes de l'étage d'amplification adaptées pour différents modules de capteurs.

Nous avons une variante du montage à plage de détection restreinte capable d'atteindre une incertitude inférieure à 0,1% RV. Cela permet de suivre la température et l'humidité mesurées par une géométrie de capteurs intégrés à nanotubes de carbone sur une plage de variation de plus de 60% RV. Ceci est conforme à la variation d'impédance des capteurs à l'environnement (variation maximale de 85% RV). La deuxième variante permet d'avoir une plage de détection large de 800% RV mais possède une incertitude plus importante de 0,45% RV.

Notre circuit de lecture possède une vitesse maximale de 48 ms par mesure et une plage de fréquence de 200 Hz à 400 kHz qui comprend la plage des fréquences d'invariance décrit dans le chapitre 2.

Dans la littérature, le Tableau 3-5 référence plusieurs travaux utilisant des détecteurs synchrones implémentés sur PCB, dont un en particulier portant sur la réalisation d'un système d'acquisition pour capteurs de gaz ([95]). Ce montage peut se rapprocher du nôtre, même s'il bénéficie d'une plus grande liberté sur la bande passante, se servant de la détection synchrone seulement pour du filtrage du bruit. Cette contrainte éliminée leur permet d'obtenir un gain élevé dès le premier étage d'amplification. Afin de ne pas perturber la réponse, un filtre avec une fréquence de coupure plus basse que la nôtre (0,1 Hz) est utilisé, ce qui permet d'avoir une résolution importante malgré le gain important. Ce filtre impacte le temps de réponse du système. Nous retrouvons donc dans la littérature les compromis précision/temps de mesure et amplification/plage dynamique/bande passante.

Aguirre et al [63] utilise une génération de signal carré pour réaliser la détection synchrone. Ce qui augmente l'erreur, mais permet d'avoir un coût moindre et une architecture plus simple et plus compacte. Ce type d'architecture serait intéressant pour une future implémentation sur ASIC compact et basse consommation. Ceci permettrait d'une part un suivi en temps de vie

d'un assemblage, et d'autre part, d'identifier des températures ou des taux d'humidité pouvant causer des défaillances.

Le système de lecture que nous avons réalisé permet d'étudier le fonctionnement des capteurs CNT ainsi que les différents mesurandes. Grâce à cela, nous avons pu caractériser les capteurs embarqués et ainsi étudier la diffusion de l'humidité et l'influence de la température sur un assemblage FC-PBGA, que nous allons voir dans le prochain chapitre.

Tableau 3-5 : Performance de détection synchrone sur PCB dans la littérature.

Référence	Circuit présenté avec transimpédance (avec $R_g = 30\text{ k}\Omega$)	Circuit avec 3-AOP amplification (avec $R_g = 30\text{ k}\Omega$)	[95] De Marcellis et al. 2012	[62] De Marcellis et al. 2017	[63] Aguirre et al. 2014
Technologie	Analog PCB	Analog PCB	Analog PCB	Analog PCB	Analog PCB
Bande passante (kHz)	0,2 - 400	0,2 - 400	0,077	0 - 1000	1 - 99
Plage de détection	11 μA - 100 μA	34 μA - 55 μA	20 nV - 2 μV	0,025 - 10 mV	9 - 22 mV
Résolution de la mesure	300 nA	66 nA	20 nV	25 μV	-
Vitesse de la mesure (ms)	48	48	120	-	-
Incertitude Maximum sur la mesure (%)	0,45@10 kHz (33 μA - 100 μA)	0,1@10 kHz	-	<1	<5 @ -30 dB SNR
Sensibilité	30k [V/A]	168k [V/A]	13M [V/V]	40 [V/V]	-

Chapitre 4: Analyse du module de capteurs

4.1. Analyse des capteurs

4.1.1. Caractéristique des modules de capteurs

Au sein du groupe de recherche sur les assemblages en microélectronique, plusieurs puces de capteurs ont été réalisées le long du projet par divers doctorants et postdoctorants Umar Shafique, Yosri Ayadi, Aurore Quelennec et Julien Pezard. Nous avons utilisé les capteurs de deuxième et troisième générations qui ont été développés en même temps que le circuit de lecture. Le Tableau 4-1 nous livre la liste et les caractéristiques des capteurs que nous avons réalisés et utilisés dans ce chapitre. Des informations complémentaires sur le procédé de fabrication se trouvent à [l'Annexe A](#). La caractéristique essentielle qui est variable suivant les modules de capteurs est l'épaisseur de CNT. Elle fait varier la sensibilité et la résistance DC du capteur. L'épaisseur de CNT est modifiée suivant la concentration de CNT dans la matrice de polyimide. L'ajout d'un procédé de centrifugation des CNT avant déposition sur les modules de capteurs de 3^e génération a permis d'améliorer la qualité du film de CNT.

Ces différents modules de capteurs sont assemblés face retournée (assemblage flip-chip) sur un laminé par une matrice de bille (C4). Ces modules sont ensuite soudés par leur deuxième matrice de bille (BGA) sur un flexible. Chaque différent procédé de capteurs a eu un assemblage qui a été arrêté à certaines étapes (Figure 4-1) :

- Modules assemblés sans matériau de remplissage entre laminé et puce.
- Modules possédant un matériau de remplissage, mais sans capot.
- Modules ayant eu un assemblage complet avec matériaux de remplissage et capot.

Les modules assemblés sans matériau de remplissage nous permettent de caractériser les capteurs montés sur un laminé en flip-chip. Les modules avec matériau de remplissage vont, quant à eux, nous permettre d'étudier le suivi et la diffusion de l'humidité dans un assemblage FC-PBGA. Les modules complètement assemblés permettront d'utiliser les capteurs dans le cas d'une mesure de l'humidité pendant la durée de vie de l'assemblage. L'arrêt du processus

d'assemblage de ces modules pendant différentes étapes (étape 4 : Nettoyage et séchage, étape 6 : Recuit du matériau de remplissage à la Figure 4-1) nous permet d'étudier les taux d'humidité et les gradients de température que subissent ces assemblages pendant les procédés intermédiaires.

Tableau 4-1 : Caractéristique des capteurs de certains modules

ID Module	Génération du procédé de capteurs	Épaisseur CNT (nm)	Concentration CNT (mg/ml)	Centrifugation
M1142	2	N.R.	0,1	Non
N1026	3	120	0,1	Oui
N1027	3	300	0,2	Oui
N1028	3	350	0,3	Oui

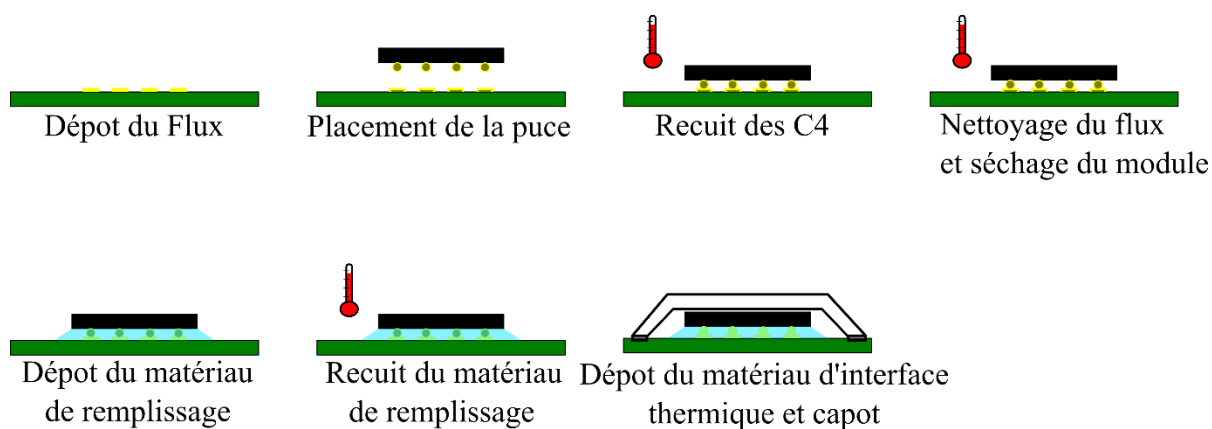


Figure 4-1 : Illustration du procédé d'assemblage flip-chip.

Des mesures avant assemblage sur les billes de brasure de la puce ont permis de caractériser la résistance des capteurs obtenues par l'analyseur de paramètre « Keithley 4200 » avec les différents procédés de fabrication. Le module utilisant les capteurs de 2^e génération M1142 montre une grande variabilité de résistance visible à la Figure 4-2 due à une grande variabilité

d'épaisseur des capteurs avec des agrégats de CNT visibles sur les capteurs. Les modules de 3^e génération avec procédé de centrifugation visible à [l'annexe E](#) ont permis d'améliorer l'uniformité de l'épaisseur des capteurs et donc de leur variabilité en résistance avec en exemple le module N1027 à la Figure 4-3. Ayant une dispersion de résistance plus petite à sonder, nous nécessitons une plage dynamique plus basse pour sonder l'intégralité des capteurs. Ceci a permis d'augmenter le gain de l'étage d'amplification pour atteindre une précision de 0,1 % de l'impédance mesurée comme expliqué au Chapitre 3. Comme attendu, nous pouvons voir à la Figure 4-4 que l'augmentation de l'épaisseur de CNT diminue la résistance jusqu'à un palier de 5 k Ω obtenu à partir d'une épaisseur de 300 nm pour notre géométrie rectangulaire de capteurs. Ce palier met en évidence le niveau de résistance lié à la connectivité et non au dépôt de CNT de notre capteur, c'est-à-dire à l'ensemble des résistances de contact CNT/Titane Titane/Aluminium et BLM.

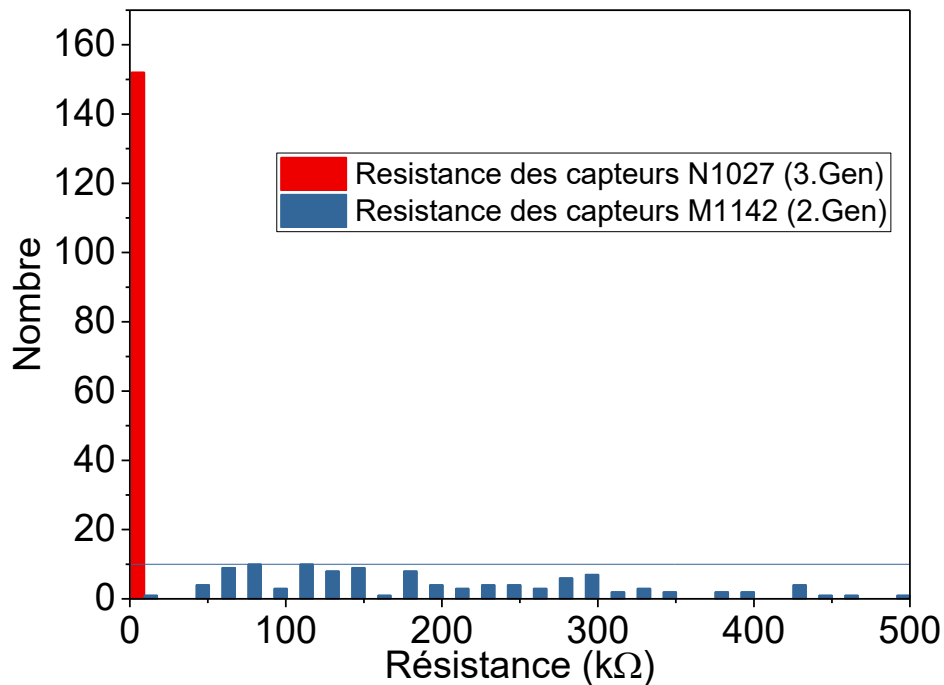


Figure 4-2 : Histogramme de la valeur des résistances de capteurs rectangulaires d'un wafer de 3^e génération (N1027) et de 2^e génération (M1142), capteur mesuré sur les billes de brasure.

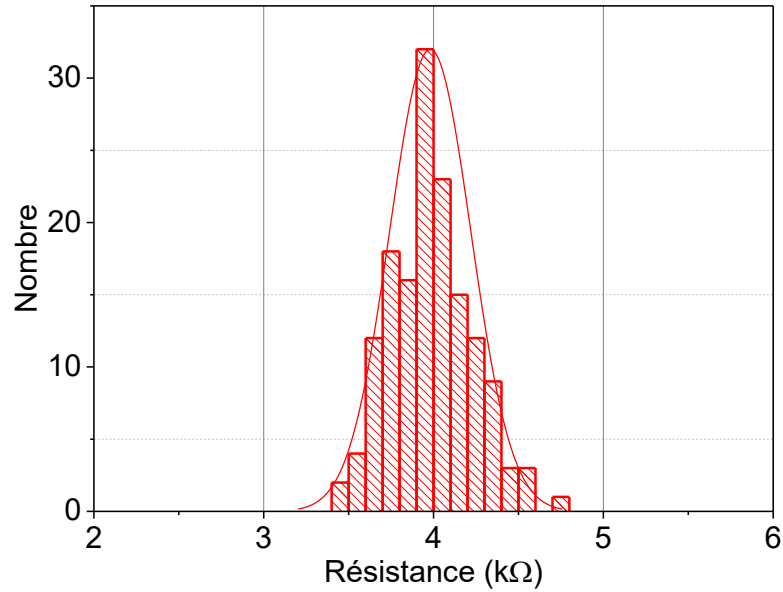


Figure 4-3 : Histogramme des résistances des capteurs rectangulaires du N1027 ayant une distribution normale avec une moyenne de 3,96 k Ω et un écart type de 0,34 k Ω , 3^e génération de capteurs.

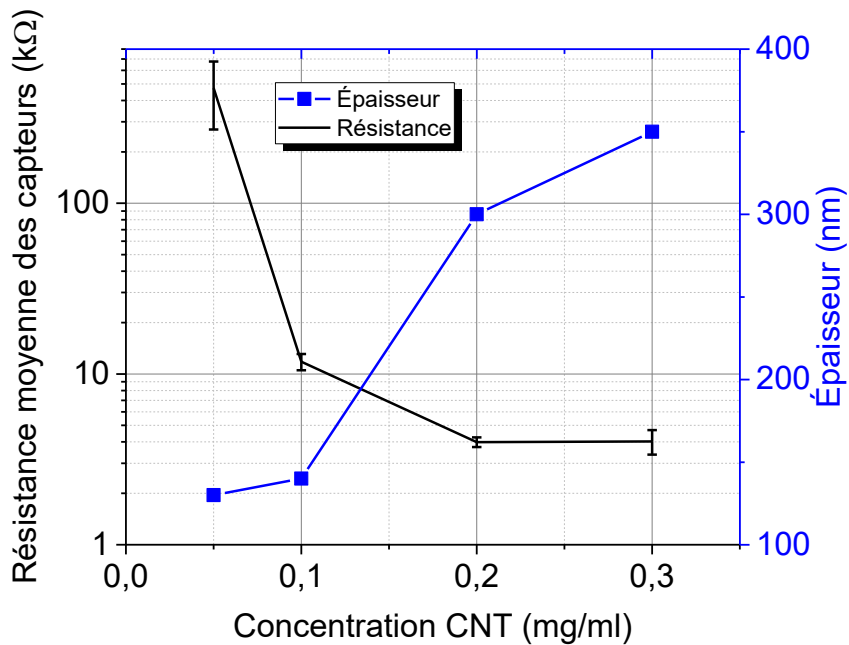


Figure 4-4 : Caractérisation des modules de 3^e génération avant assemblage : Évolution de la résistance moyenne des capteurs et de l'épaisseur de la couche de CNT. Leurs déviations maximales = 3σ .

4.1.2. Analyse des modules de 2^e génération

Les analyses en chambre environnementale sous différentes contraintes ont montré une sensibilité différente suivant leur procédé de fabrication. Nous allons maintenant analyser les modules en commençant par le module de 2^e génération M1142. Pour les analyses des modules de capteurs, nous utilisons notre système de lecture ainsi que des chambres environnementales « Thermotron SM-16-78700 » qui permettent un contrôle en température de 30 °C à 100 °C et une humidité relative de 30 %RH à 90 %RH.

Sensibilité des capteurs

Afin d'avoir une information sur la plage de détection des capteurs et de leur sensibilité, nous utilisons le profil visible à la Figure 4-5a sur des puces n'ayant pas de matériau de remplissage. L'intégralité des capteurs répond aux variations d'humidité et de température, quelle que soit leur impédance de référence (Chapitre 3) comme visible à la Figure 4-5b.

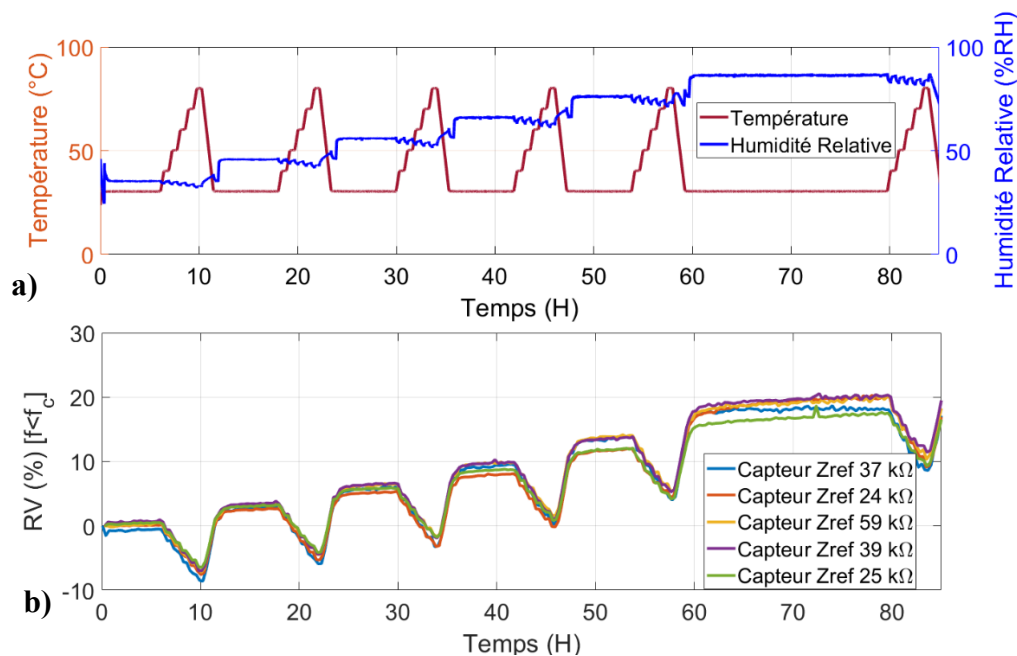


Figure 4-5 : a) Variation de température et humidité de la chambre environnementale b) variation de l'impédance des capteurs de 2^e génération.

La sensibilité des capteurs à l'humidité, est linéaire de 30 %RH à 75 %RH suivant une température ambiante de 30 °C à 80 °C. Bien que les capteurs observés aient des valeurs d'impédance de référence dispersées, la variation d'impédance relative, visible sur des fréquences inférieures à la fréquence de coupure pendant une variation de température ou d'humidité, est proche entre les capteurs, comme cela est visible à la Figure 4-6 pour la sensibilité à l'humidité ($\mu=0,32$; $\sigma=0,05$) et Figure 4-7 pour la température ($\mu=0,15$; $\sigma=0,006$). Ceci nous indique que la dispersion de résistance initiale viendrait du capteur et non de variations liées aux différents matériaux et contacts intermédiaires reliant les capteurs vers les BGA. Nous avons toutefois une dispersion de la sensibilité des capteurs à l'humidité de 0,25 %RV/%RH à 0,5 %RV/%RH plus importante qu'à la température de 0,14 %RV/°C à 0,16 %RV/°C. Il faudra donc calibrer chaque capteur indépendamment pour avoir des mesures précises de l'humidité relative locale au sein de la puce, ce qui est contraignant pour les modules avec matériau de remplissage du fait de la très lente diffusion d'humidité. Cette diffusion est décrite dans la suite du chapitre. Nous avons observé une sensibilité à l'humidité qui varie légèrement selon la température entre 0,28 %RV/%RH et 0,26 %RV/%RH soit une variation de 7,6% (Figure 4-8) ainsi qu'une variation à la température en fonction de l'humidité de 0,14 %RV/°C et 0,16 %RV/°C (Figure 4-9) soit 14%. Cette variation reste inférieure à la variation entre capteurs.

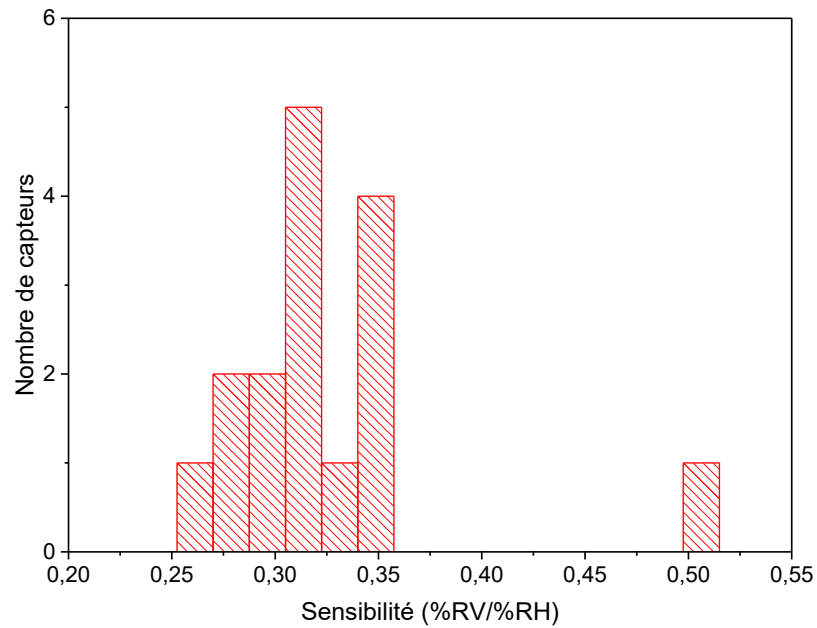


Figure 4-6 : Distribution de la sensibilité à l'humidité des capteurs du procédé de 2^e génération sans matériau de remplissage à la température de 30°C ($\mu=0,32$, $\sigma=0,05$).

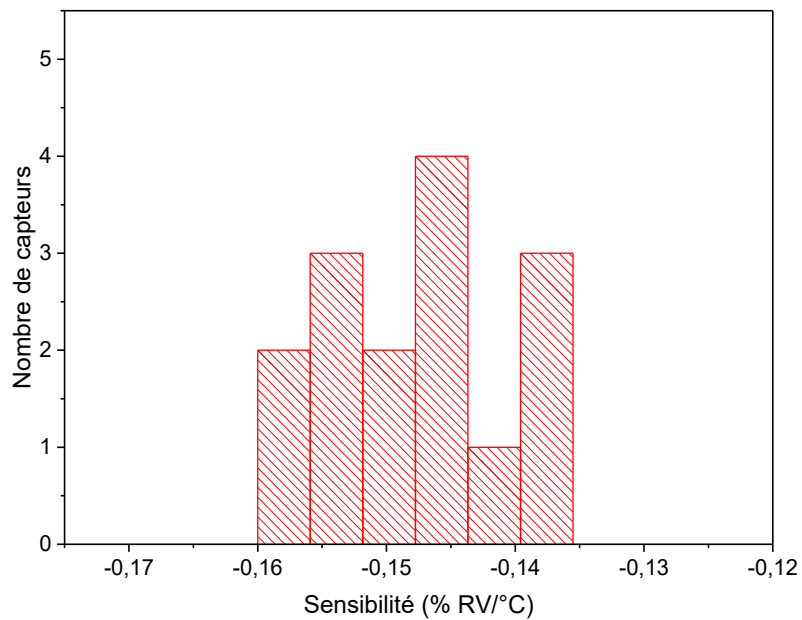


Figure 4-7 : Distribution de la sensibilité à la température des capteurs du procédé de 2^e génération sans matériau de remplissage à l'humidité de 35 %RH ($\mu=0,15$, $\sigma=0,006$).

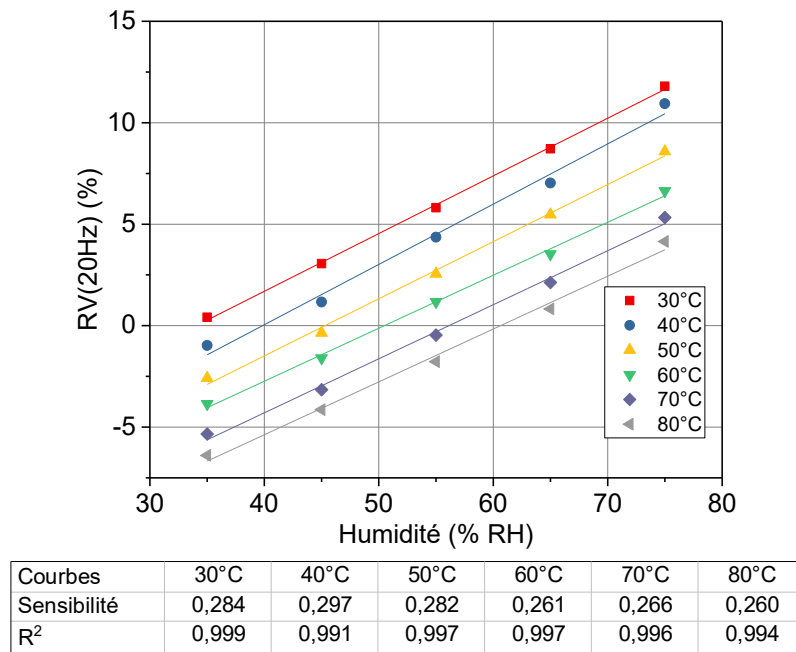


Figure 4-8 : Variation de l'impédance des capteurs du procédé de 2^e génération en fonction du taux d'humidité à différentes températures constantes.

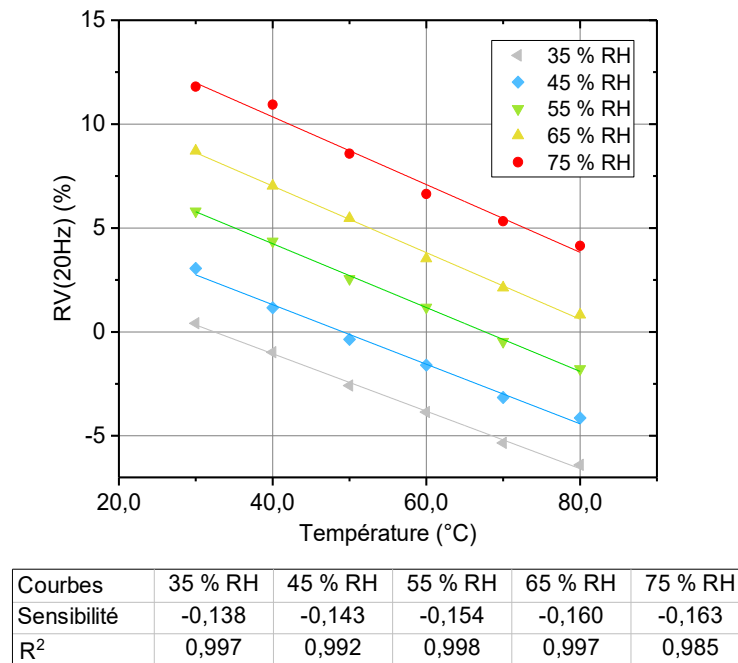


Figure 4-9 : Variation de l'impédance des capteurs du procédé de 2^e génération en fonction de la température à différents taux d'humidité constants.

Nous avons observé un fonctionnement atypique sur le palier à 85 %RH mis en valeur par la Figure 4-10. Ce comportement atypique se traduit par deux phénomènes visibles : une non-linéarité dans la réponse au taux d'humidité et un comportement qui ne semble ne pas saturer (non-fickien). Cette différence de réponse des capteurs à 85 %RH, non-fickienne, est observée dans la diffusion d'humidité au sein de polymères dans la littérature [96], mais n'est pas encore complètement expliquée. Après une étape de désorption (130 °C, 24 h), nous avons un retour au seuil initial d'impédance, ce qui montre que la non-linéarité n'est pas causée par un quelconque mécanisme de dégradation des capteurs ou de l'assemblage. Nous allons donc nous limiter à des excursions en humidité jusqu'à 75 %RH qui est la limite de linéarité de nos capteurs intégrés.

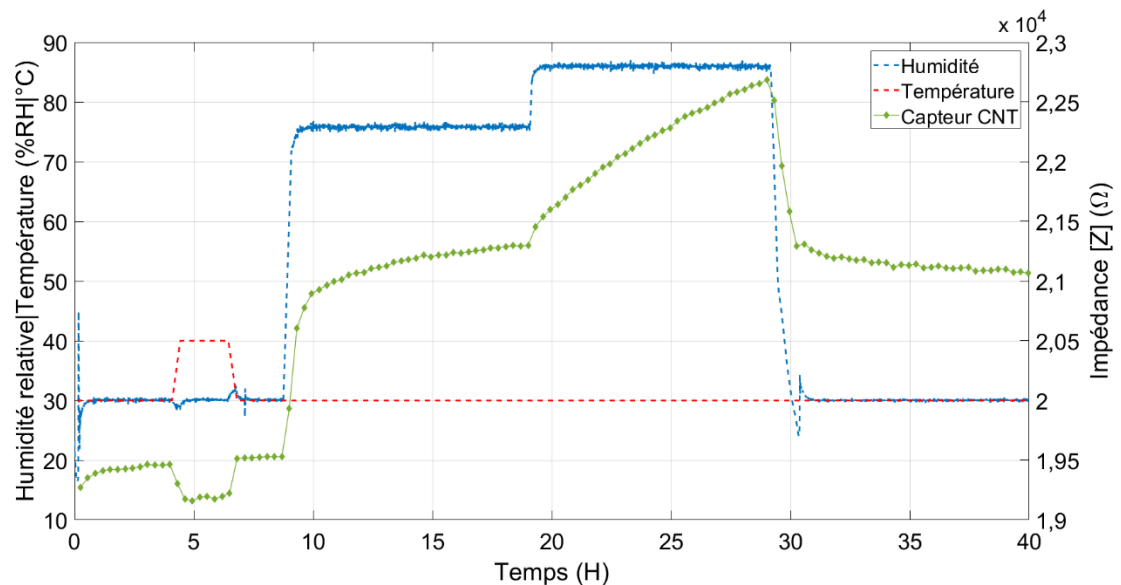


Figure 4-10 : Évolution de l'impédance des capteurs dans un environnement supérieur à 75 %RH.

Comportement fréquentiel

L'analyse du comportement des capteurs en fréquence nous permet d'étudier le fonctionnement résistif et capacitif des CNT face à la température et l'humidité. Tel que décrit dans le chapitre 2, les capteurs caractérisés montrent un spectre équivalent à un montage R//C avec des valeurs de fréquence de coupure allant jusqu'à 300 kHz (Chapitre 2 Figure 2-7). Les précédents capteurs réalisés, de la 1^{re} génération, ayant des fréquences d'invariance à l'humidité à ~10 kHz et à la température à ~1 kHz, possèdent une épaisseur de couche de nanotubes de 450, 600 et 750 nm, bien supérieure aux capteurs de 2^e et 3^e générations [17] (Chapitre 5.1.1).

Les analyses en fréquence des capteurs de 2^e génération présentées à la Figure 4-11 montrent la dispersion des impédances de référence. La majorité des capteurs > 500 k Ω sont les capteurs serpentins tandis qu'une majorité de capteurs rectangulaires ont des valeurs < 500 k Ω . Nous pouvons voir une fréquence de coupure plus élevée que pour les capteurs prototypes [17] (Chapitre 4.1.1). Seuls les capteurs de haute impédance (> 300 k Ω) montrent une fréquence de coupure mesurable par notre système de lecture. Le changement de fréquence de coupure peut s'expliquer par la valeur de la capacité mesurée (~7 pF) inférieure à celle des capteurs précédents dont les valeurs sont comprises entre 100 pF et 500 pF [47][Chapitre 4.1.3]. Ceci rend l'effet du couplage de la connectique décrit dans le Chapitre 3 visible sur ces capteurs à la fréquence limite haute (\approx 500 kHz). Les fréquences d'invariance arrivent possiblement à des fréquences supérieures à la bande passante de notre circuit de lecture, ce qui explique que nous n'avons pas pu mettre en évidence ce phénomène.

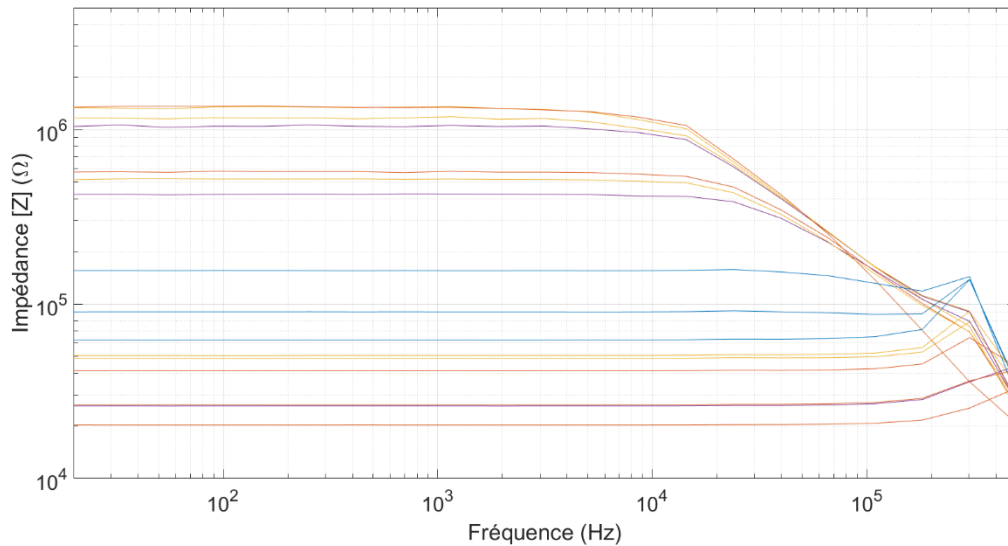


Figure 4-11 : Impédance des capteurs d'un module sans matériau de remplissage de 2^e génération entre 20 Hz et 500 kHz

L'analyse fréquentielle de capteurs ayant des impédances $< 100 \text{ k}\Omega$ ne semble pas montrer de variation de sensibilité à la température ou à l'humidité comme on peut le voir sur la Figure 4-12 en dessous de 500 kHz. Nous voyons à 500 kHz, la baisse du signal provenant de la limite en bande passante de l'étage d'amplification.

Pour les capteurs à plus haute impédance ($> 500 \text{ k}\Omega$), nous pouvons observer une perte du signal de sensibilité à l'humidité du capteur. Cela est dû au couplage capacitif avec la connectique qui court-circuite les capteurs haute impédance sur des fréquences inférieures à la fréquence de coupure de notre étage d'amplification (400 kHz). Cependant, nous avons toujours un suivi de la température, car les différents matériaux qui composent la connectique ont une sensibilité à la température due à leur expansion thermique, comme le montre la Figure 4-13 avec un capteur à haute impédance (780 k Ω), où l'on ne peut pas voir à 36 kHz des variations à l'humidité. Cela se produit quand nous sondons les capteurs dans la bande passante de l'étage d'amplification, mais avec des capteurs possédant une résistance élevée : en effet, l'effet de capacité parasite de la connectique rend les variations à l'humidité du capteur non détectables.

En raison de l'effet capacitif plus faible sur les capteurs de 2^e génération, des analyses de l'impédance à plus haute fréquence (> 500 kHz) pourraient montrer une possible variation de sensibilité.

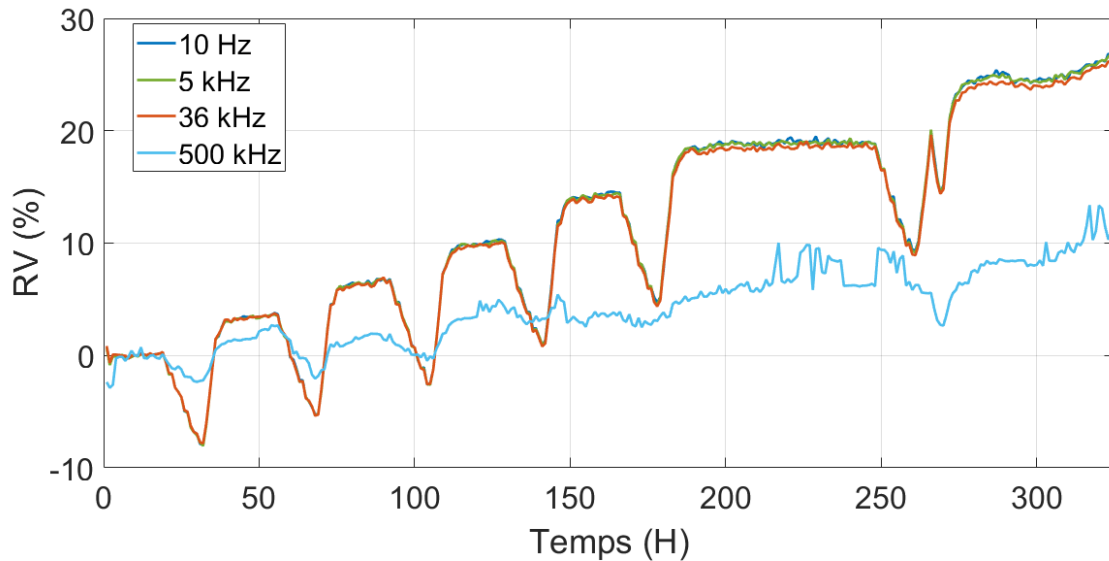


Figure 4-12 : Variation d'impédance d'un capteur de 37 k Ω provenant du procédé de 2^e génération avec le profil de température/humidité de la Figure 4-5 à 10 Hz (bleu foncé) 5 kHz (vert), 36 kHz (orange) et 500 kHz (bleu clair).

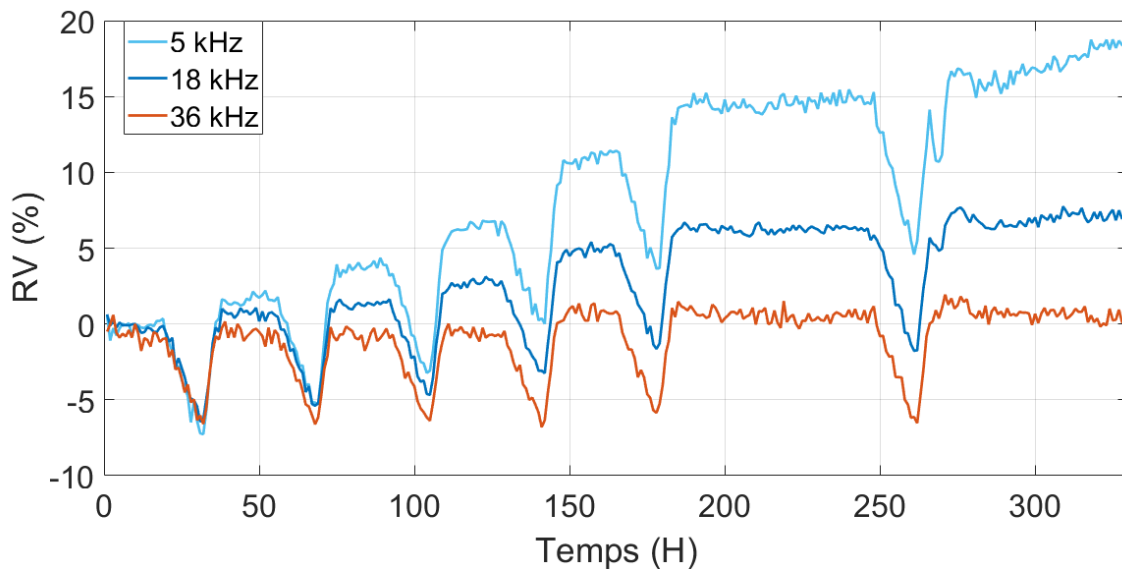


Figure 4-13 : Variation d'impédance d'un capteur et de sa connectique de 780 k Ω provenant du procédé de 2^e génération avec le profil de température/humidité de la Figure 4-5 à 5 kHz (bleu clair), 18 kHz (bleu foncé) et 36 kHz (orange).

4.1.3. Analyse des modules de 3^e génération

Des caractérisations effectuées sur les capteurs de troisième génération N1026, N1027 et N1028 ont permis de constater une sensibilité en température qui augmente avec l'épaisseur du capteur de CNT (Figure 4-14). L'évolution de sensibilité ne semble pas suivre l'évolution de l'impédance qui, comme nous avons vu précédemment, atteint un plateau à partir d'épaisseurs de CNT > 300 nm.

Nous avons utilisé les modules de capteurs de 3^e génération pour voir l'évolution de la sensibilité des capteurs en fonction de la variation d'épaisseur de capteurs. Cependant, nous avons observé une dérive d'impédance lors des études de la pénétration d'humidité dans le module. Cette dérive a été identifiée comme provenant d'une dégradation des interconnexions entre le dernier niveau de métallisation et la matrice de bille de brasure. Davantage d'informations sur l'analyse de défaillance sont visibles à [l'Annexe E](#). Cette dégradation a rendu impossible toute analyse en humidité de ces modules, car les mesures d'impédance n'étaient pas reproductibles.

Un balayage en fréquence des capteurs de 3^e génération, nous permet de constater le même comportement que les capteurs de 2^e génération, avec l'absence de fréquence de coupure en deçà de 500 kHz (Figure 4-15). Les capacités équivalentes du modèle R//C sont estimées à la même valeur que des capteurs de 2^e génération (~7 pF).

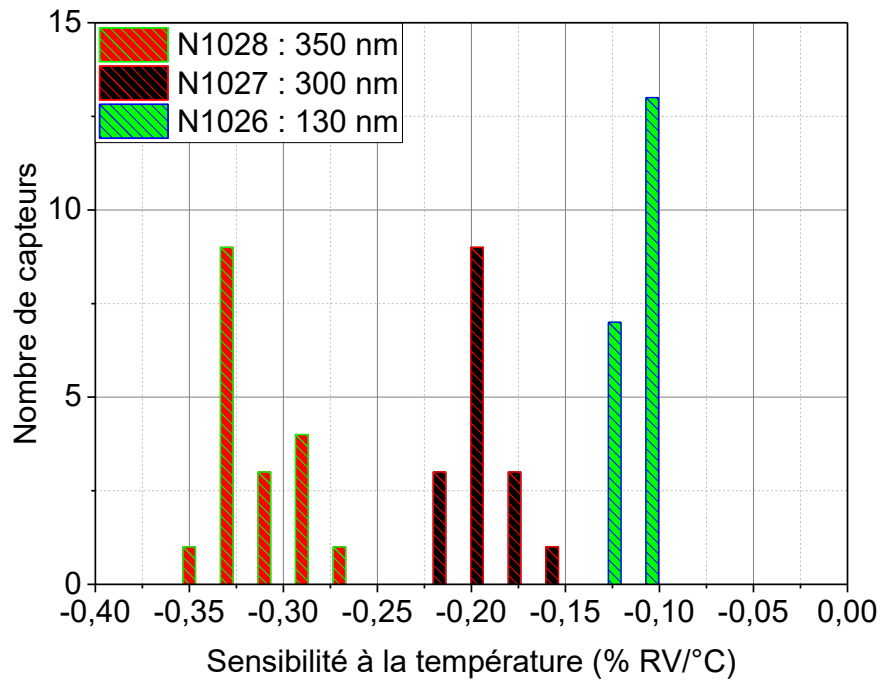


Figure 4-14 : Sensibilité des capteurs à la température entre des modules de 3^e génération en fonction de l'épaisseur de CNT de 130 nm à 350 nm.

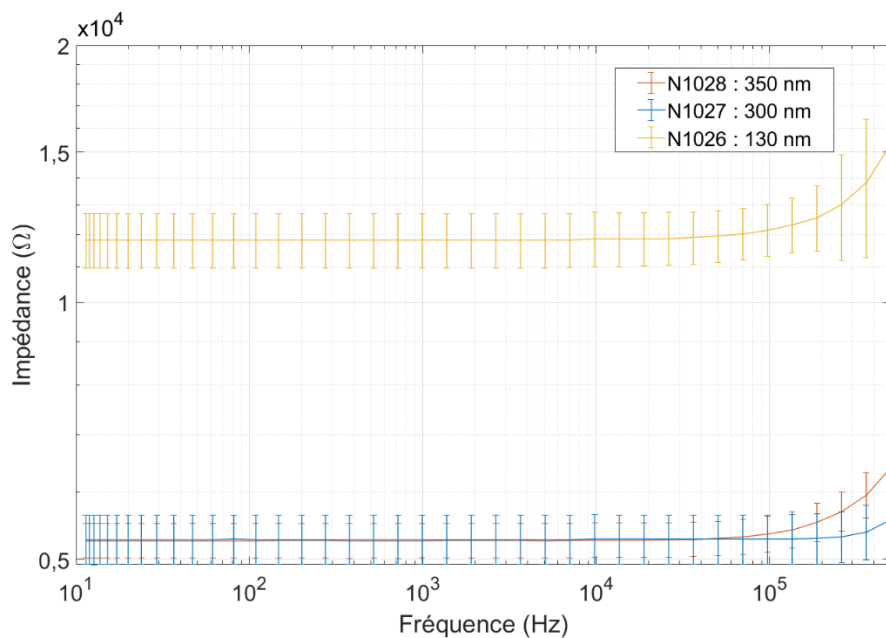


Figure 4-15 : Spectre à 30 °C/30 %RH de la moyenne et de l'écart de l'impédance des capteurs « patch » de trois modules assemblés à partir du procédé de 3^e génération (barre d'erreur définie par l'écart type entre capteurs).

4.1.4. Bilan des caractérisations

Nous avons donc montré que nous sommes capables, grâce au capteur *in situ*, de suivre l'humidité indépendamment de la température. Nous ne pouvons cependant pas, sur les capteurs intégrés de 2^e et 3^e génération, décorrélérer les effets de chacun des mesurandes sur des fréquences < 500 kHz en raison de l'effet capacitif particulièrement bas par rapport à celui des capteurs prototypes et première génération. Des analyses à plus hautes fréquences de ces modules pourraient montrer la présence de fréquences permettant la décorrélation des mesurandes.

Deux modifications sont nécessaires pour observer des fréquences supérieures au cahier des charges originel (>500 kHz) :

- Modification de la connectique par une meilleure isolation entre les polarités des capteurs.
- Modification de l'étage d'amplification afin d'avoir un gain et un déphasage continu sur une plage de fréquence supérieure à 500 kHz.

L'amélioration des procédés de fabrication a permis d'avoir une uniformité des capteurs au sein d'un même module et d'augmenter la sensibilité à la température. Cependant des défauts liés au BLM ne nous permettent pas de les utiliser pour des analyses d'humidité.

Nous allons, dans la prochaine partie, utiliser la possibilité qu'apporte notre système de lecture et les capteurs, pour étudier localement la diffusion d'humidité au sein du module assemblé dans un environnement contrôlé avec une température contrôlée et constante. Pour le reste des analyses, ce chapitre se concentrera donc sur le procédé de 2^e génération (M1142) qui, malgré les variations d'impédance d'un capteur à un autre, donne des résultats reproductibles.

En séparant les comportements capacitifs et résistifs vus par le système de lecture, nous pouvons suivre la température et l'humidité mesurées par les capteurs ainsi que la température ambiante par le couplage de la connectique. Etant donné la faible masse thermique du module, nous pouvons donc séparer l'humidité de la température extérieure au module.

4.2. Analyse de l'humidité des modules microélectroniques FC-PBGA

4.2.1. Diffusion d'humidité au sein d'encapsulation FC-PBGA

Les capteurs intégrés et le système de lecture permettent d'avoir une mesure de température et d'humidité in situ au niveau des connexions puce-laminé. Des mesures locales d'humidité relative permettraient d'établir la vitesse de diffusion d'humidité au sein du matériau de remplissage et l'effet de la matrice de C4.

Les matériaux de remplissage utilisés dans les assemblages microélectroniques sont des polymères recuits qui permettent la protection de la liaison puce-laminé. Leur absorption d'humidité est étudiée, car elle engendre des problèmes de fiabilité comme des effets de corrosion, de délaminages et de fracture abordés précédemment. Les matériaux de remplissage se gorgent d'eau dont une quantité se lie par des liaisons fortes. La mise en œuvre de techniques à haute température utilisant une atmosphère contrôlée est donc nécessaire pour la désorption intégrale de l'humidité [12].

L'absorption d'humidité au sein d'encapsulation utilisée dans la microélectronique se produit sur des temps extrêmement longs (> 4000 h). Le modèle de diffusion de Fick est communément utilisé pour compléter les mesures ou retrouver certaines propriétés du matériau. Le modèle de diffusion d'humidité selon les équations de Fick dans un polymère est décrit par l'équation (4-3) qui provient de la première loi de Fick (4-1) et de la loi de conservation des masses (4-2). Le modèle de diffusion dans un matériau homogène est fonction du flux d'eau (J), coefficient de diffusion (D) et de la concentration (C) [97], [98] (4-1) (4-2). Le coefficient de diffusion est défini par l'équation (4-4), il est principalement dépendant de la température (T) ainsi que de constantes liées au matériau (D_0), constante de gaz (R_0) et l'énergie d'activation (E_D). Le modèle de Fick permet de visualiser la propagation de l'eau suivant l'évolution de sa concentration dans le matériau.

$$J = -D \cdot \nabla C \quad (4-1)$$

$$\frac{\partial C}{\partial t} = -\nabla \cdot J \quad (4-2)$$

$$\frac{\partial C}{\partial t} = D \frac{\partial^2 C}{\partial x^2} \quad (4-3)$$

$$D = D_0 \cdot \exp\left(-\frac{E_D}{R_0 T}\right) \quad (4-4)$$

Nous utilisons une chambre environnementale quantifiant l'humidité ambiante en humidité relative. Nous avons, pour un matériau homogène avec des propriétés indépendantes de la température (M), une relation linéaire entre l'humidité relative et la concentration de la saturation (4-5). Cette relation est utilisée afin d'avoir une normalisation de l'humidité, quels que soient le matériau et la température [99]. Ceci est valable dans la plupart des polymères utilisés dans les assemblages en microélectronique du fait que la concentration maximale atteinte n'est pas dépendante de la température [97]. Chaque capteur devra donc, durant une variation d'humidité relative ambiante, avoir une valeur relative d'impédance de saturation (RV_{sat}) qui correspond à une humidité relative fonction de la sensibilité du capteur (4-6).

$$C_{sat} = S \cdot p_{sat} \cdot RH = M \cdot RH \quad (4-5)$$

$$RV_{sat} = RH \cdot S_{RH} \quad (4-6)$$

Afin de simuler cela, le modèle de Crank-Nicolson (4-7) est communément utilisé [97], [100]–[102]. Ce modèle décrit l'absorption par une couche mince du matériau de remplissage à travers son épaisseur, la pénétration sur les bords étant négligeable par rapport à celle-ci. Cette méthode est donc utile pour caractériser des matériaux de remplissage non assemblés. Dans le cas d'une propagation sur un seul axe, nous pouvons utiliser l'équation (4-8) afin d'avoir des valeurs locales.

$$\frac{C(t)}{C_{sat}} = 1 - \frac{8}{\pi^2} \sum_{n=1}^{\infty} \frac{1}{(2n-1)^2} \exp\left\{-\left(\frac{(2n-1)\pi}{2L}\right)^2 Dt\right\} \quad (4-7)$$

$$C(x, t) = C_u - \sum_{n=1}^{\infty} \frac{4(C_i - C_u)}{(2n-1)\pi} (-1)^n \cos\left(\frac{(2n-1)\pi x}{2L}\right) \exp\left(-\left[\frac{(2n-1)\pi}{2L}\right]^2 Dt\right) \quad (4-8)$$

L'absorption d'eau au sein de matériau de remplissage ayant un volume défini en contact avec une humidité ambiante s'illustre en fonction de la racine carrée de temps par une montée quasi linéaire, puis un ralentissement pour arriver à un plateau qui correspond à la concentration de saturation (C_{sat}) (Figure 4-16). La pente linéaire permet de caractériser le coefficient de diffusion (D). Ce comportement a été observé dans la littérature dans de nombreux époxy utilisés en microélectronique [97], [100], [101], [103], [104]. Nous pouvons retrouver cette courbe par le modèle décrit précédemment avec la solution intégrée sur les dimensions du correspondant au volume du matériau [97], [105].

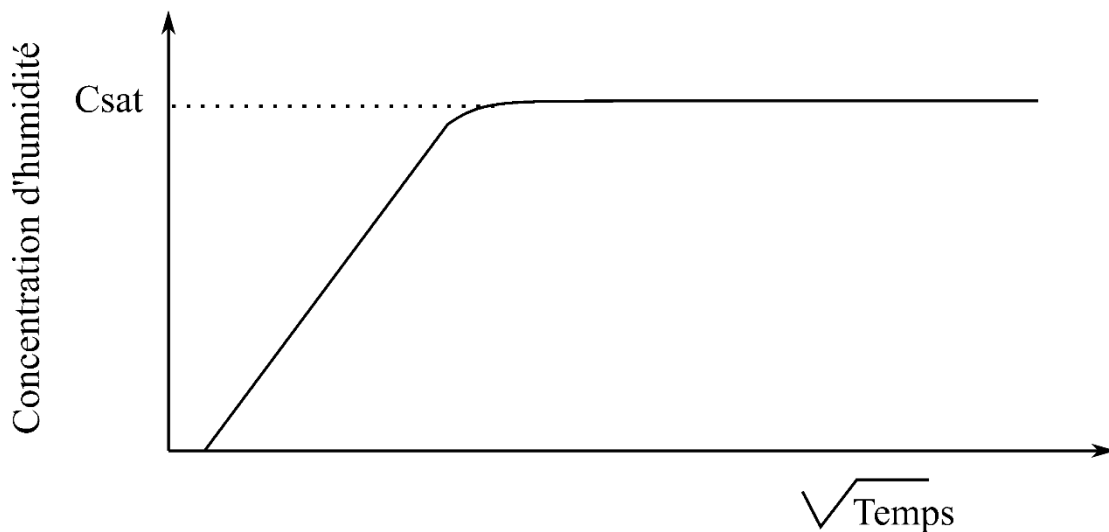


Figure 4-16 : Représentation de la variation au sein d'un matériau de l'humidité selon le modèle de Fick jusqu'à une concentration de saturation (C_{sat}).

Dans notre cas, nous négligeons la diffusion à travers l'épaisseur due à ses faces supérieures et inférieures couvertes par la puce de silicium et le substrat. Ce qui nous laisse quatre fronts d'humidité à travers les axes X et Y (Figure 4-17). Nous ne sommes donc plus dans les conditions précédentes de diffusion à travers une épaisseur fine. Pour cela, nous utilisons une méthode par différences finies (FDM) pour une information en 2D conforme à la diffusion latérale au sein du matériau de remplissage. Nous pouvons utiliser une analogie courante dans

l'étude de diffusion qui est l'analogie avec les équations de diffusion thermique 2D (4-9) [106], [107].

Dans la littérature, plusieurs approches sont utilisées suivant différentes variables visibles au Tableau 4-2 :

- Une approche directe (4-10) permettant d'avoir la diffusion par la variation de concentration (C) d'humidité. Cette approche permet une simulation indépendante de la température, mais qui se complexifie pour des structures ayant différents matériaux possédant différents C_{sat} .
- Une approche normalisée est utilisée avec une concentration normalisée par la solubilité (S) du matériau employé ($\Phi=C/S$). Une version alternative est décrite dans la littérature, utilisant une « saturation fractionnée » (w) comme ratio $w = C/C_{sat}$ [108].
- Une méthode avancée (4-11) utilise l'humidité relative et permet d'avoir une modélisation indépendante de la température. Pour se servir de cette analogie, plusieurs critères doivent être remplis. Nous devons avoir un matériau uniforme de telle sorte que la solubilité ne varie pas et soit indépendante du temps, ainsi qu'une température uniforme sur la puce. La forme utilisée pour la FDM est donnée par l'équation (4-12).

Tableau 4-2 : Résumé des variables utilisées pour l'analogie entre la diffusion thermique et la diffusion d'humidité [109]

Approche	Thermique	Direct	Normalisée	Avancée
Variable	T (k)	C (kg/m ³)	ϕ (kg.Pa/m ³)	Φ (%RH)
Conductivité	K (W/mk)	D (m ² /s)	D*S (kg.m/m ² .s.Pa)	D*M (kg/m/s)
Matériau	ρC_p (J/k/m ³)	1	S (kg/m ³ /Pa)	M (kg/m ³)
Condition limite		C_{sat} (kg/m ³)	P_v (kg/m ³)	RH (%RH)

$$\rho C_p \frac{\partial T}{\partial t} = K \frac{\partial^2 T}{\partial x^2} + K \frac{\partial^2 T}{\partial y^2} \quad (4-9)$$

$$\frac{\partial C}{\partial t} = D1 \frac{\partial^2 C}{\partial x^2} + D2 \frac{\partial^2 C}{\partial y^2} \quad (4-10)$$

$$M \frac{\partial \phi}{\partial t} = (D1 * M) \frac{\partial^2 \phi}{\partial x^2} + (D2 * M) \frac{\partial^2 \phi}{\partial y^2} \quad (4-11)$$

$$\begin{aligned} \phi_{x,y}^{t+1} = \phi_{x,y}^t + \Delta t * MD * & \left[\left(\frac{\phi_{x-1,y}^t - 2\phi_{x,y}^t + \phi_{x+1,y}^t}{(\partial x)^2} \right) \right. \\ & \left. + \left(\frac{\phi_{x,y-1}^t - 2\phi_{x,y}^t + \phi_{x,y+1}^t}{(\partial y)^2} \right) \right] \end{aligned} \quad (4-12)$$

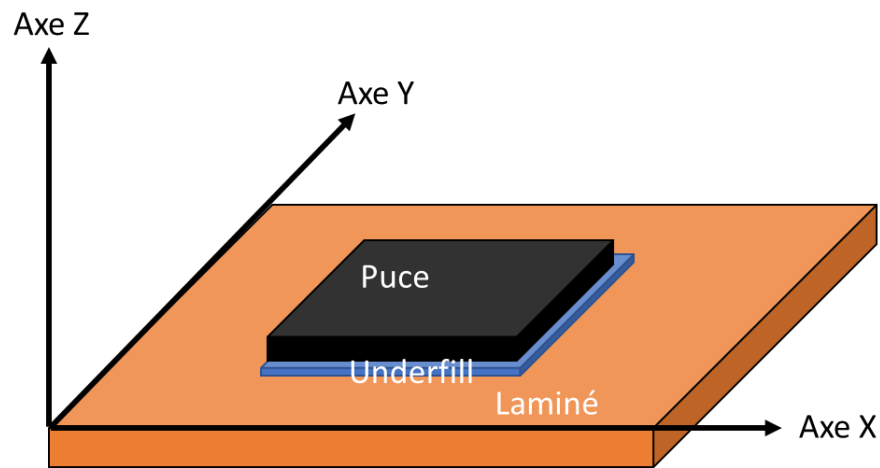


Figure 4-17 : Schéma de la position de l'underfill (matériau de remplissage) pris entre la puce et le laminé montrant une propagation essentiellement sur les axes X et Y.

4.2.2. Absorption de l'humidité au sein du BEOL

Les tests sans matériau de remplissage présentés au paragraphe « [A\) Caractéristique des modules de capteurs](#) » (Figure 4-5, Figure 4-8, Figure 4-9 et Figure 4-10) ont permis d'obtenir les caractéristiques des capteurs vues précédemment ainsi que la vitesse de pénétration de l'humidité jusqu'aux capteurs au sein du BEOL. La diffusion de l'humidité au sein du BEOL sans matériaux de remplissage se produit simultanément sur l'ensemble des capteurs et la saturation intervient en une dizaine d'heures. Cette diffusion montre, tel qu'attendu, peu d'effet de la matrice de C4 dans le déplacement de l'humidité.

Mesure expérimentale

Afin d'observer la progression d'humidité au sein de l'assemblage FC-PBGA avec matériau de remplissage, nous asséchons nos modules pendant 24 h en utilisant un four à 130 °C. Puis nous réalisons des profils de 85 °C à différents niveaux d'humidité stables à l'intérieur d'une chambre environnementale. Les tests sur les modules de 2^e génération montrent une réponse en température uniforme sur le module au sein du BEOL. Cette réponse uniforme rapide est attendue étant donné la faible masse thermique du module.

La réponse de capteurs pour des niveaux d'humidité de 35 %RH et 75 %RH pour les modules de 2^e génération est présentée à la Figure 4-18. Nous pouvons voir une progression de l'impédance des capteurs en lien avec leur positionnement sur la puce et leur sensibilité. Cette variation d'impédance différente des capteurs permet d'observer un front d'humidité pénétrant dans le module par sa périphérie. Ainsi les capteurs positionnés en bordure (ex : Capteur 3) de la puce répondent plus rapidement à l'environnement humide qu'un capteur situé au centre (ex : Capteur 30).

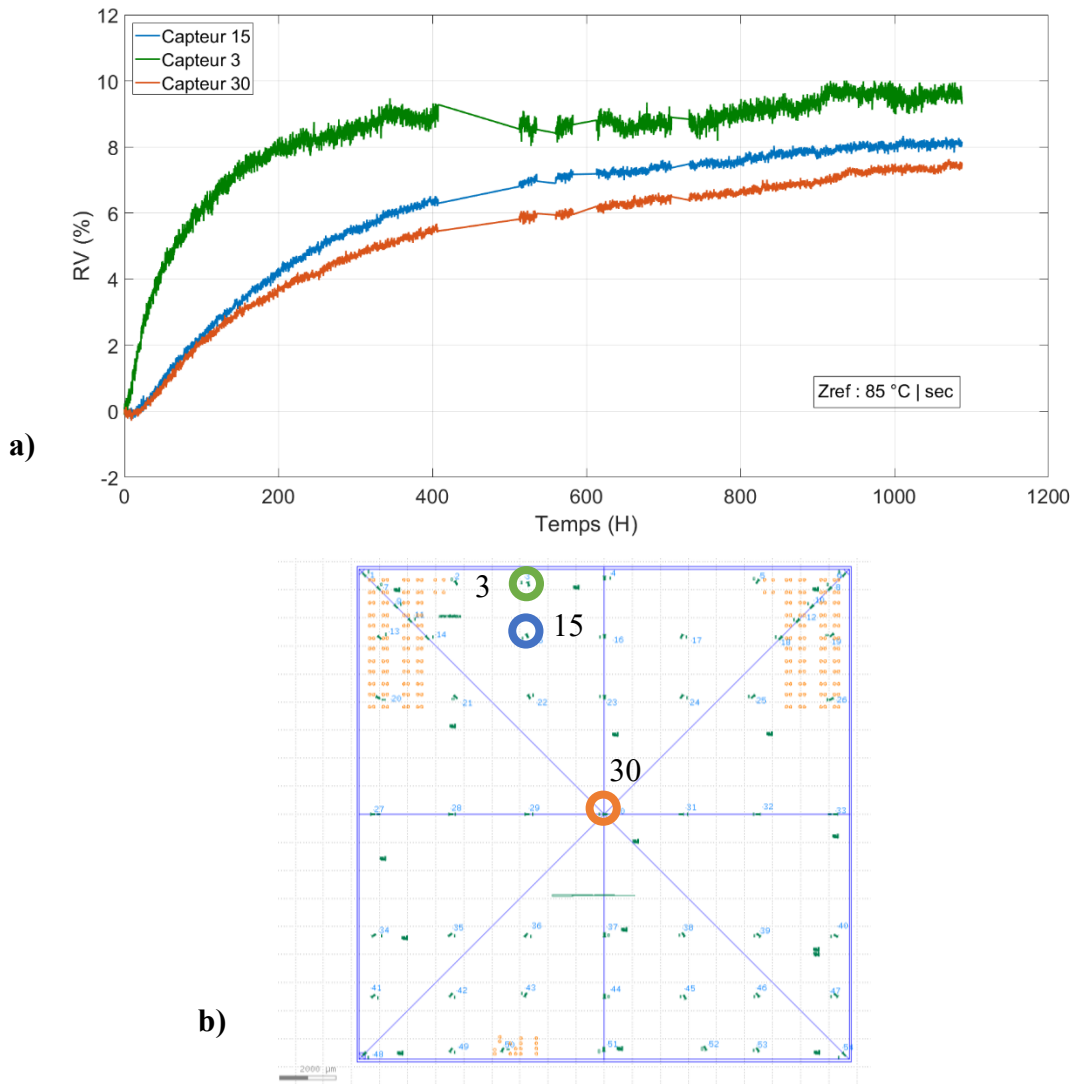


Figure 4-18 : a) Évolution de l'impédance au sein des capteurs 3 (point vert, proche du bord de la puce), 15 (point bleu) et 30 (point orange proche du centre de la puce) en fonction du temps
b) Position des capteurs 3, 15 et 30 sur la puce.

Il est également possible d'utiliser le temps de réaction des capteurs afin de déterminer le front d'humidité comme présenté à la Figure 4-19 qui montre un délai de 25 h du capteur 14 avant la montée en humidité. Correspondant à nos attentes, nous pouvons observer sur un capteur une montée continue en racine du temps pour arriver à un plateau de saturation s'apparentant à une diffusion décrite par les équations de Fick sur la période d'absorption de 1000 h comme décrite précédemment [96], [100], [101].

Afin de normaliser les réponses des capteurs, nous utilisons le point de saturation d'impédance (RVsat) comme étant une référence pour estimer la valeur d'humidité sur l'ensemble de la puce égale au niveau d'humidité ambiante.

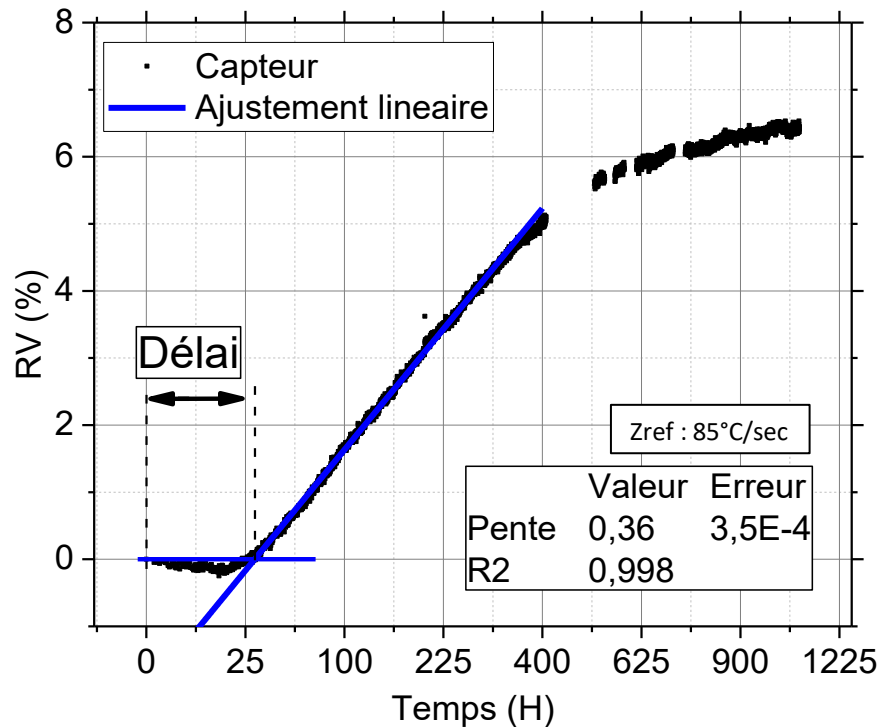


Figure 4-19 : Réponse d'un capteur (14) à un procédé d'absorption en chambre environnementale à 85 °C/ 75 %RH après une étape de désorption.

Nous pouvons voir à la Figure 4-20, une évolution du délai de réponse des capteurs proportionnel à la distance du bord de la puce jusqu'à une valeur d'environ 3500 μm . Cette distance au bord de la puce est aussi l'interface entre le matériau de remplissage et l'humidité ambiante fixée par la chambre d'humidité. Cette variation de délai, dépendamment de la position, nous montre alors ce qu'il semble être un déplacement latéral dans le matériau de remplissage de l'humidité provenant de l'extérieur vers le centre de la puce. Nous pouvons en extraire par ajustement linéaire, visible à la Figure 4-21, la vitesse de ce front d'humidité constant dans le matériau de remplissage de 87,8 $\mu\text{m}/\text{h}$ ($\pm 3,6$ $\mu\text{m}/\text{h}$) pour l'absorption à 45 %RH et de 94,98 $\mu\text{m}/\text{h}$ ($\pm 3,9$ $\mu\text{m}/\text{h}$) pour l'absorption à 75 %RH. Pour des distances supérieures à

2500 μm , ce qui correspond à la partie centrale de la puce, nous n'observons plus un délai proportionnel à la distance. Ces capteurs répondent simultanément, ceci pourrait s'expliquer par un front d'humidité à travers le laminé organique de 0,8 mm d'épaisseur avec comme matériau de cœur MCL-E-679FG et comme matériau pour les via traversant de l'époxy PHP900 IR6 qui affecterait les capteurs après $\approx 30\text{h}$, soit une vitesse de 29 $\mu\text{m/h}$. La vitesse est bien plus lente en raison des 10 couches de métallisations qui composent le laminé [110].

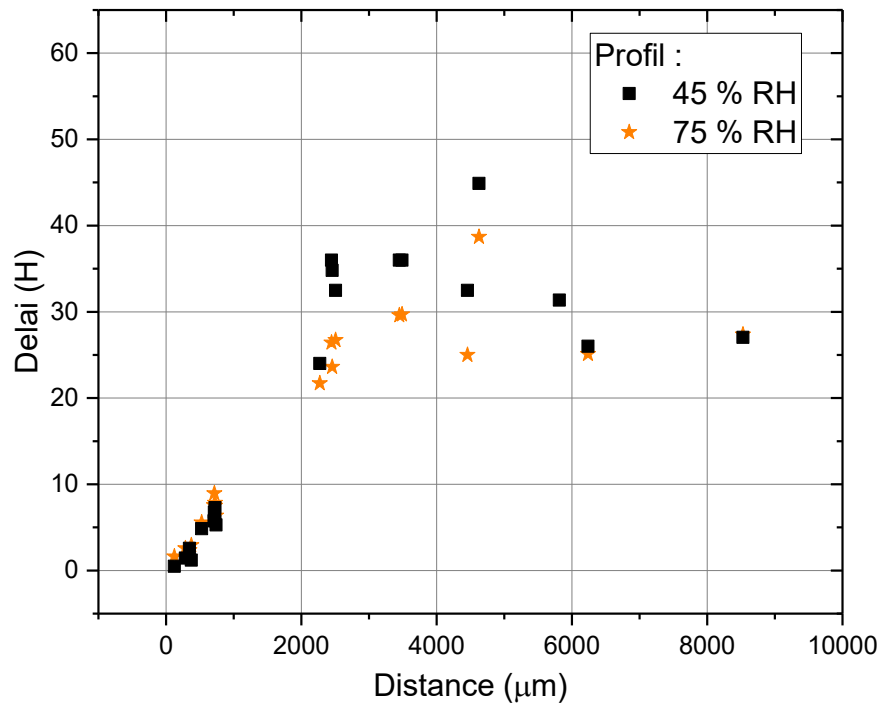


Figure 4-20 : Délai de la réponse des capteurs du module avec matériau de remplissage qui montre le déplacement du front d'humidité au sein du module par rapport au bord de la puce de capteurs.

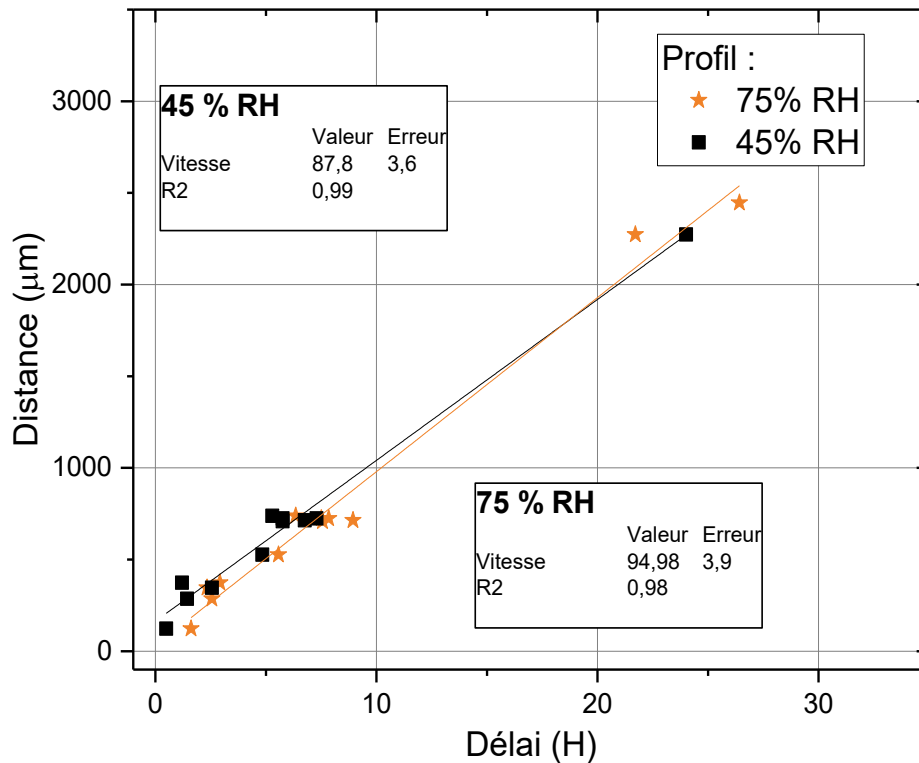


Figure 4-21 : Ajustement linéaire du délai observé sur les capteurs du module avec matériau de remplissage sur des distances de 0 à 2500 µm du bord de la puce pour des conditions de 45 %RH et 75 %RH.

Simulation/modélisation

À partir des modèles FDM 2D décrits dans la partie « Diffusion d'humidité au sein d'encapsulation FC-PBGA », nous avons simulé la prise d'humidité que nous visualisons avec les capteurs. Cela nous permet d'extraire le coefficient de diffusion en liant avec le matériau de remplissage et d'identifier l'absorption de l'humidité par le matériau de remplissage après les 1200 h de test en chambre environnementale. Ce modèle fonctionne avec une analogie des équations de diffusion thermique comme abordé précédemment [106]. La matrice utilisée pour la FDM 2D décompose la puce de 17 mm x 17 mm en superficie de 100 µm x 100 µm. Afin de simuler, nous réalisons un ajustement de la courbe en fonction d'un coefficient de diffusion

normalisé sur le matériau utilisé et de RV_{sat} . Le délai visible sur les courbes ainsi que le temps pour obtenir RV_{sat} est dépendant du coefficient de diffusion lié au matériau.

Les mesures des capteurs, proches du centre de la puce (distance du bord de la puce $< 750 \mu\text{m}$), correspondent à une valeur de coefficient $M \cdot D$ de $0,8 \cdot 10^{-12}$ à $3 \cdot 10^{-12}$ suivant la simulation FDM. Cependant, nous trouvons un RV_{sat} légèrement différent du point d'équilibre estimé par les mesures. Ceci est dû à un comportement asymptotique et des temps de diffusion longs, ce qui rend complexe la déduction de RV_{sat} par mesure. Comme attendu, et visible avec les exemples de la Figure 4-23 où leur position est visible à la Figure 4-22, chaque réponse de capteurs symétrique par rapport à un axe traversant le centre de la puce montre un coefficient de diffusion égal. Nous n'avons donc pas de différence de diffusion suivant le côté où se passe la diffusion, seulement une différence de RV_{sat} dépendante de la sensibilité du capteur. Nous pouvons voir sur le capteur 27 une absorption de l'humidité en deux étapes avec un équilibre obtenu à 400 h puis un second à 1200 h. Ceci est un phénomène observé dans de nombreux polymères dont des matériaux de remplissage pour des circuits intégrés [100]–[102].

Pour les capteurs à mi-distance du centre de la puce, comme le capteur 15 visible à la Figure 4-24, nous pouvons observer que les mesures semblent saturer avant la simulation FDM. Ceci peut s'expliquer par un délai qui n'est pas uniforme sur la distance. Le coefficient trouvé semble augmenter quand on se rapproche du centre de la puce, puisque nous trouvons des valeurs entre $5,5 \cdot 10^{-12} \text{ kg/m/s}$ et $6,3 \cdot 10^{-12} \text{ kg/m/s}$.

Les mesures proches du centre (distance du bord supérieur à $3000 \mu\text{m}$) montrent un coefficient de diffusion ne correspondant pas à la fois au délai et à la pente linéaire. Cette observation rejoint l'analyse précédente sur le délai de réponse. Contrairement au capteur précédent qui montre simplement une évolution de la vitesse de diffusion au sein de la puce, ces capteurs centraux montrent qu'un modèle FDM 2D ne semble pas correspondre à la réponse de nos capteurs.

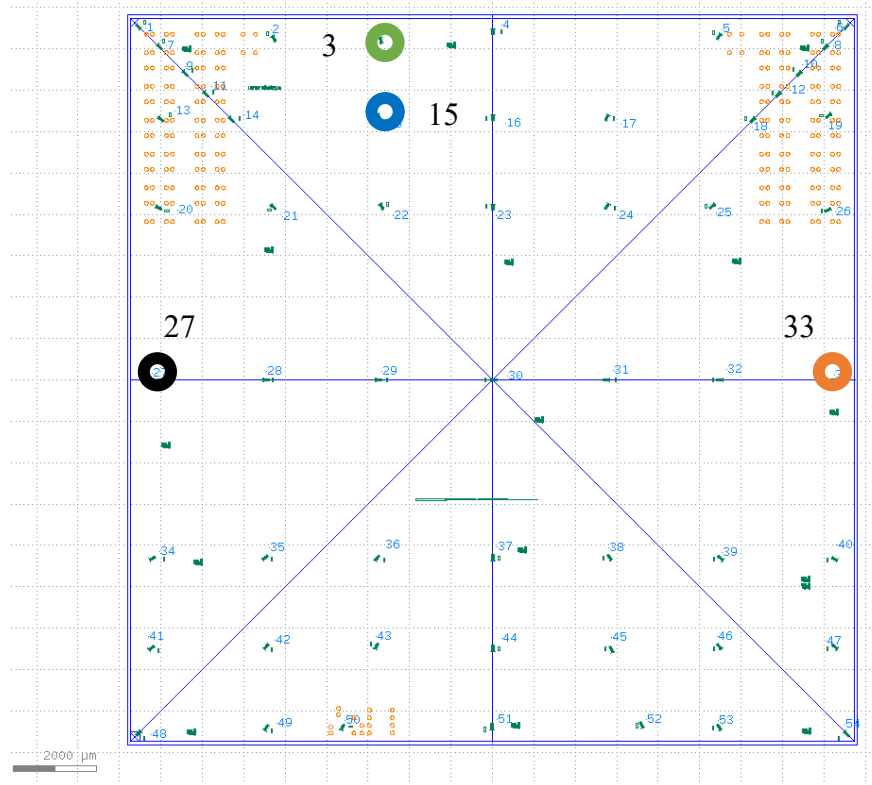


Figure 4-22 : Position des capteurs au sein de la puce.

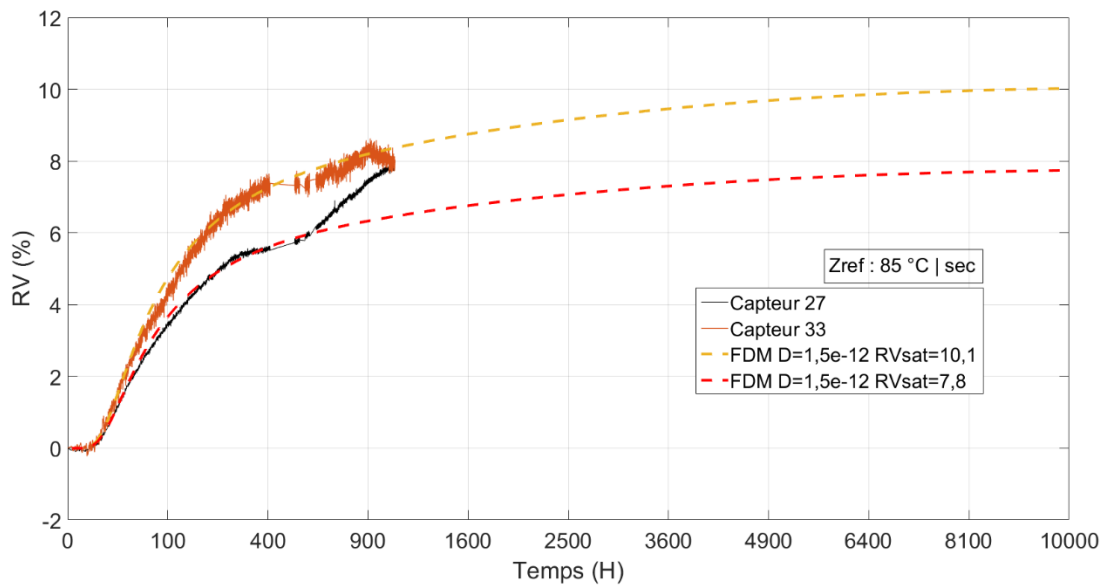


Figure 4-23 : Variation d'impédance des capteurs 27 (courbe noire) et 33 (courbe orange) en bordure de puce et le résultat de simulation FDM (trait pointillé) avec coefficient de diffusion (D) obtenu par ajustement de courbe, abscisse en racine du temps.

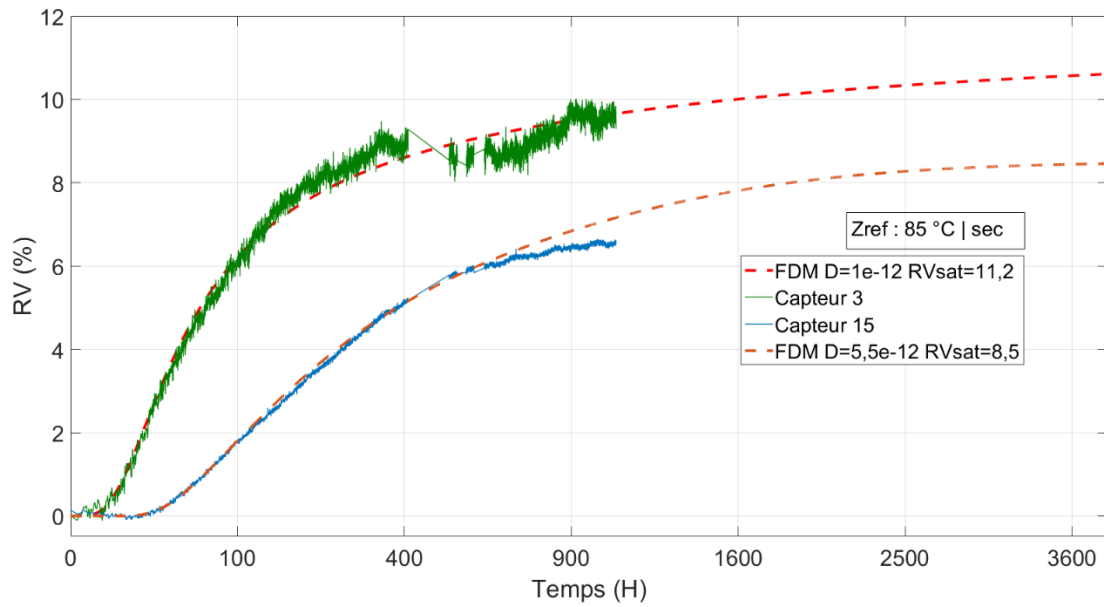


Figure 4-24 : Variation d'impédance du capteur 15 (courbe bleu foncé) et 3 (courbe verte), résultat de simulation (trait pointillé) avec coefficient de diffusion (D) obtenu par ajustement de courbe, abscisse en racine du temps.

4.2.3. Désorption de l'humidité au sein du BEOL

Le processus de désorption consiste en une montée de température (Norme IBM) à 130 °C pendant 24 h d'un four avec une atmosphère contrôlée par un flux d'azote. Ce sont des processus importants pour éviter des défaillances (« popcorn ») dues à une humidité non évacuée durant des recuits. Les premiers résultats observés avec des capteurs du module sans matériau de remplissage montrent tout d'abord une baisse d'impédance expliquée par la désorption puis un plateau d'impédance, démontrant ainsi qu'une désorption complète de l'humidité au sein du module est obtenue à une durée de recuit inférieure à celle de la procédure, soit 24 h. Nous avons pu observer, à partir des modules sans matériau de remplissage, que nos capteurs atteignent un état sec en 16 h, sans délai visible. Ce qui est conforme à nos attentes.

Lors de désorption sur des modules avec matériau de remplissage, nous avons noté que la procédure standardisée de 24 h, utilisée par IBM, ne suffit pas à percevoir un équilibre. Des tests sur des temps plus importants ont été réalisés tel que présenté à la Figure 4-25. Ils nous permettent d'observer un équilibre après 250 h et un délai avant désorption variant suivant la position. Les différents plateaux obtenus sont dépendants de la sensibilité du capteur et non liés à leur position, tout comme ce que nous avons observé pendant le processus d'absorption. Grâce à cette référence du module sec et sachant que nous avons montré que les capteurs sont linéaires sur une humidité < 75 %RH, nous pouvons extraire une estimation de la sensibilité moyenne des capteurs de 0,18 %RV/ %RH par la mesure et de 0,35 %RV/%RH en prenant en compte le résultat des simulations précédentes avec un écart type de 0,05, qui est, comme attendu, proche de la sensibilité mesurée précédemment sur les modules sans matériau de remplissage.

Nous pouvons observer que le temps de début de la désorption est fortement dépendant de la distance par rapport aux bords de la puce (Figure 4-26). Cependant, les résultats sont beaucoup plus dispersés que pour la phase d'absorption, ce qui rend l'estimation de la vitesse peu précise. Nous réalisons la même simulation FDM que précédemment pour ajuster les mesures sur différent coefficient $M \cdot D$. Nous pouvons voir à la Figure 4-27 que nous avons une erreur importante avec un coefficient de $3 \cdot 10^{-11}$ kg/m/s à $4 \cdot 10^{-11}$ kg/m/s Avec ces coefficients, nous avons deux modèles visibles : un modèle avec les taux d'humidité estimés par mesure (courbe jaune) et un second modèle (courbes violette et bleue) qui suit la pente des mesures. Les deux

modèles montrent une saturation bien après les mesures avec un comportement asymptotique difficilement visible par mesure qui se termine autour de 900 h.

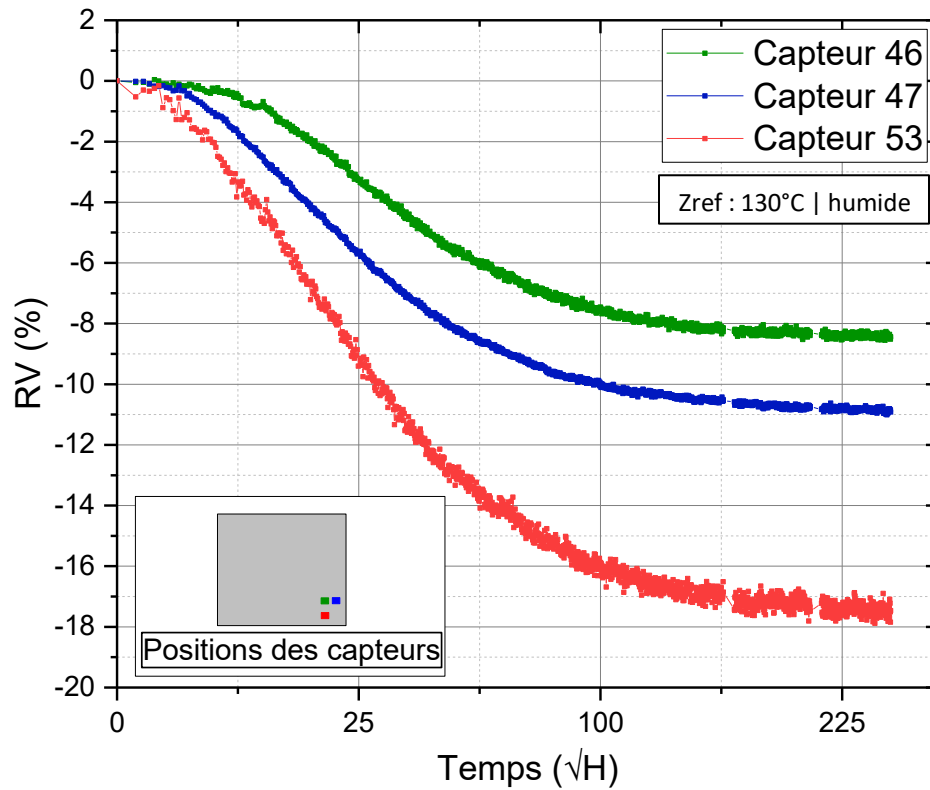


Figure 4-25 : Donnée des capteurs 46,47 et 53 pendant un processus de désorption à 130 °C pendant 250 h dans une atmosphère contrôlée, en racine du temps.

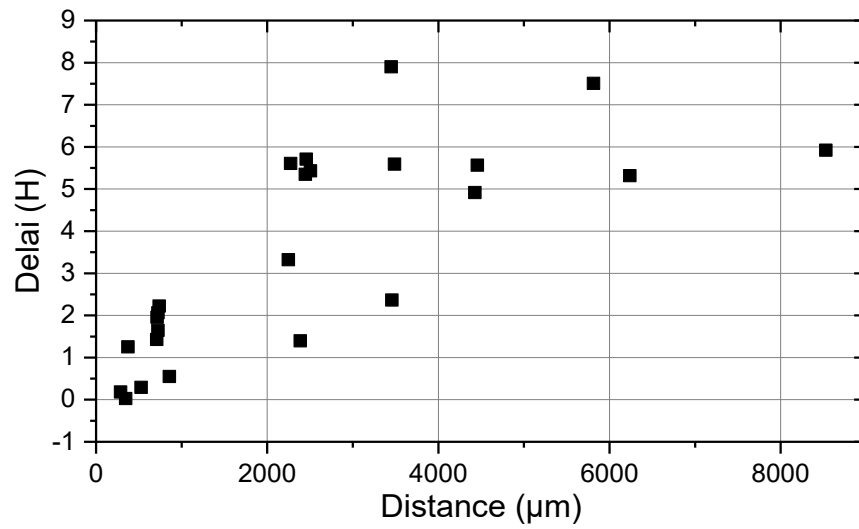


Figure 4-26 : Délai du début de la désorption d'humidité des capteurs par rapport à leur distance du bord de la puce.

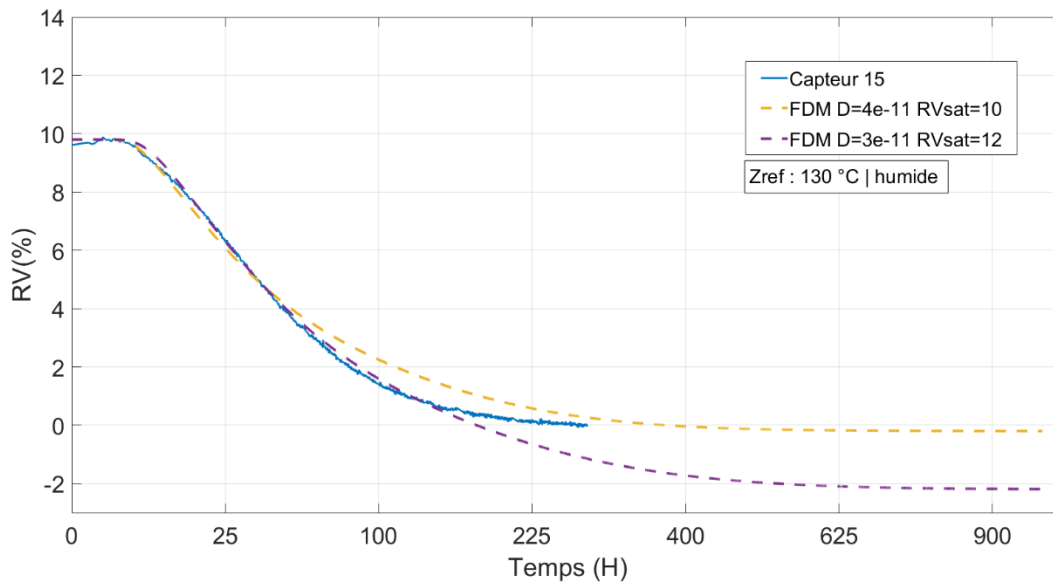


Figure 4-27 : Variation d'impédance du capteur 15 (bleu foncé), résultat de simulation (trait pointillé) avec coefficient de diffusion (D) allant de $3 \cdot 10^{-11}$ kg/m/s à $4 \cdot 10^{-11}$ kg/m/s obtenu par ajustement de courbe, abscisse en racine du temps.

4.2.4. Bilan de l'analyse de la diffusion

Nous avons observé le temps d'absorption local qui se rapproche de l'équilibre vers 1200 h avec un comportement asymptotique estimé par un modèle FDM jusqu'à 9000 h. Grâce au nombre important de capteurs, nous avons évalué une vitesse du front d'humidité au sein du matériau de remplissage entre 87 - 94 $\mu\text{m/h}$.

Le front d'humidité observé sur tous les capteurs centraux possiblement induit par une diffusion à travers le substrat montre une limite de temps ≈ 30 h dans notre cas. Sur des stockages inférieurs à cette période, nous aurions donc de l'humidité qui pénètre dans le BEOL uniquement sur la moitié du matériau de remplissage.

Le procédé de désorption standard de 130 °C pendant 24 h utilisé pour éviter des défaillances ne suffit pas à atteindre une désorption complète de la puce. Des tests de désorption à 130 °C jusqu'à 280 h montrent que les capteurs se rapprochent de ce niveau autour de 250 h. Tout comme les résultats d'absorption, l'utilisation de modèle de diffusion estime un équilibre à environ 900 h.

4.3. Conclusion

Les caractérisations de l'intégration des capteurs réalisés au sein de modules assemblés montrent une sensibilité jusqu'à $3,1 \text{ }^\circ\text{C}/\%RV$ pour les capteurs de 3^e génération et $2 \text{ } \%RH/\%RV$ pour les capteurs de 2^e génération avec une impédance de référence de $5 \text{ k}\Omega$. L'utilisation de notre système de lecture nous permet donc de suivre des variations de $0,3 \text{ }^\circ\text{C}$ et $0,2 \text{ } \%RH$ sur 108 capteurs placés dans une puce de $17 \text{ mm} \times 17 \text{ mm}$. Les améliorations du procédé ont permis d'avoir des capteurs plus uniformes et de diminuer les contraintes de plage dynamique sur le circuit de lecture, ce qui nous a permis d'optimiser le gain et donc la précision. Cependant, ces capteurs de 3^e génération n'ont pas pu être utilisés lors des analyses de la diffusion d'humidité dans le module en raison de défaillances lors de l'assemblage.

Les capteurs ne montrent pas de variation de sensibilité aux différents mesurands avant la fréquence de coupure du signal, fréquence de coupure qui coïncide avec le couplage réalisé par la connectique. Un changement de la connectique, ainsi que de la bande passante du circuit, pourrait permettre d'étudier un peu plus en détail la décorrélation fréquentielle observée par Aurore Quelennec[39].

Les analyses d'absorption effectuées sur les modules de 2^e génération ont montré un délai dans la variation d'impédance pour des capteurs de la périphérie jusqu'à mi-distance du centre. Ce délai s'apparente à un front d'humidité qui se déplace à vitesse constante de $94 \text{ } \mu\text{m}/\text{h}$ lors d'une phase d'absorption. Cependant, nous avons une réponse de capteurs au front d'humidité à partir de 3 mm du centre qui semble avoir un délai avoisinant 30 h . Ceci pourrait indiquer la possibilité d'un front d'humidité à travers le substrat du module FC-PBGA que notre modèle planaire ne permet pas de prendre en compte. Une étude plus approfondie par rapport à la diffusion d'eau au sein du matériau de remplissage encapsulé est nécessaire pour pouvoir expliquer ce phénomène. Le suivi par les capteurs du niveau d'humidité pendant une désorption montre quant à lui, un point d'équilibre en environnement sec autour de 280 h par mesure et une saturation à 900 h par simulation, qui permettrait d'évacuer la totalité de l'humidité.

Chapitre 5: Conclusion et perspectives

5.1. Résultats

Le travail réalisé durant cette thèse consiste en la réalisation d'un circuit de lecture correspondant à des modules de capteurs à base de nanotube de carbone puis de leur utilisation pour déterminer l'absorption d'humidité et désorption au sein de l'assemblage FC-PBGA.

L'état de l'art des circuits de mesures (Chapitre 2) ainsi que les simulations (Chapitre 3) ont permis de concevoir un circuit sur PCB utilisant une amplification avec détection synchrone analogique. Les caractérisations des modules de capteurs (Chapitre 4) nous ont permis d'observer un fonctionnement linéaire de 30 %RH à 75 %RH ainsi que de 30 °C à 130 °C.

Le circuit de lecture dédié composé d'une détection synchrone nous a permis d'accomplir les différents objectifs du cahier des charges avec le second étage d'amplification :

- Précision de 0,1 %.
- Plage de lecture > 21%.
- Lecture possible de 300 Hz à 300 kHz.
- 108 capteurs multiplexés.

Avec ce système, nous obtenons une performance de mesure d'humidité précise pour les capteurs de deuxième génération de 0,3 %RH avec une vitesse de mesure allant jusqu'à 48 ms ainsi qu'une mesure de température de 0,6 °C. Grâce à la conception d'un circuit de lecture spécifique pour des capteurs expérimentaux nous avons optimisé les paramètres de précision/bande passante/coût/taille de l'implémentation sur PCB en fonction des besoins des capteurs.

Les capteurs et le circuit de lecture nous permettent d'avoir un système d'acquisition novateur qui permet la variation du taux d'humidité relative local par des capteurs de 40 μm X 100 μm au sein du BEOL d'un assemblage FC-PBGA sur une surface de 17 mm X 17 mm, et donc de suivre l'absorption et la désorption locales de l'humidité du matériau de remplissage qui

compose le module microélectronique. Nous avons pu extraire sur ce type d'assemblage un temps nécessaire proche de l'équilibre d'humidité de 1200 h, une désorption obtenue après 250 h ainsi que la vitesse de propagation du front d'humidité. Ce montage permet l'étude afin d'optimiser en temps et en fiabilité les procédés d'assemblage utilisés dans l'industrie.

L'effet capacitif de nos modules de capteurs semble infime par rapport à la conductivité des capteurs à nanotube de carbone. Les analyses de capteurs ne nous permettent donc pas d'identifier une possible décorrélation fréquentielle sur la bande passante de notre circuit de lecture comme cela a été le cas sur les véhicules de test précédents. Cependant, nous pouvons suivre soit la température soit l'humidité de façon précise et locale au sein du BEOL. Cela nous a permis d'établir le temps nécessaire lors d'un processus de désorption pour obtenir un état proche de l'équilibre sec au sein du matériau de remplissage, et la vitesse de déplacement du front d'humidité en périphérie lors d'étape d'absorption d'humidité. Nos capteurs et systèmes de circuit de lecture permettent donc de caractériser et d'évaluer des gradients de température et d'humidité d'un assemblage FC-PBGA en environnement contrôlé. Un modèle FDM a été utilisé pour estimer des points de saturation à long terme ainsi que la variation de diffusion suivant la position du capteur.

5.2. Perspectives

Ces travaux permettent de voir plusieurs perspectives intéressantes. Ces modules de capteurs couplés avec notre module de lecture pourraient permettre l'enregistrement des variations d'humidité et température au sein de la puce pendant les étapes d'assemblage, afin d'éviter des problèmes de défaillance et d'optimiser les temps de séchage. Une étude des modules de capteurs à plus hautes fréquences pourrait être utile afin d'établir, sur les modules de 2^e génération, la décorrélation fréquentielle visible sur les véhicules de test. Ceci peut être réalisé à partir du même circuit de lecture en diminuant le couplage de la connectique. La réalisation d'une version intégrée du même système de lecture pourrait permettre de suivre l'évolution de l'humidité et de la température pour prévenir des défaillances pendant la durée de vie du module. Nous pourrions pour cela utiliser la même architecture en nous adaptant aux nouvelles

contraintes liées aux variations de température que l'instrumentation devrait subir ou utiliser une architecture plus compacte utilisant des intégrateurs comme vus au chapitre sur l'état de l'art.

Les mesures locales d'humidité pourraient être intéressantes pour l'étude de la diffusion d'humidité dans les polymères et de la caractérisation d'une diffusion ne suivant pas les lois de Fick. Nous avons des résultats de diffusion de l'humidité sur des capteurs centraux encore non expliqués et inattendus. Une étude sur un possible front d'humidité supplémentaire ou une diffusion non uniforme pourrait expliquer l'observation des résultats de certains capteurs. Pour cela l'utilisation de simulation FEA 3D plus complexe que les simulations FDM 2D réalisées en prenant en compte les paramètres du substrat, du matériau de remplissage ainsi que des différents matériaux au sein du BEOL et de la matrice de C4 est nécessaire.

ANNEXES

Annexe A. Procédé de fabrication des capteurs

Le procédé de fabrication développé par Aurore Queennec dépose les nanotubes par pulvérisation (spray-coating), les nanotubes sont dispersés dans un solvant de 1-méthyl-2-pyrrolidone. Après dépôt des nanotubes, le solvant est évaporé à une température de 220 °C. Les nanotubes sont isolés électriquement par deux couches de polyimide laissant passer les particules d'eau. Pour réaliser les géométries, des gravures sèches et photolithographies aux ultra-violets sont utilisées, puis la résine éliminée.

Le capteur se trouve sur une couche de polyimide lui-même déposé sur un substrat constitué de SiN déposé par dépôt chimique en phase vapeur assisté par plasma. Afin de réaliser le contact avec les CNT, des couches de titane sont utilisées comme électrode. Pour cela une couche de titane est déposée par évaporation puis gravée par gravure humide. Une photolithographie avec l'utilisation de résine permet d'avoir les géométries voulues d'une épaisseur de 700 nm et d'une superficie de 30 µm x 30 µm pour les capteurs serpentinaux et 140 µm x 140 µm pour les capteurs « patch ». Pour acheminer un courant vers les BLM, des pistes d'aluminium de 300 nm sont utilisées et réalisées par évaporation et gravure comme les électrodes (Figure A-1, Figure A-2). Pour isoler les lignes métalliques et les électrodes, une nouvelle couche de polyimide est déposée par centrifugation [17], [37], [47].

Les BLM sont constitués de nombreuses couches métalliques comme visible à la Figure A-3. Les couches de titane et cuivre sont déposées par pulvérisation cathodique puis un dépôt de résine suivi d'un procédé de photolithographie permet de laisser des ouvertures au niveau des BLM. Les couches suivantes du BLM et les billes de brasure sont réalisées par électrodéposition [17].

Les générations de capteur 2 et 3 possèdent des CNT uniquement en contact avec les électrodes de titane, tandis que la première génération possède des contacts CNT/Aluminium et CNT/Ti qui affectent la résistance du capteur. Ce changement a été réalisé par la réalisation des couches d'aluminium au-dessus des électrodes de titane.

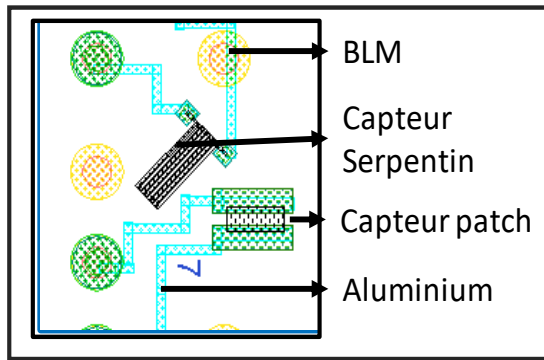


Figure A-1 : Géométries des capteurs sur la puce de silicium.

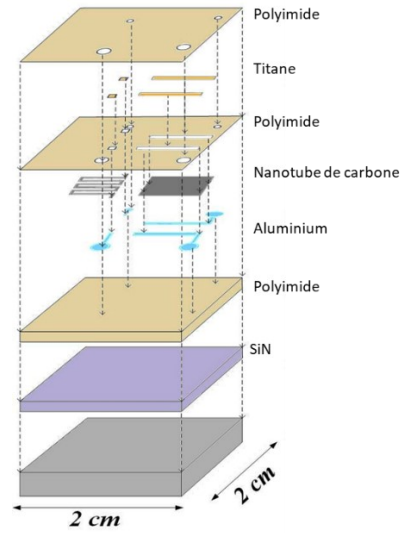


Figure A-2 : Étapes principales du procédé d'intégration des capteurs CNT de 1^{ère} génération [47].

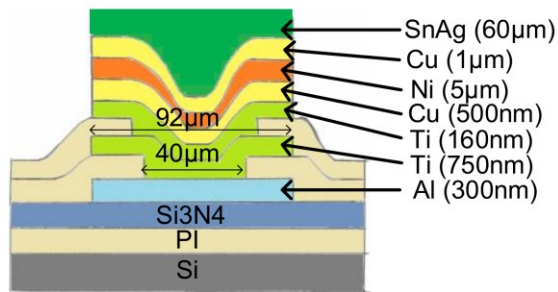


Figure A-3 : Vue en coupe des différentes couches du BLM jusqu'à la tranche de silicium [17].

Annexe B. Détection synchrone par multiplicateur

La détection synchrone (Figure B-4) utilise un signal (V_{osc}) de même phase et fréquence que celui utilisé comme source à travers le capteur (V_{cap} ou I_{cap} suivant l'étage d'amplification choisie). Une multiplication de ces signaux permet d'amplifier une fréquence du signal ramenée en DC qui représente alors la partie réelle ($V_{outI}(t)$). Grâce à un signal en quadrature, nous pouvons aussi récupérer la partie imaginaire ($V_{outQ}(t)$) du signal. Les équations (B-1) à (B-5) montrent les opérations réalisées sur le signal de sortie de l'amplificateur par la détection synchrone afin d'avoir les parties imaginaire et réelle.

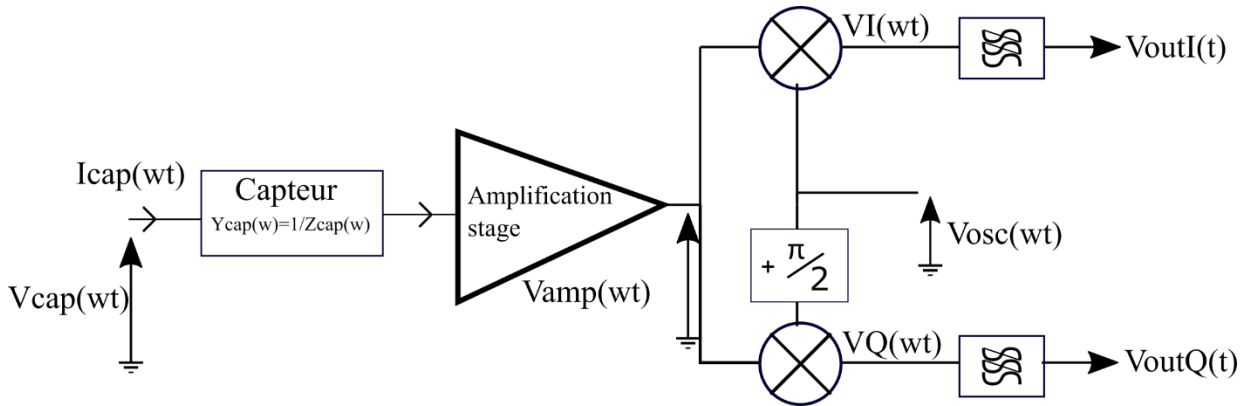


Figure B-4 : Schéma d'une détection synchrone.

$$V_{amp}(wt) = A_c \sin(wt + \theta) \quad (B-1)$$

$$VI(wt) = A_c \sin(wt + \theta) * \sin(wt) * G_{ds} \quad (B-2)$$

$$VQ(wt) = A_c \sin(wt + \theta) * \cos(wt) * G_{ds} \quad (B-3)$$

$$VI(wt) = A_c * \left(\frac{1}{2} * \cos(\theta) - \frac{1}{2} * \cos(2 * wt + \theta) \right) * G_{ds} \quad (B-4)$$

$$VQ(wt) = A_c * \left(\frac{1}{2} * \sin(\theta) + \frac{1}{2} * \sin(2 * wt + \theta) \right) * G_{ds} \quad (B-5)$$

Ce qui nous donne en DC :

$$V_{outI}(t) = G_{sys} * Ac(-\sin(\theta)) = G_{ds} * Im\{V_{amp}\} \quad (B-6)$$

$$V_{outQ}(t) = G_{sys} * Ac(\cos(\theta)) = G_{ds} * Re\{V_{amp}\} \quad (B-7)$$

Connaissant la tension d'excitation du capteur et le courant le parcourant, nous pouvons retrouver les valeurs d'amplitude et de phase de l'admittance par :

$$|I_{cap}(w)| = \frac{\sqrt{Vi(w)^2 + Vq(w)^2}}{Gs} \quad \phi(I_{cap}(w)) = \tan^{-1}\left(\frac{Vq(w)}{Vi(w)}\right) \quad (B-8)$$

Annexe C. Comparatif des performances de circuit de lecture

Tableau C-1 : Comparatif de circuit permettant la lecture d'impédance dans la littérature

Publications	[95] De Marcellis et al. 2012	[62] De Marcellis et al. 2017	[63] Aguirre et al. 2014	[111] Xu et al 2009	[112] Maya- Herndez et al 2015	[65] Yang et al 2009	[59] Manickam et al 2010
Technologie	Analogue PCB	Analogue PCB	Analogue PCB	CMOS 0,18 μm	CMOS 0,18 μm	CMOS 0,5 μm	CMOS 0.35 μm
Étage d'amplification	IA	IA		TIA	IA	Intégrateur	TIA
Étage de traitement	LI Commutateur	LI Multiplicateur	LI Commutateur	LI Multiplicateur	LI Multiplicateur	LI Commutateur	LI Multiplicateur
Bande passante d'entrée (kHz)	Fixée à 77 Hz	1000	1 - 99	100	122	10	50 000
Plage de détections	20 n - 2 μV	0,025 - 10 mV	9 - 22 mV	10 - 40 $\text{k}\Omega$	6 - 25 mVpp	78 fA - 10 pA	10 - 25 μA
Résolution de la mesure	20 nV	25 μV	-	0,6 $\text{k}\Omega$	50 μVpp	-	330 pA
Vitesse de mesure (ms)	-	-	-	1	-	-	1100
Précision (%)	-	<1	<5 @ -30 dB SNR	2	0,9	-	-
Sensibilité	13M [V/V]	40 [V/V]	-	5M [I/V]		-	-
Consommation (mW)	-	840	-	2	0,36	0,006	84,8 @ 100 kHz

Annexe D. Interface Python de commande

L'interface Python visible à la Figure D-5 a été réalisée pour automatiser la prise de mesure en fonction du nombre de capteurs, fréquence et précision de la mesure. Des outils pour visualiser les données des capteurs après et pendant leur utilisation ont aussi été implémentés. La Figure D-6 montre la visualisation, à un instant donné, de l'impédance des capteurs (échelle linéaire et logarithmique possible) tandis que la Figure D-7 montre la variation relative d'impédance en fonction du temps de la mesure.

Le logiciel permet de :

- Sélectionner les capteurs.
- Avoir plusieurs canaux de communication avec des microcontrôleurs.
- Paramétrer le nombre de balayages de la puce.
- Paramétrer la sauvegarde.
- Visualiser la variation d'un ou plusieurs capteurs.

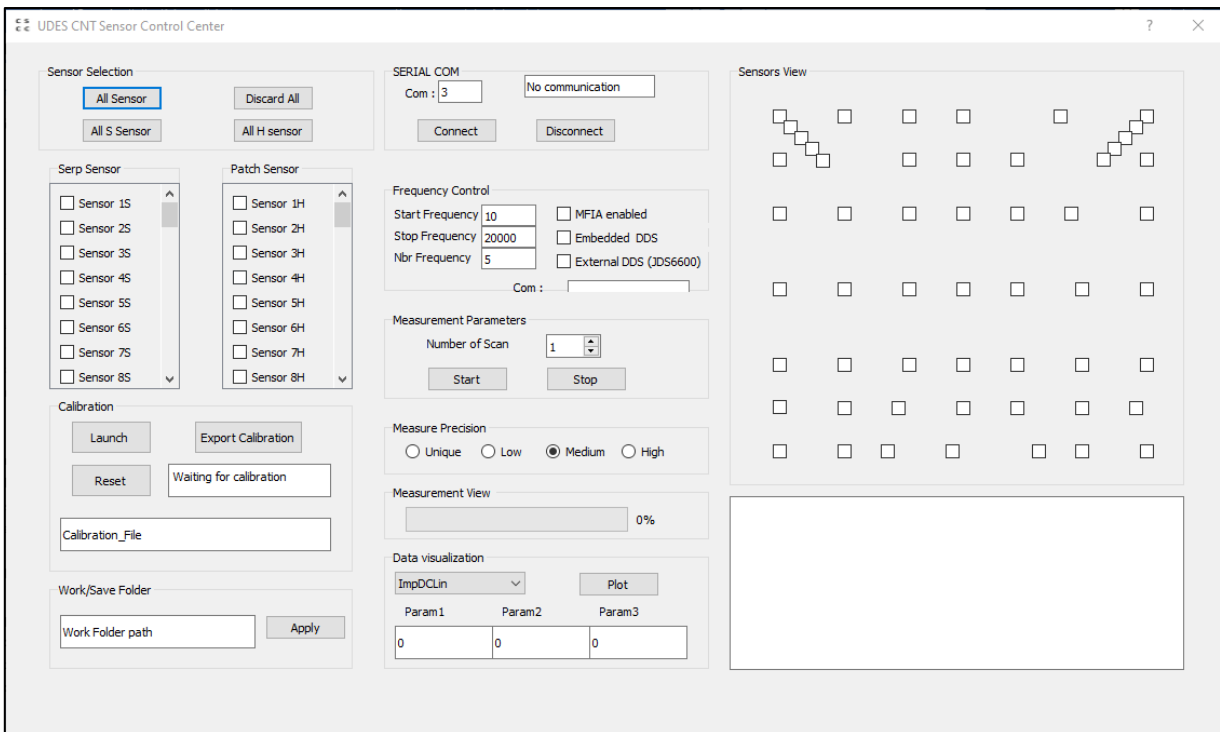


Figure D-5 : Interface de contrôle du circuit de lecture.

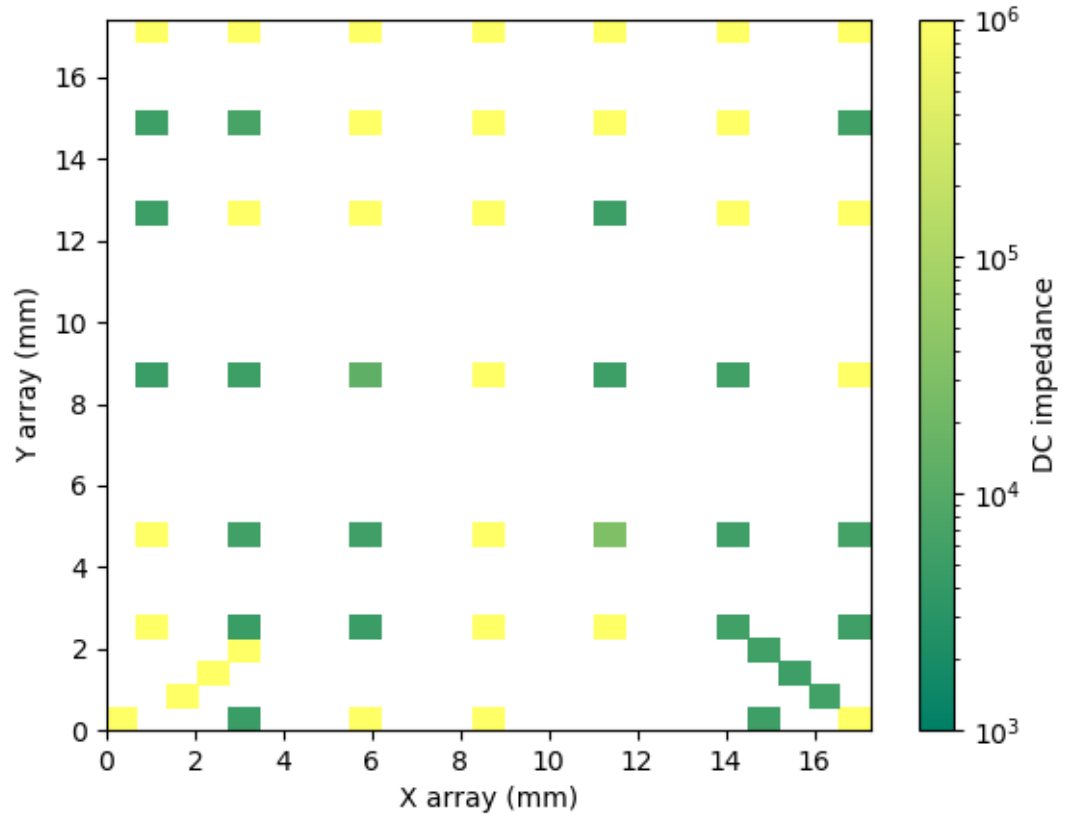


Figure D-6 : Fenêtre de visualisation des impédances détectées sur la puce depuis l'interface python réalisée.

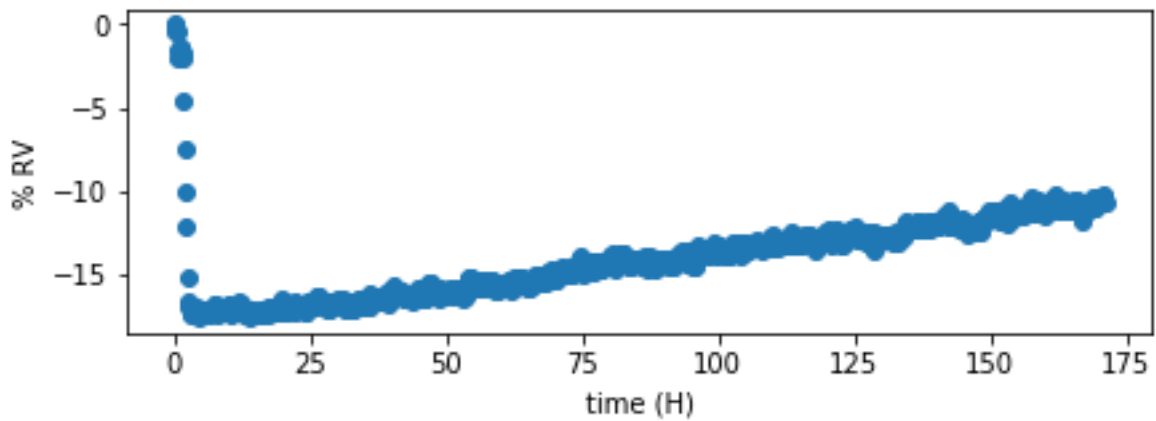


Figure D-7 : Fenêtre de visualisation de la variation d'un capteur dans le temps depuis l'interface python réalisée.

Annexe E. Procédé de centrifugation des CNT

Le procédé de centrifugation a été développé par le postdoctorant Julien Pezard et a permis de réaliser la troisième génération de capteurs avec une uniformité de résistance bien plus importante. La centrifugation a été réalisée à 5000 rpm pendant 50 min avant leur dépôt par pulvérisation.

Par micrographie MEB visible à la Figure E-8, une diminution de la variation d'épaisseur a été observée. Cette augmentation de l'uniformité d'épaisseur est rendue possible par la suppression d'agrégats de CNT visibles sur la surface du dépôt avec centrifugation. La présence de ces amas de CNT lors des procédés sans centrifugation avait pour effet de faire fortement varier la résistance des capteurs. Leur suppression a permis d'avoir des capteurs uniformes et d'optimiser le circuit de lecture pour avoir une meilleure précision.

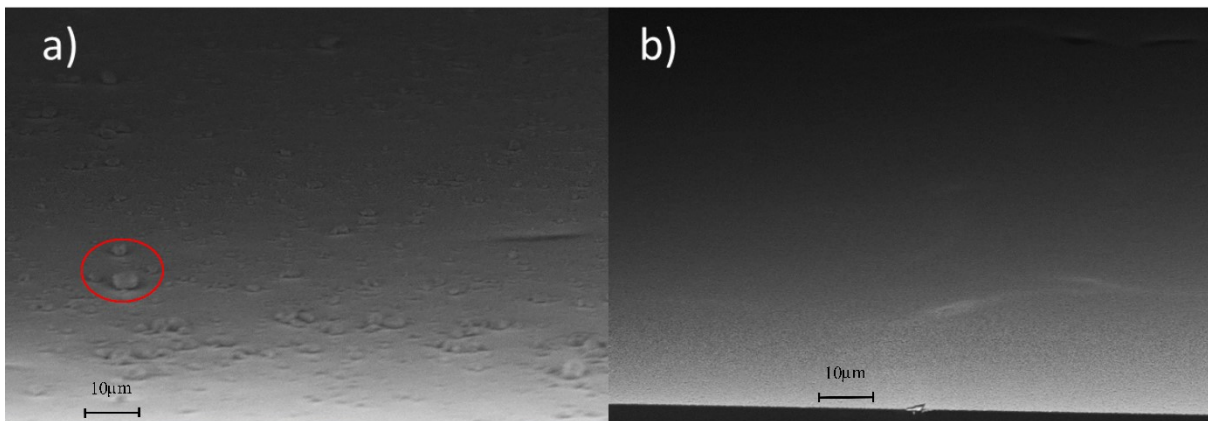


Figure E-8 : Micrographie MEB d'un dépôt de CNT de 0,1 mg/ml sur polyimide a) sans centrifugation, avec un exemple d'agrégat de CNT entouré en rouge b) avec centrifugation.

Annexe F. Analyse de défaillance

Une analyse de défaillance a été réalisée par deux coupes transversales permettant de visualiser six billes de brasure qui relient trois capteurs et le laminé. Des clichés réalisés au MEB nous ont permis d'observer un délaminage et des fissures à l'interconnexion BLM-C4, qui peuvent se dégrader lors d'excursions en température et humidité que nous réalisons durant les phases d'absorption et désorption. Ceci se traduit par une dérive d'impédance irréversible à chaque cycle.

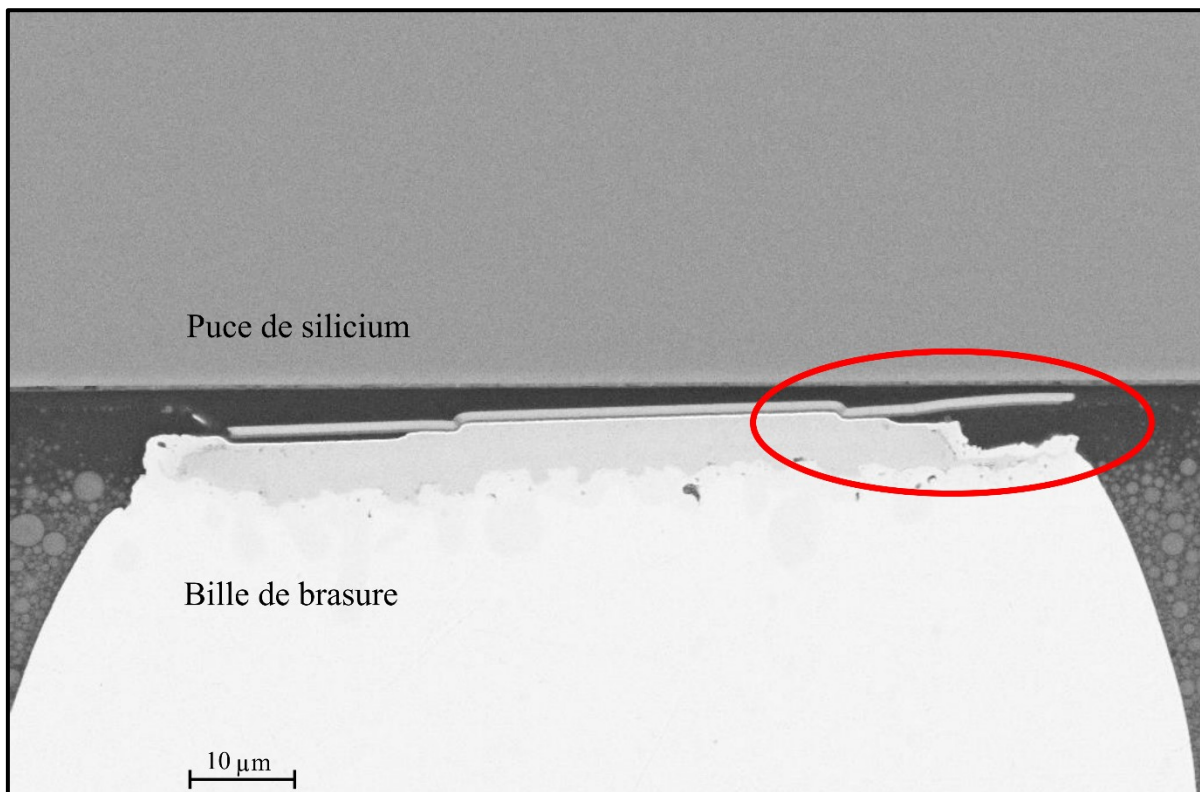


Figure F-9 : Image MEB de défaillance au niveau des interconnexions BLM-C4, délaminage entouré en rouge.

RÉFÉRENCES

- [1] M. Chen, S. Mao, et Y. Liu, « Big Data: A Survey », *Mobile Netw Appl*, vol. 19, n° 2, p. 171-209, avr. 2014, doi: 10.1007/s11036-013-0489-0.
- [2] S. Kaisler, F. Armour, J. A. Espinosa, et W. Money, « Big Data: Issues and Challenges Moving Forward », in *2013 46th Hawaii International Conference on System Sciences*, janv. 2013, p. 995-1004. doi: 10.1109/HICSS.2013.645.
- [3] E. Team, « The Exponential Growth of Data », *insideBIGDATA*, févr. 16, 2017.
- [4] L. F. Miller, « Controlled Collapse Reflow Chip Joining », *IBM Journal of Research and Development*, p. 239-250, 1969.
- [5] L. F. Miller, « Method of joining a component to a substrate », US3429040A, févr. 25, 1969
- [6] Y. K. Shen, C. M. Ju, Y. J. Shie, et H. W. Chien, « Resin flow characteristics of underfill process on flip chip encapsulation », *International Communications in Heat and Mass Transfer*, vol. 31, n° 8, p. 1075-1084, nov. 2004, doi: 10.1016/j.icheatmasstransfer.2004.08.005.
- [7] M. Ueshima, « (73) Assignee: Senju Metal Industry Co., Ltd., Tokyo (JP) », p. 11.
- [8] P. S. Ho, G. Wang, M. Ding, J.-H. Zhao, et X. Dai, « Reliability issues for flip-chip packages », *Microelectronics Reliability*, vol. 44, n° 5, p. 719-737, mai 2004, doi: 10.1016/j.microrel.2004.01.007.
- [9] Y. Lee, P. Lin, K. Wu, H. Lee, et S. Hwang, « Effects of Substrate Structure on the Warpage of Flip Chip IC Packages », in *2018 13th International Microsystems, Packaging, Assembly and Circuits Technology Conference (IMPACT)*, oct. 2018, p. 66-70. doi: 10.1109/IMPACT.2018.8625738.
- [10] IBM, « IBM, Document interne ».
- [11] W. J. Greig, *Integrated Circuit Packaging Assembly, Assembly and Interconnections*, Springer. New York, NY, 2007, p169-191.
- [12] W. Q. Dai *et al.*, « Study on moisture behavior in flip chip BGA packages and bake process optimization », in *2009 International Conference on Electronic Packaging Technology High Density Packaging*, août 2009, p. 1225-1228. doi: 10.1109/ICEPT.2009.5270624.
- [13] A. A. Gallo et R. Munamarty, « Popcorning: a failure mechanism in plastic-encapsulated microcircuits », *IEEE Trans. Rel.*, vol. 44, n° 3, p. 362-367, sept. 1995, doi: 10.1109/24.406565.
- [14] X. Fan, « Moisture Related Reliability in Electronic Packaging », *ECTC 2008*, p. 92.
- [15] S. J. Krumbein, « Electrolytic models for metallic electromigration failure mechanisms », *IEEE Transactions on Reliability*, vol. 44, n° 4, p. 539-549, déc. 1995, doi: 10.1109/24.475971.
- [16] S. S. Ha, H. Kang, G. R. Kim, S. Pae, et H. Lee, « Effect of Corrosion on Mechanical Reliability of Sn-Ag Flip-Chip Solder Joint », *Mater. Trans.*, vol. 57, n° 11, p. 1966-1971, 2016, doi: 10.2320/matertrans.M2016203.
- [17] A. Quelennec, « Capteurs intégrés pour la fiabilisation des technologies d'encapsulation en microélectronique », Thèse Doctorat, Université de Bordeaux, Université de Sherbrooke, France, Canada, 2018.
- [18] F. Udrea, S. Santra, et J. W. Gardner, « CMOS temperature sensors - concepts, state-of-the-art and prospects », in *2008 International Semiconductor Conference*, oct. 2008, vol. 1, p. 31-40. doi: 10.1109/SMICND.2008.4703322.

- [19] M. Mansoor, I. Haneef, S. Akhtar, A. De Luca, et F. Udrea, « Silicon diode temperature sensors—A review of applications », *Sensors and Actuators A: Physical*, vol. 232, p. 63-74, août 2015, doi: 10.1016/j.sna.2015.04.022.
- [20] D. L. Blackburn, « Temperature measurements of semiconductor devices - a review », in *Twentieth Annual IEEE Semiconductor Thermal Measurement and Management Symposium (IEEE Cat. No.04CH37545)*, mars 2004, p. 70-80. doi: 10.1109/STHERM.2004.1291304.
- [21] P. R. N. Childs, J. R. Greenwood, et C. A. Long, « Review of temperature measurement », *Review of Scientific Instruments*, vol. 71, n° 8, p. 2959-2978, août 2000, doi: 10.1063/1.1305516.
- [22] J. Wu, « A Basic Guide to Thermocouple Measurements », p. 37, 2018.
- [23] I. Y. Han et S. J. Kim, « Diode temperature sensor array for measuring micro-scale surface temperatures with high resolution », *Sensors and Actuators A: Physical*, vol. 141, n° 1, p. 52-58, janv. 2008, doi: 10.1016/j.sna.2007.07.020.
- [24] S. Rollo, D. Rani, W. Olthuis, et C. Pascual García, « Single step fabrication of Silicon resistors on SOI substrate used as Thermistors », *Sci Rep*, vol. 9, n° 1, p. 52-58, déc. 2019, doi: 10.1038/s41598-019-38753-x.
- [25] C.-Y. Lee et G.-B. Lee, « Humidity Sensors: A Review », *sens lett*, vol. 3, n° 1, p. 1-15, janv. 2005, doi: 10.1166/sl.2005.001.
- [26] E. J. Connolly, H. T. M. Pham, J. Groeneweg, P. M. Sarro, et P. J. French, « Relative humidity sensors using porous SiC membranes and Al electrodes », *Sensors and Actuators B: Chemical*, vol. 100, n° 1-2, p. 216-220, juin 2004, doi: 10.1016/j.snb.2003.12.064.
- [27] A. Tételin, C. Pellet, C. Laville, et G. N'Kaoua, « Fast response humidity sensors for a medical microsystem », *Sensors and Actuators B: Chemical*, vol. 91, n° 1-3, p. 211-218, juin 2003, doi: 10.1016/S0925-4005(03)00090-X.
- [28] Y. He, « In-situ characterization of moisture absorption-desorption and hygroscopic swelling behavior of an underfill material », in *2011 IEEE 61st Electronic Components and Technology Conference (ECTC)*, mai 2011, p. 375-386. doi: 10.1109/ECTC.2011.5898541.
- [29] E. Radeva, V. Georgiev, L. Spassov, N. Koprinarov, et S. Kanev, « Humidity adsorptive properties of thin fullerene layers studied by means of quartz micro-balance », *Sensors and Actuators B: Chemical*, vol. 42, n° 1, p. 11-13, juill. 1997, doi: 10.1016/S0925-4005(97)80306-1.
- [30] A. Schroth, K. Sager, G. Gerlach, A. Häberli, T. Boltshauser, et H. Baltes, « A resonant polyimide-based humidity sensor », *Sensors and Actuators B: Chemical*, vol. 34, n° 1-3, p. 301-304, août 1996, doi: 10.1016/S0925-4005(96)01936-3.
- [31] T. Fei, H. Zhao, K. Jiang, X. Zhou, et T. Zhang, « Polymeric humidity sensors with nonlinear response: Properties and mechanism investigation », *Journal of Applied Polymer Science*, vol. 130, n° 3, p. 2056-2061, 2013, doi: 10.1002/app.39400.
- [32] Y. Li, « Humidity sensors using in situ synthesized sodium polystyrenesulfonate/ZnO nanocomposites », *Talanta*, vol. 62, n° 4, p. 707-712, mars 2004, doi: 10.1016/j.talanta.2003.09.011.
- [33] J. Wu *et al.*, « Multifunctional and High-Sensitive Sensor Capable of Detecting Humidity, Temperature, and Flow Stimuli Using an Integrated Microheater », *ACS Appl. Mater. Interfaces*, vol. 11, n° 46, p. 43383-43392, nov. 2019, doi: 10.1021/acsami.9b16336.
- [34] S. Iijima, « Helical microtubules of graphitic carbon », *Nature*, p. 56-58, 1991.

- [35] W. Obitayo et T. Liu, « A Review: Carbon Nanotube-Based Piezoresistive Strain Sensors », *Journal of Sensors*, vol. 2012, p. 1-15, 2012, doi: 10.1155/2012/652438.
- [36] W.-P. Chen, Z.-G. Zhao, X.-W. Liu, Z.-X. Zhang, et C.-G. Suo, « A Capacitive Humidity Sensor Based on Multi-Wall Carbon Nanotubes (MWCNTs) », *Sensors*, vol. 9, n° 9, p. 7431-7444, sept. 2009, doi: 10.3390/s90907431.
- [37] D. Lee, H. P. Hong, C. J. Lee, C. W. Park, et N. K. Min, « Microfabrication and characterization of spray-coated single-wall carbon nanotube film strain gauges », *Nanotechnology*, vol. 22, n° 45, p. 455301, nov. 2011, doi: 10.1088/0957-4484/22/45/455301.
- [38] M. Stadermann *et al.*, « Nanoscale study of conduction through carbon nanotube networks », *Phys. Rev. B*, vol. 69, n° 20, p. 201402, mai 2004, doi: 10.1103/PhysRevB.69.201402.
- [39] A. Queennec, É. Duchesne, H. Frémont, et D. Drouin, « Source Separation Using Sensor's Frequency Response: Theory and Practice on Carbon Nanotubes Sensors », *Sensors*, vol. 19, n° 15, p. 3389, août 2019, doi: 10.3390/s19153389.
- [40] J. Zhao, A. Buldum, J. Han, et J. P. Lu, « Gas molecule adsorption in carbon nanotubes and nanotube bundles », *Nanotechnology*, vol. 13, n° 2, p. 195-200, avr. 2002, doi: 10.1088/0957-4484/13/2/312.
- [41] Q.-Y. Tang et Y. C. Chan, « Fast-response polyimide/multiwall carbon nanotube composite films for monitoring humidity in microelectronic packages », in *2010 12th Electronics Packaging Technology Conference*, déc. 2010, p. 265-268. doi: 10.1109/EPTC.2010.5702645.
- [42] H. C. Neitzert, L. Vertuccio, et A. Sorrentino, « Epoxy/MWCNT Composite as Temperature Sensor and Electrical Heating Element », *IEEE Transactions on Nanotechnology*, vol. 10, n° 4, p. 688-693, juill. 2011, doi: 10.1109/TNANO.2010.2068307.
- [43] C. Gau, C. L. Chan, S. H. Shiau, C. W. Liu, et S. H. Ting, « Nano temperature sensor using selective lateral growth of carbon nanotube between electrodes », in *5th IEEE Conference on Nanotechnology, 2005.*, Nagoya, Japan, 2005, p. 122-125. doi: 10.1109/NANO.2005.1500668.
- [44] K.-P. Yoo, L.-T. Lim, N.-K. Min, M. J. Lee, C. J. Lee, et C.-W. Park, « Novel resistive-type humidity sensor based on multiwall carbon nanotube/polyimide composite films », *Sensors and Actuators B: Chemical*, vol. 145, n° 1, p. 120-125, mars 2010, doi: 10.1016/j.snb.2009.11.041.
- [45] W. Wan-Lu, L. Ke-Jun, L. Yong, et W. Yong-Tian, « Piezoresistive Effect of Doped carbon Nanotube/Cellulose Films », *Chinese Phys. Lett.*, vol. 20, n° 9, p. 1544-1547, sept. 2003, doi: 10.1088/0256-307X/20/9/339.
- [46] N. Hu, Y. Karube, C. Yan, Z. Masuda, et H. Fukunaga, « Tunneling effect in a polymer/carbon nanotube nanocomposite strain sensor », *Acta Materialia*, vol. 56, n° 13, p. 2929-2936, août 2008, doi: 10.1016/j.actamat.2008.02.030.
- [47] A. Queennec, U. Shafique, E. Duchesne, H. Fremont, et D. Drouin, « Smart Packaging: A Micro-Sensor Array Integrated to a Flip-Chip Package to Investigate the Effect of Humidity in Microelectronics Package », mai 2017, p. 513-519. doi: 10.1109/ECTC.2017.140.
- [48] T. Landry, « Fabrication et intégration dans un module assemblé d'une jauge de déformation et d'humidité à base de nanotubes de carbone », Université de Sherbrooke, Faculté de Genie, Sherbrooke, QC, Canada, Memoire de maitrise, mars 2016.

- [49] M. O. Sonnaillon et F. J. Bonetto, « A low-cost, high-performance, digital signal processor-based lock-in amplifier capable of measuring multiple frequency sweeps simultaneously », *Review of Scientific Instruments*, vol. 76, n° 2, p. 024703, févr. 2005, doi: 10.1063/1.1854196.
- [50] M. Min, T. Parve, P. Annus, et T. Paavle, « A method of synchronous sampling in multifrequency bioimpedance measurements », in *Instrumentation and Measurement Technology Conference, 2006. IMTC 2006. Proceedings of the IEEE*, 2006, p. 1699-1703.
- [51] J. Szynowski, « CMRR analysis of instrumentation amplifiers », *Electronics Letters*, vol. 19, n° 14, p. 547-549, juill. 1983, doi: 10.1049/el:19830371.
- [52] Analog Devices inc, Éd., « MT-042 Op Amp Common-Mode Rejection Ratio (CMRR) ». 2008.
- [53] *Impedance Measurement Handbook, A guide to measurement technology and techniques*, 6th éd. Keysight Technologies, p 22-41.
- [54] H. Jiang, J. G. Vogel, et S. Nihtianov, « A Power-Efficient Readout for Wheatstone-Bridge Sensors With COTS Components », *IEEE Sensors Journal*, vol. 17, n° 21, p. 6986-6994, nov. 2017, doi: 10.1109/JSEN.2017.2755074.
- [55] A. Ali, « CMOS Impedance Measurement Array for Cell Sensing », Mémoire de maîtrise, University of Waterloo, 2015.
- [56] Analog Devices inc, « MT-048 Op Amp Noise Relationships: 1/f Noise, RMS Noise, and Equivalent Noise Bandwidth ». 2009.
- [57] Texas Instruments, Éd., « Noise Analysis in Operational Amplifier Circuits ». Texas Instruments, 2007.
- [58] Burr Brown corporation, « Noise analysis of FET Transimpedance Amplifiers ». TI, 1994.
- [59] A. Manickam, A. Chevalier, M. McDermott, A. D. Ellington, et A. Hassibi, « A CMOS Electrochemical Impedance Spectroscopy (EIS) Biosensor Array », *IEEE Transactions on Biomedical Circuits and Systems*, vol. 4, n° 6, p. 379-390, déc. 2010, doi: 10.1109/TBCAS.2010.2081669.
- [60] A. S. Nandini, M. Sowmya, et S. Chirag, « Design and Implementation of Analog Multiplier With Improved Linearity », vol. 3. doi: 10.5121/vlsic.2012.3508.
- [61] V. Riewruja et A. Rerkratn, « Analog multiplier using operational amplifiers », *APPL PHYS*, vol. 48, p. 67-70, 2010.
- [62] A. De Marcellis, E. Palange, N. Liberatore, et S. Mengali, « Low-Cost Portable 1 MHz Lock-In Amplifier for Fast Measurements of Pulsed Signals in Sensing Applications », *IEEE Sens. Lett.*, vol. 1, n° 4, p. 1-4, août 2017, doi: 10.1109/LENS.2017.2713449.
- [63] J. Aguirre, D. García-Romeo, N. Medrano, B. Calvo, et S. Celma, « Square-Signal-Based Algorithm for Analog Lock-In Amplifiers », *IEEE Transactions on Industrial Electronics*, vol. 61, n° 10, p. 5590-5598, oct. 2014, doi: 10.1109/TIE.2014.2300054.
- [64] R. Casanella, O. Casas, M. Ferrari, V. Ferrari, et R. Pallas-Areny, « Synchronous Demodulator for Autonomous Sensors », *IEEE Transactions on Instrumentation and Measurement*, vol. 56, n° 4, p. 1219-1223, août 2007, doi: 10.1109/TIM.2007.899919.
- [65] C. Yang, S. R. Jadhav, R. M. Worden, et A. J. Mason, « Compact Low-Power Impedance-to-Digital Converter for Sensor Array Microsystems », *IEEE Journal of Solid-State Circuits*, vol. 44, n° 10, p. 2844-2855, oct. 2009, doi: 10.1109/JSSC.2009.2028054.
- [66] A. Ali, N. Pal, et P. M. Levine, « CMOS impedance spectroscopy sensor array with synchronous voltage-to-frequency converters », in *2015 IEEE 58th International Midwest Symposium on Circuits and Systems (MWSCAS)*, août 2015, p. 1-4. doi: 10.1109/MWSCAS.2015.7282178.

- [67] R. Casanella, O. Casas, et R. Pallàs-Areny, « Differential synchronous demodulator for modulating sensors and impedance measurements », *Meas. Sci. Technol.*, vol. 16, n° 8, p. 1637-1643, août 2005, doi: 10.1088/0957-0233/16/8/014.
- [68] P. Grzegorz et K. Marian, « Low-spur NCO using taylor series approximation », présenté à XI International PhD Workshop, oct. 2009.
- [69] S. Mohamed, M. Ortmanns, et Y. Manoli, « Design of current reuse CMOS LC-VCO », in *2008 15th IEEE International Conference on Electronics, Circuits and Systems*, août 2008, p. 714-717. doi: 10.1109/ICECS.2008.4674953.
- [70] F. Ullah, Y. Liu, Z. Li, X. Wang, M. Sarfraz, et H. Zhang, « A Bandwidth-Enhanced Differential LC-Voltage Controlled Oscillator (LC-VCO) and Superharmonic Coupled Quadrature VCO for K-Band Applications », *Electronics*, vol. 7, n° 8, p. 127, juill. 2018, doi: 10.3390/electronics7080127.
- [71] R. B. Staszewski, D. Leipold, K. Muhammad, et P. T. Balsara, « Digitally controlled oscillator (DCO)-based architecture for RF frequency synthesis in a deep-submicrometer CMOS Process », *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, vol. 50, n° 11, p. 815-828, nov. 2003, doi: 10.1109/TCSII.2003.819128.
- [72] E. Sharma, « Design of millimeter wave VCO based on slow-wave transmission lines », Université Grenoble Alpes, p 47-72.
- [73] X. Zhao, R. Chebli, et M. Sawan, « A wide tuning range voltage-controlled ring oscillator dedicated to ultrasound transmitter », in *Proceedings. The 16th International Conference on Microelectronics, 2004. ICM 2004.*, déc. 2004, p. 313-316. doi: 10.1109/ICM.2004.1434276.
- [74] O. El Issati, « Oscillateurs Asynchornes en Anneau : de la Théorie à la Pratique », Thèse de doctorat, Université de Grenoble, 2006.
- [75] S. B. Ramakrishna, S. Yalpi, L. N. Kumar, H. B. Ravindra, et C. Ram, « Design and performance analysis of low frequency CMOS ring oscillator using 90nm technology », in *2016 IEEE International Conference on Recent Trends in Electronics, Information Communication Technology (RTEICT)*, mai 2016, p. 1796-1801. doi: 10.1109/RTEICT.2016.7808144.
- [76] M. Terosiet, « Conception d'un oscillateur robuste controlé numériquement pour l'horlogerie des SoCs », Thèse de doctorat, Université Pierre et Marie Curie, Paris, 2012.
- [77] Analog Devices inc, Éd., « A Technical Tutorial on Digital Signal Synthesis », 1999, p 1-52.
- [78] Z. Shaoyuan, Y. Fuqiang, Z. Shuoao, H. Yanming, G. Yanchang, et L. Yongxiang, « Spur reduction in truncation for DDS phase accumulators », in *2001 CIE International Conference on Radar Proceedings (Cat No.01TH8559)*, 2001, p. 189-193. doi: 10.1109/ICR.2001.984652.
- [79] J. Ko, M. Heo, J. Lee, C. Kim, et M. Lee, « Fractional spur reduction technique using 45° phase dithering in phase interpolator based all-digital phase-locked loop », *Electronics Letters*, vol. 52, n° 23, p. 1920-1922, 2016.
- [80] A. Ashrafi, R. Adhami, et A. Milenkovic, « A Direct Digital Frequency Synthesizer Based on the Quasi-Linear Interpolation Method », *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 57, n° 4, p. 863-872, avr. 2010, doi: 10.1109/TCSI.2009.2027645.
- [81] J. Vankka, « Methods of mapping from phase to sine amplitude in direct digital synthesis », *IEEE Transactions on Ultrasonics, Ferroelectrics, and Frequency Control*, vol. 44, n° 2, p. 526-534, mars 1997, doi: 10.1109/58.585137.

- [82] P. Lichtsteiner, T. Delbruck, et C. Posch, « A 100dB dynamic range high-speed dual-line optical transient sensor with asynchronous readout », in *Circuits and Systems, 2006. ISCAS 2006. Proceedings. 2006 IEEE International Symposium on*, 2006, p. 1659-1662.
- [83] P. Lichtsteiner, C. Posch, et T. Delbruck, « A 128 X 128 120 dB 15 μ s Latency Asynchronous Temporal Contrast Vision Sensor », *IEEE Journal of Solid-State Circuits*, vol. 43, n° 2, p. 566-576, févr. 2008, doi: 10.1109/JSSC.2007.914337.
- [84] S. K. Vallury, K. S. Saikiran, G. Nagaraja, K. N. Pillai, et K. Padmapriya, « Design and characterization of analog multiplexer for data acquisition system in satellites », in *2016 International Conference on Advances in Computing, Communications and Informatics (ICACCI)*, sept. 2016, p. 2460-2464. doi: 10.1109/ICACCI.2016.7732426.
- [85] M. Mitrovic *et al.*, « A DC-to-8.5 GHz 32 : 1 Analog Multiplexer for On-Chip Continuous-Time Probing of Single-Event Transients in a 65-nm CMOS », *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 64, n° 4, p. 377-381, avr. 2017, doi: 10.1109/TCSII.2016.2567781.
- [86] A. Patel, T. Terry, et H. S. Abdel-Aty-Zohdy, « Analog multiplexing in time domain for biochemical measurement processing », in *The 2002 45th Midwest Symposium on Circuits and Systems, 2002. MWSCAS-2002.*, août 2002, vol. 1, p. I-60-3 doi: 10.1109/MWSCAS.2002.1187153.
- [87] Analog Devices inc, Éd., « Analog Switches and Multiplexers Basics ». 2009.
- [88] C. Zhang, W. Ren, et F. Luo, « Understanding of the Static Contact Behaviors of Rod and Spring for Microelectromechanical Relay », *IEEE Transactions on Components, Packaging and Manufacturing Technology*, vol. 9, n° 12, p. 2366-2373, déc. 2019, doi: 10.1109/TCPMT.2019.2920143.
- [89] Analog Devices inc, Éd., « Datasheet ADG1406/1407 ». 2016.
- [90] Molex, « Temp-Flex datasheet », 2017.
- [91] Analog Devices inc, Éd., « AD8608 datasheet: Precision, Low Noise, CMOS, Rail-to-Rail, Input/Output Operational Amplifiers ». 2017.
- [92] Texas Instrument, « Analysis of Sallen-Key Architecture », Application Report SLOA024B, sept. 2002.
- [93] Analog Devices inc, Éd., « Data Sheet AD9854 ». 2007.
- [94] Atmel, « Atmel 32-bit Cortex-M3 Microcontroller-SAM3X-SAM3A Datasheet ». 2015.
- [95] A. De Marcellis, G. Ferri, A. D'Amico, C. Di Natale, et E. Martinelli, « A Fully-Analog Lock-In Amplifier With Automatic Phase Alignment for Accurate Measurements of ppb Gas Concentrations », *IEEE Sensors Journal*, vol. 12, n° 5, p. 1377-1383, mai 2012, doi: 10.1109/JSEN.2011.2172602.
- [96] M. R. Vanlandingham, R. F. Eduljee, et J. W. Gillespie, « Moisture diffusion in epoxy systems », *Journal of Applied Polymer Science*, vol. 71, n° 5, p. 787-798, 1999, doi: 10.1002/(SICI)1097-4628(19990131)71:5<787::AID-APP12>3.0.CO;2-A.
- [97] B. Han et D.-S. Kim, « Moisture Ingress, Behavior, and Prediction Inside Semiconductor Packaging: A Review », *Journal of Electronic Packaging*, vol. 139, n° 1, p. 010802, mars 2017, doi: 10.1115/1.4035598.
- [98] L. Chen, J. Zhou, H. Chu, G. Zhang, et X. Fan, « Modeling nonlinear moisture diffusion in inhomogeneous media », *Microelectronics Reliability*, vol. 75, p. 162-170, août 2017, doi: 10.1016/j.microrel.2017.06.055.
- [99] C. Jang, S. Park, B. Han, et S. Yoon, « Advanced Thermal-Moisture Analogy Scheme for Anisothermal Moisture Diffusion Problem », *Journal of Electronic Packaging*, vol. 130, n° 011004, janv. 2008, doi: 10.1115/1.2837521.

- [100] X. Ma, K. M. B. Jansen, L. J. Ernst, W. D. van Driel, O. van der Sluis, et G. Q. Zhang, « Characterization and Modeling of Moisture Absorption of Underfill for IC Packaging », in *2007 8th International Conference on Electronic Packaging Technology*, août 2007, p. 1-5. doi: 10.1109/ICEPT.2007.4441451.
- [101] J. Cocard, A. Céline, S. Fréour, et F. Jacquemin, « Vers une méthodologie d'identification des paramètres de diffusion d'eau dans les polymères et composites. », *Comptes Rendus des JNC 20*, p. 1-10, 2017.
- [102] J. Crank, *The mathematics of diffusion*, 2d ed. Oxford, Clarendon Press, 1975.
- [103] M.-H. Tsai, F.-J. Hsu, M.-C. Weng, et H.-C. Hsu, « Advanced moisture diffusion model and hygro-thermo-mechanical design for flip chip BGA package », in *2009 International Conference on Electronic Packaging Technology High Density Packaging*, août 2009, p. 1002-1008. doi: 10.1109/ICEPT.2009.5270573.
- [104] E. H. Wong, S. W. Koh, K. H. Lee, et R. Rajoo, « Advanced moisture diffusion modeling and characterisation for electronic packaging », in *52nd Electronic Components and Technology Conference 2002. (Cat. No.02CH37345)*, mai 2002, p. 1297-1303. doi: 10.1109/ECTC.2002.1008273.
- [105] Z. Huo, « Modeling and evaluation of moisture diffusion in polymer composite materials », Thèse de doctorat, Missouri university of science and technology, 2016.
- [106] S. Yoon, B. Han, et Z. Wang, « On Moisture Diffusion Modeling Using Thermal-Moisture Analogy », *Journal of Electronic Packaging*, vol. 129, n° 4, p. 421-426, déc. 2007, doi: 10.1115/1.2804090.
- [107] V. Legrand, L. TranVan, F. Jacquemin, et P. Casari, « Moisture-uptake induced internal stresses in balsa core sandwich composite plate: Modeling and experimental », *Composite Structures*, vol. 119, p. 355-364, janv. 2015, doi: 10.1016/j.compstruct.2014.09.012.
- [108] E. H. Wong et S. B. Park, « Moisture diffusion modeling – A critical review », *Microelectronics Reliability*, vol. 65, p. 318-326, oct. 2016, doi: 10.1016/j.microrel.2016.08.009.
- [109] A. Sasi et P. Gromala, « Simulating moisture diffusion in polymers using thermal-moisture analogy », in *2016 17th International Conference on Thermal, Mechanical and Multi-Physics Simulation and Experiments in Microelectronics and Microsystems (EuroSimE)*, avr. 2016, p. 1-8. doi: 10.1109/EuroSimE.2016.7463372.
- [110] R. L. Shook, D. L. Gerlach, et B. T. Vaccaro, « Moisture blocking planes and their effect on reflow performance in achieving reliable Pb-free assembly capability for PBGAs », in *2001 Proceedings. 51st Electronic Components and Technology Conference (Cat. No.01CH37220)*, mai 2001, p. 74-79. doi: 10.1109/ECTC.2001.927691.
- [111] J. Xu, G. Meynants, et P. Merken, « Low-power lock-in amplifier for complex impedance measurement », in *Advances in sensors and Interfaces, 2009. IWASI 2009. 3rd International Workshop on*, 2009, p. 110-114.
- [112] P. M. Maya-Hernandez, M. T. Sanz-Pascual, et B. Calvo, « CMOS Low-Power Lock-In Amplifiers With Signal Rectification in Current Domain », *IEEE Transactions on Instrumentation and Measurement*, vol. 64, n° 7, p. 1858-1867, juill. 2015, doi: 10.1109/TIM.2014.2366978.